

# SN74CB3T3257 4 ビット 2:1 FET マルチプレクサ / デマルチプレクサ 2.5V/3.3V 低電圧バススイッチ、5V 耐圧レベルシフタ付き

## 1 特長

- 出力電圧変換は  $V_{CC}$  に追従
- すべてのデータ I/O ポートで混合モード信号動作をサポート
  - 3.3V の  $V_{CC}$  で、5V 入力を 3.3V 出力にレベルシフト
  - 2.5V の  $V_{CC}$  で、5V / 3.3V の入力を 2.5V 出力にレベルシフト
- デバイスの電源オン時とオフ時の両方で 5V 許容の I/O
- 伝播遅延がゼロに近い双方向データフロー
- 低いオン抵抗 ( $r_{on}$ ) 特性 ( $r_{on} = 5\Omega$ 、標準値)
- 低い入力および出力容量により負荷が最小化 ( $C_{io(OFF)} = 5\text{pF}$ 、標準値)
- データおよび制御入力にアンダーシュートクランプダイオードを搭載
- 低消費電力 ( $I_{CC} = 20\mu\text{A}$ 、最大値)
- 2.3V~3.6V の範囲の  $V_{CC}$  で動作
- データ I/O は 0 ~ 5V の信号レベルに対応 (0.8V、1.2V、1.5V、1.8V、2.5V、3.3V、5V)
- 制御入力は、TTL または 5V / 3.3V CMOS 出力で駆動可能
- $I_{off}$  により部分的パワーダウン モードでの動作をサポート
- JESD 17 準拠で 250mA 超のラッチアップ性能
- JESD 22 準拠で ESD 性能を試験済み
  - 人体モデルで 2000V (A114B、クラス II)
  - 1000V、デバイス帯電モデル (C101)

## 2 アプリケーション

- デジタル アプリケーションをサポート:
  - レベル変換
  - USB インターフェイス
  - メモリ インターリープ

### – バス絶縁

- ローパワーの携帯機器向けに設計

## 3 説明

SN74CB3T3257 は、オン抵抗 ( $r_{on}$ ) が低いため伝播遅延を最小限に低減できる高速 TTL 互換 FET マルチプレクサ / デマルチプレクサです。このデバイスは、 $V_{CC}$  に追従した電圧変換を行うことで、すべてのデータ I/O ポートにおいて混在モード信号動作を完全にサポートします。SN74CB3T3257 は、5V TTL、3.3V LVTTL、2.5V CMOS スイッチング規格に加えて、ユーザー定義のスイッチング レベルを使用するシステムに対応します。

このデバイスは、 $I_{off}$  を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。 $I_{off}$  機能により、パワーダウン時に損傷を引き起こすような電流がデバイスに逆流しないことが保証されます。デバイスは、電源オフ時は絶縁されています。

### パッケージ情報

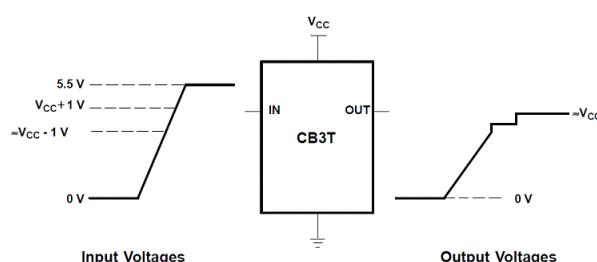
部品番号	パッケージ (1)	パッケージ サイズ(2)
SN74CB3T3257PW	PW (TSSOP、16)	5.00mm × 6.40mm
SN74CB3T3257DGV	DGV (TSSOP、16)	3.60mm × 6.40mm
SN74CB3T3257DYY	DYY (SOT、16)	4.20mm × 2.0mm

(1) 詳細は、セクション 11 を参照してください。

(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はビンも含まれます。

### デバイス情報

入力	入出力 A		機能
	OE	S	
L	L		B1
L	H		B2
H	X		Z
			A ポート = B1 ポート A ポート = B2 ポート 切断



If the input high voltage ( $V_{IH}$ ) level is greater than or equal to  $V_{CC} + 1\text{V}$ , and less than or equal to 5.5 V, the output high voltage ( $V_{OH}$ ) level will be equal to approximately the  $V_{CC}$  voltage level.

### 標準的な DC 電圧変換特性

**⚠️** このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

<b>1 特長</b>	<b>1</b>	<b>7 詳細説明</b>	<b>10</b>
<b>2 アプリケーション</b>	<b>1</b>	<b>7.1 概要</b>	<b>10</b>
<b>3 説明</b>	<b>1</b>	<b>7.2 機能ブロック図</b>	<b>10</b>
<b>4 ピン構成および機能</b>	<b>3</b>	<b>7.3 機能説明</b>	<b>11</b>
<b>5 仕様</b>	<b>4</b>	<b>7.4 デバイスの機能モード</b>	<b>12</b>
5.1 絶対最大定格	4	8 <b>アプリケーションと実装</b>	<b>13</b>
5.2 ESD 定格	4	8.1 アプリケーション情報	<b>13</b>
5.3 推奨動作条件	4	8.2 代表的なアプリケーション	<b>13</b>
5.4 熱に関する情報	5	8.3 電源に関する推奨事項	<b>15</b>
5.5 推奨動作条件	5	8.4 レイアウト	<b>15</b>
5.6 電気的特性	6	9 <b>デバイスおよびドキュメントのサポート</b>	<b>16</b>
5.7 スイッチング特性 85C	7	9.1 ドキュメントのサポート	<b>16</b>
5.8 代表的特性	8	10 <b>改訂履歴</b>	<b>16</b>
<b>6 パラメータ測定情報</b>	<b>9</b>	<b>11 メカニカル、パッケージ、および注文情報</b>	<b>17</b>

## 4 ピン構成および機能

DGV OR PW PACKAGE  
(TOP VIEW)

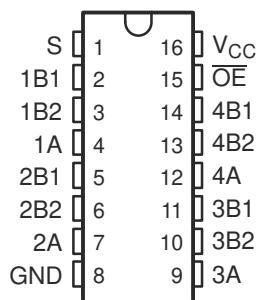


図 4-1. DGV、PW、または DYY パッケージ、16 ピン TSSOP、TSSOP、または SOT (上面図)

表 4-1. ピンの機能

ピン		タイプ <sup>(1)</sup>	説明
名称	TVSOP、TSSOP		
1A	4	I/O	チャネル 1 出力 / 入力共通
1B1	2	I/O	チャネル 1 入力 / 出力 1
1B2	3	I/O	チャネル 1 入力 / 出力 2
2A	7	I/O	チャネル 2 出力 / 入力共通
2B1	5	I/O	チャネル 2 入力 / 出力 1
2B2	6	I/O	チャネル 2 入力 / 出力 2
3A	9	I/O	チャネル 3 出力 / 入力共通
3B1	11	I/O	チャネル 3 入力 / 出力 1
3B2	10	I/O	チャネル 3 入力 / 出力 2
4A	12	I/O	チャネル 4 出力 / 入力共通
4B1	14	I/O	チャネル 4 入力 / 出力 1
4B2	13	I/O	チャネル 4 入力 / 出力 2
GND	8	—	グラウンド
OE	15	I	出力イネーブル、アクティブ Low
S	1	I	選択
V <sub>CC</sub>	16	—	電源

(1) 信号タイプ:I = 入力、O = 出力、I/O = 入力または出力。

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
V <sub>CC</sub>	電源電圧 <sup>(2)</sup>	-0.5	7	V
V <sub>IN</sub>	制御入力電圧 <sup>(2) (3)</sup>	-0.5	7	V
V <sub>I/O</sub>	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲 <sup>(2) (3) (4)</sup>	-0.5	7	V
I <sub>IK</sub>	制御入力クランプ電流 V <sub>IN</sub> < 0	-50		mA
I <sub>I/O</sub>	I/O ポートダイオード電流 V <sub>I/O</sub> < 0	-50		mA
I <sub>I/O</sub>	オン状態スイッチ電流 <sup>(5)</sup> V <sub>I/O</sub> = 0 ~ V <sub>CC</sub>	-128	128	mA
	V <sub>CC</sub> または GND を通過する連続電流	-100	100	mA
T <sub>J</sub>	接合部温度		150	C
保管温度、T <sub>stg</sub>		-65	150	C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

### 5.2 ESD 定格

		値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	±2000
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン <sup>(2)</sup>	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V <sub>CC</sub>	電源電圧	2.3	3.6	V	
V <sub>I/O</sub>	スイッチ入力または出力電圧	0	5.5	V	
V <sub>IH</sub>	制御入力の高レベル入力電圧	V <sub>CC</sub> = 2.3V~2.7V	1.7	5.5	V
V <sub>IH</sub>	制御入力の高レベル入力電圧	V <sub>CC</sub> = 2.7V~3.6V	2	5.5	V
V <sub>IL</sub>	制御入力の低レベル入力電圧	V <sub>CC</sub> = 2.3V~2.7V	0	0.7	V
V <sub>IL</sub>	制御入力の低レベル入力電圧	V <sub>CC</sub> = 2.7V~3.6V	0	0.8	V
T <sub>A</sub>	外気温度での動作時	-40	85	°C	

## 5.4 热に関する情報

热評価基準 <sup>(1)</sup>	SN74CB3T3257			単位
	DGV	PW	DYY	
	16 ピン	16 ピン	16 ピン	
R <sub>θJA</sub> 接合部から周囲への熱抵抗	120	129.1	130.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびIC パッケージの熱評価基準』アプリケーション ノートを参照してください。

## 5.5 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V <sub>CC</sub>	電源電圧		2.3	3.6	3.6	V
V <sub>I/O</sub>	スイッチ入力または出力電圧		0	5.5	5.5	V
V <sub>IH</sub>	制御入力の高レベル入力電圧	V <sub>CC</sub> = 2.3V~2.7V	1.7	5.5	5.5	V
V <sub>IH</sub>	制御入力の高レベル入力電圧	V <sub>CC</sub> = 2.7V~3.6V	2	5.5	5.5	V
V <sub>IL</sub>	制御入力の低レベル入力電圧	V <sub>CC</sub> = 2.3V~2.7V	0	0.7	0.7	V
V <sub>IL</sub>	制御入力の低レベル入力電圧	V <sub>CC</sub> = 2.7V~3.6V	0	0.8	0.8	V
T <sub>A</sub>	外気温度での動作時		-40	85	85	°C

## 5.6 電気的特性

自由気流での推奨動作温度範囲内

パラメータ		テスト条件				最小値	標準値	最大値	単位
<b>信号入力 (<math>V_{IS}</math>) と出力 (<math>V_{OS}</math>)</b>									
		$V_{CC} \text{ V}$	$V_{I/O} \text{ V}$ または $I_I$ または $V_{IN}$	$I_O \text{ mA}$ または $V_O$ または $V_{IN}$	$T_A$				
$r_{ON}$	オン状態スイッチ抵抗	2.3、2.5V での 標準値	$V_I = 0V$	$I_O = 24\text{mA}$	-40°C ~ +85°C	5	8		Ω
$r_{ON}$	オン状態スイッチ抵抗	2.3、2.5V での 標準値	$V_I = 0V$	$I_O = 16\text{mA}$	-40°C ~ +85°C	5	8		Ω
$r_{ON}$	オン状態スイッチ抵抗	3、3.3V での標 準値	$V_I = 0V$	$I_O = 64\text{mA}$	-40°C ~ +85°C	5	7		Ω
$r_{ON}$	オン状態スイッチ抵抗	3、3.3V での標 準値	$V_I = 0V$	$I_O = 32\text{mA}$	-40°C ~ +85°C	5	7		Ω
$I_{off}$	パワーダウン スイッチのリーク 電流	0	$V_I = 0V$	$0 \leq V_O \leq 5.5V$	-40°C ~ +85°C	-10	10		μA
$I_{oz}$	スイッチオフ時のリーク電流	3.6	$V_I = 0V$ 、 $V_{IN} =$ $V_{CC}$ または GND	$0 \leq V_O \leq 5.5V$	-40°C ~ +85°C	-10	10		μA
$I_{II}$	オン状態スイッチ リーク電流	3.6	$V_I = V_{CC}-0.7 \sim$ 5.5V	$V_{IN} = V_{CC}$ また は GND	-40°C ~ +85°C	-20	20		μA
$I_{II}$	オン状態スイッチ リーク電流	3.6	$V_I = 0.7 \sim$ $V_{CC}-0.7$	$V_{IN} = V_{CC}$ また は GND	-40°C ~ +85°C		-40		μA
$I_{II}$	オン状態スイッチ リーク電流	3.6	$V_I = 0 \sim 0.7V$	$V_{IN} = V_{CC}$ また は GND	-40°C ~ +85°C	-5	5		μA
$I_{IN}$	制御入力電流	3.6	$V_{CC} \leq V_{IN} \leq 5.5$ または $V_{IN} = 0V$		-40°C ~ +85°C	-10	10		μA
$I_{CC}$	電源電流	3.6	$V_I = V_{CC}$ また は GND、 $I_{II}/o =$ 0	$V_{IN} = V_{CC}$ また は GND	-40°C ~ +85°C		20		μA
$I_{CC}$	電源電流	3.6	$V_I = 5.5V$ 、 $I_{II}/o =$ 0	$V_{IN} = V_{CC}$ また は GND	-40°C ~ +85°C		20		μA
$\Delta I_{CC}$	制御入力に対する静止デバイ ス電流	3~3.6V	$V_{IN} = V_{CC} -$ 0.6V	0/VCC でのそ の他の入力	-40°C ~ +85°C		300		μA
$C_I$	制御入力容量	3.3	$V_{IN} = V_{CC}$ また は GND		25°C		3		pF
$C_{IO(off)}$	A ポート:スイッチ入力/出力容 量	3.3	$V_I = 5.5V$ 、 3.3V、0V	$V_{IN} = 0$ または $V_{CC}$ 、スイッチが オフになる	25°C		8		pF
$C_{IO(on)}$	A ポート:スイッチ入力/出力容 量	3.3	$V_I = 5.5V$ また は 3.3V	$V_{IN} = 0$ または $V_{CC}$ 、スイッチが オンになる	25°C		6		pF
$C_{IO(on)}$	A ポート:スイッチ入力/出力容 量	3.3	$V_I = 0V$	$V_{IN} = 0$ または $V_{CC}$ 、スイッチが オンになる	25°C		16		pF
$C_{IO(off)}$	B ポート:スイッチ入力/出力容 量	3.3	$V_I = 5.5V$ 、 3.3V、0V	$V_{IN} = 0$ または $V_{CC}$ 、スイッチが オフになる	25°C		5		pF
$C_{IO(on)}$	B ポート:スイッチ入力/出力容 量	3.3	$V_I = 5.5V$ また は 3.3V	$V_{IN} = 0$ または $V_{CC}$ 、スイッチが オンになる	25°C		4		pF

自由気流での推奨動作温度範囲内

パラメータ		テスト条件				最小値	標準値	最大値	単位
$C_{io(on)}$	B ポート:スイッチ入力/出力容量	3.3	$V_I = 0V$	$V_{IN} = 0$ または $V_{CC}$ 、スイッチがオンになる	25°C		16		pF
$V_{ik}$	クランプ電圧	3	$I_I = -18mA$		-40°C ~ +85°C		-1.2		V

## 5.7 スイッチング特性 85C

自由気流での動作温度範囲内 (特に記述のない限り)

試験条件付きパラメータ		始点(入力)	終点(出力)	$V_{CC}$	最小値	公称値	最大値	単位
$t_{pd}$	$R_L = 1G\Omega$ , $C_L = 30pF$ , $V_{load} = 0V$ 。スイッチ抵抗* CL による $T_{pd}$ の計算値	A または B	B または A	$2.5V \pm 0.2V$		0.15		ns
$t_{pd}$	$R_L = 1G\Omega$ , $C_L = 50pF$ , $V_{load} = 0V$ 。スイッチ抵抗* CL による $T_{pd}$ の計算値	A または B	B または A	$3.3V \pm 0.3V$		0.25		ns
$t_{en}$	ZL: $R_L = 250\Omega$ , $C_L = 30pF$ , $V_{load} = V_{CC}$ 、 ZH: $RL = 500\Omega$ , $CL = 30pF$ , $V_{load} = GND$ 、 入力には $50\Omega$ 終端あり	OE	A または B	$2.5V \pm 0.2V$	1	10.4		ns
$t_{en}$	ZL: $R_L = 250\Omega$ , $C_L = 50pF$ , $V_{load} = V_{CC}$ ZH: $RL = 500\Omega$ , $CL = 50pF$ , $V_{load} = GND$ 、 入力には $50\Omega$ 終端あり	OE	A または B	$3.3V \pm 0.3V$	1	8.3		ns
$t_{dis}$	LZ: $R_L = 250\Omega$ , $C_L = 30pF$ , $V_{load} = V_{CC}$ , $V_{\Delta} = 0.15V$ 、 HZ: $RL = 500\Omega$ , $CL = 30pF$ , $V_{load} = GND$ , $V_{\Delta} = 0.15V$ 、入力には $50\Omega$ 終端あり	OE	A または B	$2.5V \pm 0.2V$	1	7.4		ns
$t_{dis}$	LZ: $R_L = 250\Omega$ , $C_L = 50pF$ , $V_{load} = V_{CC}$ , $V_{\Delta} = 0.3V$ 、 HZ: $RL = 500\Omega$ , $CL = 50pF$ , $V_{load} = GND$ , $V_{\Delta} = 0.3V$ 、入力には $50\Omega$ 終端あり	OE	A または B	$3.3V \pm 0.3V$	1	8		ns
$t_{pd(s)}$	$R_L = 500\Omega$ , $C_L = 30pF$ , $V_{load} = 0V$ , $V_{input} = 3.6V$ ドメイン。入力には $50\Omega$ 終端あり	S	A	$2.5V \pm 0.2V$		13.4		ns
$t_{pd(s)}$	$R_L = 500\Omega$ , $C_L = 50pF$ , $V_{load} = 0V$ , $V_{input} = 5.5V$ ドメイン。入力には $50\Omega$ 終端あり	S	A	$3.3V \pm 0.3V$		10.1		ns
$t_{en(s)}$	ZL: $R_L = 250\Omega$ , $C_L = 30pF$ , $V_{load} = V_{CC}$ 、 ZH: $RL = 500\Omega$ , $CL = 30pF$ , $V_{load} = GND$ 、 入力には $50\Omega$ 終端あり	S	B	$2.5V \pm 0.2V$	1	13		ns
$t_{en(s)}$	ZL: $R_L = 250\Omega$ , $C_L = 50pF$ , $V_{load} = V_{CC}$ 、 ZH: $RL = 500\Omega$ , $CL = 50pF$ , $V_{load} = GND$ 、 入力には $50\Omega$ 終端あり	S	B	$3.3V \pm 0.3V$	1	10.1		ns
$t_{dis(s)}$	LZ: $R_L = 250\Omega$ , $C_L = 30pF$ , $V_{load} = V_{CC}$ , $V_{\Delta} = 0.15V$ 、 HZ: $RL = 500\Omega$ , $CL = 30pF$ , $V_{load} = GND$ , $V_{\Delta} = 0.15V$ 、入力には $50\Omega$ 終端あり	S	B	$2.5V \pm 0.2V$	1	9.1		ns
$t_{dis(s)}$	LZ: $R_L = 250\Omega$ , $C_L = 50pF$ , $V_{load} = V_{CC}$ , $V_{\Delta} = 0.3V$ 、 HZ: $RL = 500\Omega$ , $CL = 50pF$ , $V_{load} = GND$ , $V_{\Delta} = 0.3V$ 、入力には $50\Omega$ 終端あり	S	B	$3.3V \pm 0.3V$	1	8.3		ns

## 5.8 代表的特性

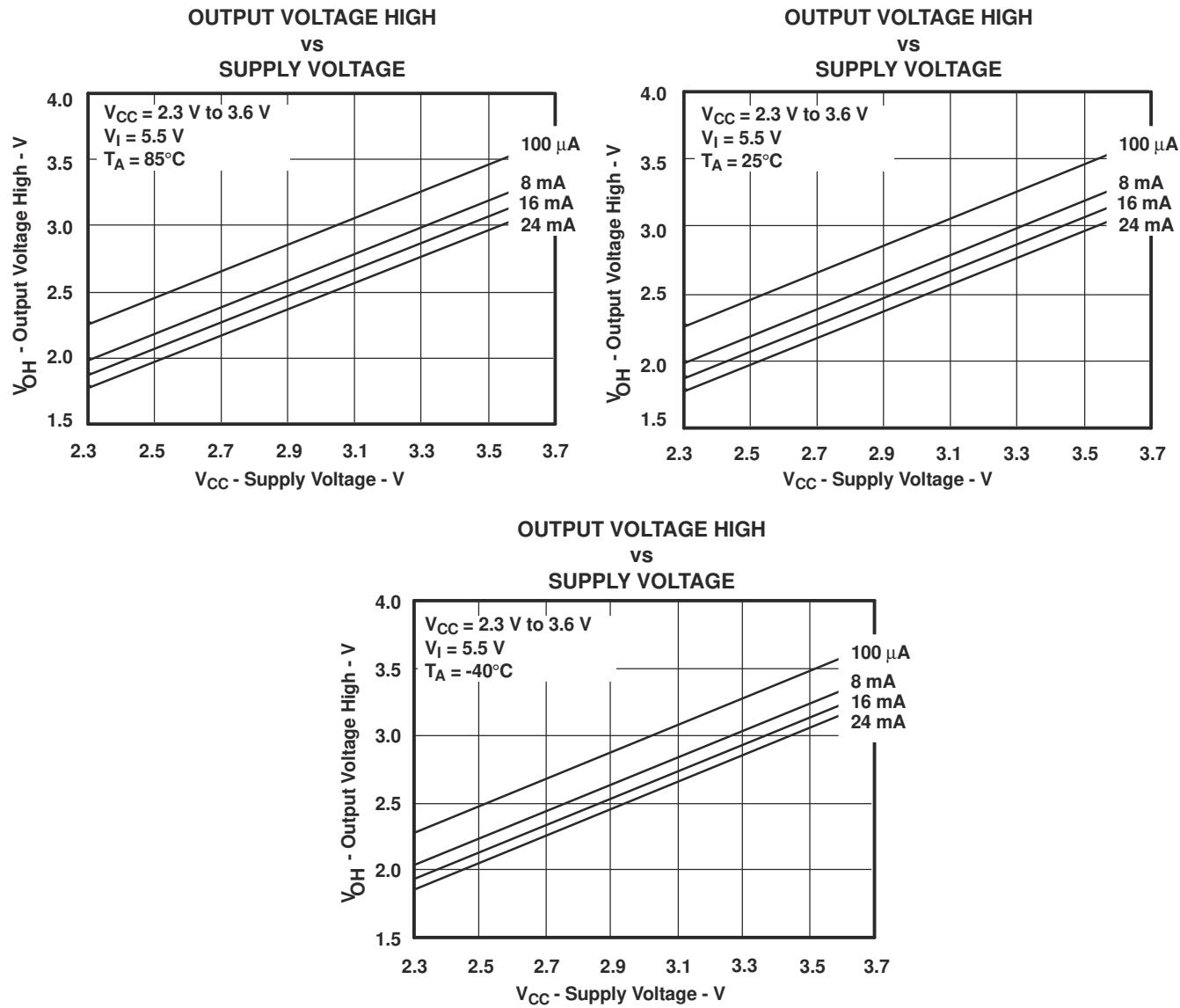
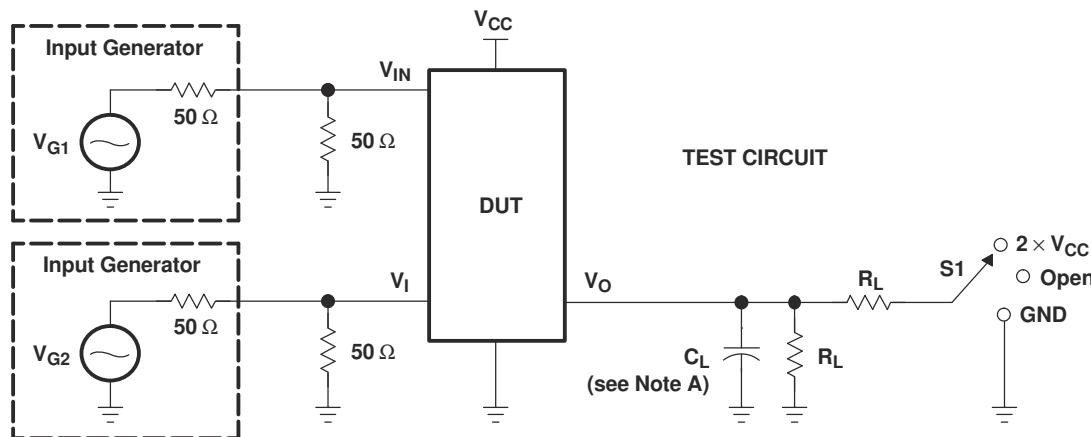
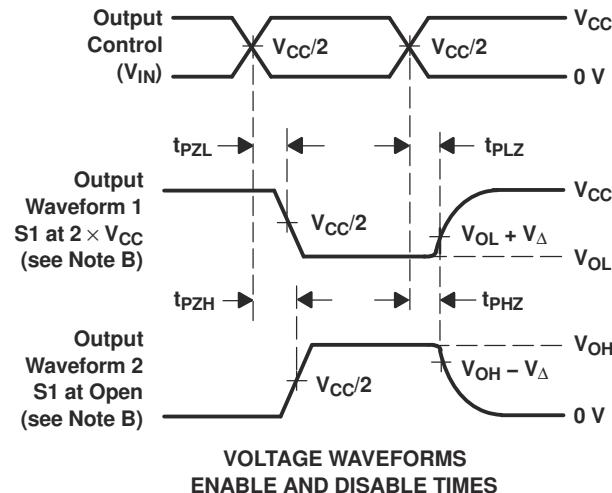
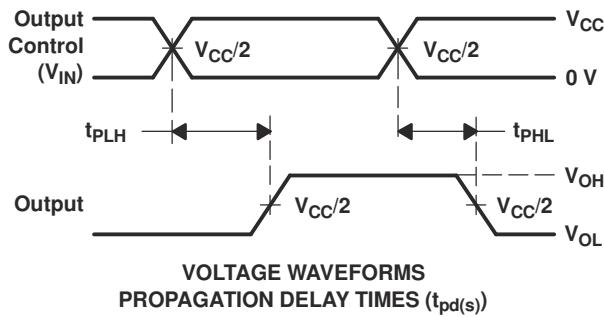


図 5-1.  $V_{OH}$  の値

## 6 パラメータ測定情報



TEST	V <sub>CC</sub>	S1	R <sub>L</sub>	V <sub>I</sub>	C <sub>L</sub>	V <sub>Δ</sub>
t <sub>pd(s)</sub>	2.5 V ± 0.2 V 3.3 V ± 0.3 V	Open Open	500 Ω 500 Ω	3.6 V or GND 5.5 V or GND	30 pF 50 pF	
t <sub>PLZ/tPZL</sub>	2.5 V ± 0.2 V 3.3 V ± 0.3 V	2 × V <sub>CC</sub> 2 × V <sub>CC</sub>	500 Ω 500 Ω	GND GND	30 pF 50 pF	0.15 V 0.3 V
t <sub>PHZ/tPZH</sub>	2.5 V ± 0.2 V 3.3 V ± 0.3 V	Open Open	500 Ω 500 Ω	3.6 V 5.5 V	30 pF 50 pF	0.15 V 0.3 V



- NOTES:
- A. C<sub>L</sub> includes probe and jig capacitance.
  - B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
  - C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z<sub>O</sub> = 50 Ω, t<sub>r</sub> ≤ 2.5 ns, t<sub>f</sub> ≤ 2.5 ns.
  - D. The outputs are measured one at a time, with one transition per measurement.
  - E. t<sub>PLZ</sub> and t<sub>PHZ</sub> are the same as t<sub>dis</sub>.
  - F. t<sub>PZL</sub> and t<sub>PZH</sub> are the same as t<sub>en</sub>.
  - G. t<sub>PLH</sub> and t<sub>PHL</sub> are the same as t<sub>pd(s)</sub>. The t<sub>pd</sub> propagation delay is the calculated RC time constant of the typical ON-state resistance of the switch and the specified load capacitance, when driven by an ideal voltage source (zero output impedance).
  - H. All parameters and waveforms are not applicable to all devices.

図 6-1. テスト回路と電圧波形

## 7 詳細説明

### 7.1 概要

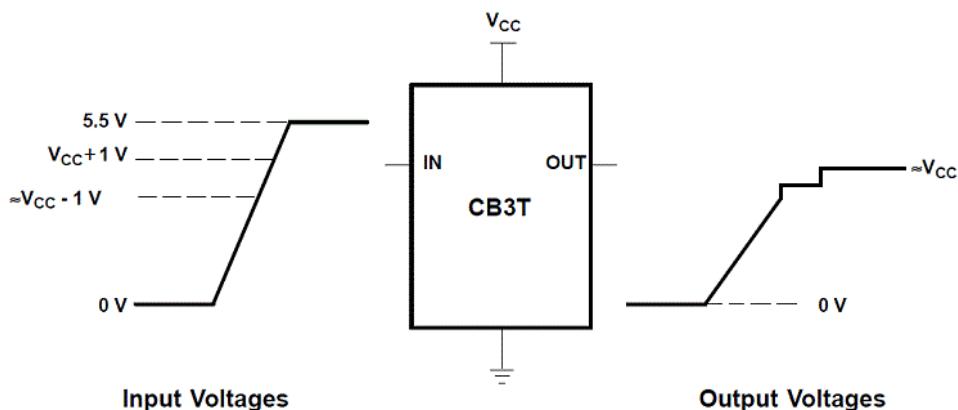
SN74CB3T3257 は、オン抵抗 ( $r_{on}$ ) が低いため伝播遅延を最小限に低減できる高速 TTL 互換 FET マルチプレクサ / デマルチプレクサです。このデバイスは、 $V_{CC}$  に追従した電圧変換を行うことで、すべてのデータ I/O ポートにおいて混在モード信号動作を完全にサポートします。SN74CB3T3257 は、5V TTL、3.3V LVTTL、2.5V CMOS スイッチング規格に加えて、ユーザー定義のスイッチング レベルを使用するシステムに対応します（標準的な DC 電圧変換特性を参照）。

SN74CB3T3257 は、単一の出力イネーブル ( $\overline{OE}$ ) 入力を備えた 4 ビット 1:2 マルチプレクサ / デマルチプレクサです。セレクト (S) 入力は、マルチプレクサ/デマルチプレクサのデータパスを制御します。 $\overline{OE}$  が Low のとき、マルチプレクサ / デマルチプレクサは有効で、A ポートは B ポートに接続され、ポート間で双方向のデータフローが可能になります。 $\overline{OE}$  を High にすると、マルチプレクサ / デマルチプレクサは無効になり、A と B のポート間は高インピーダンス状態になります。

このデバイスは、 $I_{off}$  を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。 $I_{off}$  機能により、パワーダウン時に損傷を引き起こすような電流がデバイスに逆流しないことが保証されます。デバイスは、電源オフ時は絶縁されています。

電源投入または電源切断時に高インピーダンス状態を確保するため、 $\overline{OE}$  はプルアップ抵抗経由で  $V_{CC}$  に結線します。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

### 7.2 機能ブロック図



If the input high voltage ( $V_{IH}$ ) level is greater than or equal to  $V_{CC} + 1V$ , and less than or equal to 5.5 V, the output high voltage ( $V_{OH}$ ) level will be equal to approximately the  $V_{CC}$  voltage level.

図 7-1. 標準的な DC 電圧変換特性

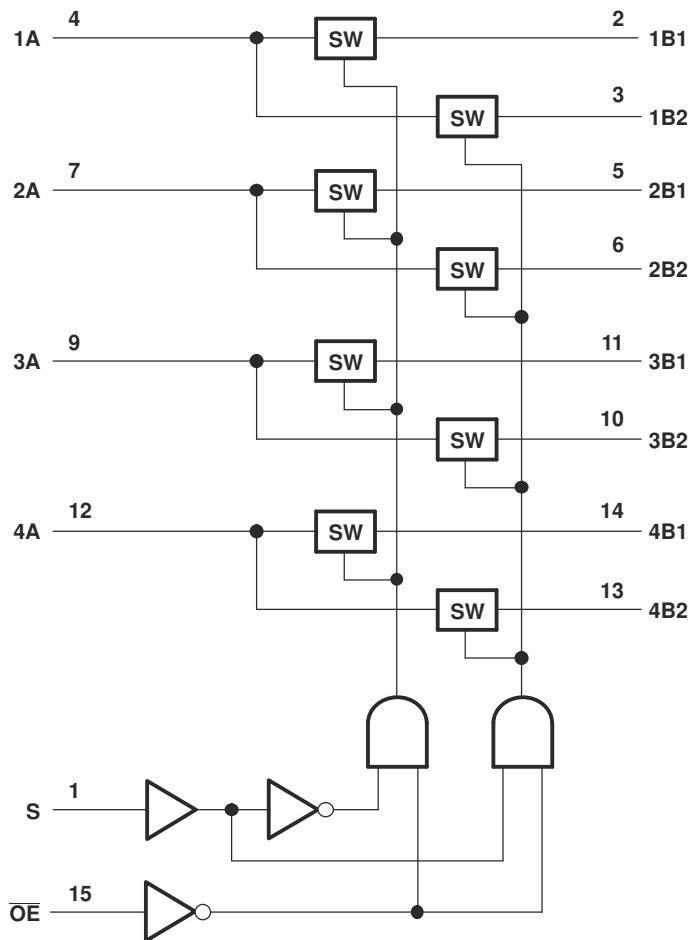
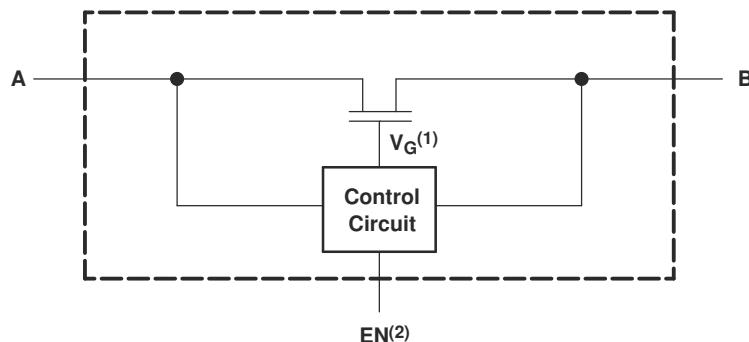


図 7-2. 論理図 (正論理)



- (1) Gate voltage ( $V_G$ ) is approximately equal to  $V_{CC} + V_T$  when the switch is ON and  $V_I > V_{CC} + V_T$ .
- (2) EN is the internal enable signal applied to the switch.

図 7-3. 概略回路図、各 FET スイッチ (SW)

### 7.3 機能説明

SN74CB3T3257 は、ポート間に  $5\Omega$  のスイッチ接続があり、スイッチ両端における信号損失を小さくできます。データ I/O でのレールツーレールスイッチングにより、完全な電圧スイング出力が可能です。 $I_{off}$  では部分的パワーダウンモード動

作をサポートしているため、チップの電源がオンになっていないときの出力ポート電圧からチップを保護します。JESD 17 準拠で 250mA 超のラッチアップ性能です。

## 7.4 デバイスの機能モード

表 7-1 に、SN74CB3T3257 の機能モードを表示します。

表 7-1. 機能表

入力		機能
OE	S	
L	L	A ポート = B1 ポート
L	H	A ポート = B2 ポート
H	X	切断

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

SN74CB3T3257 は、2:1 構成で最大 4 チャンネルを同時に多重化および逆多重化する用途に使用できます。ここに示されているアプリケーションは、4 ビットのバスを 2 つのデバイス間で多重化する構成です。 $\overline{OE}$  および S ピンは、バスコントローラからチップを制御するために使用されます。これは、さまざまな状況に適用できる一般的な例です。アプリケーションで必要なビットが 4 ビット未満の場合、A 側を未使用のチャネルの High または Low に接続します。

### 8.2 代表的なアプリケーション

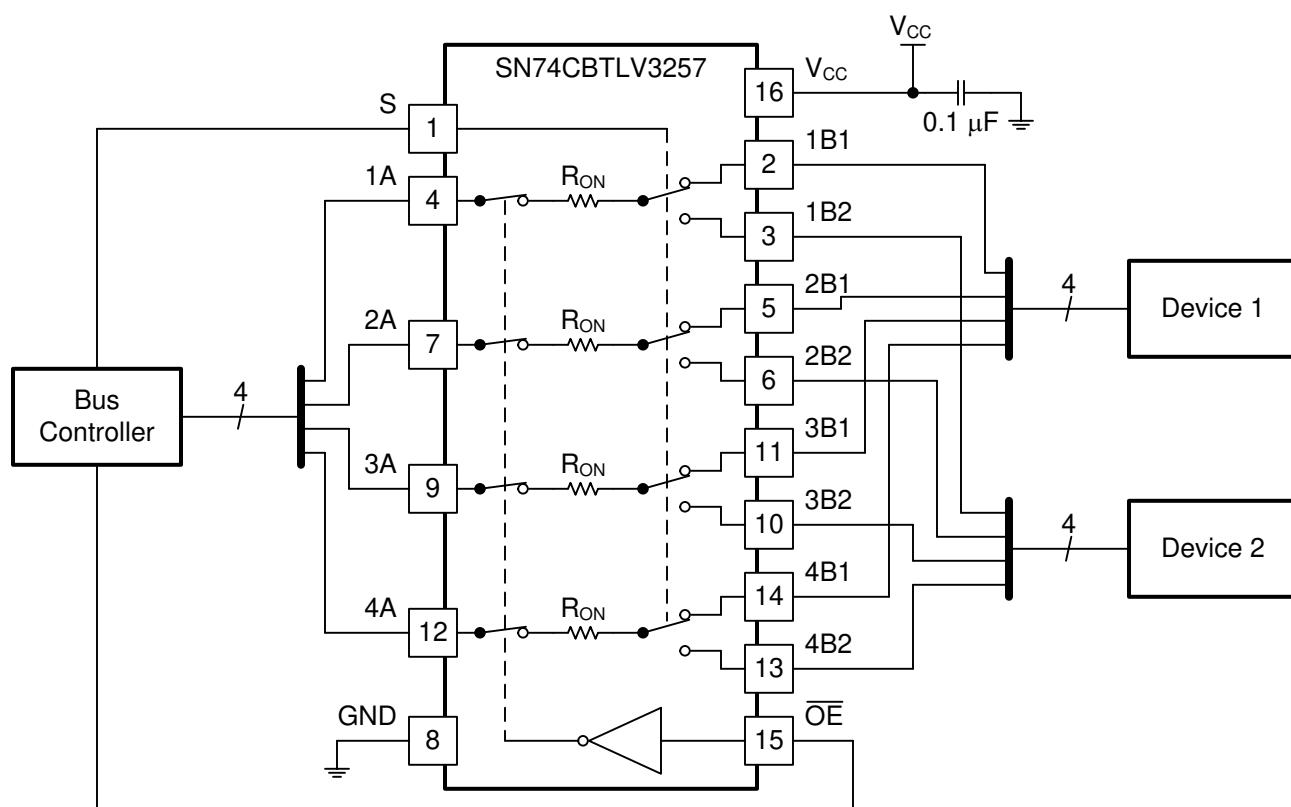


図 8-1. SN74CB3T3257 の代表的なアプリケーション

### 8.2.1 設計要件

1. 推奨入力条件:
  - 規定された High および Low レベルについては、セクション 5.3 の  $V_{IH}$  および  $V_{IL}$  を参照してください。
  - 入力および出力は過電圧に対して耐性があり、任意の有効な  $V_{CC}$  において最大 4.6V に対応できます。
2. 推奨出力条件:
  - 負荷電流は、チャネルごとに  $\pm 128\text{mA}$  を超えてはなりません。
3. 周波数選択の基準:
  - テストした最大周波数は 200MHz です。
  - パターンの抵抗と容量を追加すると、最大周波数能力が低下する可能性があります。セクション 8.4 に示すレイアウト手法を使用してください。

### 8.2.2 詳細な設計手順

4 ビットバスは、SN74CB3T3257 上の 1A、2A、3A、4A の各ポート (xA ポートと呼ばれます) に直接接続されています。これは、xB1 ポートとxB2 ポートから 2 つのバスに分割されます。S が High のとき、xB2 がアクティブ バス、S が Low のとき、xB1 がアクティブ バスです。つまり、S が High のときはデバイス 2 がバス コントローラに接続され、S が Low のときはデバイス 1 がバス コントローラに接続されます。この設定は、2 つのデバイスが同じアドレスでハード コードされ、1 つのバスしか使用できない場合に便利です。 $\overline{OE}$  接続を使用して、必要に応じてすべてのデバイスをバス コントローラから切断できます。

$V_{CC}$  の 0.1 $\mu\text{F}$  コンデンサは、デカップリング コンデンサであるため、できる限りデバイスの近くに配置してください。

### 8.2.3 アプリケーション特性の波形

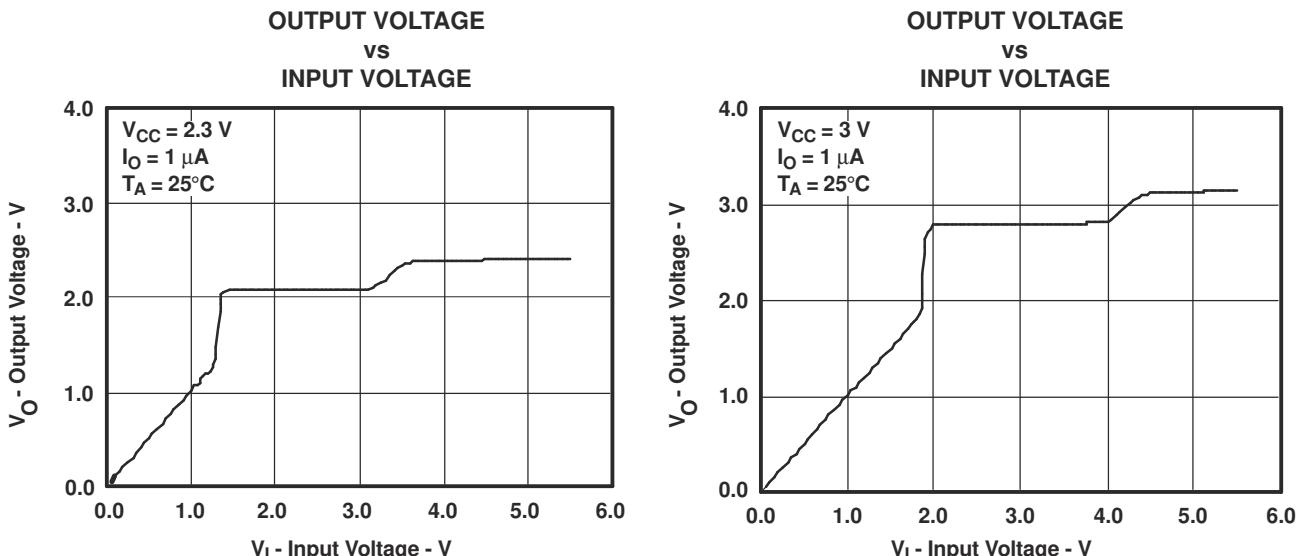


図 8-2. データ出力電圧とデータ入力電圧との関係

## 8.3 電源に関する推奨事項

電源には、[セクション 5.3](#) の表に記載された定格電源電圧の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各  $V_{CC}$  端子に適切なバイパスコンデンサを配置する必要があります。単一電源のデバイスには、 $0.1\mu F$  のバイパスコンデンサを推奨します。複数のピンに  $V_{CC}$  というラベルが付いている場合、 $V_{CC}$  ピンは内部で互いに接続されているため、各  $V_{CC}$  には  $0.01\mu F$  または  $0.022\mu F$  のコンデンサを推奨します。 $V_{CC}$  と  $V_{DD}$  など、異なる電圧で動作するデュアル電源ピンを備えたデバイスでは、各電源ピンに  $0.1\mu F$  のバイパスコンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパスコンデンサを並列に配置します。通常、 $0.1\mu F$  と  $1\mu F$  の値のコンデンサを並列にして使います。最良の結果を得るため、バイパスコンデンサは電源端子にできるだけ近づけて配置してください。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

反射と整合はループアンテナの理論と密接に関連していますが、理論とは切り離して議論されるほど異なるものです。PCB パターンが  $90^\circ$  の角度でコーナーを曲がると、反射が発生する可能性があります。反射は主に、パターンの幅の変化が原因で発生します。曲がりの頂点では、パターン幅が幅の  $1.414$  倍に増加します。これにより、伝送ラインの特性のアップセットが向上します。特に、パターンの分散静電容量と自己インダクタンスが増加し、反射が発生します。すべての PCB トレースが直線的であるとは限らないため、一部のパターンはコーナーを曲がる必要があります。[図 8-3](#) に、コーナーを丸める斬新で優れた方法を示します。最後の例 (BEST) のみが一定のパターン幅を維持し、反射を最小限に抑えます。

### 8.4.2 レイアウト例

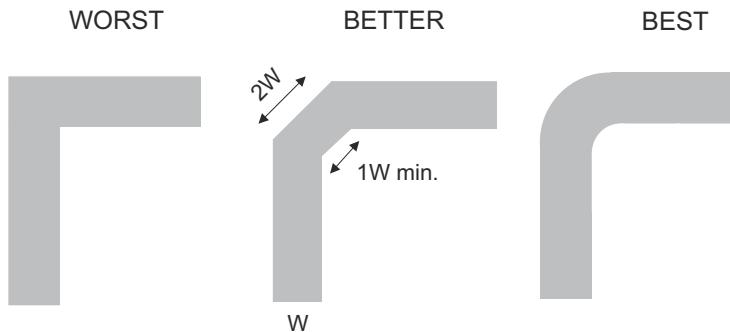


図 8-3. パターン例

## 9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

### 9.1 ドキュメントのサポート

#### 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[低速またはフローティング CMOS 入力の影響](#)』
- テキサス・インスツルメンツ、『[適切なテキサス・インスツルメンツ信号スイッチの選択](#)』

#### 9.1.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

#### 9.1.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

#### 9.1.3 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

#### 9.1.4 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (May 2025) to Revision B (December 2025)	Page
• ドキュメント全体を通して PW パッケージを追加.....	1
• ドキュメント全体を通して DYY パッケージを追加.....	1

Changes from Revision * (October 2003) to Revision A (May 2025)	Page
• 「ピン構成および機能」、「仕様」、「ESD 定格」、「熱に関する情報」、「概要」、「機能ブロック図」、「デバイスの機能モード」、「アプリケーションと実装」、「代表的なアプリケーション」、「電源に関する推奨事項」、「レイアウト」、「レイアウトのガイドライン」、「レイアウト例」、「デバイスおよびドキュメントのサポート」、「メカニカル、パッケージ、および注文情報」セクションを追加.....	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74CB3T3257DGVR	Active	Production	TVSOP (DGV)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS257
SN74CB3T3257DGVR.B	Active	Production	TVSOP (DGV)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS257
SN74CB3T3257DGVRG4	Active	Production	TVSOP (DGV)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS257
SN74CB3T3257DGVRG4.B	Active	Production	TVSOP (DGV)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS257
SN74CB3T3257DYYR	Active	Production	SOT-23-THIN (DYY)   16	3000   LARGE T&R	-	Call TI	Level-1-260C-UNLIM	-40 to 85	CT257
SN74CB3T3257PW	Obsolete	Production	TSSOP (PW)   16	-	-	Call TI	Call TI	-40 to 85	KS257
SN74CB3T3257PWR	Active	Production	TSSOP (PW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS257
SN74CB3T3257PWR.A	Active	Production	TSSOP (PW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS257
SN74CB3T3257PWR.B	Active	Production	TSSOP (PW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS257

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

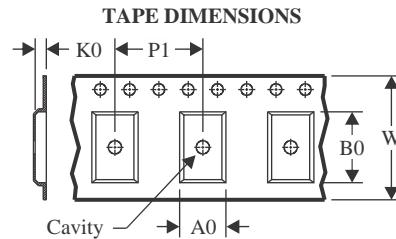
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

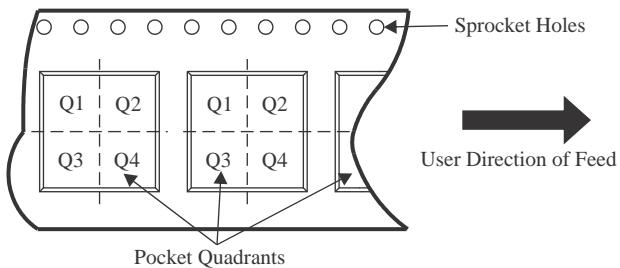
**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

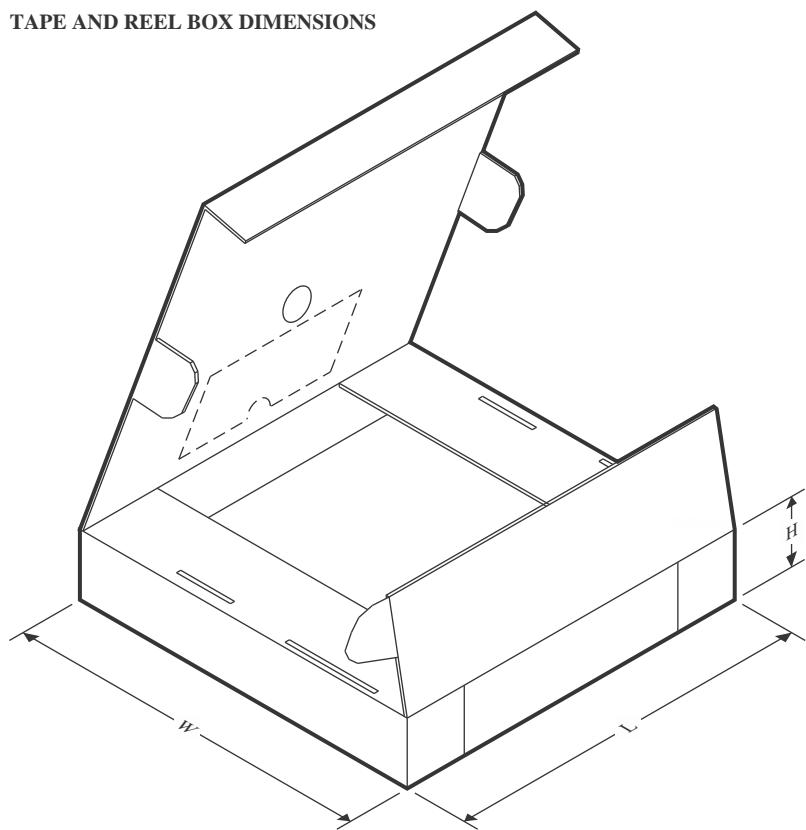
**TAPE AND REEL INFORMATION**

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**

\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74CB3T3257DGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74CB3T3257DYYR	SOT-23-THIN	DYY	16	3000	330.0	12.4	4.5	3.56	1.35	8.0	12.0	Q3

**TAPE AND REEL BOX DIMENSIONS**


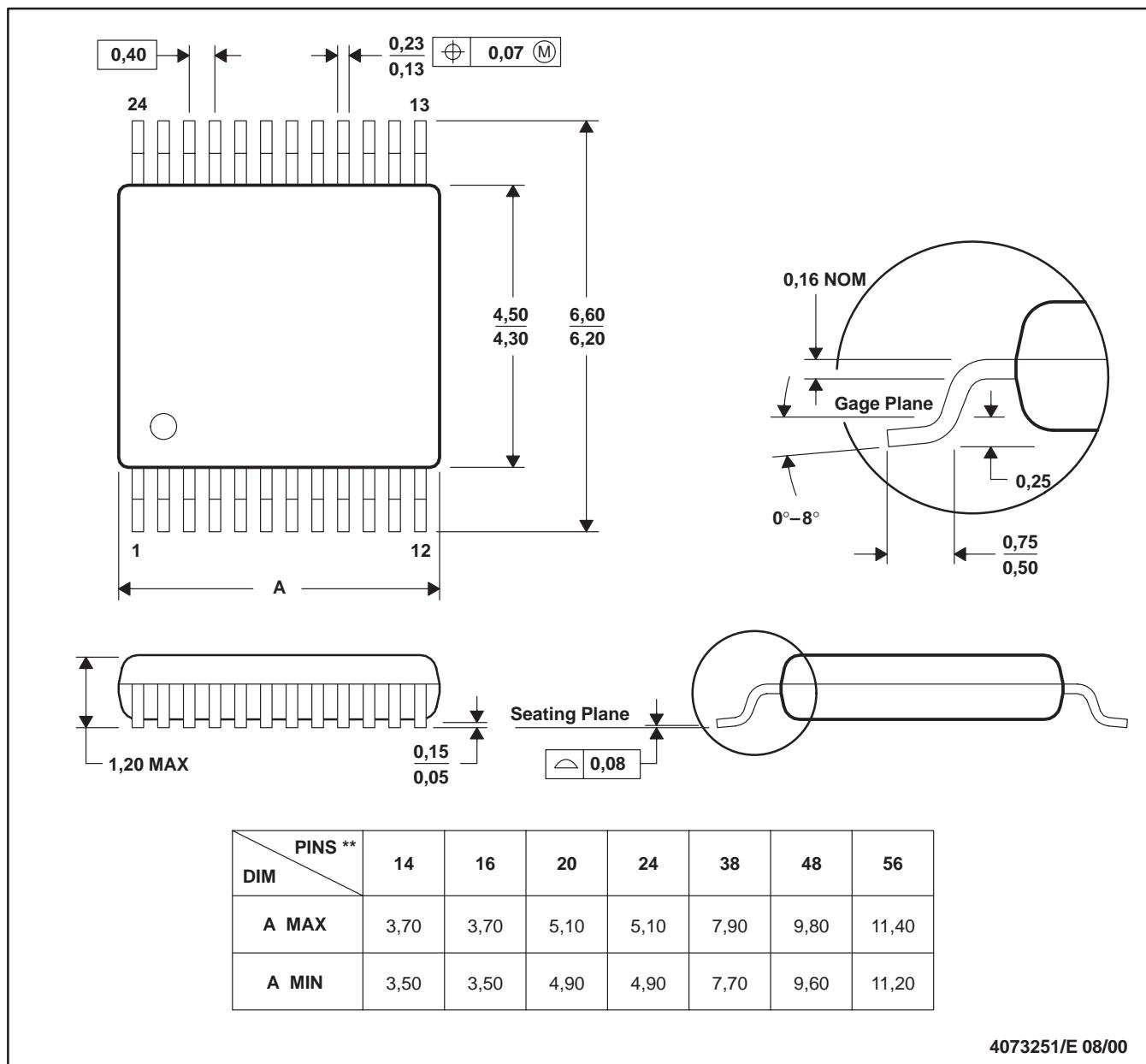
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74CB3T3257DGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74CB3T3257DYYR	SOT-23-THIN	DYY	16	3000	360.0	360.0	36.0

## DGV (R-PDSO-G\*\*)

## PLASTIC SMALL-OUTLINE

24 PINS SHOWN



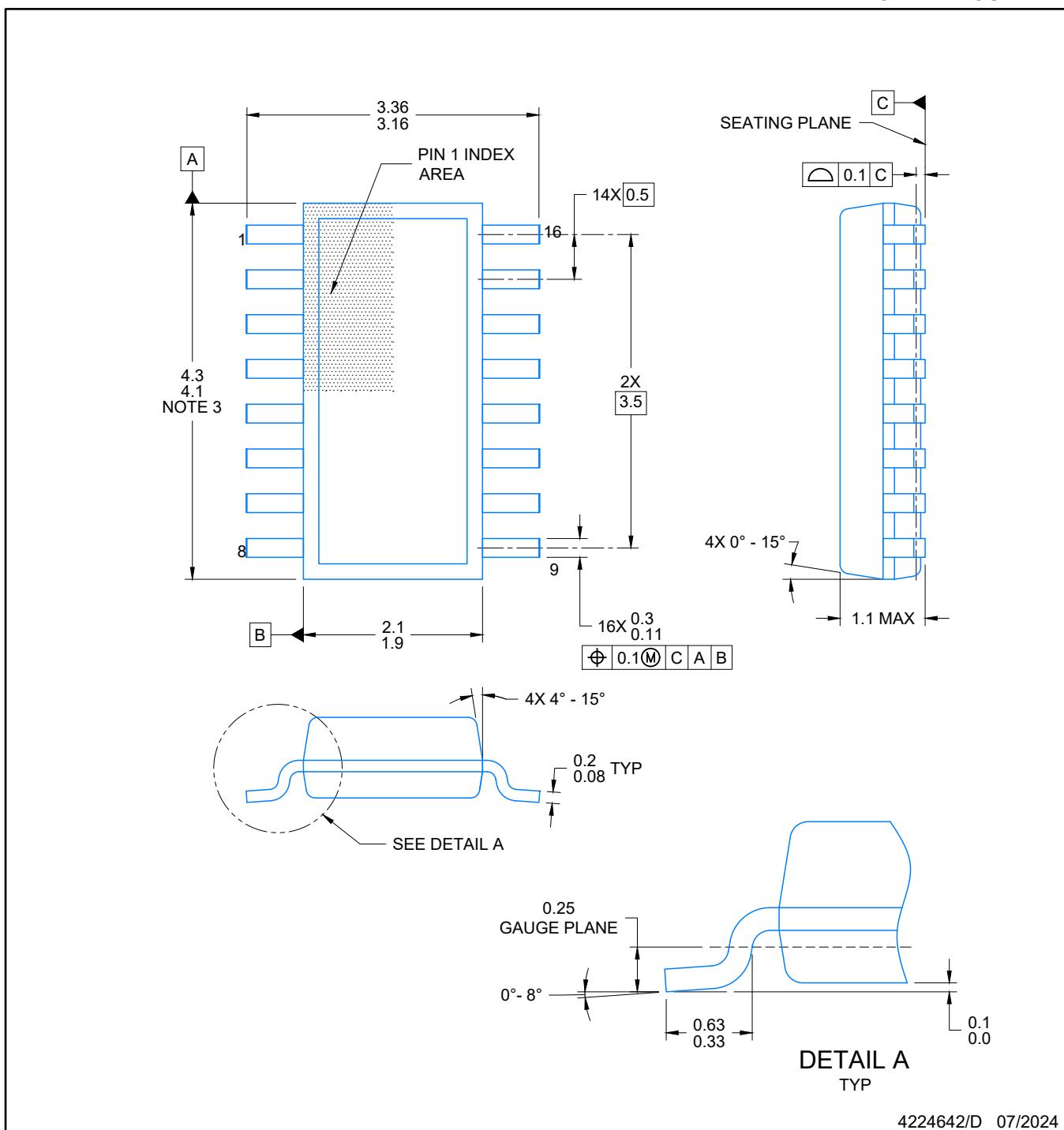
- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
  - D. Falls within JEDEC: 24/48 Pins – MO-153  
14/16/20/56 Pins – MO-194

# PACKAGE OUTLINE

DYY0016A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

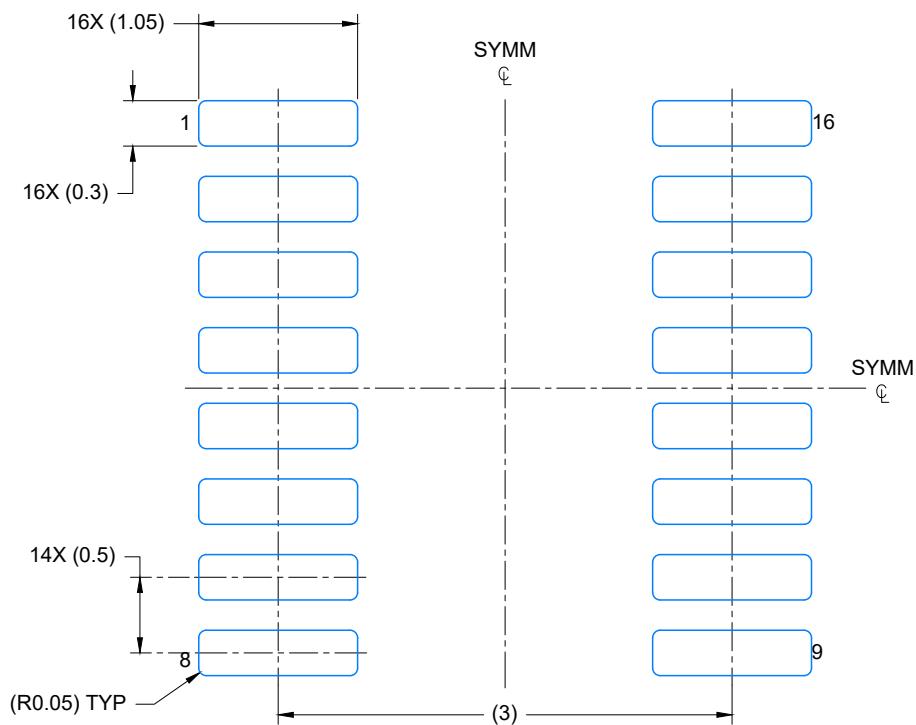


4224642/D 07/2024

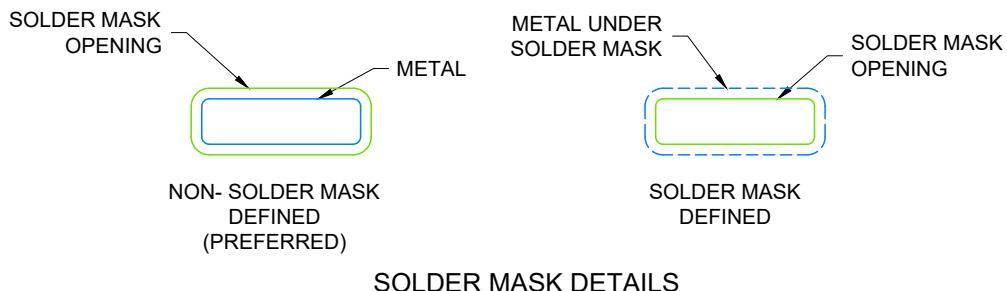
## NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA

PLASTIC SMALL OUTLINE



**LAND PATTERN EXAMPLE**  
 EXPOSED METAL SHOWN  
 SCALE: 20X



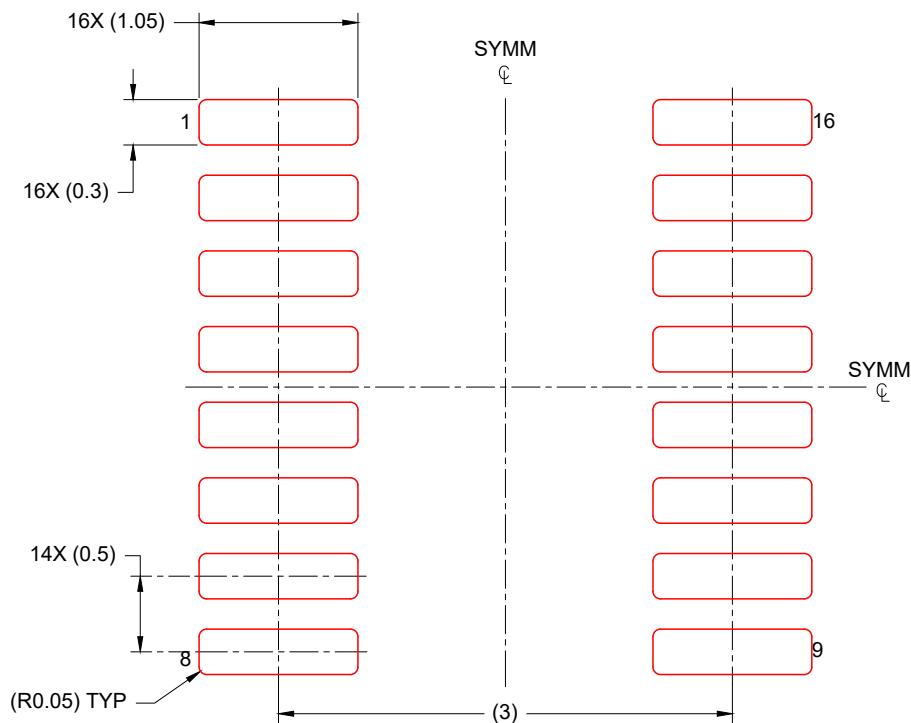
SOLDER MASK DETAILS

4224642/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 20X

4224642/D 07/2024

## NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

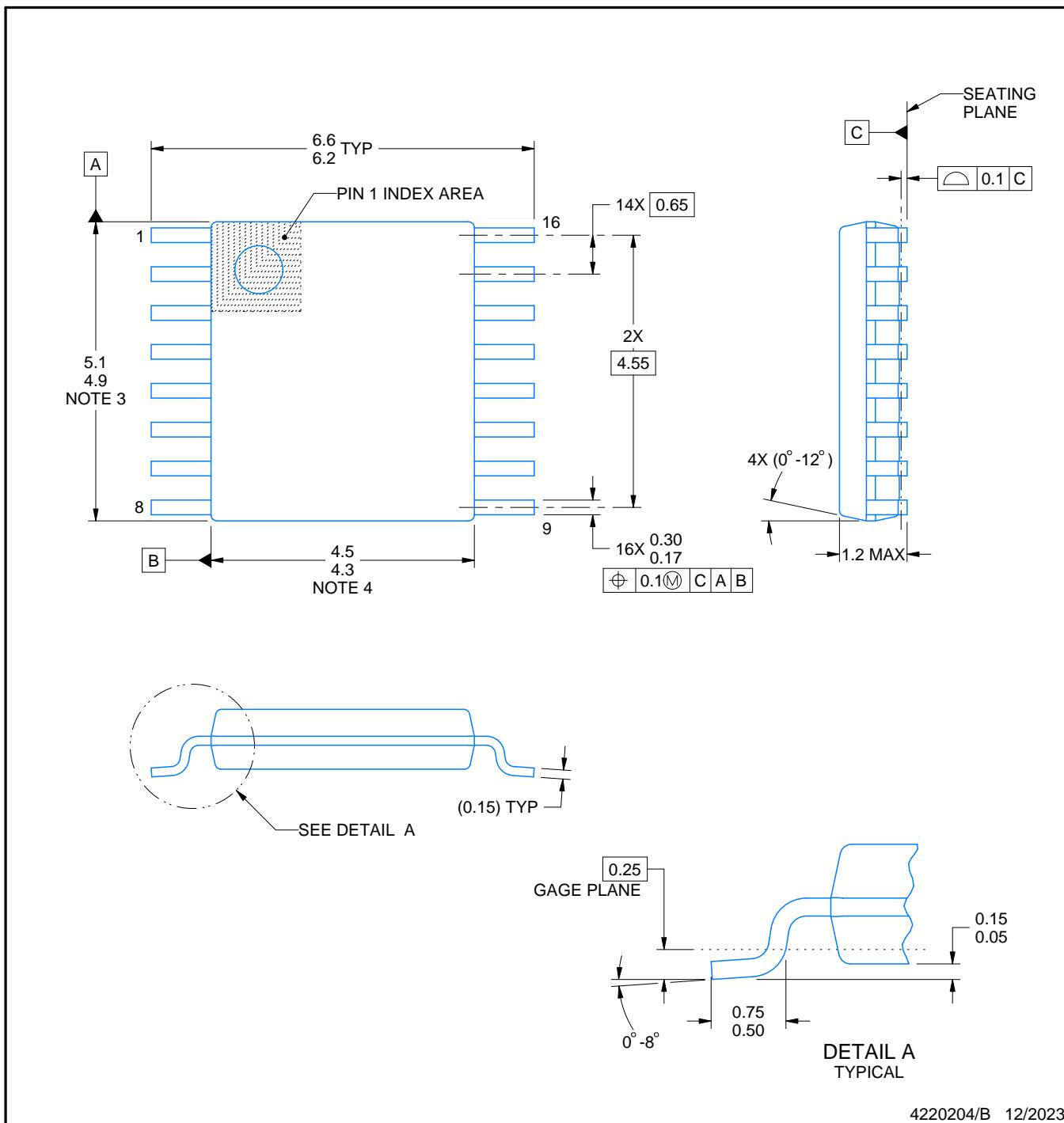
# PACKAGE OUTLINE

PW0016A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



## NOTES:

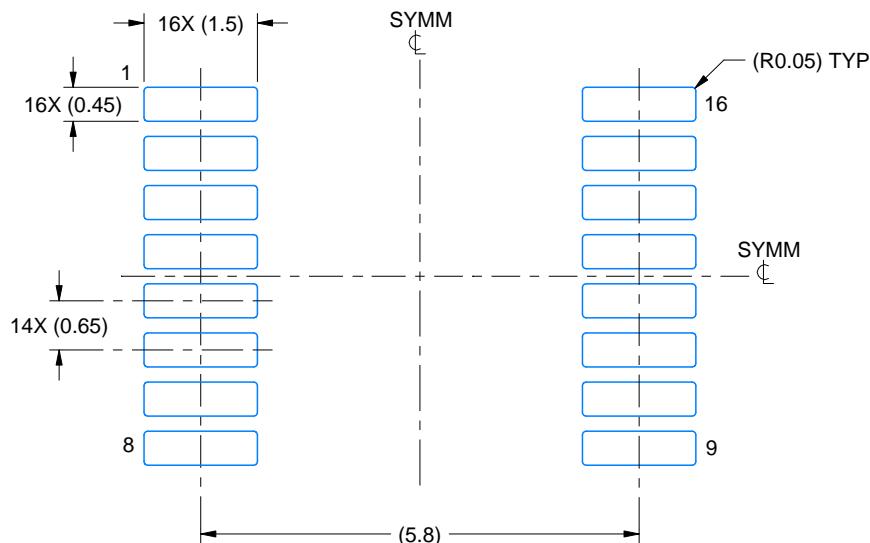
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

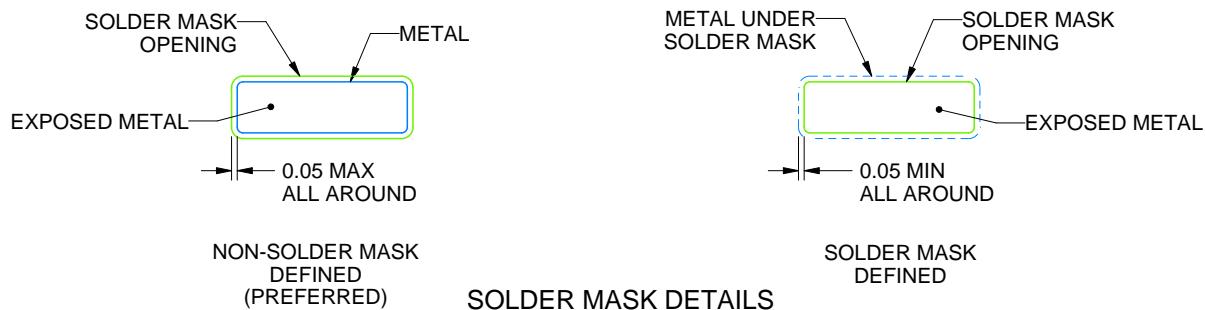
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220204/B 12/2023

NOTES: (continued)

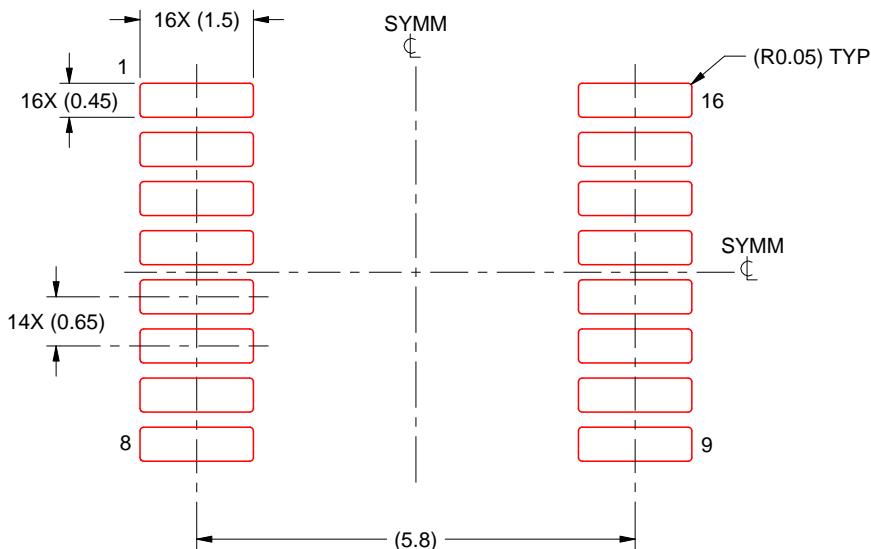
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月