

SNx4LV221A シュミットトリガ入力を備えたデュアルモノステーブルマルチバイブレータ

1 特長

- 2V~5.5V の V_{CC} で動作
- 最大 t_{pd} 11ns (5V 時)
- すべてのポートで混合モード電圧動作をサポートし、 \bar{A} 、 B 、および \bar{CLR} 入力には低速入力遷移レート対応のシュミットトリガ回路を搭載しています
- クリア信号をオーバーライドすることで、出力パルスが終了
- グリッチが発生しないパワーアップ時の出力リセット
- I_{off} により部分的パワーダウン モードでの動作をサポート
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能

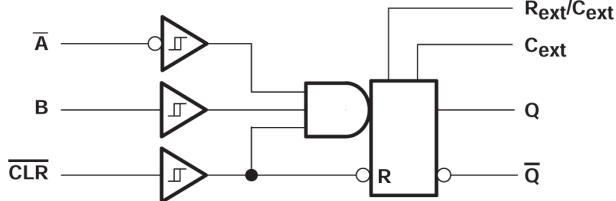
2 概要

LV221A デバイスは、2V~5.5V の V_{CC} で動作するように設計されたデュアル マルチバイブレータです。各マルチバイブレータには、ネガティブ遷移トリガ (\bar{A}) 入力とポジティブ遷移トリガ (B) 入力があり、どちらも抑制入力として使用できます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾	本体サイズ ⁽³⁾
SN74LV221A	DB (SSOP, 16)	6.2mm × 7.8mm	6.2mm × 5.3mm
	DGV (TSSOP, 16)	3.6mm × 6.4mm	3.6mm × 4.4mm
	PW (TSSOP, 16)	5.00mm × 6.4mm	5.00mm × 4.40mm
	NS (SOP, 16)	10.2mm × 7.8mm	10.3mm × 5.30mm
	D (SOIC, 16)	9.9mm × 6mm	9.9mm × 3.90mm

- 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
- パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
- 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



各マルチバイブレータの論理図 (正論理)



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあります。TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6 詳細説明	10
2 概要	1	6.1 概要	10
3 ピン構成および機能	3	6.2 機能ブロック図	10
4 仕様	4	6.3 デバイスの機能モード	10
4.1 絶対最大定格	4	7 アプリケーションと実装	12
4.2 ESD 定格	4	7.1 アプリケーション インフォメーション	12
4.3 推奨動作条件	4	7.2 電源に関する推奨事項	15
4.4 熱に関する情報	5	7.3 レイアウト	15
4.5 電気的特性	5	8 デバイスおよびドキュメントのサポート	18
4.6 タイミング要件、 $V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	6	8.1 ドキュメントのサポート	18
4.7 タイミング要件、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	6	8.2 ドキュメントの更新通知を受け取る方法	18
4.8 タイミング要件、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	6	8.3 サポート・リソース	18
4.9 スイッチング特性、 $V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	6	8.4 商標	18
4.10 スイッチング特性、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	7	8.5 静電気放電に関する注意事項	18
4.11 スイッチング特性、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	7	8.6 用語集	18
4.12 動作特性	7	9 改訂履歴	18
4.13 入力 / 出力タイミング図	8	10 メカニカル、パッケージ、および注文情報	19
5 パラメータ測定情報	9		

3 ピン構成および機能

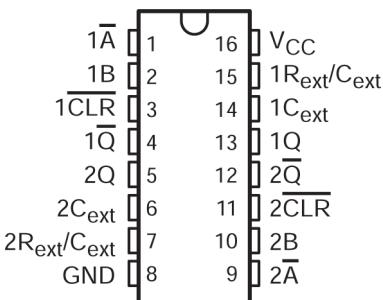


図 3-1. SN74LV221A D、DB、DGV、NS、または PW パッケージ；16 ピン SOIC、SSOP、TVSOP、SOP、または TSSOP (上面図)

表 3-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
番号	名称		
1	1Ā	I	チャネル 1 立ち下がりエッジトリガ入力(1B = H の場合)。その他の入力方法では Low に保持します
2	1B	I	1Ā = L の場合のチャネル 1 立ち上がりエッジトリガ入力。その他の入力方法では High に保持します
3	1CLR	I	1Ā = L および 1B = H の場合のチャネル 1 の立ち上がりエッジトリガ。その他の入力方法では High に保持します。出力中に Low を駆動することで、パルス長を短く切ることができます
4	1Ā	O	チャネル 1 反転出力
5	2Q	O	チャネル 2 出力
6	2Cext	—	チャネル 2 の外付けコンデンサの負の接続
7	2Rext/Cext	—	チャネル 2 の外付けコンデンサと抵抗器接合部接続
8	GND	—	グランド
9	2Ā	I	チャネル 2 立ち下がりエッジトリガ入力(2B = H の場合)。その他の入力方法では Low に保持します
10	2B	I	2Ā = L の場合のチャネル 2 立ち上がりエッジトリガ入力。その他の入力方法では High に保持します
11	2CLR	I	2Ā = L および 2B = H の場合のチャネル 2 の立ち上がりエッジトリガ。その他の入力方法では High に保持します。出力中に Low を駆動することで、パルス長を短く切ることができます
12	2Ā	O	チャネル 2 反転出力
13	1Q	O	チャネル 1 出力
14	1Cext	—	チャネル 1 の外付けコンデンサの負の接続
15	1Rext/Cext	—	チャネル 1 の外付けコンデンサと抵抗器接合部接続
16	VCC	—	電源

(1) I = 入力、O = 出力

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧範囲	-0.5	7	V
V _I ⁽²⁾	入力電圧範囲	-0.5	7	V
V _O ⁽²⁾	High または Low 状態で印加される出力電圧範囲	-0.5	V _{CC} + 0.5	V
V _O ⁽²⁾	電源オフ状態で印加される出力電圧範囲	-0.5	7	V
I _{IK}	入力クランプ電流 (V _I < 0)		-20	mA
I _{OK}	出力クランプ電流 (V _O < 0)		-50	mA
I _O	連続出力電流 (V _O = 0~V _{CC})		±25	mA
	V _{CC} または GND を通過する連続電流		±50	mA
T _{stg}	保管温度範囲	-65	150	°C

(1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

(2) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。

4.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±1000

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		SN74LV221A		単位
		最小値	最大値	
V _{CC}	電源電圧	2	5.5	V
V _{IH}	High レベル入力電圧	V _{CC} = 2 V	1.5	V
		V _{CC} = 2.3V~2.7V	V _{CC} × 0.7	
		V _{CC} = 3V~3.6V	V _{CC} × 0.7	
		V _{CC} = 4.5V~5.5V	V _{CC} × 0.7	
V _{IL}	Low レベル入力電圧	V _{CC} = 2 V	0.5	V
		V _{CC} = 2.3V~2.7V	V _{CC} × 0.3	
		V _{CC} = 3V~3.6V	V _{CC} × 0.3	
		V _{CC} = 4.5V~5.5V	V _{CC} × 0.3	
V _I	入力電圧	0	5.5	V
V _O	出力電圧	0	V _{CC}	V
I _{OH}	High レベル出力電流	V _{CC} = 2 V	-50	mA
		V _{CC} = 2.3V~2.7V	-2	
		V _{CC} = 3V~3.6V	-6	
		V _{CC} = 4.5V~5.5V	-12	

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		SN74LV221A	単位
		最小値	
I_{OL}	Low レベル出力電流	$V_{CC} = 2\text{ V}$	50
		$V_{CC} = 2.3\text{V} \sim 2.7\text{V}$	2
		$V_{CC} = 3\text{V} \sim 3.6\text{V}$	6
		$V_{CC} = 4.5\text{V} \sim 5.5\text{V}$	12
R_{ext}	外部タイミング抵抗	$V_{CC} = 2\text{ V}$	5k
		$V_{CC} = 3\text{V}$	1k
C_{ext}	外部タイミング キャパシタンス	制限なし	pF
$\Delta t/\Delta V_{CC}$	パワーアップ ランプ レート	1	ms/V
T_A	自由空気での動作温度	-40	85
			°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、 V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

4.4 热に関する情報

熱評価基準 ⁽¹⁾	SN74LV221A					単位
	D (SOIC)	DB (SSOP)	DGV (TWSOP)	NS (SOP)	PW (TSSOP)	
	16 ピン	16 ピン	16 ピン	16 ピン	16 ピン	
$R_{\theta JA}$ 接合部から周囲への熱抵抗	73	82	120	64	108	°C/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーションレポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

4.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	SN74LV221A			単位
			最小値	標準値	最大値	
V_{OH}	$I_{OH} = -50\mu\text{A}$	2V~5.5V	$V_{CC}-0.1$			V
	$I_{OH} = -2\text{mA}$	2.3 V	2			
	$I_{OH} = -6\text{mA}$	3 V	2.48			
	$I_{OH} = -12\text{mA}$	4.5 V	3.8			
V_{OL}	$I_{OL} = 50\mu\text{A}$	2V~5.5V		0.1		V
	$I_{OL} = 2\text{mA}$	2.3 V		0.4		
	$I_{OL} = 6\text{mA}$	3 V		0.44		
	$I_{OL} = 12\text{mA}$	4.5 V		0.55		
I_I	R_{ext}/C_{ext} ⁽¹⁾	$V_I = 5.5\text{ V}$ または GND	2V~5.5V		±2.5	μA
	\bar{A}, \bar{B} , および \bar{CLR}	$V_I = 5.5\text{ V}$ または GND	0		±1	
I_{CC}	静止時	$V_I = V_{CC}$ または GND、 $I_O = 0$	0 ~ 5.5 V		±1	μA
			5.5 V		20	
I_{CC}	アクティブ状態(回路ごと)	$V_I = V_{CC}$ または GND、 $R_{ext}/C_{ext} = 0.5 V_{CC}$	2.3 V		220	μA
			3 V		280	
			4.5 V		650	
			5.5 V		975	
I_{off}		V_I または $V_O = 0 \sim 5.5\text{V}$	0		5	μA

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	SN74LV221A			単位
			最小値	標準値	最大値	
C _i	V _I = V _{CC} または GND	3.3 V		1.9		pF
		5 V		1.9		

(1) このテストは、端子が OFF 状態のときに実行します。

4.6 タイミング要件、V_{CC} = 2.5 V ± 0.2 V

自由気流での推奨動作温度範囲内、V_{CC} = 2.5 V ± 0.2 V (特に記述のない限り) (負荷回路および電圧波形を参照)

		CLR	T _A = 25°C	SN74LV221A		単位
			最小値	最大値	最小値	
t _w	パルス幅	CLR	6		6.5	ns
		Ā または B トリガ	6		6.5	

4.7 タイミング要件、V_{CC} = 3.3 V ± 0.3 V

自由気流での推奨動作温度範囲内、V_{CC} = 3.3 V ± 0.3 V (特に記述のない限り) (負荷回路および電圧波形を参照)

		CLR	T _A = 25°C	SN74LV221A		単位
			最小値	最大値	最小値	
t _w	パルス幅	CLR	5		5	ns
		Ā または B トリガ	5		5	

4.8 タイミング要件、V_{CC} = 5 V ± 0.5 V

自由気流での推奨動作温度範囲内、V_{CC} = 5 V ± 0.5 V (特に記述のない限り) (負荷回路および電圧波形を参照)

		CLR	T _A = 25°C	SN74LV221A		単位
			最小値	最大値	最小値	
t _w	パルス幅	CLR	5		5	ns
		Ā または B トリガ	5		5	

4.9 スイッチング特性、V_{CC} = 2.5 V ± 0.2 V

自由気流での推奨動作温度範囲内、V_{CC} = 2.5 V ± 0.2 V (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点(入力)	終点(出力)	テスト条件	T _A = 25°C		SN74LV221A		単位
				最小値	標準値	最大値	最小値	
t _{pd}	Ā または B	Q または Ā	C _L = 15pF	14.6 ⁽¹⁾	31.4 ⁽¹⁾		1	37
	CLR	Q または Ā		13.2 ⁽¹⁾	25 ⁽¹⁾		1	29.5
	CLR トリガ	Q または Ā		15.2 ⁽¹⁾	33.4 ⁽¹⁾		1	39
t _{pd}	Ā または B	Q または Ā	C _L = 50pF	16.7	36		1	42
	CLR	Q または Ā		15	32.8		1	34.5
	CLR トリガ	Q または Ā		17.4	38		1	44
t _w ⁽²⁾		Q または Ā	C = L 50pF, C _{ext} = 28pF, R _{ext} = 2kΩ	203	260		320	ns
			C _L = 50pF, C _{ext} = 0.01μF, R _{ext} = 10kΩ	90	100	110	90	110
			C _L = 50pF, C _{ext} = 0.1μF, R _{ext} = 10kΩ	0.9	1	1.1	0.9	1.1
Δt _w ⁽³⁾			C _L = 50pF	±1				%

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

(2) t_w = パルス持続時間(Q および Ā 出力において)(3) Δt_w = 同じパッケージの回路間での出力パルス持続時間の変動(Q および Ā)

4.10 スイッチング特性、 $V_{CC} = 3.3 \text{ V} \pm 0.3 \text{ V}$

自由気流での推奨動作温度範囲内、 $V_{CC} = 3.3 \text{ V} \pm 0.3 \text{ V}$ (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点(入力)	終点(出力)	テスト条件	$T_A = 25^\circ\text{C}$			SN74LV221A	単位
				最小値	標準値	最大値		
t_{pd}	\bar{A} または B	Q または \bar{Q}	$C_L = 15\text{pF}$	10.2 ⁽¹⁾	20.6 ⁽¹⁾	24	1	ns
	\bar{CLR}	Q または \bar{Q}		9.3 ⁽¹⁾	15.8 ⁽¹⁾	18.5	1	ns
	\bar{CLR} トリガ	Q または \bar{Q}		10.6 ⁽¹⁾	22.4 ⁽¹⁾	26	1	ns
t_{pd}	\bar{A} または B	Q または \bar{Q}	$C_L = 50\text{pF}$	11.8	24.1	27.5	1	ns
	\bar{CLR}	Q または \bar{Q}		10.6	19.3	22	1	ns
	\bar{CLR} トリガ	Q または \bar{Q}		12.3	25.9	29.5	1	ns
t_w ⁽²⁾		Q または \bar{Q}	$C_L = 50\text{pF}, C_{ext} = 28\text{pF}, R_{ext} = 2\text{k}\Omega$	186	240	300	ns	
			$C_L = 50\text{pF}, C_{ext} = 0.01\mu\text{F}, R_{ext} = 10\text{k}\Omega$	90	100	110	90	μs
			$C_L = 50\text{pF}, C_{ext} = 0.1\mu\text{F}, R_{ext} = 10\text{k}\Omega$	0.9	1	1.1	0.9	ms
Δt_w ⁽³⁾			$C_L = 50\text{pF}$	± 1				%

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

(2) t_w = パルス持続時間 (Q および \bar{Q} 出力における)

(3) Δt_w = 同じパッケージの回路間での出力パルス持続時間の変動 (Q および \bar{Q})

4.11 スイッチング特性、 $V_{CC} = 5 \text{ V} \pm 0.5 \text{ V}$

自由気流での推奨動作温度範囲内、 $V_{CC} = 5 \text{ V} \pm 0.5 \text{ V}$ (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点(入力)	終点(出力)	テスト条件	$T_A = 25^\circ\text{C}$			SN74LV221A	単位
				最小値	標準値	最大値		
t_{pd}	\bar{A} または B	Q または \bar{Q}	$C_L = 15\text{pF}$	7.1 ⁽¹⁾	12 ⁽¹⁾	14	1	ns
	\bar{CLR}	Q または \bar{Q}		6.5 ⁽¹⁾	9.4 ⁽¹⁾	11	1	ns
	\bar{CLR} トリガ	Q または \bar{Q}		7.3 ⁽¹⁾	12.9 ⁽¹⁾	15	1	ns
t_{pd}	\bar{A} または B	Q または \bar{Q}	$C_L = 50\text{pF}$	8.2	14	16	1	ns
	\bar{CLR}	Q または \bar{Q}		7.4	11.4	13	1	ns
	\bar{CLR} トリガ	Q または \bar{Q}		8.6	14.9	17	1	ns
t_w ⁽²⁾		Q または \bar{Q}	$C_L = 50\text{pF}, C_{ext} = 28\text{pF}, R_{ext} = 2\text{k}\Omega$	171	200	240	ns	
			$C_L = 50\text{pF}, C_{ext} = 0.01\mu\text{F}, R_{ext} = 1\text{k}\Omega$	90	100	110	90	μs
			$C_L = 50\text{pF}, C_{ext} = 0.1\mu\text{F}, R_{ext} = 10\text{k}\Omega$	0.9	1	1.1	0.9	ms
Δt_w ⁽³⁾			$C_L = 50\text{pF}$	± 1				%

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

(2) t_w = パルス持続時間 (Q および \bar{Q} 出力における)

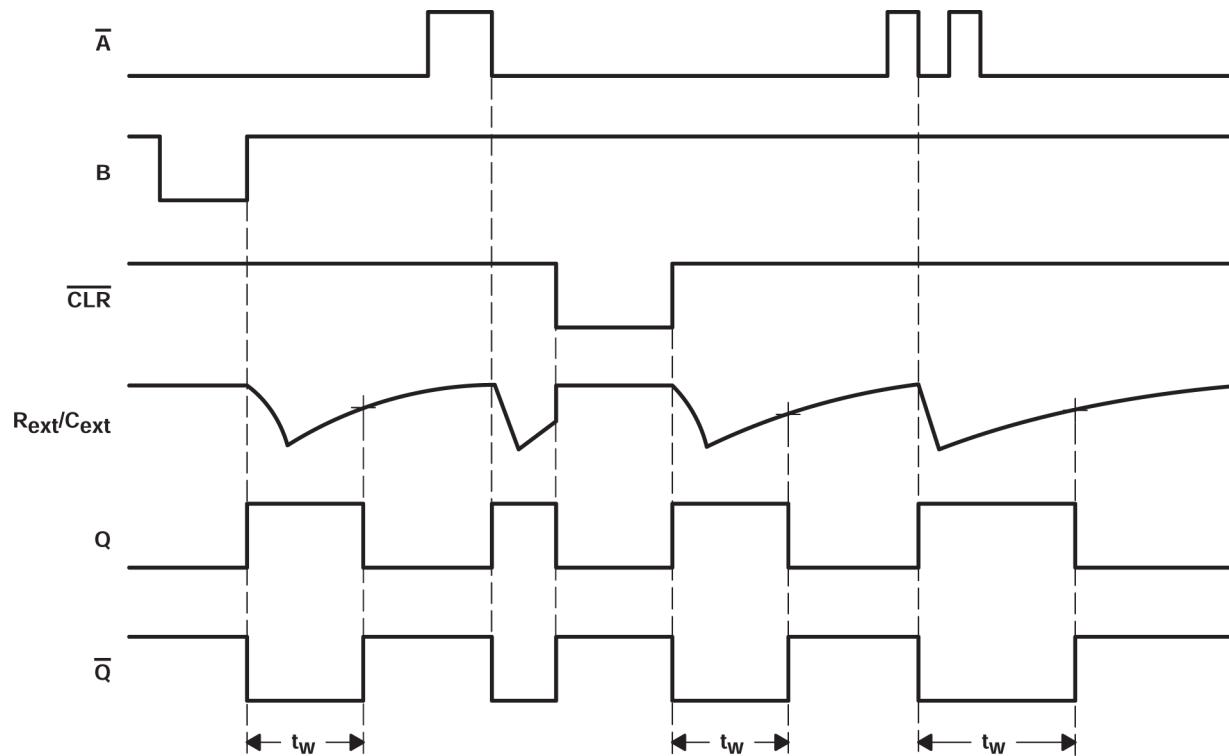
(3) Δt_w = 同じパッケージの回路間での出力パルス持続時間の変動 (Q および \bar{Q})

4.12 動作特性

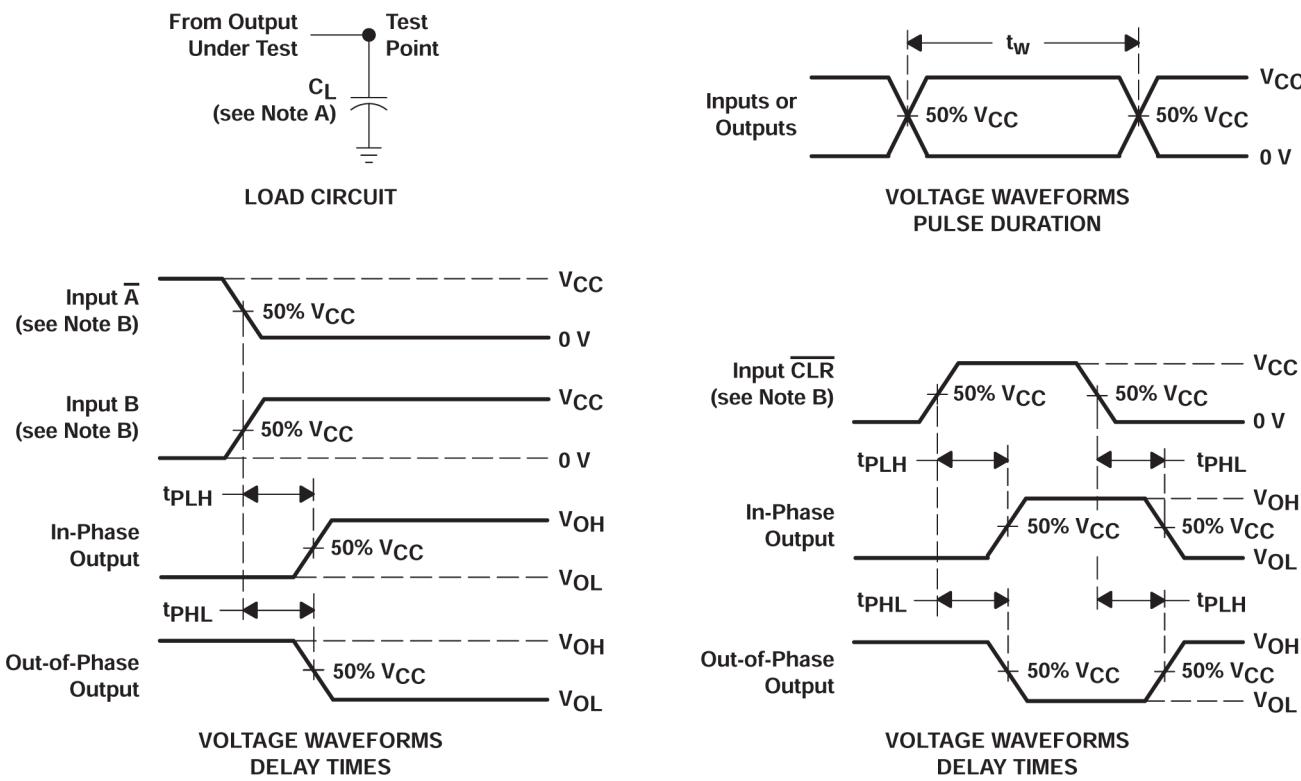
$T_A = 25^\circ\text{C}$

パラメータ		テスト条件	V_{CC}	標準値	単位
C_{pd}	電力散逸容量	$C_L = 50\text{pF}, f = 10\text{MHz}$	3.3 V	50	pF
			5 V	51	

4.13 入力 / 出力タイミング図



5 パラメータ測定情報



- C_L にはプローブと治具の容量が含まれます。
- すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR $\leq 1\text{ MHz}$, $Z_O = 50\Omega$, $t_r = 3\text{ ns}$, $t_f = 3\text{ ns}$ 。
- 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。

図 5-1. 負荷回路および電圧波形

6 詳細説明

6.1 概要

これらのエッジトリガマルチバイブレータは、3つの手法による出力パルス持続時間の制御を特徴としています。1番目の方法では、 \bar{A} 入力が Low のときに、B 入力が High に遷移します。2番目の方法では、B 入力が High のときに、 \bar{A} 入力が Low に遷移します。3番目の方法では、 \bar{A} 入力が Low、B 入力が High のときに、クリア ($\overline{\text{CLR}}$) 入力が High に遷移します。

出力パルス持続時間は、外部抵抗と外部容量の値を選択することでプログラム可能です。外付けタイミングコンデンサは C_{ext} と $R_{\text{ext}}/C_{\text{ext}}$ (正極側) の間に接続する必要があります。外付け抵抗器は $R_{\text{ext}}/C_{\text{ext}}$ と V_{CC} の間に接続する必要があります。パルス持続時間を可変させるには、 $R_{\text{ext}}/C_{\text{ext}}$ と V_{CC} の間に外付けの可変抵抗器を接続します。 $\overline{\text{CLR}}$ を Low にすることで、出力パルスの持続時間を低減することもできます。

パルスのトリガは特定の電圧レベルで発生し、入力パルスの遷移時間とは直接関係しません。 \bar{A} 、B、および $\overline{\text{CLR}}$ 入力には、遅い入力遷移速度でもジッタのない出力トリガを実現するために十分なヒステリシスを備えたシュミットトリガが搭載されています。

トリガされると、出力は \bar{A} および B 入力のさらなる遷移とは独立し、タイミング部品の関数となり、またはオーバーライドのクリアによって出力パルスを終端させることができます。入力パルスは、出力パルスに対して任意の持続時間を指定できます。出力パルス持続時間は、適切なタイミング部品の選択によって変更できます。出力の立ち上がりおよび立ち下がり時間は TTL 互換で、パルス持続時間には依存しません。一般的なトリガおよびクリア シーケンスについては、入出力タイミング図を参照してください。

デバイス間での出力パルス持続時間のばらつきは、一般に、特定の外付けタイミング部品について $\pm 0.5\%$ 未満です。**'LV221A** に関するこの分布の例を **図 7-7** に示します。出力パルス持続時間の変動と電源電圧および温度との関係を **図 7-4** に示します。

電源オン時、Q 出力は Low 状態になり、 \bar{Q} 出力は High 状態になります。出力は、リセットパルスを印加せずに、グリッチフリーです。

これらのデバイスは、 I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。 I_{off} 回路が出力をディセーブルにするため、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

ピン配置は '**AHC123A**' および '**AHCT123A**' デバイスと同じなので、リトリガ機能を使用しないデバイスには '**LV221A**' を置き換えることができます。

マルチバイブレータのアプリケーションインフォメーションの詳細については、アプリケーション レポート **『SN74AHC123A および SN74AHCT123A** (文献番号 SCLA014) を参照してください。

6.2 機能ブロック図

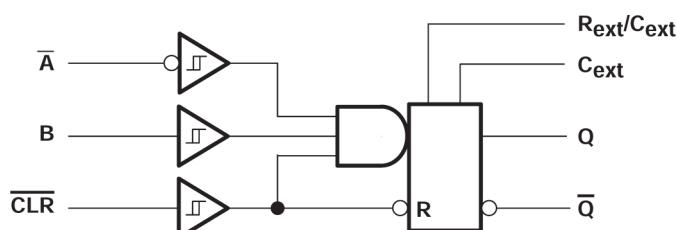


図 6-1. 各マルチバイブレータの論理図 (正論理)

6.3 デバイスの機能モード

表 6-1. 機能表 (各マルチバイブレータ)

入力			出力		機能
CLR	\bar{A}	B	Q	\bar{Q}	
L	X	X	L	H	リセット

表 6-1. 機能表 (各マルチバイブレータ) (続き)

入力			出力		機能
$\overline{\text{CLR}}$	\overline{A}	B	Q	\overline{Q}	
H	H	X	L	H	インヒビット(抑止)
H	X	L	L	H	インヒビット(抑止)
H	L	↑	↑	↑	出力イネーブル
H	↓	H	↑	↑	出力イネーブル
↑ ⁽¹⁾	L	H	↑	↑	出力イネーブル

(1) この条件は、NAND ゲートによって形成されるラッチの出力が $\overline{\text{CLR}}\text{HIGH}$ になる前にロジック 1 状態に調整された場合にのみ適用されます。このラッチは \overline{A} を HIGH または B を LOW のいずれかにすることで調整されます。一方、 $\overline{\text{CLR}}$ は非アクティブ(HIGH)にします。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション インフォメーション

これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。

7.1.1 使用上の注意

ノイズによる誤動作を防止するため、 V_{CC} と GND の間に高周波コンデンサを接続し、外付け部品と C_{ext} および R_{ext} / C_{ext} 端子との間の配線をできる限り短くします。

7.1.2 パワーダウンに関する考慮事項

C_{ext} の値が大きいと、コンデンサ内に蓄積されているエネルギーが原因で、'LV221A の電源をオフにすると問題が発生する可能性があります。このデバイスを含むシステムが電源オフのとき、コンデンサはピン 2 またはピン 14 の保護ダイオードを経由して V_{CC} から放電できます。入力保護ダイオードを流れる電流は 30mA に制限する必要があります。したがって、 V_{CC} 電源のターンオフ時間は $t = V_{CC} \times C_{ext} / 30mA$ よりも高速ではないようにする必要があります。たとえば、 $V_{CC} = 5V$ 、 $C_{ext} = 15pF$ の場合、 V_{CC} 電源は $t = (5V) \times (15pF) / 30mA = 2.5ns$ より高速にならぬようオフにする必要があります。通常、電源装置は高度にフィルタリングされており、このレートで放電できないため、これは問題ではありません。 V_{CC} がさらに急激にゼロに低下すると LV221A が損傷を受けますこの可能性を回避するために、外部クランプダイオードを使用します。

7.1.3 出力パルス持続時間

出力パルス持続時間、 t_w 、は主に外部静電容量 (C_T) とタイミング抵抗 (R_T) の値によって決定されます。タイミング部品は、図 7-1 に示すように接続されています。

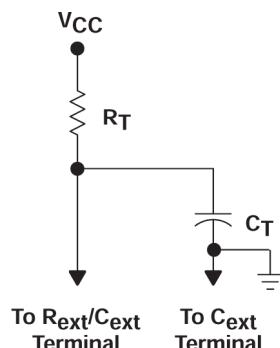


図 7-1. タイミング部品接続

パルス持続時間は次の式で与えられます。

$$t_w + K \times R_T \times C_T \quad (1)$$

C_T が $\geq 1000pF$ の場合、 $K = 1.0$ です

または

C_T が $1000pF$ 未満の場合は、 K を図 7-6 から求めることができます

ここで

t_w = パルス持続時間 (ns 単位)

R_T = 外部タイミング抵抗 ($k\Omega$ 単位)

C_T = 外部電容量 (pF 単位)

K = 乗数係数

式 1 および図 7-2 または図 7-3 を使用して、パルス持続時間、外付け抵抗、外部容量の値を決定できます。

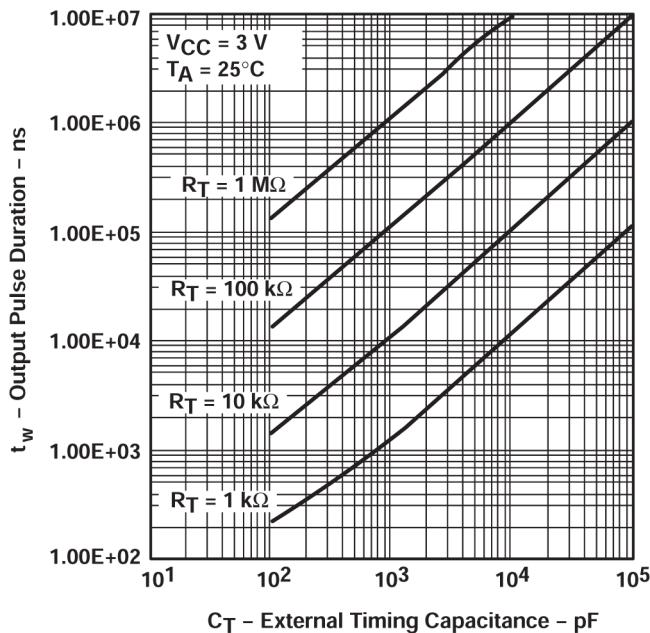


図 7-2. 出力パルス持続時間と外部タイミング容量との関係

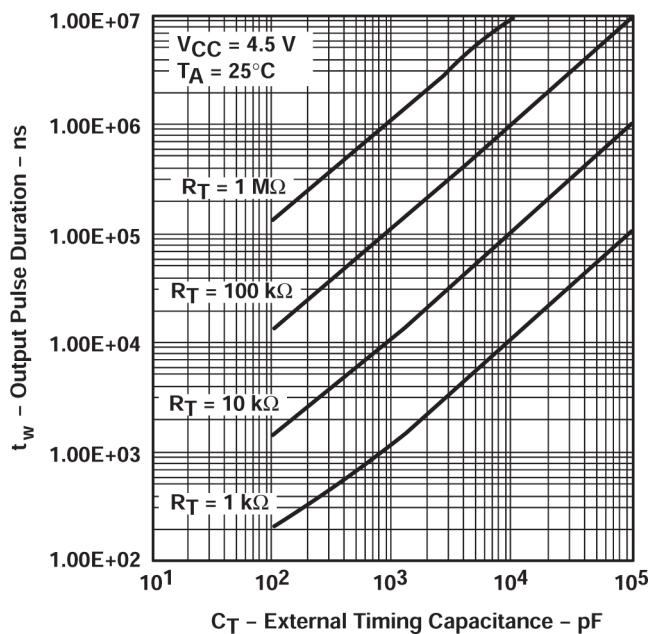


図 7-3. 出力パルス持続時間と外部タイミング容量との関係

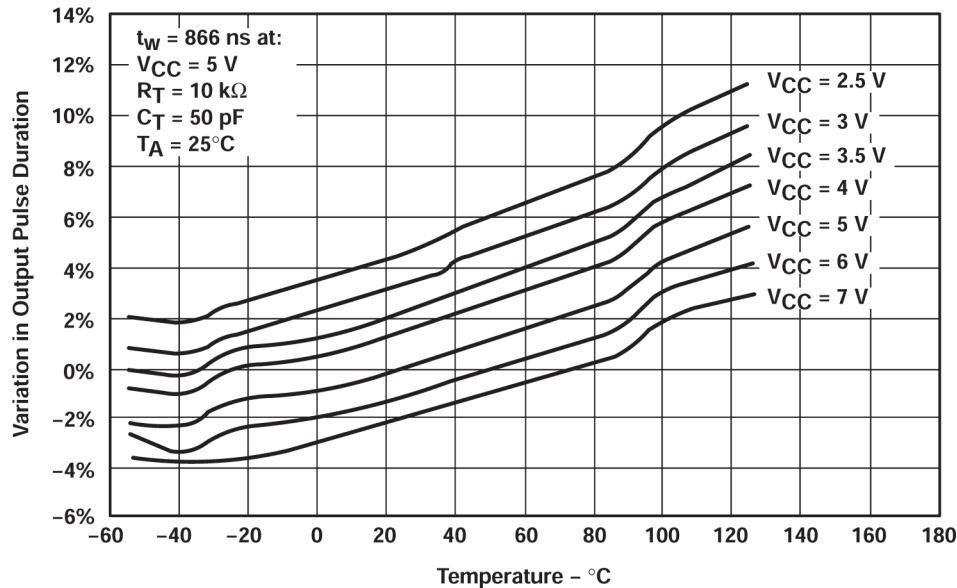


図 7-4. 出力パルス持続時間の変動幅と温度との関係

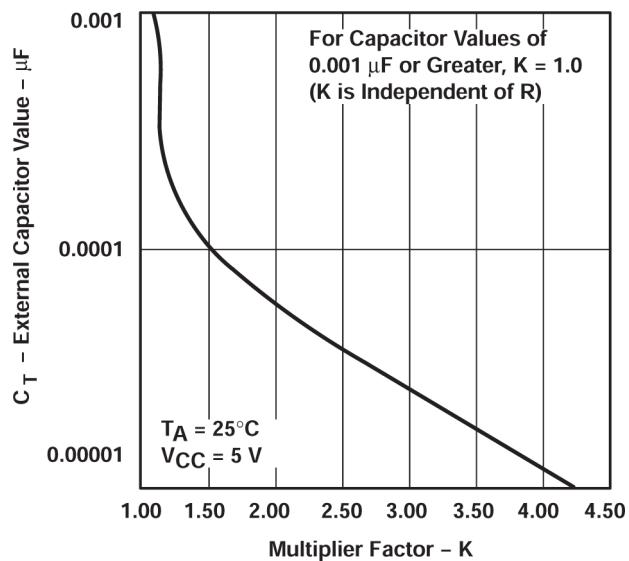


図 7-5. 外部容量と乗数係数との関係

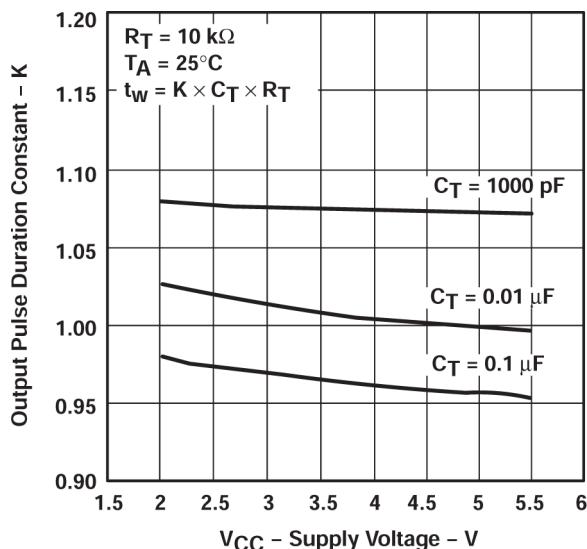


図 7-6. 出力パルス持続時間定数と電源電圧との関係

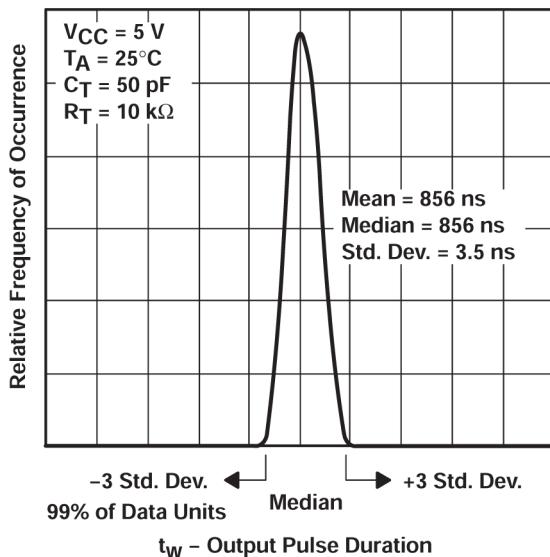


図 7-7. 単位数の分布と出力パルス持続時間との関係

7.2 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパスコンデンサを配置する必要があります。このデバイスには 0.1μF のコンデンサを推奨します。複数のバイパスコンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1μF と 1μF のコンデンサは並列に使用されます。バイパスコンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.3 レイアウト

7.3.1 レイアウトのガイドライン

- バイパスコンデンサの配置
 - デバイスの正電源端子の近くに配置
 - 電気的に短いグランド帰還パスを提供
 - インピーダンスを最小化するため、広いパターンを使用

- 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
 - 8mil~12mil のトレース幅
 - 伝送ラインの影響を最小化する 12cm 未満の長さ
 - 信号トレースの 90° のコーナーは避ける
 - 信号トレースの下に、途切れのないグランドプレーンを使用
 - 信号トレース周辺の領域をグランドでフラッド フィル
 - 12cm を超えるパターン用
 - インピーダンス制御トレースを使用
 - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
 - 分岐を回避。個別に分岐が必要なバッファ信号

7.3.2 レイアウト例

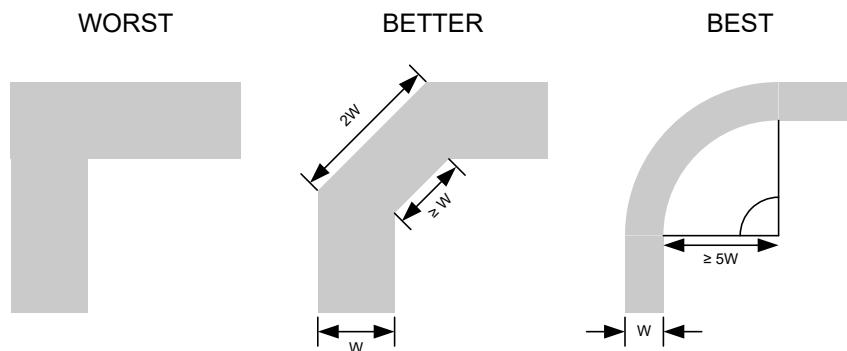


図 7-8. シグナル インテグリティ向上のためのサンプル パターンのコーナー

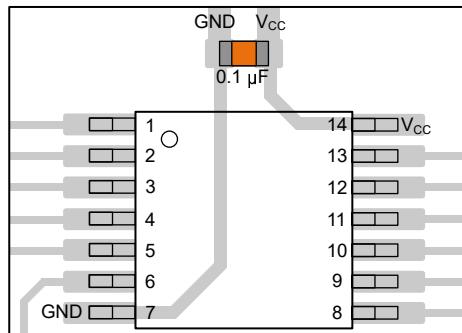


図 7-9. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

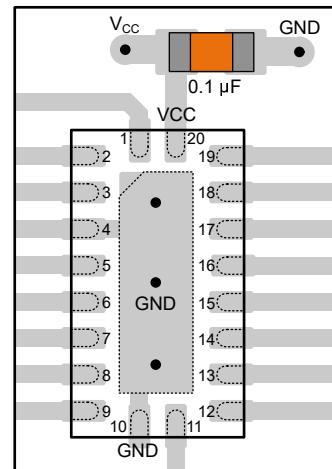


図 7-10. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

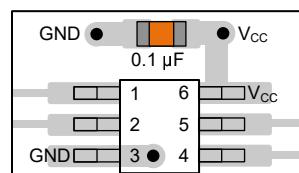


図 7-11. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

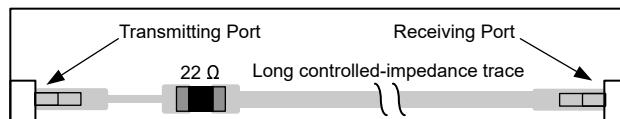


図 7-12. シグナル インテグリティ向上のためのダンピング抵抗の配置例

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (April 2005) to Revision H (January 2025)	Page
• パッケージ情報表、ピンの機能表、ESD 定格表、熱に関する情報表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加しました.....	1
• データシート全体にわたって SN54LV221A 製品プレビューおよびマシン モデルへの参照を削除.....	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV221AD	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	-40 to 85	LV221A
SN74LV221ADGVR	Active	Production	TVSOP (DGV) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV221A
SN74LV221ADGVR.A	Active	Production	TVSOP (DGV) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV221A
SN74LV221ADR	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV221A
SN74LV221ADR.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV221A
SN74LV221ANSR	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74LV221A
SN74LV221ANSR.A	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74LV221A
SN74LV221APW	Obsolete	Production	TSSOP (PW) 16	-	-	Call TI	Call TI	-40 to 85	LV221A
SN74LV221APWR	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV221A
SN74LV221APWR.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV221A
SN74LV221APWT	Obsolete	Production	TSSOP (PW) 16	-	-	Call TI	Call TI	-40 to 85	LV221A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

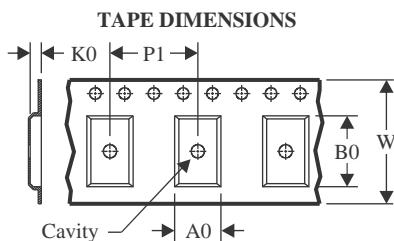
OTHER QUALIFIED VERSIONS OF SN74LV221A :

- Automotive : [SN74LV221A-Q1](#)

NOTE: Qualified Version Definitions:

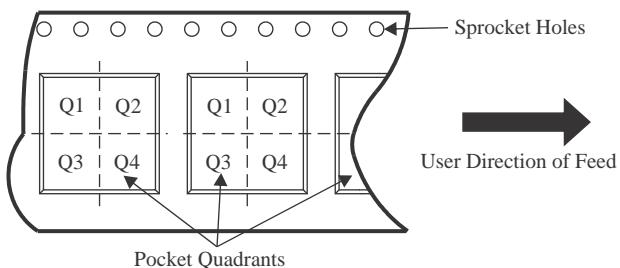
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION



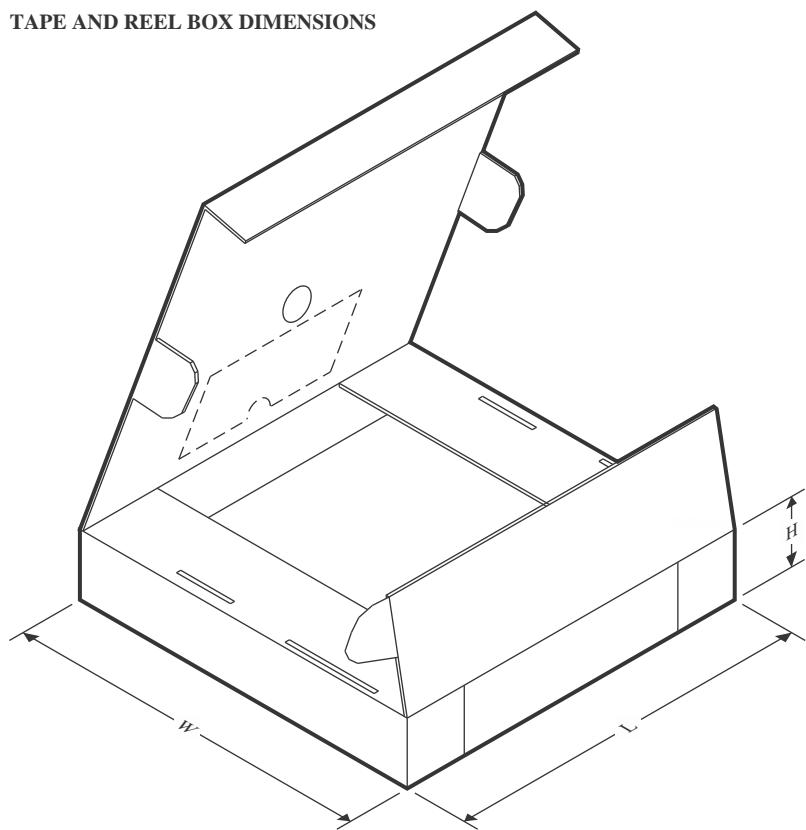
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV221ADGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74LV221ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74LV221ANSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74LV221APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV221ADGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74LV221ADR	SOIC	D	16	2500	353.0	353.0	32.0
SN74LV221ANSR	SOP	NS	16	2000	353.0	353.0	32.0
SN74LV221APWR	TSSOP	PW	16	2000	353.0	353.0	32.0

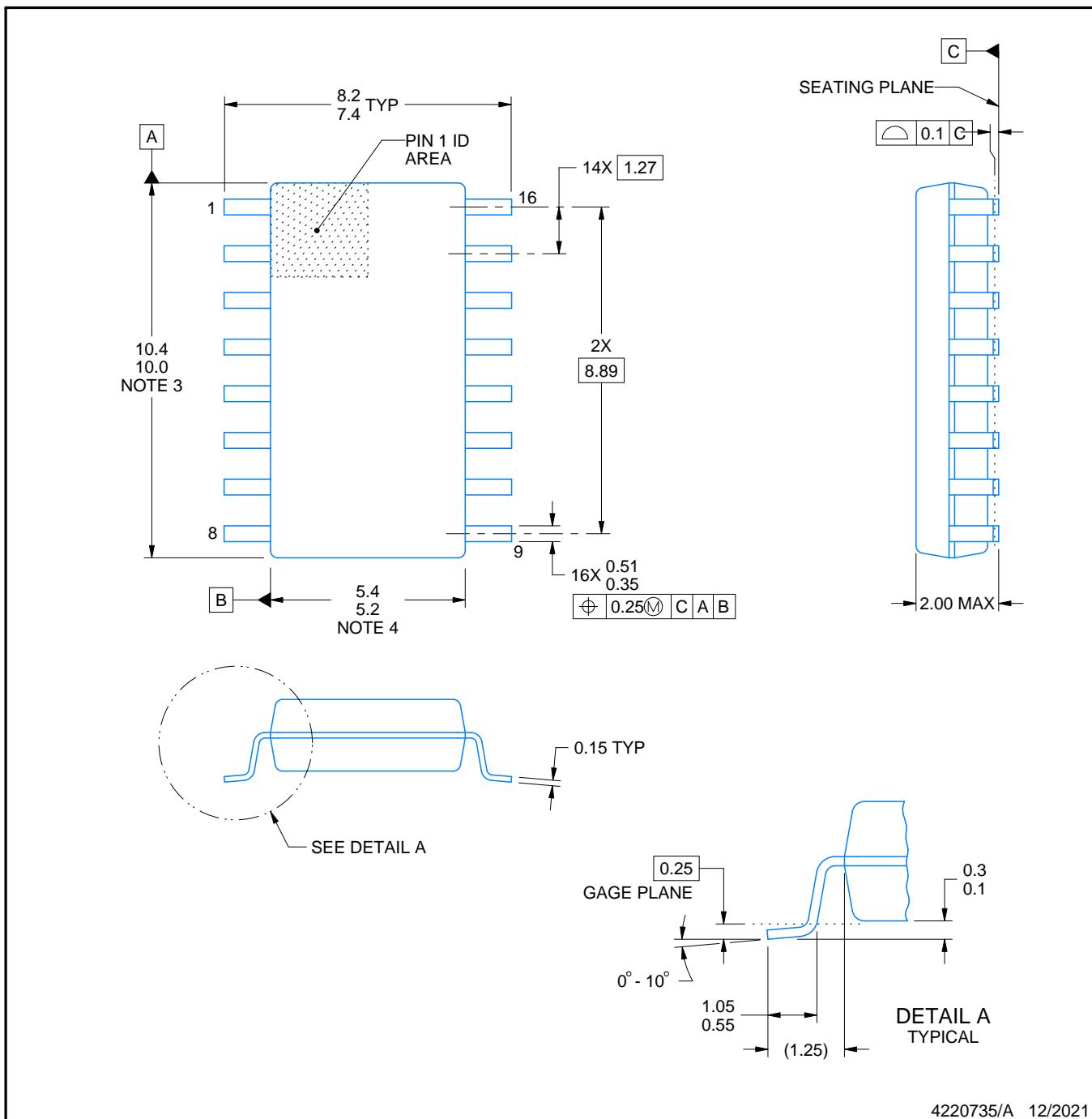
NS0016A



PACKAGE OUTLINE

SOP - 2.00 mm max height

SOP



NOTES:

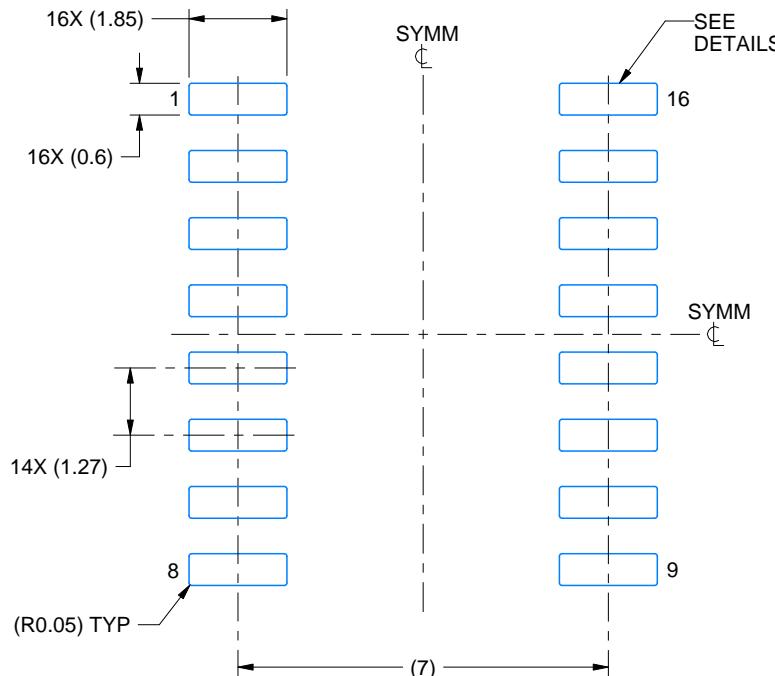
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.

EXAMPLE BOARD LAYOUT

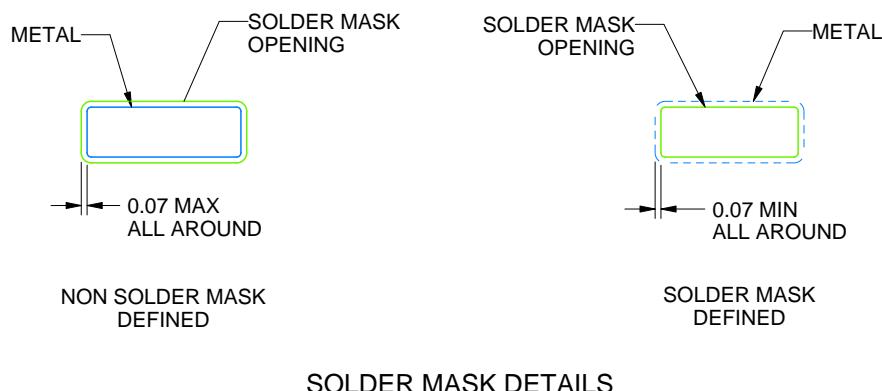
NS0016A

SOP - 2.00 mm max height

SOP



LAND PATTERN EXAMPLE
SCALE:7X



4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

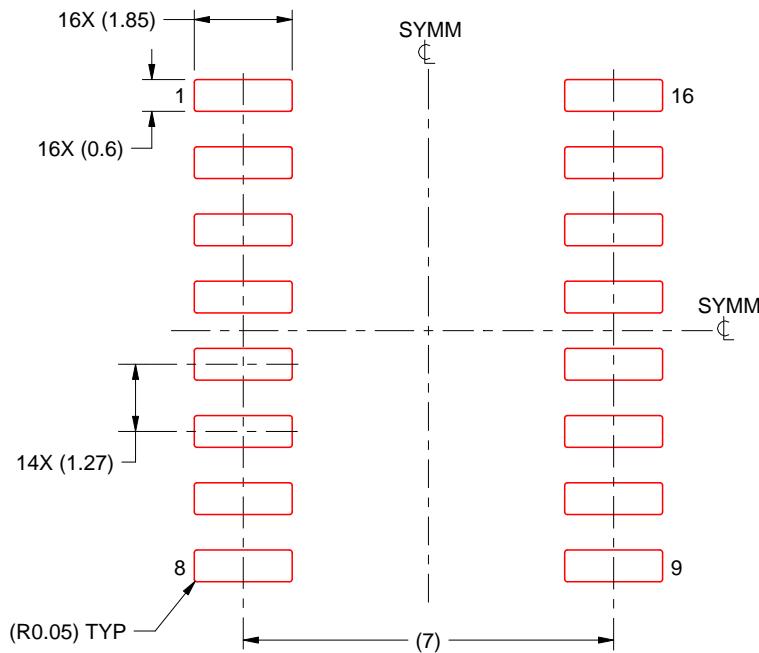
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

NS0016A

SOP - 2.00 mm max height

SOP



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

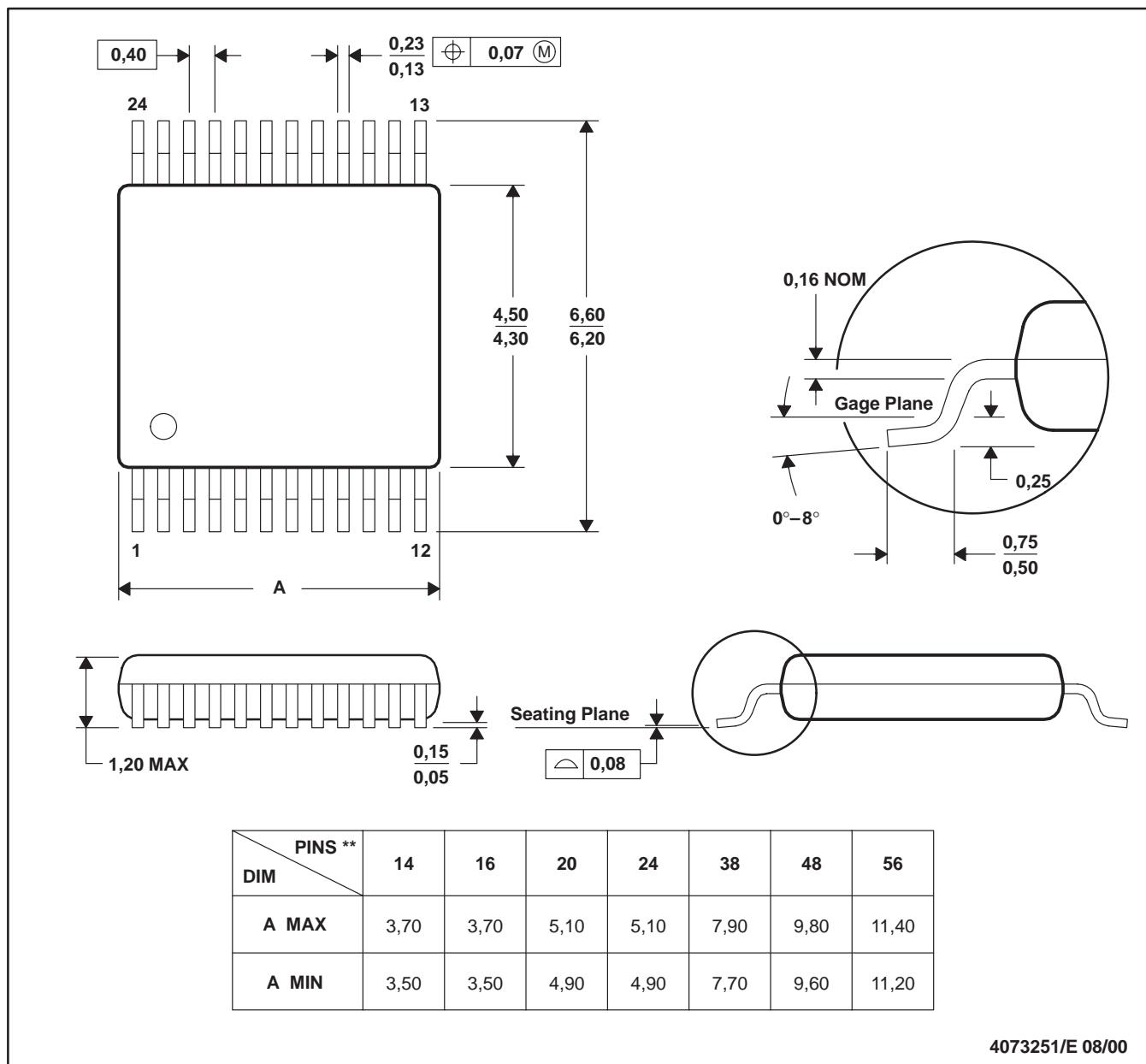
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DGV (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

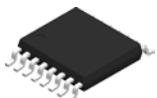
24 PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
 - D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

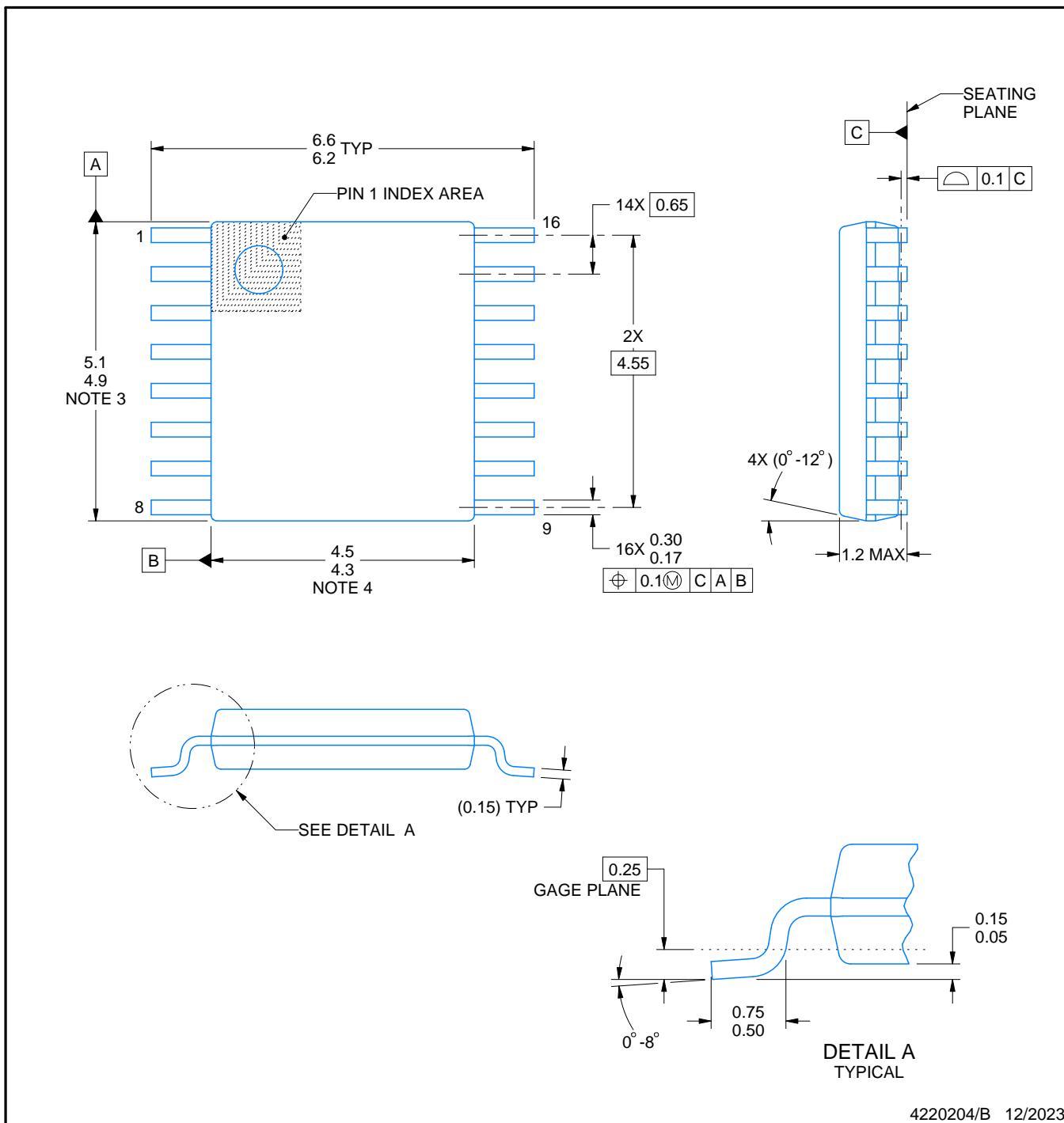
PACKAGE OUTLINE

PW0016A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

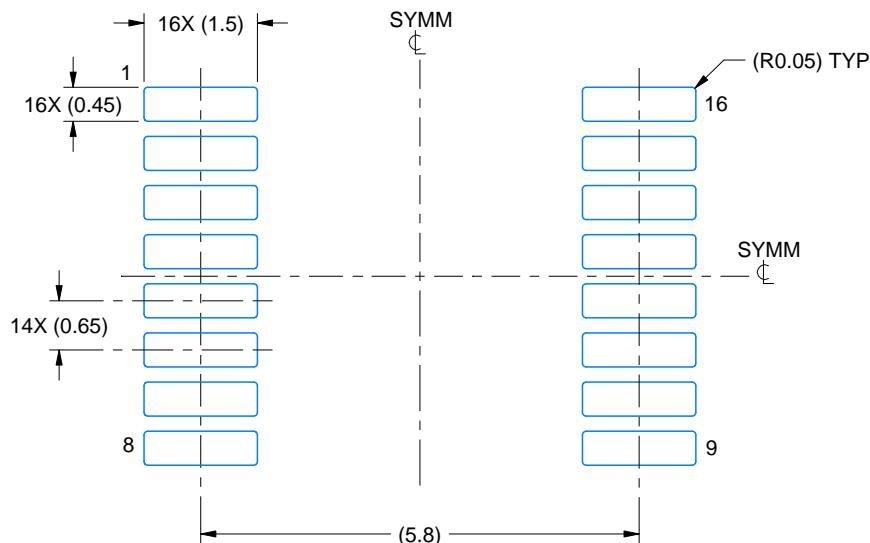
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

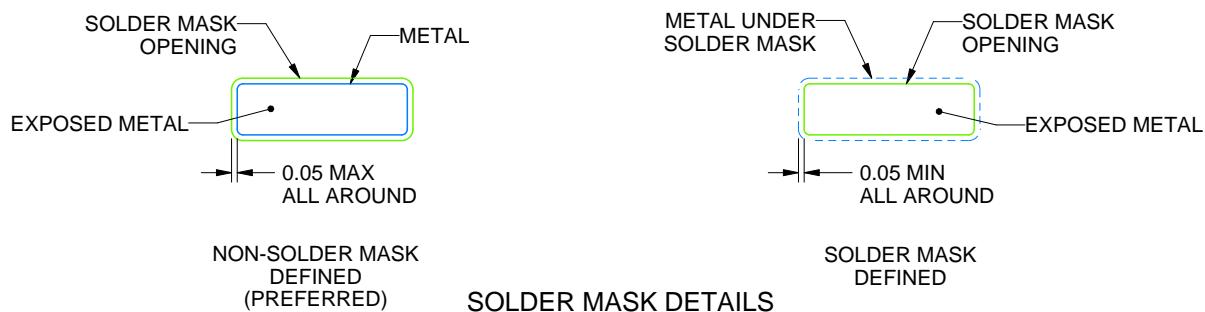
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/B 12/2023

NOTES: (continued)

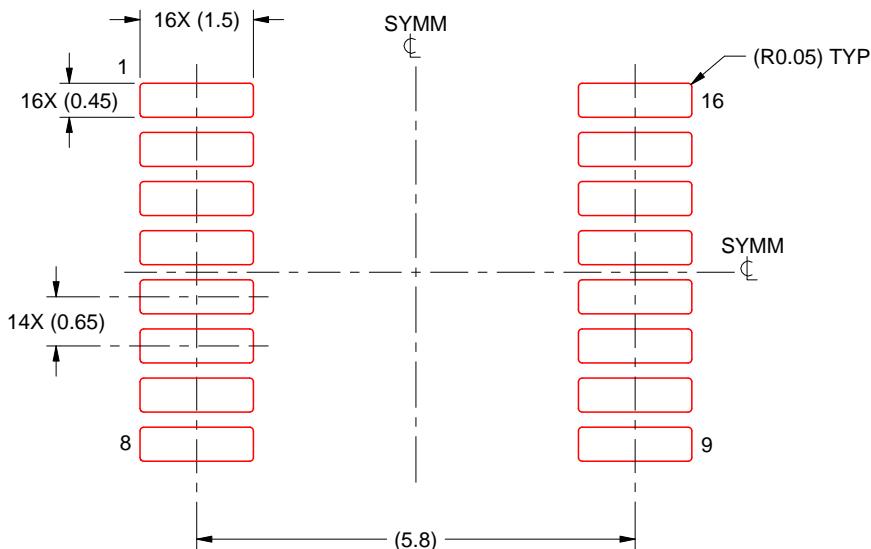
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

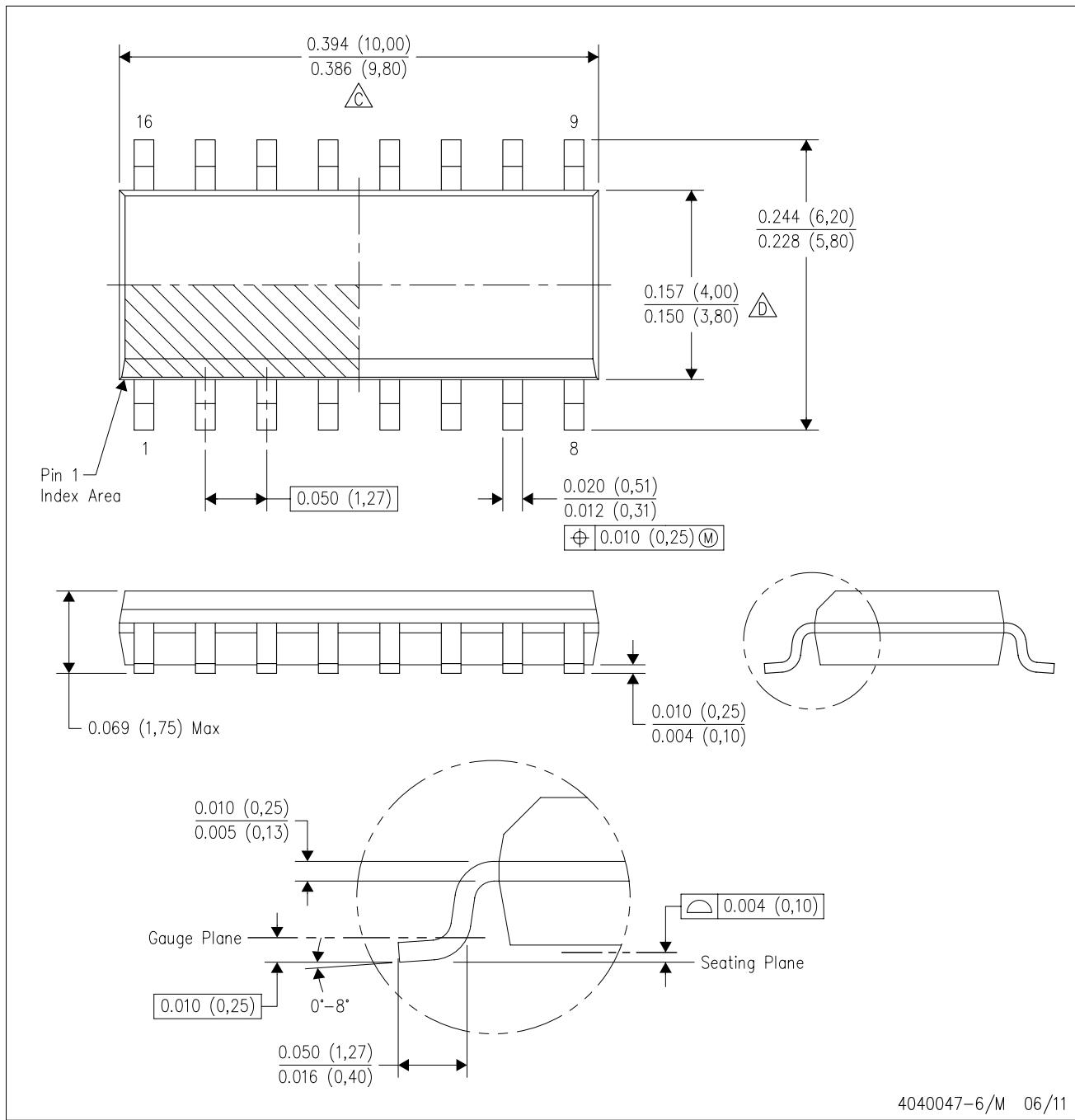
4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



NOTES: A. All linear dimensions are in inches (millimeters).

B. This drawing is subject to change without notice.

C Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.

D Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.

E. Reference JEDEC MS-012 variation AC.

4040047-6/M 06/11

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月