

SN74LV4T125-EP 単一電源 4 バッファ トランスレータ ゲート、3 ステート出力 CMOS ロジック レベルシフタ付き

1 特長

- 幅広い動作範囲: 1.8V~5.5V
- 単一電源電圧トランスレータ (「LVxT 拡張入力電圧」を参照):
 - 昇圧変換:
 - 1.2V~1.8V
 - 1.5V~2.5V
 - 1.8V~3.3V
 - 3.3V~5.0V
 - 降圧変換:
 - 5.0V、3.3V、2.5V から 1.8V
 - 5.0V、3.3V から 2.5V
 - 5.0V~3.3V
- 5.5V 耐圧入力ピン
- 標準ピン配置をサポート
- 5V または 3.3V の V_{CC} で最大 150Mbps
- JESD 17 準拠で 250mA 超のラッチアップ性能

2 アプリケーション

- デジタル信号のイネーブルまたはディスエーブル
- インジケータ LED の制御
- 通信モジュールとシステムコントローラの間のレベル変換

3 概要

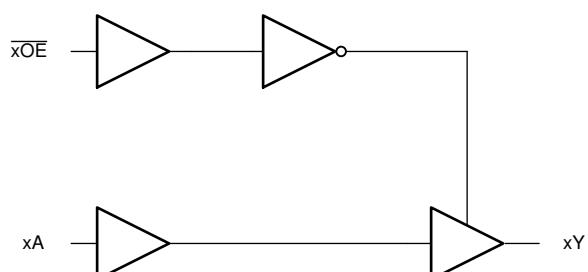
SN74LV4T125-EP は、4 つの独立した 3 ステート出力付きバッファを内蔵し、広い電圧範囲で動作してレベル変換を実現します。各バッファはブール関数 $Y = A$ を正論理で実行します。 \overline{OE} ピンに HIGH を印加することで、出力をハイインピーダンス (Hi-Z) 状態にできます。出力レベルは常に電源電圧 (V_{CC}) を基準としており、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。

入力は低スレッショルド回路を使用して設計され、低電圧 CMOS 入力の昇圧変換 (例: 1.2V 入力から 1.8V 出力、1.8V 入力から 3.3V 出力) をサポートします。また、5V 許容入力ピンにより、降圧変換 (例: 3.3V から 2.5V 出力) が可能です。

パッケージ情報

部品番号 ⁽¹⁾	パッケージ ⁽²⁾	パッケージ サイズ ⁽³⁾	本体サイズ (公称) ⁽⁴⁾
SN74LV4T125-EP	PW (TSSOP, 14)	5mm × 6.4mm	5mm × 4.4mm

- (1) 「その他の製品シリーズ」を参照
(2) 詳細については、セクション 12 を参照してください。
(3) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(4) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



概略論理図 (正論理)



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	8.2 機能ブロック図	12
2 アプリケーション	1	8.3 機能説明	12
3 概要	1	8.4 デバイスの機能モード	15
4 その他の製品シリーズ	2	9 アプリケーションと実装	16
5 ピン構成および機能	3	9.1 アプリケーション情報	16
6 仕様	4	9.2 代表的なアプリケーション	16
6.1 絶対最大定格	4	9.3 電源に関する推奨事項	17
6.2 ESD 定格	4	9.4 レイアウト	17
6.3 推奨動作条件	4	10 デバイスおよびドキュメントのサポート	18
6.4 熱に関する情報	5	10.1 ドキュメントの更新通知を受け取る方法	18
6.5 電気的特性	5	10.2 サポート・リソース	18
6.6 スイッチング特性	7	10.3 商標	18
6.7 ノイズ特性	8	10.4 静電気放電に関する注意事項	18
6.8 代表的特性	8	10.5 用語集	18
7 パラメータ測定情報	11	11 改訂履歴	18
8 詳細説明	12	12 メカニカル、パッケージ、および注文情報	18
8.1 概要	12		

4 その他の製品シリーズ

デバイス	パッケージ	説明
SN74LV1T00	DCK, DBV	2 入力、正論理 NAND ゲート
SN74LV1T02	DCK, DBV	2 入力、正論理 NOR ゲート
SN74LV1T04	DCK, DBV	インバータ ゲート
SN74LV1T08	DCK, DBV	2 入力、正論理 AND ゲート
SN74LV1T34	DCK, DBV, DRL	シングル バッファ ゲート
SN74LV1T14	DCK, DBV	シングル シュミットトリガ インバータ ゲート
SN74LV1T32	DCK, DBV	2 入力、正論理 OR ゲート
SN74LV1T86	DCK, DBV	シングル、2 入力、XOR ゲート
SN74LV1T125	DCK, DBV, DRL	3 ステート出力付き、シングル バッファ ゲート
SN74LV1T126	DCK, DBV, DRL	3 ステート出力付き、シングル バッファ ゲート
SN74LV4T125-EP	RGY, PW	3 ステート出力付き、クワッド バス バッファ ゲート

5 ピン構成および機能

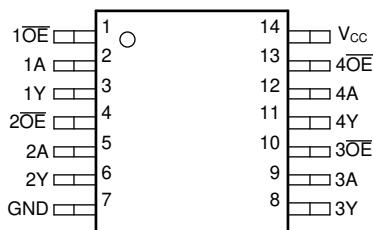


図 5-1. PW パッケージ、
14 ピン TSSOP
(上面図)

表 5-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
1OE	1	I	チャネル 1、出力イネーブル、アクティブ Low
1A	2	I	チャネル 1、入力 A
1Y	3	O	チャネル 1、出力 Y
2OE	4	I	チャネル 2、出力イネーブル、アクティブ Low
2A	5	I	チャネル 2、入力 A
2Y	6	O	チャネル 2、出力 Y
GND	7	G	グランド
3Y	8	O	チャネル 3、出力 Y
3A	9	I	チャネル 3、入力 A
3OE	10	I	チャネル 3、出力イネーブル、アクティブ Low
4Y	11	O	チャネル 4、出力 Y
4A	12	I	チャネル 4、入力 A
4OE	13	I	チャネル 4、出力イネーブル、アクティブ Low
V _{cc}	14	P	正電源

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

			最小値	最大値	単位
V _{CC}	電源電圧範囲		-0.5	7	V
V _I	入力電圧範囲 ⁽²⁾		-0.5	7	V
V _O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲 ⁽²⁾		-0.5	7	V
V _O	出力電圧範囲 ⁽²⁾		-0.5	V _{CC} + 0.5	V
I _{IK}	入力クランプ電流	V _I < -0.5V		-20	mA
I _{OK}	出力クランプ電流	V _O < -0.5V または V _O > V _{CC} + 0.5V		±20	mA
I _O	連続出力電流	V _O = 0 ~ V _{CC}		±25	mA
	V _{CC} または GND を通過する連続出力電流			±50	mA
T _{stg}	保管温度		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗示するものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1000	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V _{CC}	電源電圧		1.6	5.5	V
V _I	入力電圧		0	5.5	V
V _O	出力電圧		0	V _{CC}	V
V _{IH}	High レベル入力電圧	V _{CC} = 1.65V ~ 2V	1.1	V	
		V _{CC} = 2.25V ~ 2.75V	1.28		
		V _{CC} = 3V ~ 3.6V	1.45		
		V _{CC} = 4.5V ~ 5.5V	2		
V _{IL}	Low レベル入力電圧	V _{CC} = 1.65V ~ 2V	0.5	V	
		V _{CC} = 2.25V ~ 2.75V	0.65		
		V _{CC} = 3V ~ 3.6V	0.75		
		V _{CC} = 4.5V ~ 5.5V	0.85		
I _O	出力電流	V _{CC} = 1.6V ~ 2V	±3	mA	
		V _{CC} = 2.25V ~ 2.75V	±7		
		V _{CC} = 3.3V ~ 5.0V	±15		

6.3 推奨動作条件 (続き)

自由空気での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	$V_{CC} = 1.6V \sim 5.0V$		20	ns/V
T_A	自由空気での動作温度		-55	125	°C

6.4 熱に関する情報

熱評価基準 (1)		SN74LV4T125-EP-EP	単位
		PW (TSSOP)	
		14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	147.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	77.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	90.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	27.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	90.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびICパッケージの熱評価基準』アプリケーションレポートを参照してください。

6.5 電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	$T_A = 25^\circ C$			$-55^\circ C \sim 125^\circ C$			単位
			最小値	標準値	最大値	最小値	標準値	最大値	
V_{OH}	$I_{OH} = -50\mu A$	1.65V~5.5V	$V_{CC}-0.1$			$V_{CC}-0.1$			V
	$I_{OH} = -2mA$	1.65V~2V	1.28	1.7 ⁽¹⁾	1.21				
	$I_{OH} = -3mA$	2.25V~2.75V	2	2.4 ⁽¹⁾	1.93				
	$I_{OH} = -5.5mA$	3V~3.6V	2.6	3.08 ⁽¹⁾	2.49				
	$I_{OH} = -8mA$	4.5V~5.5V	4.1	4.65 ⁽¹⁾	3.95				
V_{OL}	$I_{OL} = 50\mu A$	1.65V~5.5V		0.1			0.1		V
	$I_{OL} = 2mA$	1.65V~2V		0.1 ⁽¹⁾	0.2			0.25	
	$I_{OL} = 3mA$	2.25V~2.75V		0.1 ⁽¹⁾	0.15			0.2	
	$I_{OL} = 5.5mA$	3V~3.6V		0.2 ⁽¹⁾	0.2			0.25	
	$I_{OL} = 8mA$	4.5V~5.5V		0.3 ⁽¹⁾	0.3			0.35	
I_I	$V_I = 0V$ または V_{CC}	0V~5.5V		± 0.1			± 1		μA
I_{OZ}	$V_O = V_{CC}$ または GND、 $V_{CC} = 5.5V$	5.5V		± 0.25			± 2.5		μA
I_{CC}	$V_I = 0V$ または V_{CC} 、 $I_O = 0$ 、負荷時にオーブン	1.65V~5.5V		2			20		μA
ΔI_{CC}	1つの入力は 0.3V または 3.4V、他の入力は 0 または V_{CC} 、 $I_O = 0$	5.5V		1.35			1.5		mA
	1つの入力は 0.3V または 1.1V、他の入力は 0 または V_{CC} 、 $I_O = 0$	1.8V		10			20		μA
C_I	$V_I = V_{CC}$ または GND	5V	4	10			10		pF
C_O	$V_O = V_{CC}$ または GND	5V	3						pF

6.5 電気的特性 (続き)

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	T _A = 25°C			-55°C~125°C			単位
			最小値	標準値	最大値	最小値	標準値	最大値	
C _{PD}	無負荷、F = 1MHz	5V		14					pF

- (1) 最も近い公称電圧 (1.8V、2.5V、3.3V、5V) での代表値

6.6 スイッチング特性

自由空気での動作温度範囲内、 $T_A = 25^\circ\text{C}$ で測定した代表値定格 (特に記述のない限り)。

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V_{cc}	最小値	標準値	最大値	単位
t_{PHL}	A	Y	$C_L = 15\text{pF}$	1.8V		15.6	40.1	ns
t_{PLH}	A	Y	$C_L = 15\text{pF}$	1.8V		11.8	40.1	ns
t_{PHZ}	OE	Y	$C_L = 15\text{pF}$	1.8V		13.0	20.9	ns
t_{PLZ}	OE	Y	$C_L = 15\text{pF}$	1.8V		11.7	18.5	ns
t_{PZH}	OE	Y	$C_L = 15\text{pF}$	1.8V		17.4	33.3	ns
t_{PZL}	OE	Y	$C_L = 15\text{pF}$	1.8V		16.8	32.3	ns
t_{PHL}	A	Y	$C_L = 50\text{pF}$	1.8V		21.0	46.7	ns
t_{PLH}	A	Y	$C_L = 50\text{pF}$	1.8V		16.1	46.7	ns
t_{PHZ}	OE	Y	$C_L = 50\text{pF}$	1.8V		19.7	28.2	ns
t_{PLZ}	OE	Y	$C_L = 50\text{pF}$	1.8V		18.6	25.9	ns
t_{PZH}	OE	Y	$C_L = 50\text{pF}$	1.8V		19.9	37.1	ns
t_{PZL}	OE	Y	$C_L = 50\text{pF}$	1.8V		19.1	35.8	ns
t_{PHL}	A	Y	$C_L = 15\text{pF}$	2.5V		10.6	24.0	ns
t_{PLH}	A	Y	$C_L = 15\text{pF}$	2.5V		7.1	24.0	ns
t_{PHZ}	OE	Y	$C_L = 15\text{pF}$	2.5V		8.2	12.6	ns
t_{PLZ}	OE	Y	$C_L = 15\text{pF}$	2.5V		7.4	11.1	ns
t_{PZH}	OE	Y	$C_L = 15\text{pF}$	2.5V		10.4	19.8	ns
t_{PZL}	OE	Y	$C_L = 15\text{pF}$	2.5V		9.9	19.0	ns
t_{PHL}	A	Y	$C_L = 50\text{pF}$	2.5V		13.5	25.4	ns
t_{PLH}	A	Y	$C_L = 50\text{pF}$	2.5V		10.1	25.4	ns
t_{PHZ}	OE	Y	$C_L = 50\text{pF}$	2.5V		13.1	18.5	ns
t_{PLZ}	OE	Y	$C_L = 50\text{pF}$	2.5V		12.0	16.4	ns
t_{PZH}	OE	Y	$C_L = 50\text{pF}$	2.5V		12.0	22.5	ns
t_{PZL}	OE	Y	$C_L = 50\text{pF}$	2.5V		11.1	21.5	ns
t_{PHL}	A	Y	$C_L = 15\text{pF}$	3.3V		7.9	15.2	ns
t_{PLH}	A	Y	$C_L = 15\text{pF}$	3.3V		5.4	13.8	ns
t_{PHZ}	OE	Y	$C_L = 15\text{pF}$	3.3V		6.0	9.9	ns
t_{PLZ}	OE	Y	$C_L = 15\text{pF}$	3.3V		5.3	8.2	ns
t_{PZH}	OE	Y	$C_L = 15\text{pF}$	3.3V		7.9	14.1	ns
t_{PZL}	OE	Y	$C_L = 15\text{pF}$	3.3V		7.4	13.5	ns
t_{PHL}	A	Y	$C_L = 50\text{pF}$	3.3V		10.2	18.3	ns
t_{PLH}	A	Y	$C_L = 50\text{pF}$	3.3V		7.8	16.0	ns
t_{PHZ}	OE	Y	$C_L = 50\text{pF}$	3.3V		9.7	15.1	ns
t_{PLZ}	OE	Y	$C_L = 50\text{pF}$	3.3V		9.2	12.9	ns
t_{PZH}	OE	Y	$C_L = 50\text{pF}$	3.3V		9.1	16.4	ns
t_{PZL}	OE	Y	$C_L = 50\text{pF}$	3.3V		8.3	15.3	ns
$t_{sk(o)}$	OE	Y	$C_L = 50\text{pF}$	3.3V		1.5		ns
t_{PHL}	A	Y	$C_L = 15\text{pF}$	5V		5.3	10.2	ns
t_{PLH}	A	Y	$C_L = 15\text{pF}$	5V		4.2	9.9	ns
t_{PHZ}	OE	Y	$C_L = 15\text{pF}$	5V		4.6	7.5	ns
t_{PLZ}	OE	Y	$C_L = 15\text{pF}$	5V		4.2	6.1	ns
t_{PZH}	OE	Y	$C_L = 15\text{pF}$	5V		5.6	9.6	ns
t_{PZL}	OE	Y	$C_L = 15\text{pF}$	5V		5.1	8.9	ns

6.6 スイッチング特性(続き)

自由空気での動作温度範囲内、 $T_A = 25^\circ\text{C}$ で測定した代表値定格(特に記述のない限り)。

パラメータ	始点(入力)	終点(出力)	負荷容量	V_{CC}	最小値	標準値	最大値	単位
t_{PHL}	A	Y	$C_L = 50\text{pF}$	5V		7.1	12.5	ns
t_{PLH}	A	Y	$C_L = 50\text{pF}$	5V		5.8	11.5	ns
t_{PHZ}	OE	Y	$C_L = 50\text{pF}$	5V		6.9	10.9	ns
t_{PLZ}	OE	Y	$C_L = 50\text{pF}$	5V		6.8	9.1	ns
t_{PZH}	OE	Y	$C_L = 50\text{pF}$	5V		6.6	11.0	ns
t_{PZL}	OE	Y	$C_L = 50\text{pF}$	5V		5.7	10.0	ns

6.7 ノイズ特性

$V_{CC} = 5\text{V}$, $CL = 50\text{pF}$, $TA = 25^\circ\text{C}$

パラメータ	概要	最小値	標準値	最大値	単位
$V_{OL(P)}$	低ノイズ出力、最大動的電圧 V_{OL}	1	1.2		V
$V_{OL(V)}$	低ノイズ出力、最小動的電圧 V_{OL}	-0.8	-0.3		V
$V_{OH(V)}$	低ノイズ出力、最小動的電圧 V_{OH}	4.4	5		V
$V_{IH(D)}$	High レベル動的入力電圧	2.1			V
$V_{IL(D)}$	Low レベル動的入力電圧		0.5		V

6.8 代表的特性

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

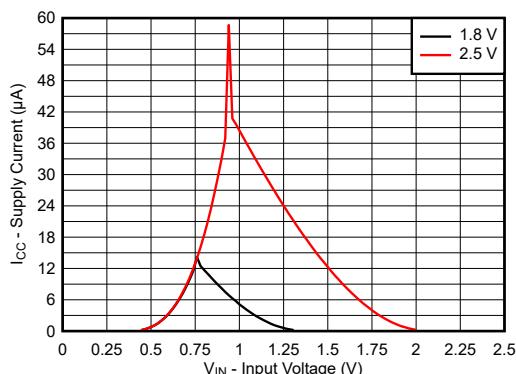


図 6-1. 入力電圧に対する消費電流、1.8V および 2.5V 電源

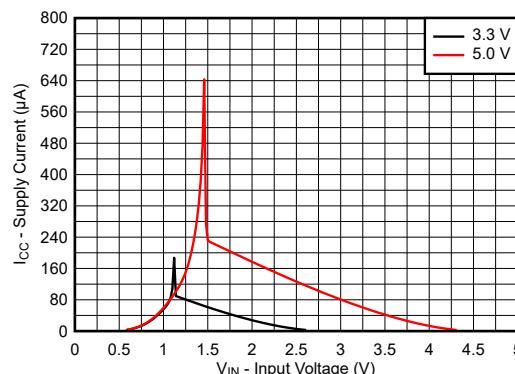


図 6-2. 入力電圧に対する消費電流、3.3V および 5.0V 電源

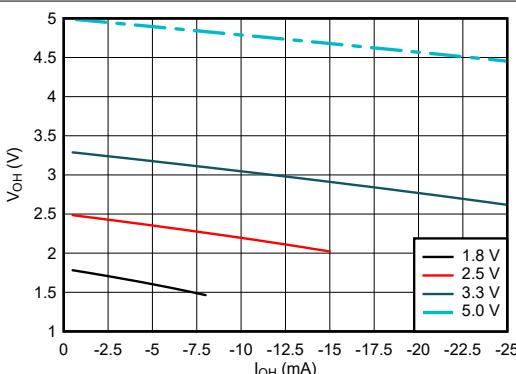


図 6-3. High 状態における出力電圧と電流との関係

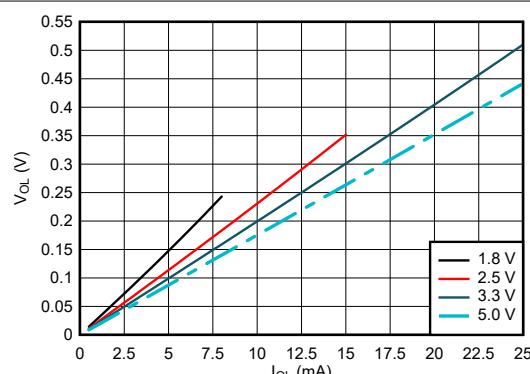


図 6-4. Low 状態における出力電圧と電流との関係

6.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

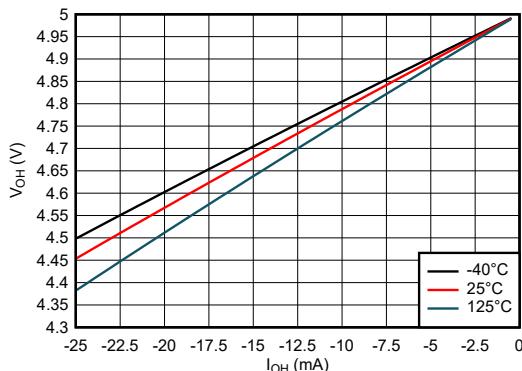


図 6-5. High 状態における出力電圧と電流との関係、5V 電源

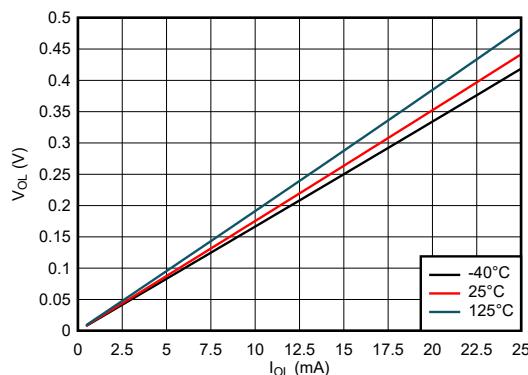


図 6-6. Low 状態における出力電圧と電流との関係、5V 電源

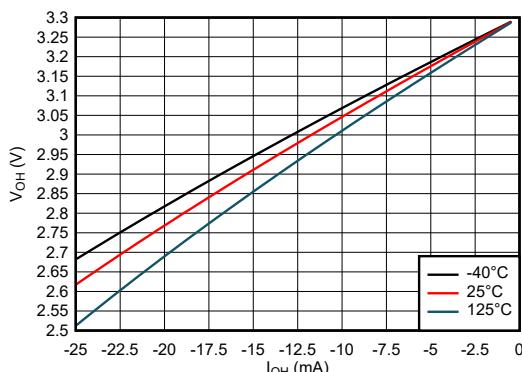


図 6-7. High 状態における出力電圧と電流との関係、3.3V 電源

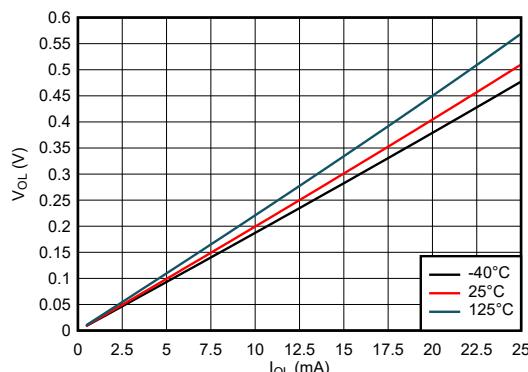


図 6-8. Low 状態における出力電圧と電流との関係、3.3V 電源

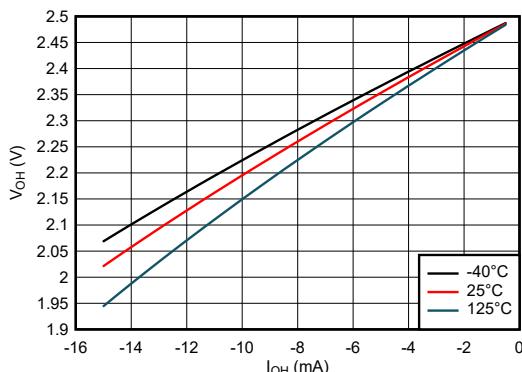


図 6-9. High 状態における出力電圧と電流との関係、2.5V 電源

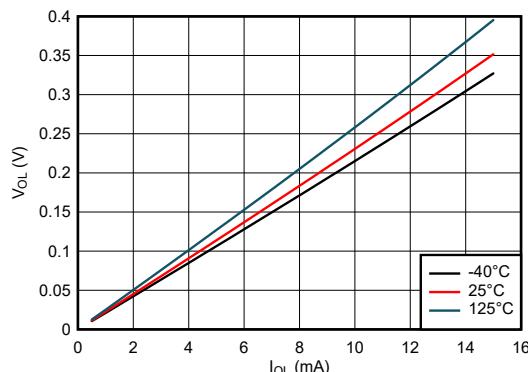


図 6-10. Low 状態における出力電圧と電流との関係、2.5V 電源

6.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

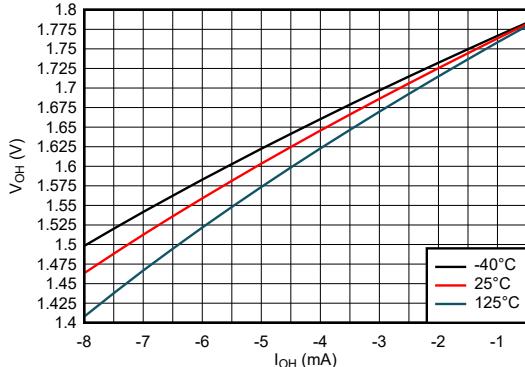


図 6-11. High 状態における出力電圧と電流との関係、1.8V 電源

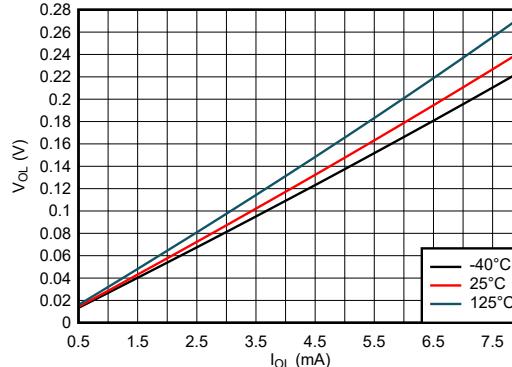
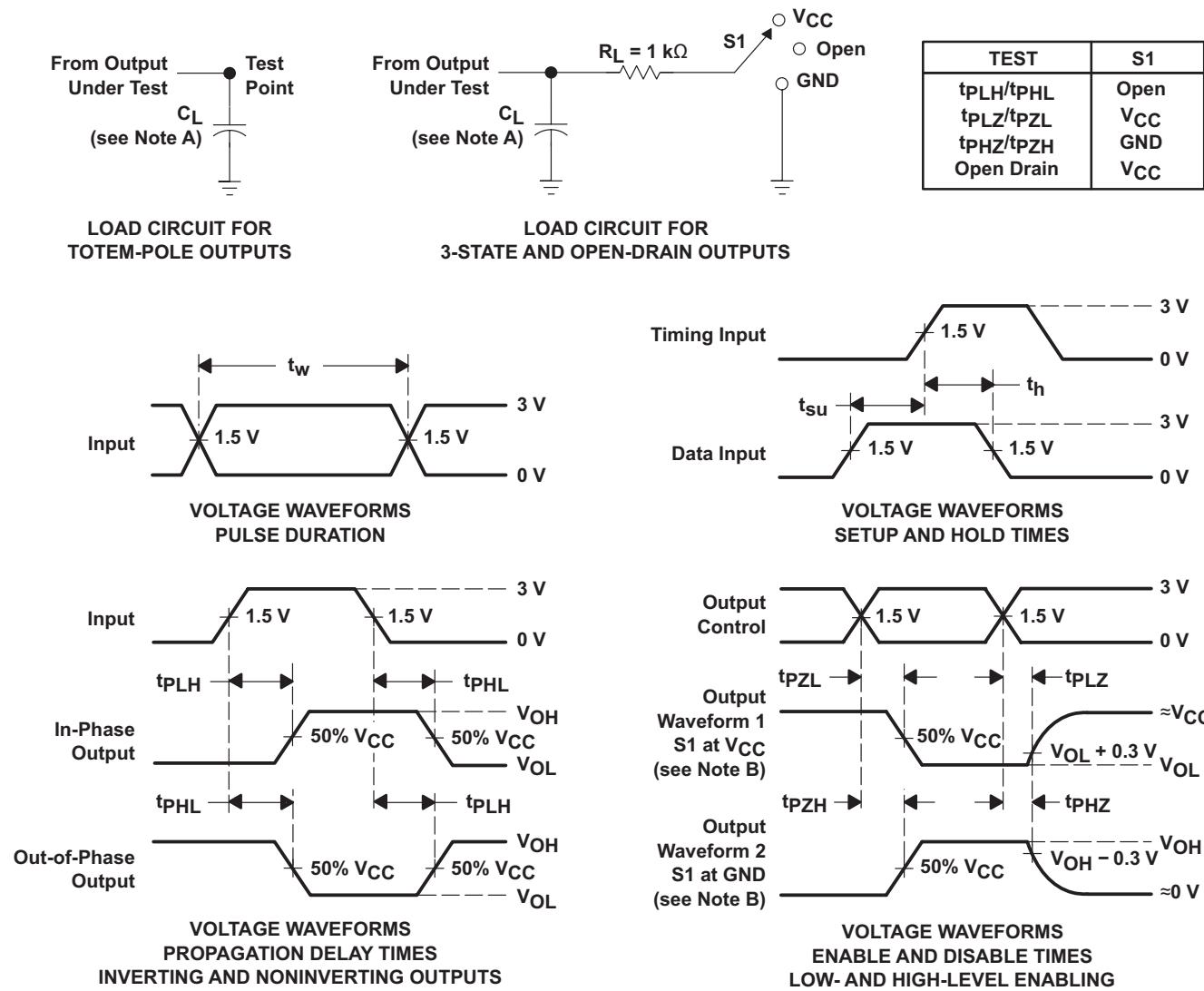


図 6-12. Low 状態における出力電圧と電流との関係、1.8V 電源

7 パラメータ測定情報



NOTES:

- A. C_L includes probe and jig capacitance.
- B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
- C. All input pulses are supplied by generators having the following characteristics: $PRR \leq 1 \text{ MHz}$, $Z_O = 50 \Omega$, $t_r \leq 3 \text{ ns}$, $t_f \leq 3 \text{ ns}$.
- D. The outputs are measured one at a time, with one input transition per measurement.
- E. All parameters and waveforms are not applicable to all devices.

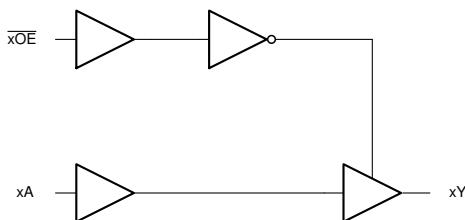
図 7-1. 負荷回路および電圧波形

8 詳細説明

8.1 概要

SN74LV4T125-EP は、4 つの独立した 3 ステート出力付きバッファを内蔵し、広い電圧範囲で動作してレベル変換を実現します。各ゲートはブール関数 $Y = A$ を正論理で実行します。 \overline{OE} ピンに HIGH を印加することで、出力をハイ インピーダンス状態にできます。出力レベルは電源電圧 (V_{CC}) を基準としており、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。

8.2 機能ブロック図



8.3 機能説明

8.3.1 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3 ステート出力が内蔵されています。High に駆動、Low に駆動、高インピーダンスが、これらの出力が取り得る 3 つの状態です。平衡化という用語は、このデバイスが類似の電流に対するシンクとソースを行えることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンクギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス モードに移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーキ電流は例外です。高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティング ノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために $10\text{k}\Omega$ の抵抗を使用できます。

未使用の 3 ステート CMOS 出力は、未接続のままにする必要があります。

8.3.2 クランプダイオード構造

このデバイスの出力には正と負の両方のクランプダイオードが備わっており、このデバイスの入力には負のクランプダイオードのみが備わっています(図 8-1 を参照)。

注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

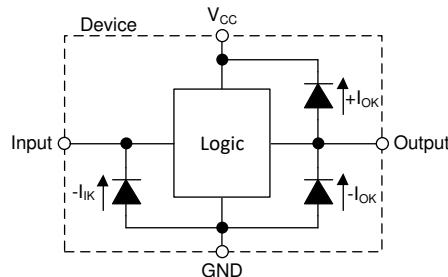


図 8-1. 各入力と出力に対するクランプダイオードの電気的配置

8.3.3 LVxT 拡張入力電圧

SN74LV4T125-EP は、テキサス・インストルメンツの電圧レベル変換機能内蔵 LVxT ロジックデバイスファミリの製品です。このデバイスファミリは、昇圧変換に対応するための小さい入力電圧スレッショルドと、降圧変換に対応するための最大 5.5V レベルの信号に耐える入力を持つように設計されています。出力電圧は、「電気的特性」表に記載されているように、常に電源電圧 (V_{CC}) を基準とします。正常に機能させるには、High 入力状態では規定の $V_{IH(MIN)}$ レベル以下、Low 入力状態では規定の $V_{IL(MAX)}$ 以下に入力信号を保持する必要があります。図 8-2 に、LVxT デバイスファミリの V_{IH} および V_{IL} レベル(代表値)と一般的な CMOS デバイスの電圧レベルを比較のために示します。

入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーケージ電流からオームの法則 ($R = V \div I$) を使用して計算します。

入力に関しては、「推奨動作条件」表の入力遷移時間またはレートで定義されているように、有効なロジック状態の間を入力信号が素早く遷移する必要があります。この仕様を満たさないと、消費電力が増大し、発振の原因となる可能性があります。詳細については、『[低速またはフローティング CMOS 入力の影響](#)』アプリケーションレポートを参照してください。

動作中は片時も、入力をフローティングにすることはできません。未使用の入力は、 V_{CC} または GND に終端させる必要があります。システムが常に入力をアクティブに駆動していない場合は、プルアップまたはプルダウン抵抗を追加して、これらの時間中に有効な入力電圧を供給できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗が推奨され、通常はすべての要件を満たします。

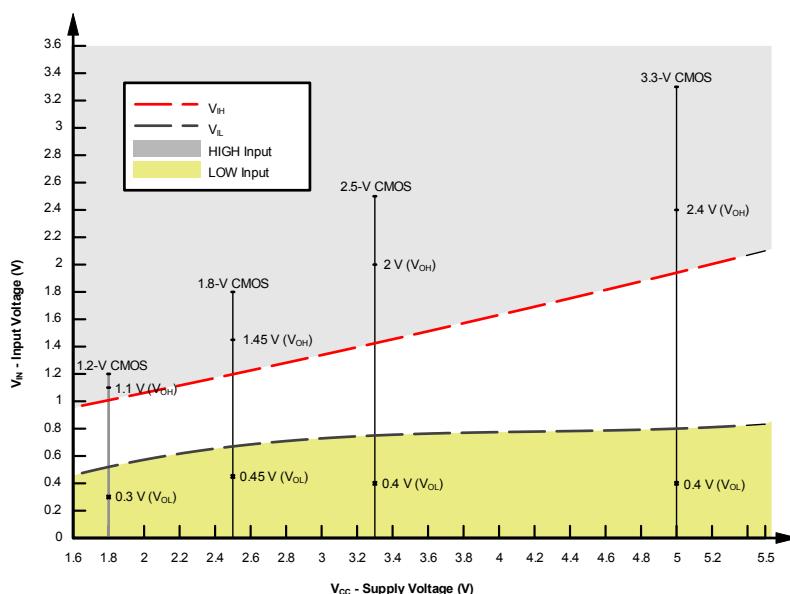


図 8-2. LVxT の入力電圧レベル

8.3.3.1 降圧変換

SN74LV4T125-EP を使うことで、信号を降圧変換できます。 V_{CC} の印加電圧によって、出力電圧と入力スレッショルドが決まります（「推奨動作条件」と「電気的特性」の表を参照）。

高インピーダンスの入力に接続した場合、出力電圧は、High 状態ではほぼ V_{CC} 、Low 状態では 0V になります。図 8-2 に示すように、High 状態の入力信号は $V_{IH(MIN)}$ と 5.5V の間、Low 状態の入力信号は $V_{IL(MAX)}$ 未満になるようにします。

たとえば、5.0V、3.3V、2.5V で動作するデバイスの標準的 CMOS 入力は、1.8V V_{CC} で動作する 1.8V CMOS 信号に合うように降圧変換できます。図 8-3 を参照してください。

降圧変換の組み合わせは次のとおりです。

- 1.8V V_{CC} – 2.5V、3.3V、5.0V からの入力
- 2.5V V_{CC} – 3.3V、5.0V からの入力
- 3.3V V_{CC} – 5.0V からの入力

8.3.3.2 昇圧変換

SN74LV4T125-EP を使うことで、入力信号を昇圧変換できます。 V_{CC} の印加電圧によって、出力電圧と入力スレッショルドが決まります（「推奨動作条件」と「電気的特性」の表を参照）。高インピーダンスの入力に接続した場合、出力電圧は、High 状態ではほぼ V_{CC} 、Low 状態では 0V になります。

入力のスレッショルドが低いため、一般的な値よりもはるかに低い入力 High 状態レベルにも対応できます。たとえば、5V 電源で動作するデバイスの標準 CMOS 入力では、 $V_{IH(MIN)}$ は 3.5V です。SN74LV4T125-EP の場合、5V 電源での $V_{IH(MIN)}$ はわずか 2V であるため、標準的な 2.5V から 5V の信号への昇圧変換が可能です。

図 8-3 に示すように、High 状態の入力信号は $V_{IH(MIN)}$ を上回り、Low 状態の入力信号は $V_{IL(MAX)}$ を下回るようにします。

昇圧変換の組み合わせは次のとおりです。

- 1.8V V_{CC} – 1.2V からの入力
- 2.5V V_{CC} – 1.8V からの入力
- 3.3V V_{CC} – 1.8V、2.5V からの入力
- 5.0V V_{CC} – 2.5V、3.3V からの入力

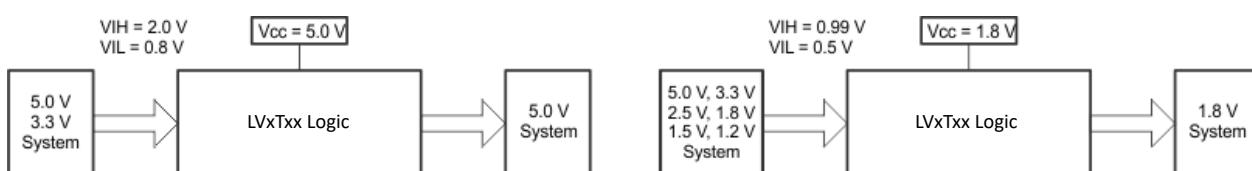


図 8-3. LVxT の昇圧および降圧変換の例

8.4 デバイスの機能モード

機能表に、SN74LV4T125-EP の機能モードを示します。

表 8-1. 機能表

入力 ⁽¹⁾		出力
\bar{OE}	A	Y
L	H	H
L	L	L
H	X	Z

(1) H = High 電圧レベル、L = Low 電圧レベル、X = なし、Z = 高インピーダンス

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

このアプリケーションでは、図 9-1 に示すように、3 ステート出力のバッファを使用してデータ信号をディセーブルします。残りの 3 つのバッファは、システム内の別の場所の信号調整に使用することも、入力を接地してチャネルを未使用のままにすることもできます。

9.2 代表的なアプリケーション

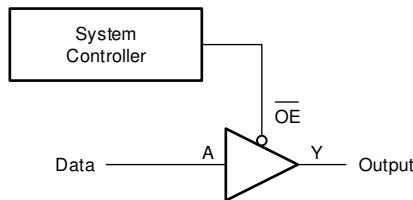


図 9-1. 代表的なアプリケーションのブロック図

9.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。昇圧変換を行うため、入力スレッショルドレベルが低くなります。5V では、デバイスは同等の TTL 入力レベルを備えています。

9.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカッピングコンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74LV4T125-EP から 1 つ以上の受信デバイスへのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC}/I_{O(\max)}) \Omega$ より大きくします。これを行っても、「絶対最大定格」の最大出力電流に違反することにはなりません。ほとんどの CMOS 入力は、 $\text{M}\Omega$ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジックゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーションレポート『CMOS 消費電力と CPD の計算』に記載されている手順を使用して計算できます。

9.2.3 アプリケーション曲線

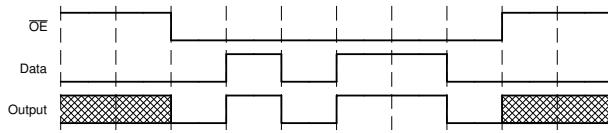


図 9-2. アプリケーションタイミング図

9.3 電源に関する推奨事項

電源には、「[推奨動作条件](#)」に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} ピンに適切なバイパスコンデンサを配置する必要があります。単一電源のデバイスには、 $0.1\mu F$ を推奨します。 V_{CC} ピンが複数ある場合、各電源ピンに対して $0.01\mu F$ または $0.022\mu F$ を推奨します。複数のバイパスコンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu F$ と $1\mu F$ は並列に使用されます。最良の結果を得るため、バイパスコンデンサは電源ピンのできるだけ近くに配置してください。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

多ビットロジックデバイスを使用する場合、入力をフローティングにしないでください。

トリプル入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファゲートのうち 3 つのみを使用したりする場合など、多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。[図 9-3](#) に規定された規則は、あらゆる状況で遵守する必要があります。

デジタルロジックデバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジックレベルは、デバイスの機能により異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。

一般に、本部品がトランシーバでない限り、出力をフローティングにできます。トランシーバに出力イネーブルピンがある場合、アサートされると本部品の出力セクションがディセーブルになります。これによって IO の入力セクションはディセーブルされないため、ディセーブル時にもフローティングにできません。

9.4.2 レイアウト例

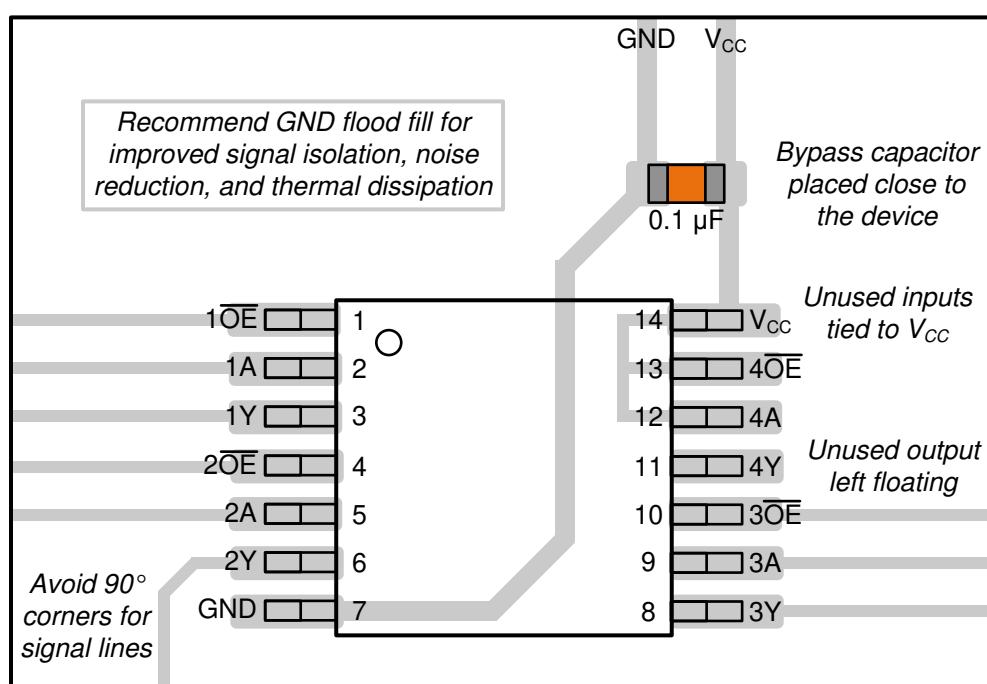


図 9-3. レイアウト例：SN74LV4T125-EP

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

日付	改訂	注
2024 年 1 月	*	初版

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](#) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV4T125PWREP	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	L4125EP
SN74LV4T125PWREP.A	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	L4125EP
V62/24608-01XE	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	L4125EP

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV4T125-EP :

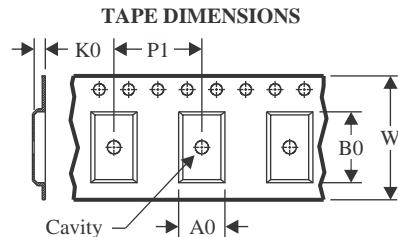
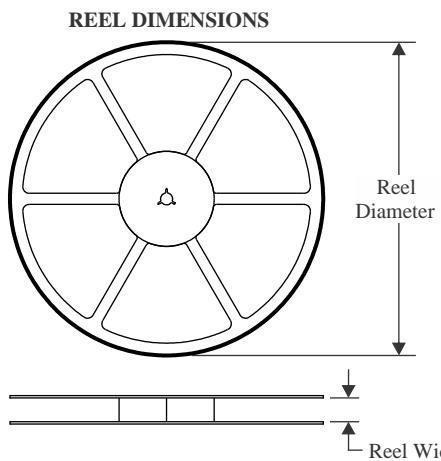
- Catalog : [SN74LV4T125](#)

- Automotive : [SN74LV4T125-Q1](#)

NOTE: Qualified Version Definitions:

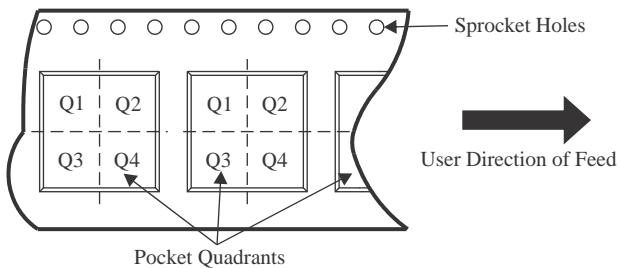
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION



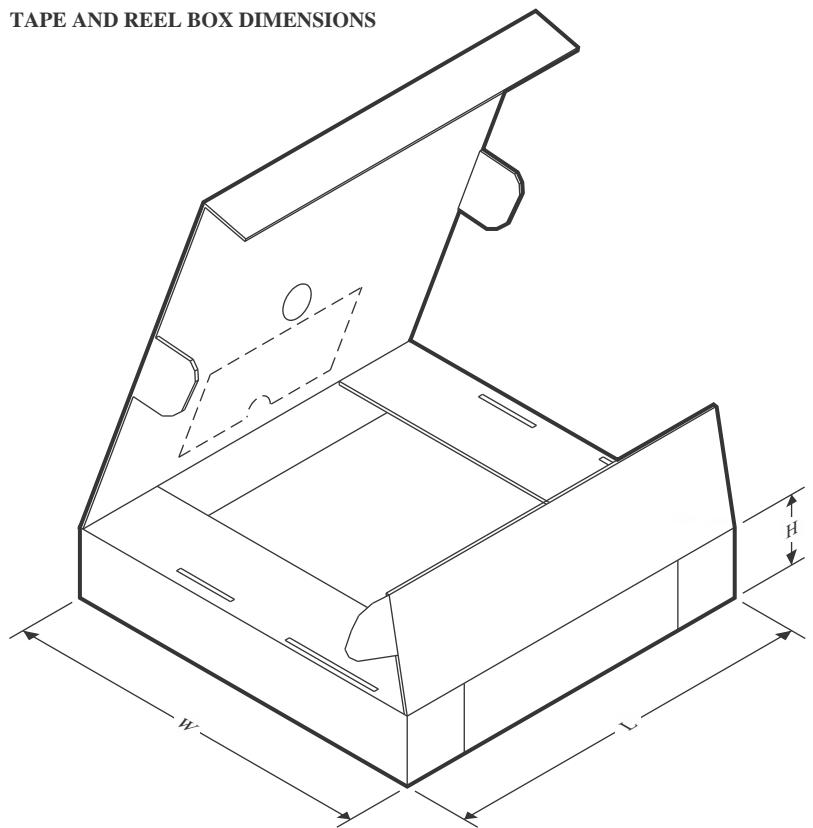
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV4T125PWREP	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

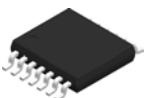
TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV4T125PWREP	TSSOP	PW	14	3000	353.0	353.0	32.0

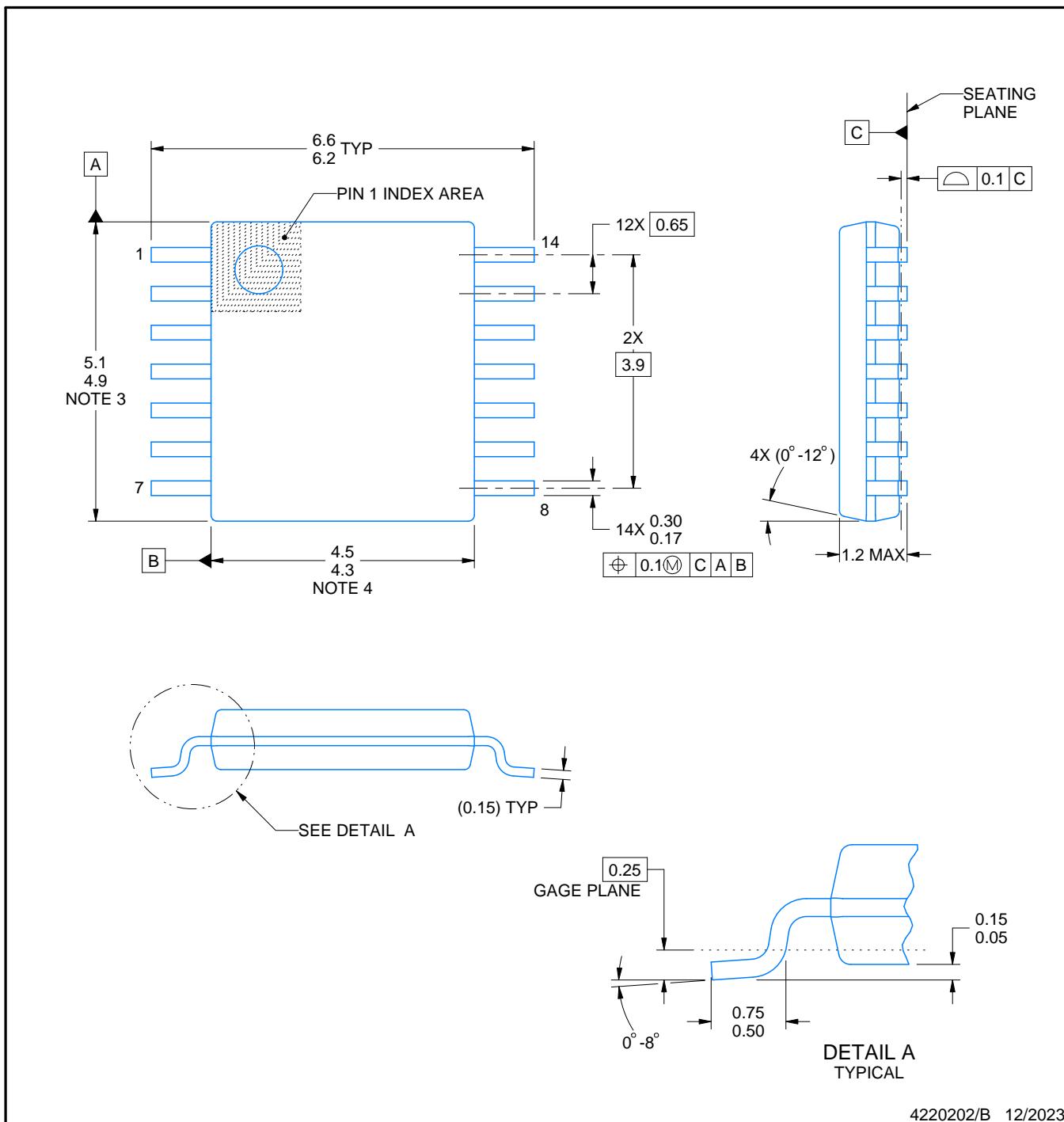
PACKAGE OUTLINE

PW0014A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

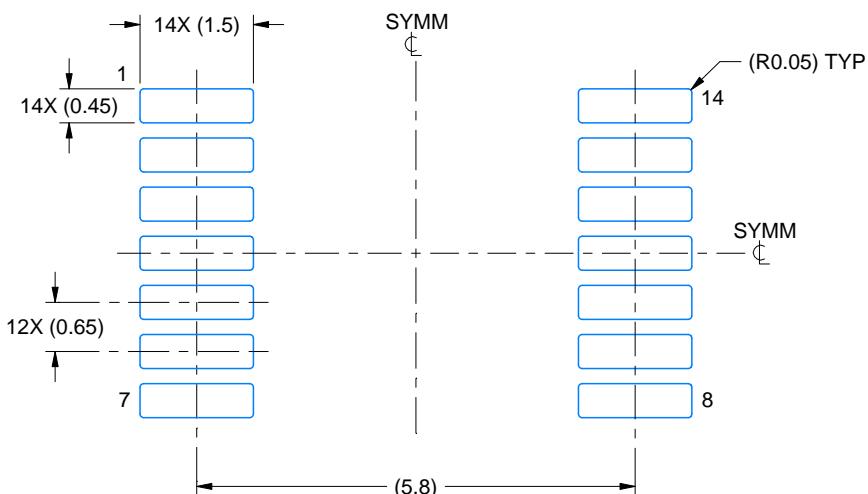
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

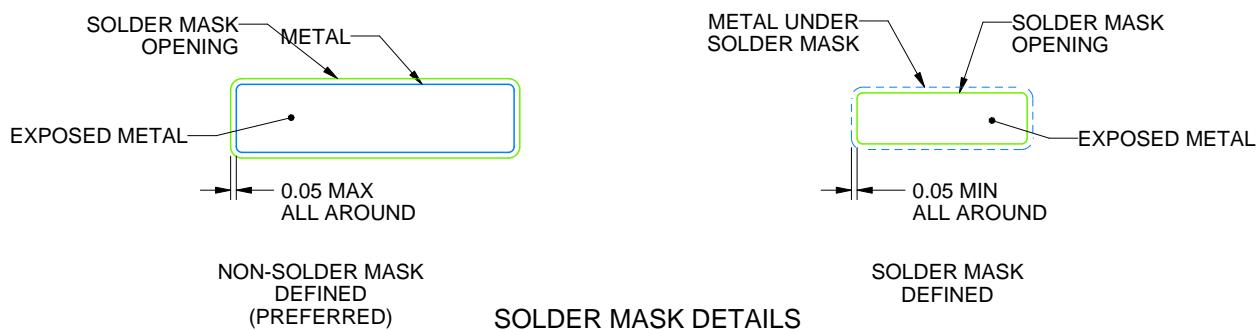
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

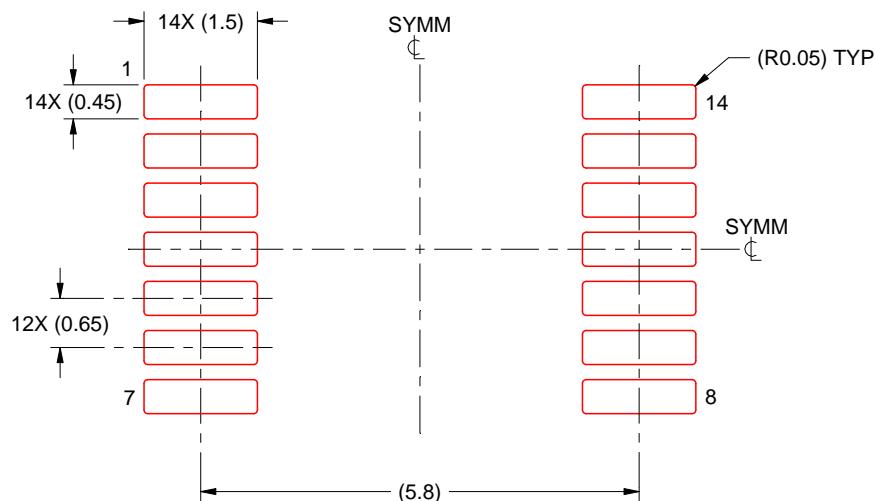
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月