

SN74LVC2G14-Q1 車載用デュアル ヘキサ シュミット トリガ インバータ

1 特長

- 車載アプリケーション認定済み
- 5V V_{CC} 動作をサポート
- 5.5Vまでの入力電圧に対応
- 最大 t_{pd} 5.4ns (3.3V 時)
- 低消費電力、最大 I_{CC} :10 μA
- 3.3Vで $\pm 24mA$ の出力駆動能力
- V_{OLP} (代表値)(出力グランド バウンス)
 $< 0.8V$ ($V_{CC} = 3.3V$, $T_A = 25^\circ C$ 時)
- V_{OHV} (代表値)(出力 V_{OH} アンダーシュート)
 $> 2V$ ($V_{CC} = 3.3V$, $T_A = 25^\circ C$ 時)
- I_{off} 機能により部分的パワーダウン モードでの動作をサポート
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能

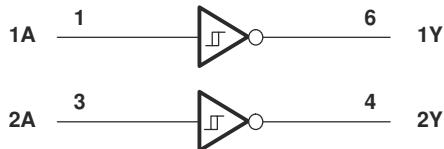
2 概要

これらのデュアル サ シュミット トリガ インバータは、1.65V ~5.5V V_{CC} 動作用に設計されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾	本体サイズ ⁽³⁾
SN74LVC2G14-Q1	DBV (SOT-23, 6)	2.9mm × 2.8mm	2.90mm × 1.60mm
	DCK (SC70, 6)	2mm × 2.1mm	2.00mm × 1.25mm

- (1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ(長さ × 幅)は公称値であり、該当する場合にピンも含まれます。
(3) 本体サイズ(長さ×幅)は公称値であり、ピンは含まれません。



論理図(正論理)



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール(機械翻訳)を使用していることがあり、TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.comで必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: SCES558

目次

1 特長	1	6.3 機能説明	9
2 概要	1	6.4 デバイスの機能モード	9
3 ピン構成および機能	3	7 アプリケーションと実装	10
4 仕様	4	7.1 アプリケーション情報	10
4.1 絶対最大定格	4	7.2 電源に関する推奨事項	13
4.2 ESD 定格	4	7.3 レイアウト	13
4.3 推奨動作条件	5	8 デバイスおよびドキュメントのサポート	15
4.4 熱に関する情報	5	8.1 ドキュメントのサポート	15
4.5 電気的特性	6	8.2 ドキュメントの更新通知を受け取る方法	15
4.6 スイッチング特性、-40°C から 85°C へ	7	8.3 サポート・リソース	15
4.7 スイッチング特性、-40°C~125°C	7	8.4 商標	15
4.8 動作特性	7	8.5 静電気放電に関する注意事項	15
5 パラメータ測定情報	8	8.6 用語集	15
6 詳細説明	9	9 改訂履歴	15
6.1 概要	9	10 メカニカル、パッケージ、および注文情報	16
6.2 機能ブロック図	9		

3 ピン構成および機能

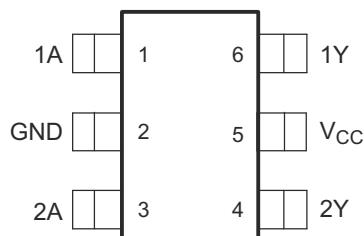


図 3-1. DBV または DCK パッケージ、6 ピン SOT-23 または SC70 (上面図)

ピン		I/O ⁽¹⁾	説明
名称	番号		
1A	1	I	ゲート 1 論理信号
1Y	6	O	ゲート 1 の反転信号
2A	3	I	ゲート 2 論理信号
2Y	4	O	ゲート 2 の反転信号
GND	2	—	グランド
V _{CC}	5	—	供給ピン/電源ピン

(1) I = 入力、O = 出力、P = 電源、FB = フィードバック、GND = グランド、N/A = 該当なし

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_{CC}	電源電圧範囲	-0.5	6.5	V
V_I	入力電圧範囲 ⁽²⁾	-0.5	6.5	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲 ⁽²⁾	-0.5	6.5	V
V_O	High または Low 状態にある任意の出力に印加される電圧範囲 ^{(2) (3)}	-0.5	$V_{CC} + 0.5$	V
I_{IK}	入力クランプ電流	$V_I < 0$	-50	mA
I_{OK}	出力クランプ電流	$V_O < 0$	-50	mA
I_o	連続出力電流		± 50	mA
	V_{CC} または GND を通過する連続電流		± 100	mA
T_{stg}	保管温度範囲	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。
- (3) V_{CC} の値は、「推奨動作条件」の表に記載されています。

4.2 ESD 定格

		値	単位
$V_{(ESD)}$	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	± 2000	V
	荷電デバイス モデル (CDM)、AEC Q100-011 準拠	± 1000	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V_{CC}	電源電圧	動作	1.65	5.5	V
		データ保持のみ	1.5		
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	$V_{CC} = 1.65\text{ V}$	-4		mA
		$V_{CC} = 2.3\text{ V}$	-8		
		$V_{CC} = 3\text{ V}$	-16		
		$V_{CC} = 4.5\text{ V}$	-24		
		$V_{CC} = 4.5\text{ V}$	-32		
I_{OL}	Low レベル出力電流	$V_{CC} = 1.65\text{ V}$	4		mA
		$V_{CC} = 2.3\text{ V}$	8		
		$V_{CC} = 3\text{ V}$	16		
		$V_{CC} = 4.5\text{ V}$	24		
		$V_{CC} = 4.5\text{ V}$	32		
T_A	自由空気での動作温度		-40	125	°C

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、 V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

4.4 热に関する情報

熱評価基準 ⁽¹⁾	SN74LVC2G14-Q1		単位
	DBV (SOT23)	DCK (SC70)	
	6 ピン	6 ピン	
$R_{θJA}$	接合部から周囲への熱抵抗	165	°C/W

- (1) 従来および最新の熱測定基準の詳細については、アプリケーションレポート『半導体および IC パッケージの熱評価基準』、[SPRA953](#) を参照してください。

4.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	-40°C ~ 85°C			-40°C ~ 125°C			単位
			最小値	標準値 ⁽¹⁾	最大値	最小値	標準値 ⁽¹⁾	最大値	
V _{T+} 正方向 入力のスレッショルド電圧		1.65 V	0.7	1.4	0.7	1.4			V
		2.3 V	1	1.7	1	1.7			
		3 V	1.3	2.2	1.3	2.2			
		4.5 V	1.9	3.1	1.9	3.1			
		5.5 V	2.2	3.7	2.2	3.7			
V _{T-} 負方向 入力のスレッショルド電圧		1.65 V	0.3	0.7	0.3	0.7			V
		2.3 V	0.4	1	0.4	1			
		3 V	0.6	1.3	0.6	1.3			
		4.5 V	1.1	2	1.1	2			
		5.5 V	1.4	2.5	1.4	2.5			
ΔV_T ヒステリシス (V _{T+} - V _{T-})		1.65 V	0.3	0.8	0.3	0.8			V
		2.3 V	0.4	0.9	0.4	0.9			
		3 V	0.4	1.1	0.4	1.1			
		4.5 V	0.6	1.3	0.6	1.3			
		5.5 V	0.7	1.4	0.7	1.4			
V _{OH}	I _{OH} = -100 μA	1.65V~4.5V	V _{CC} – 0.1		V _{CC} – 0.1				V
	I _{OH} = -4mA	1.65 V	1.2		1.2				
	I _{OH} = -8mA	2.3 V	1.9		1.9				
	I _{OH} = -16mA	3 V	2.4		2.4				
	I _{OH} = -24mA		2.3		2.3				
	I _{OH} = -32mA	4.5 V	3.8		3.8				
V _{OL}	I _{OL} = 100 μA	1.65V~4.5V		0.1		0.1			V
	I _{OL} = 4mA	1.65 V		0.45		0.45			
	I _{OL} = 8mA	2.3 V		0.3		0.3			
	I _{OL} = 16mA	3 V		0.4		0.4			
	I _{OL} = 24mA			0.55		0.55			
	I _{OL} = 32mA	4.5 V		0.55		0.60			
I _I	A 入力	V _I = 5.5 V または GND	0~5.5 V		±5		±5	μA	
I _{off}		V _I または V _O = 5.5V	0		±10		±10	μA	
I _{CC}	V _I = 5.5V または GND、	I _O = 0	1.65V~5.5V		10		10	μA	
ΔI _{CC}	1 つの入力は V _{CC} – 0.6V、他の入力は V _{CC} または GND		3V~5.5V		500		500	μA	
C _i	V _I = V _{CC} または GND	3.3 V		4		4		pF	

(1) 代表値はすべて、V_{CC} = 3.3V、T_A = 25°Cにおける値です。

4.6 スイッチング特性、 -40°C から 85°C へ

自由気流での推奨動作温度範囲内 (特に記述のない限り) (「[負荷回路および電圧波形](#)」を参照)

パラメータ	始点 (入力)	終点 (出力)	$\text{V}_{\text{CC}} = 1.8\text{V}$ $\pm 0.15\text{V}$	$\text{V}_{\text{CC}} = 2.5\text{V}$ $\pm 0.2\text{V}$	$\text{V}_{\text{CC}} = 3.3\text{V}$ $\pm 0.3\text{V}$	$\text{V}_{\text{CC}} = 5\text{V}$ $\pm 0.5\text{V}$	単位				
			最小値	最大値	最小値	最大値					
t_{pd}	A	Y	3.9	9.5	1.9	5.7	2	5.4	1.5	4.3	ns

4.7 スイッチング特性、 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$

自由気流での推奨動作温度範囲内 (特に記述のない限り) (「[負荷回路および電圧波形](#)」を参照)

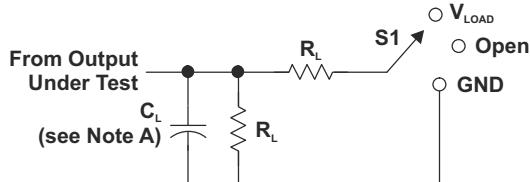
パラメータ	始点 (入力)	終点 (出力)	$\text{V}_{\text{CC}} = 1.8\text{V}$ $\pm 0.15\text{V}$	$\text{V}_{\text{CC}} = 2.5\text{V}$ $\pm 0.2\text{V}$	$\text{V}_{\text{CC}} = 3.3\text{V}$ $\pm 0.3\text{V}$	$\text{V}_{\text{CC}} = 5\text{V}$ $\pm 0.5\text{V}$	単位				
			最小値	最大値	最小値	最大値					
t_{pd}	A	Y	3.9	10.5	1.9	6.5	2	6	1.5	4.7	ns

4.8 動作特性

$T_A = 25^{\circ}\text{C}$

パラメータ	テスト条件	$\text{V}_{\text{CC}} = 1.8\text{V}$	$\text{V}_{\text{CC}} = 2.5\text{V}$	$\text{V}_{\text{CC}} = 3.3\text{V}$	$\text{V}_{\text{CC}} = 5\text{V}$	単位
		標準値	標準値	標準値	標準値	
C_{pd} 電力散逸容量	$f = 10\text{MHz}$	16	17	18	21	pF

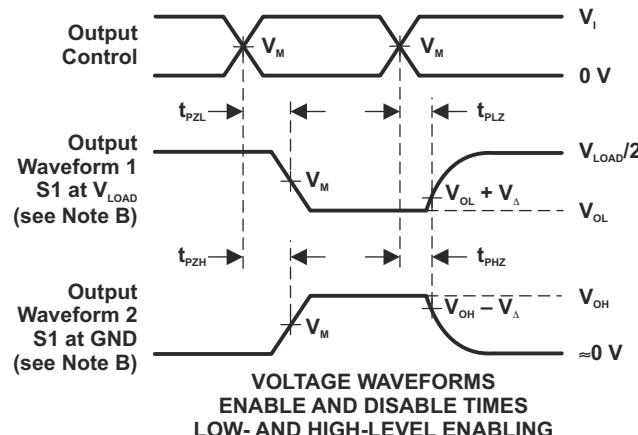
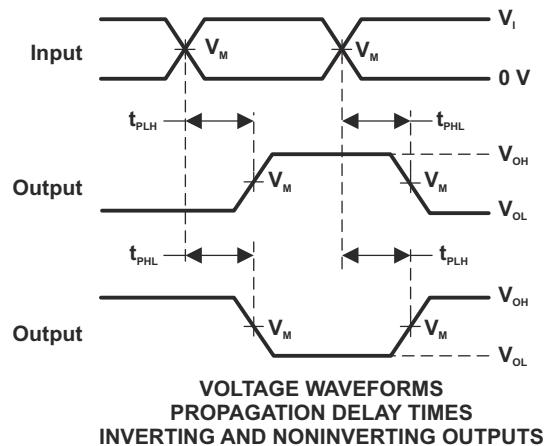
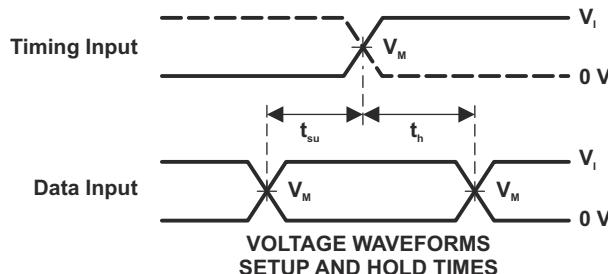
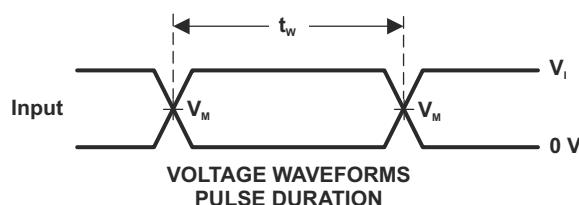
5 パラメータ測定情報



TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

LOAD CIRCUIT

V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_I/t_I					
$1.8 \text{ V} \pm 0.15 \text{ V}$	V_{CC}	$\leq 2 \text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	1 k Ω	0.15 V
$2.5 \text{ V} \pm 0.2 \text{ V}$	V_{CC}	$\leq 2 \text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	500 Ω	0.15 V
$3.3 \text{ V} \pm 0.3 \text{ V}$	3 V	$\leq 2.5 \text{ ns}$	1.5 V	6 V	50 pF	500 Ω	0.3 V
$5 \text{ V} \pm 0.5 \text{ V}$	V_{CC}	$\leq 2.5 \text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	50 pF	500 Ω	0.3 V



- NOTES:
- A. C_L includes probe and jig capacitance.
 - B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 - C. All input pulses are supplied by generators having the following characteristics: PRR $\leq 10 \text{ MHz}$, $Z_o = 50 \Omega$.
 - D. The outputs are measured one at a time, with one transition per measurement.
 - E. t_{PLZ} and t_{PHZ} are the same as t_{dis} .
 - F. t_{PZL} and t_{PZH} are the same as t_{en} .
 - G. t_{PLH} and t_{PHL} are the same as t_{pd} .
 - H. All parameters and waveforms are not applicable to all devices.

図 5-1. 負荷回路および電圧波形

6 詳細説明

6.1 概要

は、2 個のインバータを内蔵しており、ブール関数 $Y = \bar{A}$ を実行します。このデバイスは独立した 2 個のインバータとして機能しますが、シユミット動作が原因で、正方向の (V_{T+}) 信号と負方向の (V_{T-}) 信号に対する入力スレッショルド レベルが異なることがあります。

このデバイスは、 I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。 I_{off} 回路で出力をディセーブルすることにより、電源切断時にデバイスに電流が逆流して損傷するのを回避できます。

6.2 機能ブロック図

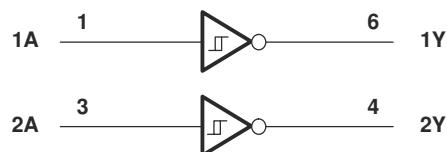


図 6-1. 論理図 (正論理)

6.3 機能説明

6.3.1 CMOS シュミットトリガ入力

このデバイスには、シュミットトリガ アーキテクチャによる入力が搭載されています。これらの入力は高インピーダンスであり、「電気的特性」表に示されている入力静電容量と並列に配置された、入力からグランドまでの抵抗として、通常はモデル化されます。最悪条件下の抵抗値は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ($R = V / I$) を使用して計算します。

シュミットトリガ入力アーキテクチャのヒステリシスは、「電気的特性」表の ΔV_T で定義されるため、このデバイスは低速またはノイズの多い入力に対する耐性が非常に優れています。入力は標準 CMOS 入力よりもはるかに低速で駆動できますが、未使用の入力を適切に終端することをお勧めします。入力を低速の遷移信号と共に駆動すると、デバイスの動的な電流消費が増加します。シュミットトリガ入力の詳細については、『[シュミットトリガについて](#)』を参照してください。

6.4 デバイスの機能モード

表 6-1 に、の機能モードを示します。

表 6-1. 機能表
(各インバータ)

入力 A	出力 Y
H	L
L	H

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

デバイスは、入力が遅いかノイズが大きい場合に、さまざまなバッファ タイプ機能に使用できる高駆動能力の CMOS デバイスです。このデバイスは、3.3V で 24mA の駆動電流を生成できるため、複数の出力の駆動に理想的であり、最大 100MHz の高速アプリケーションにも適しています。入力は 5.5V 耐圧であり、 V_{CC} に降圧変換できます。

7.1.1 代表的なアプリケーション

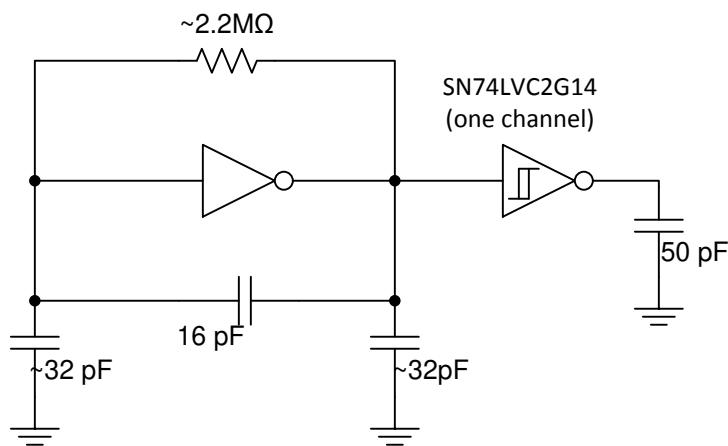


図 7-1. 代表的なアプリケーション回路図

7.1.1.1 設計要件

7.1.1.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。

グランドは、SN74LVC2G14-Q1 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74LVC2G14-Q1 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74LVC2G14-Q1 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OL}) で、 $R_L \geq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

7.1.1.1.2 入力に関する考慮事項

入力信号は、 $V_{t-(min)}$ を超えるとロジック Low と見なされ、 $V_{t+(max)}$ を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74LVC2G14-Q1 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により $10\text{k}\Omega$ の抵抗値がしばしば使用されます。

SN74LVC2G14-Q1 にはシュミットトリガ入力があるため、入力信号遷移レートの要件はありません。

シュミットトリガ入力を採用するもう 1 つの利点は、ノイズを除去できることです。振幅の大きなノイズの場合でも、問題が発生することがあります。問題を発生させる可能性があるノイズの大きさについては、「電気的特性」の $\Delta V_{T(min)}$ を参照してください。このヒステリシス値により、ピーク ツー ピーク制限が得られます。

標準的な CMOS 入力とは異なり、シュミットトリガ入力は、消費電力を大幅に増加させることなく、任意の有効な値に保持できます。 V_{CC} でもグランドでもない値に入力を保持した場合に発生する追加の電流（代表値）を「代表的特性」のグラフに示します。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

7.1.1.1.3 出力に関する考慮事項

グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

7.1.1.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74LVC2G14-Q1 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC}/I_{O(max)})\Omega$ より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーション レポート『CMOS 消費電力と CPD の計算』に記載されている手順を使用して計算できます。

7.1.1.3 アプリケーション曲線

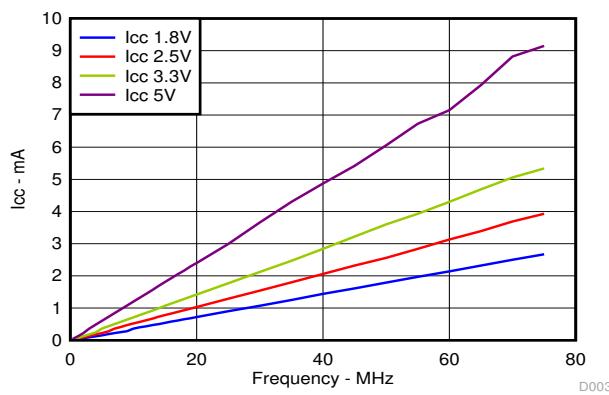


図 7-2. ICC と周波数との関係

7.2 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには $0.1\mu F$ のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu F$ と $1\mu F$ のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.3 レイアウト

7.3.1 レイアウトのガイドライン

- バイパス コンデンサの配置
 - デバイスの正電源端子の近くに配置
 - 電気的に短いグランド帰還パスを提供
 - インピーダンスを最小化するため、広いパターンを使用
 - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
 - 8mil~12mil のトレース幅
 - 伝送ラインの影響を最小化する 12cm 未満の長さ
 - 信号トレースの 90° のコーナーは避ける
 - 信号トレースの下に、途切れのないグランド プレーンを使用
 - 信号トレース周辺の領域をグランドでフラッド フィル
 - 12cm を超えるパターン用

- インピーダンス制御トレースを使用
- 出力の近くに直列ダンピング抵抗を使用して、ソース終端
- 分岐を回避。個別に分岐が必要なバッファ信号

7.3.2 レイアウト例

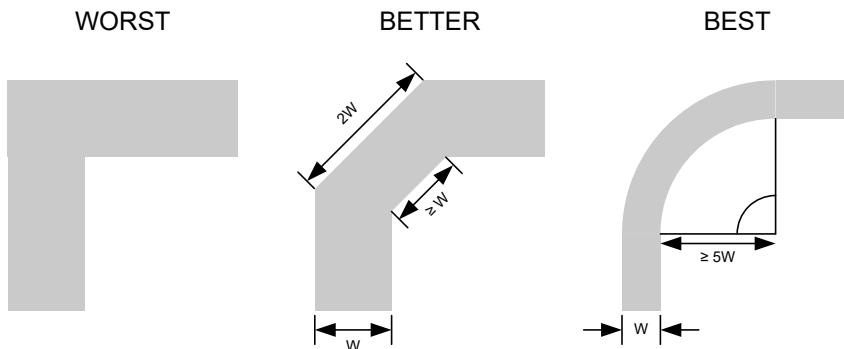


図 7-3. シグナルインテグリティ向上のためのサンプルパターンのコーナー

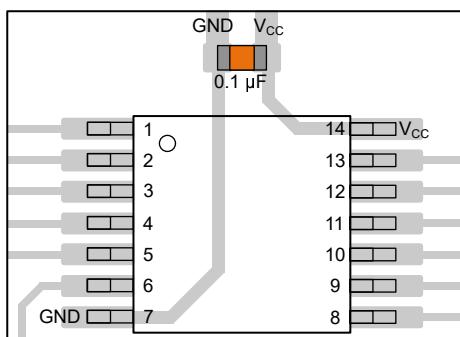


図 7-4. TSSOP や類似のパッケージに対応するバイパスコンデンサの配置例

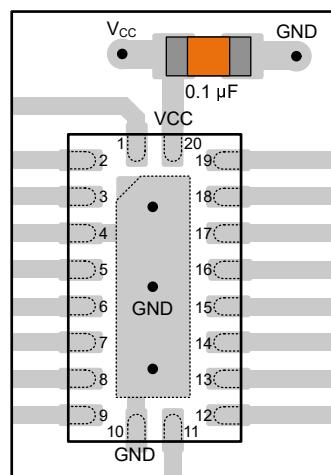


図 7-5. WQFN や類似のパッケージに対応するバイパスコンデンサの配置例

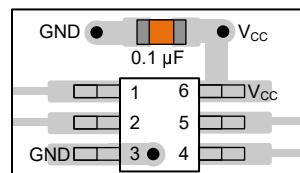


図 7-6. SOT、SC70、および類似のパッケージに対応するバイパスコンデンサの配置例

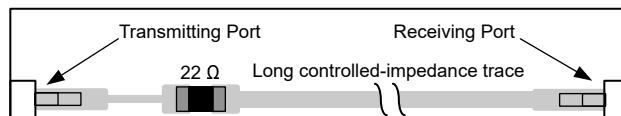


図 7-7. シグナルインテグリティ向上のためのダンピング抵抗の配置例

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお奨めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

Changes from Revision D (April 2008) to Revision E (January 2025)

Page

• 自由気流での動作温度の変化を反映するよう、「電気的特性」、「スイッチング特性」、および「推奨動作条件」の表を更新: 85°C ~ 125°C.....	1
• 「パッケージ情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加.....	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC2G14IDCKRQ1	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(CFJ, CFO)
SN74LVC2G14IDCKRQ1.B	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(CFJ, CFO)

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

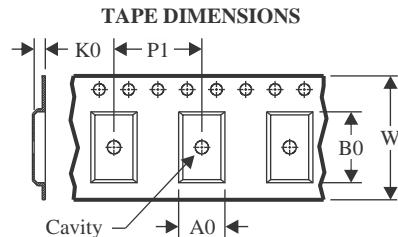
OTHER QUALIFIED VERSIONS OF SN74LVC2G14-Q1 :

- Catalog : [SN74LVC2G14](#)

NOTE: Qualified Version Definitions:

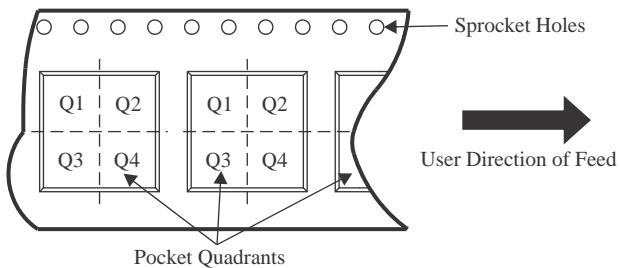
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



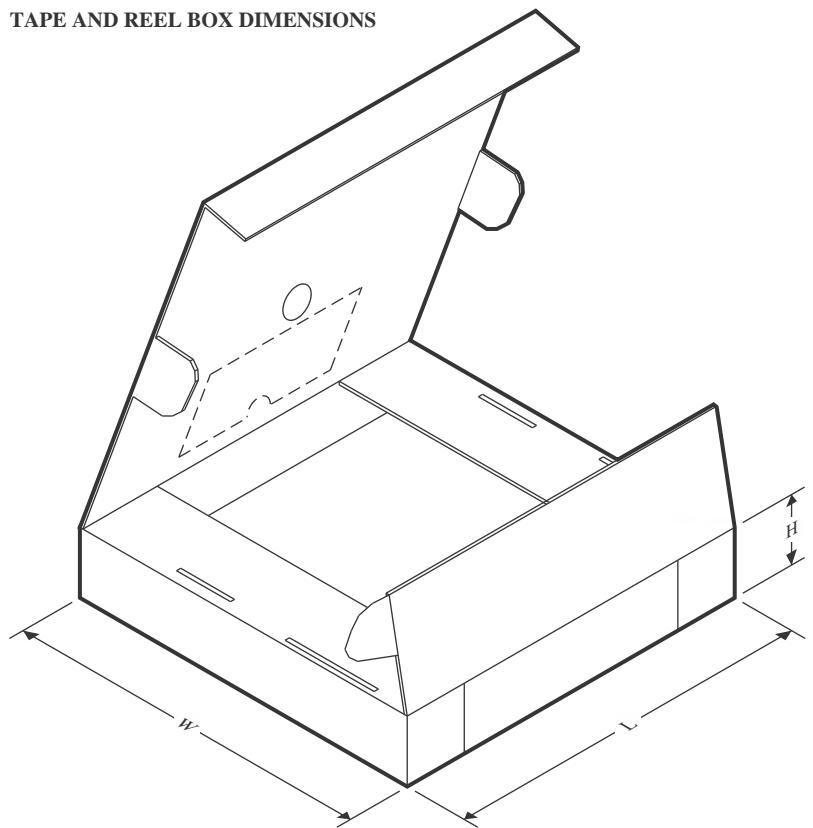
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC2G14IDCKRQ1	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC2G14IDCKRQ1	SC70	DCK	6	3000	180.0	180.0	18.0

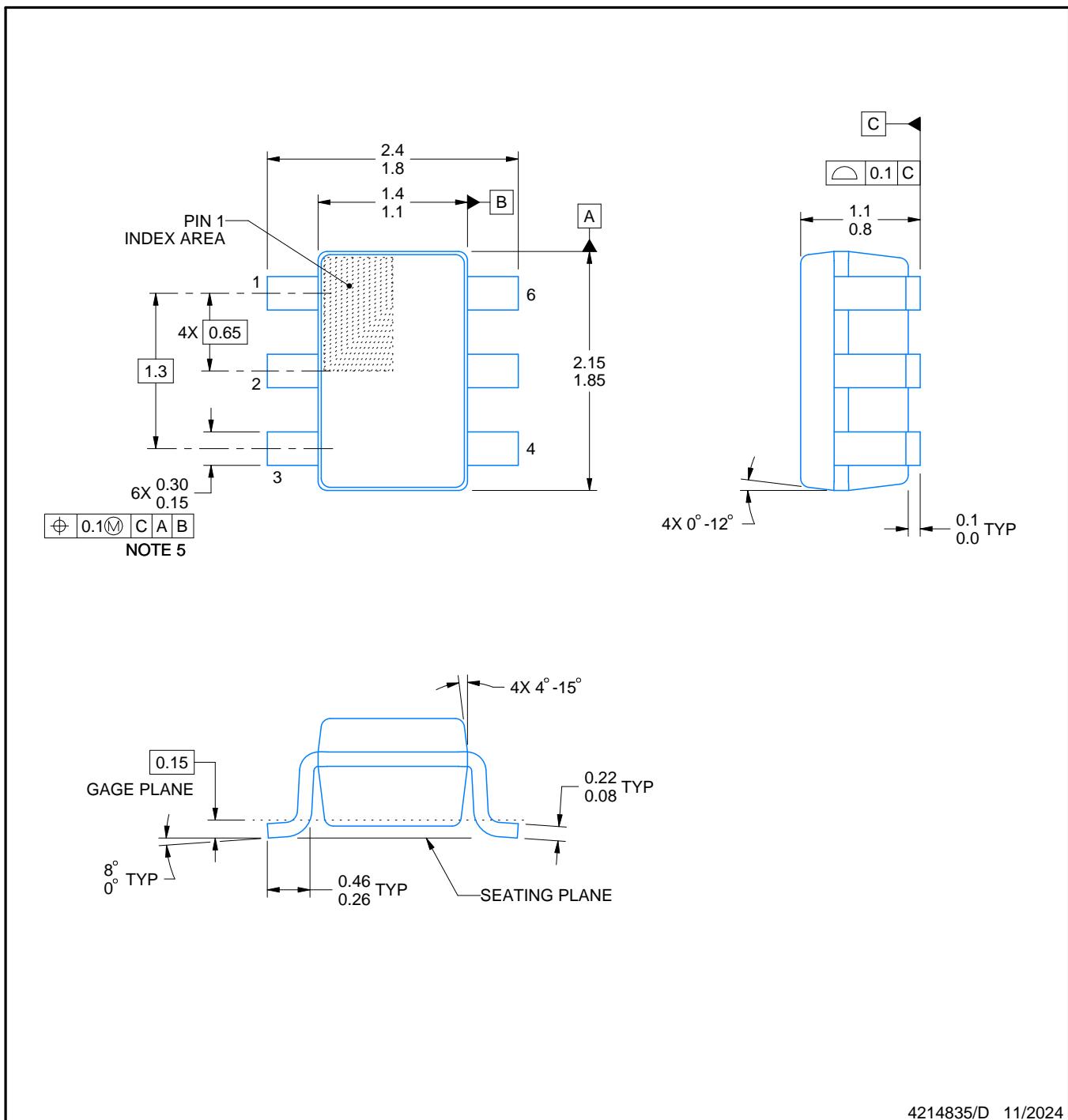
PACKAGE OUTLINE

DCK0006A



SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214835/D 11/2024

NOTES:

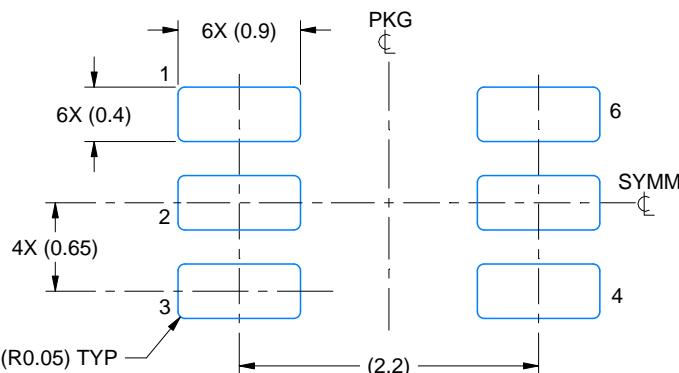
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.

EXAMPLE BOARD LAYOUT

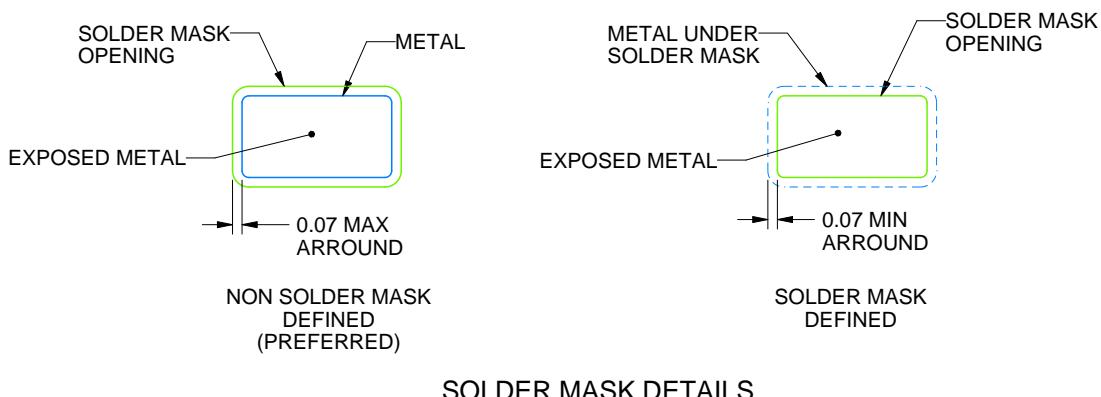
DCK0006A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



4214835/D 11/2024

NOTES: (continued)

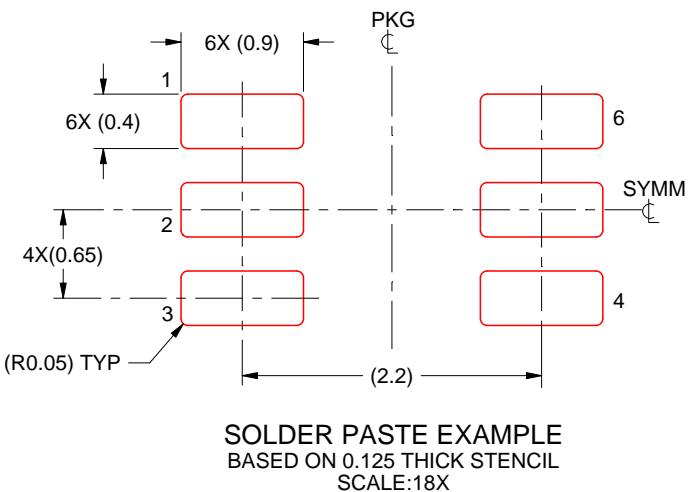
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0006A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月