

SNx4LVC74A デュアル ポジティブ エッジトリガ D タイプ フリップフロップ、クリア/プリセット搭載

1 特長

- 1.65V～3.6V で動作
- 5.5V までの入力電圧に対応
- 最大 t_{pd} 5.2ns (3.3V 時)
- V_{OLP} 標準値 (出力グランド バウンス)
<0.8V ($V_{CC} = 3.3V$, $T_A = 25^\circ C$)
- V_{OHV} 標準値 (出力 V_{OH} アンダーシュート)
>2V ($V_{CC} = 3.3V$, $T_A = 25^\circ C$)
- JESD 17 準拠で 250mA 超のラッチアップ性能
- JESD 22 を上回る ESD 保護
 - 2000V、人体モデル (A114-A)
 - 1000V、デバイス帯電モデル (C101)

2 アプリケーション

- サーバー
- 医療、ヘルスケア、フィットネス
- テレコム インフラストラクチャ
- テレビ、セットトップ ボックス、オーディオ
- 試験 / 測定機器
- 産業用輸送
- ワイヤレス インフラ
- エンタープライズ スイッチング
- モータードライブ
- ファクトリ オートメーション / 制御

3 概要

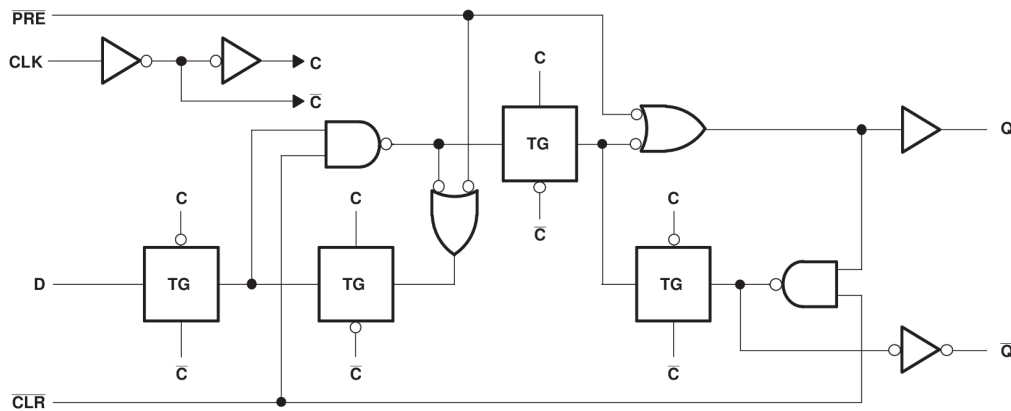
SNx4LVC74A デバイスは、2 つのポジティブ エッジトリガ D タイプ フリップ フロップを 1 つに統合した便利なデバイスです。

SN54LVC74A は 2.7V～3.6V の V_{CC} で動作するように設計されており、SN74LVC74A は 1.65V～3.6V の V_{CC} で動作するように設計されています。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾	本体サイズ ⁽³⁾
SNx4LVC74A	BQA (WQFN, 14)	3mm × 2.5mm	3mm × 2.5mm
	D (SOIC, 14)	8.65mm × 6mm	8.65mm × 3.91mm
	DB (SSOP, 14)	6.2mm × 7.8mm	6.20mm × 5.30mm
	NS (SOP, 14)	10.2mm × 7.8mm	10.20mm × 5.30mm
	PW (TSSOP, 14)	5mm × 6.4mm	5.00mm × 4.40mm
	RGY (VQFN, 14)	3.50mm × 3.50mm	3.50mm × 3.50mm
	J (CDIP, 14)	19.55mm × 7.9mm	19.56 mm × 6.67 mm
	W (CFP, 14)	9.21mm × 9 mm	9.21 mm × 5.97 mm
FK (LCCC, 20)	8.9mm × 8.9mm	8.89 mm × 8.89 mm	

- (1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



Copyright © 2016, Texas Instruments Incorporated

論理図、各フリップフロップ (正論理)



目次

1 特長	1	6 パラメータ測定情報	9
2 アプリケーション	1	7 詳細説明	10
3 概要	1	7.1 概要.....	10
4 ピン構成および機能	3	7.2 機能ブロック図.....	10
5 仕様	4	7.3 機能説明.....	10
5.1 絶対最大定格.....	4	7.4 デバイスの機能モード.....	10
5.2 ESD 定格.....	4	8 アプリケーションと実装	11
5.3 推奨動作条件.....	4	8.1 アプリケーション情報.....	11
5.4 熱に関する情報: SN74LVC74A.....	5	8.2 代表的なアプリケーション.....	11
5.5 電気的特性.....	5	8.3 電源に関する推奨事項.....	12
5.6 タイミング要件: SN54LVC74A.....	6	8.4 レイアウト.....	12
5.7 タイミング要件: SN74LVC74A.....	6	9 デバイスおよびドキュメントのサポート	14
5.8 タイミング要件: SN74LVC74A、-40°C から 125°C、-40°C から 85°C.....	7	9.1 ドキュメントのサポート.....	14
5.9 スイッチング特性: SN54LVC74A.....	7	9.2 ドキュメントの更新通知を受け取る方法.....	14
5.10 スイッチング特性: SN74LVC74A.....	7	9.3 サポート・リソース.....	14
5.11 スイッチング特性: SN74LVC74A、-40°C から 125°C、-40°C から 85°C.....	8	9.4 商標.....	14
5.12 動作特性.....	8	9.5 静電気放電に関する注意事項.....	14
5.13 代表的特性.....	8	9.6 用語集.....	14
		10 改訂履歴	14
		11 メカニカル、パッケージ、および注文情報	15

4 ピン構成および機能

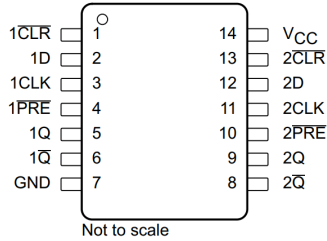


図 4-1. D、DB、J、PW、NS、または W パッケージ 14
ピン SOIC、SSOP、CDIP、TSSOP、SO または CFP
(上面図)

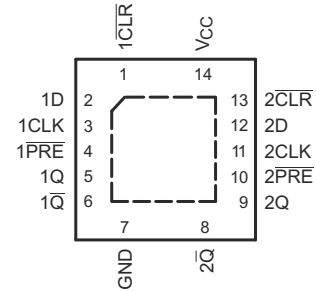


図 4-2. BQA または RGY パッケージ、14 ピン WQFN
または VQFN (露出サーマルパッド付き) (上面図)

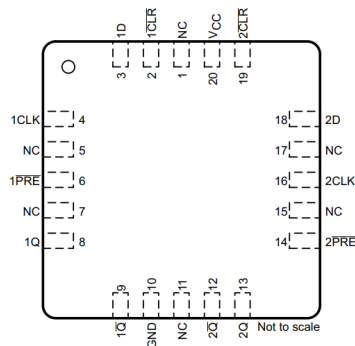


図 4-3. FK パッケージ 20 ピン LCCC (上面図)

表 4-1. ピンの機能

名称	ピン		I/O	説明
	CDIP、CFP、PDIP、SO、SOIC、SSOP、TSSOP、VQFN	LCCC		
1CLK	3	4	I	チャンネル 1 クロック入力
1 CLR	1	2	I	チャンネル 1 クリア入力。Low にすると、Q 出力が Low になります。
1D	2	3	I	チャンネル 1 データ入力
1 PRE	4	6	I	チャンネル 1 プリセット入力。Low にすると、Q 出力が High になります。
1Q	5	8	O	チャンネル 1 出力
1 Q̄	6	9	O	チャンネル 1 反転出力
2CLK	11	16	I	チャンネル 2 クロック入力
2 CLR	13	19	I	チャンネル 2 クリア入力。Low にすると、Q 出力が Low になります。
2D	12	18	I	チャンネル 2 データ入力
2 PRE	10	14	I	チャンネル 2 プリセット入力。Low にすると、Q 出力が High になります。
2Q	9	13	O	チャンネル 2 出力
2 Q̄	8	12	O	チャンネル 2 反転出力
GND	7	10	—	グラウンド
NC	—	1、5、7、11、15、17	—	無接続
V _{CC}	14	20	—	電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

	最小値	最大値	単位
電源電圧、 V_{CC}	-0.5	6.5	V
入力電圧、 V_I ⁽²⁾	-0.5	6.5	V
出力電圧、 V_O ^{(2) (3)}	-0.5	$V_{CC} + 0.5$	V
入力クランプ電流、 I_{IK}	$V_I < 0$	-50	mA
出力クランプ電流、 I_{OK}	$V_O < 0$	-50	mA
連続出力電流、 I_O		± 50	mA
V_{CC} または GND を通過する連続電流		± 100	mA
保管温度、 T_{stg}	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。
- (3) V_{CC} の値は、「推奨動作条件」に記載されています。

5.2 ESD 定格

	値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 2000
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	± 1000

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

(1) を参照

			最小値	最大値	単位
V_{CC} 電源電圧	動作	SN54LVC74A	2	3.6	V
		SN74LVC74A	1.65	3.6	
	データ保持のみ		1.5		
V_{IH} High レベル入力電圧	$V_{CC} = 1.65V \sim 1.95V$	SN74LVC74A	$0.65 \times V_{CC}$		V
	$V_{CC} = 2.3V \sim 2.7V$	SN74LVC74A	1.7		
	$V_{CC} = 2.7V$ から 3.6V		2		
V_{IL} Low レベル入力電圧	$V_{CC} = 1.65V \sim 1.95V$	SN74LVC74A	$0.35 \times V_{CC}$		V
	$V_{CC} = 2.3V \sim 2.7V$	SN74LVC74A	0.7		
	$V_{CC} = 2.7V$ から 3.6V		0.8		
V_I 入力電圧			0	5.5	V
V_O 出力電圧			0	V_{CC}	V
I_{OH} High レベル出力電流	$V_{CC} = 1.65V$	SN74LVC74A	-4		mA
	$V_{CC} = 2.3V$	SN74LVC74A	-8		
	$V_{CC} = 2.7V$		-12		
	$V_{CC} = 3V$		-24		
I_{OL} Low レベル出力電流	$V_{CC} = 1.65V$	SN74LVC74A	4		mA
	$V_{CC} = 2.3V$	SN74LVC74A	8		
	$V_{CC} = 2.7V$		12		
	$V_{CC} = 3V$		24		
$\Delta t/\Delta v$ 入力遷移の立ち上がりまたは立ち下がりレート			10		ns/V

5.3 推奨動作条件 (続き)

(1) を参照

		最小値	最大値	単位	
T _A	自由空気での動作温度	SN54LVC74A	-55	125	°C
		SN74LVC74A	-40	125	

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『低速またはフローティング CMOS 入力の影響』(SCBA004) を参照してください。

5.4 熱に関する情報 : SN74LVC74A

熱評価基準 ⁽¹⁾	SN74LVC74A						単位	
	BQA (WQFN)	D (SOIC)	DB (SSOP)	NS (SO)	PW (TSSOP)	RGY (VQFN)		
	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン		
R _{θJA}	接合部から周囲への熱抵抗	102.3	127.8	140.4	123.8	150.8	92.1	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	96.8	54.8	59.2	48.1	50.3	52.2	°C/W
R _{θJB}	接合部から基板への熱抵抗	70.9	48	54.6	49.1	63.4	30.8	°C/W
ψ _{JT}	接合部から上面への特性パラメータ	16.6	20.3	24.1	17.9	6.2	2.4	°C/W
ψ _{JB}	接合部から基板への特性パラメータ	70.9	47.7	54.1	48.8	62.8	30.9	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	50.1	—	—	—	—	12.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポートを参照してください。 [spra953](#)

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		最小値	標準値	最大値	単位
V _{OH} High レベル出力電圧	I _{OH} = -100μA	V _{CC} = 1.65V から 3.6V および T _A = -55°C から 125°C (SN54LVC74A のみ)	V _{CC} - 0.2			V
		V _{CC} = 2.7V から 3.6V および T _A = -40°C から 125°C (SN74LVC74A のみ)	V _{CC} - 0.2			
	I _{OH} = -4 mA, V _{CC} = 1.65 V、また、T _A = -40°C から 125°C (SN74LVC74A のみ)		1.2			
	I _{OH} = -8 mA, V _{CC} = 2.3 V、また、T _A = -40°C から 125°C (SN74LVC74A のみ)		1.7			
	I _{OH} = -12mA	V _{CC} = 2.7 V	2.2			
V _{CC} = 3 V		2.4				
	I _{OH} = -24mA, V _{CC} = 3V		2.2			
V _{OL} Low レベル出力電圧	I _{OL} = 100μA	V _{CC} = 1.65 V から 3.6 V、また、T _A = -40°C から 125°C (SN74LVC74A のみ)			0.2	V
		V _{CC} = 2.7V から 3.6V および T _A = -55°C から 125°C (SN54LVC74A のみ)			0.2	
	I _{OL} = 4 mA, V _{CC} = 1.65 V、また、T _A = -40°C から 125°C (SN74LVC74A のみ)				0.45	
	I _{OL} = 8 mA, V _{CC} = 2.3 V、また、T _A = -40°C から 125°C (SN74LVC74A のみ)				0.7	
	I _{OL} = 12mA, V _{CC} = 2.7V				0.4	
	I _{OL} = 24mA, V _{CC} = 3V				0.55	
I _I 入力電流	V _I = 5.5V または GND, V _{CC} = 3.6V				±5	μA
I _{CC} 電源電流	V _I = V _{CC} または GND, I _O = 0, V _{CC} = 3.6V				10	μA

SN54LVC74A, SN74LVC74A

JAJST35W – JANUARY 1993 – REVISED DECEMBER 2024

5.5 電気的特性 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ΔI_{CC} 電源電流の変化	1つの入力は $V_{CC} - 0.6V$ 、その他の入力は V_{CC} または GND 、 $V_{CC} = 2.7V$ から $3.6V$			500	μA
C_i 入力容量	$V_i = V_{CC}$ または GND 、 $V_{CC} = 3.3V$ 、 $T_A = 25^\circ C$		5		pF

5.6 タイミング要件 : SN54LVC74A

自由気流での推奨動作温度範囲内 (特に記述のない限り。「パラメータ測定情報」を参照してください)

		最小値	最大値	単位
f_{clock} クロック周波数	$V_{CC} = 2.7V$		83	MHz
	$V_{CC} = 3.3V \pm 0.3V$		100	
t_w パルス幅	PRE または CLR が Low	3.3		ns
	CLK が High または Low	3.3		
t_{su} CLK ↑ 前のセットアップ時間	データ	$V_{CC} = 2.7V$	3.4	ns
		$V_{CC} = 3.3V \pm 0.3V$	3	
	PRE または CLR が非アクティブ	$V_{CC} = 2.7V$	2.2	
		$V_{CC} = 3.3V \pm 0.3V$	2	
t_h ホールド時間、CLK ↑ 後のデータ		1	ns	

5.7 タイミング要件 : SN74LVC74A

自由気流での推奨動作温度範囲内 (特に記述のない限り。「パラメータ測定情報」を参照してください)

		最小値	最大値	単位
f_{clock} クロック周波数	$V_{CC} = 1.8V$ または $2.5V$		83	MHz
t_w パルス幅	PRE または CLR が Low	$V_{CC} = 1.8V \pm 0.15V$	4.1	ns
		$V_{CC} = 2.5V \pm 0.2V$	3.3	
	CLK が High または Low	$V_{CC} = 1.8V \pm 0.15V$	4.1	
		$V_{CC} = 2.5V \pm 0.2V$	3.3	
t_{su} CLK ↑ 前のセットアップ時間	データ	$V_{CC} = 1.8V \pm 0.15V$	3.6	ns
		$V_{CC} = 2.5V \pm 0.2V$	2.3	
	PRE または CLR が非アクティブ	$V_{CC} = 1.8V \pm 0.15V$	2.7	
		$V_{CC} = 2.5V \pm 0.2V$	1.9	
t_h ホールド時間、CLK ↑ 後のデータ	$V_{CC} = 1.8V$ または $2.5V$	1	ns	

5.8 タイミング要件 : SN74LVC74A、-40°C から 125°C、-40°C から 85°C

自由気流での推奨動作温度範囲内 (特に記述のない限り。「パラメータ測定情報」を参照してください)

			最小値	最大値	単位	
f _{clock}	クロック周波数	T _A = -40°C ~ 125°C	V _{CC} = 2.7 V	83	MHz	
			V _{CC} = 3.3V ± 0.3V	100		
		T _A = -40°C to 85°C and V _{CC} = 3.3 V ± 0.3 V		150		
t _w	パルス幅	PRE または CLR が Low	V _{CC} = 2.7V または 3.3V	3.3	ns	
		CLK が High または Low	V _{CC} = 2.7V または 3.3V	3.3		
t _{su}	CLK ↑ 前のセットアップ時間	データ	T _A = -40°C ~ 125°C	V _{CC} = 2.7 V	3.4	ns
				V _{CC} = 3.3V ± 0.3V	3	
		T _A = -40°C to 85°C and V _{CC} = 3.3 V ± 0.3 V			3	
		PRE または CLR が非アクティブ	T _A = -40°C ~ 125°C	V _{CC} = 2.7 V	2.2	
				V _{CC} = 3.3V ± 0.3V	2	
		T _A = -40°C to 85°C and V _{CC} = 3.3 V ± 0.3 V			2	
t _h	ホールド時間、CLK ↑ 後のデータ	V _{CC} = 2.7V または 3.3V	1	ns		

5.9 スイッチング特性 : SN54LVC74A

自由気流での推奨動作温度範囲内 (特に記述のない限り。「パラメータ測定情報」を参照)

パラメータ	始点 (入力)	終点 (出力)	テスト条件	最小値	最大値	単位	
f _{max}	最大クロック周波数	—	V _{CC} = 2.7 V	83	100	MHz	
			V _{CC} = 3.3V ± 0.3V				
t _{pd}	伝搬 (遅延) 時間	Q または Q̄	CLK	V _{CC} = 2.7 V	6	ns	
			PRE または CLR	V _{CC} = 2.7 V	1		5.2
				V _{CC} = 3.3V ± 0.3V			6.4
				V _{CC} = 3.3V ± 0.3V	1		5.4

5.10 スイッチング特性 : SN74LVC74A

自由気流での推奨動作温度範囲内 (特に記述のない限り。「パラメータ測定情報」を参照してください)

パラメータ	始点 (入力)	終点 (出力)	テスト条件	最小値	最大値	単位	
f _{max}	最大クロック周波数	—		83		MHz	
t _{pd}	伝搬 (遅延) 時間	Q または Q̄	CLK PRE	V _{CC} = 1.8V ± 0.15V	1	7.1	ns
			または CLR	V _{CC} = 2.5V ± 0.2V	1	4.4	
				V _{CC} = 1.8V ± 0.15V	1	6.9	
				V _{CC} = 2.5V ± 0.2V	1	4.6	

5.11 スイッチング特性 : SN74LVC74A、-40°C から 125°C、-40°C から 85°C

自由気流での推奨動作温度範囲内 (特に記述のない限り。「パラメータ測定情報」を参照してください)

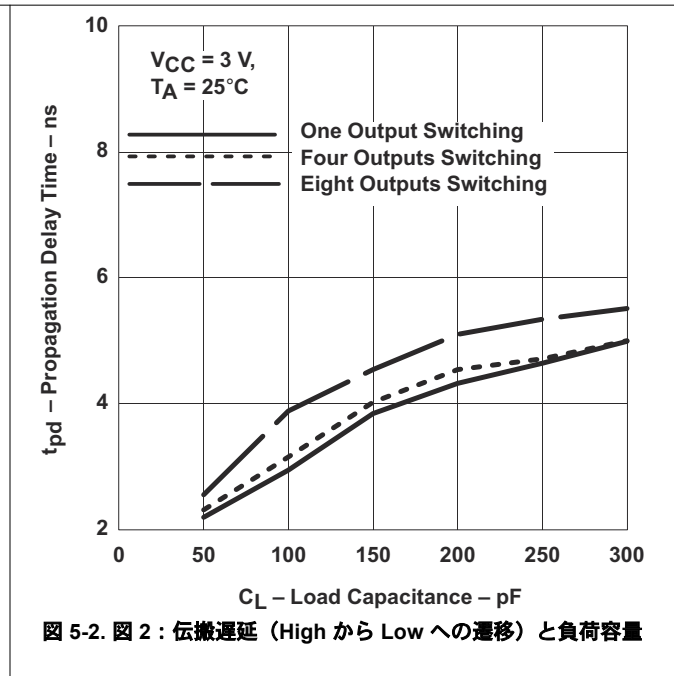
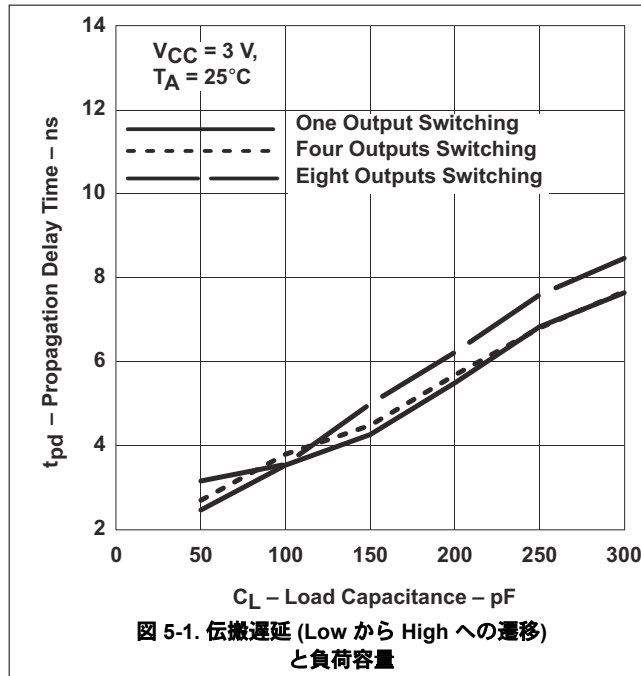
パラメータ	始点 (入力)	終点 (出力)	テスト条件		最小値	最大値	単位	
f _{max} 最大クロック周波数	—	—	T _A = -40°C ~ 125°C	V _{CC} = 2.7 V	83	MHz		
				V _{CC} = 3.3V ± 0.3V	100			
			T _A = -40°C から 85°C, V _{CC} = 3.3V ± 0.3V	150				
t _{pd} 伝搬 (遅延) 時間	CLK	Q または \bar{Q}	T _A = -40°C ~ 125°C	V _{CC} = 2.7 V	1	6	ns	
				V _{CC} = 3.3V ± 0.3V	5.2			
			T _A = -40°C から 85°C, V _{CC} = 3.3V ± 0.3V	1	5.2			
				T _A = -40°C ~ 125°C	V _{CC} = 2.7 V	1		6.4
					V _{CC} = 3.3V ± 0.3V	5.4		
T _A = -40°C から 85°C, V _{CC} = 3.3V ± 0.3V	1	5.4						
t _{sk(o)} スキュー (時間)、出力	—	—	T _A = -40°C から 85°C, V _{CC} = 3.3V ± 0.3V		1	ns		

5.12 動作特性

T_A = 25°C

パラメータ	テスト条件	標準値	単位
C _{pd} フリップフロップあたりの消費電力容量	f = 10MHz	V _{CC} = 1.8 V	24
		V _{CC} = 2.5 V	24
		V _{CC} = 3.3 V	26

5.13 代表的特性

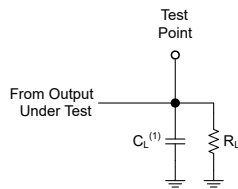


6 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR \leq 1MHz、 $Z_O = 50\Omega$ 、 $t_f \leq 2.5ns$ 。

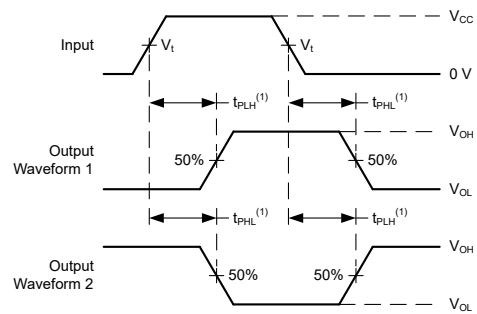
出力は個別に測定され、測定するたびに入力が 1 回遷移します。

V_{CC}	V_t	R_L	C_L	ΔV
1.8V \pm 0.15V	$V_{CC}/2$	1k Ω	30pF	0.15V
2.5V \pm 0.2V	$V_{CC}/2$	500 Ω	30pF	0.15V
2.7V	1.5V	500 Ω	50pF	0.3V
3.3V \pm 0.3V	1.5V	500 Ω	50pF	0.3V



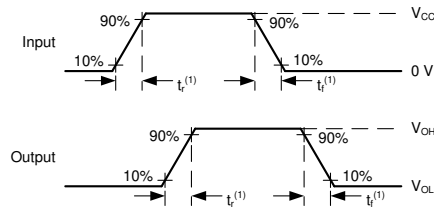
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力のための負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-2. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-3. 電圧波形、入力および出力の遷移時間

7 詳細説明

7.1 概要

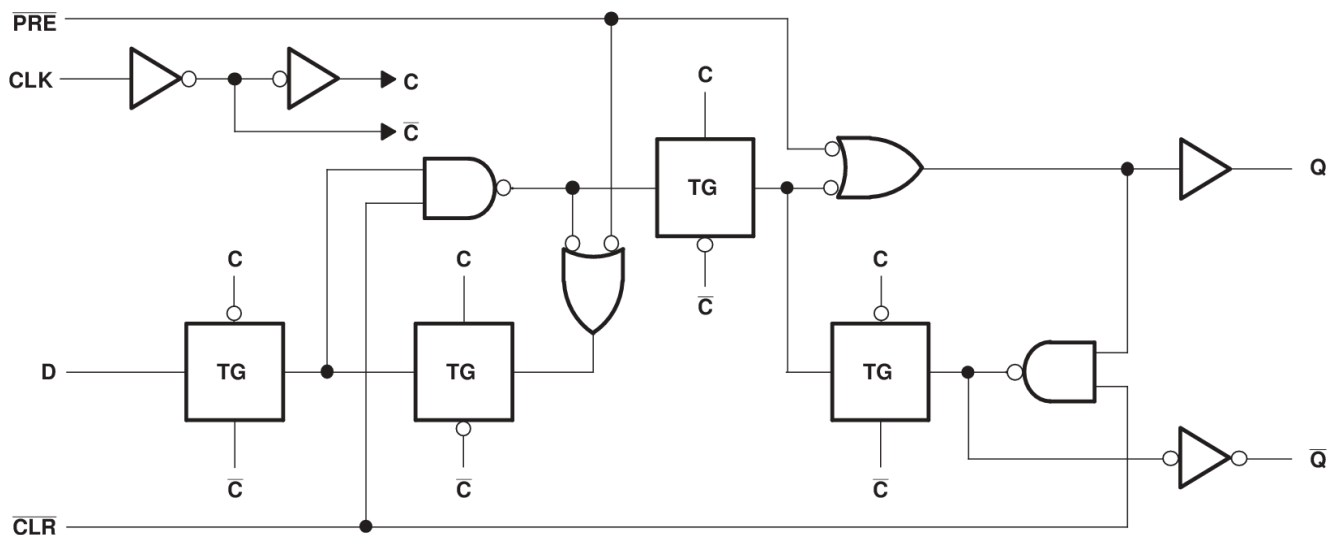
SNx4LVC74A デバイスは、2 つの独立したポジティブ エッジトリガ D タイプ フリップ フロップを備えています。統合されたプリセット ($\overline{\text{PRE}}$) およびクリア ($\overline{\text{CLR}}$) 機能を内蔵しているため、動作中のセットアップとコントロールが簡単です。

SN54LVC74A デバイスの作動温度は -55°C から 125°C まで、SN74LVC74A デバイスは -40°C から 125°C まで規定されています。

その他の入力のレベルに関係なく、プリセット ($\overline{\text{PRE}}$) 入力を Low レベルにすると出力は High になり、クリア ($\overline{\text{CLR}}$) 入力を Low レベルにすると出力は Low になります。 $\overline{\text{PRE}}$ と $\overline{\text{CLR}}$ が非アクティブ (HIGH) の場合、セットアップ時間の要件を満たすデータ (D) 入力のデータは、クロック パルスの正方向エッジで出力に転送されます。クロックのトリガは電圧レベルで発生し、クロック パルスの立ち上がり時間とは直接関係しません。ホールド時間が経過した後、D 入力のデータは、出力のレベルに影響を及ぼさずに変更できます。

データ I/O および制御入力は過電圧許容です。この機能により、電圧が混在するシステム環境での降圧変換としてこのデバイスを使用できます。

7.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

7.3 機能説明

その他の入力のレベルに関係なく、プリセット ($\overline{\text{PRE}}$) 入力を Low レベルにすると出力は High になり、クリア ($\overline{\text{CLR}}$) 入力を Low レベルにすると出力は Low になります。 $\overline{\text{PRE}}$ と $\overline{\text{CLR}}$ が非アクティブ (HIGH) の場合、セットアップ時間の要件を満たすデータ (D) 入力のデータは、クロック パルスの正方向エッジで出力に転送されます。クロックのトリガは電圧レベルで発生し、クロック パルスの立ち上がり時間とは直接関係しません。ホールド時間が経過した後、D 入力のデータは、出力のレベルに影響を及ぼさずに変更できます。

7.4 デバイスの機能モード

表 7-1 は、SNx4LVC74A の機能と、 $\overline{\text{PRE}}$ 、 $\overline{\text{CLR}}$ 、CLK、D 入力間の相互作用を説明します。

表 7-1. 機能表

入力				出力	
PRE	CLR	CLK	D	Q	$\overline{\text{Q}}$
L	H	X	X	H	L
H	L	X	X	L	H

表 7-1. 機能表 (続き)

入力				出力	
PRE	CLR	CLK	D	Q	\bar{Q}
L	L	X	X	H ⁽¹⁾	H ⁽¹⁾
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	\bar{Q} ₀

(1) この構成は不安定です。つまり、 $\overline{\text{PRE}}$ または $\overline{\text{CLR}}$ が非アクティブ (High) レベルに戻ったときに持続しません。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74LVC74A の一般的なアプリケーションは分周器です。 \bar{Q} 出力を D 入力に接続することで、受信クロック信号の正のエッジごとに Q 出力の状態がトグルされます。それは、出力の 1 つの完全なパルスを完了するには、2 つの正のエッジまたはクロックパルスが必要になるからです (1 つのパルスは Low から High にトグルされ、もう 1 つはその逆)。受信されたクロック周波数は効率的に 2 つに 分周されます。

8.2 代表的なアプリケーション

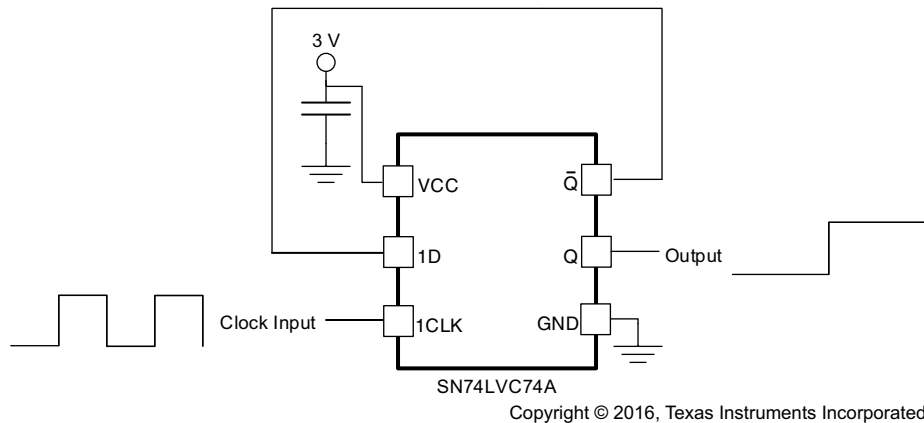


図 8-1. 周波数分周器

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合することを避けてください。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリングングを防止してください。

8.2.2 詳細な設計手順

1. 推奨入力条件:

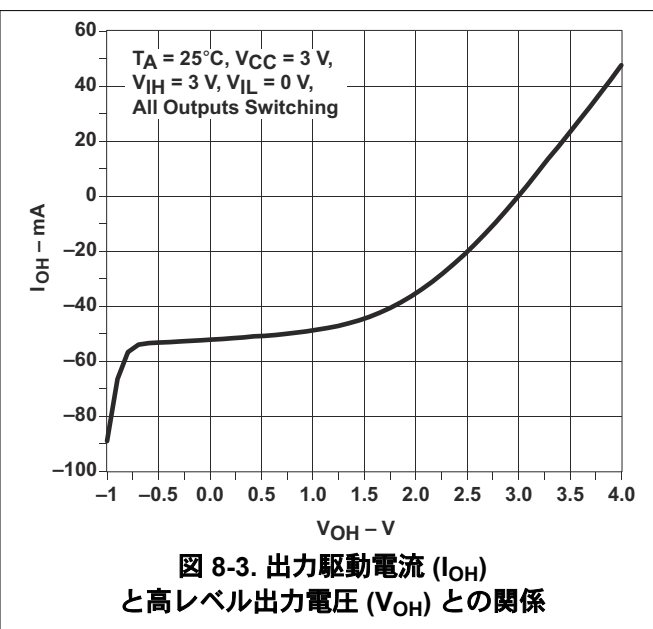
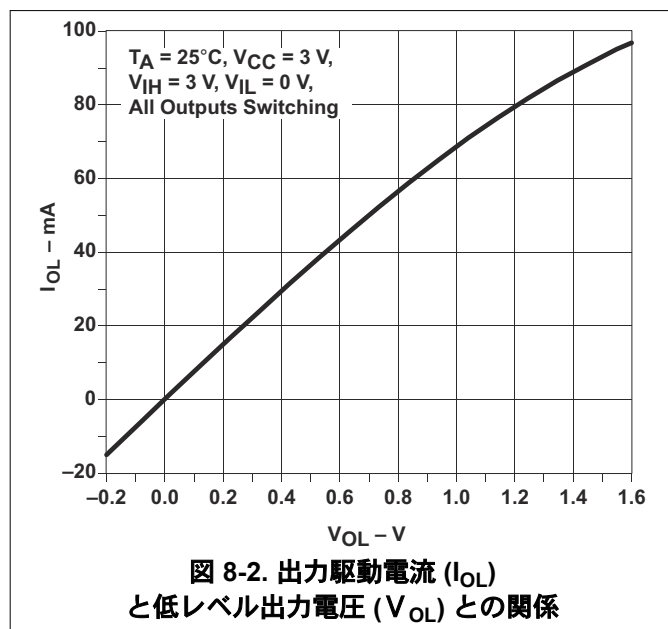
- 立ち上がり時間と立ち下がり時間の仕様については、「[推奨動作条件](#)」の $(\Delta t/\Delta V)$ を参照してください。

- 規定された High および Low レベルについては、「推奨動作条件」の (V_{IH} および V_{IL}) を参照してください。
- 入力は過電圧許容で、「推奨動作条件」に記載された任意の有効な V_{CC} において (最大 V_I) に対応できます。

2. 推奨最大出力条件:

- 負荷電流は、出力ごとに I_O の最大値を超えないようにする必要があります。また、 V_{CC} または GND を流れる連続電流は、本デバイスの最大総電流の仕様値を超えないようにする必要があります。これらの限界値は、「絶対最大定格」に記載されています。
- 出力は、 V_{CC} を超えてプルされないようにしてください。

8.2.3 アプリケーション曲線



8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。単電源のデバイスには 0.1 μ F のコンデンサを推奨します。 V_{CC} 端子が複数ある場合は、各電源端子に 0.01 μ F または 0.022 μ F のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することもできます。複数のバイパス コンデンサを並列に接続して、異なる周波数のノイズを除去することもできます。最良の結果を得るため、バイパス コンデンサは電源端子のできるだけ近くに配置してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

多ビットロジック デバイスを使用する場合、入力をフローティングにしないでください。多くの場合、デジタル ロジック デバイスの機能または機能の一部は使用されません。例として、トリプル入力 AND ゲートのうち 2 入力のみを使用する場合、または 4 バッファ ゲートのうち 3 入力のみを使用する場合が挙げられます。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。

図 8-4 の仕様は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用入力に適用する必要があるロジックレベルは、デバイスの機能によって異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。

8.4.2 レイアウト例

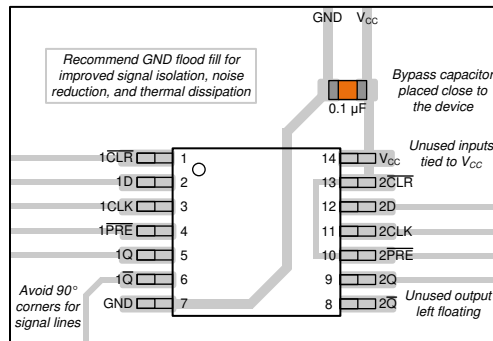


図 8-4. レイアウトの図

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

『低速またはフローティング CMOS 入力の影響』(SCBA004)

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision V (May 2024) to Revision W (December 2024)	Page
<ul style="list-style-type: none"> R0JA の値を更新:D = 93.7 を 127.8 に変更、DB = 107.3 を 140.4 に変更、NS = 90.3 を 123.8 に変更、PW = 121.7 を 150.8 に変更、RGY = 54.9 を 92.1 に変更。D、DB、NS、PW、と RGY パッケージの R0JC(top)、R0JB、ΨJT、ΨJB、R0JC(bot) を更新 (値はすべて °C/W)..... 	5

Changes from Revision U (January 2017) to Revision V (May 2024)	Page
<ul style="list-style-type: none"> ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... 「製品情報」表、「ピン構成および機能」セクション、および「熱に関する情報」表に BQA パッケージを追加 「製品情報」表にパッケージ サイズを追加..... 	1 1 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
5962-9761601Q2A	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9761601Q2A SNJ54LVC74AFK	Samples
5962-9761601QCA	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9761601QC A SNJ54LVC74AJ	Samples
5962-9761601QDA	ACTIVE	CFP	W	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9761601QD A SNJ54LVC74AW	Samples
5962-9761601VDA	ACTIVE	CFP	W	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9761601VD A SNV54LVC74AW	Samples
SN74LVC74ABQAR	ACTIVE	WQFN	BQA	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74A	Samples
SN74LVC74AD	ACTIVE	SOIC	D	14	50	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74A	Samples
SN74LVC74ADBR	ACTIVE	SSOP	DB	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC74A	Samples
SN74LVC74ADBRG4	ACTIVE	SSOP	DB	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC74A	Samples
SN74LVC74ADR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74A	Samples
SN74LVC74ADRE4	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74A	Samples
SN74LVC74ADT	ACTIVE	SOIC	D	14	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74A	Samples
SN74LVC74ANSR	ACTIVE	SOP	NS	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74A	Samples
SN74LVC74APW	ACTIVE	TSSOP	PW	14	90	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC74A	Samples
SN74LVC74APWG4	ACTIVE	TSSOP	PW	14	90	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC74A	Samples
SN74LVC74APWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	LC74A	Samples
SN74LVC74APWRE4	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC74A	Samples
SN74LVC74APWRG4	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC74A	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74LVC74APWT	ACTIVE	TSSOP	PW	14	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC74A	Samples
SN74LVC74APWTG4	ACTIVE	TSSOP	PW	14	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC74A	Samples
SN74LVC74ARGYR	ACTIVE	VQFN	RGY	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC74A	Samples
SNJ54LVC74AFK	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9761601Q2A SNJ54LVC74AFK	Samples
SNJ54LVC74AJ	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9761601QC A SNJ54LVC74AJ	Samples
SNJ54LVC74AW	ACTIVE	CFP	W	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9761601QD A SNJ54LVC74AW	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54LVC74A, SN54LVC74A-SP, SN74LVC74A :

- Catalog : [SN74LVC74A](#), [SN54LVC74A](#)

- Automotive : [SN74LVC74A-Q1](#), [SN74LVC74A-Q1](#)

- Enhanced Product : [SN74LVC74A-EP](#), [SN74LVC74A-EP](#)

- Military : [SN54LVC74A](#)

- Space : [SN54LVC74A-SP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

- Enhanced Product - Supports Defense, Aerospace and Medical Applications

- Military - QML certified for Military and Defense Applications

- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC74ABQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74LVC74ADBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74LVC74ADR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74LVC74ADT	SOIC	D	14	250	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74LVC74ANSR	SOP	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
SN74LVC74APWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC74APWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC74APWT	TSSOP	PW	14	250	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC74ARGYR	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC74ABQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74LVC74ADBR	SSOP	DB	14	2000	356.0	356.0	35.0
SN74LVC74ADR	SOIC	D	14	2500	356.0	356.0	35.0
SN74LVC74ADT	SOIC	D	14	250	210.0	185.0	35.0
SN74LVC74ANSR	SOP	NS	14	2000	356.0	356.0	35.0
SN74LVC74APWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74LVC74APWRG4	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74LVC74APWT	TSSOP	PW	14	250	356.0	356.0	35.0
SN74LVC74ARGYR	VQFN	RGY	14	3000	356.0	356.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
5962-9761601Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-9761601VDA	W	CFP	14	25	506.98	26.16	6220	NA
SN74LVC74AD	D	SOIC	14	50	506.6	8	3940	4.32
SN74LVC74APW	PW	TSSOP	14	90	530	10.2	3600	3.5
SN74LVC74APWG4	PW	TSSOP	14	90	530	10.2	3600	3.5
SNJ54LVC74AFK	FK	LCCC	20	55	506.98	12.06	2030	NA

D0014A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

BQA 14

WQFN - 0.8 mm max height

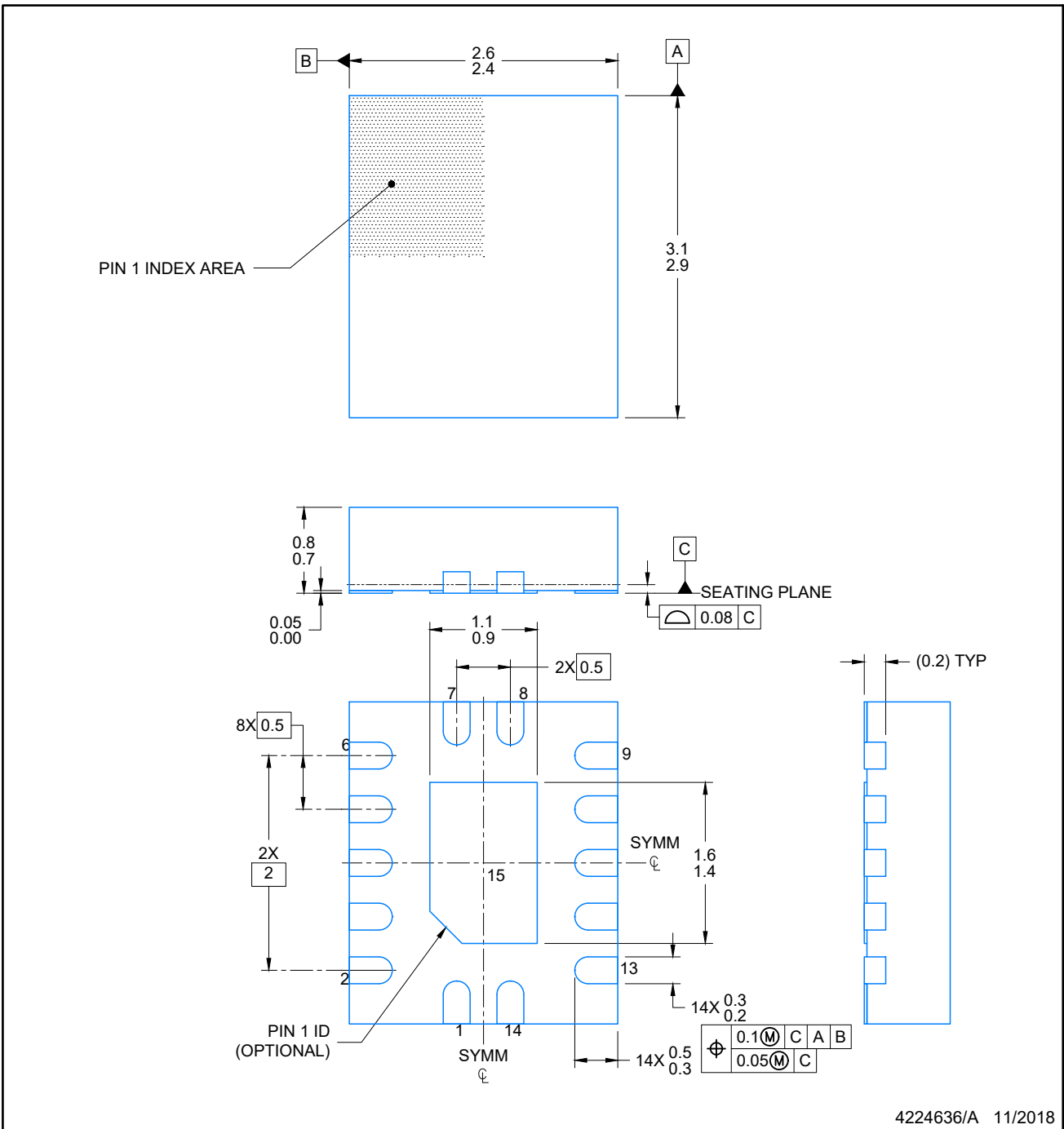
2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4227145/A



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

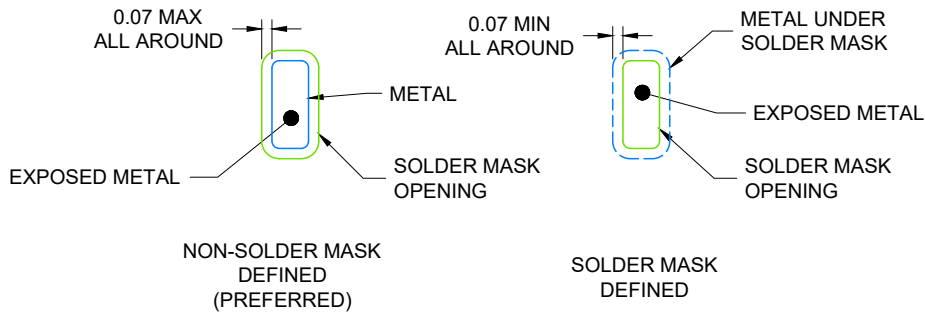
BQA0014A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQA0014A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
88% PRINTED COVERAGE BY AREA
SCALE: 20X

4224636/A 11/2018

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

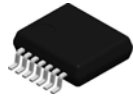
W (R-GDFP-F14)

CERAMIC DUAL FLATPACK



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package can be hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only.
 - E. Falls within MIL STD 1835 GDFP1-F14

DB0014A



PACKAGE OUTLINE

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220762/A 05/2024

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

J 14

GENERIC PACKAGE VIEW
CDIP - 5.08 mm max height
CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

J0014A



PACKAGE OUTLINE

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



4214771/A 05/2017

NOTES:

1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



4214771/A 05/2017

PW0014A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

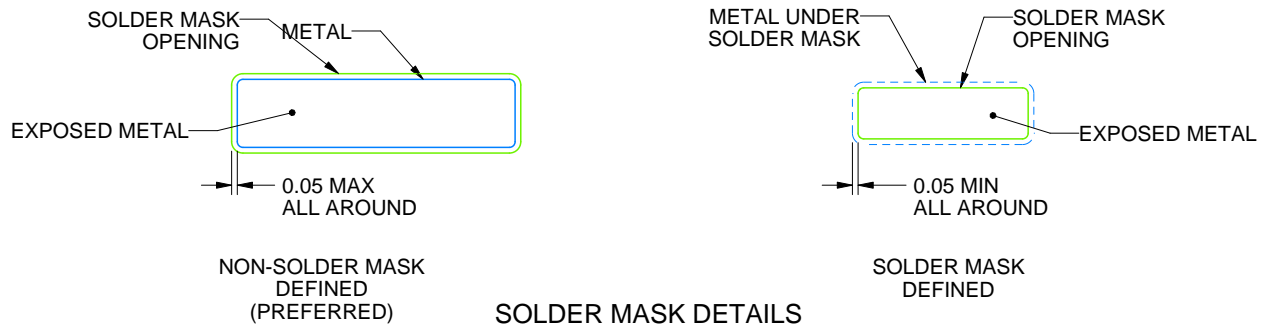
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

RGY 14

VQFN - 1 mm max height

3.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4231541/A

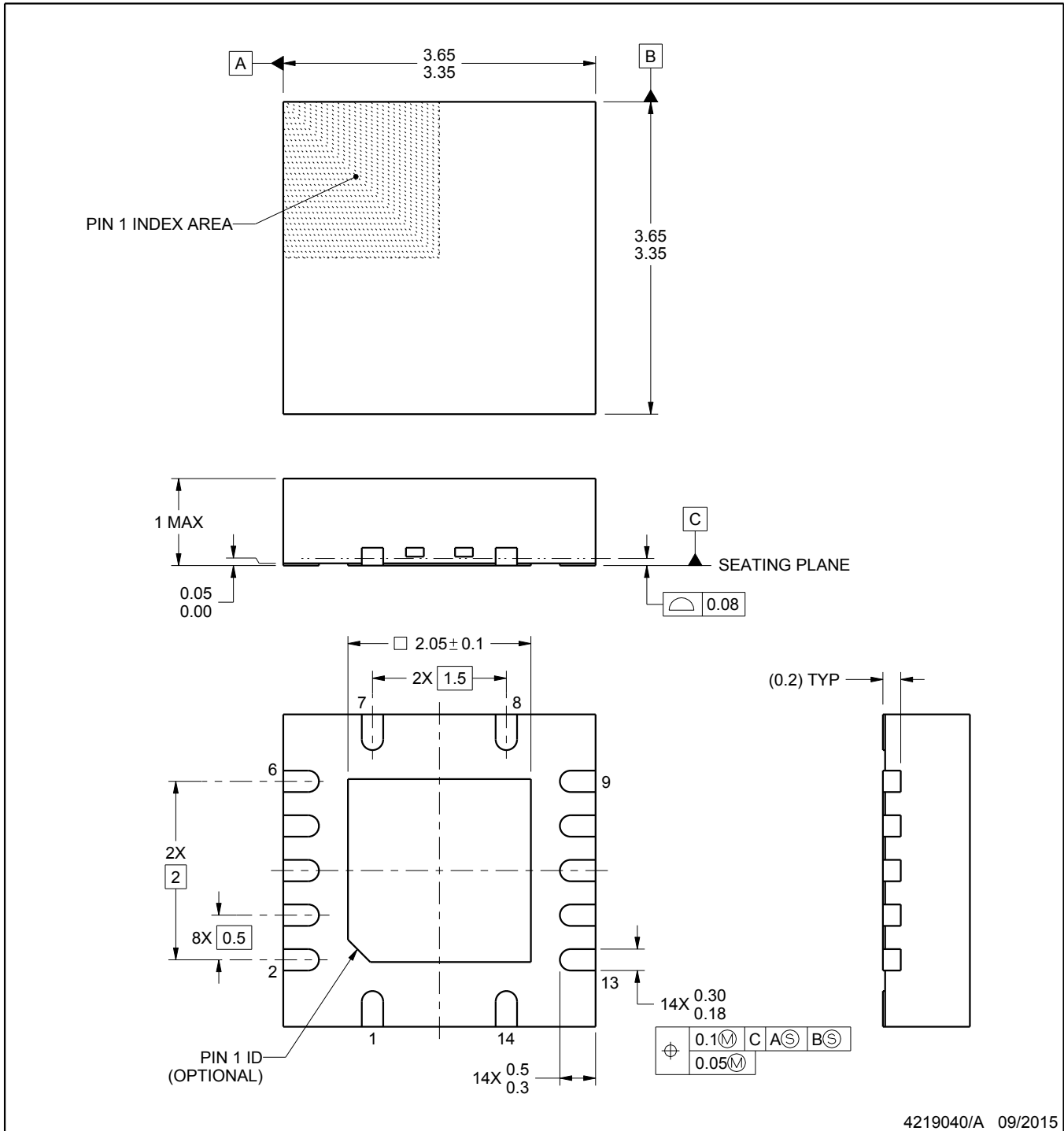
RGY0014A



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4219040/A 09/2015

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

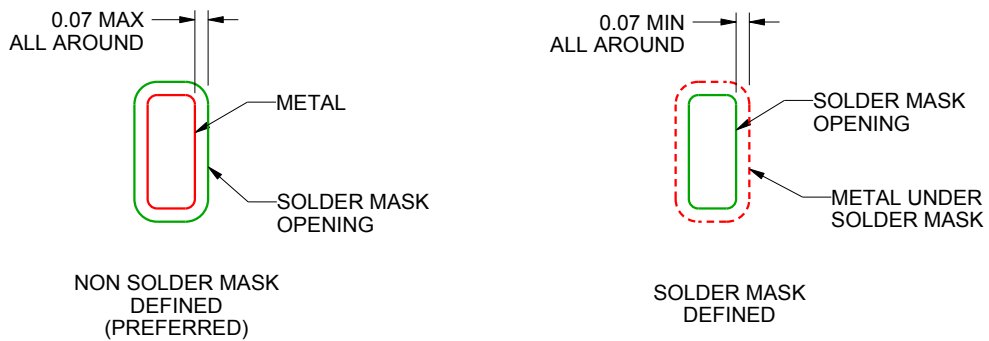
RGY0014A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4219040/A 09/2015

NOTES: (continued)

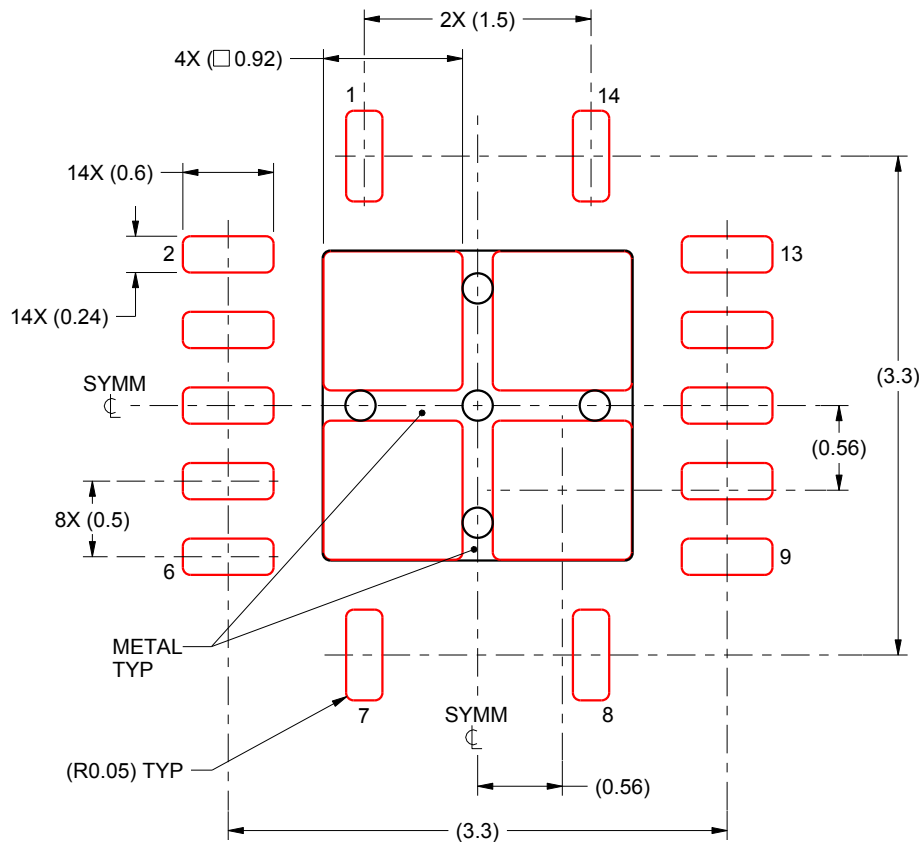
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RGY0014A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
80% PRINTED SOLDER COVERAGE BY AREA
SCALE:20X

4219040/A 09/2015

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated