

SN74LVC74A-Q1 車載用デュアル ポジティブ エッジトリガ D タイプ フリップフロップ、クリア/プリセット搭載

1 特長

- 車載アプリケーション認定済み
- MIL-STD-883, Method 3015 準拠で 2000V を超える ESD 保護
- 2V~3.6V で動作
- 5.5V までの入力電圧に対応
- 最大 t_{pd} 5.2ns (3.3V 時)
- V_{OLP} 標準値 (出力グランド バウンス) <0.8V ($V_{CC} = 3.3V, T_A = 25^\circ C$)
- V_{OHV} 標準値 (出力 V_{OH} アンダーシュート) >2V ($V_{CC} = 3.3V, T_A = 25^\circ C$)

2 概要

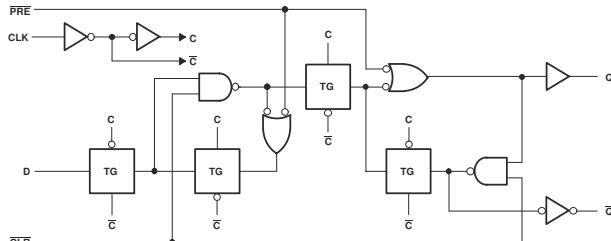
SN74LVC74A-Q1 デュアル ポジティブ エッジトリガ D タイプ フリップフロップは、2.7V~3.6V の V_{CC} で動作するように設計されています。

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾	本体サイズ ⁽³⁾
SN74LVC74A-Q1	BQA (WQFN, 14)	3mm × 2.5mm	3mm × 2.5mm
	D (SOIC, 14)	8.65mm × 6mm	8.65mm × 3.91mm
	PW (TSSOP, 14)	5mm × 6.4mm	5.00mm × 4.40mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。

(2) パッケージ サイズ(長さ × 幅)は公称値であり、該当する場合はピンも含まれます。

(3) 本体サイズ(長さ×幅)は公称値であり、ピンは含まれません。



論理図、各フリップフロップ(正論理)



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール(機械翻訳)を使用していることがあります。TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: SCES481

目次

1 特長	1	6.2 機能ブロック図	8
2 概要	1	6.3 デバイスの機能モード	8
3 ピン構成および機能	3	7 アプリケーションと実装	9
4 仕様	4	7.1 電源に関する推奨事項	9
4.1 絶対最大定格	4	7.2 レイアウト	9
4.2 ESD 定格	4	8 デバイスおよびドキュメントのサポート	10
4.3 推奨動作条件	4	8.1 ドキュメントのサポート (アナログ)	10
4.4 熱に関する情報	4	8.2 ドキュメントの更新通知を受け取る方法	10
4.5 電気的特性	5	8.3 サポート・リソース	10
4.6 タイミング要件	5	8.4 商標	10
4.7 スイッチング特性	6	8.5 静電気放電に関する注意事項	10
4.8 動作特性	6	8.6 用語集	10
5 パラメータ測定情報	7	9 改訂履歴	10
6 詳細説明	8	10 メカニカル、パッケージ、および注文情報	11
6.1 概要	8		

3 ピン構成および機能

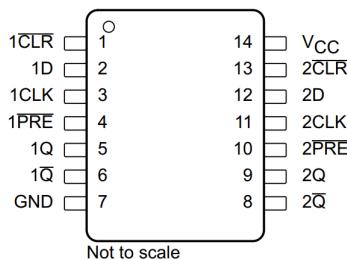


図 3-1. D または PW パッケージ、14 ピン SOIC または TSSOP (上面図)

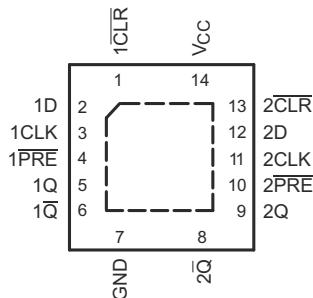


図 3-2. BQA パッケージ 14 ピン WQFN、露出サーマル パッド付き (上面図)

表 3-1. ピンの機能

名称	ピン SOIC、TSSOP、VQFN	I/O ⁽¹⁾	説明	
			チャネル 1	チャネル 2
1CLK	3	I	チャネル 1 クロック入力	
1 CLR	1	I	チャネル 1 クリア入力。Low にすると、Q 出力が Low になります。	
1D	2	I	チャネル 1 データ入力	
1 PRE	4	I	チャネル 1 プリセット入力。Low にすると、Q 出力が High になります。	
1Q	5	O	チャネル 1 出力	
1 Q-bar	6	O	チャネル 1 反転出力	
2CLK	11	I	チャネル 2 クロック入力	
2 CLR	13	I	チャネル 2 クリア入力。Low にすると、Q 出力が Low になります。	
2D	12	I	チャネル 2 データ入力	
2 PRE	10	I	チャネル 2 プリセット入力。Low にすると、Q 出力が High になります。	
2Q	9	O	チャネル 2 出力	
2 Q-bar	8	O	チャネル 2 反転出力	
GND	7	—	グランド	
NC	—	—	無接続	
V _{CC}	14	—	電源	
サーマル・パッド		—	正しい動作のため、GND ピンは露出したサーマル パッドに接続します。このサーマル パッドは、複数のビアを使用して内部の任意の PCB グランド プレーンに接続し、優れた熱特性を実現できます。	

(1) I = 入力、O = 出力、P = 電源、FB = フィードバック、GND = グランド、N/A = 該当なし

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_{CC}	電源電圧範囲	-0.5	6.5	V
V_I	入力電圧範囲 ⁽¹⁾	-0.5	6.5	V
V_O	出力電圧範囲 ^{(1) (2)}	-0.5	$V_{CC} + 0.5$	V
I_{IK}	入力クランプ電流	$V_I < 0$	-50	mA
I_{OK}	出力クランプ電流	$V_O < 0$	-50	mA
I_O	連続出力電流		± 50	mA
	V_{CC} または GND を通過する連続電流		± 100	mA
T_{stg}	保管温度範囲	-65	150	°C

(1) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。

(2) V_{CC} の値は、「推奨動作条件」の表に記載されています。

4.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	± 2000	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位	
V_{CC}	電源電圧	動作	2	3.6	
		データ保持のみ	1.5	V	
V_{IH}	High レベル入力電圧	$V_{CC} = 2.7V \sim 3.6V$	2	V	
V_{IL}	Low レベル入力電圧	$V_{CC} = 2.7V \sim 3.6V$	0.8	V	
V_I	入力電圧	0	5.5	V	
V_O	出力電圧	0	V_{CC}	V	
I_{OH}	High レベル出力電流	$V_{CC} = 2.7 V$	-12	mA	
		$V_{CC} = 3 V$	-24		
I_{OL}	Low レベル出力電流	$V_{CC} = 2.7 V$	12	mA	
		$V_{CC} = 3 V$	24		
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート		10	ns/V	
T_A	自由空気での動作温度	接尾辞 Q	-40	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、 V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

4.4 热に関する情報

熱評価基準 ⁽¹⁾	SN74LVC74A-Q1			単位	
	BQA (WQFN)	D (SOIC)	PW (TSSOP)		
	14 ピン	14 ピン	14 ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗	102.3	127.8	150.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	96.8	81.9	78.3	°C/W

熱評価基準 ⁽¹⁾	SN74LVC74A-Q1			単位	
	BQA (WQFN)	D (SOIC)	PW (TSSOP)		
	14 ピン	14 ピン	14 ピン		
R _{θJB}	接合部から基板への熱抵抗	70.9	84.4	93.8	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	16.6	39.6	24.7	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	70.9	83.9	93.2	°C/W
R _{θJC(bot)}	接合部からケース(底面)への熱抵抗	50.1	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

4.5 電気的特性

自由空気での推奨動作温度範囲内(特に記述のない限り)

パラメータ	テスト条件	V _{CC}	最小値	標準値 ⁽¹⁾	最大値	単位
V _{OH}	I _{OH} = -100μA	2.7V~3.6V	V _{CC} - 0.2			V
	I _{OH} = -12mA	2.7 V	2.2			
	I _{OH} = -24 mA	3 V	2.4			
V _{OL}	I _{OL} = 100μA	2.7V~3.6V	0.2			V
	I _{OL} = 12mA	2.7 V	0.4			
	I _{OL} = 24 mA	3 V	0.55			
I _I	V _I = 5.5 V または GND	3.6 V		±5	μA	
I _{CC}	V _I = V _{CC} または GND、 I _O = 0	3.6 V		10	μA	
ΔI _{CC}	1 つの入力は V _{CC} - 0.6V、他の入力は V _{CC} または GND	2.7V~3.6V		500	μA	
C _i	V _I = V _{CC} または GND	3.3 V		5	pF	

(1) 代表値はすべて、V_{CC} = 3.3V、T_A = 25°Cにおける値です。

4.6 タイミング要件

自由気流での推奨動作温度範囲内(特に記述のない限り)(「[負荷回路および電圧波形](#)」を参照)

		V _{CC} = 2.7 V	V _{CC} = 3.3V ±0.3V	単位	
		最小 値	最大 値		
f _{clock}	クロック周波数	83	100	MHz	
t _w	パルス幅	PRE または CLR が Low	3.3	3.3	ns
		CLK が High または Low	3.3	3.3	
t _{su}	CLK ↑ 前のセットアップ時間	データ	3.4	3	ns
		PRE または CLR が非アクティブ	2.2	2	
t _h	ホールド時間、CLK ↑ 後のデータ	1	1	ns	

4.7 スイッチング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り) (「[負荷回路および電圧波形](#)」を参照)

パラメータ	始点 (入力)	終点 (出力)	$V_{CC} = 2.7\text{ V}$		$V_{CC} = 3.3\text{ V}\pm 0.3\text{ V}$		単位
			最小値	最大値	最小値	最大値	
f_{max}			83		100		MHz
t_{pd}	CLK	Q または \overline{Q}	6		1	5.2	ns
	\overline{PRE} または \overline{CLR}		6.4		1	5.4	

4.8 動作特性

$T_A = 25^\circ\text{C}$

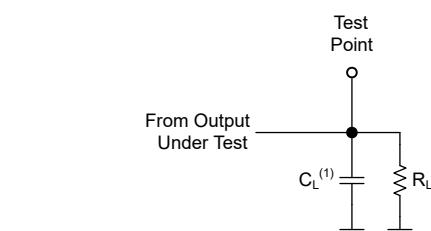
パラメータ	テスト 条件	$V_{CC} = 2.5\text{ V}$		$V_{CC} = 3.3\text{ V}$		単位
		代表値	代表値	代表値	代表値	
C_{pd} フリップフロップあたりの消費電力容量	$f = 10\text{MHz}$	47		51		pF

5 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR $\leq 1\text{MHz}$, $Z_O = 50\Omega$, $t_t \leq 2.5\text{ns}$ 。

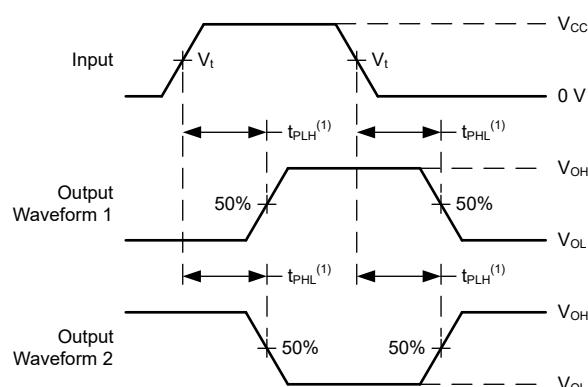
出力は個別に測定され、測定するたびに入力が 1 回遷移します。

V_{CC}	V_t	R_L	C_L	ΔV
1.8V ± 0.15V	V _{CC} /2	1kΩ	30pF	0.15V
2.5V ± 0.2V	V _{CC} /2	500Ω	30pF	0.15V
2.7V	1.5V	500Ω	50pF	0.3V
3.3V ± 0.3V	1.5V	500Ω	50pF	0.3V



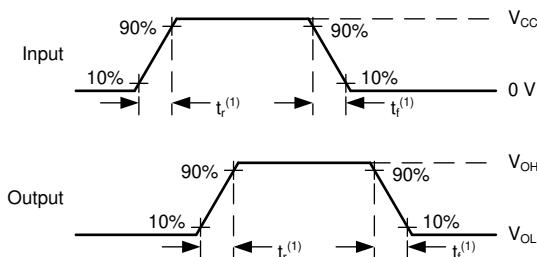
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 5-1. プッシュプル出力のための負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 5-2. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 5-3. 電圧波形、入力および出力の遷移時間

6 詳細説明

6.1 概要

その他の入力のレベルに関係なく、プリセット ($\overline{\text{PRE}}$) 入力を Low レベルにすると出力は High になり、クリア ($\overline{\text{CLR}}$) 入力を Low レベルにすると出力は Low になります。 $\overline{\text{PRE}}$ と $\overline{\text{CLR}}$ が非アクティブ (HIGH) の場合、セットアップ時間の要件を満たすデータ (D) 入力のデータは、クロック パルスの正方向エッジで出力に転送されます。クロックのトリガは電圧レベルで発生し、クロック パルスの立ち上がり時間とは直接関係しません。ホールド時間が経過した後、D 入力のデータは、出力のレベルに影響を及ぼさずに変更できます。

入力は 3.3V または 5V のデバイスから駆動できます。この機能により、3.3V と 5V が混在するシステム環境での変換装置としてこのデバイスを使用できます。

6.2 機能ブロック図

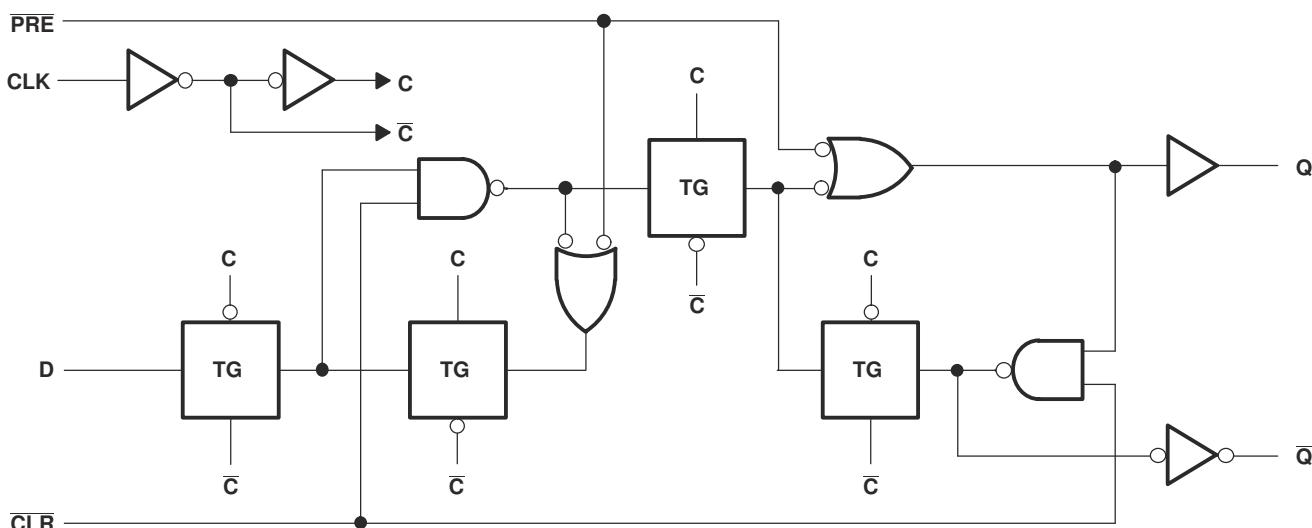


図 6-1. 論理図、各フリップ フロップ (正論理)

6.3 デバイスの機能モード

機能表

入力				出力	
PRE	CLR	CLK	D	Q	\overline{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H ⁽¹⁾	H ⁽¹⁾
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	\overline{Q}_0

(1) この構成は不安定です。つまり、 $\overline{\text{PRE}}$ または $\overline{\text{CLR}}$ が非アクティブ (High) レベルに戻ったときに持続しません。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 電源に関する推奨事項

電源には、「[推奨動作条件](#)」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} 端子に適切なバイパスコンデンサを配置する必要があります。単電源のデバイスには $0.1\mu F$ のコンデンサを推奨します。 V_{CC} 端子が複数ある場合は、各電源端子に $0.01\mu F$ または $0.022\mu F$ のコンデンサを推奨します。複数のバイパスコンデンサを並列に配置して、異なる周波数のノイズを除去することもできます。複数のバイパスコンデンサを並列に接続して、異なる周波数のノイズを除去することもできます。最良の結果を得るため、バイパスコンデンサは電源端子のできるだけ近くに配置してください。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

多ビットロジックデバイスを使用する場合、入力をフローティングにしないでください。多くの場合、デジタルロジックデバイスの機能または機能の一部は使用されません。例として、トリプル入力 AND ゲートのうち 2 入力のみを使用する場合、または 4 バッファゲートのうち 3 入力のみを使用する場合が挙げられます。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。

レイアウト図に示された仕様は、あらゆる状況で遵守する必要があります。デジタルロジックデバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用入力に適用する必要があるロジックレベルは、デバイスの機能によって異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。

7.2.2 レイアウト例

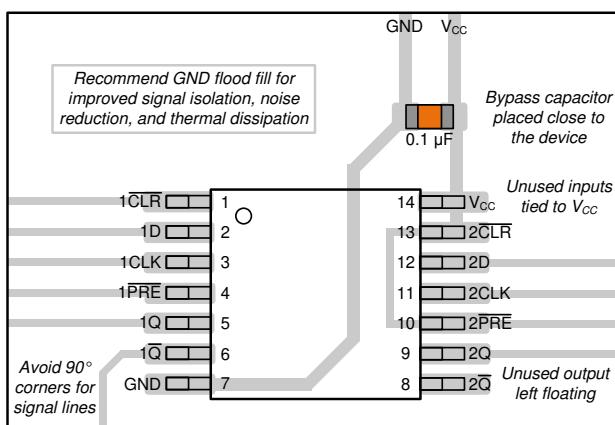


図 7-1. レイアウトの図

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート (アナログ)

8.1.1 関連リンク

次の表に、クリック アクセス リンクを示します。カテゴリには、技術資料、サポートとコミュニティリソース、ツールとソフトウェア、およびご注文へのクリック アクセスが含まれます。

表 8-1. 関連リンク

製品	プロダクト フォルダ	ご注文はこちら	技術資料	ツールとソフトウェア	サポートとコミュニティ
SN74LVC74A-Q1	こちらをクリック				

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (May 2024) to Revision E (August 2024)	Page
• PW パッケージの熱特性値を R _{θJA} = 113 から 150.8、R _{θJC(top)} = 50.3 から 78.3、R _{θJB} = 63.4 から 93.8、Ψ _{JT} = 6.2 から 24.7、Ψ _{JB} = 62.8 から 93.2 に更新 (値はすべて°C/W).....	4

Changes from Revision C (August 2003) to Revision D (May 2024)	Page
• パッケージ情報の表、「ピン構成および機能」セクション、熱に関する情の表に BQA パッケージを追加.....	1

- 「アプリケーション」セクション、「ESD 定格」表、「熱に関する情報」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1
- 「特長」セクションのマシン モデルへの参照を削除 1
- R_{θJA} の値を更新:D = 86~127.8、すべての値は°C/W 単位 4

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](#) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC74ADRQ1	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74ADRQ1.A	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQDRG4Q1	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQDRG4Q1.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQDRG4Q1.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQPWRG4Q1	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQPWRG4Q1.B	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQPWRQ1	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQPWRQ1.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQPWRQ1.B	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AWBQARQ1	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74Q
SN74LVC74AWBQARQ1.A	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

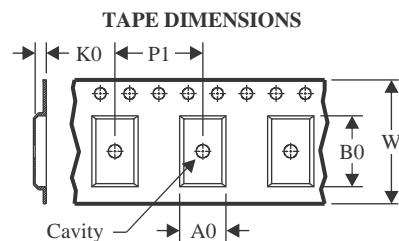
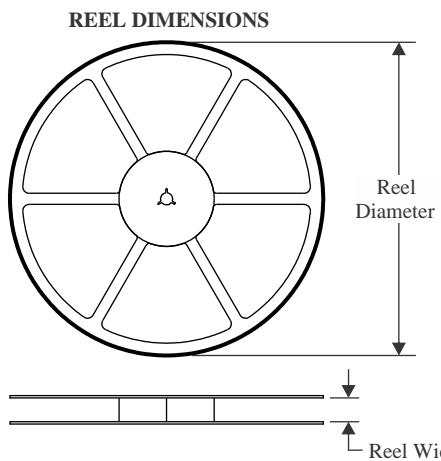
OTHER QUALIFIED VERSIONS OF SN74LVC74A-Q1 :

- Catalog : [SN74LVC74A](#)
- Enhanced Product : [SN74LVC74A-EP](#)
- Military : [SN54LVC74A](#)

NOTE: Qualified Version Definitions:

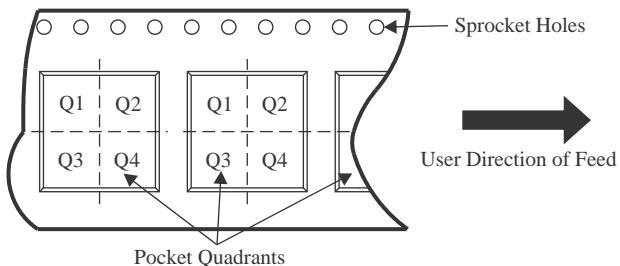
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



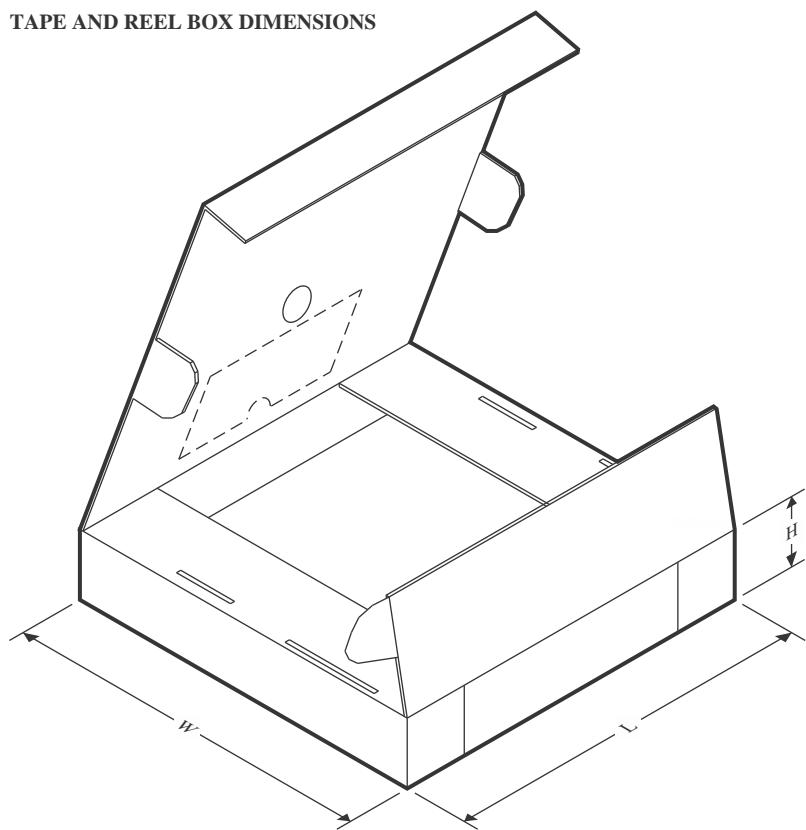
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC74ADRQ1	SOIC	D	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
SN74LVC74AQPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC74AQPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC74AWBQARQ1	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

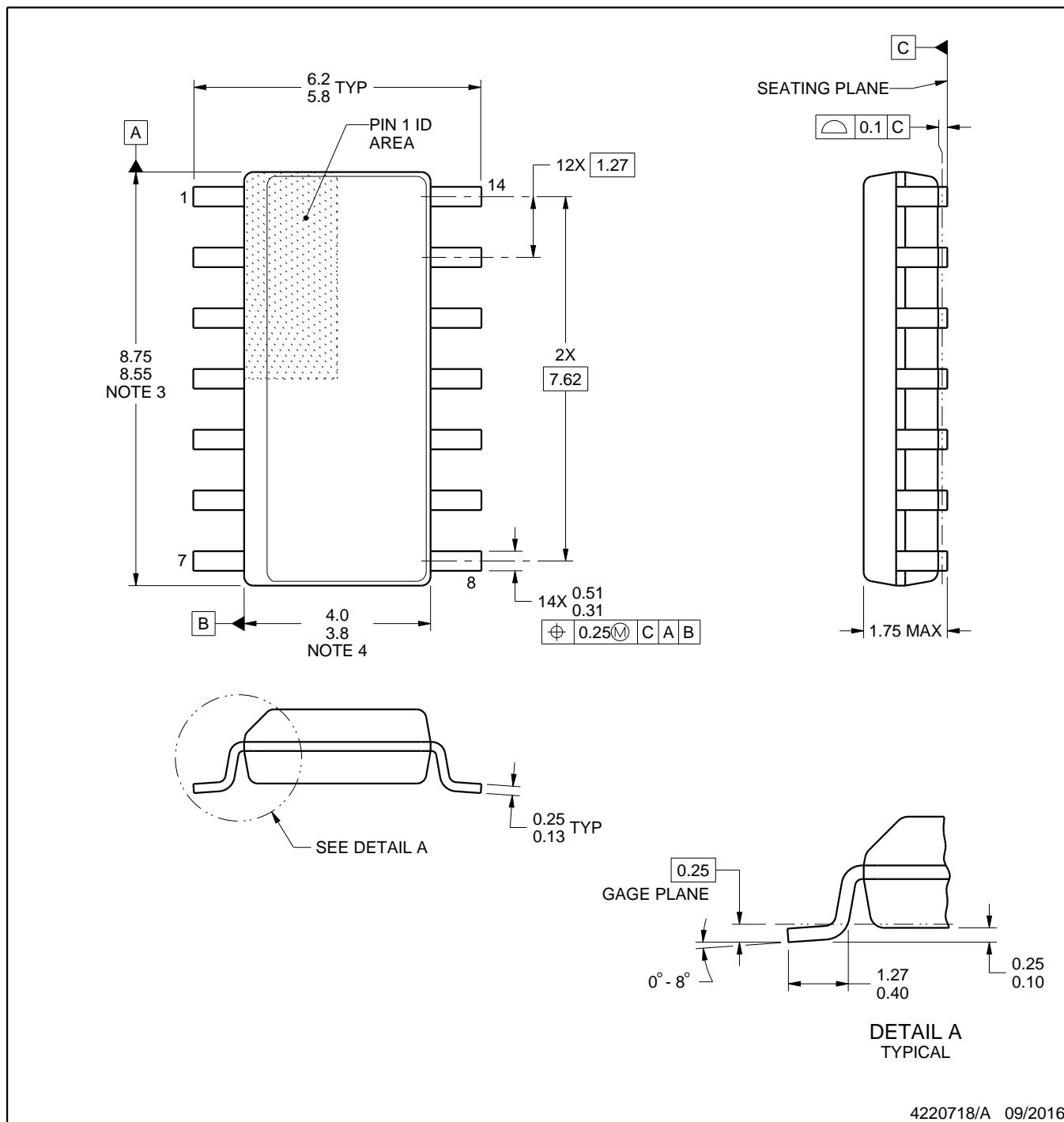
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC74ADRQ1	SOIC	D	14	3000	340.5	336.1	32.0
SN74LVC74AQPWRG4Q1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74LVC74AQPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74LVC74AWBQARQ1	WQFN	BQA	14	3000	210.0	185.0	35.0

PACKAGE OUTLINE

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

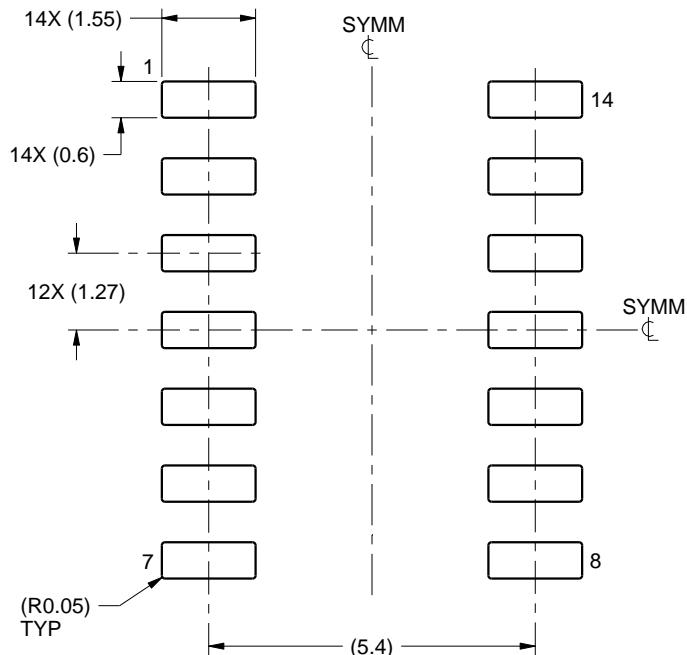
- All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
- Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

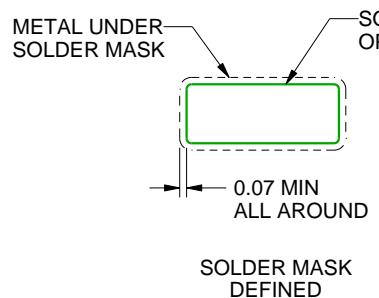
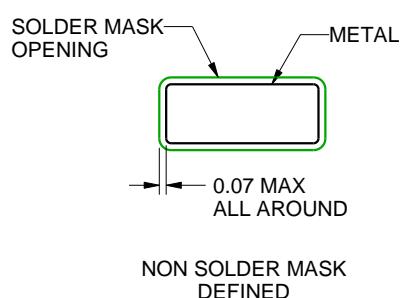
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

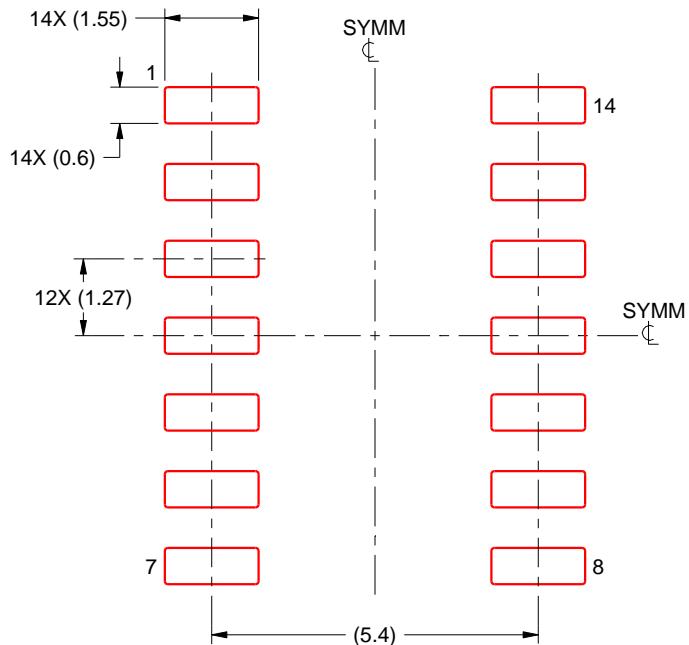
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

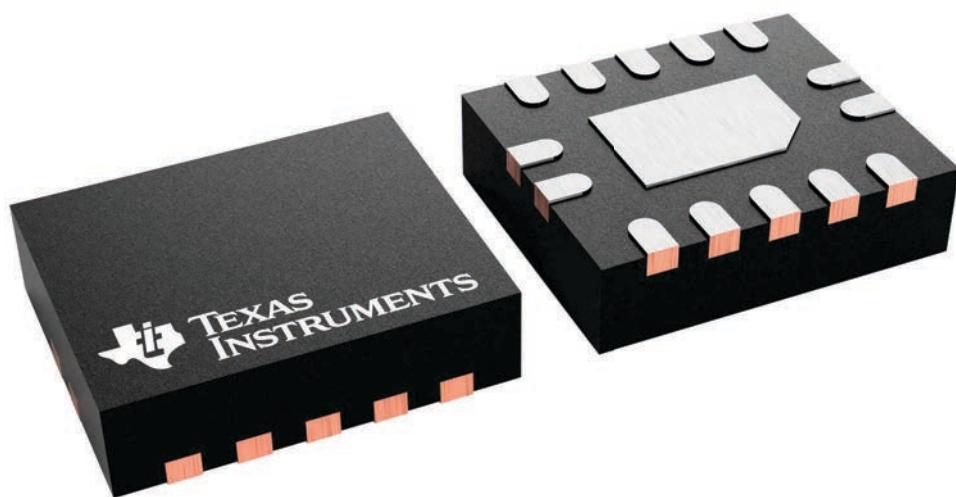
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4227145/A

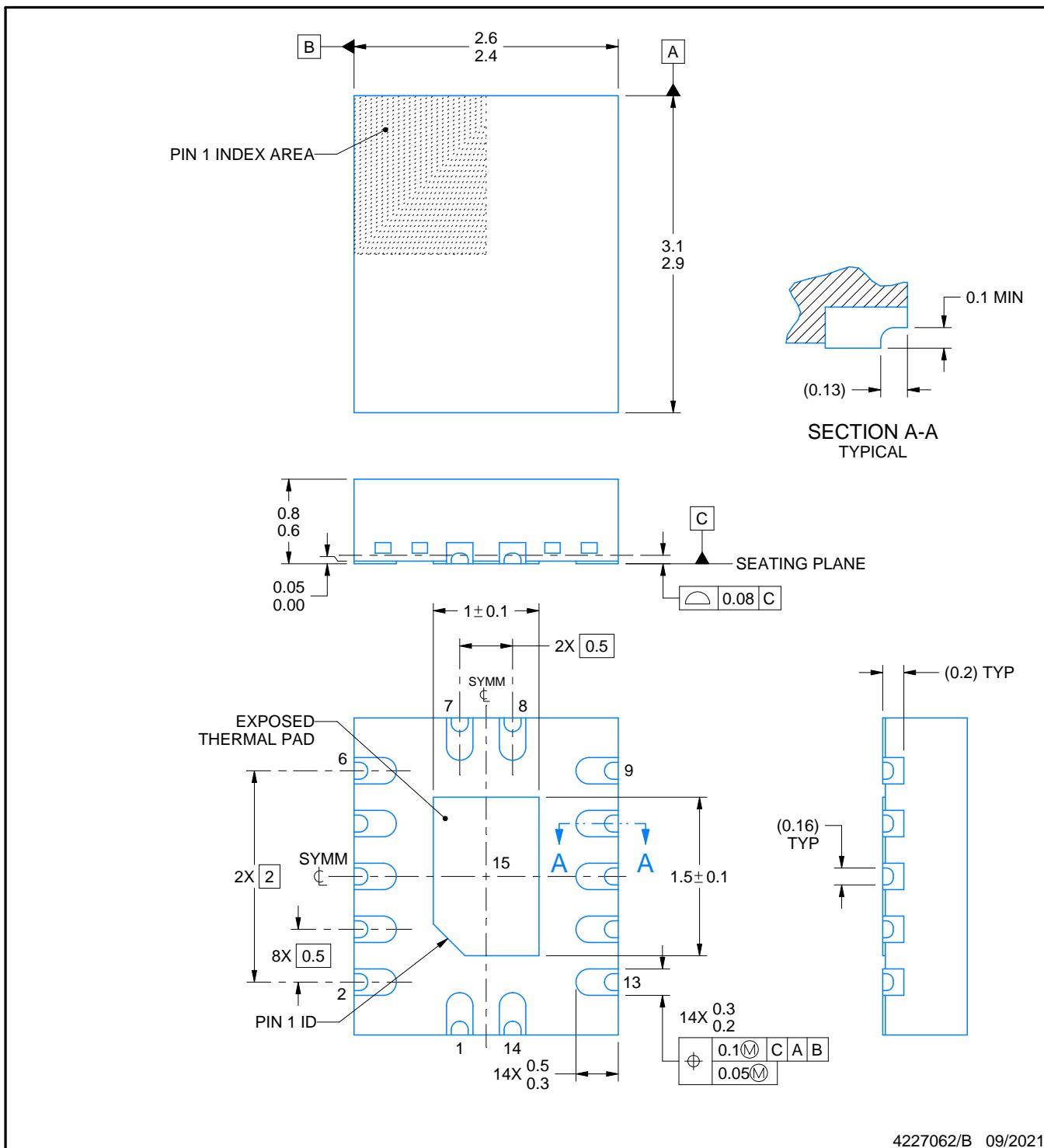
PACKAGE OUTLINE

BQA0014B



WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4227062/B 09/2021

NOTES:

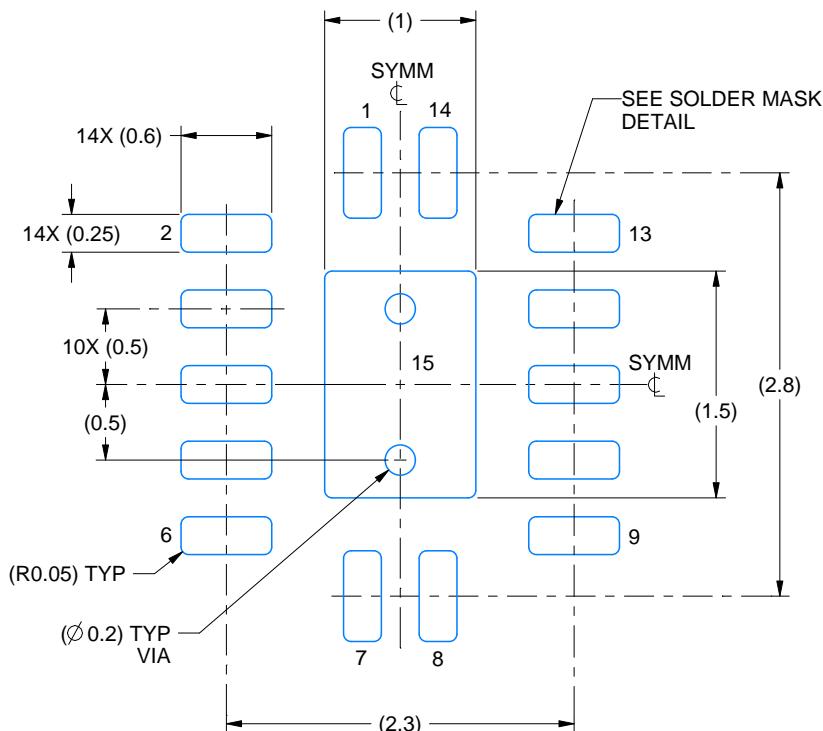
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

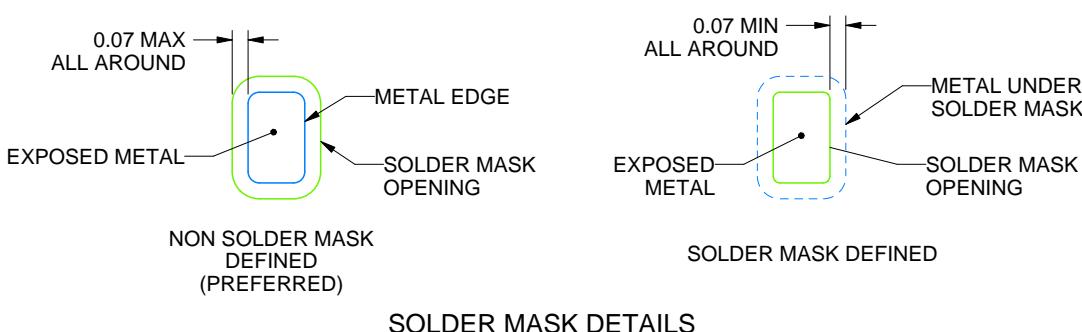
BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4227062/B 09/2021

NOTES: (continued)

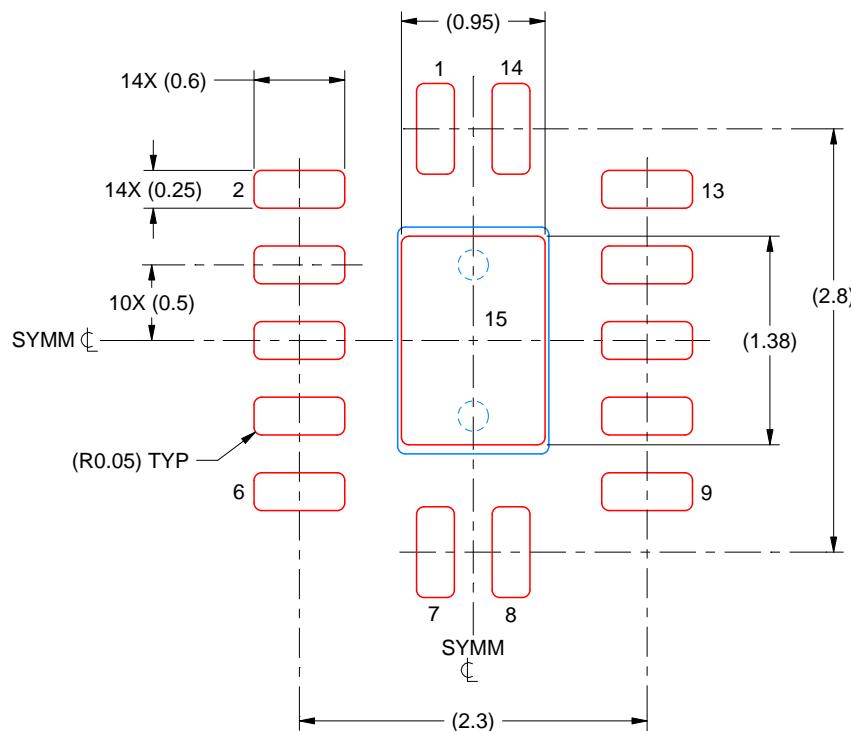
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 15
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

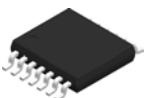
4227062/B 09/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

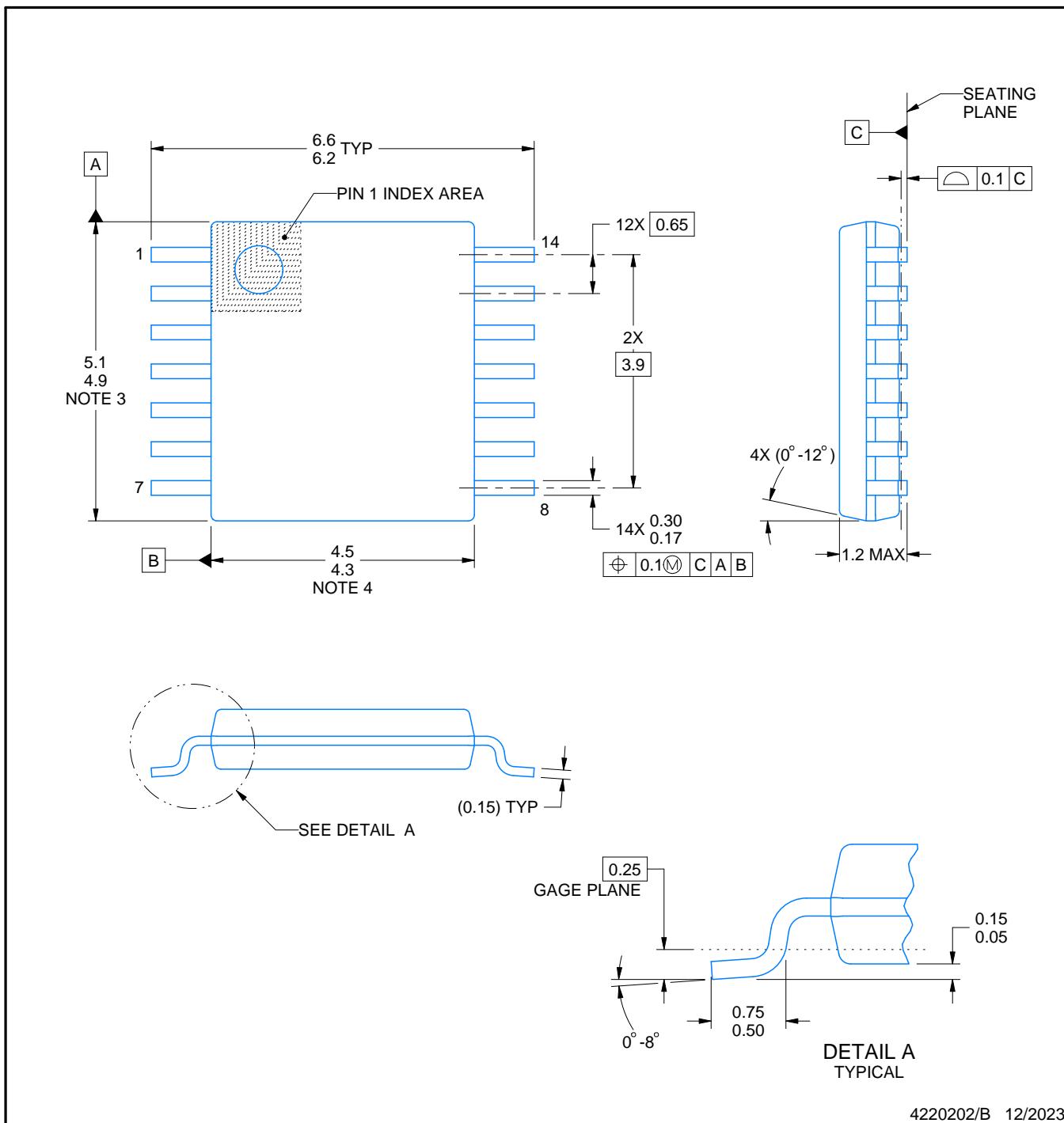
PACKAGE OUTLINE

PW0014A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

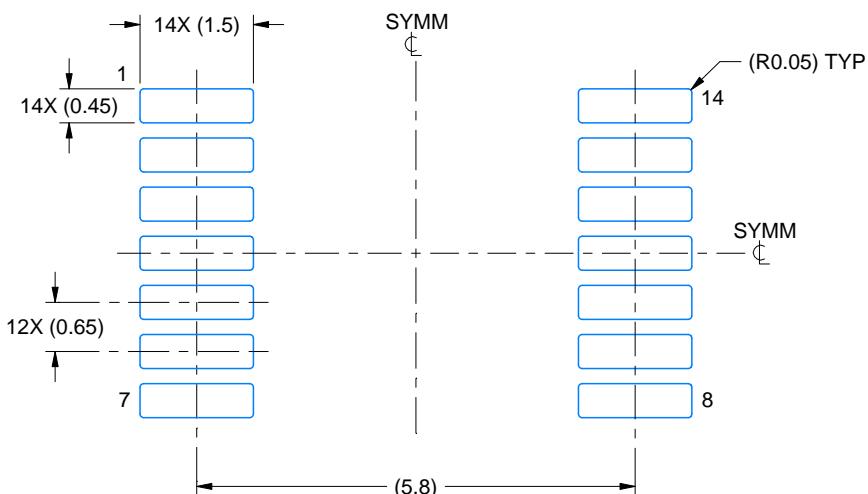
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

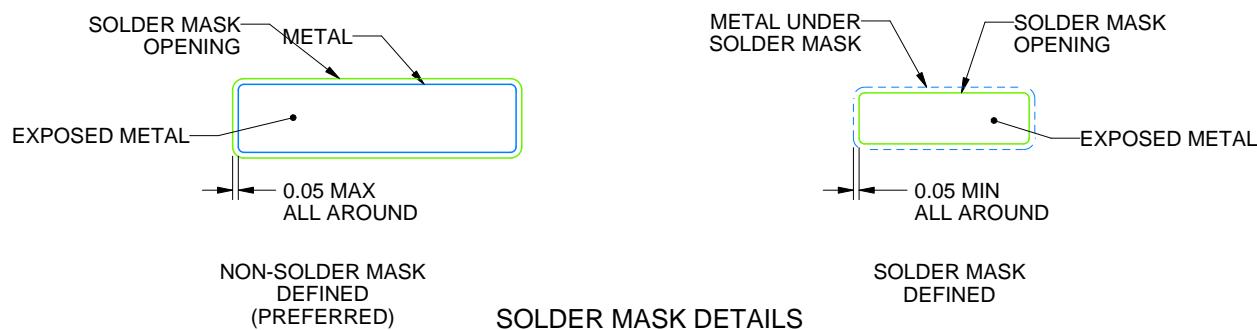
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

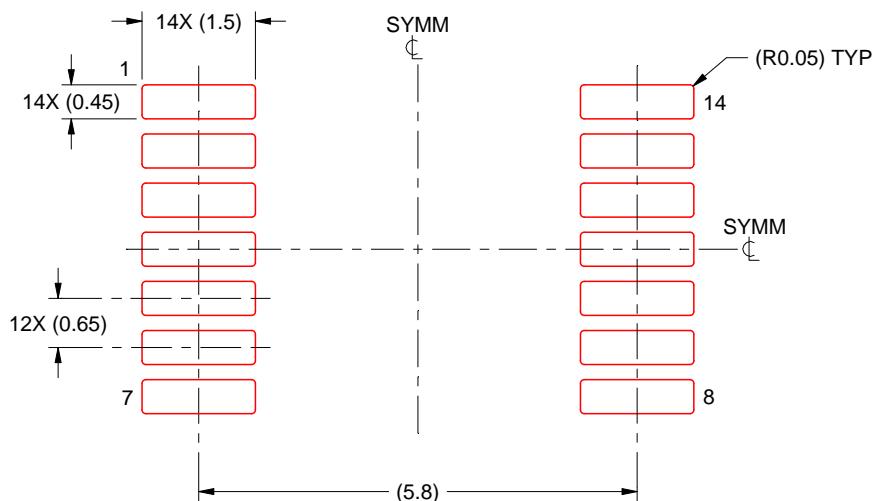
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月