

TAS3251175W ステレオ、350W モノラル ウルトラ HD デジタル入力 クラス-D アンプ (高度な DSP 処理搭載)

1 特長

- フレキシブルなオーディオ入力
 - I²S、TDM、左揃え、右揃え
 - 32kHz、44.1kHz、48kHz、96kHz
 - 3 線式デジタル入力 (MCLK なし) をサポート
- 10% THD+N 時の合計出力電力
 - BTL 構成で 4Ω 負荷に対してステレオ 175W 出力
 - BTL 構成で 3Ω 負荷に対してステレオ 220W 出力
 - PBTL 構成で 2Ω 負荷に対して 350W モノラル出力
- 1% THD+N 時の合計出力電力
 - BTL 構成で 4Ω 負荷に対してステレオ 140W 出力
 - BTL 構成で 3Ω 負荷に対してステレオ 175W 出力
 - PBTL 構成で 2Ω 負荷に対して 285W モノラル出力
- 高度な統合型閉ループ設計
 - 4Ω 負荷において 1W 出力時、超低歪み 0.01% THD+N
 - クリッピングまで <0.01% THD+N
 - PSRR 60dB (BTL、入力信号なしの場合)
 - <95μV 出力ノイズ (A 特性)
 - SNR: 108dB 超 (A ウェイト)
- 固定機能の処理機能
 - SmartEQ (チャンネルあたり最大 15 倍の BiQuads)
 - クロスオーバー EQ (2x 5 バイクワッド)
 - 3 バンドの高度な DRC および AGL
 - ダイナミック EQ と SmartBass
 - サンプルレート変換
- 制御機能
 - I²C ソフトウェア モード制御
 - アドレス選択ピン
- 90% 効率の Class-D 動作 (4Ω)
- 広い動作電源電圧範囲 (12V ~ 36V)
- エラー報告付き統合保護機能: 低電圧、サイクルごとの電流制限、短絡、クリッピング検出、過温度警告およびシャットダウン、DC スピーカ保護

2 アプリケーション

- Bluetooth および WiFi スピーカ
- サウンドバー
- サブウーファー
- ブックシェルフ型ステレオシステム
- 業務用および公共拡声音響システム (PA) 用スピーカ
- アクティブ クロスオーバーおよび 2 ウェイスピーカ

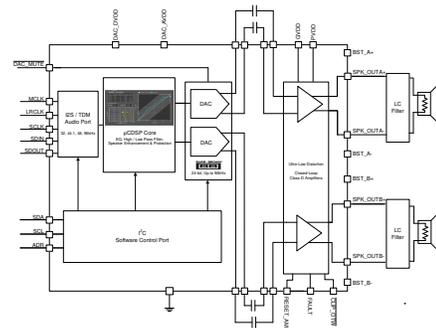
3 説明

TAS3251 はデジタル入力の高性能、Class-D オーディオアンプで、最高のサウンド品質を Class-D の効率で実現します。このデジタル フロント エンドは、高性能の Burr-Brown™ DAC を採用したほか、DSP を内蔵しており、SmartAmp や SmartEQ を含め、先進的なオーディオ処理に役立ちます。この初めての大電力シングルチップソリューションにより、システムソリューション全体のサイズとコストを削減できます。DSP は TI の PurePath™ Console グラフィカル チューニング ソフトウェアのサポート対象であり、スピーカのチューニングと制御を迅速かつ簡単に実施できます。この Class-D 電力段は、先進的なフィードバック機能を内蔵したほか、自社独自の高速ゲートドライブ誤り訂正機能を搭載しており、オーディオ帯域全体で超低歪みと超低ノイズの実現に貢献します。このデバイスは AD モードで動作し、4Ω 負荷使用時に最大 2 x 175W、3Ω 負荷使用時に最大 2 x 220W を出力します。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
TAS3251	HSSOP (56)	18.42mm × 10.35mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



概略回路図



目次

1 特長	1	6.15 代表的特性.....	18
2 アプリケーション	1	7 詳細説明	22
3 説明	1	7.1 概要.....	22
4 デバイス比較表	3	7.2 機能ブロック図.....	22
5 ピン構成および機能	4	7.3 機能説明.....	23
6 仕様	8	7.4 デバイスの機能モード.....	54
6.1 絶対最大定格.....	8	7.5 プログラミング.....	56
6.2 ESD 定格.....	8	7.6 レジスタ マップ.....	67
6.3 推奨動作条件.....	9	8 アプリケーションと実装	107
6.4 熱に関する情報.....	9	8.1 代表的なアプリケーション.....	107
6.5 アンプの電気的特性.....	10	8.2 電源に関する推奨事項.....	113
6.6 DAC の電気的特性.....	12	8.3 レイアウト.....	117
6.7 オーディオ特性 (BTL).....	13	9 デバイスおよびドキュメントのサポート	121
6.8 オーディオ特性 (PBTL).....	13	9.1 デバイス サポート.....	121
6.9 MCLK のタイミング.....	14	9.2 ドキュメントの更新通知を受け取る方法.....	121
6.10 シリアル オーディオ ポートのタイミング - ターゲット モード.....	14	9.3 サポート・リソース.....	122
6.11 シリアル オーディオ ポートのタイミング - コントロー ラ モード.....	14	9.4 商標.....	122
6.12 I ² C バス タイミング - スタンダード.....	15	9.5 静電気放電に関する注意事項.....	122
6.13 I ² C バス タイミング - ファスト.....	15	9.6 用語集.....	122
6.14 タイミング図.....	16	10 改訂履歴	122
		11 メカニカル、パッケージ、および注文情報	122

4 デバイス比較表

型番	説明	オーディオ入力インターフェイス	パッドの位置
TAS3251	175W ステレオ、350W モノラル ウルトラ HD デジタル入力 クラス - D アンプ (高度な DSP 処理搭載)	デジタル	表
TAS5782M	30W ステレオ、60W モノラル デジタル入力 クラス - D アンプ (高度な DSP 処理搭載)	デジタル	裏
TPA3244	60W ステレオ、100W ピーク Ultra-HD パッドダウン クラス - D アンプ	アナログ	裏
TPA3245	115W ステレオ、230W モノ Ultra-HD アナログ入力 クラス -D アンプ	アナログ	表
TPA3250	70W ステレオ、130W ピーク Ultra-HD パッドダウン クラス - D アンプ	アナログ	裏
TPA3251	175W ステレオ、350W モノ Ultra-HD アナログ入力電力段	アナログ	表
TPA3255	315W ステレオ、600W モノ Ultra-HD アナログ入力 クラス -D アンプ	アナログ	表

5 ピン構成および機能

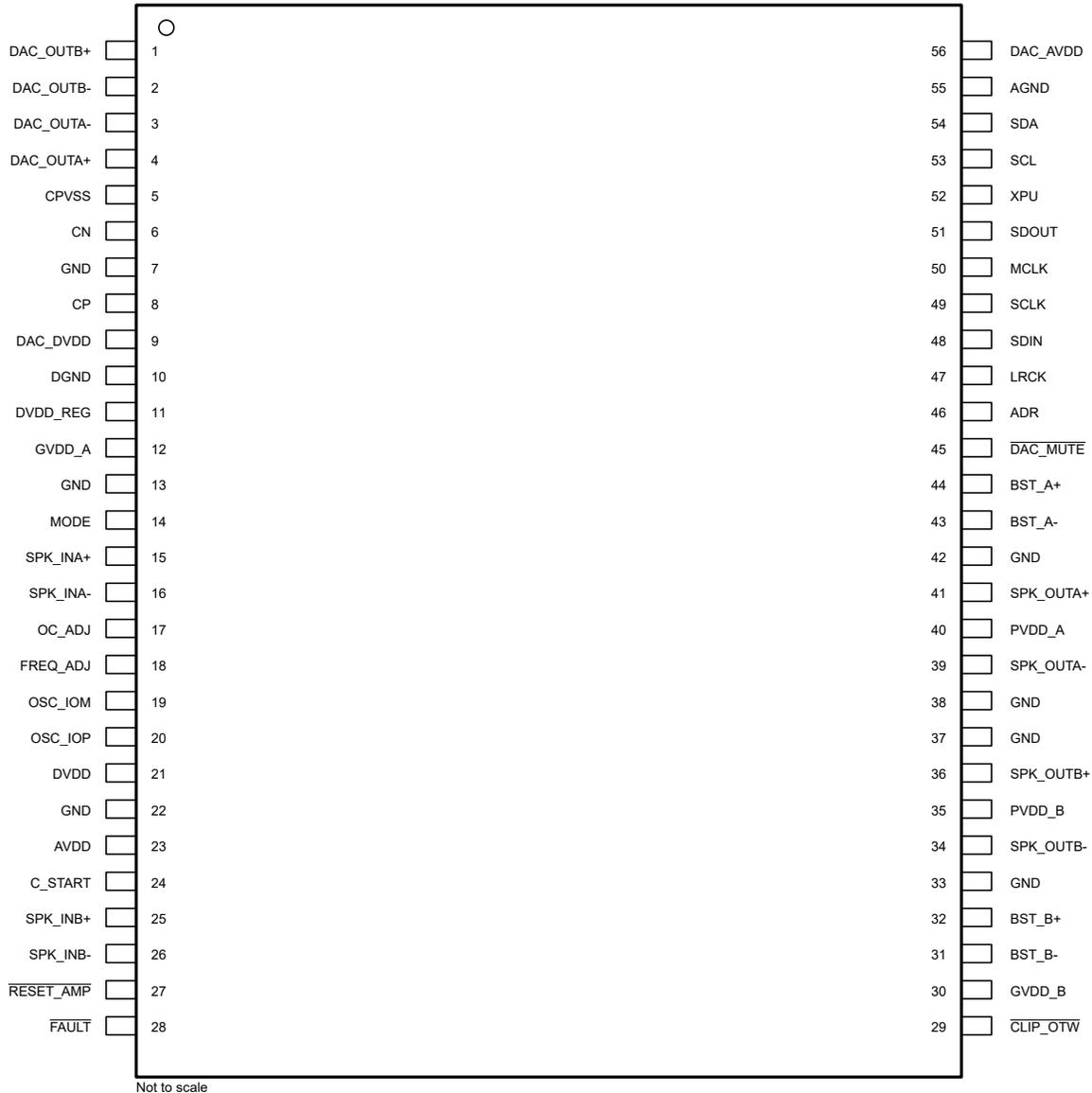


図 5-1. DKQ パッケージ 56 ピン HSSOP PowerPAD™ 付き、上面図

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	DAC_OUTB+	O	差動 DAC 出力 B+。
2	DAC_OUTB-	O	差動 DAC 出力 B-。
3	DAC_OUTA-	O	差動 DAC 出力 A-。
4	DAC_OUTA+	O	差動 DAC 出力 A+。
5	CPVSS	P	DAC 用の -3.3V 負のチャージポンプ電源出力。1μF のセラミックコンデンサを GND に接続します。以下のセクションを参照します: 電源に関する推奨事項
6	CN	P	ラインドライバ チャージポンプで使用されるコンデンサ接続用の負のピン。CN から CP に 1μF のセラミックコンデンサを接続します。以下のセクションを参照します: 電源に関する推奨事項
7	GND	G	デバイスのグラウンドピン。
8	CP	P	ラインドライバ チャージポンプで使用されるコンデンサ接続用の正のピン。CN から CP に 1μF のコンデンサを接続します。以下のセクションを参照します: 電源に関する推奨事項
9	DAC_DVDD	P	デジタル ロジックおよびチャージポンプ用の DAC 電源入力。3.3V と 1μF のセラミックコンデンサを GND に接続します。以下のセクションを参照します: DAC_DVDD および DAC_AVDD 電源
10	DGND	G	デジタル回路用のグラウンドリファレンス。このピンは、システムのグラウンドに接続します。
11	DVDD_REG	P	内部デジタル回路 (1.8V) 用に、DAC_DVDD 電源から生成される DAC 電圧レギュレータ出力。このピンは、本電源のフィルタ用コンデンサを接続するために用意されており、外部回路への電源供給には使用しないでください。1μF のセラミックコンデンサを GND に接続します。以下のセクションを参照します: DAC_DVDD および DAC_AVDD 電源
12	GVDD_A	P	アンプ チャネル A 用のゲートドライブ電源入力です。12V と 0.1μF コンデンサを GND に接続してください。以下のセクションを参照します: GVDD_X 電源
13	GND	G	デバイスのグラウンドピン。
14	モード	I	出力構成モード選択。BTL = 0、PBTL = 1。表を参照: 表 5-2
15	SPK_INA+	I	ハーフブリッジ A+ の入力信号。
16	SPK_INA-	I	ハーフブリッジ A- の入力信号。
17	OC_ADJ	I/O	過電流スレッシュホールドのプログラミングピン。以下のセクションを参照します: 過負荷および短絡電流保護
18	FREQ_ADJ	I/O	発振周波数プログラミングピン。以下のセクションを参照します: 出力電力段用の発振器
19	OSC_IOM	I/O	PWM スウィッチング発振器同期インターフェイス。オプション。未使用の場合は接続しないでください。以下のセクションを参照します: 発振器の同期およびターゲットモード
20	OSC_IOP	O	PWM スウィッチング発振器同期インターフェイス。オプション。未使用の場合は接続しないでください。以下のセクションを参照します: 発振器の同期およびターゲットモード
21	DVDD	P	内部電圧レギュレータ、アンプのデジタル セクション。1μF セラミックコンデンサを GND に接続します。以下のセクションを参照します: VDD 電源
22	GND	G	デバイスのグラウンドピン。
23	AVDD	P	内部電圧レギュレータ、アンプのアナログ セクション。1μF のセラミックコンデンサを GND に接続します。以下のセクションを参照します: VDD 電源
24	C_START	O	スタートアップランプには、GND に接続された充電用コンデンサが必要です。ポップ音防止のため、10nF を GND に接続してください。セクション 7.3.8 以下のセクションを参照します:
25	SPK_INB+	I	ハーフブリッジ B+ の入力信号。
26	SPK_INB-	I	ハーフブリッジ B- の入力信号。
27	RESET_AMP	I	デバイスリセット、アクティブ Low。アンプのリセットとミュートに使用します。以下のセクションを参照します: 出力電力段リセット
28	FAULT	O	シャットダウン信号、オープンドレイン方式、アクティブ Low。DVDD に接続された内部プルアップ抵抗。未使用の場合は接続しないでください。以下のセクションを参照します: デバイス出力段保護システム
29	CLIP_OTW	O	クリッピング警告および過熱警告、オープンドレイン、アクティブ Low。DVDD に接続された内部プルアップ抵抗。未使用の場合は接続しないでください。以下のセクションを参照します: デバイス出力段保護システム
30	GVDD_B	P	アンプ チャネル B 用のゲートドライブ電源入力です。12V と 0.1μF コンデンサを GND に接続します。以下のセクションを参照します: GVDD_X 電源
31	BST_B-	P	HS ブートストラップ電源 (BST)、SPK_OUTB- への外部 0.033μF コンデンサ。以下のセクションを参照します: BST 電源
32	BST_B+	P	HS ブートストラップ電源 (BST)、SPK_OUTB+ への外部 0.033μF コンデンサ。以下のセクションを参照します: BST 電源
33	GND	G	デバイスのグラウンドピン。
34	SPK_OUTB-	O	出力、ハーフブリッジ B-。

表 5-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
番号	名称		
35	PVDD_B	P	チャンネル B 用の PVDD 電源です。大容量バルクコンデンサと 1μF セラミック デカップリング コンデンサを GND に接続し、ピンの近くに配置します。以下のセクションを参照します: PVDD 電源
36	SPK_OUTB+	O	出力、ハーフブリッジ B+。
37	GND	G	デバイスのグラウンドピン。
38	GND	G	デバイスのグラウンドピン。
39	SPK_OUTA-	O	出力、ハーフブリッジ A-。
40	PVDD_A	P	チャンネル A 用の PVDD 電源です。大容量バルクコンデンサと 1μF セラミック デカップリング コンデンサを GND に接続し、ピンの近くに配置してください。以下のセクションを参照します: PVDD 電源
41	SPK_OUTA+	O	出力、ハーフブリッジ A+。
42	GND	G	デバイスのグラウンドピン。
43	BST_A-	P	HS ブートストラップ電源 (BST)、SPK_OUTA- への外部 0.033μF コンデンサ。以下のセクションを参照します: BST 電源
44	BST_A +	P	HS ブートストラップ電源 (BST)、SPK_OUTA+ への外部 0.033μF コンデンサ。以下のセクションを参照します: BST 電源
45	DAC_MUTE	I	ハードウェア制御 DAC ミュート機能。本デバイスをミュートするには Low (DGND に接続) に、ミュート解除するには High (DAC_DVDD に接続) にしてください。セクション 7.3.11.6 以下のセクションを参照します:
46	ADR	I	GND にプルされる場合、I ² C アドレスの LSB を 0 に設定し、DAC_DVDD にプルされる場合は 1 に設定します。表を参照: I²C デバイス ターゲット アドレス
47	LRCK	I	デジタル オーディオ信号用の左-右ワード (I ² S) またはフレーム (TDM) 選択クロック。I ² S、LJ、RJ では、これは左チャンネルと右チャンネルの境界に対応しています。TDM モードでは、これはフレーム同期境界に対応します。以下のセクションを参照します: シリアル オーディオ ポート
48	SDIN	I	オーディオ データシリアル ポート、データ入力。以下のセクションを参照: シリアル オーディオ ポート
49	SCLK	I	シリアル データ ポートの入力データラインでアクティブとなるデジタル信号用のシリアル (ビット) クロック。以下のセクションを参照します: シリアル オーディオ ポート
50	MCLK	I	内部クロック ツリーやサブ回路、ステート マシンのクロッキングに使用されるコントローラクロック。以下のセクションを参照します: シリアル オーディオ ポート
51	SDOUT	I/O	オーディオ データシリアル ポート、データ出力。以下のセクションを参照します: SDOUT ポートおよびハードウェア制御ピン
52	XPU	I	外部プルアップ、ロジックレベルピン。通常動作のため、このピンは 3.3V (DAC_DVDD または DAC_AVDD) に直接接続します。
53	SCL	I	I ² C シリアル制御ポート クロック。以下のセクションを参照します: I²C 通信ポート
54	SDA	I/O	I ² C シリアル制御ポート データ。以下のセクションを参照します: I²C 通信ポート
55	AGND	G	アナログ回路のグラウンドリファレンス。システム グラウンドに接続。
56	DAC_AVDD	P	DAC 内部アナログ回路用の DAC 電源入力。3.3V と 1μF のセラミック コンデンサを GND に接続します。以下のセクションを参照します: DAC_DVDD および DAC_AVDD 電源
	PowerPAD	G	グラウンド、接地されたヒートシンクに接続します。

(1) I = 入力、O = 出力、I/O = 入出力、P = 電源、G = グラウンド

表 5-2. モードの選択ピン

出力構成	入力モード	MODE ピン	SPK_INB+ ピン	SPK_INB- ピン	説明
2 x BTL	2N + 1	0	X	X	ステレオ BTL 出力構成
1 x PBTL	2N + 1	1	0	0	並列 BTL 構成のプリフィルタまたはポストフィルタ。SPK_INB+ と INPUT_B- を DC ブロッキング コンデンサなしで GND に接続します。

表 5-3. I²C デバイス ターゲット アドレス

ADR ピン		16 進	2 進
0	7 ビット アドレス	0x4A	1001 010
	7 ビット アドレス + 書き込みビット	0x94	1001 0100
	7 ビット アドレス + 読み取りビット	0x95	1001 0101
1	7 ビット アドレス	0x4B	1001 011
	7 ビット アドレス + 書き込みビット	0x96	1001 0110
	7 ビット アドレス + 読み取りビット	0x97	1001 0111

6 仕様

6.1 絶対最大定格

自由気流での室温 25°C (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
電源電圧	PVDD_X から GND ⁽²⁾	-0.3	50	V
	BST_X から GVDD_X ⁽²⁾	-0.3	50	V
	BST_X から GND ⁽²⁾	-0.3	62.5	V
	VDD から GND	-0.3	13.2	V
	GVDD_X から GND ⁽²⁾	-0.3	13.2	V
	DVDD から GND	-0.3	4.2	V
	AVDD から GND	-0.3	8.5	V
	DAC_DVDD、DAC_AVDD	-0.3	3.9	V
アナログ インターフェイス ピン	SPK_OUTX から GND ⁽²⁾	-0.3	50	V
	SPK_INX から GND	-0.3	7	V
デジタル インターフェイス ピン	OC_ADJ、MODE、OSC_IOP、OSC_IOM、FREQ_ADJ、C_START から GND	-0.3	4.2	V
	RESET_AMP、FAULT、CLIP_OTW から GND	-0.3	4.2	V
	連続シンク電流 RESET_AMP、FAULT、CLIP_OTW から GND		9	mA
	ADR、DAC_MUTE、LRCK、MCLK、SCL、SCLK、SDA、SDIN、SDOUT、XPU から GND	-0.5	$V_{DAC_DVDD} + 0.5$	V
T _J	動作接合部温度範囲、パワー ダイ	-40	165	°C
	動作時接合部温度、デジタル ダイ	-40	125	°C
T _{stg}	保管温度範囲	-40	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、このデータシートの「セクション 6.3」に示された値と等しい、またはそれを超える条件で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) これらの電圧は、あらゆる条件下においてデバイスの端子で測定された DC 電圧 + ピーク AC 波形を表します。

6.2 ESD 定格

		値	単位
V _(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±500	

- (1) JEDEC ドキュメント JEP155 には、2000V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、500V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での室温 25°C (特に記述のない限り)

			最小値	標準値	最大値	単位
PVDD_X	ハーフブリッジ電源	DC 電源	12	36	38	V
GVDD_X	ロジックレギュレータおよびゲートドライブ回路用の電源	DC 電源	10.8	12	13.2	V
VDD	デジタルレギュレータ電源電圧	DC 電源	10.8	12	13.2	V
DAC_AVDD	DAC 内部アナログ回路用電源。	DC 電源	2.9	3.3	3.63	V
DAC_DVDD ⁽¹⁾	DAC デジタル電源とチャージポンプ用電源	DC 電源	2.9	3.3	3.63	V
R _L (BTL)	負荷インピーダンス	推奨値範囲内の出力フィルタのインダクタンス	2.7	4		Ω
R _L (PBTL)			1.6	2		
L _{OUT} (BTL)	出力フィルタのインダクタンス	IOC での最小出力インダクタンス	5			μH
L _{OUT} (PBTL)			5			
F _{PWM}	AM 干渉回避のために選択可能な PWM フレーム抵抗値許容差: 抵抗許容差 1%	公称	575	600	625	kHz
		AM1	475	500	525	
		AM2	430	450	470	
R _(FREQ_ADJ)	PWM フレームレートプログラミング抵抗	公称、コントローラモード	9.9	10	10.1	kΩ
		AM1、制御モード	19.8	20	20.2	
		AM2、制御モード	29.7	30	30.3	
C _{PVDD}	PVDD 近接デカップリングコンデンサ		1.0			μF
R _{OC}	過電流プログラミング抵抗	抵抗の公差 = 5%	22		30	kΩ
R _{OC(LATCHED)}	過電流プログラミング抵抗	抵抗の公差 = 5%	47		64	kΩ
V _(FREQ_ADJ)	ターゲットモード動作の FREQ_ADJ ピンの電圧	ターゲットモード		3.3		V
V _{IH} (DigIn)	DAC_DVDD 基準のデジタル入力に対する入力ロジック High ^{(1) (2)}		0.9 × V _{DAC_DVDD}		V _{DAC_DVDD}	V
V _{IL} (DigIn)	DAC_DVDD 基準のデジタル入力に対する入力ロジック Low ^{(1) (3)}		V _{DAC_DVDD}	0	0.1 × V _{DAC_DVDD}	V
T _J	接合部温度		0		125	°C

- (1) DAC_DVDD 基準のデジタルピンには以下が含まれます: ADR、LRCK、MCLK、DAC_MUTE、SCL、SCLK、SDA、SDIN、SDOUT、XPUI。
(2) フロントエンド (DAC および DSP) ピンは DAC_DVDD を基準にする必要があります。電力段のデジタルピンは、DVDD を基準とする必要があります。
(3) すべての TAS3251 のグランドピンはシステムグランドを基準にする必要があります。

6.4 熱に関する情報

	熱評価基準 ⁽¹⁾	TAS3251		単位
		DKQ 56 ピン (HSSOP)		
		JEDEC 規格 4-LAYER PCB		
R _{θJA}	接合部から周囲への熱抵抗	47.8		°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	0.3		°C/W
R _{θJB}	接合部から基板への熱抵抗	24.2		°C/W
ψ _{JT}	接合部から上面への特性パラメータ	0.2		°C/W
ψ _{JB}	接合部から基板への特性パラメータ	20.6		°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし		°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

6.5 アンプの電気的特性

PVDD_X = 36V、GVDD_X = 12V、VDD = 12V、T_C (ケース温度) = 75°C、f_S = 600kHz (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
アンプの内部電圧レギュレータと消費電流						
DVDD	内部用電圧レギュレータ	VDD = 12V	3	3.3	3.6	V
AVDD	内部用電圧レギュレータ	VDD = 12V		7.8		V
I _{GVDD_A + GVDD_B + VDD}	GVDD および VDD 消費電流	50% デューティ サイクル		90		mA
		リセット モード		19		mA
I _{PVDD_X}	PVDD アイドル電流	推奨出力フィルタを使用してデューティ サイクル 50%		20		mA
		リセット モード、スイッチングなし		0.0048		mA
アナログ入力						
R _{IN}	入力抵抗			24		kΩ
V _{IN}	入力電圧の最大振幅、SPK_INx ピン			7		V
I _{IN}	最大入力電流、SPK_INx ピン			1		mA
G	反転電圧ゲイン	アンプ VOUT/VIN		20		dB
アンプ発振器						
f _{OSC(IO+)}	公称、コントローラ モード	F _{PWM} × 6	3.45	3.6	3.75	MHz
	AM1、制御モード	F _{PWM} × 6	2.85	3	3.15	MHz
	AM2、制御モード	F _{PWM} × 6	2.58	2.7	2.82	MHz
V _{IH}	High レベル入力電圧		1.86			V
V _{IL}	Low レベル入力電圧				1.45	V
出力段 MOSFET						
R _{DS(on)}	ドレイン - ソース間抵抗、ローサイド (LS)	T _J = 25°C、金属皮膜抵抗を含む、GVDD = 12V		60	100	mΩ
	ドレイン-ソース間抵抗、ハイサイド (HS)	T _J = 25°C、金属皮膜抵抗を含む、GVDD = 12V		60	100	mΩ
アンプ I/O 保護						
V _{uvp} , VDD, GVDD	低電圧保護制限、GVDD_X および VDD			9.5		V
V _{uvp} , VDD, GVDD, hyst	低電圧保護ヒステリシス、GVDD_X および VDD			0.6		V
OTW	過熱警告、CLIP_OTW (1)		115	125	135	°C
OTW _{hyst}	CLIP_OTW で OTW イベントを削除するために必要な温度低下			25		°C
OTE	過熱エラー		145	155	165	°C
OTE-OTW(differential)	OTE - OTW の差分			30		°C
OTE _{hyst}	OTE イベントをクリアするには、リセットが必要です			25		°C
OLPC	CB3C モード用過負荷保護カウンタ	F _{PWM} = 600 kHz (すべての F _{PWM} 向けに 1024 PWM サイクル)		1.7		ms
I _{OC}	CB3C モードの過電流制限	抵抗 - プログラム可能、1Ω 負荷での公称ピーク電流、R _{OCF} = 22kΩ		14		A
I _{OC(LATCHED)}	ラッチ モードの過電流制限	抵抗 - プログラム可能、1Ω 負荷でのピーク電流、R _{OCF} = 47kΩ		14		A
I _{DCspkr}	DC スピーカー保護電流のスレッシュホールド	BTL の電流スレッシュホールドは不安定		1.5		A
I _{OCT}	過電流応答時間	スイッチング遷移から、過電流によって状態がフリップするまでの時間		150		ns
I _{PD}	各ハーフブリッジの出力プルダウン電流	RESET がアクティブなときに接続され、ブートストラップ充電が供給されます		3		mA

6.5 アンプの電気的特性 (続き)

PVDD_X = 36V、GVDD_X = 12V、VDD = 12V、T_C (ケース温度) = 75°C、f_S = 600kHz (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位	
アンプ静的デジタル仕様						
V _{IH}	High レベル入力電圧	MODE、OSC_IOP、OSC_IOM、RESET_AMP	1.9		V	
V _{IL}	Low レベル入力電圧	MODE、OSC_IOP、OSC_IOM、RESET_AMP		0.8	V	
I _{Ikg}	入力リーク電流	MODE、OSC_IOP、OSC_IOM、RESET_AMP		100	μA	
アンプ OTW/ シャットダウン (FAULT)						
R _{INT_PU}	内部プルアップ抵抗、CLIP_OTW から DVDD、FAULT から DVDD		20	26	32	kΩ
V _{OH}	High レベル出力電圧	内部プルアップ抵抗	3	3.3	3.6	V
V _{OL}	Low レベル出力電圧	IO = 4mA		200	500	mV
デバイスのファンアウト	CLIP_OTW、FAULT	外部プルアップなし		30		デバイス

(1) 設計により規定されています。

6.6 DAC の電気的特性

自由気流での室温 25°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
デジタル I/O						
V_{IH1}	DAC_DVDD 参照デジタル入力の入力ロジック high スレッショルド ⁽¹⁾		70%			V_{DAC_DVDD}
V_{IL1}	DAC_DVDD 参照デジタル入力の入力ロジック low スレッショルド ⁽¹⁾				30%	V_{DAC_DVDD}
I_{IH1}	DAC_DVDD 参照デジタル入力ピン の入力ロジック high 電流レベル ⁽¹⁾	$V_{IN(DigIn)} = V_{DAC_DVDD}$			10	μA
I_{IL1}	DAC_DVDD 参照デジタル入力ピン の入力ロジック low 電流レベル ⁽¹⁾	$V_{IN(DigIn)} = 0 V$			-10	μA
$V_{OH(DigOut)}$	ロジック high 出力電圧レベル ⁽¹⁾	$I_{OH} = 4mA$	80%			V_{DAC_DVDD}
$V_{OL(DigOut)}$	出力ロジック low 電圧レベル ⁽¹⁾	$I_{OH} = -4mA$			22%	V_{DAC_DVDD}
I²C 制御ポート						
$C_{L(I2C)}$	各 I ² C ラインで許容される負荷容量				400	pF
$f_{SCL(fast)}$	SCL 周波数をサポート	ウェイトなし、高速モード			400	kHz
$f_{SCL(slow)}$	SCL 周波数をサポート	ウェイトなし、スロー モード			100	kHz
V_{NH}	各接続デバイスの High レベルにおけるノイズ マージン (ヒステリシスを含む)		$0.2 \times V_{DAC_DVDD}$			V
MCLK と PLL の仕様						
D_{MCLK}	許容される MCLK デューティサイクル		40%		60%	
f_{MCLK}	サポートしている MCLK 周波数	最高 50MHz	128		512	f_s ⁽²⁾
f_{PLL}	PLL 入力周波数	クロック分周器は分数分周を使用し、 $D > 0$ 、 $P = 1$ となります	6.7		20	MHz
		クロック分周器は整数分周 $D = 0$ 、 $P = 1$ を使用します	1		20	
シリアル オーディオ ポート						
t_{DLY}	必要な LRCK/FS から SCLK 立ち上がりエッジまでの遅延		5			ns
D_{SCLK}	許容される SCLK デューティサイクル		40%		60%	
f_s	サポートしている入力サンプルレート		8		96	kHz
f_{SCLK}	サポートしている SCLK 周波数		32		64	f_s ⁽²⁾
f_{SCLK}	SCLK 周波数	コントローラ モードとターゲット モード のいずれかを選択			24.576	MHz

(1) DAC_DVDD 基準のデジタル ピンには以下が含まれます: ADP, LRCK, MCLK, DAC_MUTE, SCL, SCLK, SDA, SDIN, SDOUT, XPU。

(2) f_s の単位は、仕様が表に記載されている値に、デバイスで使用されるオーディオのサンプル レートを乗算した値であることを示します。

6.7 オーディオ特性 (BTL)

PCB とシステムの構成は、推奨ガイドラインに従っています。オーディオ周波数 = 1kHz、PVDD_X = 36V、GVDD_X = 12V、 $R_L = 4\Omega$ 、 $f_S = 600\text{kHz}$ 、 $R_{OC} = 22\text{k}\Omega$ 、 $T_C = 75^\circ\text{C}$ 、出力フィルタ: $L_{DEM} = 10\mu\text{H}$ 、 $C_{DEM} = 1\mu\text{F}$ 、MODE = 0、AES17 + AUX-0025 測定フィルタ (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
P _O	チャンネルごとの電源出力	R _L = 3Ω、10% THD+N	220		W
		R _L = 4Ω、10% THD+N	175		
		R _L = 3Ω、1% THD+N	175		
		R _L = 4Ω、1% THD+N	140		
THD+N	全高調波歪み + ノイズ	1W	0.008		%
V _n	出力積分ノイズ	A 重み付け、AES17 フィルタ、 入力コンデンサを接地	95		μV
V _{os}	出力オフセット電圧	入力を GND に AC カップリング	20	60	mV
SNR	信号対雑音比 ⁽¹⁾		108		dB
DNR	ダイナミックレンジ		110		dB
P _{idle}	アイドル時の電力損失 (I _{PVDD_X}) による電力損失	P _O = 0、4 チャンネルのスイッチング ⁽²⁾	0.75		W

- (1) SNR は、1% THD+N 出力レベルを基準として計算されています。
(2) 実際のシステムでのアイドル時の電力損失は、出力インダクタのコア損失の影響も受けます。

6.8 オーディオ特性 (PBTL)

PCB とシステムの構成は、推奨ガイドラインに従っています。オーディオ周波数 = 1kHz、PVDD_X = 36V、GVDD_X = 12V、 $R_L = 2\Omega$ 、 $f_S = 600\text{kHz}$ 、 $R_{OC} = 22\text{k}\Omega$ 、 $T_C = 75^\circ\text{C}$ 、出力フィルタ: $L_{DEM} = 10\mu\text{H}$ 、 $C_{DEM} = 1\mu\text{F}$ 、MODE = 1、特に記載のない限り、出力は LC フィルタ後に並列化され、AES17 + AUX-0025 測定フィルタが適用されます。

パラメータ	テスト条件	最小値	標準値	最大値	単位
P _O	チャンネルごとの電源出力	R _L = 2Ω、10% THD+N	355		W
		R _L = 3Ω、10% THD+N	250		
		R _L = 4Ω、10% THD+N	195		
		R _L = 2Ω、1% THD+N	285		
		R _L = 3Ω、1% THD+N	200		
		R _L = 4Ω、1% THD+N	155		
THD+N	全高調波歪み + ノイズ	1W	0.009		%
V _n	出力積分ノイズ	A 重み付け、AES17 フィルタ、 入力コンデンサを接地	95		μV
SNR	信号対雑音比 ⁽¹⁾	A 重み付け	108		dB
DNR	ダイナミックレンジ	A 重み付け	108		dB
P _{idle}	アイドル時の電力損失 (I _{PVDD_X}) による電力損失	P _O = 0、4 チャンネルのスイッチング ⁽²⁾	0.75		W

- (1) SNR は、1% THD+N 出力レベルを基準として計算されています。
(2) 実際のシステムでのアイドル時の電力損失は、出力インダクタのコア損失の影響を受けます。

6.9 MCLK のタイミング

図 6-1 を参照してください。

パラメータ		最小値	最大値	単位
t_{MCLK}	MCLK 周期	20	1000	ns
t_{MCLKH}	MCLK パルス幅、high	9		ns
t_{MCLKL}	MCLK パルス幅、low	9		ns

6.10 シリアル オーディオ ポートのタイミング - ターゲット モード

図 6-2 を参照してください。

パラメータ		最小値	最大値	単位
f_{SCLK}	SCLK 周波数	1.024		MHz
t_{SCLK}	SCLK 周期	40		ns
t_{SCLKL}	SCLK パルス幅、low	16		ns
t_{SCLKH}	SCLK パルス幅、high	16		ns
t_{SL}	SCLK の立ち上がりから LRCK/FS エッジまで	8		ns
t_{LS}	LRCK/FS エッジから SCLK 立ち上がりエッジまで	8		ns
t_{SU}	データ セットアップ時間、SCLK 立ち上がりエッジ前	8		ns
t_{DH}	データ ホールド時間、SCLK 立ち上がりエッジ後	8		ns
t_{DFS}	SCLK 立ち下がりエッジからのデータ遅延時間		15	ns

6.11 シリアル オーディオ ポートのタイミング - コントローラ モード

図 6-3 を参照してください。

パラメータ		最小値	最大値	単位
t_{SCLK}	SCLK 周期	40		ns
t_{SCLKL}	SCLK パルス幅、low	16		ns
t_{SCLKH}	SCLK パルス幅、high	16		ns
t_{LRD}	LRCK/FS の遅延時間は、SCLK の立ち下がりエッジから測定されます	-10	20	ns
t_{SU}	データ セットアップ時間、SCLK 立ち上がりエッジ前	8		ns
t_{DH}	データ ホールド時間、SCLK 立ち上がりエッジ後	8		ns
t_{DFS}	SCLK 立ち下がりエッジからのデータ遅延時間		15	ns

6.12 I²C バス タイミング - スタンダード

		最小値	最大値	単位
f _{SCL}	SCL クロック周波数		400	kHz
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	4.7		μs
t _{LOW}	SCL クロックの Low 期間	4.7		μs
t _{HI}	SCL クロックの High 期間	4		μs
t _{RS-SU}	(反復) 開始条件のセットアップ時間	4.7		μs
t _{S-HD}	(反復) 開始条件のホールド時間	4		μs
t _{D-SU}	データ セットアップ時間	250		ns
t _{D-HD}	データ ホールド時間	0	900	ns
t _{SCL-R}	SCL 信号の立ち上がり時間	20 + 0.1C _B	1000	ns
t _{SCL-R1}	START 条件の繰り返し、およびアクリッジビット後の SCL 信号の立ち上がり時間	20 + 0.1C _B	1000	ns
t _{SCL-F}	SCL 信号の立ち下がり時間	20 + 0.1C _B	1000	ns
t _{SDA-R}	SDA 信号の立ち上がり時間	20 + 0.1C _B	1000	ns
t _{SDA-F}	SDA 信号の立ち下がり時間	20 + 0.1C _B	1000	ns
t _{P-SU}	停止条件のセットアップ時間	4		μs

6.13 I²C バス タイミング - ファスト

図 6-4 を参照してください。

		最小値	最大値	単位
f _{SCL}	SCL クロック周波数		400	kHz
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	1.3		μs
t _{LOW}	SCL クロックの Low 期間	1.3		μs
t _{HI}	SCL クロックの High 期間	600		ns
t _{RS-SU}	(反復) 開始条件のセットアップ時間	600		ns
t _{RS-HD}	(反復) 開始条件のホールド時間	600		ns
t _{D-SU}	データ セットアップ時間	100		ns
t _{D-HD}	データ ホールド時間	0	900	ns
t _{SCL-R}	SCL 信号の立ち上がり時間	20 + 0.1C _B	300	ns
t _{SCL-R1}	START 条件の繰り返し、およびアクリッジビット後の SCL 信号の立ち上がり時間	20 + 0.1C _B	300	ns
t _{SCL-F}	SCL 信号の立ち下がり時間	20 + 0.1C _B	300	ns
t _{SDA-R}	SDA 信号の立ち上がり時間	20 + 0.1C _B	300	ns
t _{SDA-F}	SDA 信号の立ち下がり時間	20 + 0.1C _B	300	ns
t _{P-SU}	停止条件のセットアップ時間	600		ns
t _{SP}	抑制されたスパイクのパルス幅		50	ns

6.14 タイミング図

このセクションには、I²C および I²S/TDM のタイミング図が記載されています。

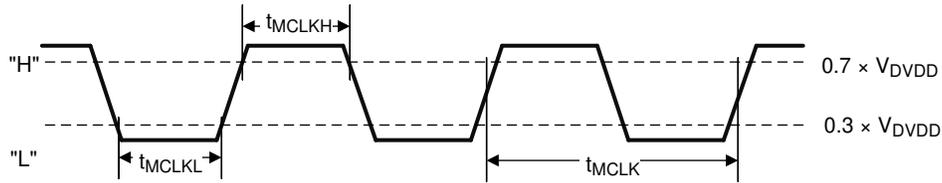


図 6-1. MCLK 入力のタイミング要件

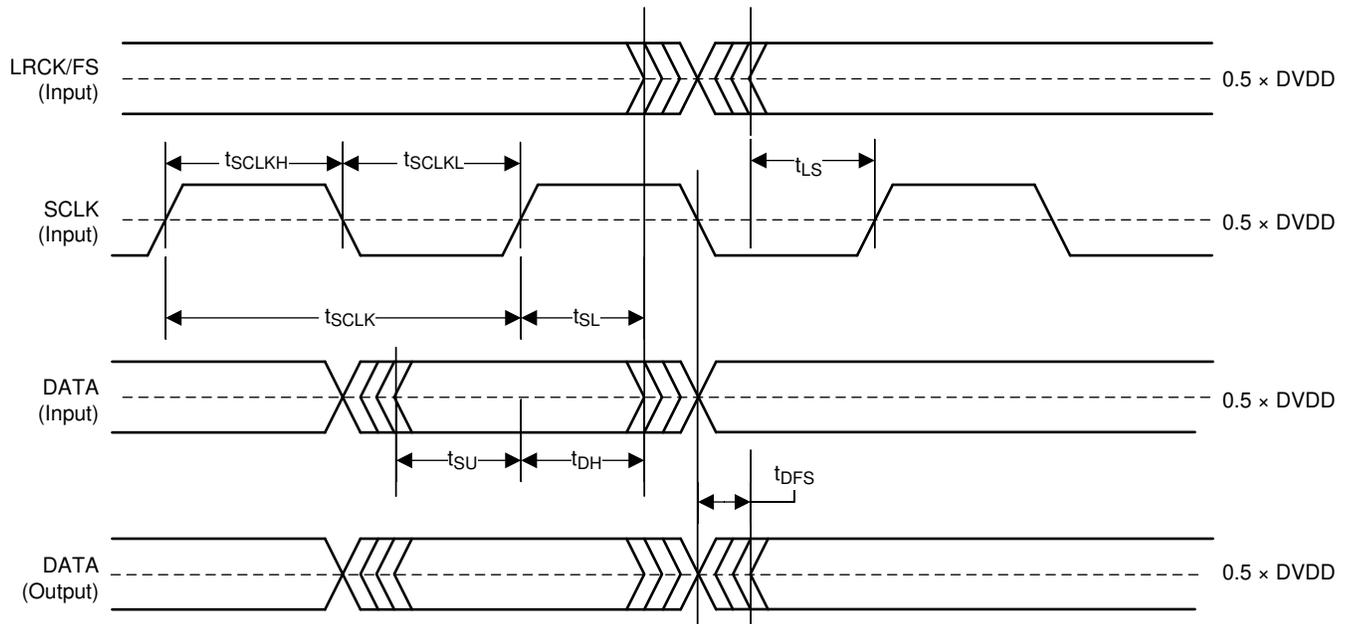


図 6-2. ターゲットモードでの MCLK のタイミング図

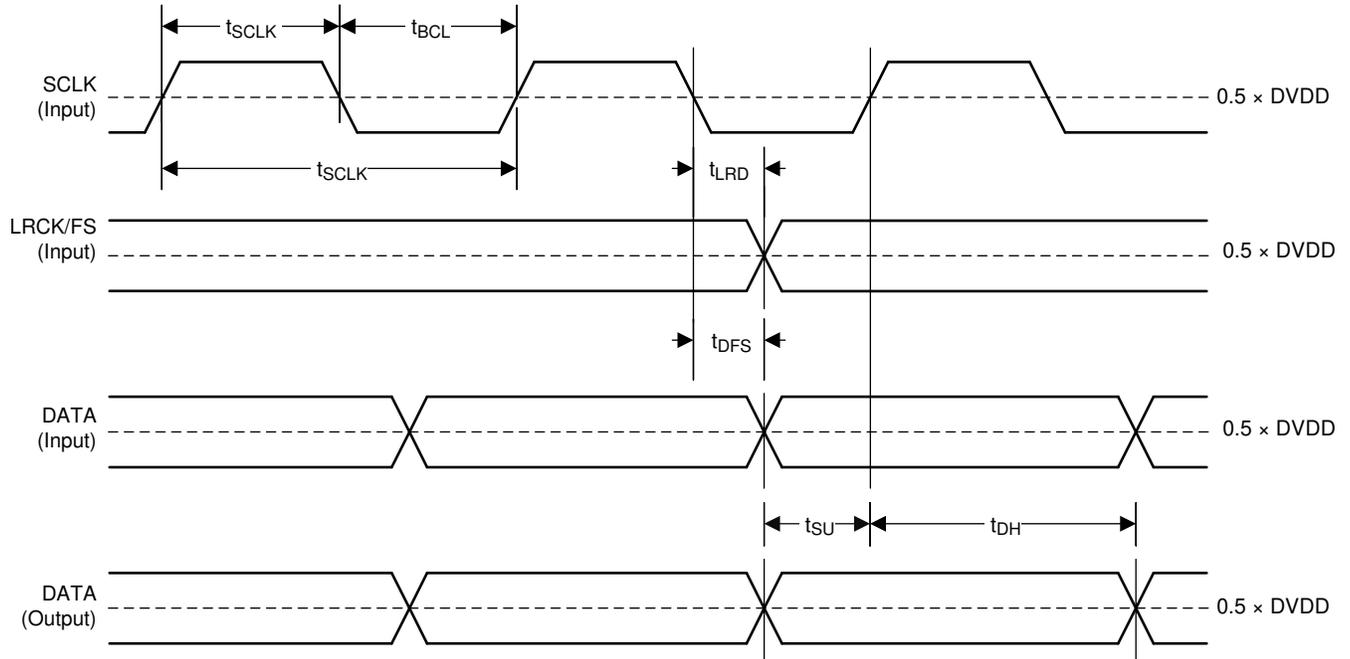


図 6-3. コントローラ モードでの MCLK のタイミング図

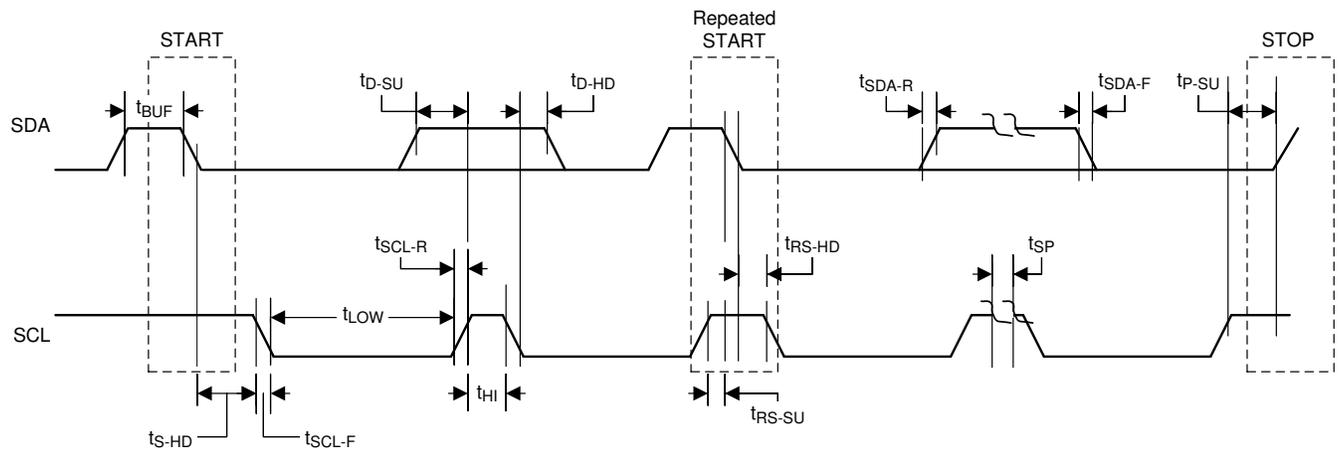


図 6-4. I²C 通信ポート タイミング図

6.15 代表的特性

6.15.1 BTL の構成

すべての測定は、オーディオ周波数 = 1kHz、PVDD_X = 36V、GVDD_X = 12V、 $R_L = 4\Omega$ 、 $f_s = 600\text{kHz}$ 、 $R_{OC} = 22\text{k}\Omega$ 、 $T_C = 75^\circ\text{C}$ 、出力フィルタ条件下で行われました： $L_{DEM} = 10\mu\text{H}$ 、 $C_{DEM} = 1\mu\text{F}$ 、MODE = 0、AES17 + AUX-0025 測定フィルタ (特に記述のない限り)。

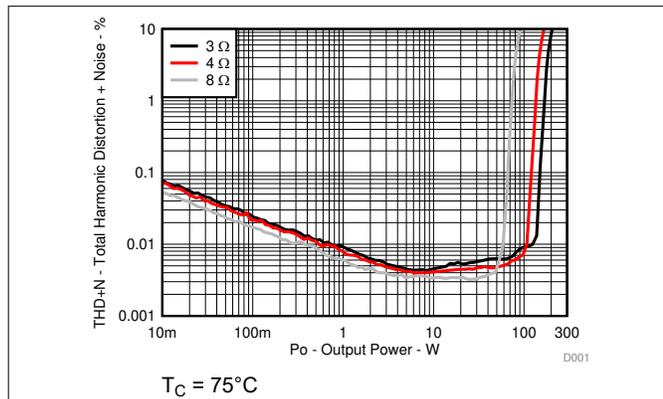


図 6-5. 全高調波歪み + ノイズと出力電力の関係

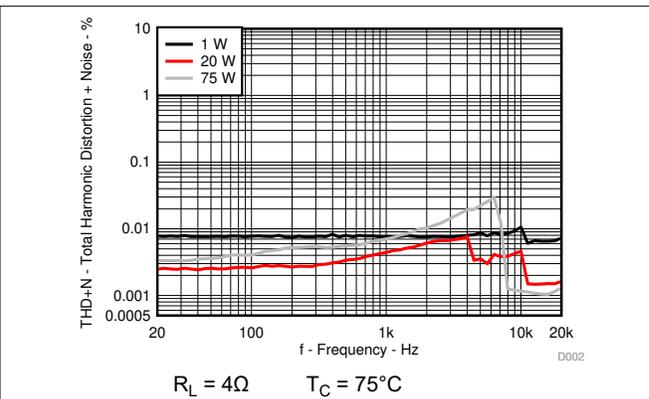


図 6-6. 全高調波歪み + ノイズと周波数との関係

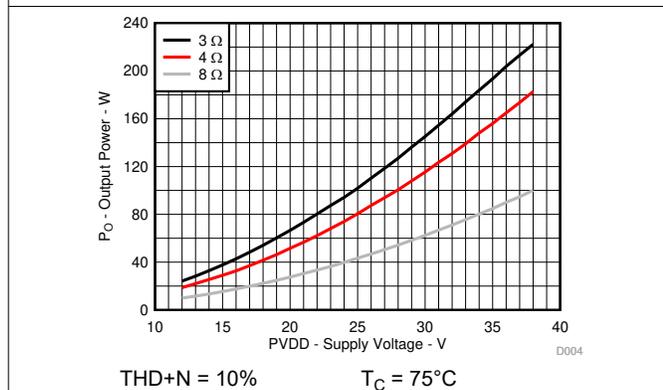


図 6-7. 出力電力と電源電圧との関係

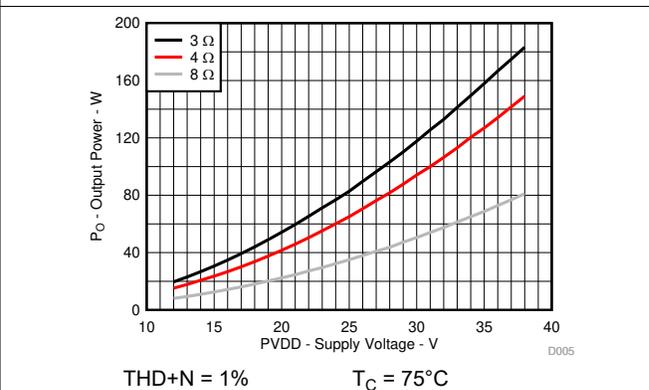


図 6-8. 出力電力と電源電圧との関係

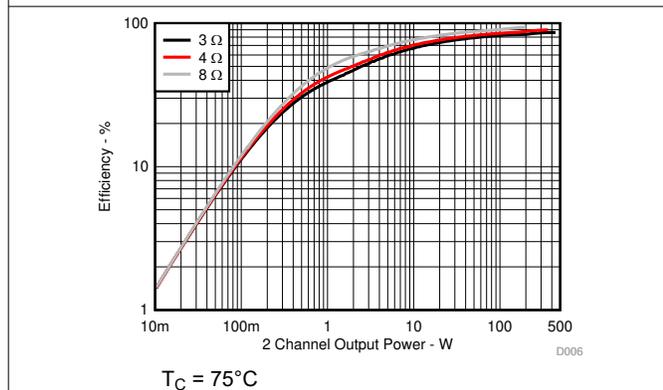


図 6-9. 効率と出力電力との関係

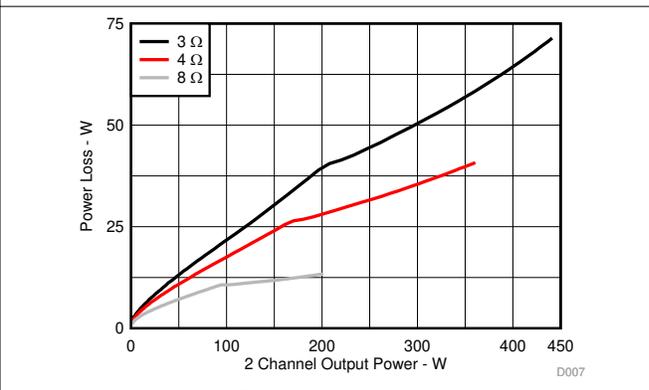
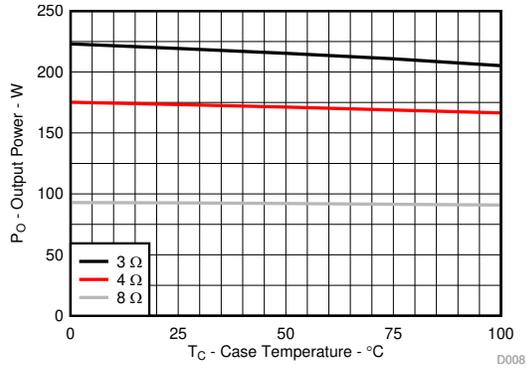
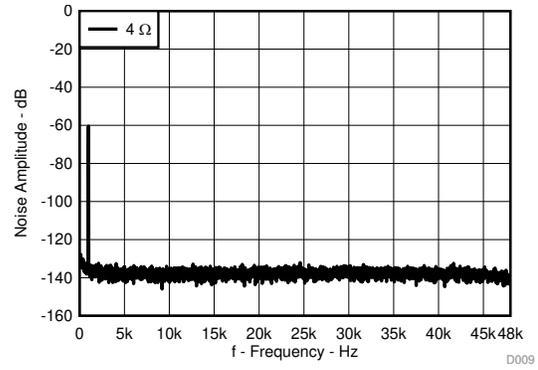


図 6-10. 電力損失と出力電力との関係



THD+N = 10%

図 6-11. 出力電力と温度との関係



T_C = 75°C V_{REF} = 25.46 V FFT = 16384
 AUX-0025 フィルタ 80kHz アナライザ BW

図 6-12. ノイズ電圧と周波数との関係

6.15.2 PBTL の構成

すべての測定は、オーディオ周波数 = 1kHz、PVDD_X = 36V、GVDD_X = 12V、 $R_L = 2\Omega$ 、 $f_s = 600\text{kHz}$ 、 $R_{OC} = 22\text{k}\Omega$ 、 $T_C = 75^\circ\text{C}$ 、出力フィルタ条件下で行われました： $L_{DEM} = 10\mu\text{H}$ 、 $C_{DEM} = 1\mu\text{F}$ 、MODE = 1、特に記載のない限り、出力は LC フィルタ後に並列化され、AES17 + AUX-0025 測定フィルタが適用されます。

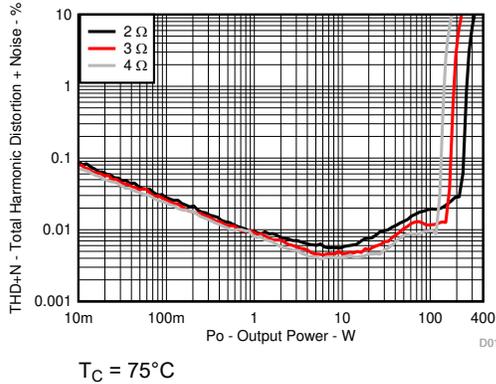


図 6-13. 全高調波歪み + ノイズと出力電力の関係

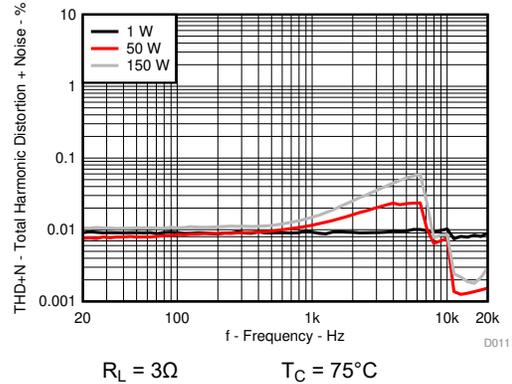


図 6-14. 全高調波歪み + ノイズと周波数との関係

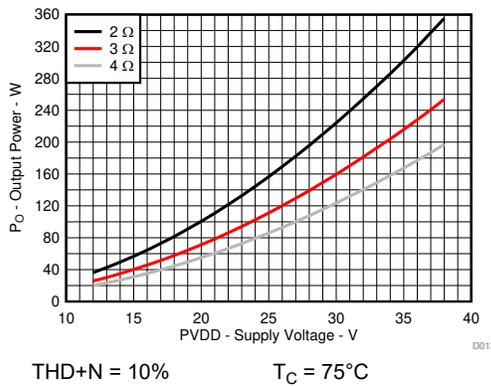


図 6-15. 出力電力と電源電圧との関係

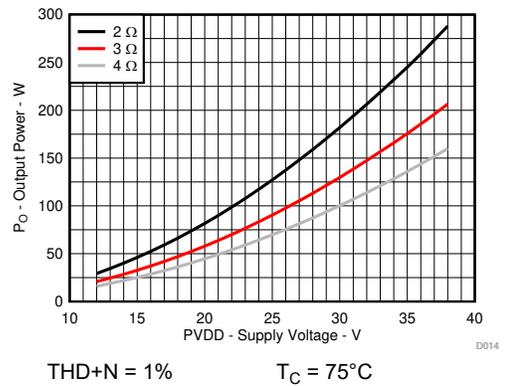


図 6-16. 出力電力と電源電圧との関係

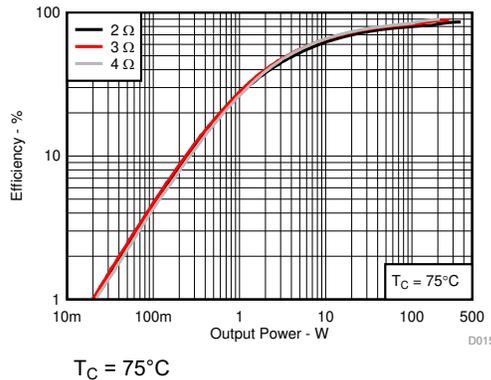


図 6-17. 効率と出力電力との関係

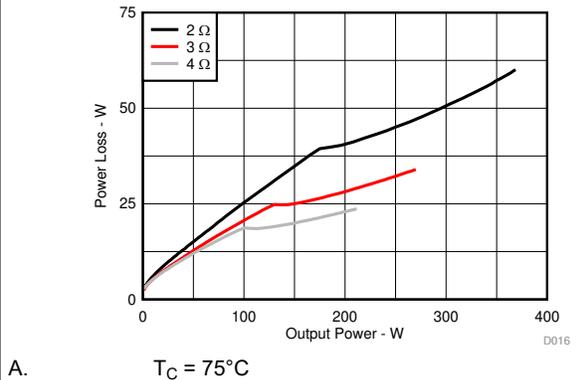
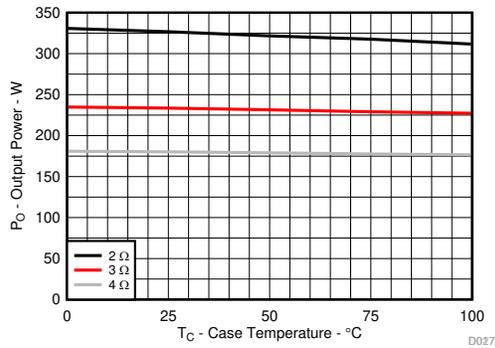
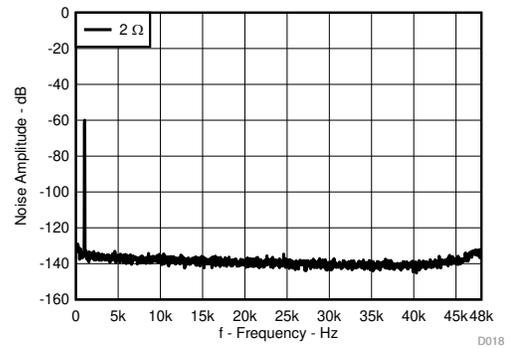


図 6-18. 電力損失と出力電力との関係



THD+N = 10%

図 6-19. 出力電力と温度との関係



T_C = 75°C V_{REF} = 25.46 V FFT = 16384
AUX-0025 フィルタ 80kHz アナライザ BW

図 6-20. ノイズ電圧と周波数との関係

7 詳細説明

7.1 概要

TAS3251 デバイスは、4 つの主要なビルディング ブロックを単一の統合デバイスにまとめることで、音質、柔軟性、使いやすさを最大化しています。以下のものが該当します。

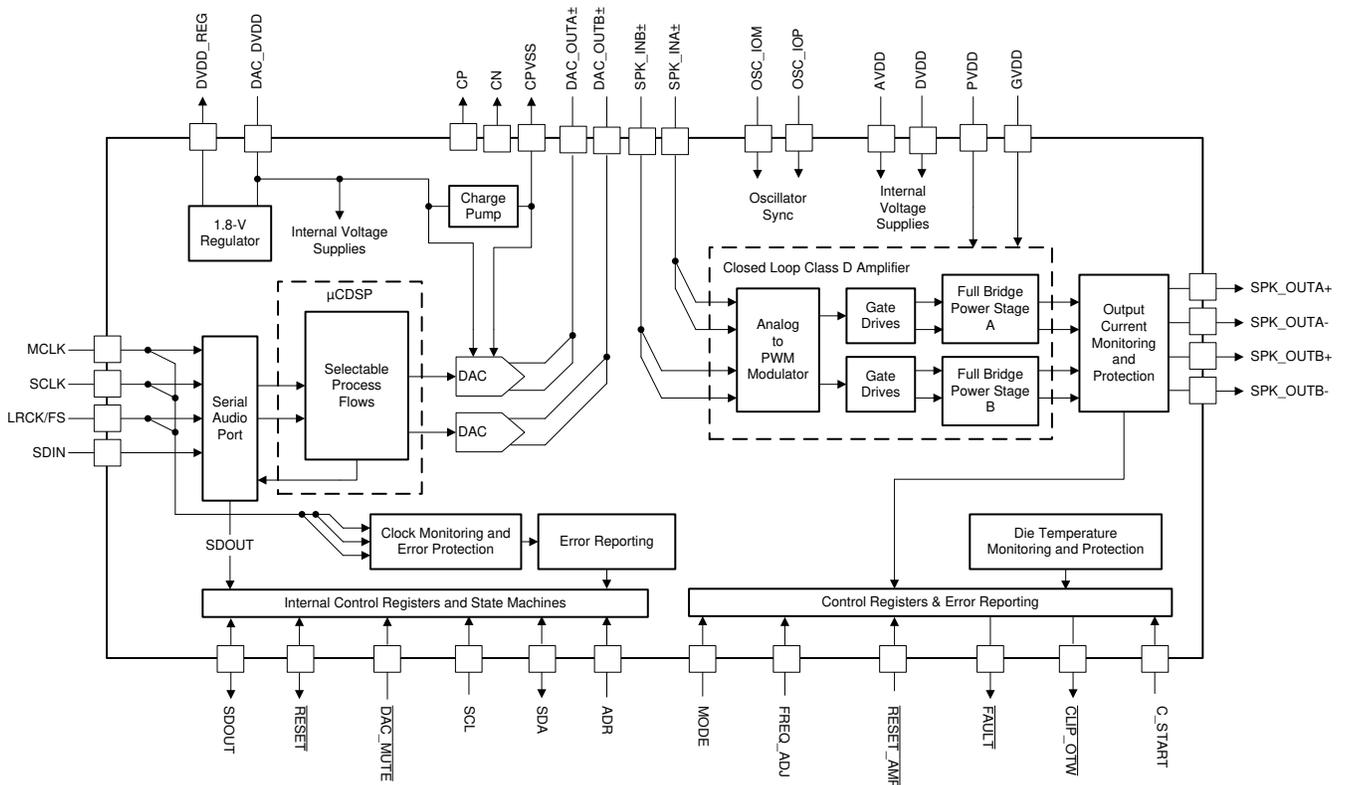
- 高い柔軟性を備えたシリアル オーディオ ポート搭載の Burr-Brown ステレオ オーディオ DAC
- μ CDSPP - あらかじめプログラムされた DSP オーディオ処理フローを備えた TI の最新オーディオ処理コア
- ステレオまたはモノラルで動作可能な高性能、Ultra-HD 閉ループ Class-D アンプ
- デバイスとの通信および制御用の I²C 制御ポート

デバイスを正常に動作させるためには、3 つの電源が必要です。低電圧回路および DAC 用の 3.3V レール、アンプのゲート駆動用の 12V レール、そしてオーディオ アンプの出力段に電力を供給するために必要な PVDD。これらの電源の動作範囲は、[推奨動作条件](#)に示しています。

デバイスの通信および制御インターフェイスには I²C が使用されます。スピーカ アンプのフォルト出力も提供しており、過熱、過電流、または低電圧イベントの発生をシステム コントローラに通知します。

μ CDSPP オーディオ プロセッシング コアは、構成可能な DSP プログラムが事前プログラミングされています。TI.com で提供されている TAS3251 アプリを備えた PurePath Console 3 ソフトウェアは、事前にプログラムされたオーディオ処理フローを制御、調整するためのツールを提供します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 パワーオンリセット (POR) 機能

TAS3251 デバイスにはパワーオンリセット機能が含まれています。パワーオンリセット機能は、デバイスの電源投入時に、すべてのレジスタをデフォルト構成にリセットします。DVDD、AVDD、および CPVDD を駆動する低電圧電源が POR スレッシュホールドを超えると、デバイスはすべての内部レジスタをデフォルト値に設定し、有効な MCLK、SCLK、および LRCK/FS のトグルを約 4ms 間受信するまで、その値を保持します。トグル期間が経過すると、レジスタの内部リセットが解除され、I²C 制御ポートを使用してレジスタをプログラムできます。

7.3.2 デバイスの有効化

電源投入後にデバイスを有効化してオーディオを再生するには、I²C 経由で以下の値を書き込みます: book 0x00、page 0x00、register 0x02 に 0x00。次に、デバイスをイネーブルにするためのサンプルスクリプトを示します:

```

w 90 00 00 # Go to page 0
w 90 7f 00 # Go to book 0
w 90 02 00 # Enable device
  
```

7.3.3 DAC および DSP クロッキング

TAS3251 のフロントエンド (DAC および DSP) には柔軟なクロッキングシステムがあります。内部的には、デバイスを正しく機能させるために、主に関連するクロックレートで、いくつかのクロックが必要です。これらのクロックは、すべてシリアルオーディオインターフェイスから入手できます。出力段の発振器とスイッチング周波数の設定については、[出力電力段用発振器](#)セクションを参照してください。

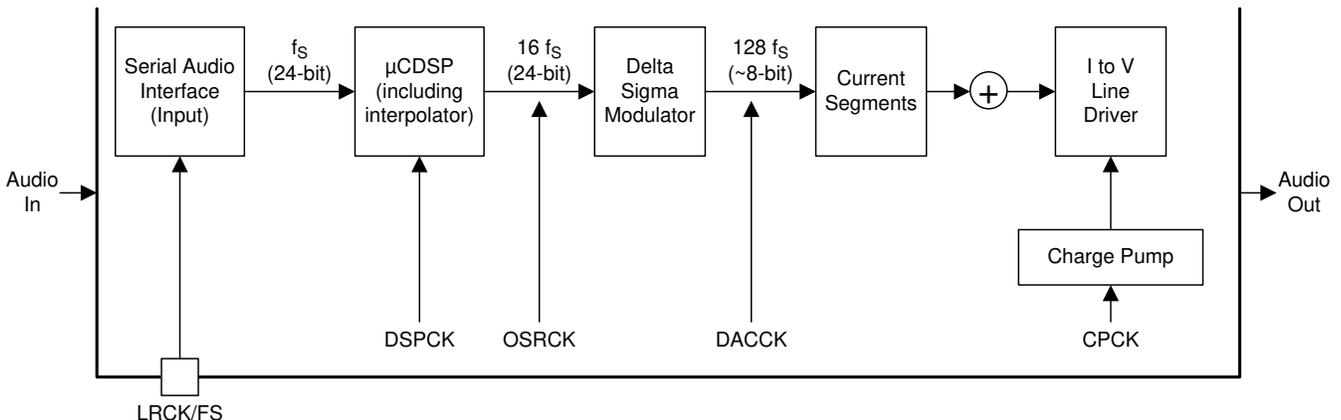


図 7-1. 各クロックのオーディオフロー

図 7-1 は、基本サンプルレート (f_s) での基本データフローを示します。データがシリアルオーディオインターフェイスに出力されると、データの処理、補間、および $128 \times f_s$ に変調されてから、最終的なデジタル/アナログ変換の現在のセグメントに到着します。

図 7-2 にクロックツリーを示します。

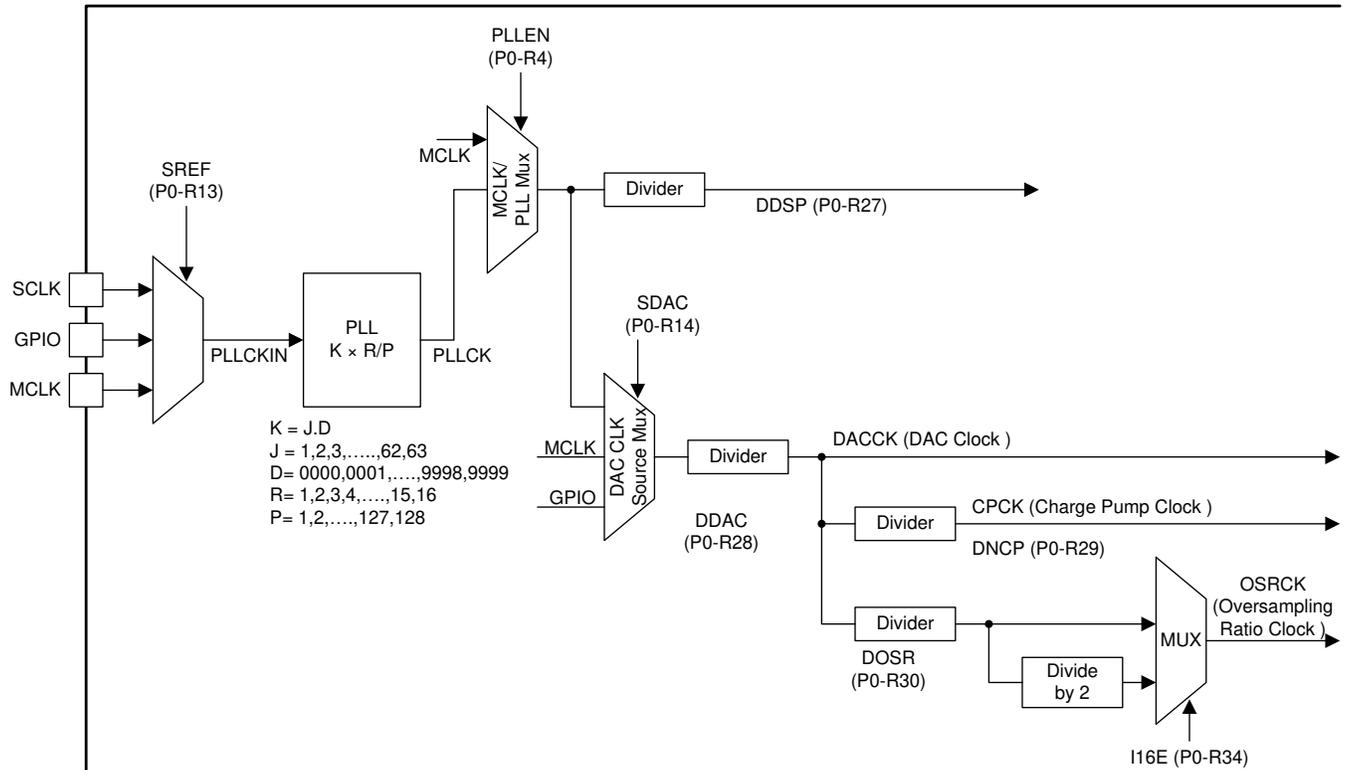


図 7-2. TAS3251 クロック分配ツリー

シリアルオーディオインターフェイスには、通常、以下の 4 つの接続ピンがあります。

- MCLK (システム コントローラ クロック)
- SCLK (シリアル クロックまたはビット クロック)
- LRCK/FS (左右ワード クロックおよびフレーム同期)
- SDIN (入力データ)。
- SDOUT は、外部で使用するために DSP の処理前または処理後のデータを出力するために使用できます ([SDOUT ポートおよびハードウェア制御ピンセクション](#)を参照)

このデバイスには内部 PLL があり、MCLK または SCLK のいずれかを取り込み、DSP および DAC クロックに必要な高レートのコックを生成します。

最高のオーディオ性能が求められる場合は、SCLK および LRCK/FS とともに MCLK をデバイスに入力することが推奨されます。このデバイスは、PLL が DSP へのクロック ソースのみを供給するように構成する必要があります。その他のすべてのクロックは、入力される MCLK を分周して生成されます。MCLK を主クロック ソースとして有効にし、その他をすべて入力 MCLK の分周で生成するには、DAC CLK ソース マルチプレクサ (図 7-2 内の SDAC) を MCLK/PLL マルチプレクサの出力ではなく MCLK をソースとして使用するよう設定します。

7.3.3.1 内部クロック エラー通知 (CLKE)

入力データ クロックでクロック エラーが検出されると、TAS3251 デバイスは内部オシレータに切り替わり、最後に正常だった値からのデータを減衰させながら DAC を駆動し続けます。このプロセスが完了すると、DAC 出力は強制的にグラウンドにミュートされ、Class-D PWM 出力はスイッチングを停止します。クロック エラーは B0-P0-R94 および R95 で監視できます。クロック エラー ステータス ビットはラッチなしですが、MCLK が停止した B0-P0-R95-D[4] は、読み取り時にクリアされます。

7.3.4 シリアルオーディオポート

7.3.4.1 オーディオレートコントローラクロックからのクロックコントローラモード

コントローラモードでは、デバイスがビットクロック、左右のクロック、フレーム同期クロックを生成し、対応するピンに出力します。デバイスをコントローラモードに設定するには、まずデバイスをリセット状態にしてから、SCLKO レジスタおよび LRKO レジスタ (P0-R9) を使用します。次に、RSCLK ビットおよび RLRK ビット (P0-R12) を使用して、LRCK/FS および SCLK の分周カウンタをリセットします。最後に、リセットを終了します。

コントローラモードでのデバイスのシリアルポートクロックツリーを、[図 7-3](#) に示します。

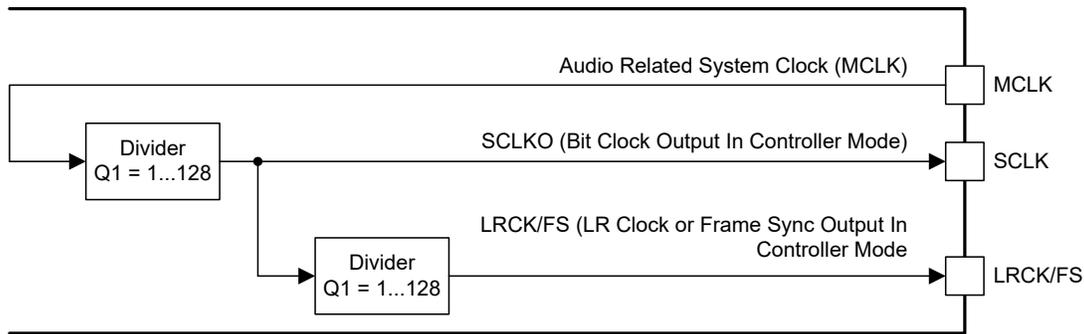


図 7-3. MCLK ソースコントローラモードのクロックツリーの概略図

コントローラモードでは、MCLK は入力、SCLK および LRCK/FS は出力です。SCLK および LRCK/FS は MCLK の整数分周です。非オーディオレートのコントローラクロックソースを使用するコントローラモードでは、スタンダオンモードで PLL を使用するために外部 GPIO が必要です。オンチッププロセッサを最大クロックレートで動作させられるように、PLL を設定する必要があります。コントローラの動作モードについては、このセクションを参照してください。

オーディオレートのコントローラクロックを使用する場合に必要なレジスタ変更には、デバイスをコントローラモードに切り替えることと、分周比を設定することが含まれます。コントローラモードでの動作例として、24.576 MHz の MCLK をコントローラクロックソースとして使用し、SCLK および LRCK/FS を整数分周して 48kHz のサンプルレートクロック出力を生成する方法があります。コントローラモードでは、デバイスの DAC セクションも PLL 出力から動作します。TAS3251 デバイスは、内部 PLL を使用しても規定されたオーディオ性能を満たすことができます。ただし、MCLK CMOS 発振器ソースを使用すると、PLL よりもジッタが小さくなります。

DAC クロック ([図 7-2](#) の SDAC) を切り替えるには、以下のレジスタを変更する必要があります

- クロックツリーフレックスモード (P253-R63 および P253-R64)
- DAC および OSR ソースクロックレジスタ (P0~R14)。0x30 に設定します (MCLK 入力、OSR は DAC ソースに応じて設定されます)
- DAC クロック分周器は $16 f_s$ にする必要があります。
 - $16 \times 48\text{kHz} = 768\text{kHz}$
 - $24.576\text{MHz (MCLK 入力)} \div 768\text{kHz} = 32$
 - したがって、レジスタ DDAC (P0-R28) の分周比は 32 に設定する必要があります。レジスタマッピングでは 0x00 = 1 となるため、32 は 0x1F (10 進で 31) に変換する必要があります。

7.3.4.2.4 線動作のクロックターゲットモード (SCLK、MCLK、LRCK/FS、SDIN)

TAS3251 デバイスは、デジタル補間フィルタと高度なセグメント DAC 変調器を動作させるために、システムクロックを必要とします。システムクロックは MCLK 入力に印加され、最大 50MHz までサポートします。TAS3251 デバイスのシステムクロック検出回路は、システムクロック周波数を自動的に検出します。32 kHz、(44.1~48kHz)、(88.2 ~ 96kHz) の帯域における一般的なオーディオサンプリング周波数がサポートされています。

注

カッコ内の値は検出時にグループ化されます。たとえば、88.2kHz と 96kHz はダブル レートとして検出され、32kHz、44.1kHz および 48kHz はシングル レートとして検出されます。

有効なビット MCLK、SCLK、および LRCK/ FS が存在する場合、デバイスは自動的にクロック ツリーと PLL を構成し、必要に応じてミニ DSP を駆動します。

サンプリング周波数検出器は、デジタル フィルタ、デルタ シグマ変調器 (DSM)、負のチャージ ポンプ (NCP) のクロックを自動的に設定します。表 7-1 に、一般的なオーディオ サンプリング レートのシステム クロック周波数の例を示します。

1MHz ~ 50MHz の範囲で、標準的なオーディオ クロックに共通しない MCLK レートも、各種 PLL およびクロック デバイダレジスタを直接設定することでサポートされます。ターゲット モードでは、P0~R37 を使用して自動クロック モードを無効化する必要があります。さらに、設定中に外部クロックが一時的に利用できない場合や、デバイスのピンに入力されるクロックが無効な場合には、ユーザーがクロック エラー検出を無視するよう求められることがあります。拡張プログラマビリティにより、このデバイスは高度なモードで動作でき、クロック コントローラとして機能し、オーディオ以外のクロックからホスト シリアル ポートに LRCK/FS および SCLK を供給します (例: 12MHz の設定を使用して 44.1kHz [LRCK/FS] と 2.8224MHz [SCLK] を生成)。

表 7-1 に、システム クロック入力のタイミング要件を示します。最適な性能を得るためには、位相ジッタとノイズが小さいクロック ソースを使用します。MCLK のタイミング要件については、セクション 6.11 セクションを参照してください。

表 7-1. オーディオ関連クロック用のシステム コントローラ クロック入力

サンプリング 周波数	システムクロック周波数 (f_{MCLK}) (MHz)					
	64 f_s	128 f_s	192 f_s	256 f_s	384 f_s	512 f_s
8kHz	を参照してく ださい。	1.024	1.536	2.048	3.072	4.096
16kHz		2.048	3.072	4.096	6.144	8.192
32kHz		4.096	6.144	8.192	12.288	16.384
44.1kHz		5.6488	8.4672	11.2896	16.9344	22.5792
48kHz		6.144	9.216	12.288	18.432	24.576
88.2kHz		11.2896	16.9344	22.5792	33.8688	45.1584
96kHz		12.288	18.432	24.576	36.864	49.152

7.3.4.3 SCLK PLL による内部クロックを生成するクロック ターゲット モード (3 線式 PCM)

7.3.4.3.1 PLL を使用したクロック生成

この TAS3251 デバイスは、図 7-2 に示すように、必要なクロックを生成するために幅広いオプションをサポートしています。

PLL のクロックには、ソース リファレンス クロックが必要です。このクロックは、入力される SCLK または MCLK をソースとしており、GPIO を使用することもできます。

PLL リファレンス クロックのソース リファレンス クロックは、P0-R13 の D[6:4] にある SRCREF 値をプログラムすることで選択されます。TAS3251 デバイスには、複数のプログラマブルなクロック分周器が搭載されており、各種のサンプリング レートを実現できます。図 7-2 を参照してください。

PLL 機能が不要な場合は、P0-R4、D[0] の PLEN 値を 0 に設定します。この状況では、外部コントローラのクロックが必要です。

表 7-2. PLL 構成レジスタ

クロック マルチプレクサ		
レジスタ	機能	ビット
SREF	PLL リファレンス	B0-P0-R13-D[6:4]
DDSP	クロック デバイダ	B0-P0-R27-D[6:0]
DSCLK	外部 SCLK 分周	B0-P0-R32-D[6:0]

表 7-2. PLL 構成レジスタ (続き)

クロック マルチプレクサ		
レジスタ	機能	ビット
DLRK	外部 LRCK/ FS 分周	B0-P0-R33-D[7:0]

7.3.4.3.2 PLL の計算

TAS3251 デバイスには、分数乗算機能を備えたオンチップ PLL が搭載されており、デジタル信号処理ブロックが必要とするクロック周波数を生成できます。PLL のプログラマビリティにより、システムで利用可能なさまざまなクロックから動作させることができます。PLL 入力 (PLLCKIN) は 1 MHz ~ 50 MHz のクロック周波数をサポートしており、必要なサンプリングレートを高精度で生成できるようにレジスタでプログラム可能です。

デフォルトで、PLL がイネーブルになっています。PLL は、P0-R4 の D[0] に書き込むことで有効化できます。PLL が有効化されると、PLL 出力クロック PLLCK は [式 1](#) で与えられます:

$$\text{PLLCK} = \frac{\text{PLLCKIN} \times R \times J \cdot D}{P} \quad \text{or} \quad \text{PLLCK} = \frac{\text{PLLCKIN} \times R \times K}{P} \quad (1)$$

ここで、

- R = 1, 2, 3, 4, ..., 15, 16
- J = 4, 5, 6, ..., 63, および D = 0000, 0001, 0002, ..., 9999
- K = [J 値]。[D 値]
- P = 1, 2, 3, ..., 15

R, J, D, P はプログラム可能です。J は K の整数部 (小数点の左側の数値) であり、D は K の小数部 (小数点の右側の数値、精度は 4 桁を想定) です。

7.3.4.3.2.1 例:

- もし K = 8.5 なら、J = 8、D = 5000 です
- もし K = 7.12 なら、J = 7、D = 1200 です。
- もし K = 14.03 なら、J = 14、D = 0300 です。
- もし K = 6.0004 なら、J = 6、D = 0004 です。

PLL をイネーブルにし、D = 0000 の場合、以下の条件を満たす必要があります:

- $1\text{MHz} \leq (\text{PLLCKIN} / P) \leq 20\text{MHz}$
- $64\text{MHz} \leq (\text{PLLCKIN} \times K \times R / P) \leq 100\text{MHz}$
- $1 \leq J \leq 63$

PLL がイネーブルで D≠0000 の場合、以下の条件を満たす必要があります:

- $6.667\text{MHz} \leq \text{PLLCKIN} / P \leq 20\text{MHz}$
- $64\text{MHz} \leq (\text{PLLCKIN} \times K \times R / P) \leq 100\text{MHz}$
- $4 \leq J \leq 11$
- R = 1

PLL が作動しているとき、

- $f_S = (\text{PLLCLKIN} \times K \times R) / (2048 \times P)$
- N の値は、 $f_S \times N = \text{PLLCLKIN} \times K \times R / P$ が許容範囲内になるように選択されます。

例:MCLK = 12MHz および $f_S = 44.1\text{kHz}$ 、(N=2048)

P = 1、R = 1、K = 7.5264 を選択すると、J = 7、D = 5264 となります

例:MCLK = 12MHz および $f_S = 48\text{kHz}$ 、(N=2048)

P = 1、R = 1、K = 8.192 を選択すると、J = 8、D = 1920 となります

値は、[表 7-3](#) のレジスタに書き込まれます。

表 7-3. PLL レジスタ

デバイス	機能	ビット
PLLE	PLL イネーブル	P0-R4、[0]
PPDV	PLL P	P0-R20、[3:0]
PJDV	PLL J	P0-R21、[5:0]
PDDV	PLL D	P0-R22、[5:0]
		P0-R23、[7:0]
PRDV	PLL R	P0-R24、[3:0]

表 7-4. PLL 構成の推奨事項

式	説明
f_s (kHz)	サンプリング周波数
R_{MCLK}	サンプリング周波数と MCLK 周波数の比率 (MCLK 周波数 = $R_{MCLK} \times$ サンプリング周波数)
MCLK (MHz)	MCLK 入力 (ピン 20) におけるシステムコントローラクロック周波数
PLL VCO (MHz)	図 7-2 の PLLCK としての PLL VCO 周波数
P	式 1 の PLL 係数の 1 つ
PLL REF (MHz)	MCLK/P によって生成される内部リファレンスクロック周波数
$M = K \times R$	式 1 に示すように、K と R から計算された最終的な PLL 乗算係数
$K = J \cdot D$	式 1 の PLL 係数の 1 つ
R	式 1 の PLL 係数の 1 つ
PLL f_s	f_s と PLL VCO 周波数の比 (PLL VCO/ f_s)
DSP f_s	動作クロックレートと f_s 間の比率 (PLL f_s /NMAC)
NMAC	表 7-2 のクロック分周器の値
DSP CLK (MHz)	動作周波数は図 7-2 で DSPCK として示されています
MOD f_s	DAC 動作クロック周波数と f_s 間の比率 (PLL f_s /NDAC)
MOD f (kHz)	DACCK としての DAC 動作周波数
NDAC	表 7-2 における DAC クロック分周値
DOSR	図 7-2 の OSRCK を生成するための、表 7-2 における OSR クロック分周値。正しく動作させるには、MOD f_s /DOSR = 16 になるように DOSR を選択する必要があります。
NCP	NCP (負のチャージポンプ) クロック分周器値表 7-2
CP f	負のチャージポンプクロック周波数 ($f_s \times$ MOD f_s / NCP)
誤差 %	PLL VCO/PLL f_s と f_s との間の誤差の割合 (ミスマッチ誤差)。 <ul style="list-style-type: none"> この値は通常 0 ですが、特に K が整数でない場合 (D が 0 でない場合) は 0 ではありません。 TAS3251 デバイスがコントローラとして動作している場合のみ、この値をゼロ以外にできます。

上記の式は、PLL を構成するために必要なすべての係数と制御の計算方法を説明しています。表 7-5 に、コントローラクロックとしての PLL について、推奨されるクロック分周器設定を簡単に参照できます。

表 7-5. コントローラ クロックとしての PLL の推奨クロック分周器設定

f _s (kHz)	R _{MCLK}	MCLK (MHz)	PLL VCO (MHz)	P	PLL REF (MHz)	M = K×R	K = J×D	R	PLL f _s	DSP f _s	NMAC	DSP CLK (MHz)	MOD f _s	MOD f (kHz)	NDAC	DOSR	誤差 %	NCP	CP f (kHz)
8	128	1.024	98.304	1	1.024	96	48	2	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	192	1.536	98.304	1	1.536	64	32	2	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	256	2.048	98.304	1	2.048	48	48	1	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	384	3.072	98.304	3	1.024	96	48	2	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	512	4.096	98.304	3	1.365	72	36	2	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	768	6.144	98.304	3	2.048	48	48	1	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	1024	8.192	98.304	3	2.731	36	36	1	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	1152	9.216	98.304	9	1.024	96	48	2	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	1536	12.288	98.304	9	1.365	72	36	2	12288	1024	12	8.192	768	6144	16	48	0	4	1536
	2048	16.384	98.304	9	1.82	54	54	1	12288	1024	12	8.192	768	6144	16	48	0	4	1536
3072	24.576	98.304	9	2.731	36	36	1	12288	1024	12	8.192	768	6144	16	48	0	4	1536	
11.025	128	1.4112	90.3168	1	1.411	64	32	2	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	192	2.1168	90.3168	3	0.706	128	32	4	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	256	2.8224	90.3168	1	2.822	32	32	1	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	384	4.2336	90.3168	3	1.411	64	32	2	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	512	5.6448	90.3168	3	1.882	48	48	1	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	768	8.4672	90.3168	3	2.822	32	32	1	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	1024	11.2896	90.3168	3	3.763	24	24	1	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	1152	12.7008	90.3168	9	1.411	64	32	2	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	1536	16.9344	90.3168	9	1.882	48	48	1	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
	2048	22.5792	90.3168	9	2.509	36	36	1	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2
3072	33.8688	90.3168	9	3.763	24	24	1	8192	1024	8	11.2896	512	5644.8	16	32	0	4	1411.2	
16	64	1.024	98.304	1	1.024	96	48	2	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	128	2.048	98.304	1	2.048	48	48	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	192	3.072	98.304	1	3.072	32	32	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	256	4.096	98.304	1	4.096	24	24	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	384	6.144	98.304	3	2.048	48	48	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	512	8.192	98.304	3	2.731	36	36	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	768	12.288	98.304	3	4.096	24	24	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	1024	16.384	98.304	3	5.461	18	18	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	1152	18.432	98.304	3	6.144	16	16	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
	1536	24.576	98.304	9	2.731	36	36	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536
2048	32.768	98.304	9	3.641	27	27	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536	
3072	49.152	98.304	9	5.461	18	18	1	6144	1024	6	16.384	384	6144	16	24	0	4	1536	

表 7-5. コントローラ クロックとしての PLL の推奨クロック分周器設定 (続き)

f _s (kHz)	R _{MCLK}	MCLK (MHz)	PLL VCO (MHz)	P	PLL REF (MHz)	M = K×R	K = J×D	R	PLL f _s	DSP f _s	NMAC	DSP CLK (MHz)	MOD f _s	MOD f (kHz)	NDAC	DOSR	誤差 %	NCP	CP f (kHz)
22.05	64	1.4112	90.3168	1	1.411	64	32	2	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	128	2.8224	90.3168	1	2.822	32	32	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	192	4.2336	90.3168	3	1.411	64	32	2	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	256	5.6448	90.3168	1	5.645	16	16	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	384	8.4672	90.3168	3	2.822	32	32	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	512	11.2896	90.3168	3	3.763	24	24	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	768	16.9344	90.3168	3	5.645	16	16	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	1024	22.5792	90.3168	3	7.526	12	12	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	1152	25.4016	90.3168	9	2.822	32	32	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
	1536	33.8688	90.3168	9	3.763	24	24	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2
2048	45.1584	90.3168	9	5.018	18	18	1	4096	1024	4	22.5792	256	5644.8	16	16	0	4	1411.2	
32	32	1.024	98.304	1	1.024	96	48	2	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	48	1.536	98.304	1	1.536	64	16	4	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	64	2.048	98.304	1	2.048	48	24	2	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	128	4.096	98.304	1	4.096	24	24	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	192	6.144	98.304	3	2.048	48	48	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	256	8.192	98.304	2	4.096	24	24	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	384	12.288	98.304	3	4.096	24	24	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	512	16.384	98.304	3	5.461	18	18	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	768	24.576	98.304	3	8.192	12	12	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	1024	32.768	98.304	3	10.923	9	9	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	1152	36.864	98.304	9	4.096	24	24	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
	1536	49.152	98.304	6	8.192	12	12	1	3072	1024	3	32.768	192	6144	16	12	0	4	1536
44.1	32	1.4112	90.3168	1	1.411	64	32	2	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
	64	2.8224	90.3168	1	2.822	32	16	2	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
	128	5.6448	90.3168	1	5.645	16	16	1	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
	192	8.4672	90.3168	3	2.822	32	32	1	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
	256	11.2896	90.3168	2	5.645	16	16	1	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
	384	16.9344	90.3168	3	5.645	16	16	1	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
	512	22.5792	90.3168	3	7.526	12	12	1	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
	768	33.8688	90.3168	3	11.29	8	8	1	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2
1024	45.1584	90.3168	3	15.053	6	6	1	2048	1024	2	45.1584	128	5644.8	16	8	0	4	1411.2	

表 7-5. コントローラ クロックとしての PLL の推奨クロック分周器設定 (続き)

f_s (kHz)	R_{MCLK}	MCLK (MHz)	PLL VCO (MHz)	P	PLL REF (MHz)	$M = K \times R$	$K = J \times D$	R	PLL f_s	DSP f_s	NMAC	DSP CLK (MHz)	MOD f_s	MOD f (kHz)	NDAC	DOSR	誤差 %	NCP	CP f (kHz)
48	32	1.536	98.304	1	1.536	64	32	2	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	64	3.072	98.304	1	3.072	32	16	2	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	128	6.144	98.304	1	6.144	16	16	1	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	192	9.216	98.304	3	3.072	32	32	1	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	256	12.288	98.304	2	6.144	16	16	1	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	384	18.432	98.304	3	6.144	16	16	1	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	512	24.576	98.304	3	8.192	12	12	1	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	768	36.864	98.304	3	12.288	8	8	1	2048	1024	2	49.152	128	6144	16	8	0	4	1536
	1024	49.152	98.304	3	16.384	6	6	1	2048	1024	2	49.152	128	6144	16	8	0	4	1536
96	32	3.072	98.304	1	3.072	32	16	2	1024	512	2	49.152	64	6144	16	4	0	4	1536
	48	4.608	98.304	3	1.536	64	32	2	1024	512	2	49.152	64	6144	16	4	0	4	1536
	64	6.144	98.304	1	6.144	16	8	2	1024	512	2	49.152	64	6144	16	4	0	4	1536
	128	12.288	98.304	2	6.144	16	16	1	1024	512	2	49.152	64	6144	16	4	0	4	1536
	192	18.432	98.304	3	6.144	16	16	1	1024	512	2	49.152	64	6144	16	4	0	4	1536
	256	24.576	98.304	4	6.144	16	16	1	1024	512	2	49.152	64	6144	16	4	0	4	1536
	384	36.864	98.304	6	6.144	16	16	1	1024	512	2	49.152	64	6144	16	4	0	4	1536
	512	49.152	98.304	8	6.144	16	16	1	1024	512	2	49.152	64	6144	16	4	0	4	1536

7.3.4.4 シリアル オーディオ ポート – データ形式とビット深度

シリアル オーディオ インターフェイス ポートは 3 線式のシリアル ポートであり、信号は LRCK/FS (ピン 25)、SCLK (ピン 23)、SDIN (ピン 24) です。SCLK は、SDIN にあるシリアルデータをオーディオ インターフェイスのシリアル シフトレジスタにクロック供給するために使用されるシリアル オーディオ ビット クロックです。シリアル データは、SCLK の立ち上がりエッジで TAS3251 デバイスにクロック入力されます。LRCK/FS ピンは、デバイスが TDM モードで動作しているときに、シリアル オーディオの左右ワード クロックまたはフレーム同期として機能します。

表 7-6. TAS3251 デバイスのオーディオ データの形式、ビット深度、クロック レート

フォーマット	データビット	LRCK / FS の最大周波数 (kHz)	MCLK レート (f _s)	SCLK レート (f _s)
I ² S/LJ/RJ	32, 24, 20, 16	最大 96	128~3072 (≤ 50 MHz)	64, 48, 32
TDM/DSP	32, 24, 20, 16	最大 48	128~3072	125, 256
		96	128~512	125, 256

この TAS3251 デバイスは、LRCK/FS とシステム クロックの同期を必要としますが、LRCK/FS とシステム クロックとの間に特定の位相関係を必要としません。

LRCK/FS とシステム クロックの関係が ±5 MCLK を超えて変化した場合、内部動作は 1 サンプル周期内で初期化され、LRCK/FS とシステム クロックの再同期が完了するまでアナログ出力はバイポーラ ゼロレベルに強制されます。

LRCK/FS と SCLK の関係が 4 LRCK/FS 周期を超えて無効となった場合、内部動作は 1 サンプル周期内で初期化され、LRCK/FS と SCLK の再同期が完了するまでアナログ出力はバイポーラ ゼロレベルに強制されます。

7.3.4.4.1 データ形式およびコントローラまたはターゲットの動作モード

TAS3251 デバイスは、標準の I²S や左揃えなど、業界標準のオーディオ データ形式をサポートしています。データ形式はレジスタ (P0-R40) により選択します。すべての形式には、バイナリの 2 の補数、MSB ファーストのオーディオ データが必要です。最大 32 ビットのオーディオ データを受け付けます。データ形式については、[図 7-4](#) から [図 7-9](#) で詳しく説明します。

また、この TAS3251 デバイスは右揃えおよび TDM/DSP データもサポートしています。I²S、LJ、RJ、TDM/DSP は、レジスタ (P0~R40) を使用して選択します。すべての形式には、バイナリ 2 の補数、MSB ファーストのオーディオ データが必要です。最大 32 ビットを使用できます。デフォルト設定は I²S と 24 ビットのワード長です。I²S ターゲットのタイミングを [図 6-3](#) に示します。

シリアル オーディオ インターフェイスの詳細なタイミング図を示します。

I²S ターゲットとして動作するだけでなく、TAS3251 デバイスは I²S コントローラとして機能し、MCLK 入力から出力として SCLK と LRCK/FS を生成できます。[表 7-7](#) に、デバイスをコントローラ モードまたはターゲット モードにするために使用するレジスタを示します。コントローラ モードにおけるシリアル オーディオ インターフェイスのタイミング要件については、[セクション 6.11](#) セクションを参照してください。ターゲット モードのタイミングについては、[セクション 6.10](#) セクションを参照してください。

表 7-7. I²S コントローラ モード レジスタ

レジスタ	機能
P0-R9-B0, B4, B5	I ² S コントローラ モード選択
P0-R32-D[6:0]	SCLK 分周器および LRCK/FS 分周器
P0-R33-D[7:0]	

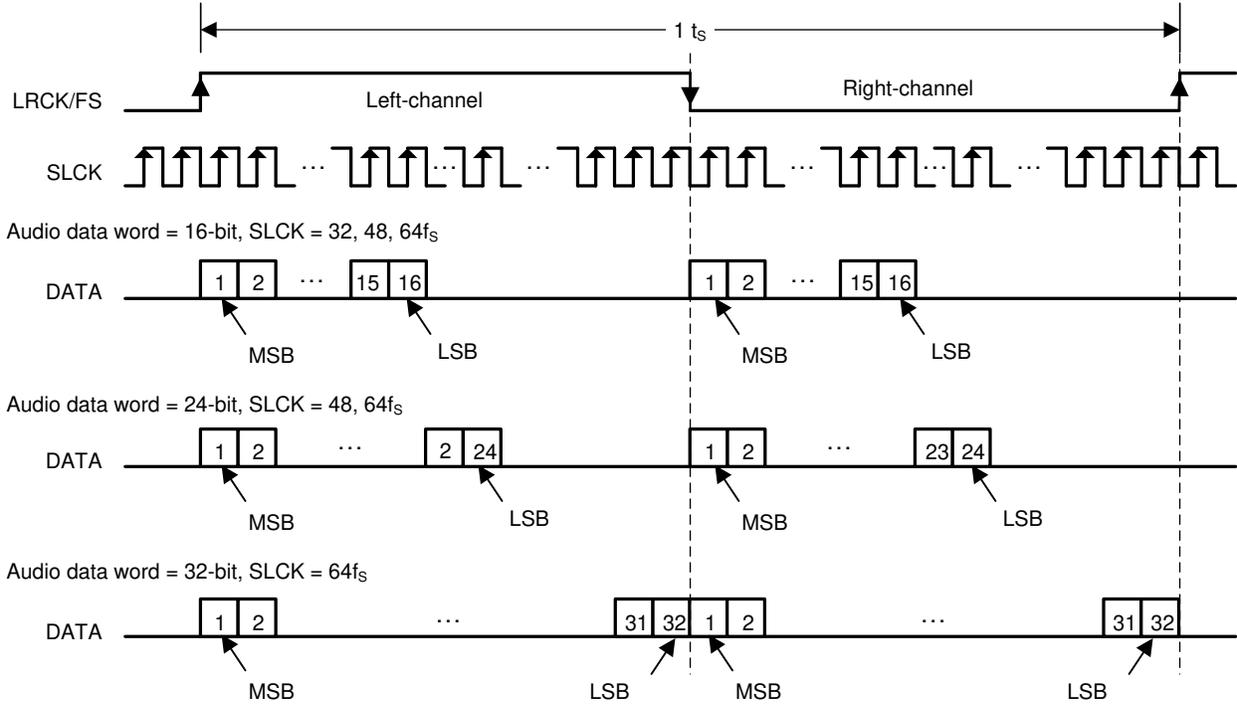
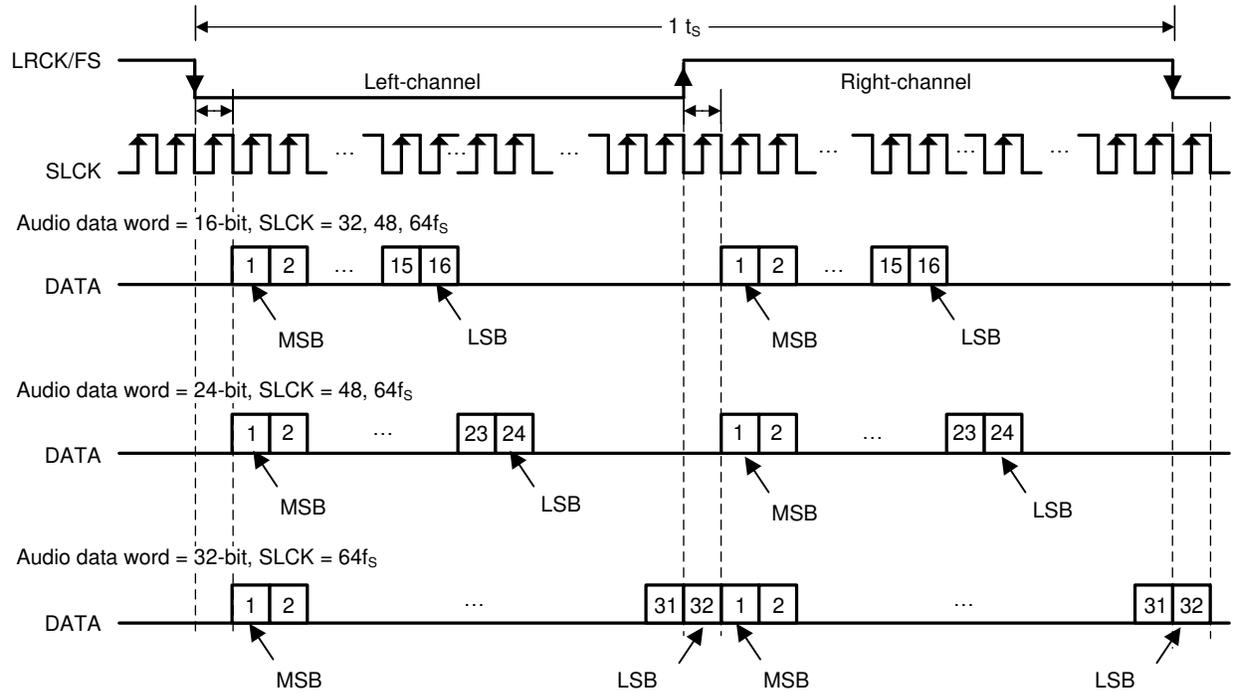


図 7-4. 左揃えのオーディオ データ形式



I²S データ フォーマット、L チャンネル = LOW、R チャンネル = HIGH

図 7-5. I²S オーディオ データ形式

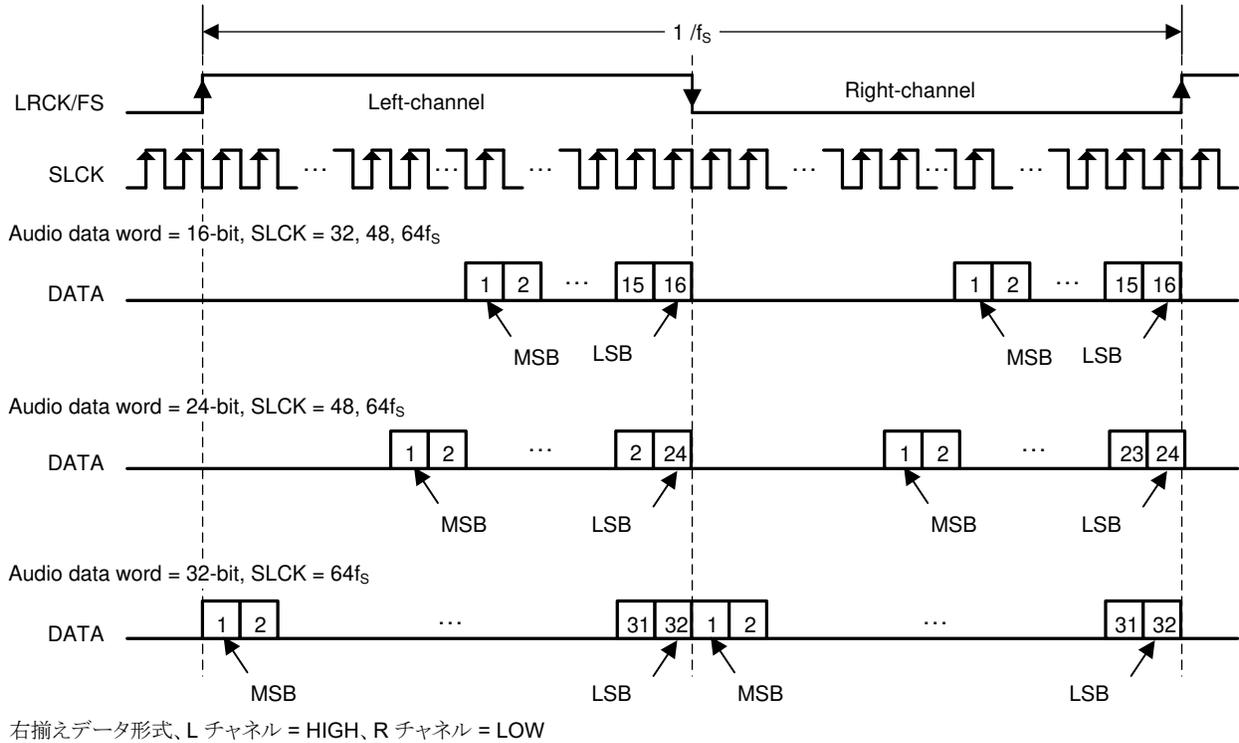
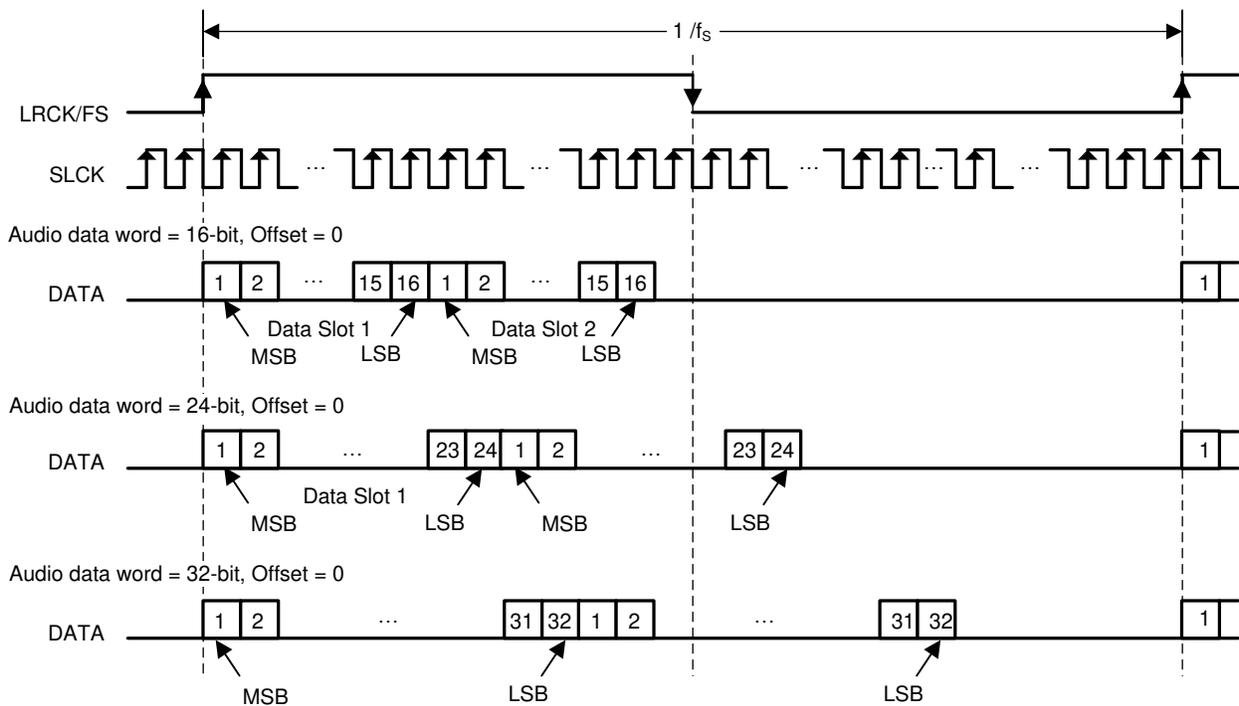


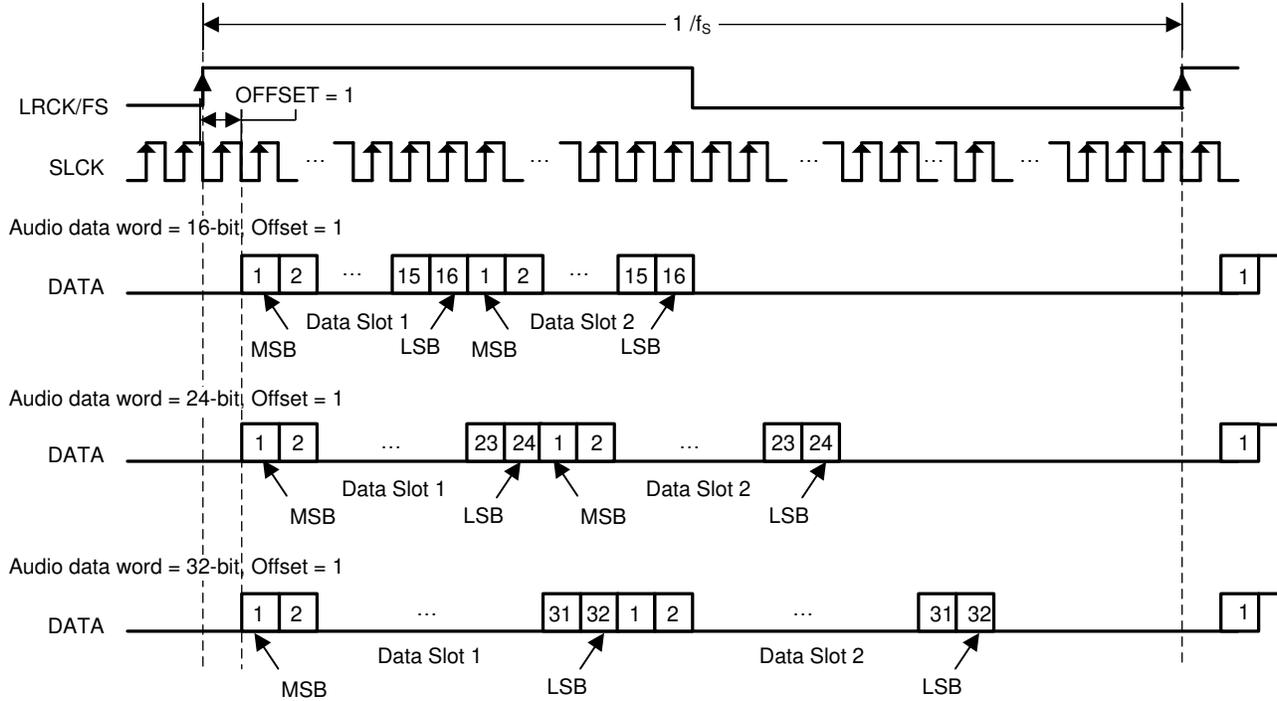
図 7-6. 右揃えオーディオ データ形式



オフセット = 0 の TDM/DSP データ形式

TDM モードでは、LRCK/FS のデューティサイクルは少なくとも 1x SCLK にする必要があります。立ち上がりエッジはフレーム スタートと見なされます。

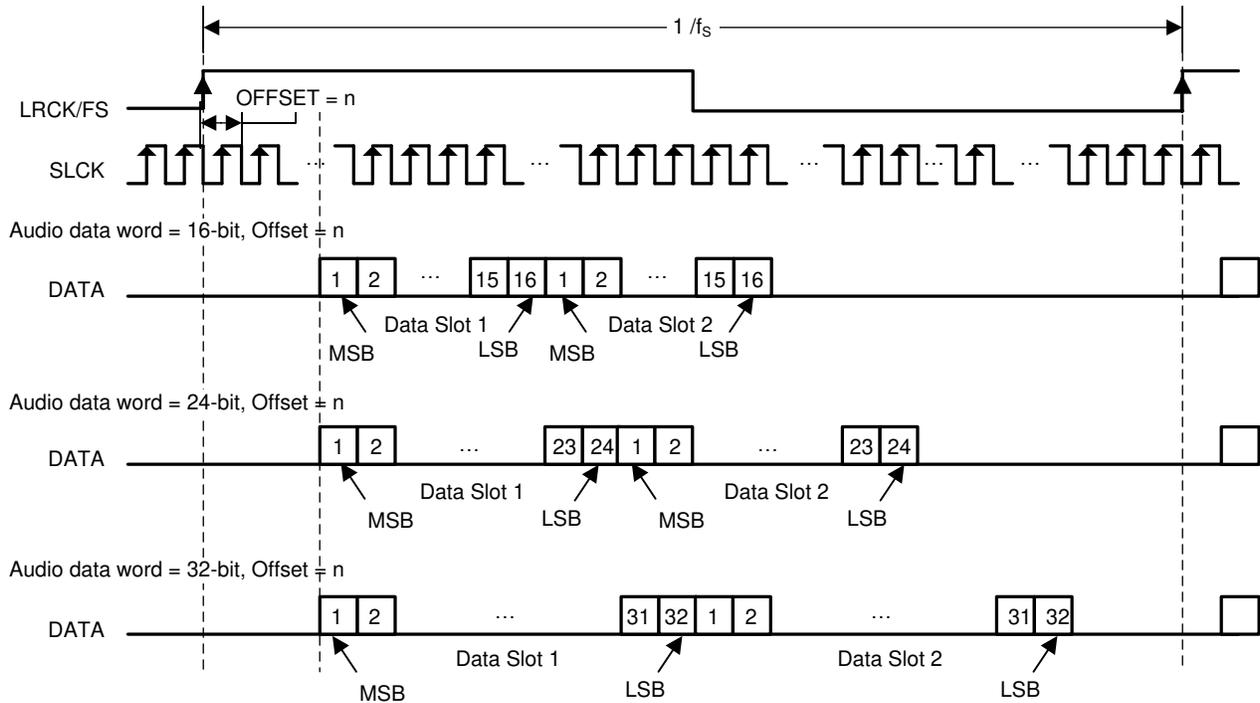
図 7-7. TDM/DSP 1 オーディオ データ形式



オフセット = 1 の TDM/DSP データ形式

TDM モードでは、LRCK/FS のデューティ サイクルは少なくとも 1x SCLK にする必要があります。立ち上がりエッジはフレーム スタートと見なされます。

図 7-8. TDM/DSP 2 オーディオ データ形式



オフセット = N の TDM/DSP データ形式

TDM モードでは、LRCK/FS のデューティ サイクルは少なくとも 1x SCLK にする必要があります。立ち上がりエッジはフレーム スタートと見なされます。

図 7-9. TDM/DSP 3 オーディオ データ形式

7.3.4.5 入力信号検知 (省電力モード)

TAS3251 デバイスには、ゼロ検出機能があります。ゼロ検出機能は、P0-R65-D[2:1] のコントロール ポートで指定された制御により、データの両チャンネルに AND 機能または OR 機能として適用できます。連続するゼロ データ サイクルは LRCK/FS によってカウントされ、アナログ ミュートの判定スレッシュホールドは、I²S 信号の左フレームまたは TDM 信号の スロット 1 にクロックインされるデータに対しては P0-R59、D[6:4] で、I²S 信号の右フレームまたは TDM 信号の スロット 2 にクロックインされるデータに対しては P0-R59、D[2:0] で設定できます (表 7-9 参照)。両方のチャンネルのデフォルト値は 0 です。

表 7-8. ゼロ検出モード

ATMUTECTL	値	機能
ビット:2	0	ゼロ検出用の 2 チャンネルのゼロ データトリガは OR 論理でまとめられます。
	1 (デフォルト)	ゼロ検出用の 2 チャンネルのゼロ データトリガは AND 論理でまとめられます。
ビット:1	0	I ² S 信号の右フレームまたは TDM 信号の スロット 2 にクロックインされるデータについては、ゼロ検出およびアナログ ミュートは無効化されます。
	1 (デフォルト)	I ² S 信号の右フレームまたは TDM 信号の スロット 2 にクロックインされるデータについては、ゼロ検出アナログ ミュートが有効化されます。
ビット:0	0	I ² S 信号の左フレームまたは TDM 信号の スロット 1 でクロックインされるデータに対して、ゼロ検出アナログ ミュートは無効です。
	1 (デフォルト)	I ² S 信号の左フレームまたは TDM 信号の スロット 1 にクロックインされるデータについては、ゼロ検出アナログ ミュートが有効化されます。

表 7-9. ゼロ データ検出時間

ATMUTETIML または ATMA	LRCK/FS サイクル数	48kHz での TIME
0 0 0	1024	21ms
0 0 1	5120	106ms
0 1 0	10240	213ms
0 1 1	25600	533ms
1 0 0	51200	1.066 秒
1 0 1	102400	2.133 秒
1 1 0	256000	5.333 秒
1 1 1	512000	10.66 秒

7.3.5 ボリューム コントロール

7.3.5.1 DAC デジタル ゲイン制御

各チャンネルには基本的な DAC デジタル ゲイン制御 (24 dB ~ -103 dB およびミュート範囲) が用意されており、SPK_OUTB± には P0-R61-D[7:0]、SPK_OUTA± には P0-R62-D[7:0] で設定できます。これらのボリューム制御はすべて、ほとんどのゲインおよび減衰範囲にわたって 0.5dB のステップ プログラムが可能です。表 7-10 に、基本的なボリューム コントロールの詳細なゲインとプログラムされた設定の関係を示します。SPK_OUTB± および SPK_OUTA± の音量は、P0-R61-D[1:0] によって同時または個別に変更できます。D[1:0] を 00 (デフォルト) に設定すると、独立制御が選択

されます。D[1:0] を 01 に設定すると、SPK_OUTA± は SPK_OUTB± の音量に合わせられます。D[1:0] を 10 に設定すると、SPK_OUTA± の音量が両チャンネルの音量を制御します。D[1:0] を 11 に設定することは禁じられています。

表 7-10. DAC デジタル ゲイン制御設定

ゲイン設定	バイナリ データ	ゲイン (dB)	備考
0	0000-0000	24.0	正の最大値
1	0000-0001	23.5	
⋮	⋮	⋮	
46	0010-1110	1.0	
47	0010-1111	0.5	
48	0011-0000	0.0	減衰なし (デフォルト)
49	0011-0001	-0.5	
50	0011-0010	-1.0	
51	0011-0011	-1.5	
⋮	⋮	⋮	
253	1111-1101	-102.5	
254	1111-1110	-103	負の最大値
255	1111-1111	-∞	負の無限大 (ミュート)

ランプアップ周波数およびランプダウン周波数は、表 7-11 に示すように P0-R63 の D[7:6] および D[3:2] で制御できます。また、ランプアップ ステップおよびランプダウン ステップは、表 7-12 に示すように P0-R63 の D[5:4] および D[1:0] で制御できます。

表 7-11. ランプ アップまたはランプ ダウンの周波数

ランプ アップ速度	毎 N f _s	備考	ランプ ダウン周波数	毎 N f _s	備考
00	1	デフォルト	00	1	デフォルト
01	2		01	2	
10	4		10	4	
11	直接変更		11	直接変更	

表 7-12. ランプ アップまたはダウン ステップ

ランプ アップステップ	ステップ dB	備考	ランプ ダウンステップ	ステップ dB	備考
00	4.0		00	-4.0	
01	2.0		01	-2.0	
10	1.0	デフォルト	10	-1.0	デフォルト
11	0.5		11	-0.5	

7.3.5.1.1 緊急ボリューム ランプダウン

I²S クロック エラーや電源の障害などの状況に対して、音量の緊急ランプ ダウンが提供されます。ランプ ダウン速度は P0-R64-D[7:6] によって制御されます。ランプダウン ステップは P0-R64-D[5:4] によって制御できます。デフォルトは、f_s サイクルごとに -4dB ステップでランプ ダウンします。

7.3.6 SDOUT ポートおよびハードウェア制御ピン

TAS3251 デバイスには多用途な GPIO ポート (SDOUT ピン) が搭載されており、信号をシステムからデバイスに渡すか、またはデバイスからシステムに送信できます。このピンは高度なクロッキング機能に使用でき、内部信号をシステムへ渡したり、システムからの信号を受け取ってデバイス内部の所定のプロセスフローで使用したりできます。SDOUT ピンは、シリアル データ出力と図 7-10 で説明されている機能をサポートしています。レジスタ マップを使用して、SDOUT ピンの機能を構成できます。

SDOUT ピンを有効にするための主要なレジスタをいくつか次に示します:

- ページ 0、レジスタ 7、ビット 0 (SDSL) - SDOUT データが DSP 前処理または DSP 後処理のどちらかを選択します。
- ページ 0、レジスタ 9、ビット 5 (SDDIR) - SDOUT ピンを入力または出力として選択します。
- SDOUT ピンの機能を構成する方法の詳細については、レジスタ マップを参照してください。

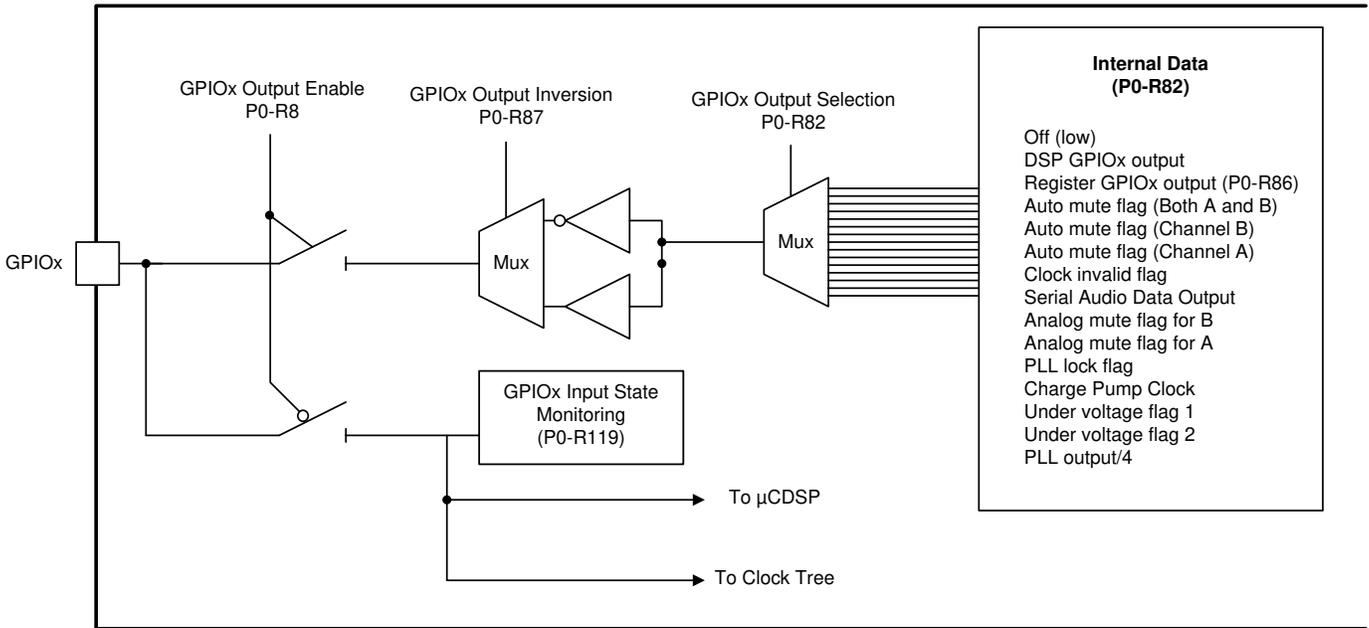


図 7-10. SDOUT GPIO ポート

7.3.7 I²C 通信ポート

TAS3251 デバイスは、I²C シリアル バスと、ターゲット デバイスとしてのスタンダード モードおよび高速モード用のデータ伝送プロトコルをサポートしています。TAS3251 レジスタ マップは複数のブックとページにまたがっているため、ユーザーは個別のレジスタ ビットやバイトを書き込む前に、正しいブックとページを選択する必要があります。ブックの切り替えは、まずレジスタ 0x00 に 0x00 を書き込んでページ 0x00 に変更し、その後、ページ 0 のレジスタ 0x7f にブック番号を書き込むことで行われます。ページからページへの変更は、各ページのレジスタ 0x00 を介して行われます。レジスタ値は、0 から 255 までのレジスタ ページを選択します。

7.3.7.1 ターゲット アドレス

表 7-13. I²C ターゲット アドレス

MSB							LSB
1	0	0	1	0	1	ADR	R/W

TAS3251 デバイスには、ターゲット アドレス用の 7 ビットがあります。アドレス バイトの最下位ビットはデバイス セレクト ビットであり、ADR ピンを High または Low に設定することで選択できます。同じバスに同時に接続できるデバイスは最大で 2 つであり、次の 2 つのオプションがあります。(0x94、0x96) で構成されています。詳細については、表 7-14 を参照してください。各 TAS3251 デバイスは、ターゲット アドレスを受信すると応答します。

表 7-14. ADR ピンを使用する I²C アドレス構成

ADR ピン/ビット	I ² C ターゲット アドレス + [R/ W]
0	0x94
1	0x96

7.3.7.2 レジスタ アドレス自動インクリメント モード

自動インクリメント モードでは、複数の連続したレジスタ ロケーションに対して 1 回の操作で書き込みや読み出しを行うことができ、特にブロック書き込みや読み出しの操作に有用です。TAS3251 デバイスは、自動インクリメント モードをサポートしています。自動インクリメントはページ境界で停止します。

7.3.7.3 パケット プロトコル

コントローラ デバイスはパケット プロトコルを制御する必要があります。このプロトコルは、スタート条件、ターゲット アドレス、リード/ライト ビット、(書き込みの場合は) データ、(読み取りの場合は) アクノリッジ、およびストップ 条件で構成されます。この TAS3251 デバイスは、ターゲット レシーバとターゲット トランスミッタのみをサポートしています。

Target address

図 7-11. パケット プロトコル

表 7-15. 書き込み動作 - 基本的な I²C フレームワーク

トランスミッタ	M	M	M	S	M	S	M	S		S	M
データの種類	St	ターゲット アドレス	R/	ACK	データ	ACK	データ	ACK		ACK	Sp

表 7-16. 読み出し動作 - 基本的な I²C フレームワーク

トランスミッタ	M	M	M	S	S	M	S	M		M	M
データの種類	St	ターゲット アドレス	R/	ACK	データ	ACK	データ	ACK		NACK	Sp

M = コントローラ デバイス、S = ターゲット デバイス、St = スタート条件 Sp = ストップ条件

7.3.7.4 書き込みレジスタ

コントローラは、単一または複数のアクセスを使用して、任意の TAS3251 デバイスのレジスタに書き込むことができます。コントローラは、書き込みビット、自動インクリメント ビットを持つレジスタ アドレス、データを送信する TAS3251 デバイス タ

ターゲット アドレスを送信します。自動インクリメントが有効な場合、アドレスは開始レジスタのものとなり、その後に転送されるデータが続きます。データが正しく受信されると、インデックス レジスタが自動的に 1 ずつインクリメントされます。インデックスレジスタが 0x7F に達すると、次の値は 0x0 になります。表 7-17 に、書き込み動作を示します。

表 7-17. 書き込み動作

トランスミッタ	M	M	M	S	M		S	M	S	M	S		S	M
データの種類	St	ターゲットアドレス	W	ACK	inc	reg addr	ACK	書き込みデータ 1	ACK	書き込みデータ 2	ACK		ACK	Sp

M = コントローラ デバイス、S = ターゲット デバイス、St = スタート コンディション Sp = ストップ コンディション、W = 書き込み、ACK = アクノリッジ

7.3.7.5 読み取りレジスタ

コントローラは、TAS3251 デバイスのレジスタを読み取ることができます。レジスタ アドレスの値は、事前に間接インデックスレジスタに保存されます。コントローラは、レジスタアドレスを保存した後、読み取りビットを含む TAS3251 デバイスのターゲット アドレスを送信します。その後、TAS3251 デバイスは、インデックス レジスタが指しているデータを転送します。自動インクリメントが有効化されている場合、インデックス レジスタは自動的に 1 ずつインクリメントされます。インデックスレジスタが 0x7F に達すると、次の値は 0x0 になります。表 7-18 に、読み出し動作の一覧を示します。

表 7-18. 読み出し動作

トランスミッタ	M	M	M	S	M		S	M	M	M	S	S	M		M	M
データの種類	St	ターゲットアドレス	W	ACK	inc	reg addr	ACK	Sr	ターゲットアドレス	R	ACK	data	ACK		NACK	Sp

M = コントローラ デバイス、S = ターゲット デバイス、St = スタート条件、Sr = 反復スタート条件、Sp = ストップ条件、W = 書き込み、R = 読み出し、NACK = アクノリッジなし

7.3.7.6 DSP ブック、ページおよびレジスタを更新

DSP メモリは、ブック、ページ、およびレジスタに配置されています。各ブックには複数のページがあり、各ページには複数のレジスタがあります。

7.3.7.6.1 ブックとページの変更

ブックを変更するには、ユーザーはページ 0x00 にある必要があります。ページ 0x00 のレジスタ 0x7f でブックを変更できます。各ブックのページ 0x00 で、ブックを変更するためにレジスタ 0x7f を使用します。各ページのレジスタ 0x00 は、ページを変更するために使用されます。ブックを変更するには、まずレジスタ 0x00 に 0x00 を書き込んでページ 0 に切り替え、その後、ページ 0 のレジスタ 0x7f にブック番号を書き込みます。ブック内のページを変更するには、レジスタ 0x00 にページ番号を書き込むだけです。

7.3.7.6.2 スワップフラグ

スワップフラグは、ホストメモリから DSP メモリへオーディオ係数をコピーするために使用されます。BQ の安定性を維持するには、スワップフラグ機能が重要です。BQ は 5 つの係数を持つ閉ループシステムです。2 つの異なるフィルタ間の更新遷移で BQ が不安定になるのを防ぐため、5 つのパラメータすべてを 1 オーディオ サンプル内で更新します。内部スワップフラグにより、各フィルタの 5 つの係数すべてがホストメモリから DSP メモリへ 1 オーディオ サンプル内で転送されることが保証されます。スワップフラグは、ホストバッファ全体が DSP メモリに転送されるまで High のまま保持されます。スワップフラグが high の間は、ホストバッファを更新してはいけません。

ブック 0x8C のページ 0x1B より上およびレジスタ 0x58 へのすべての書き込みには、スワップフラグが必要です。スワップフラグは、ブック 0x8C、ページ 0x05 ページ 0x01、レジスタ 0x7C にあり、スワップを行うには 0x00 00 00 01 に設定する必要があります。

7.3.7.6.3 使用例

以下に、DSP ホストメモリを使用して I²C ターゲットアドレス 0x90 のデバイスの微調整ボリュームをデフォルト値の 0dB に変更するサンプルスクリプトを示します：

```
w 90 00 00 #Go to page 0
w 90 7f 8c #Change the book to 0x8c
w 90 00 21 #Go to page 0x21
w 90 34 40 00 00 00 #Fine volume Left
w 90 38 40 00 00 00 #Fine volume Rights
#Run the swap flag for the DSP to work on the new coefficients
w 90 00 00 #Go to page 0
w 90 7f 8c #Change the book to 0x8c
w 90 00 05 #Go to page 0x05
w 90 7c 00 00 00 01 #Swap flag
```

7.3.8 ポップノイズおよびクリックノイズのないスタートアップおよびシャットダウン

TAS3251 出力電力段の PWM ジェネレータは、独自のターンオンおよびターンオフ動作によってポップノイズとクリックノイズを最小限に抑えます。このシーケンスは、C_START ピンのタイミングコンデンサを使用して、PWM スイッチングをフル PVDD 電圧までランプアップします。最良のポップノイズおよびクリックノイズ性能を得るためには、C_START ピンから GND に 10nF のコンデンサを使用することを推奨します。静電容量を最大 470nF に増やすことで、スタートアップ時間を長くすることができます。

7.3.9 出力電力段用の内蔵発振器

TAS3251 のアンプ電力段は、内蔵発振器を使用しており、FREQ_ADJ ピンと GND の間の外付け抵抗によりトリムできます。発振器の周波数を変更するには、RESET が Low のときに、**推奨動作条件**に規定されている抵抗値を使用します。デジタルフロントエンド (DAC および DSP) のクロックを構成するには、DAC および DSP クロッキングセクションを参照してください。

AM 帯域内で調整された無線レシーバの使用時に干渉の問題を軽減するために、スイッチング周波数を公称値から低い値または高い値に変更できます。これらの値は、標準および代替のスイッチング周波数を合わせて AM 帯全体で干渉が

最小となるように選択する必要があります。発振器の周波数は、コントローラ モードで GND に接続された **FREQ_ADJ** 抵抗の値によって選択できます。

7.3.9.1 発振器の同期およびターゲットモード

TAS3251 は、電源、電磁干渉を管理し、オーディオビートを防止するため、複数の TAS3251 デバイスの内部発振器と出力スイッチング周波数を同期させることをサポートします。ターゲットモード動作では、FREQ_ADJ ピンを DVDD に接続してターゲットの発振器をオフにします。これにより、OSC_IOM ピンと OSC_IOP ピンが外部の差動クロックからターゲットされる入力として構成されます。コントローラ/ターゲットシステムでは、オーディオチャンネル間の PWM に自動的にチャンネル間ディレイが追加され、すべてのチャンネルが異なるタイミングでスイッチングする様子として確認できます。これはオーディオ出力には影響せず、電源を介したオーディオチャンネル間のノイズ結合を最小化するためにスイッチングタイミングのみに作用します。オーディオ性能を最適化し、電源の動作条件を改善するには、チャンネル間の遅延が必要です。チャンネル間の遅延は、OSC_IOM および OSC_IOP 接続の極性に応じて、ターゲットデバイスのために次のように設定されます。

- **ターゲット 1 モード**は、コントローラデバイスで正の極性を持っています。コントローラの OSC_IOP とターゲットの OSC_IOP が接続されます。コントローラの OSC_IOM とターゲットの OSC_IOM が接続されます。
- **ターゲット 2 モード**は、コントローラデバイスと逆極性です。コントローラの OSC_IOP とターゲットの OSC_IOM が接続されます。コントローラの OSC_IOM とターゲットの OSC_IOP が接続されます。

複数のターゲットを 1 つのコントローラ TAS3251 に接続できます。2 つ以上のターゲットを使用する場合、隣接するデバイスが異なるターゲットモードに設定されるように、ターゲットモードを交互にするのが最適です。インターリーブチャンネルのアイドルスイッチングにおけるチャンネル間遅延は、コントローラ/ターゲットおよび出力構成モードに対して、PWM フレームに対する角度で下表に示されています。

表 7-19. コントローラ/ターゲットチャンネル間遅延設定

コントローラ	MODE = 0、2 x BTL モード	MODE = 1、1 x PBTL モード
SPK_OUTA+	0°	0°
SPK_OUTA-	180°	180°
SPK_OUTB+	60°	0°
SPK_OUTB-	240°	180°
ターゲット 1		
SPK_OUTA+	60°	60°
SPK_OUTA-	240°	240°
SPK_OUTB+	120°	60°
SPK_OUTB-	300°	240°
ターゲット 2		
SPK_OUTA+	30°	30°
SPK_OUTA-	210°	210°
SPK_OUTB+	90°	30°
SPK_OUTB-	270°	210°

7.3.10 デバイス出力段保護システム

TAS3251 は、システムの統合と使いやすさを容易にするとともに、短絡、過負荷、過熱、低電圧などの広範囲のフォルト状況による永続的な障害からデバイスを保護するように注意深く設計された高度な保護回路が搭載されています。TAS3251 はフォルトに反応して、直ちに電力段を高インピーダンス (Hi-Z) 状態に設定し、 $\overline{\text{FAULT}}$ ピンを Low にアサートします。過負荷や過熱エラー (OTE) 以外の状況では、フォルト状態が取り除かれた、つまり電源電圧が回復した時点で、デバイスは自動的に復帰します。

このデバイスは、表 7-20 に示すようにエラーを処理します。

表 7-20. デバイスの保護

BTL モード		PBTL モード	
ローカル エラー入力	ターンオフ	ローカル エラー入力	ターンオフ
SPK_OUTA+	A+ および A-	SPK_OUTA+	A+, A-, B+, B-
SPK_OUTA-		SPK_OUTA-	
SPK_OUTB+	B+ および B-	SPK_OUTB+	
SPK_OUTB-		SPK_OUTB-	

ブートストラップ UVP は、表に従ってシャットダウンしません。それぞれのハーフブリッジをシャットダウンします (ラッチなし、 $\overline{\text{FAULT}}$ をアサートしません)。

7.3.10.1 エラー報告

$\overline{\text{FAULT}}$ ピンおよび $\overline{\text{CLIP_OTW}}$ ピンはアクティブ Low、オープンドレイン出力です。各ピンには DVDD に対して 26k Ω のプルアップ抵抗が内蔵されており、外部プルアップ抵抗は不要です。この機能は、システム制御デバイスへの保護モード信号出力のためのものです。

故障によるデバイス シャットダウンは、 $\overline{\text{FAULT}}$ ピンが Low になることで通知されます。また、デバイスの接合部温度が 125°C を超えると、 $\overline{\text{CLIP_OTW}}$ は Low になります (表 7-21 を参照)。

表 7-21. エラー報告

FAULT	CLIP_OTW	説明
0	0	過熱 (OTE)、過負荷 (OLP)、または低電圧 (UVP) 接合部温度が 125°C を超える場合 (過温度警告)
0	1	過負荷 (OLP) または低電圧 (UVP)。接合部温度が 125°C を下回っています
1	0	接合部温度が 125°C を超える場合 (過熱警告)
1	1	接合部温度が 125°C 未満で、OLP および UVP のフォルトがない場合 (通常動作)

$\overline{\text{RESET}}$ を Low にアサートすると、フォルトが存在するかどうかにかかわらず $\overline{\text{FAULT}}$ 信号が強制的に High になります。TI は、システム マイコンで $\overline{\text{CLIP_OTW}}$ 信号を監視し、過温度警告信号を検出した場合には音量を下げてデバイスのさらなる加熱を防ぎ、デバイスのシャットダウン (OTE) を回避するよう推奨しています。

外付け部品数を減らすため、 $\overline{\text{FAULT}}$ 出力と $\overline{\text{CLIP_OTW}}$ 出力の両方に 3.3V への内部プルアップ抵抗が備わっています。

7.3.10.2 過負荷および短絡電流保護

TAS3251 には、高速応答の電流センサーが搭載されており、すべてのハイサイド/ローサイド FET に対してプログラム可能なトリップ スレッショルド (OC スレッショルド) が設定されています。出力電流が設定したスレッショルドを超えて増加するのを防ぐために、TAS3251 は各スイッチング サイクルごとに出力電流を制限するオプション (サイクル バイ サイクル 電流制御、CB3C) と、出力電流が過大になった場合に即座に出力をシャットダウンするオプション (ラッチ シャットダウン) のいずれかを選択できます。CB3C は、大きな音楽トランジェントや実際のスピーカー負荷インピーダンスの低下によって生じる出力電流の過渡的な急上昇に起因する早期のシャットダウンを防止し、出力電流を設定された最大レベルまでに制限することを可能にします。最大出力電流が持続する場合、つまり負荷インピーダンスが低すぎてパワーステージが過負荷状態になる場合、デバイスは該当する出力チャンネルをシャットダウンし、その出力を $\overline{\text{RESET}}$ サイクルが開始されるまで

ハイインピーダンス (Hi-Z) 状態に置きます。CB3C は、ハーフブリッジ出力ごとに個別に動作します。過電流イベントがトリガされると、CB3C はハーフブリッジ出力の状態を反転させ、この状態は次の PWM フレームの開始時にクリアされます。

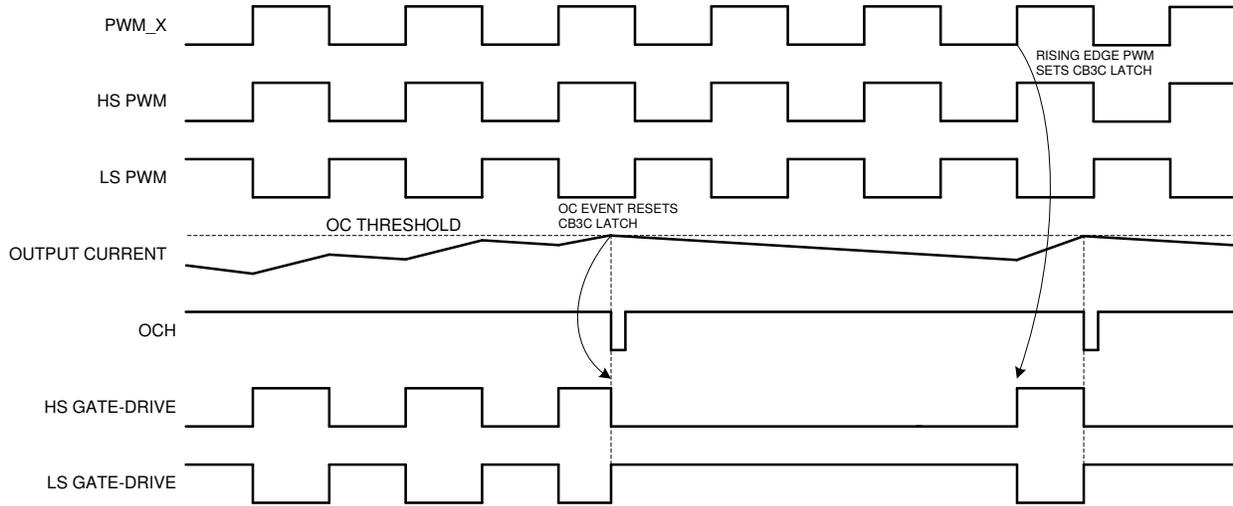


図 7-12. CB3C のタイミング例

CB3C の間、過電流イベントごとに過負荷カウンタがインクリメントし、過電流以外の PWM サイクルごとに減少します。これにより、スピーカの負荷インピーダンスが低い場合でも、シャットダウン保護動作を伴うことなくフル振幅過渡を扱うことができます。短絡状態が発生した場合、過電流保護は CB3C 動作によって出力電流を制限し、過負荷カウンタが最大値に達すると、最終的に該当する出力をシャットダウンします。最初の過電流イベントが検出された時点でデバイスが直ちに該当する出力をシャットダウンするラッチ式 OC 動作が必要な場合は、この保護モードを選択する必要があります。過電流スレッシュホールドおよび動作モード (CB3C またはラッチ式 OC) は、OC_ADJ 抵抗の値によって設定されます。OC_ADJ 抵抗は、CB3C 動作またはラッチ式 OC 動作のいずれの場合でも、所定の値の範囲内にある必要があります。

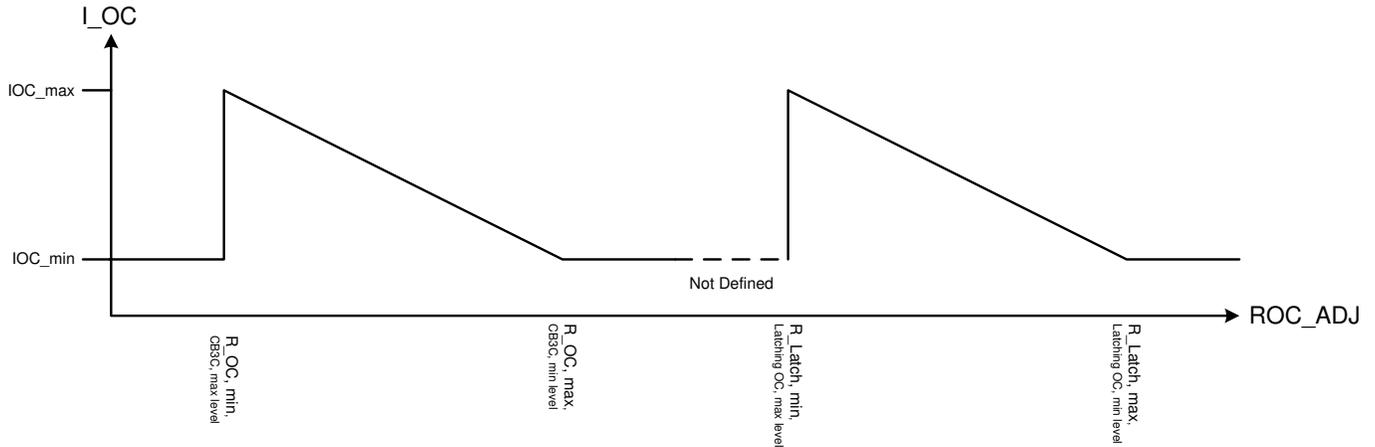


図 7-13. OC スレッシュホールドと OC ADJ 抵抗値の例

CB3C またはラッチ式 OC 動作のいずれにおいても、指定値範囲外の OC_ADJ 値を設定すると、最小の OC スレッシュホールドになります。

表 7-22. デバイスの保護

OC_ADJ 抵抗値	保護モード	OC スレッシュホールド
22kΩ	CB3C	16.3A
24kΩ	CB3C	15.1A

表 7-22. デバイスの保護 (続き)

OC_ADJ 抵抗値	保護モード	OC スレッシュホールド
27kΩ	CB3C	13.5A
30kΩ	CB3C	12.3A
47kΩ	ラッチ OC	16.3A
51kΩ	ラッチ OC	15.1A
56kΩ	ラッチ OC	13.5A
64kΩ	ラッチ OC	12.3A

7.3.10.3 信号クリッピングおよびパルス注入

内蔵のアクティビティ検出器は、SPK_OUTx ピンの PWM 動作を監視します。TAS3251 はクリップされていない出力信号を PVDD レールと GND レールまで駆動できるように設計されています。過大な入力信号電圧を加えた場合のオーディオ信号クリッピング、または CB3C 電流保護が動作した場合、オーディオチャンネルのアンプ フィードバック ループはこの状態に対して飽和状態で応答し、特別な回路が実装されていない限り、出力 PWM 信号は停止します。クリッピングや CB3C 状況で出力 PWM 信号が停止するのを防ぐために、出力動作を維持するようゲートドライブにナロー パルスが注入されます。注入されるナロー パルスは 4 フレームごとの PWM フレームで注入されるため、この状態では実効スイッチング周波数が通常の 1/4 に低下します。

信号クリッピングは CLIP_OTW ピンで通知され、信号レベルが下がると自動的にクリアされ、デバイスは通常動作に戻ります。CLIP_OTW パルスは出力クリッピングの開始時に発生し、通常は THD レベルがおよそ 0.01% 付近で現れます。その結果、約 500ns のパルス幅から始まるナローな CLIP_OTW パルスが出力されます。

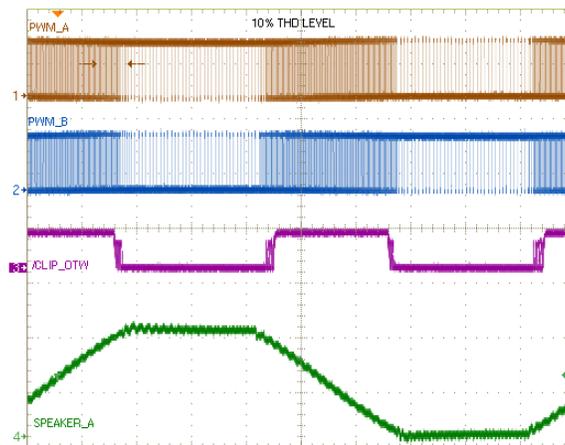


図 7-14. 信号クリッピング時の PWM およびスピーカ出力信号

7.3.10.4 DC スピーカの保護

出力 DC 保護方式は、スピーカの一方の端子がアンプに接続され、もう一方が誤ってシャーシ グランドに短絡した場合に、過剰な DC 電流からスピーカを保護します。このような短絡が生じると、スピーカには PVDD/2 の DC 電圧がかかり、破壊的な電流レベルに至る可能性があります。出力 DC 保護は、BTL 出力における出力電流と入力電流のアンバランスを検出し、不平衡が設定されたスレッシュホールドを超えると、過負荷カウンタが最大値に達するまでインクリメントされ、その後、影響を受けた出力チャンネルがシャットダウンされます。PBTL および SE モード動作では、DC スピーカ保護がディセーブルになります。

7.3.10.5 ピン間短絡保護回路 (PPSC)

PPSC 検出システムは、電源出力ピン (SPK_OUTx) が GND_X または PVDD_X に短絡した場合に、デバイスを恒久的な損傷から保護します。比較すると、OC 保護システムは復調フィルタの後で過電流を検出しますが、PPSC はフィルタの前でピンにおける短絡を直接検出します。PPSC 検出は、起動時、すなわち VDD が供給されたときに実行されます。

そのため、システム起動後に GND_X または PVDD_X への短絡が発生しても、PPSC 検出システムは動作しません。出力の短絡によって PPSC 検出が作動すると、すべてのハーフブリッジはショートが取り除かれるまで Hi-Z 状態に保持されます。その後、デバイスは起動シーケンスを継続し、スイッチングを開始します。検出は、2 ステップ シーケンスによってグローバルに制御されます。最初のステップでは SPK_OUTx と GND_X の間に短絡がないことを確認し、2 番目のステップでは SPK_OUTx と PVDD_X の間に短絡がないことを確認します。このプロセスの合計持続時間は、出力 LC フィルタの容量にほぼ比例します。典型的な時間は < 15 ms/μF です。PPSC 検出の進行中は FAULT が Low に保持され、デバイスは RESET ピンに加えられた変化に反応しません。短絡が存在しない場合、PPSC 検出は成功し、FAULT は解除されます。デバイスのリセットでは、新しい PPSC 検出は開始されません。PPSC 検出は BTL および PBTL 出力構成でイネーブルになり、SE モードでは検出は実行されません。PPSC 検出システムが誤動作しないようにするため、GND_X または PVDD_X に抵抗性負荷を接続しないことが推奨されます。

7.3.10.6 過熱保護 OTW および OTE

TAS3251 には、デバイスの接合部温度が 125°C (標準値) を超えるとアクティブ Low 警告信号 (CLIP_OTW) がアサートされる 2 レベルの温度保護システムがあり、デバイスの接合部温度が 155°C (標準値) を超えると、デバイスはサーマルシャットダウンに移行し、すべてのハーフブリッジ出力はハイインピーダンス (Hi-Z) 状態に設定され、FAULT が Low にアサートされます。この場合、OTE はラッチされます。OTE ラッチをクリアするには、RESET をアサートする必要があります。その後、デバイスは通常動作を再開します。

7.3.10.7 低電圧保護 (UVP) およびパワーオン リセット (POR)

TAS3251 の UVP および POR 回路は、パワーアップ/パワーダウンおよびブラウンアウト状況において、このデバイスを包括的に保護します。電源投入時に、GVDD_X および VDD 電源電圧が電気的特性表に記載された値に達すると、POR 回路によってすべての回路が完全に動作することが保証されます。GVDD_X と VDD は独立して監視されますが、いずれかの VDD または GVDD_X ピンで UVP スレッシュホールドを下回ると、すべてのハーフブリッジ出力はただちにハイインピーダンス (Hi-Z) 状態に設定され、FAULT が Low にアサートされます。すべての電源電圧が UVP スレッシュホールドを上回ると、このデバイスは自動的に動作を再開します。

7.3.10.8 フォルト処理

動作中にフォルト状況が発生した場合、デバイスはグローバル フォルトまたはチャンネル フォルトに対応して動作します。グローバル フォルトはチップ全体の故障状況であり、デバイスのすべての PWM 動作がシャットダウンされ、 $\overline{\text{FAULT}}$ が Low にアサートされます。グローバル フォルトはフォルトをラッチすることで、 $\overline{\text{FAULT}}$ をクリアし、動作を再開するには、 $\overline{\text{RESET}}$ をトグルしてデバイスをリセットする必要があります。過度なシステム温度の状態で $\overline{\text{RESET}}$ を解除してはならないため、システム マイコンで $\overline{\text{RESET}}$ を監視し、 $\overline{\text{CLIP_OTW}}$ 信号がクリアされて (high) いる場合にのみ $\overline{\text{RESET}}$ を解除 ($\overline{\text{RESET}}$ high) することが推奨されます。チャンネル フォルトが発生すると、影響を受けたチャンネルの PWM 動作がシャットダウンされます。 $\overline{\text{RESET}}$ を Low にアサートすると、フォルトが存在するかどうかにかかわらず $\overline{\text{FAULT}}$ 信号が強制的に High になります。

表 7-23. エラー報告

フォルト/ イベント	フォルト/ イベントの説明	グローバルまたはチャンネル	報告方法	ラッチ/セルフ クリア	クリアに必要なアクション	出力 FET
PVDD_X UVP	電圧故障	グローバル	$\overline{\text{FAULT}}$ ピン	セルフ クリア	影響を受ける電源電圧を上昇させます	ハイ インピーダンス
VDD UVP						
AVDD UVP						
POR (DVDD UVP)	パワーオンリセット	グローバル	$\overline{\text{FAULT}}$ ピン	セルフ クリア	DVDD が上昇するまで待ちます	ハイ インピーダンス
BST_X UVP	電圧故障	チャンネル (ハーフブリッジ)	なし	セルフ クリア	BST キャパシタを再充電させます (ローサイド ON、VDD = 12V)	ハイサイド オフ
OTW	過熱警告	グローバル	OTW ピン	セルフ クリア	OTW スレッシュホールド未満まで冷却	通常動作
OTE	サーマル シャットダウン	グローバル	$\overline{\text{FAULT}}$ ピン	ラッチ	$\overline{\text{RESET}}$ を切り替えます	ハイ インピーダンス
OLP (CB3C>1.7ms)	OC シャットダウン	チャンネル	$\overline{\text{FAULT}}$ ピン	ラッチ	$\overline{\text{RESET}}$ を切り替えます	ハイ インピーダンス
ラッチ OC (47kΩ < ROC_ADJ < 68kΩ)	OC シャットダウン	チャンネル	$\overline{\text{FAULT}}$ ピン	ラッチ	$\overline{\text{RESET}}$ を切り替えます	ハイ インピーダンス
CB3C (22kΩ < ROC_ADJ < 30kΩ)	OC 制限	チャンネル	なし	セルフ クリア	信号レベルを低減するか、短絡を除去します	状態を反転させ、fs/3 の周期ごとにサイクルで繰り返す
フォルト状態で固着 ⁽¹⁾	ターゲット モードでは OSC_IO アクティビティはありません	グローバル	なし	セルフ クリア	OSC_IO アクティビティを再開します	ハイ インピーダンス

(1) このデータシートの電気的特性表に記載されている最小周波数を入力 OSC_IO 入力信号周波数が下回ったとき、故障状態に固着していることが発生します。

7.3.10.9 出力電力段リセット

$\overline{\text{RESET}}$ Low をアサートすると、デバイスはランプ ダウンします。ランプ ダウンの完了後、出力 FET はハイ インピーダンス状態になります。出力プルダウンは、SE モードと $\overline{\text{RESET}}$ が low の BTL モードの両方でアクティブです。

BTL モードでは、スイッチング開始前にブートストラップ充電を行えるよう、リセット入力を Low にアサートすると、ハーフブリッジ出力の弱いプルダウンが有効になります。

リセット入力を Low にアサートすると、 $\overline{\text{FAULT}}$ 出力で通知されるフォルト情報はすべてクリアされ、 $\overline{\text{FAULT}}$ は強制的に high になります。リセット入力の立ち上がりエッジにより、デバイスはフォルト後に動作を再開します。熱に対する信頼性を確保するため、 $\overline{\text{FAULT}}$ の立ち下がりエッジから 4ms 以内にリセットの立ち上がりエッジが発生しないようにする必要があります。

7.3.11 初期化、起動とシャットダウンの

このセクションでは、パワーアップ、動作、パワーダウンのシーケンシングに関する一般的な手順を説明します。

7.3.11.1 パワーアップ/スタートアップ シーケンス

DAC や DSP を含むデバイスのアナログ フロントエンドは、出力電力段とは独立して制御されます。以下のシーケンスに従って、デジタル フロントエンドと出力段の電源をオンにして、オーディオの再生を開始します。

1. DAC_DVDD、DAC_AVDD、GVDD_x、PVDD_x に電力を供給します。電源には電源オン シーケンスがなく、任意の順序で投入できます。
2. 内部システム クロックを有効にするために、デバイスに I2S または TDM クロックを印加します。
3. レジスタ 0x03 のビット 0 (右) およびビット 4 (左) を「1」に設定して、左および右の DAC チャンネルをミュートします。
4. I²C (オプション) を使用して、DSP 係数と構成設定を設定します。レジスタを変更しないと、DSP はオーディオをパススルーします。
5. レジスタ 0x02 のビット 7 (DSPR) を「1」に設定して、DSP をスタンバイ状態から解除します。
6. レジスタ 0x03 のビット 0 (右) およびビット 4 (左) を「0」に設定して、左および右の DAC チャンネルのミュートを解除します。
7. $\overline{\text{RESET_AMP}}$ ピンを High に設定して、アンプ出力段をイネーブルします。
8. I2S または TDM 経由でオーディオを再生します。

7.3.11.2 パワーダウン/シャットダウン シーケンス

以下の手順に従って、スタンバイ状態を開始し、デジタル フロントエンドおよびパワーステージの電源を停止します。

1. オーディオの再生を停止します。
2. $\overline{\text{RESET_AMP}}$ ピンを Low に設定することで、アンプの出力段をディスエーブルにします。
3. レジスタ 0x03 のビット 0 (右) およびビット 4 (左) を「1」に設定して、左および右の DAC チャンネルをミュートします。
4. オプション: DAC を低消費電力モードレジスタ 0x02 に移行します。
5. オプション: すべての電源レールから電圧を取り除きます。

7.3.11.3 デバイス ミュート

1. オプション: $\overline{\text{RESET_AMP}}$ ピンを Low に設定することで、アンプの出力段をディスエーブルにします。
2. レジスタ 0x03 のビット 0 (右) およびビット 4 (左) を「1」に設定して、左および右の DAC チャンネルをミュートします。

7.3.11.4 デバイスのミュート解除

1. レジスタ 0x03 のビット 0 (右) およびビット 4 (左) を「0」に設定して、左および右の DAC チャンネルのミュートを解除します。
2. オプション: アンプの出力段がパワーダウンする場合、 $\overline{\text{RESET_AMP}}$ ピンを High に設定してアンプ出力段を有効にします。

7.3.11.5 デバイス リセット

7.3.11.6 $\overline{\text{DAC_MUTE}}$ でのミュートまたはクロック エラー

特定の条件では、デバイスに電力損失を検出してミュートプロセスを開始するのに十分な時間がない場合、TAS3251 は電源オフ時にポップ音が発生する可能性があります。TAS3251 には 2 つの自動ミュート機能があり、電源が切断されたときにデバイスをミュートします (意図的または意図的)。

- **DAC_MUTE - $\overline{\text{DAC_MUTE}}$ ピンが Low になると、受信シリアル ポートのデータが 0 に減衰され、密接にアナログ ミュートが行われます。このプロセスには 150 サンプル + 0.2ms かかります。**
- **クロック エラー検出 - 入力シリアル ポート データでクロック エラーが検出されると、TAS3251 は内部オシレータに切り替わり、最後に正常だった値からのデータを減衰させながら DAC 出力を駆動し続けます。このプロセスが完了すると、TAS3251 DAC 出力はグラウンドにハードにミュートされます。**

7.3.11.6.1 DAC_MUTE を使用したミュート

DAC_MUTE をデアサートするタイミングは、電源が切れる 150 サンプル分 + 0.2ms 前に設定します。

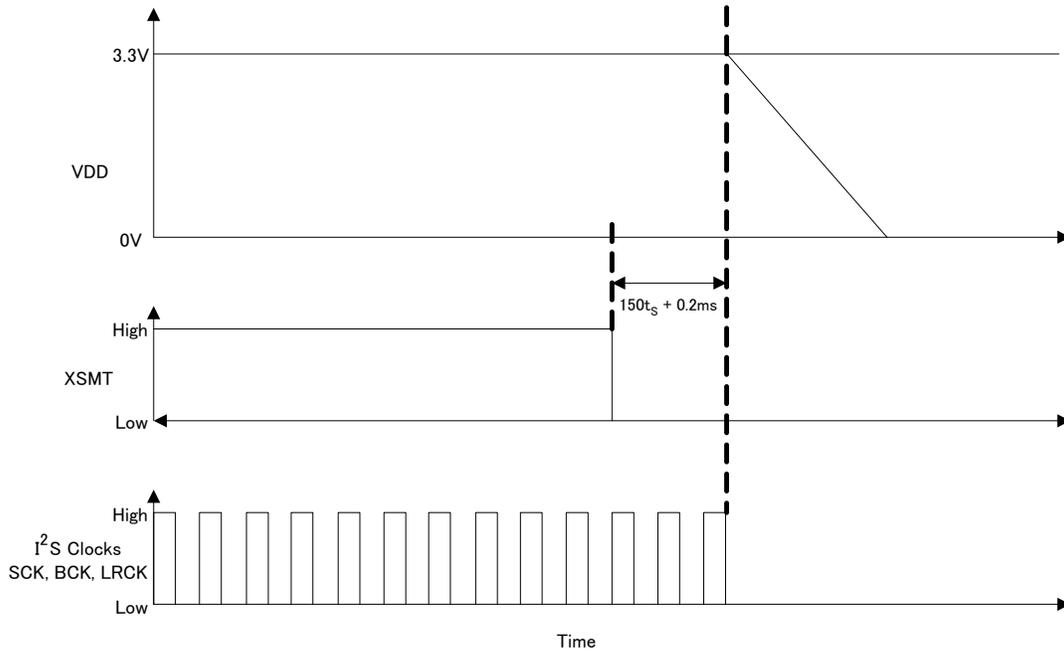


図 7-15. DAC_MUTE のタイミング図

7.3.11.7 シリアル オーディオ ポート クロックを使用してミュート

以下の図に示すように、パワーダウンの 3ms 前に I²S クロック(SCLK、MCLK、LRCK) を停止します。

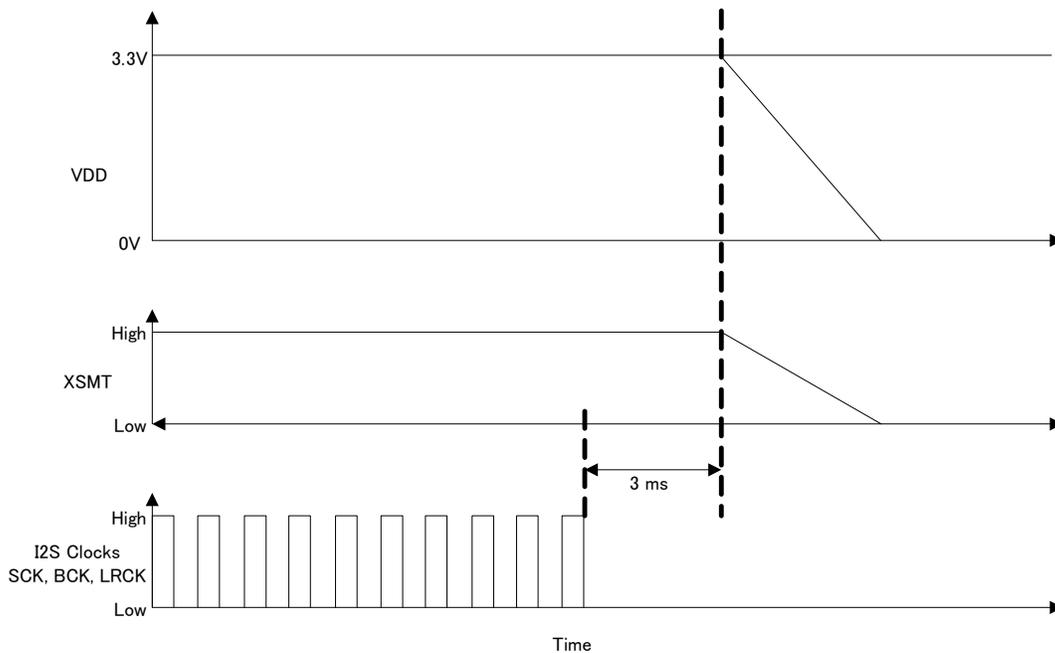


図 7-16. シリアル ポート ミューティングのタイミング図

7.3.11.8 DAC_MUTE による予定外のシャットダウンの前のミュート

多くのシステムは、低ノイズレギュレータを使用して DAC_AVDD と DAC_DVDD に 3.3V を供給します。DAC_MUTE ピンは、このような機能を利用して、システム電源から事前に安定化された出力 (3.3V) を測定し、PVDD 電源が放電する前に出力をミュートすることができます。図 7-17 に、DAC_MUTE ピンを使用するシステムの構成方法を示します。DAC_MUTE ピンは、システムのマイコン、DSP、または電源から GPIO ピンと並列に使用することもできます。

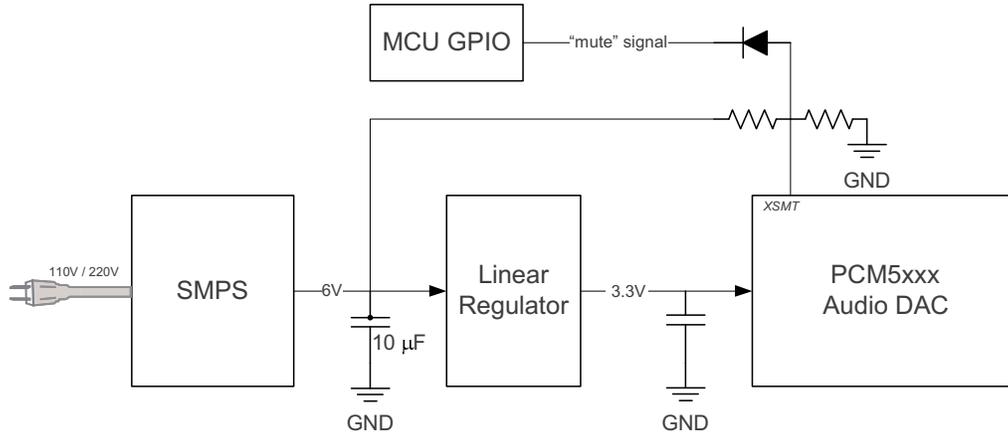


図 7-17. DAC_MUTE のアプリケーション図

7.3.11.9 出力電力段のスタートアップのタイミング

TAS3251 出力電力段は特定のパワーアップシーケンスを必要としませんが、PVDD 電源電圧に電源を投入してから少なくとも 400ms の間、RESET を Low に保持することを推奨します。ハーフブリッジの出力は、ゲートドライブ電源電圧 (GVDD_X) および VDD 電圧がアンダーボルテージ保護 (UVP) 電圧スレッシュホールドを上回るまで高インピーダンス状態に保たれます (本データシートの「電気的特性」表を参照)。これにより、内部回路がハーフブリッジ出力を弱いプルダウンで有効にし、外部ブートストラップコンデンサを充電するとともに、出力電圧の制御されたランプアップシーケンスを開始できるようになります。

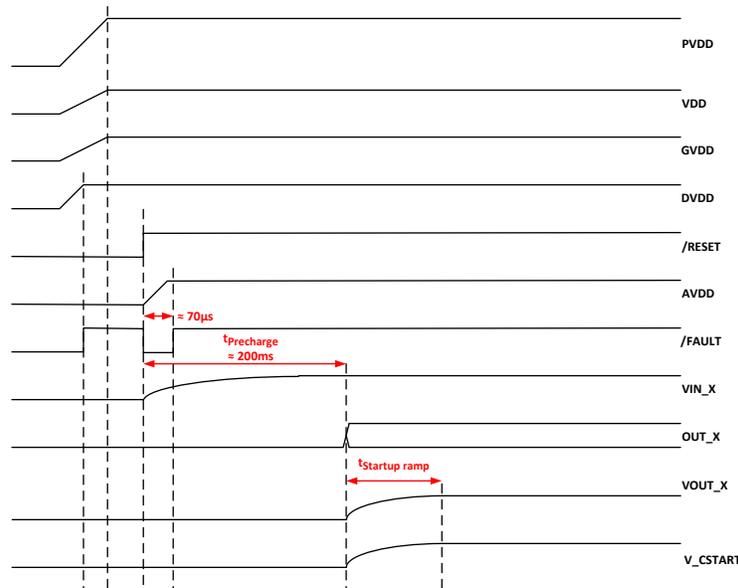


図 7-18. 電力段のスタートアップのタイミング

$\overline{\text{RESET}}$ が解除されて TAS3251 がオンになると、 $\overline{\text{FAULT}}$ 信号が Low を出力し、AVDD 電圧レギュレータが有効になります。AVDD が低電圧保護 (UVP) 電圧スレッショルドに達するまで、 $\overline{\text{FAULT}}$ は Low のまま維持されます (このデータシートの「電気的特性」表を参照)。次に、入力 AC 結合コンデンサ間の DC 電圧を安定させるためのプリチャージ時間が始まり、その後出力電力段のランプアップシーケンスが続きます。

7.4 デバイスの機能モード

TAS3251 デバイスは高度に構成可能なデバイスであるため、数多くの動作モードが存在します。簡潔に説明するために、これらのモードは 2 つのモードに分けられます。

- 基本的な動作モード
- 2 次使用モード

基本動作モードとは、デバイスの主要な動作特性に影響を与える主要な動作モードであり、最終システムでデバイスが対象のアプリケーションや他の部品と互換性を持つように選択される、最も基本的な構成です。動作モードの例としては、コントロールポートで使用される通信プロトコル、アンプの出力構成、またはコントローラ/ターゲットのクロック構成などがあります。

基本的な動作モードについては、[セクション 7.4.1](#) セクションで説明されています。

二次使用モードとは、基本動作モードを選択した後に、デバイスが特定のシステム内でどのように動作するかを微調整するために使用される動作モードと説明するのが最適です。これらの二次使用モードには、シリアル オーディオ ポートのデータフォーマットを左詰めか右詰めかで選択することや、DAC パス内でわずかなゲイン/減衰を有効にすることなどが含まれます。二次使用モードは、I²C 制御ポートでレジスタと制御を操作することで実現されます。これらの動作モードは、それぞれのレジスタビットの説明に記載されており、重複を避けるため本セクションには含まれていません。

7.4.1 シリアル オーディオ ポートの動作モード

TAS3251 デバイスのシリアル オーディオ ポートは、I²S、時分割マルチプレクシング(TDM)、左揃え(LJ)、右揃え(RJ)形式など、業界標準のオーディオ データ形式をサポートしています。デバイスで使用するデータ形式を選択するために、コントロールは P0~R40 で提供されています。シリアル オーディオ ポートのタイミング図を [セクション 6.10](#) セクションに、データ形式を [セクション 7.3.4.4](#) セクションに示します。

7.4.1.1 デジタル シリアル オーディオ ポート用コントローラおよびターゲット モードのクロッキング

TAS3251 デバイスのデジタル オーディオ シリアル ポートは、シリアル オーディオ ターゲット デバイスとして他のデバイスからクロックを受信するように設定できます。動作のターゲット モードについては、[セクション 7.3.4.3](#) で説明します。オーディオ クロックを供給するシステム プロセッサが使用できない場合、TAS3251 デバイスをコントローラ モードに設定できます。コントローラ モードでは、TAS3251 デバイスはシステム内の他のオーディオ デバイスにクロックを供給します。TAS3251 デバイスのコントローラ モードおよびターゲット モードの動作の詳細については、[セクション 7.4.1](#) セクションを参照してください。

7.4.2 通信ポートの動作モード

TAS3251 デバイスは、I²C 通信ポートを介して構成されます。このデバイスはハードウェアのみの動作モードや、シリアルペリフェラル インターフェイス(SPI) 通信をサポートしていません。I²C の通信プロトコルの詳細は、[セクション 7.3.7](#) セクションで説明されています。I²C のタイミング要件は、[セクション 6.12](#) セクションと [セクション 6.13](#) セクションで説明されています。

7.4.3 スピーカ アンプの動作モード

TAS3251 デバイスは、2 つの異なるアンプ構成で使用できます：

- ステレオ モード
- モノラル モード

7.4.3.1 ステレオ モード

一般的なステレオ モード動作では、TAS3251 デバイスを使用して 2 つの独立した信号を増幅し、それぞれがステレオ信号の左部分と右部分を表します。これらの増幅された左および右のオーディオ信号は、SPK_OUTA± および SPK_OUTB± として示される差動出力ペアに出力されます。SPK_OUTx 出力に出力されるオーディオ データのルーティングは、使用されるオーディオ プロセスフローと、レジスタ P0-R42-D[5:4] および P0-R42-D[1:0] の設定に応じて変更できます。使い慣れたステレオ動作モードを以下に示します。

デフォルトでは、この TAS3251 デバイスはチャンネル A 出力に I²S 入力の右フレームを、チャンネル B 出力に左フレームを出力するよう構成されています。

7.4.3.2 モノラル モード

モノラル モード動作とは、デバイスの 2 つの出力を相互に並列接続し、オーディオ出力チャンネルの電力供給能力を高める動作を指します。これはパラレルブリッジ結合負荷 (PBTL) と呼ばれます。

TAS3251 デバイスの出力側では、プレフィルタ PBTL と呼ばれる構成でフィルタの前にデバイスの合算を行うことができます。しかし、2 つの出力は出力フィルタのインダクタ部の後で合流させる必要がある場合があります。これにより 2 つのインダクタが追加されますが電流が 2 つのインダクタで分割されるため、小型で低コストのインダクタを使用できます。このプロセスはポストフィルタ PBTL と呼ばれます。モノラル動作の両方のバリエーションを図 7-19 と図 7-20 に示します。

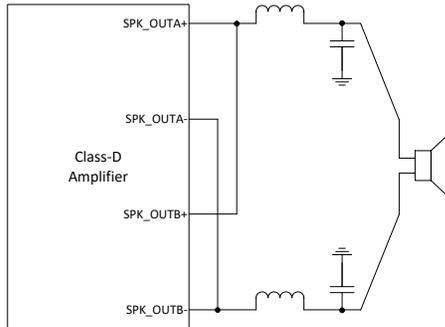


図 7-19. プリフィルタ PBTL

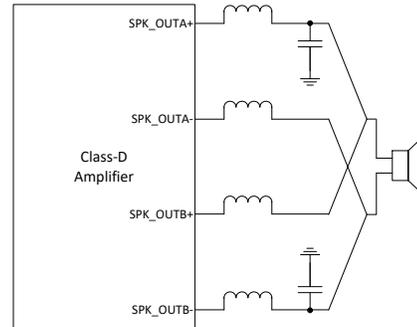


図 7-20. ポストフィルタ PBTL

TAS3251 デバイスの入力側で、モノラル アンプへの入力信号は、TDM ストリームの任意のスロット、または I²S、LJ、RJ 信号から左または右フレームから選択できます。この TAS3251 デバイスは、左右のチャンネルを混合してローパスフィルタを介して混合物を送信し、モノラルの低周波信号を作成するサブウーファチャンネルのように、2 つの信号の混合物を増幅するように設定することもできます。

7.5 プログラミング

7.5.1 オーディオ処理機能

TAS3251 デバイスは、統合型オーディオ システムのオーディオ性能を最適化するためのオーディオ処理機能を搭載しています。TAS3251 デバイスには、スピーカー応答調整用に 12 個のバイクアッド フィルタと、低レベル信号に適用されるイコライゼーション カーブと高レベル信号に適用されるイコライゼーション カーブを動的に調整するためのデュアル バンド DPEQ が 1 つ搭載されています。2 バンドの高度な DRC + AGL 構造により、アンプの出力電力を 2 つの領域で制限し、圧縮中にクロスオーバー領域で発生する可能性のあるピークを制御します。製品開発エンジニアが直面するシステムレベルの要件に基づいて、アンプの出力レベルを微調整するための精密なボリューム コントロールが用意されています。

この TAS3251 デバイスには、レベル メーターとシリアル データ出力信号という 2 つの信号監視オプションがあります。レベル メータはアルファ フィルタを通して信号レベルを監視し、その信号を I²C レジスタに表示します。レベル メータ信号は、D/A 変換の前に 4x 補間が発生する前に取得されます。

各ブロックに関連する I²C コントロール ポート レジスタを含むオーディオ処理フローの詳細が示されています。

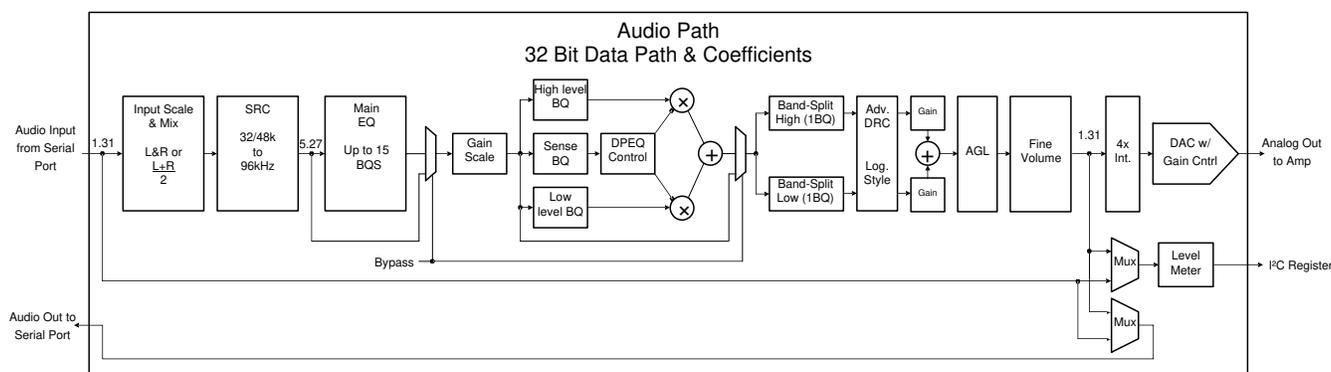


図 7-21. TAS3251 にある固定機能の処理フロー

7.5.2 処理ブロックの説明

上記に示す処理ブロックは、以下の主要ブロックで構成されています：

- 入力スケールおよびミキサ
- サンプル レート コンバータ (SRC)
- パラメトリック イコライザ (PEQ)
- BQ ゲイン スケール
- ダイナミック パラメトリック イコライザ (DPEQ)
- 2 バンドのダイナミックレンジ制御 (DRC)
- 自動ゲインリミッタ (AGL)
- 微調整ボリューム
- レベル メーター

7.5.2.1 入力スケールおよびミキサ

入力ミキサは、図 7-22 に示すように、左右のチャンネル入力信号をミキシングするために使用できます。入力ミキサには 4 つの係数があり、入力信号のミキシングとゲインを制御します。入力信号をミキシングおよびスケールリングするときは、最大入力レベルで入力ミキサ出力が 0dBFS を超えないようにしてください。これにより、SRC 入力のオーバードライブが行われず。

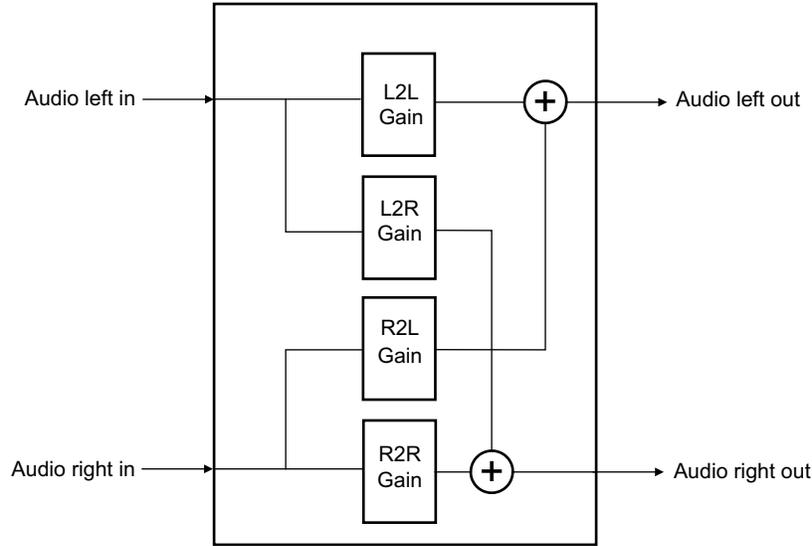


図 7-22. 入力スケールおよびミキサ

7.5.2.1.1 例

以下は、左右チャンネル両方を $(\frac{1}{2}L + \frac{1}{2}R)$ または $(L + R) / 2$ に設定するためのサンプル スクリプトです:

```
w 90 00 00 # Go to page 0
w 90 7f 8c #Change the book to 0x8c
w 90 00 21 #Go to page 0x21
w 90 3c 00 40 26 e7 #Input mixer left in to left out gain
w 90 40 00 40 26 e7 #Input mixer right in to left out gain
w 90 44 00 40 26 e7 #Input mixer left in to right out gain
w 90 48 00 40 26 e7 #Input mixer right in to right out gain
#Run the swap flag for the DSP to work on the new coefficients
w 90 00 00 #Go to page 0
w 90 7f 8c #Change the book to 0x8c
w 90 00 05 #Go to page 0x05
w 90 7c 00 00 00 01 #Swap flag
```

7.5.2.2 サンプル レート コンバータ

サンプル レート コンバータは 32kHz、44.1kHz、48kHz、88.2kHz、96kHz の入力サンプル レートをサポートしています。これらの入力サンプル レートは、88.2kHz または 96kHz のサンプル レートに変換されます。サンプル レート検出では、サンプル レートが 32~48kHz であることは区別されません。これらのサンプル レートは、サンプル レート コンバータによって 48kHz として扱われます。検出されたサンプル レートは、ブック 0x78 ページ 0x0c レジスタ 0x5c で読み取ることができます。入力サンプル レートはレジスタ 0x5c で 88.2kHz または 96kHz で、読み取り値は 0x00 00 00 01 です。入力サンプル レートは 32 ~ 48 kHz であり、レジスタ 0x5c の読み取り値は 0x00 00 00 02 です。入力サンプル レートが 32 kHz の場合、補間設定を 2x から 3x に変更する必要があります、そのためには B0-P0-R37-D7 に 1 を書き込みます。この変更を有効にするには、デバイスをスタンバイ モードに移行させる必要があります。

表 7-24. サンプル レート検出

サンプル レート (KHZ)	B0-P0-R91-D[6:4]
8	001
16	010
32 ~ 48	011
88.2 ~ 96	100
176.4 ~ 192	101
384	110

サンプルレートコンバータは 32 kHz、44.1 kHz、48 kHz、88.2 kHz、96 kHz の入力サンプルレートをサポートしていますが、TAS3251 デバイスは 1x 補間モードのベースレート処理において、表 7-24 に示されたすべての入力サンプルレートをサポートします。

SRC 入力がオーバードライブされないようにします。SRC への最大信号レベルを -0.5dBFS に設定することが推奨されます。これは SRC のオーバードライブを防ぎ、オーディオのアーティファクトを回避するためです。入力スケールとミキサを使用すると、最大入力信号を -0.5dBFS まで減衰または昇圧できます。処理ブロックには SRC の後にいくつかのブロックがあり、そこで入力ミキサおよびスケールブロックで行われたゲイン減衰を補償し、SRC のオーバードライブを防ぐことができます。

7.5.2.3 パラメトリック イコライザ (PEQ)

このデバイスは、左チャンネルに最大 15 個の調整済み個別 PEQ を、右チャンネルにも最大 15 個の調整済み個別 PEQ をサポートします。PEQ は、図 7-23 に示すように、カスケード接続された「直接形式 1」BQ 構造を使用して実装されます。

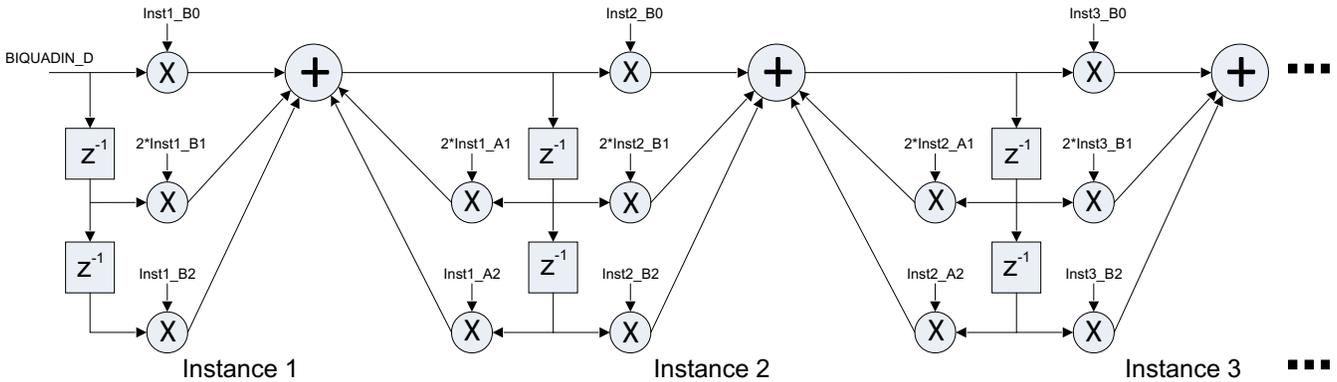


図 7-23. カスケード BQ 構造

$$H(z) = \frac{b_0 + b_1Z^{-1} + b_2Z^{-2}}{a_0 + a_1Z^{-1} + a_2Z^{-2}} \tag{2}$$

すべての BQ 係数は a_0 で正規化され、 a_0 が 1 になるようにしています。この構造には、表 7-25 に示すように、5 つの BQ 係数が必要です。係数が 1 より大きいすべての BQ には、セクション 7.5.2.4 で説明されているようにゲイン スケーリングが行われます。

表 7-25. BQ 係数正規化

TAS3251 の BQ 係数	係数の計算
B0_DSP	b_0 / a_0
B1_DSP	$b_1 / (a_0 \times 2)$
B2_DSP	b_2 / a_0
A1_DSP	$-a_1 / (a_0 \times 2)$
A2_DSP	$-a_2 / a_0$

7.5.2.4 BQ ゲイン スケール

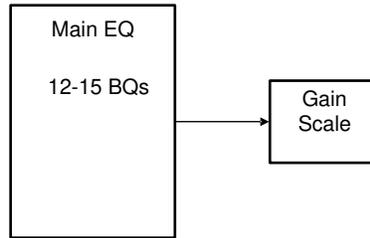


図 7-24. PEQ と BQ のゲイン スケール ブロック

BQ 係数の形式は次のとおりです:最初の BQ は $B0 = 5.x$, $B1 = 6.x$, $B2 = 5.x$, $A1 = 2.x$, $A2 = 1.x$ です。残りの BQ の形式は次のとおりです: $B0 = 1.x$, $B1 = 2.x$, $B2 = 1.x$, $A1 = 2.x$, $A2 = 1.x$ 。このフォーマットにより、分解能とノイズ性能が可能な限り高く維持されます。1.31 形式では、BQ 内で高いゲインを実行する能力が制限されます。その結果、この制限にゲイン補償が必要になります。BQ 係数を生成する際には、ゲイン補償を実装して、BQ 係数がいずれも 1 を超えないようにします。ゲイン補償により、すべての BQ 係数が 1 未満になるように BQ 係数のゲインが低減されます。低ゲインは、後段のゲイン スケール ブロックで再適用されます。

ゲイン補償は、表 7-25 に示す BQ 正規化が実装された後、 $B0_DSP$, $B1_DSP$, $B2_DSP$ の最大値を取得します。すべての B 係数は最大の B 係数値で割られ、その後 0.999999999534339 (1 に最も近い 32 ビット 2 の補数値) を掛けられます。PEQ ブロックの各 BQ に対して、次の計算が実行されます:

$$Max_k = \max(B0_DSP, B1_DSP, B2_DSP) \quad (3)$$

$$k_BQX = Max_k \quad (4)$$

$$B0_DSP = \frac{B0_DSP}{k_BQX} \quad (5)$$

$$B1_DSP = \frac{B1_DSP}{k_BQX} \quad (6)$$

$$B2_DSP = \frac{B2_DSP}{k_BQX} \quad (7)$$

上記の計算により、すべての DSP BQ 係数が 1.31 形式になることが保証されます。BQ 1.31 形式では、ゲイン スケール ブロックでのゲインの補正が行われます。

$$k_BQ = k_BQ1 \times k_BQ2 \times k_BQ3 \times k_BQ4 \times k_BQ5 \times k_BQ6 \times k_BQ7 \times k_BQ8 \times k_BQ9 \times k_BQ10 \times k_BQ11 \times k_BQ12 \quad (8)$$

算出された k_BQ 補償値は、8.24 形式で BQ ゲイン スケールに適用されます。BQ ゲイン スケールは、DRC より前のボリューム制御にも使用できます。このブロックは、BQ ゲイン スケールおよびボリューム ゲイン ブロックと見なすことができます。BQ ゲイン スケール ブロックをボリューム コントロールに使用する場合、係数値は次のように計算する必要があります:

$$Gain_BQ_V = 10^{\frac{Volume}{20}} \times k_BQ \quad (9)$$

ここで、

- ボリュームは dB 単位です

BQ ゲイン スケール係数は、左チャンネルでは book 0x8C のページ 0x21 のレジスタ 0x4C、右チャンネルではレジスタ 0x50 にあります。

Bypass EQ マルチプレクサを使用すると、すべての処理をバイパスできます。バイパス EQ マルチプレクサは、ページ 0x21、レジスタ 0x64 にあります。左 / 右マルチプレクサ連動は、左の処理を強制的に右の処理と同じにします。左 / 右マルチプレクサ連動は、ページ 0x21、レジスタ 0x68 にあります。

7.5.2.5 ダイナミック パラメトリック イコライザ (DPEQ)

動的パラメトリック イコライザは、[図 7-25](#) に示すように、センス パスで検出された信号レベルに基づいて、各パスに 1 つずつ BQ を含む 2 つの経路を通るオーディオ信号をミックスします。センス パスには 1 つの BQ が含まれており、これを使用して DPEQ センシングを特定の周波数帯域幅に焦点を合わせることができます。アルファフィルタ構造が用いられ、センス パス内のエネルギーを検出し、動的ミキシング比を設定します。

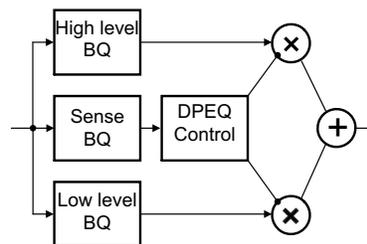


図 7-25. DPEQ 信号パス

ダイナミック ミキシングは、オフセット、ゲイン、およびアルファ係数により 1.31 形式で制御されます。アルファ係数は、センス パス内の信号データの平均時定数 (ms 単位) を制御します。オフセット係数とゲイン係数は、[図 7-26](#) に示す動的ミキシング スレッシュホールドを制御します。

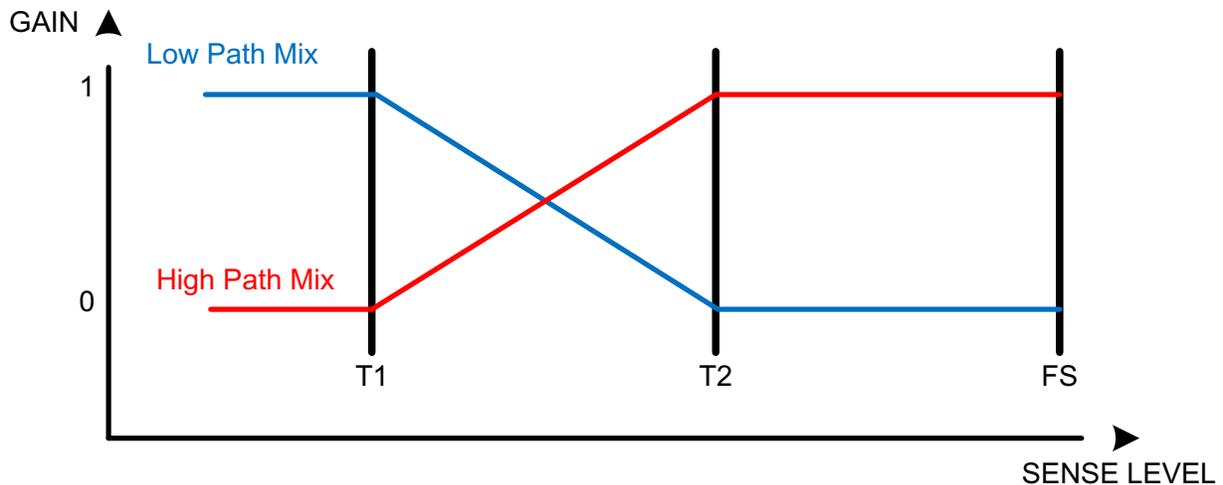


図 7-26. ダイナミック ミキシング

オフセット、ゲイン、アルファ係数は次のように計算されます：

$$T1_Linear = 10^{\frac{T1}{20}} \quad (10)$$

$$T2_Linear = 10^{\frac{T2-6}{20}} \quad (11)$$

ここで、

- $T2 \geq -20$ dB

$$T2_Linear = 10^{\frac{T2}{20}} \quad (12)$$

ここで、

- $T2 < -20$ dB

$$Offset = -T1_Linear \quad (13)$$

$$Gain = \frac{1}{32(T2_Linear - T1_Linear)} \quad (14)$$

$$Alpha = 1 - e^{\frac{-1000}{time\ constant \times Fs}} \quad (15)$$

ここで、

- $T1$ と $T2$ は dB 単位です
- 時定数は ms 単位です

DPEQ 制御係数は、ブック 0x8C、page 0x20 に配置されています。レジスタ 0x44 はアルファ係数、レジスタ 0x48 はゲイン係数、レジスタ 0x4C はオフセット係数です。

表 7-27 に示すように、高レベル パス BQ、低レベル パス BQ、センス パス BQ 係数は 1.31 形式を使用します。1.31 形式の要件により、DPEQ BQ ゲイン低減を補償するためのゲイン スケールはありません。調整時に、BQ ゲイン スケールまたは DRC オフセット係数を使用して、低ゲインを補償できます。

DPEQ 検出ゲイン スケールは、センシング パスに配置されています。DPEQ 検出ゲイン スケールを使用して、センシング パスの信号レベルを変更することで、ダイナミック ミキシング スレッシュホールドをシフトできます。正の dB ゲインはダイナミック ミキシングのスレッシュホールドをゲイン量だけ下方にシフトさせ、負の dB ゲインはスレッシュホールドをゲイン量だけ上方にシフトさせます。

7.5.2.6 2 バンドのダイナミック レンジ制御

ダイナミック レンジ制御 (DRC) はフィード フォワード方式のメカニズムであり、指定された範囲内でオーディオ信号の振幅またはダイナミック レンジを自動的に制御するために使用できます。ダイナミック レンジ制御は、アルファ フィルタ エネルギーの推定値を用いてオーディオ信号レベルを検出し、その後、定義された領域およびスロープ パラメータに基づいてゲインを調整することで行われます。ダイナミック レンジ制御を、図 7-27 に示します。

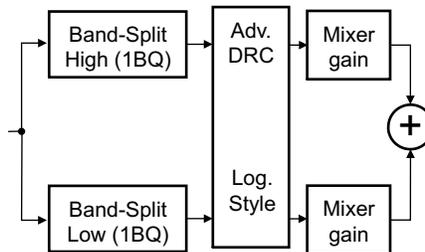


図 7-27. ダイナミック レンジ制御

各 DRC には 7 つのプログラム可能な伝達関数パラメータがあり、それぞれ $k0$ 、 $k1$ 、 $k2$ 、 $T1$ 、 $T2$ 、 $OFF1$ 、および $OFF2$ です。 $T1$ および $T2$ パラメータは、入力レベルに基づいて 3 つの圧縮または拡張領域のスレッシュホールドまたは境界を規定します。 $k0$ 、 $k1$ 、 $k2$ の各パラメータは、3 つの領域それぞれに対応するカーブのゲインまたはスロープを定義します。 $OFF1$ および $OFF2$ パラメータは、それぞれ $T1$ および $T2$ のスレッシュホールドにおいて、図 7-28 に示されているように 1:1 伝達関数曲線に対するオフセット シフトを規定します。

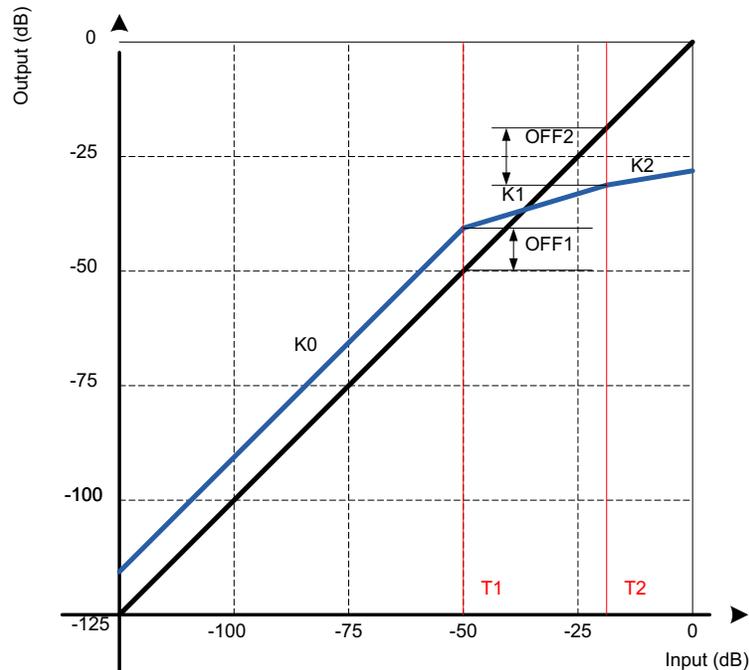


図 7-28. DRC 伝達関数例のプロット

2 バンド ダイナミックレンジ制御は 2 つの DRC で構成されており、それぞれのバンド入力にある BQ を用いて 2 つのバンドに分割することができます。2 つの帯域が伝搬される周波数は、クロスオーバー周波数と呼ばれます。クロスオーバー周波数は、ローバンドを生成するために用いられるローパスフィルタのカットオフ周波数であり、ハイバンドを生成するために用いられるハイパスフィルタのカットオフ周波数でもあります。並列 2 バンド DRC では、クロスオーバー領域で両方の DRC バンドを通過するエネルギーが重なり、そのエネルギーが 2 バンド DRC の出力ミキサで合算されるため、その領域にハンプが生じるのは本質的な特性です。

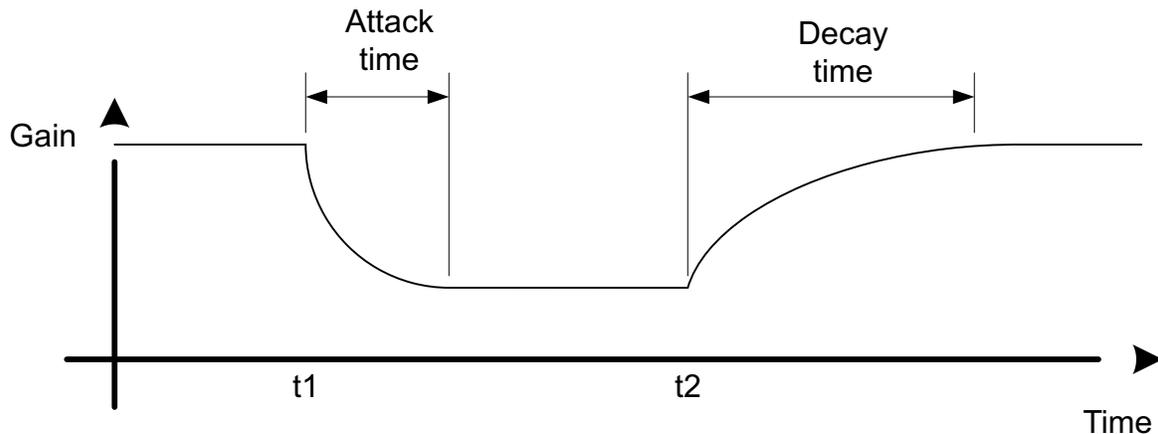
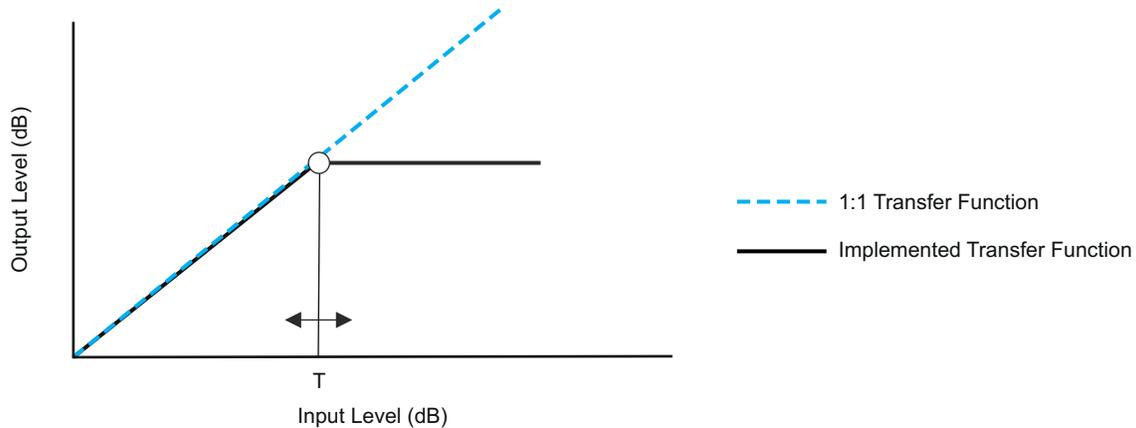


図 7-29. DRC アタックおよび減衰

各バンドの DRC には、それぞれ個別のエネルギー、アタック、および減衰の時定数が備わっています。DRC の時定数は、圧縮または拡張時における DRC ゲインの変化や判定の遷移時間を制御します。エネルギー、アタック、減衰の時定数は、DRC の感度レベルに影響を及ぼします。時定数が短いほど DRC の応答はよりアグレッシブになり、逆に時定数が長いほど応答は穏やかになります。

7.5.2.7 自動ゲイン リミッタ

自動ゲイン リミッタ (AGL) は、フィードバック機構であり、指定された範囲内でオーディオ信号の振幅またはダイナミックレンジを自動的に制御するために使用できます。自動ゲイン制限は、AGL の出力で 図 7-31 に示されるアルファ フィルタ エネルギー構造を用いてオーディオ信号レベルを検出し、その信号レベルが定義されたスレッシュホールドを上回っているか下回っているかに基づいてゲインを調整することで行われます。AGL が行う 3 つの判断は、エンゲージ、ディスエンゲージ、または何もしない、のいずれかです。AGL がエンゲージまたはディスエンゲージする速度は、それぞれアタック設定およびリリース設定に依存します。



M0091-04

図 7-30. AGL 伝達関数例のプロット

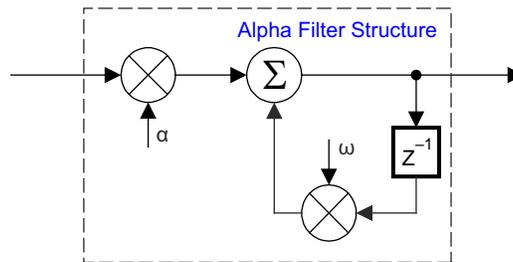


図 7-31. AGL アルファ フィルタ構造

7.5.2.7.1 軟化フィルタ アルファ (AEA)

- $AEA = 1 - e^{-1000 / (fs \times User_AE)}$
- $e \approx 2.718281828$
- Fs = サンプリング周波数
- $User_AE$ = ユーザー入力ステップ サイズ

7.5.2.7.2 ソフトニングフィルタ オメガ (AEO)

- $AEO = 1 - AEA$

7.5.2.7.3 アタック レート

- アタックレート = $2 (AA + \text{リリースレート})$
- $AA = 1000 \times User_Ad / Fs$
- $User_Ad$ = ユーザー入力アタック ステップ サイズ

7.5.2.7.4 リリース レート

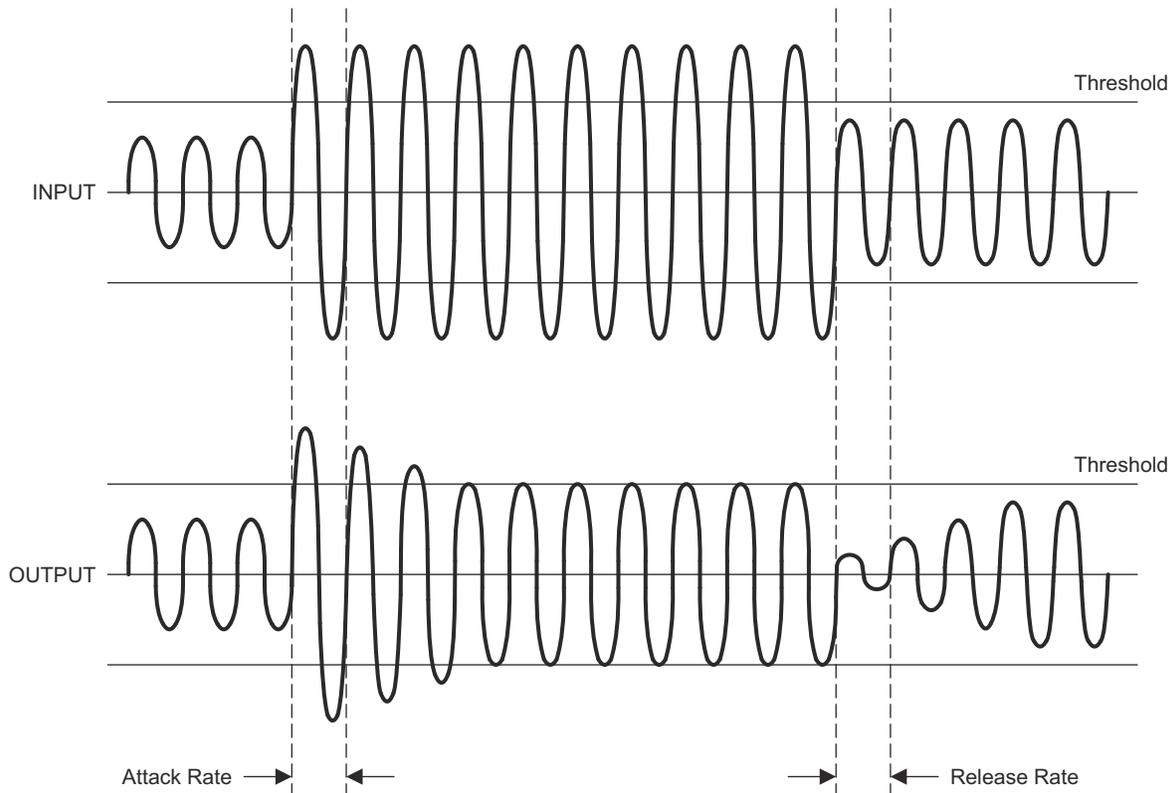
- リリースレート = $1000 \times User_Rd / Fs$
- $User_Rd$ = ユーザー入力リリース ステップ サイズ

注

リリース時間 (User_Rd) は、アタック時間 (User_Ad) よりも長く設定する必要があります。

7.5.2.7.5 アタック スレッシュホールド

- アタック スレッシュホールド = ユーザ入力レベル (dB 単位)



W0003-01

図 7-32. AGL アタックとリリース

アタック スレッシュホールド AGL 係数を以下に示します。

7.5.2.8 微調整ボリューム

AGL の後段にある微調整ボリューム ブロックは、 -192 dB から 6 dB までの追加の微調整ボリューム ステップを 2.30 フォーマットで提供できます。微調整係数を以下に示します。

7.5.2.9 THD 昇圧

昇圧スケーラとファイン ボリュームを組み合わせるとクリッピングに使用できます。THD 昇圧ブロックにより、ユーザーは電源レールで定義された点よりも前の動作点でクリッピングさせることで、プログラマ的に THD を増加させることができます。

7.5.2.10 レベル メーター

レベル メーターは、プログラム可能な時定数を持つエネルギー推定器を使用して、信号周波数および所望の精度レベルに基づいて感度レベルを調整します。表 7-26 に示すように、左右のチャンネルのレベル メーター出力は、32 ビットのサブアドレス位置に 1.31 形式で書き込まれます。ブック 8C、ページ 0x21、レジスタ 0x70 にある「レベル メーターにバイパス」ビットを使用すると、レベル メーターへの入力を処理前のオーディオから処理後のオーディオに切り替えることができます。

7.5.3 他の処理ブロックの機能

7.5.3.1 数値形式

データ処理パスは 32 ビットで、32 ビットの係数があります。係数は、2 の補数のデジタル数値形式を使用します。

表 7-26. 2 の補数形式

ビット	2 の補数値
0111 1111	127
0111 1110	126
0000 0010	2
0000 0001	1
0000 0000	0
1111 1111	-1
1111 1110	-2
1000 0010	-126
1000 0001	-127
1000 0000	-128

7.5.3.1.1 係数のフォーマット変換

このデバイスは、32 ビットの 2 の補数形式を使用します。計算された 4 バイトのレジスタ値は、8 桁の 16 進値で示されています。

表 7-27. 1.31 形式の計算例

dB	直線性	10 進	16 進 (1.31 形式)
0	1	2147483648	7FFFFFFF
-6	0.5	1073741824	40000000
-20	0.1	214748364	0CCCCCCC
x	$L = 10^{(x/20)}$	$D = 2^{31} \times L, D < 2^{31}$ $D = 2^{31}, D \geq 2^{31}$	Dec2Hex(D, 8) ⁽¹⁾

(1) Dec2Hex(D, 8)。ここで 8 は 8 ニブル、つまり 38 ビットを表します。

1.31 形式では、線形値は 1 または 10 進値の 232 を超えることはできない点に注意してください。

表 7-28. B.A 形式の計算例

dB	直線性	10 進	16 進 (1.31 形式)
x	$L = 10^{(x/20)}$	$D = 2^A \times L, D < 2^{(B+A-1)}$ $D = 2^{(B+A-1)}, D \geq 2^{(B+A-1)}$	Dec2Hex(D, 8)

7.5.4 チェックサム

この TAS3251 デバイスは、巡回冗長性検査 (CRC) チェックサムと排他的 (XOR) チェックサムという 2 種類のチェックサム方式をサポートしています。どちらのチェックサムも、ブック スイッチ レジスタとページ スイッチング レジスタ、0x7F と 0x00 を除いて、それぞれレジスタ書き込みごとに機能します。レジスタの読み出しではチェックサムは変更されませんが、存在しないレジスタに書き込みを行うと、チェックサムが変更されます。両方のチェックサムは 8 ビットのチェックサムであり、両方とも同時に利用できます。チェックサムは、4 バイトの各レジスタ位置に開始値 (たとえば、0x 00 00 00 00) を書き込むことでリセットできます。

7.5.4.1 巡回冗長性検査 (CRC) チェックサム

使用される 8 ビット CRC チェックサムは $0x7$ 多項式 (CRC-8-CCITT I.432.1、ATM HEC、ISDN HEC、およびセルの描画 $(1 + x^1 + x^2 + x^8)$) です。CRC チェックサムの主な利点は、入力順序に敏感であることです。

CRC は、ブックとページの切り替えを除く、すべての I²C トランザクションをサポートします。CRC チェックサムは、ブック $0x00$ の任意のページにあるレジスタ $0x7E$ (B0_Page x_Reg 126) から読み取られます。ブックがブック 0 でない場合、CRC チェックサムはページ $0x00$ のレジスタ $0x7E$ (Page 0_Reg 126) でのみ有効です。CRC チェックサムは、CRC チェックサムが有効なものであるのと同じレジスタ位置に $0x00\ 00\ 00\ 00$ を書き込むことでリセットできます。

7.5.4.2 排他 または (XOR) チェックサム

Xor チェックサムは、より単純なチェックサム方式である。各レジスタ バイト書き込みを、直前の 8 ビット チェックサムレジスタ値と順次 XOR 演算します。XOR は YMEM のみに対応しており、これは Book $0x8C$ に配置されています。ただし、ページ切り替えおよび Book $0x8C$ の Page $0x00$ にあるすべてのレジスタは対象外です。XOR チェックサムは、ブック $0x8C$ のページ $0x00$ にあるレジスタ $0x7D$ (B140_Page 0_Reg 125) から読み取られます。XOR チェックサムは、読み出されるのと同じレジスタ位置に $0x00\ 00\ 00\ 00$ を書き込むことでリセットできます。

表 7-29. XOR の真理値表

入力		出力
A	B	
0	0	0
0	1	1
1	0	1
1	1	0

7.6 レジスタ マップ

7.6.1 レジスタ - ページ 0

7.6.1.1 レジスタ 1 (0x01)

図 7-33. レジスタ 1 (0x01)

7	6	5	4	3	2	1	0
予約済み		RSTM		予約済み		RSTR	
R/W		R/W		R/W		R/W	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-30. レジスタ 1 (0x01) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み			予約済み
4	RSTM	R/W	0	リセット モジュール - このビットは、補間フィルタと DAC モジュールをリセットします。DSP もリセットされるので、RAM 係数の内容も DSP によってクリアされます。このビットは自動的にクリアされ、スタンバイモードでのみ設定できます。 0: 通常 1: リセット モジュール
3-1	予約済み			予約済み
0	RSTR	R/W	0	リセットレジスタ - このビットは、モードレジスタを初期値にリセットします。RAM の内容はクリアされませんが、実行ソースは ROM に戻ります。このビットは自動的にクリアされるため、DAC がスタンバイモードのときのみセットする必要があります (DAC 実行中のレジスタリセットは禁止され、サポートしていません)。 0: 通常 1: リセット モードレジスタ

7.6.1.2 レジスタ 2 (0x02)

図 7-34. レジスタ 2 (0x02)

7	6	5	4	3	2	1	0
DSPR	予約済み		RQST	予約済み		RQPD	
R/W	R/W		R/W	R/W		R/W	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-31. レジスタ 2 (0x02) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DSPR	R/W	1	DSP リセット - ビットが 0 になると、DSP は電源投入を開始し、データを送信します。これは、すべての入力クロック (ASI, MCLK, PLLCLK) がセリングした後でのみ 0 にして、DMA チャネルが同期を終了しないようにする必要があります。 0: 通常動作 1: DSP をリセットします
6-5	予約済み	R/W		予約済み
4	RQST	R/W	0	スタンバイ要求 - このビットがセットされると、DAC はシステムスタンバイモードに強制的に移行します。このモードは、クロックエラー発生時にシステムが入るモードでもあります。このモードでは、ほとんどのサブシステムのパワーダウンが行われますが、チャージポンプとデジタル電源がオフになります。 0: 通常動作 1: スタンバイモード
3-1	予約済み	R/W		予約済み

表 7-31. レジスタ 2 (0x02) のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	RQPD	R/W	0	<p>パワーダウン要求 - このビットがセットされると、DAC はパワーダウン モードに強制移行します。このモードでは、チャージポンプも停止するため、消費電力は最小となります。ただし、このモードからの再起動には時間がかかります。このモードはスタンバイモードよりも優先されます。すなわち、このビットをスタンバイモード用のビット 4 と同時にセットした場合、DAC はパワーダウンモードに移行します。</p> <p>0: 通常動作 1: パワーダウンモード</p>

7.6.1.3 レジスタ 3 (0x03)

図 7-35. レジスタ 3 (0x03)

7	6	5	4	3	2	1	0
予約済み			RQML	予約済み			RQMR
RO			R/W	R/W			R/W

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-32. レジスタ 3 (0x03) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	RO		予約済み
4	RQML	R/W	0	<p>左チャンネル ミュート - このビットは左チャンネルにソフトミュート要求を出します。ボリュームは、ポップ/クリック ノイズを防ぐためにスムーズに下降/上向きになります。</p> <p>0: 通常のボリューム 1: ミュート</p>
3-1	予約済み	R/W		予約済み
0	RQMR	R/W	0	<p>右チャンネル ミュート - このビットは、右チャンネルにソフトミュート要求を発行します。ボリュームは、ポップ/クリック ノイズを防ぐためにスムーズに下降/上向きになります。</p> <p>0: 通常のボリューム 1: ミュート</p>

7.6.1.4 レジスタ 4 (0x04)

図 7-36. レジスタ 4 (0x04)

7	6	5	4	3	2	1	0
予約済み			PLCK	予約済み			PLLE
R/W			R	R/W			R/W

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-33. レジスタ 4 (0x04) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W		予約済み
4	PLCK	R	0	<p>PLL ロック フラグ - このビットは、PLL がロックされているかどうかを示します。PLL がディスエーブルの場合、このビットは常に PLL がロックされていないことを示します。</p> <p>0: PLL がロックされています 1: PLL はロックされていません</p>
3-1	予約済み	R/W		予約済み

表 7-33. レジスタ 4 (0x04) のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	PLLE	R/W	1	PLL イネーブル - このビットは、内部 PLL をイネーブルまたはディスエーブルにします。PLL が無効化されている場合、コントローラクロックは MCLK に切り替わります。 0: PLL を無効化 1: PLL をイネーブルにします

7.6.1.5 レジスタ 6 (0x06)

図 7-37. レジスタ 6 (0x06)

7	6	5	4	3	2	1	0
予約済み			DBPG		予約済み		
R/W			R/W		R/W		

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-34. レジスタ 6 (0x06) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み		0	予約済み
3	DBPG	R/W	0	ページ自動増分を無効にします - ページ数がゼロ以外の書籍の場合、ページ自動増分モードを無効にします。ページの末尾に達すると、このビットが 0 であれば次のページの 8 番目のアドレス位置に戻ります。このビットが 1 の場合、旧部分と同様に、現在のページ自体の 0 th 位置に移動します。 0: ページ自動インクリメントを有効にします 1: ページ自動インクリメントを無効にします
2-0	予約済み	R/W	0	予約済み

7.6.1.6 レジスタ 7 (0x07)

図 7-38. レジスタ 7 (0x07)

7	6	5	4	3	2	1	0
予約済み			DEMP		予約済み		SDSL
R/W			R/W		R/W		R/W

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-35. レジスタ 7 (0x07) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0	予約済み
4	DEMP	R/W	0	ディエンファシス イネーブル - このビットは、ディエンファシスフィルタをイネーブルまたはディスエーブルにします。デフォルトの係数は 44.1 kHz のサンプリング周波数用ですが、RAM 内の該当する係数を再プログラムすることで変更できます。 0: ディエンファシスフィルタは無効です。 1: ディエンファシスフィルタは有効です
3-1	予約済み	R/W	0	予約済み
0	SDSL	R/W	1	SDOUT 選択 - このビットは、SDOUT ピン経由で SDOUT として出力されるものを選択します。 0: SDOUT は DSP 出力 (後処理) です。 1: SDOUT は DSP 入力 (前処理) です

7.6.1.7 レジスタ 8 (0x08)

図 7-39. レジスタ 8 (0x08)

7	6	5	4	3	2	1	0
予約済み		G2OE	MUTEOE	予約済み			
R/W		R/W	R/W	R/W			

表 7-36. レジスタ 8 (0x08) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W		予約済み
5	G2OE	R/W	0	SDOUT 出力イネーブルこのビットは SDOUT ピンの方向を設定します 0:SDOUT は入力です 1:SDOUT は出力です
4	MUTEOE	R/W	0	ミュート制御イネーブル – このビットは、PCM から TPA へのミュート制御のイネーブルを設定します 0:ミュートコントロール無効 1:ミュート制御イネーブル
3-0	予約済み	R/W	0	予約済み

7.6.1.8 レジスタ 9 (0x09)

図 7-40. レジスタ 9 (0x09)

7	6	5	4	3	2	1	0
予約済み		SCLKP	SCLKO	予約済み		LRCLKFSO	
R/W		R/W	R/W	R/W		R/W	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-37. レジスタ 9 (0x09) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み			予約済み
5	SCLKP	R/W	0	SCLK 極性 - このビットは、反転 SCLK モードを設定します。反転 SCLK モードでは、DAC は LRCLK と DIN のエッジが SCLK の立ち上がりエッジに整列していることを想定しています。通常は、SCLK の立ち下がりエッジに合わせて調整されているものと想定されています。 0:通常 SCLK モード 1:反転 SCLK モード
4	SCLKO	R/W	0	SCLK 出力イネーブル – このビットは、I2S コントローラ モード動作において SCLK ピンの方向を出力に設定します。I2S コントローラ モードでは、PCM51xx が基準となる SCLK と LRCLK を出力し、外部ソース デバイスがこれらのクロックに従って DIN を供給します。目的の SCLK レート (通常は 64 FS) を得るために、P0-R32 を使用して MCLK の分周比を設定します 0:SCLK は入力 (I2S ターゲット モード) 1:SCLK は出力 (I2S コントローラ モード)
3-1	予約済み			予約済み
0	LRKO	R/W	0	LRCLK 出力イネーブル – このビットは、I2S コントローラ モード動作において LRCLK ピンの方向を出力に設定します。I2S コントローラ モードでは、PCM51xx が基準となる SCLK と LRCLK を出力し、外部ソース デバイスがこれらのクロックに従って DIN を供給します。LRCLK を 1 FS にするために、P0-R33 を使用して SCLK の分周比を設定します。 0:LRCLK は入力 (I2S ターゲット モード) 1:LRCLK は出力 (I2S コントローラ モード)

7.6.1.9 レジスタ 12 (0x0C)

図 7-41. レジスタ 12 (0x0C)

7	6	5	4	3	2	1	0
予約済み						RSCLK	RLRK
R/W						R/W	R/W

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-38. レジスタ 12 (0x0C) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W		予約済み
1	RSCLK	R/W	0	コントローラ モード SCLK 分周器リセット – このビットを 0 に設定すると、I2S コントローラ モード用に SCLK クロックを生成するための MCLK 分周器がリセットされます。I2S コントローラ モードを使用するには、分周器をイネーブルにし、正しくプログラムする必要があります。 0: コントローラ モード SCLK のクロック分周器がリセットされます 1: コントローラ モードの SCLK クロック分周器が機能します
0	RLRK	R/W	1	コントローラ モード LRCLK 分周器リセット – このビットを 0 に設定すると、I2S コントローラ モード用に LRCLK クロックを生成するための SCLK 分周器がリセットされます。I2S コントローラ モードを使用するには、分周器をイネーブルにし、正しくプログラムする必要があります。 0: コントローラ モード LRCLK のクロック分周器がリセットされます 1: コントローラ モードの LRCLK クロック分周器が機能します

7.6.1.10 レジスタ 13 (0x0D)

図 7-42. レジスタ 13 (0x0D)

7	6	5	4	3	2	1	0
予約済み			SREF	予約済み	SDSP		
R/W			R/W	R/W	R/W		

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-39. レジスタ 13 (0x0D) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W		予約済み
4	SREF	R/W	0	DSP クロック ソース – このビットは内部 PLL のソース クロックを選択します。このビットは無視され、クロック自動設定モードでは上書きされません。 0: PLL リファレンスクロックは MCLK 1: PLL リファレンスクロックは SCLK 010: PLL リファレンス クロックは発振器クロック 011: PLL リファレンス クロックは GPIO (P0~R18 を使用して選択) その他: 予約済み (PLL リファレンスはミュート)
3	予約済み	R/W		予約済み
2-0	SDSP	R/W	0	DAC クロック ソース – これらのビットは DSP クロック分周器用のソース クロックを選択します。 000: コントローラ クロック (PLL/MCLK および OSC の自動選択) 001: PLL クロック 010: OSC クロック 011: MCLK クロック 100: SCLK クロック 101: GPIO (P0~R16 で選択) その他: 予約済み (ミュート)

7.6.1.11 レジスタ 14 (0x0E)

図 7-43. レジスタ 14 (0x0E)

7	6	5	4	3	2	1	0
予約済み	SDAC			予約済み	SOSR		
R/W	R/W			R/W	R/W		

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-40. レジスタ 14 (0x0E) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	予約済み
6-4	SDAC	R/W	0	DAC クロック ソース – これらのビットは DAC クロック分周器用のソース クロックを選択します。 000: コントローラ クロック (PLL/MCLK および OSC の自動選択) 001: PLL クロック 010: OSC クロック 011: MCLK クロック 100: SCLK クロック 101: GPIO (P0~R16 で選択) その他: 予約済み (ミュート)
3	予約済み	R/W	0	予約済み
2-0	SOSR	R/W	0	OSR クロック ソース – これらのビットは OSR クロック分周器用のソース クロックを選択します。 000: DAC クロック 001: コントローラ クロック (PLL/MCLK および OSC 自動選択) 010: PLL クロック 011: OSC クロック 100: MCLK クロック 101: SCLK クロック 110: GPIO (P0~R17 で選択) その他: 予約済み (ミュート)

7.6.1.12 レジスタ 15 (0x0F)

図 7-44. レジスタ 15 (0x0F)

7	6	5	4	3	2	1	0
予約済み						SNCP	
R/W						R/W	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-41. レジスタ 15 (0x0F) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W		予約済み

表 7-41. レジスタ 15 (0x0F) のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	SNCP	R/W	0	NCP クロック ソース—これらのビットは CP クロック分周器用のソース クロックを選択します。 000: DAC クロック 001: コントローラ クロック (PLL/MCLK および OSC の自動選択) 010: PLL クロック 011: OSC クロック 100: MCLK クロック 101: SCLK クロック 110: GPIO (P0~R17 で選択) その他: 予約済み (ミュート)

7.6.1.13 レジスタ 16 (0x10)

図 7-45. レジスタ 16 (0x10)

7	6	5	4	3	2	1	0
予約済み	GDSP		予約済み		GDAC		
R/W	R/W		R/W		R/W		

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-42. レジスタ 16 (0x10) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	予約済み
6-4	GDSP	R/W	0	uCDSP クロックの GPIO ソース - これらのビットは、GPIO が DSP クロック分周器のソースとして選択されている場合に、SDOUT ピンをクロック入力ソースとして選択します。 000: N/A 001: N/A 010: N/A 011: N/A 100: N/A 101: SDOUT その他: 予約済み (ミュート)
3	予約済み	R/W	0	予約済み
2-0	GDAC	R/W	0	DAC クロック用 GPIO ソース - これらのビットは、GPIO が DAC クロック分周器のソースとして選択されている場合に、SDOUT ピンをクロック入力ソースとして選択します。 000: N/A 001: N/A 010: N/A 011: N/A 100: N/A 101: SDOUT その他: 予約済み (ミュート)

7.6.1.14 レジスタ 17 (0x11)

図 7-46. レジスタ 17 (0x11)

7	6	5	4	3	2	1	0
予約済み	GNCP			予約済み	GOSR		
R/W	R/W			R/W	R/W		

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-43. レジスタ 17 (0x11) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	予約済み
6-4	GNCP	R/W	0	NCP クロック用 GPIO ソース – これらのビットは、GPIO が CP クロック分周器のソースとして選択されている場合に、SDOUT ピンをクロック入力ソースとして選択します 000: N/A 001: N/A 010: N/A 011: N/A 100: N/A 101: SDOUT その他: 予約済み (ミュート)
3	予約済み	R/W	0	予約済み
2-0	GOSR	R/W	0	OSR クロック用 GPIO ソース – これらのビットは、GPIO が OSR クロック分周器のソースとして選択されている場合に、SDOUT ピンをクロック入力ソースとして選択します。 000: N/A 001: N/A 010: N/A 011: N/A 100: N/A 101: SDOUT その他: 予約済み (ミュート)

7.6.1.15 レジスタ 18 (0x12)

図 7-47. レジスタ 18 (0x12)

7	6	5	4	3	2	1	0
予約済み					GREF		
R/W					R/W		

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-44. レジスタ 18 (0x12) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	0	予約済み

表 7-44. レジスタ 18 (0x12) のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	GRES	R/W	0	PLL 参照クロック用の GPIO ソース - これらのビットは、GPIO が PLL のリファレンス クロック源として選択されている場合に、SDOUT ピンをクロック入力源として選択します。 000: N/A 001: N/A 010: N/A 011: N/A 100: N/A 101: SDOUT その他: 予約済み (ミュート)

7.6.1.16 レジスタ 20 (0x14)

図 7-48. レジスタ 20 (0x14)

7	6	5	4	3	2	1	0
予約済み				PPDV			
R/W				R/W			

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-45. レジスタ 20 (0x14) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0	予約済み
3-0	PPDV	R/W	0	PLL P - これらのビットは PLL 分周器 P 係数を設定します。クロック自動設定モードでは、これらのビットは無視されます。 0000: P=1 0001: P=2 ... 1110: P=15 1111: 禁止 (この値を設定しないでください)

7.6.1.17 レジスタ 21 (0x15)

図 7-49. レジスタ 21 (0x15)

7	6	5	4	3	2	1	0
予約済み		PJDV					
R/W		R/W					

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-46. レジスタ 21 (0x15) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み		0	予約済み
5-0	PJDV	R/W	001000	PLL J –これらのビットは、全体の PLL 乗算係数 $J \cdot D \cdot R$ の J 部分を設定します。クロック自動設定モードでは、これらのビットは無視されます。 000000: 禁止 (この値を設定しないでください) 000001: J=1 000010: J=2 ... 111111: J=63

7.6.1.18 レジスタ 22 (0x16)

図 7-50. レジスタ 22 (0x16)

7	6	5	4	3	2	1	0
予約済み		PDDV					
R/W		R/W					

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-47. レジスタ 22 (0x16) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W		予約済み
5-0	PDDV	R/W	0	PLL D (MSB) - これらのビットは、全体の PLL 乗算係数 $J \cdot D \cdot R$ の D 部分を設定します。これらのビットはクロック自動設定モードでは無視されます。 0 (10 進数): D=0000 1 (10 進数): D=0001 ... 9999 (10 進数): D= 9999 その他: 禁止 (設定しないでください)

7.6.1.19 レジスタ 23 (0x17)

図 7-51. レジスタ 23 (0x17)

7	6	5	4	3	2	1	0
PDDV							
R/W							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-48. レジスタ 23 (0x17) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PDDV	R/W	0	PLL D (LSB) - これらのビットは、全体の PLL 乗算係数 J.D * R の D 部分を設定します。これらのビットはクロック自動設定モードでは無視されます。 0 (10 進数): D=0000 1 (10 進数): D=0001 ... 9999 (10 進数): D= 9999 その他: 禁止 (設定しないでください)

7.6.1.20 レジスタ 24 (0x18)

図 7-52. レジスタ 24 (0x18)

7	6	5	4	3	2	1	0
予約済み				PRDV			
R/W				R/W			

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-49. レジスタ 24 (0x18) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W		予約済み
3-0	PRDV	R/W	0	PLL R - これらのビットは、全体の PLL 乗算係数 J.D * R の R 部分を設定します。これらのビットはクロック自動設定モードでは無視されます。 0000: R=1 0001: R=2 ... 1111: R = 16

7.6.1.21 レジスタ 27 (0x1B)

図 7-53. レジスタ 27 (0x1B)

7	6	5	4	3	2	1	0
予約済み				DDSP			
R/W				R/W			

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-50. レジスタ 27 (0x1B) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W		予約済み

表 7-50. レジスタ 27 (0x1B) のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	DDSP	R/W	0	DSP クロック分周器 - これらのビットは、DSP クロックのソース クロック分周器値を設定します。クロック自動設定モードでは、これらのビットは無視されます。 0000000: 1 分周 0000001: 2 分周 ... 1111111: 128 分周

7.6.1.22 レジスタ 28 (0x1C)

図 7-54. レジスタ 28 (0x1C)

7	6	5	4	3	2	1	0
予約済み							DDAC
R/W							R/W

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-51. レジスタ 28 (0x1C) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み			予約済み
6-4	DDAC	R/W	0	DAC クロック分周器 - これらのビットは、DAC クロックのソース クロック分周器値を設定します。クロック自動設定モードでは、これらのビットは無視されます。 0000000: 1 分周 0000001: 2 分周 ... 1111111: 128 分周
3-0		R/W	1	

7.6.1.23 レジスタ 29 (0x1D)

図 7-55. レジスタ 29 (0x1D)

7	6	5	4	3	2	1	0
予約済み							DNCP
R/W							R/W

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-52. レジスタ 29 (0x1D) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み			予約済み
6-2	DNCP	R/W	0	NCP クロック分周器 - これらのビットは、CP クロックのソース クロック分周器値を設定します。クロック自動設定モードでは、これらのビットは無視されます。 0000000: 1 分周 0000001: 2 分周 ... 1111111: 128 分周
1-0		R/W	1	

7.6.1.24 レジスタ 30 (0x1E)

図 7-56. レジスタ 30 (0x1E)

7	6	5	4	3	2	1	0
予約済み							DOSR

図 7-56. レジスタ 30 (0x1E) (続き)

R/W	R/W
-----	-----

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-53. レジスタ 30 (0x1E) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み			予約済み
6-4	DOSR	R/W	0	OSR クロック分周器 - これらのビットは、OSR クロックのソースクロック分周器値を設定します。クロック自動設定モードでは、これらのビットは無視されます。 0000000: 1 分周 0000001: 2 分周 ... 1111111: 128 分周
3-0		R/W	1	

7.6.1.25 レジスタ 32 (0x20)

図 7-57. レジスタ 32 (0x20)

7	6	5	4	3	2	1	0
予約済み	DSCLK						
R/W	R/W						

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-54. レジスタ 32 (0x20) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W		予約済み
6-0	DSCLK	R/W	0	コントローラモード SCLK 分周器 - これらのビットは、I2S コントローラの SCLK クロックを生成するための MCLK 分周比を設定します。 0000000: 1 分周 0000001: 2 分周 ... 1111111: 128 分周

7.6.1.26 レジスタ 33 (0x21)

図 7-58. レジスタ 33 (0x21)

7	6	5	4	3	2	1	0
DLRK							
R/W							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-55. レジスタ 33 (0x21) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DLRK	R/W	0	コントローラモード LRCLK 分周器 - これらのビットは、I2S コントローラの SCLK クロック分周値を設定し、I2S コントローラの LRCLK クロックを生成します 00000000: 1 分周 00000001: 2 分周 ... 11111111: 256 分周

7.6.1.27 レジスタ 34 (0x22)

図 7-59. レジスタ 34 (0x22)

7	6	5	4	3	2	1	0
予約済み		I16E		予約済み	FSSP	FSSP	
R/W		R/W		R/W	R/W	R/W	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-56. レジスタ 34 (0x22) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W		予約済み
4	I16E	R/W	0	16x 補間 - このビットは、16x 補間モードをイネーブルまたはディスエーブルにします 0: 8x 補間 1: 16x 補間
3	予約済み	R/W		予約済み
2	FSSP	R/W	1	FS 速度モード - これらのビットは、FS 動作モードを選択します。このモードは、現在のオーディオ サンプリング レートに応じて設定する必要があります。クロック自動設定モードでは、これらのビットは無視されます。 000: 予約済み 001: 予約済み 010: 予約済み 011: 48kHz 100: 88.2-96kHz 101: 予約済み 110: 予約済み 111: 32kHz
1-0		R/W	0	

7.6.1.28 レジスタ 37 (0x25)

図 7-60. レジスタ 37 (0x25)

7	6	5	4	3	2	1	0
予約済み	IDFS	IDBK	IDSK	IDCH	IDCM	DCAS	IPLK
R/W							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-57. レジスタ 37 (0x25)のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W		予約済み
6	IDFS	R/W	0	FS 検出を無視 – このビットは、FS 検出を無視するかどうかを制御します。無視されると、FS エラーによってクロック エラーは発生しません。 0: FS 検出を考慮 1: FS 検出を無視します
5	IDBK	R/W	0	SCLK 検出を無視 – このビットは、SCLK 検出を LRCLK に対して無視するかどうかを制御します。SCLK は 32 FS 以上 256 FS 以下の範囲で安定していなければならない、そうでない場合はエラーが報告されます。無視されると、SCLK エラーによってクロック エラーは発生しません。 0: SCLK 検出を考慮 1: SCLK 検出を無視します
4	IDSK	R/W	0	MCLK 検出を無視 – このビットは、MCLK 検出を LRCLK に対して無視するかどうかを制御します。許容誤差範囲内の特定の MCLK 比率のみが許可されます。無視されると、MCLK エラーによってクロック エラーは発生しません。 0: MCLK 検出を考慮 1: MCLK 検出を無視します
3	IDCH	R/W	0	クロック停止検出を無視 – このビットは、MCLK の停止 (静止または許容値未満の周波数) 検出を無視するかどうかを制御します。無視する設定にすると、MCLK の停止はクロック エラーを引き起こしません。 0: MCLK 停止検出について 1: MCLK 停止検出は無視します
2	IDCM	R/W	0	LRCLK/SCLK 欠落検出を無視 – このビットは、LRCLK/SCLK 欠落検出を無視するかどうかを制御します。LRCLK/SCLK が欠落していると見なされるためには、(単に静止しているだけでなく) Low 状態である必要があります。無視する設定にすると、LRCLK/SCLK の欠落が発生しても DAC がパワーダウン モードに移行することはありません。 0: LRCLK/SCLK 欠落検出を有効にする 1: LRCLK/SCLK 欠落検出は無視します
1	DCAS	R/W	0	クロック分周器自動設定の無効化 – このビットは、クロック自動設定モードを有効または無効にします。一般的でないオーディオ クロック構成を扱う場合、自動設定モードを無効にし、すべてのクロック分周器を手動で設定する必要があります。 さらに、クロック検出器の中には無効にする必要があるものもあります。クロック自動設定機能は、PLL が VCOM モードで有効になっている場合には動作しません。この場合、この機能を無効にし、クロック分周器を手動で設定する必要があります。 0: クロックの自動設定を有効化 1: クロックの自動設定を無効化
0	IPLK	R/W	0	PLL ロック検出を無視 – このビットは、PLL ロック検出を無視するかどうかを制御します。無視する設定にすると、PLL のアンロックはクロック エラーを引き起こしません。P0~R4 のビット 4 にある PLL ロック フラグは、このビットの設定に関係なく常に正しい状態を示します。 0: PLL ロック解除はクロック エラーを発生させます。 1: PLL のロック解除は無視されます

7.6.1.29 レジスタ 40 (0x28)

図 7-61. レジスタ 40 (0x28)

7	6	5	4	3	2	1	0
予約済み		AFMT		予約済み		ALEN	
R/W		R/W		R/W		R/W	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-58. レジスタ 40 (0x28) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	–			
5-4	AFMT	R/W	0	I2S データフォーマット - これらのビットは、DAC 動作の入力と出力両方のオーディオ インターフェイス フォーマットを制御します。 00: I2S 01: DSP 10: RTJ 11: LTJ
3-2	予約済み	R/W		予約済み
1	ALEN	R/W	1	I2S ワード長 - これらのビットは、DAC 動作の入力と出力両方のオーディオ インターフェイスのサンプルワード長を制御します。 00: 16 ビット 01: 20 ビット 10: 24 ビット 11: 32 ビット
0		R/W	0	

7.6.1.30 レジスタ 41 (0x29)

図 7-62. レジスタ 41 (0x29)

7	6	5	4	3	2	1	0
AOFS							
R/W							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-59. レジスタ 41 (0x29) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	AOFS	R/W	0	I2S シフト - これらのビットは、入力と出力の両方のオーディオ フレーム内のオーディオ データのオフセットを制御します。オフセットは、オーディオ フレームの開始 (MSB) から目的のオーディオ サンプルの開始までの SCLK 数として定義されます。 00000000: オフセット = 0 SCLK (オフセットなし) 00000001: オフセット = 1 SCLK 00000010: オフセット = 2 SCLKs ... 11111111: オフセット = 256 SCLKs

7.6.1.31 レジスタ 42 (0x2A)

図 7-63. レジスタ 42 (0x2A)

7	6	5	4	3	2	1	0
予約済み		AUPL		予約済み		AUPR	
R/W		R/W		R/W		R/W	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-60. レジスタ 42 (0x2A) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W		予約済み
5	AUPL	R/W	0	左 DAC データ パス - これらのビットは、左チャンネルのオーディオ データ パス接続を制御します。
4		R/W	1	00: ゼロ データ (ミュート) 01: 左チャンネル データ 10: 右チャンネル データ 11: 予約済み (設定しないでください)
3-2	予約済み	R/W		予約済み
1	AUPR	R/W	0	右 DAC データ パス - これらのビットは、右チャンネルのオーディオ データ パス接続を制御します。
0		R/W	1	00: ゼロ データ (ミュート) 01: 右チャンネル データ 10: 左チャンネル データ 11: 予約済み (設定しないでください)

7.6.1.32 レジスタ 43 (0x2B)

図 7-64. レジスタ 43 (0x2B)

7	6	5	4	3	2	1	0
予約済み				PSEL			
R/W				R/W			

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-61. レジスタ 43 (0x2B) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W		予約済み
4-1	PSEL	R/W	0	DSP プログラムの選択 - これらのビットは、オーディオ処理に使用する DSP プログラムを選択します。
0		R/W	1	0000: 予約済み 00001: Rom モード 1 00010: 予約済み 00011: 予約済み

7.6.1.33 レジスタ 44 (0x2C)

図 7-65. レジスタ 44 (0x2C)

7	6	5	4	3	2	1	0
予約済み					CMDP		
R/W					R/W		

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-62. レジスタ 44 (0x2C) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み			予約済み
2-0	CMDP	R/W	0	クロック欠落検出期間 - これらのビットは、SCLK と LRCLK がどのくらいの時間 Low のまま維持された場合にオーディオ クロックが欠落したと見なされ、DAC がパワーダウン モードへ移行するかを設定します。 000: 約 1 秒 001: 約 2 秒 010: 約 3 秒 ... 111: 約 8 秒

7.6.1.34 レジスタ 59 (0x3B)

図 7-66. レジスタ 59 (0x3B)

7	6	5	4	3	2	1	0
予約済み	略 AMTL			予約済み	AMTR		
R/W	R/W			R/W	R/W		

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-63. レジスタ 59 (0x3B) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W		予約済み
6-4	略 AMTL	R/W	0	左チャンネルの自動ミュート時間 - これらのビットは、チャンネルを自動ミュートできるようにするために、左チャンネルでの連続するゼロ サンプルの長さを指定します。ここに示す時間は 96kHz のサンプリング レートに対するものであり、他のレートに合わせてスケールリングされます。 000: 11.5ms 001: 53ms 010: 106.5ms 011: 266.5ms 100: 0.535 sec 101: 1.065 sec 110: 2.665 sec 111: 5.33 秒
3	予約済み	R/W		予約済み

表 7-63. レジスタ 59 (0x3B) のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	AMTR	R/W	0	右チャンネルの自動ミュート時間 - これらのビットは、チャンネルを自動ミュートできるようにするために、右チャンネルでの連続するゼロ サンプルの長さを指定します。ここに示す時間は 96kHz のサンプリング レートに対するものであり、他のレートに合わせてスケールリングされます。 000: 11.5ms 001: 53ms 010: 106.5ms 011: 266.5ms 100: 0.535 sec 101: 1.065 sec 110: 2.665 sec 111: 5.33 秒

7.6.1.35 レジスタ 60 (0x3C)

図 7-67. レジスタ 60 (0x3C)

7	6	5	4	3	2	1	0
予約済み						PCTL	
R/W						R/W	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-64. レジスタ 60 (0x3C) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	0	予約済み
1-0	PCTL	R/W	0	デジタル ボリューム制御 - これらのビットは、デジタル ボリュームの動作を制御します。 00: 左右のチャンネルのボリュームは独立しています 01: 右チャンネル音量は左チャンネル設定に従います

7.6.1.36 レジスタ 61 (0x3D)

図 7-68. レジスタ 61 (0x3D)

7	6	5	4	3	2	1	0
VOLL							
R/W							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-65. レジスタ 61 (0x3D) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	VOLL	R/W	00110000	左デジタル ボリューム制御 - これらのビットはデジタル ボリュームを制御します。デジタル ボリュームは、-0.5dB ステップで 24dB から -103dB です。 00000000: +24.0dB 00000001: +23.5 dB ... 00101111: +0.5dB 00110000: 0.0dB 00110001: -0.5 dB ... 11111110: -103dB 11111111: ミュート

7.6.1.37 レジスタ 62 (0x3E)

図 7-69. レジスタ 62 (0x3E)

7	6	5	4	3	2	1	0
VOLR							
R/W							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-66. レジスタ 62 (0x3E) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	VOLR	R/W	00110000	右デジタル ボリューム - これらのビットは、右チャンネルのデジタル ボリュームを制御します。デジタル ボリュームは、-0.5dB ステップで 24dB から -103dB です。 00000000: +24.0dB 00000001: +23.5 dB ... 00101111: +0.5dB 00110000: 0.0dB 00110001: -0.5 dB ... 11111110: -103dB 11111111: ミュート

7.6.1.38 レジスタ 63 (0x3F)

図 7-70. レジスタ 63 (0x3F)

7	6	5	4	3	2	1	0
VNDF		VNDS		VNUF		VNUS	
R/W		R/W		R/W		R/W	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-67. レジスタ 63 (0x3F) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VNDF	R/W	00	デジタル ボリューム通常ランプダウン周波数 - これらのビットは、ボリュームがランプダウンしているときのデジタル ボリュームの更新周波数を制御します。ここでの設定はソフトミュート要求に適用され、XSMUTE ピンまたは P0~R3 によってアサートされます。 00: 1 FS 期間ごとに更新 01: 2 FS 期間ごとに更新 10: 4 FS 期間ごとに更新 11: ボリュームを直接ゼロに設定します (インスタントミュート)
5-4	VNDS	R/W	11	デジタル ボリューム通常ランプダウン ステップ - これらのビットは、ボリュームのランプダウン時のデジタル ボリュームの更新手順を制御します。 ここでの設定はソフトミュート要求に適用され、XSMUTE ピンまたは P0~R3 によってアサートされます。 00: 更新ごとに 4dB デクリメント 01: 更新ごとに 2dB デクリメント 10: 更新ごとに 1dB デクリメント 11: 更新ごとに 0.5dB デクリメント

表 7-67. レジスタ 63 (0x3F) のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-2	VNUF	R/W	00	デジタル ボリューム通常ランプアップ周波数 - これらのビットは、ボリュームがランプアップしているときのデジタル ボリュームの更新周波数を制御します。 ここでの設定は、XSMUTE ピンまたは P0~R3 によってアサートされるソフト ミュート解除要求に適用されます。 00: 1 FS 期間ごとに更新 01: 2 FS 期間ごとに更新 10: 4 FS 期間ごとに更新 11: ボリュームを直接復元する (即時ミュート解除)
1-0	VNUS	R/W	11	デジタル ボリューム通常ランプ アップ ステップ - これらのビットは、ボリュームのランプアップ時のデジタル ボリュームの更新手順を制御します。 ここでの設定は、XSMUTE ピンまたは P0~R3 によってアサートされるソフト ミュート解除要求に適用されます。 00: 更新ごとに 4dB インクリメント 01: 更新ごとに 2dB インクリメント 10: 更新ごとに 1dB インクリメント 11: 更新ごとに 0.5dB インクリメント

7.6.1.39 レジスタ 64 (0x40)

図 7-71. レジスタ 64 (0x40)

7	6	5	4	3	2	1	0
VEDF		VEDS		予約済み			
R/W		R/W		R/W			

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-68. レジスタ 64 (0x40) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VEDF	R/W	0	デジタル ボリューム緊急ランプダウン周波数 - これらのビットは、クロック エラーまたは電源の停止によりボリュームがランプダウンしているときのデジタルボリュームの更新頻度を制御します。通常、通常のソフトミュートよりも高速なランプダウンが必要です。 00: 1 FS 期間ごとに更新 01: 2 FS 期間ごとに更新 10: 4 FS 期間ごとに更新 11: ボリュームを直接ゼロに設定します (インスタントミュート)
5-4	VEDS	R/W	1	デジタル ボリューム緊急ランプダウン ステップ - これらのビットは、クロック エラーまたは電源の停止によりボリュームがランプダウンしているときのデジタルボリュームの更新ステップを制御します。通常、通常のソフトミュートよりも高速なランプダウンが必要です。 00: 更新ごとに 4dB デクリメント 01: 更新ごとに 2dB デクリメント 10: 更新ごとに 1dB デクリメント 11: 更新ごとに 0.5dB デクリメント
3-0	予約済み	R/W		予約済み

7.6.1.40 レジスタ 65 (0x41)

図 7-72. レジスタ 65 (0x41)

7	6	5	4	3	2	1	0
予約済み					ACTL	AMLE	AMRE
R/W					R/W	R/W	R/W

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-69. レジスタ 65 (0x41) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W		予約済み
2	ACTL	R/W	1	オートミュートコントロール **NOBUS** – このビットは、ゼロ サンプル検出時のオートミュートの動作を制御します。ゼロ検出の時間長は、P0~R59 で設定されます。 0: 左チャンネルと右チャンネルを個別に自動ミュートします。 1: 両方のチャンネルをミュートしようとしている場合にのみ、左チャンネルと右チャンネルを自動的にミュートします。
1	AMLE	R/W	1	オートミュート 左チャンネル **NOBUS** – このビットは、右チャンネルでのオートミュートを有効または無効にします。右チャンネルのオートミュートが無効で、かつ P0-R65 のビット 2 が 1 に設定されている場合、左チャンネルもオートミュートされない点に注意してください。 0: 右チャンネルの自動ミュートをディセーブル 1: 右チャンネルの自動ミュートをイネーブル
0	AMRE	R/W	1	オートミュート 右チャンネル **NOBUS** – このビットは、左チャンネルでのオートミュートを有効または無効にします。左チャンネルのオートミュートが無効で、かつ P0-R65 のビット 2 が 1 に設定されている場合、右チャンネルもオートミュートされない点に注意してください。 0: 左チャンネルの自動ミュートをディセーブル 1: 左チャンネルの自動ミュートのイネーブル

7.6.1.41 レジスタ 67 (0x43)

図 7-73. レジスタ 67 (0x43)

7	6	5	4	3	2	1	0
DLPA		DRPA		DLPM		DRPM	
R/W		R/W		R/W		R/W	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-70. レジスタ 67 (0x43) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	DLPA	R/W	0	左 DAC プライマリ AC ディザークゲイン – これらのビットは、左チャンネル プライマリ DAC モジュールの AC ディザークゲインを制御します。 00: AC ディザークゲイン = 0.125 01: AC ディザークゲイン = 0.25
5-4	DRPA	R/W	0	右 DAC プライマリ AC ディザークゲイン – これらのビットは、右チャンネル プライマリ DAC モジュールの AC ディザークゲインを制御します。 00: AC ディザークゲイン = 0.125 01: AC ディザークゲイン = 0.25
3-2	DLPM	R/W	0	左 DAC プライマリ DEM ディザークゲイン – これらのビットは、左チャンネル プライマリ Galton DEM のディザークゲインを制御します。 00: DEM ディザークゲイン = 0.5 01: DEM ディザークゲイン = 1.0 その他: 予約済み (設定しないでください)
1-0	DRPM	R/W	0	右 DAC プライマリ DEM ディザークゲイン – これらのビットは、右チャンネル プライマリ Galton DEM のディザークゲインを制御します。 00: DEM ディザークゲイン = 0.5 01: DEM ディザークゲイン = 1.0 その他: 予約済み (設定しないでください)

7.6.1.42 レジスタ 68 (0x44)

図 7-74. レジスタ 68 (0x44)

7	6	5	4	3	2	1	0
予約済み						DLPD	
R/W						R/W	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-71. レジスタ 68 (0x44) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W		予約済み
2-0	DLPD	R/W	0	左 DAC プライマリ DC ディザーク – これらのビットは、左チャンネルのプライマリ DAC モジュールの下位部分に加える DC ディザーク量を制御します。DC ディザークは Q0.11 フォーマットで表され、1.0 はフルスケール モジュール入力 の 1/32 に相当します。 00000000000: DC ディザークなし 00000000001: $2^{-11} \times 1/32$ FS 00000000010: $2^{-10} \times 1/32$ FS

7.6.1.43 レジスタ 69 (0x45)

図 7-75. レジスタ 69 (0x45)

7	6	5	4	3	2	1	0
DLPD							
R/W							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-72. レジスタ 69 (0x45) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DLPD	R/W	0	左 DAC プライマリ DC ディザ – これらのビットは、左チャンネルのプライマリ DAC モジュレータの下位部分に加える DC ディザ量を制御します。DC ディザは Q0.11 フォーマットで表され、1.0 はフルスケール モジュレータ入力の 1/32 に相当します。 000000000000: DC ディザなし 000000000001: $2^{-11} \times 1/32$ FS 000000000010: $2^{-10} \times 1/32$ FS

7.6.1.44 レジスタ 70 (0x46)

図 7-76. レジスタ 70 (0x46)

7	6	5	4	3	2	1	0
DRPD							
R/W							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-73. レジスタ 70 (0x46) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DRPD	R/W	0	右 DAC プライマリ DC ディザ – これらのビットは、右チャンネルのプライマリ DAC モジュレータの下位部分に加える DC ディザ量を制御します。DC ディザは Q0.11 フォーマットで表され、1.0 はフルスケール モジュレータ入力の 1/32 に相当します。 000000000000: DC ディザなし 000000000001: $2^{-11} \times 1/32$ FS 000000000010: $2^{-10} \times 1/32$ FS

7.6.1.45 レジスタ 71 (0x47)

図 7-77. レジスタ 71 (0x47)

7	6	5	4	3	2	1	0
DRPD							
R/W							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-74. レジスタ 71 (0x47) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DRPD	R/W	0	右 DAC プライマリ DC ディザ – これらのビットは、右チャンネルのプライマリ DAC モジュレータの下位部分に加える DC ディザ量を制御します。DC ディザは Q0.11 フォーマットで表され、1.0 はフルスケール モジュレータ入力の 1/32 に相当します。 000000000000: DC ディザなし 000000000001: $2^{-11} \times 1/32$ FS 000000000010: $2^{-10} \times 1/32$ FS

7.6.1.46 レジスタ 72 (0x48)

図 7-78. レジスタ 72 (0x48)

7	6	5	4	3	2	1	0
DLSA		DRSA		DLSM		RSM	
R/W		R/W		R/W		R/W	

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-75. レジスタ 72 (0x48) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	DLSA	R/W	01	左 DAC セカンダリ AC ディザークゲイン – これらのビットは、左チャンネル セカンダリ DAC の AC ディザークゲインを制御します。 00: AC ディザークゲイン = 0.125 01: AC ディザークゲイン = 0.25
5-4	DRSA	R/W	01	右 DAC セカンダリ AC ディザークゲイン – これらのビットは、右チャンネル セカンダリ DAC モジュレータの AC ディザークゲインを制御します。 00: AC ディザークゲイン = 0.125 01: AC ディザークゲイン = 0.25 10: AC ディザークゲイン = 0.5 11: AC ディザークなし
3-2	DLSM	R/W	01	左 DAC セカンダリ DEM ディザークゲイン – これらのビットは、左チャンネル セカンダリ Galton DEM のディザークゲインを制御します。 00: DEM ディザークゲイン = 0.5 01: DEM ディザークゲイン = 1.0 その他: 予約済み (設定しないでください)
1-0	DRSM	R/W	01	右 DAC セカンダリ DEM ディザークゲイン – これらのビットは、右チャンネル セカンダリ Galton DEM のディザークゲインを制御します。 00: DEM ディザークゲイン = 0.5 01: DEM ディザークゲイン = 1.0 その他: 予約済み (設定しないでください)

7.6.1.47 レジスタ 73 (0x49)

図 7-79. レジスタ 73 (0x49)

7	6	5	4	3	2	1	0
DLSD							
R/W							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-76. レジスタ 73 (0x49) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DLSD	R/W	0	左 DAC セカンダリ DC ディザ – これらのビットは、左チャネルのセカンダリ DAC モジュレータの下位部分に加える DC ディザ量を制御します。DC ディザは Q0.11 フォーマットで表され、1.0 はフルスケール モジュレータ入力の 1/32 に相当します。 000000000000: DC ディザなし 000000000001: $2^{-11} \times 1/32$ FS 000000000010: $2^{-10} \times 1/32$ FS

7.6.1.48 レジスタ 74 (0x4A)

図 7-80. レジスタ 74 (0x4A)

7	6	5	4	3	2	1	0
DLSD							
R/W							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-77. レジスタ 74 (0x4A) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DLSD	R/W	0	左 DAC セカンダリ DC ディザ – これらのビットは、左チャネルのセカンダリ DAC モジュレータの下位部分に加える DC ディザ量を制御します。DC ディザは Q0.11 フォーマットで表され、1.0 はフルスケール モジュレータ入力の 1/32 に相当します。 000000000000: DC ディザなし 000000000001: $2^{-11} \times 1/32$ FS 000000000010: $2^{-10} \times 1/32$ FS

7.6.1.49 レジスタ 75 (0x4B)

図 7-81. レジスタ 75 (0x4B)

7	6	5	4	3	2	1	0
DRSD							
R/W							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-78. レジスタ 75 (0x4B) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DRSD	R/W	00000000	右 DAC セカンダリ DC ディザ – これらのビットは、右チャネルのセカンダリ DAC モジュレータの下位部分に加える DC ディザ量を制御します。DC ディザは Q0.11 フォーマットで表され、1.0 はフルスケール モジュレータ入力の 1/32 に相当します。 000000000000: DC ディザなし 000000000001: $2^{-11} \times 1/32$ FS 000000000010: $2^{-10} \times 1/32$ FS

7.6.1.50 レジスタ 76 (0x4C)

図 7-82. レジスタ 76 (0x4C)

7	6	5	4	3	2	1	0
DRSD							
R/W							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-79. レジスタ 76 (0x4C) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DRSD	R/W	00000000	右 DAC セカンダリ DC ディザ – これらのビットは、右チャネルのセカンダリ DAC モジュレータの下位部分に加える DC ディザ量を制御します。DC ディザは Q0.11 フォーマットで表され、1.0 はフルスケール モジュレータ入力の 1/32 に相当します。 000000000000: DC ディザなし 000000000001: $2^{-11} \times 1/32$ FS 000000000010: $2^{-10} \times 1/32$ FS

7.6.1.51 レジスタ 78 (0x4E)

図 7-83. レジスタ 78 (0x4E)

7	6	5	4	3	2	1	0
OLOF							
R/W							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-80. レジスタ 78 (0x4E) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	OLOF	R/W	00000000	<p>左 OFSCAL オフセット – これらのビットは、左チャンネル DAC 出力に加える手動 DC オフセット量を制御します。追加されるオフセットは、このレジスタの 10 進値を 4 で割った値のおおよそマイナス (mV 単位) になります。</p> <p>01111111: -31.75mV 01111110: -31.50mV ... 00000010: -0.50mV 00000001: -0.25mV 00000000: 0.0mV 11111111: +0.25mV 11111110: +0.50mV ... 10000000: +32.0mV</p>

7.6.1.52 レジスタ 79 (0x4F)

図 7-84. レジスタ 79 (0x4F)

7	6	5	4	3	2	1	0
OROF							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-81. レジスタ 79 (0x4F) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	OROF	R/W	0	<p>右 OFSCAL オフセット – これらのビットは、右チャンネル DAC 出力に加える手動 DC オフセット量を制御します。追加されるオフセットは、このレジスタの 10 進値を 4 で割った値のおおよそマイナス (mV 単位) になります。</p> <p>01111111: -31.75mV 01111110: -31.50 mV ... 00000010: -0.50mV 00000001: -0.25mV 00000000: 0.0mV 11111111: +0.25mV 11111110: +0.50mV ... 10000000: +32.0mV</p>

7.6.1.53 レジスタ 85 (0x55)

図 7-85. レジスタ 85 (0x55)

7	6	5	4	3	2	1	0
予約済み					G2SL		
R/W					R/W		

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-82. レジスタ 85 (0x55) レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0	予約済み
4-0	G2SL	R/W	0	<p>SDOUT 出力選択 – これらのビットは、SDOUT に出力する信号を選択します。選択した信号を実際に出力するには、P0-R8 で SDOUT を出力モードに設定する必要があります。</p> <p>0000: off (low)</p> <p>0001: DSP SDOUT 出力</p> <p>0010: レジスタ SDOUT 出力 (P0-R86、ビット 5)</p> <p>0011: 自動ミュートフラグ (L と R の両方のチャンネルが自動ミュートされているときにアサート)</p> <p>0100: 左チャンネルの自動ミュートフラグ</p> <p>0101: 右チャンネルの自動ミュートフラグ</p> <p>0110: クロック無効フラグ (クロック エラーまたはクロック変更、またはクロック消失)</p> <p>0111: シリアル オーディオ インターフェイス データ出力 (SDOUT)</p> <p>1000: 左チャンネルのアナログ ミュートフラグ (Low アクティブ)</p> <p>1001: 右チャンネルのアナログ ミュートフラグ (Low アクティブ)</p> <p>1010: PLL ロック フラグ</p> <p>1011: チャージ ポンプ クロック</p> <p>1100: 予約済み</p> <p>1101: 予約済み</p> <p>1110: 低電圧フラグ、XSMUTE 電圧が 0.7 DVDD を上回っているときにアサート</p> <p>1111: 低電圧フラグ、XSMUTE 電圧が 0.3 DVDD **内部** 1100 を上回るとアサート</p> <p>: 左チャンネルの短絡検出フラグ</p> <p>1101: 右チャンネルの短絡検出フラグ</p> <p>10000: PLL クロック / 4 10001: 発振器クロック / 4</p> <p>10010: 左チャンネルのインピーダンス センス フラグ</p> <p>10011: 右チャンネルのインピーダンス センス フラグ</p> <p>10100: 内部 UVP フラグは、VDD がおおよそ 2.7 V を下回ると Low になります</p> <p>10101: オフセット キャリブレーション フラグ。システムがオフセット キャリブレーションを実行しているときにアサートされます。</p> <p>10110: クロック エラー フラグ</p> <p>10111: クロック変更フラグ</p> <p>11000: クロック消失フラグ</p> <p>11001: クロック停止検出フラグ</p> <p>11010: DSP ブート完了フラグ</p> <p>11011: チャージ ポンプ電圧出力有効フラグ (Low アクティブ)</p> <p>その他: N/A (ゼロ)</p>

7.6.1.54 レジスタ 86 (0x56)

図 7-86. レジスタ 86 (0x56)

7	6	5	4	3	2	1	0
予約済み		GOUT2	MUTE	予約済み			
R/W		R/W	R/W	R/W			

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-83. レジスタ 86 (0x56) レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	0	予約済み
5	GOUT2	R/W	0	GPIO 出力制御 – このビットは、P0-R85 の選択が 0010 (レジスタ出力) に設定されている場合、SDOUT ピン出力を制御します 0: 出力 Low 1: 出力 High
4	MUTE	R/W	0	このビットは、P0-R84 の選択が 0010 (レジスタ出力) に設定されている場合、MUTE 出力を制御します。 0: 出力 Low 1: 出力 High
3-0	予約済み	R/W	0	予約済み

7.6.1.55 レジスタ 87 (0x57)

図 7-87. レジスタ 87 (0x57)

7	6	5	4	3	2	1	0
予約済み		GINV2	MUTE	予約済み			
R/W		R/W	R/W	R/W			

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-84. レジスタ 87 (0x57) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	0	予約済み
5	GINV2	R/W	0	GPIO 出力反転 - このビットは SDOUT ピン出力の極性を制御します。1 に設定すると、選択されているすべての信号の出力が反転されます。 0: 非反転 1: 反転
4	MUTE	R/W	0	このビットは、ミュート出力の極性を制御します。1 に設定すると、選択されているすべての信号の出力が反転されます。 0: 非反転 1: 反転
3-0	予約済み	R/W	0	予約済み

7.6.1.56 レジスタ 88 (0x58)

図 7-88. レジスタ 88 (0x58)

7	6	5	4	3	2	1	0
DIEI							
R							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-85. レジスタ 88 (0x58) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DIEI	RO	0x84	ダイ ID、デバイス ID = 0x84

7.6.1.57 レジスタ 91 (0x5B)

図 7-89. レジスタ 91 (0x5B)

7	6	5	4	3	2	1	0
予約済み	DTFS			DTSR			
R/W	R			R			

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-86. レジスタ 91 (0x5B) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	予約済み
6-4	DTFS	R	0	検出済み FS - これらのビットは、現在検出されているオーディオ サンプリング レートを示します。 000: エラー (有効範囲外) 001: 8kHz 010: 16kHz 011: 32-48kHz 100: 88.2-96kHz 101: 176.4-192kHz 110: 384kHz
3-0	DTSR	R	0	検出された MCLK 比-これらのビットは、現在検出されている MCLK 比を示します。MCLK 比がエラーとして示されていない場合でも、サンプリングレートとの組み合わせ互換性のないためにクロックエラーのフラグが設定される可能性があることに注意してください。特に、PLL が無効の場合、最小限のオーディオ処理を行うのに十分な DSP サイクルを確保できるよう、MCLK 比は十分に高くある必要があります。絶対 MCLK 周波数も 50MHz よりも低い必要があります。 0000: 比率誤差 (MCLK 比は許容されません) 0001: MCLK = 32 FS 0010: MCLK = 48 FS 0011: MCLK = 64 FS 0100: MCLK = 128 FS 0101: MCLK = 192 FS 0110: MCLK = 256 FS 0111: MCLK = 384 FS 1000: MCLK = 512 FS 1001: MCLK = 768 FS 1010: MCLK = 1024 FS 1011: MCLK = 1152 FS 1100: MCLK = 1536 FS 1101: MCLK = 2048 FS 1110: MCLK = 3072 FS

7.6.1.58 レジスタ 92 (0x5C)

図 7-90. レジスタ 92 (0x5C)

7	6	5	4	3	2	1	0
予約済み							DTBR
R/W							R

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-87. レジスタ 92 (0x5C) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0	予約済み
0	DTBR	R	0	検出された SCLK 比 (MSB)

7.6.1.59 レジスタ 93 (0x5D)

図 7-91. レジスタ 93 (0x5D)

7	6	5	4	3	2	1	0
DTBR							
R/W							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-88. レジスタ 93 (0x5D) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DTBR	R/W		検出された SCLK 比率 (LSB) – これらのビットは、現在検出されている SCLK 比率、すなわち 1 オーディオフレーム内の SCLK クロック数を示します。SCLK = 1 FS の極端な場合 (そもそも使用できない) では、検出された比率は信頼できません

7.6.1.60 レジスタ 94 (0x5E)

図 7-92. レジスタ 94 (0x5E)

7	6	5	4	3	2	1	0
予約済み	CDST6	CDST5	CDST4	CDST3	CDST2	CDST1	CDST0
R/W	R	R	R	R	R	R	R

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-89. レジスタ 94 (0x5E) フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	予約済み
6	CDST6	R		クロック検出ステータス – このビットは、MCLK クロックが存在するかどうかを示します。 0: MCLK が存在 1: MCLK が欠落しています (停止中)
5	CDST5	R		このビットは、PLL がロックされているかどうかを示します。PLL がディセーブルになると、PLL はロック解除されて通知されます。 0: PLL がロックされています 1: PLL はロック解除されています
4	CDST4	R		このビットは、LRCLK と SCLK の両方が欠落している (Low に固定されている) かどうかを示します。 0: LRCLK およびまたは SCLK が存在します 1: LRCLK および SCLK が欠落しています
3	CDST3	R		このビットは、現在のサンプリング レートと MCLK 比の組み合わせがクロック自動設定に対して有効かどうかを示します。 0: FS / MCLK 比の組み合わせが有効 1: エラー (クロック自動設定は不可能です)
2	CDST2	R		このビットは MCLK が有効かどうかを示します。MCLK 比は検出可能である必要があり、そうでなければ有効とはなりません。このフラグには制限があり、LRCLK の Low 期間が 5 SCLK 以下の場合、このフラグがアサートされます (MCLK 無効が報告されます)。 0: MCLK は有効 1: MCLK が無効
1	CDST1	R		このビットは SCLK が有効かどうかを示します。SCLK 比は安定しており、32 ~ 256FS の範囲内で有効にする必要があります。 0: SCLK は有効 1: SCLK が無効
0	CDST0	R		このビットは、オーディオ サンプリング レートが有効かどうかを示します。サンプリング レートが有効であるために検出可能である必要があります。このフラグには制限があり、フラグがアサートされている状態で P0-R37 がすべてのアサートされたエラー フラグを無視するように設定され、DAC がリカバリすると、このフラグはデアサートされます (サンプリング レートの無効が報告されます)。 0: サンプリング レートは有効 1: サンプリング レートが無効

7.6.1.61 レジスタ 95 (0x5F)

図 7-93. レジスタ 95 (0x5F)

7	6	5	4	3	2	1	0
予約済み			LTSH	予約済み	CKMF	CSRF	CERF
R/W			R	R/W	R	R	R

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-90. レジスタ 95 (0x5F) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0	予約済み
4	LTSH	R		ラッチされたクロックの停止 - このビットは、MCLK の停止が発生したかどうかを示します。このビットは、読み出すとクリアされます。 0: MCLK は停止していません 1: 最後の読み取り以降に MCLK 停止が発生しました
3	予約済み	R/W	0	予約済み
2	CKMF	R		クロック欠落 - このビットは、LRCLK および SCLK が欠落している (Low に固定されている) かどうかを示します。 0: LRCLK および/または SCLK が存在します 1: LRCLK および SCLK が欠落しています
1	CSRF	R		クロック再同期要求 - このビットは、クロック再同期が進行中かどうかを示します。 0: 再同期しない 1: クロックの再同期が進行中です
0	CERF	R		クロック エラー - このビットは、クロック エラーが発生したかどうかを示します。このビットは、読み出すとクリアされます 0: クロック エラーは発生していません 1: クロックエラーが発生しました。

7.6.1.62 レジスタ 108 (0x6C)

図 7-94. レジスタ 108 (0x6C)

7	6	5	4	3	2	1	0
予約済み						AML M	AM R M
R/W						R	R

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-91. レジスタ 108 (0x6C) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	0	予約済み
1	AML M	R		左アナログミュートモニター - このビットは左チャンネルのアナログミュート状態を監視するためのものです。 0: ミュート 1: ミュート解除
0	AM R M	R		右アナログミュートモニター - このビットは右チャンネルのアナログミュート状態を監視するためのものです。 0: ミュート 1: ミュート解除

7.6.1.63 レジスタ 119 (0x77)

図 7-95. レジスタ 119 (0x77)

7	6	5	4	3	2	1	0
予約済み		GPIN2	MUTE	予約済み			
R/W		R	R	R			

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-92. レジスタ 119 (0x77) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	0	予約済み
5	GPIN2	R	0	GPIO 入力の状態 - このビットは、SDOUT ピンのロジックレベルを示します。 0: Low 1: High
4	MUTE	R	0	このビットは、MUTE ピンのロジックレベルを示します。 0: Low 1: High
3-0	予約済み	R	0	予約済みビット。これらのビットのデータは異なる可能性があります。 0: Low 1: High

7.6.1.64 レジスタ 120 (0x78)

図 7-96. レジスタ 120 (0x78)

7	6	5	4	3	2	1	0
予約済み			AMFL	予約済み			AMFR
R/W			R	R/W			R

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-93. レジスタ 120 (0x78) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0	予約済み
4	AMFL	R		左チャンネルの自動ミュートフラグ – このビットは左チャンネルの自動ミュートステータスを示します。 0: 自動ミュートなし 1: 自動ミュート
3-1	予約済み	R/W	0	予約済み
0	AMFR	R		右チャンネルの自動ミュートフラグ – このビットは右チャンネルの自動ミュートステータスを示します。 0: 自動ミュートなし 1: 自動ミュート

7.6.2 レジスタ - ページ 1

7.6.2.1 レジスタ 1 (0x01)

図 7-97. レジスタ 1 (0x01)

7	6	5	4	3	2	1	0
予約済み							OSEL
R/W							R/W

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-94. レジスタ 1 (0x01) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0	予約済み
0	OSEL	R/W	0	出力振幅タイプ - このビットは出力振幅のタイプを選択します。クロック自動設定機能は、PLL が VCOM モードで有効になっている場合には動作しません。 この場合、この機能は P0-R37 で無効化し、クロック分周器を手動で設定する必要があります。 0: VREF モード (AVDD の変動に対して一定の出力振幅) 1: VCOM モード (出力振幅は AVDD 変動に比例)

7.6.2.2 レジスタ 2 (0x02)

図 7-98. レジスタ 2 (0x02)

7	6	5	4	3	2	1	0
予約済み			LAGN	予約済み			RAGN
R/W			R/W	R/W			R/W

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-95. レジスタ 2 (0x02) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0	予約済み
4	LAGN	R/W	0	左チャンネルのアナログ ゲイン制御 - このビットは左チャンネルのアナログ ゲインを制御します。 0: 0dB 1: -6dB
3-1	予約済み	R/W	0	予約済み
0	RAGN	R/W	0	右チャンネルのアナログ ゲイン制御 - このビットは右チャンネルのアナログ ゲインを制御します。 0: 0dB 1: -6dB

7.6.2.3 レジスタ 6 (0x06)

図 7-99. レジスタ 6 (0x06)

7	6	5	4	3	2	1	0
予約済み							AMCT
R/W							R/W

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-96. レジスタ 6 (0x06) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0	予約済み
0	AMCT	R/W	1	アナログミュート制御 - このビットは、デジタル ミュート後のアナログ ミュートを有効または無効にします。 0: 無効化 1: イネーブル

7.6.2.4 レジスタ 7 (0x07)

図 7-100. レジスタ 7 (0x07)

7	6	5	4	3	2	1	0
予約済み			AGBL	予約済み			AGBR
R/W			R/W	R/W			R/W

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-97. レジスタ 7 (0x07) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0	予約済み
4	AGBL	R/W	0	アナログ +10% ゲイン (左チャンネル) – このビットは、左チャンネルの振幅ブースト モードを有効または無効にします。 0: 通常振幅 1: +10%(+0.8dB) ブースト振幅
3-1	予約済み	R/W	0	予約済み
0	AGBR	R/W	0	アナログ +10% ゲイン (右チャンネル) – このビットは、右チャンネルの振幅ブースト モードを有効または無効にします。 0: 通常振幅 1: +10%(+0.8dB) ブースト振幅

7.6.2.5 レジスタ 9 (0x09)

図 7-101. レジスタ 9 (0x09)

7	6	5	4	3	2	1	0
予約済み						DEME	VCPD
R/W						R/W	R/W

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 7-98. レジスタ 9 (0x09) のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R/W	0	予約済み
1	DEME	R/W	0	VCOM ピンをディエンファシス制御として使用 – このビットは、DEEMP/VCOM ピンをディエンファシス制御として使用するかどうかを制御します。 0: 無効 (DEEMP/VCOM はディエンファシス制御に使用されません) 1: イネーブル (DEEMP/VCOM を使用してディエンファシスを制御)
0	VCPD	R/W	1	VCOM のパワーダウン制御 - このビットは、VCOM パワーダウン スイッチを制御します。 0: VCOM に電源を供給 1: VCOM はパワー ダウンされます

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 代表的なアプリケーション

TAS3251 デバイスは、2 チャンネルのブリッジ接続負荷 (BTL) とモノラル並列ブリッジ接続負荷出力構成の両方をサポートしています。これにより、各種のアプリケーション用にデバイスを柔軟に構成およびプログラムできます：

- 2.0、ステレオ システム - これは標準のステレオ構成です。1 つの TAS3251 デバイスをステレオ BTL 構成で使用するか、2 つの TAS3251 デバイスを PBTL 構成で使用します。
- 0.1、モノラル スピーカ - PBTL に設定すると、TAS3251 は 1 チャンネル アンプとして使用できます。
- 双方向 (1.1) 電源スピーカ - TAS3251 プロセッシングとアンプは、独立したアンプで駆動されるツイーターとウーファを備えた、双方向またはアクティブ クロスオーバー システムをサポートします。これにより、スピーカ内のパッシブ クロスオーバー部品を取り除くことが可能になります。これは、BTL の 1 つの TAS3251 デバイス、または PBTL の 2 つの TAS3251 デバイスを使用して実現できます。
- 3 方向電源スピーカ - TAS3251 プロセッシングおよびアンプは、それぞれ独立したアンプで駆動されるツイーター、ミッドレンジ、ウーファー付きの 3 方向アクティブ スピーカをサポートします。この結果、スピーカのパッシブ クロスオーバー部品を除去できます。これは、2 つの TAS3251 デバイス (2x BTL + 1x PBTL) または PBTL に設定された 3 つの TAS3251 デバイスを使用することで実現できます。
- 2.1 システム - TAS3251 は、ステレオ、2 チャンネル (2x BTL)、およびサブ ウーファ (1x PBTL) をサポートする 2.1 をサポートするように設定できます。

8.1.1 ステレオ、ブリッジ結合負荷 (BTL) アプリケーション

ブリッジ結合負荷 (BTL) は 2 チャンネルのアンプ構成であり、ステレオ システムまたは双方向電源スピーカに使用できます。以下の設計の詳細を参照してください。

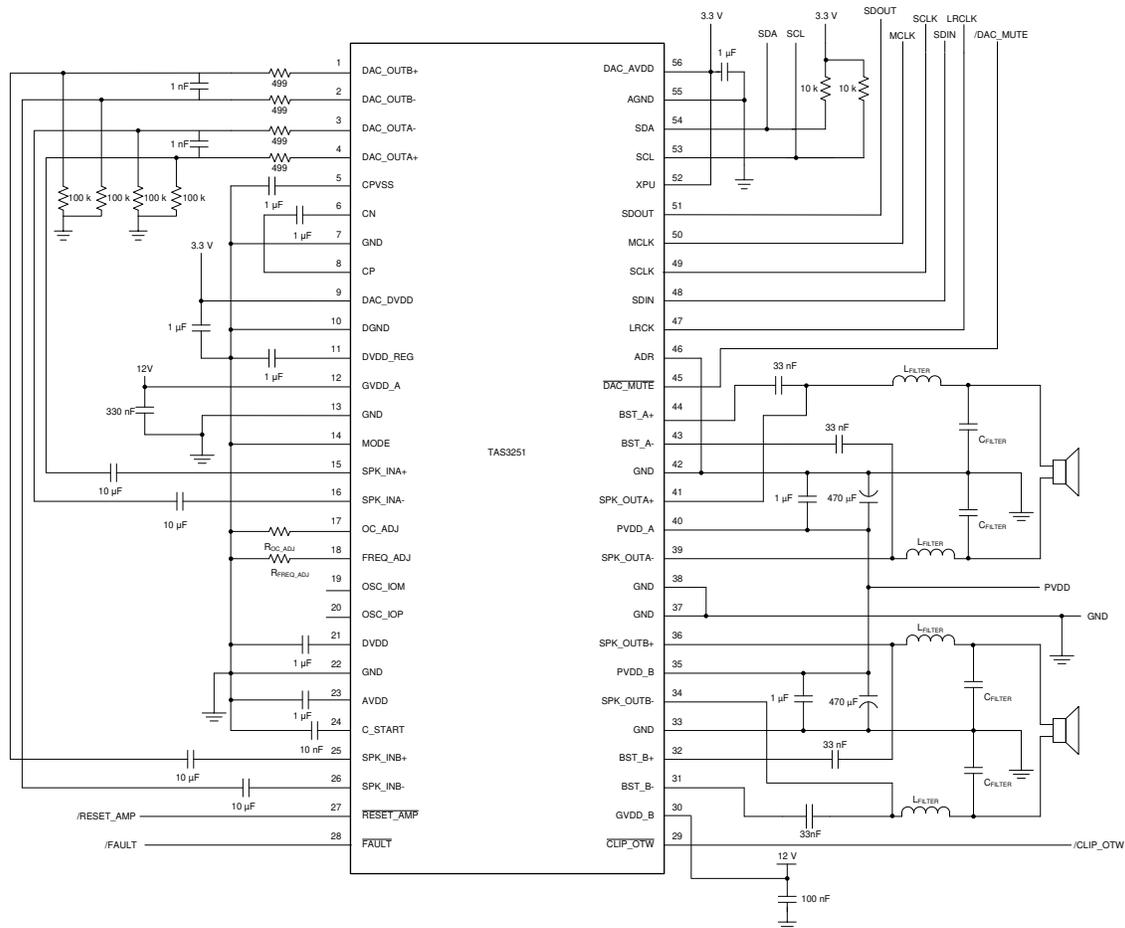


図 8-1. ブリッジ接続負荷 (BTL) のアプリケーション図

8.1.2 モノラル、並列ブリッジ接続負荷 (PBTL) アプリケーション

並列ブリッジ接続負荷 (PBTL) は、1 つの BTL チャンネルの 2 倍の電流を供給できる単一チャンネルのモノラル アンプ構成です。TAS3251 は、プリフィルタ PBTL とポストフィルタ PBTL の両方をサポートしているため、LC フィルタの前または後に Class-D 出力端子を並列接続できます。LC フィルタの後で出力を並列化する場合は 4 個のインダクタが必要ですが、LC フィルタの前で出力を並列化する場合は 2 個のインダクタだけで済みます。

8.1.2.1 並列ブリッジ接続負荷 (PBTL)、プリフィルタ

次の図は、プリフィルタ PBTL を使用したアプリケーションを示しており、インダクタは 2 個だけで済みます。出力短絡状態では、インダクタに最大電流と等しい飽和電流を配置する必要があります。

- SPK_OUTA+ と SPK_OUTB+ は L_{FILTER} の前に正のアンプ出力用に接続されます。
- SPK_OUTA- と SPK_OUTB- は、負のアンプ出力の L_{FILTER} の前に接続されます。

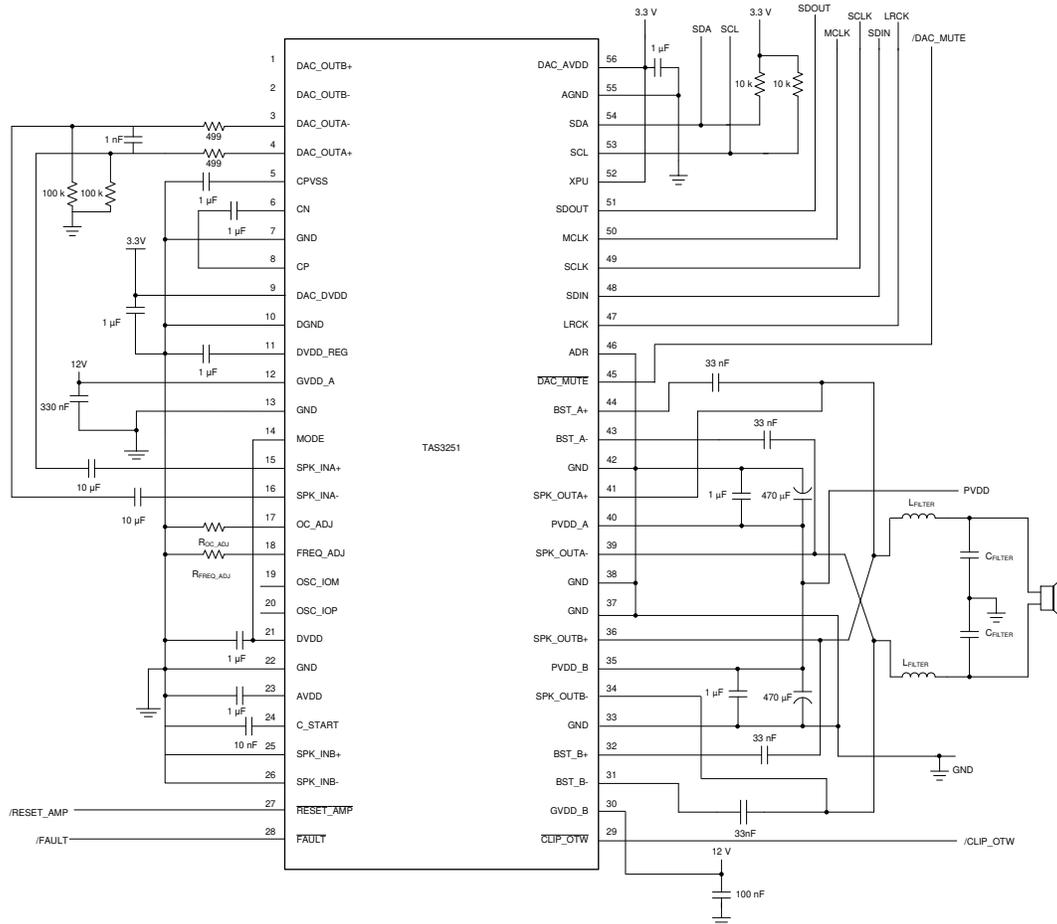


図 8-2. プリフィルタ並列ブリッジ接続負荷 (PBTL) アプリケーション図

8.1.2.2 並列ブリッジ接続負荷、ポストフィルタ

次の図は、4つのインダクタを必要とするポストフィルタ PBTL を使用したアプリケーションを示しています。正と負の出力電流は、2つのインダクタ間で共有されます。

- SPK_OUTA+, SPK_OUTA-, SPK_OUTB+, SPK_OUTB- は、それぞれ L_{FILTER} に最初に接続されます。
- インダクタのスピーカ側は A+ および B+ および A- および B- に接続されています。下の図を参照してください。

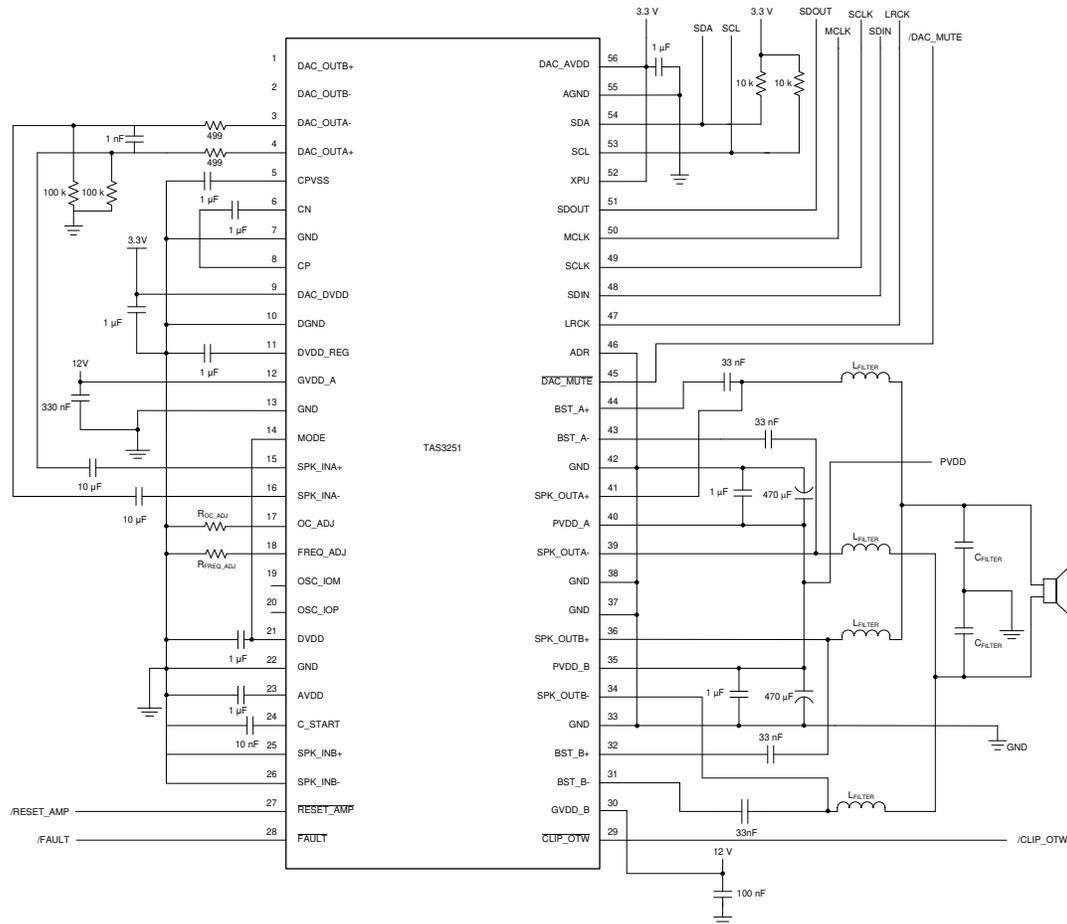


図 8-3. ポストフィルタ並列ブリッジ接続負荷 (PBTL) アプリケーション図

8.1.3 設計要件

TAS3251 を操作および制御するには、以下が必要です。

- 電源
 - アナログおよびデジタル: 3.3V 電源
 - ゲートドライブ: 12V 電源
 - PVDD: 12V ~ 36V を供給
- 通信: 通 I²C 準拠コントローラとして機能するホスト プロセッサ
- メモリ: TAS3251 には、電源が切断されたときにリセットされる揮発性レジスタマップがあります。ホスト プロセッサには、デバイスを目的の構成に初期化するための十分なメモリが必要です。

8.1.4 詳細な設計手順

8.1.4.1 ステップ 1: 回路図とレイアウトの設計

まず、TAS3251 に対応するハードウェアを設計することから始めます。代表的なアプリケーション回路図と表 5-1 をハードウェア ピン構成のガイドとして使用します。TAS3251EVM の部品配置と基板レイアウトに従います。回路で最も重要な部分は、電源入力、アンプの出力信号、高周波クロックおよびデータ信号です。設計上のトレードオフを行う際には、これらのパターンおよび接続を優先します。

1. 最初に、アプリケーションの要件に基づいて動作モードを選択します。BTL、プリフィルタ PBTL (2 インダクタ) またはポストフィルタ PBTL (4 インダクタ)。
2. 選択した出力構成に基づいて、LC フィルタを含む出力段を設計します。TAS3251EVM を参照として使用します。カットオフ周波数と部品値を算出するために、LC フィルタ設計ガイドおよび LC フィルタ デザイン ツールを使用する必要があります。
3. スイッチング周波数は、ピン 18 の抵抗 FREQ_ADJ を構成することで選択します。
4. ピン 17 の抵抗 OC_ADJ を構成することで、過電流スレッシュホールドを選択します。
5. 表 5-1 および 代表的なアプリケーション回路図に従って、電源ピンにバイパスおよびデカップリング コンデンサを配置します。

8.1.4.1.1 デカップリング コンデンサに関する推奨事項

堅牢な性能を持ち、規制要件を満たし、優れたオーディオ性能を達成するアンプを設計するには、高品質のデカップリングコンデンサを使用する必要があります。このアプリケーションでは、セラミック タイプの X7R を使用します。

温度、リップル電流、電圧のオーバーシュートを考慮する必要があります。この事実は、各フルブリッジの PVDD 電源ピンに配置される 1 μ F の選定において特に当てはまります。PWM スイッチングによる電圧オーバーシュート、高出力時にアンプが発生させる熱、そして高出力によって生じるリップル電流に耐える必要があります。36V 電源で使用するには、50V 以上の電圧定格が必要です。

8.1.4.1.2 PVDD コンデンサに関する推奨事項

各フルブリッジと組み合わせて使用する大容量コンデンサは、PVDD コンデンサと呼ばれます。これらのコンデンサは、十分な電圧マージンと、電力要件を満たすために十分な容量を持つものを選定する必要があります。実際には、適切に設計されたシステム電源であれば、470 μ F、50V のコンデンサでほとんどのアプリケーションに対応できます。PVDD コンデンサは、高速スイッチングに関連する回路で使用されるため、低 ESR タイプとする必要があります。

8.1.4.1.3 BST コンデンサ

ハイサイド ゲート ドライブがすべてのオーディオ信号で正しく動作するために十分なブートストラップ エネルギーを確保するには、33nF/25V X7R の BST コンデンサを推奨します。

8.1.4.1.4 ヒートシンク

ヒートシンクは熱伝導性のペーストを使用してデバイスに取り付け、基板のグラウンドと良好に接続します。

8.1.4.2 ステップ 2 : ターゲット システムで使用する固定機能プロセス フローを構成する

TAS3251 EVM と PurePath Console 3 を使用して、スピーカ システムの特性評価、チューニング、テストを実施します。

1. デバイスの設定とオーディオ処理を構成するには、TAS3251 評価基板 (TAS3251EVM) と PurePath Console 3 ソフトウェアを使用します。PurePath Console 3 は TI.com からリクエストおよびダウンロードできます。
2. TAS3251EVM を使用して適切な構成が完了したら、PurePath Console 3 でシステム内プログラミング モードを使用して、(TAS3251EVM にはない) 最終的なシステム内の TAS3251 に構成をロードします。I2C パターンを TAS3251EVM から最終的なシステムに接続して、プログラミングを行います。I2C ラインに、互換性のある電圧とプルアップ抵抗があることを確認します。

8.1.4.3 ステップ 3 : ソフトウェアの統合

1. PurePath Console 3 ソフトウェアのエクスポート機能を使用して、システム起動時に TAS3251 を初期化するためのレジスタ マップ構成ファイルを生成します。
2. TAS3251 の初期化時にロードする構成ファイルをメイン プロセッサ プログラムに含めます。
3. (ボリューム制御、ミュート コマンド、モードに応じた EQ カーブなどの) 動的制御コマンドを、メイン システム プログラムに統合します。

8.1.5 2 つ TAS3251 のデバイス構成

このセクションでは、2 つ TAS3251 のデバイスを使用するシステムのハードウェア設計要件について説明します。

8.1.5.1 2 x PBTL アプリケーション

この構成では、両方のデバイスが並列ブリッジ接続負荷 (PBTL) モードに設定されます。2 x PBTL ハードウェア構成の使用事例は以下のとおりです:

- **ステレオ スピーカ ペア**、左右チャンネル オーディオ付き。これには、次の 2 つの方法のいずれかを使用します:
 - 左チャンネルの I²S または TDM データを 1 つのデバイスに送信し、右チャンネルの I²S または TDM データを他のデバイスに送信します。
 - または、左右両チャンネルを 1 つのデバイスに送信し、処理後のデータを SDOUT ピン経由で別のデバイスに送信します。
- **2 ウェイ、アクティブ クロスオーバー スピーカ**、一方のアンプで tweeter を駆動し、もう一方のアンプでウーファーを駆動します。
 - 同じオーディオ チャンネルを両方のデバイスに送信し、1 つのデバイスの DSP をハイパス フィルタとして、もう 1 つをローパス フィルタとして使用することで、2 ウェイ クロスオーバーを構成します。
 - または、オーディオを 1 つのプライマリ デバイスに送り、そこでハイパスおよびローパス処理を行い、SDOUT ピンを使用してハイパスまたはローパス データのいずれかのみを他のデバイスに送信します。

8.1.5.2 2 x BTL + 1 x PBTL アプリケーション

この構成では、1 つのデバイスは 2 チャンネルのブリッジ接続負荷 (BTL) モードに設定され、もう 1 つのデバイスはモノラルの並列ブリッジ接続負荷 (PBTL) モードに設定されます。2 x BTL と 1 x PBTL ハードウェア構成の使用事例は以下のとおりです:

- **2.1 スピーカ システム** (左、右、サブウーファ オーディオ チャンネル付き)。この設定では、1 つのデバイスで左、右、およびサブウーファ オーディオを処理してから、SDOUT から別のデバイスにサブウーファ データを送信します。
- **3 方向アクティブ クロスオーバー スピーカ**、1 つのアンプがツイーターとミッドレンジ スピーカ (BTL) を駆動し、もう 1 つの (PBTL) がウーファまたはサブウーファを駆動します。この構成では、1 つのデバイス内のすべてを処理し、SDOUT から別のデバイスにサブウーファ データを送信します。

8.1.6 3 つ以上の TAS3251 デバイス構成

このセクションでは、3 つ以上の TAS3251 デバイスを使用するシステムのハードウェア設計要件と考慮事項について説明します。

システム内の 3 つ以上のデバイスでは、シングルの処理能力 TAS3251 が不十分である可能性があります。複雑なシステムを構築するには、複数の DSP を用いてオーディオ パスをマッピングし、デジタイズ チェーン接続の DSP と並列接続の DSP を組み合わせて音声を処理し、スピーカの信号経路を構成します。

8.1.7 アプリケーション曲線

表 8-1. アプリケーション曲線

構成	性能グラフ
BTL	図 6-5 全高調波歪み + ノイズと出力電力の関係
BTL	図 6-6 全高調波歪 + ノイズと周波数との関係
PBTL	図 6-13 全高調波歪み + ノイズと出力電力の関係
PBTL	図 6-14 全高調波歪 + ノイズと周波数との関係

8.2 電源に関する推奨事項

8.2.1 電源

デバイスを正常に動作させるためには、3 つの電源が必要です。低電圧回路および DAC 用の 3.3V レール、アンプのゲート駆動用の 12V レール、そしてオーディオ アンプの出力段に電力を供給するために必要な PVDD。これらの電源の動作範囲は、*推奨動作条件*に示しています。TI は、I²C 通信を開始する前に DVDD 電源が安定するまで 100ms ~ 240ms 待機し、デバイス出力を有効化する前に安定した I²S クロックを供給することを推奨しています。

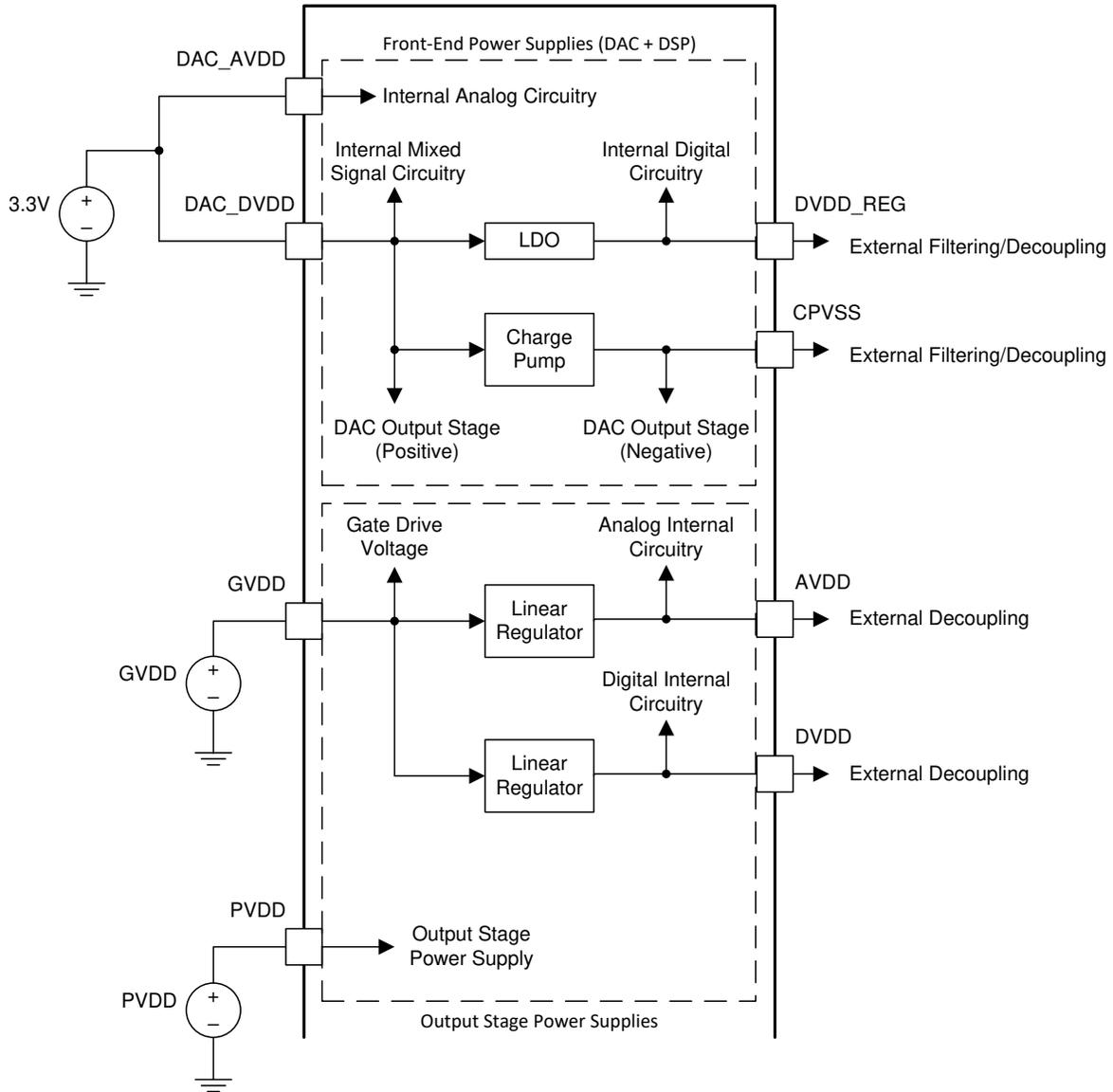


図 8-4. 電源の機能ブロック図

8.2.1.1 DAC_DVDD および DAC_AVDD 電源

DAC_DVDD 電源は、デバイスのいくつかの部分に電力を供給するためにシステムから供給する必要があります。図 8-4 に示すように、この回路は DVDD_REG ピンと CPVDD ピンに電力を供給します。適切な接続、配線、およびデカップリング手法については、EVM ユーザーガイドのセクション [セクション 8](#) および [セクション 8.3.2](#) セクションに記載しており、適切な動作と性能を実現するためにできる限り厳密に従う必要があります。TAS3251 EVM ユーザーガイドに記載されたガイダンス ([セクション 8](#) に示された手法と同じ技術に基づく) から逸脱すると、性能の低下、動作不良、さらには TAS3251 デバイスの損傷を引き起こす可能性があります。

デバイスの一部には、外部 DAC_DVDD 電源より低い電圧の個別電源も必要とします。システムの電源要件を簡素化するため、TAS3251 デバイスは、この電源を生成するため、低ドロップアウト (LDO) リニアレギュレータを内蔵しています。このリニアレギュレータは内部的に DAC_DVDD 電源に接続されており、その出力は DVDD_REG ピンに出力され、外部バイパスコンデンサの接続ポイントを提供します。本デバイスに内蔵されているリニアレギュレータは、内部回路の電流要件に対応するようにのみ設計されており、追加の外部回路に電力を供給する目的では使用しないでください。このピンに負荷を追加すると、電圧が降下し、デバイスの性能と動作に悪影響を及ぼす可能性があります。

TAS3251 デバイスで使用される高性能 DAC の出力はグランド基準となっており、正の低電圧電源と負の低電圧電源の両方が必要です。DAC 出力段用の正電源は DAC_AVDD ピンから供給され、これはシステムから供給される DAC_DVDD 電源に接続できます。TAS3251 デバイスにはチャージポンプが内蔵されており、負の低電圧電源を生成できます。チャージポンプの電源入力には CPVDD ピンです。CPVSS ピンを実装しているため、負の低電圧電源にフィルタコンデンサを接続できます。他の電源の場合と同様に、これらの低電圧電源用の外付け部品の選択、配置、および配線については、TAS3251EVM ユーザーガイドに記載されており、デバイスを適切に動作させるために、できる限り近づけて配置する必要があります。

8.2.1.1.1 CPVSS、CN、CP のチャージポンプ

TAS3251 には DAC 出力段用の負電源電圧を生成するためのチャージポンプが内蔵されています。CN と CP の間に 1 μ F のセラミックコンデンサを接続し、CPVSS と GND の間に 1 μ F のセラミックコンデンサを接続します。

8.2.1.2 VDD 電源

システムから必要な VDD 電源は、デバイスの複数の部分に電力を供給するために使用されます。これは、デバイスの出力電力段におけるデジタル部とアナログ部に電力を供給する内部レギュレータ DVDD および AVDD に電源を供給します。1 μ F のセラミックコンデンサを GND に接続し、コンデンサの耐圧が AVDD および DVDD に対して十分であることを確認します。アンプの電気的特性に記載された DVDD および AVDD の代表値を参照します。適切な接続、配線、およびデカップリング手法についてはレイアウトセクションおよび TAS3251 EVM ユーザーガイドで強調されており、正しい動作と性能を得るために可能な限り厳守する必要があります。セクションで提供されているガイダンスから逸脱すると、性能低下、機能不全、TAS3251 デバイスの損傷を招く可能性があります。

デバイスの一部には、VDD 電源より低い電圧の個別電源も必要とします。システムの電源要件を簡素化するため、TAS3251 デバイスは、この電源を生成するため、低ドロップアウト (LDO) リニアレギュレータを内蔵しています。これらのリニアレギュレータは内部的に VDD 電源に接続されており、出力は AVDD および DVDD ピンに出力され、外部バイパスコンデンサの接続ポイントを提供します。本デバイスに内蔵されているリニアレギュレータは、内部回路の電流要件に対応するようにのみ設計されており、追加の外部回路に電力を供給する目的では使用しないでください。これらのピンに追加の負荷をかけると電圧降下やノイズ注入が発生し、デバイスの性能や動作に悪影響を及ぼす可能性があります。

8.2.1.3 GVDD_X 電源

システムから供給される GVDD_X 電源は、出力 H ブリッジのゲートドライブを駆動するために使用されます。0.1 μ F のセラミック コンデンサをピンと GND の間に接続し、できる限りピンの近くに配置します。セラミック コンデンサの電圧定格は 25V 以上にする必要があります。正しい接続、配線、およびデカップリング手法については、レイアウト セクションおよび TAS3251 EVM ユーザー ガイドで強調されており、適切な動作と性能を得るために可能な限り厳密に従う必要があります。これらのセクションで提供されているガイダンスから逸脱すると、性能低下、機能不全、TAS3251 デバイスの損傷を招く可能性があります。

8.2.1.4 PVDD 電源

アンプの出力段は、PVDD 電源を使用して負荷を駆動します。これは、再生中に駆動電流を負荷に供給する電源です。適切な接続、配線、およびデカップリング手法については、セクションおよびセクションに記載しており、適切な動作と性能を実現するためにできる限り厳密に従う必要があります。出力段の高電圧スイッチングにより、出力電力段を適切にデカップリングすることが特に重要です。適切にデカップリングされていないと、電圧スパイクが発生し、デバイスを破損させたり、オーディオ性能の低下やデバイスのシャットダウン障害を引き起こしたりする可能性があります。最高の性能を得るための適切な部品の選択、配置、レイアウトについては、TAS3251EVM を参照してください。

8.2.1.5 BST 電源

TAS3251 は各ハーフ ブリッジ ゲートドライブ用に内蔵のブートストラップ電源を備えており、ハイサイド MOSFET に電源を供給します。そのため、ハーフ ブリッジごとにコンデンサ 1 個だけが必要です。コンデンサは各ハーフ ブリッジ出力に接続され、PWM 出力が Low 状態のとき、内部ダイオードを介して GVDD 電源によって充電されます。ハイサイド ゲートドライブは、出力 PWM が High の間、BST コンデンサにかかる電圧によって供給されます。BST コンデンサを TAS3251 デバイスの近くに配置し、PCB パターンの長さを最小限に抑えることを推奨します。BST_xx ピンと対応する出力段 SPK_OUTxx ピンの間に、定格 25V 以上の 0.033 μ F セラミック コンデンサを接続します。

8.3 レイアウト

8.3.1 レイアウトのガイドライン

8.3.1.1 TAS3251 の一般的なガイドライン

スイッチング出力段を組み込んだオーディオ アンプでは、デバイスのレイアウトおよび補助部品のレイアウトに特別な注意が必要です。システム レベルでの性能は、電磁両立性 (EMC)、デバイスの信頼性、およびオーディオ性能を含め、すべてレイアウトによって影響を受けます。アンプの出力構成に基づくレイアウトの推奨事項については、[レイアウト例](#) セクションを参照してください。以下のリストは、部品配置および配線を行う際に従うべき一般的なガイドラインを示しています。

- 電源およびオーディオ信号に対して、低インピーダンスかつ低インダクタンスのリターンパスを確保するために、切れないグラウンドプレーンを使用します。
- DAC とアンプ入力との間の配線は、できるだけ短くします。ノイズを防止するため、これらのパターンの周囲に適切な接地を維持します。
- PVDD ラインの小型バイパス コンデンサは、可能な限り PVDD ピンの近くに配置する必要があります。
- コンポーネントのグラウンドをデバイスのグラウンドに直接接続し、すべてのバイパスおよびデカップリング部品を TAS3251 グラウンドに接続します。
- グラウンド ピンから、デバイス周囲の PCB 領域への連続したグラウンドプレーンをできるだけ多く保持します。これは、パッケージのピンを通して熱を伝導するのに役立ちます。

8.3.1.2 PVDD バイパス コンデンサ配置の重要性

安定性と最高の性能を得るためには、バイパス コンデンサおよびデカップリング コンデンサを電源ピンの近くに配置する必要があります。これは DVDD、AVDD、CPVDD、PVDD に適用されます。

TAS3251 の PVDD ラインの小さなバイパス コンデンサは、PVDD ピンのできるだけ近くに配置する必要があります。デバイスをピンから離して配置するだけでなく、システムの電磁干渉が増加します。また、デバイスの信頼性に悪影響を及ぼす可能性もあります。これらの部品を TAS3251 デバイスから離れた位置に配置しすぎると、出力ピンにリングングが発生し、出力ピンの電圧が [セクション 6.1](#) 表に示す最大許容定格を超えてデバイスが損傷する可能性があります。そのため、PVDD ネット上のコンデンサは、関連する PVDD ピンから、[セクション 8.3.2](#) のレイアウト例に示すものよりも離れないようにする必要があります。

8.3.2 レイアウト例

8.3.2.1 ブリッジ接続負荷 (BTL) レイアウトの例

このセクションでは、ブリッジ接続負荷 (BTL) モードで動作する場合のレイアウト例を示します。

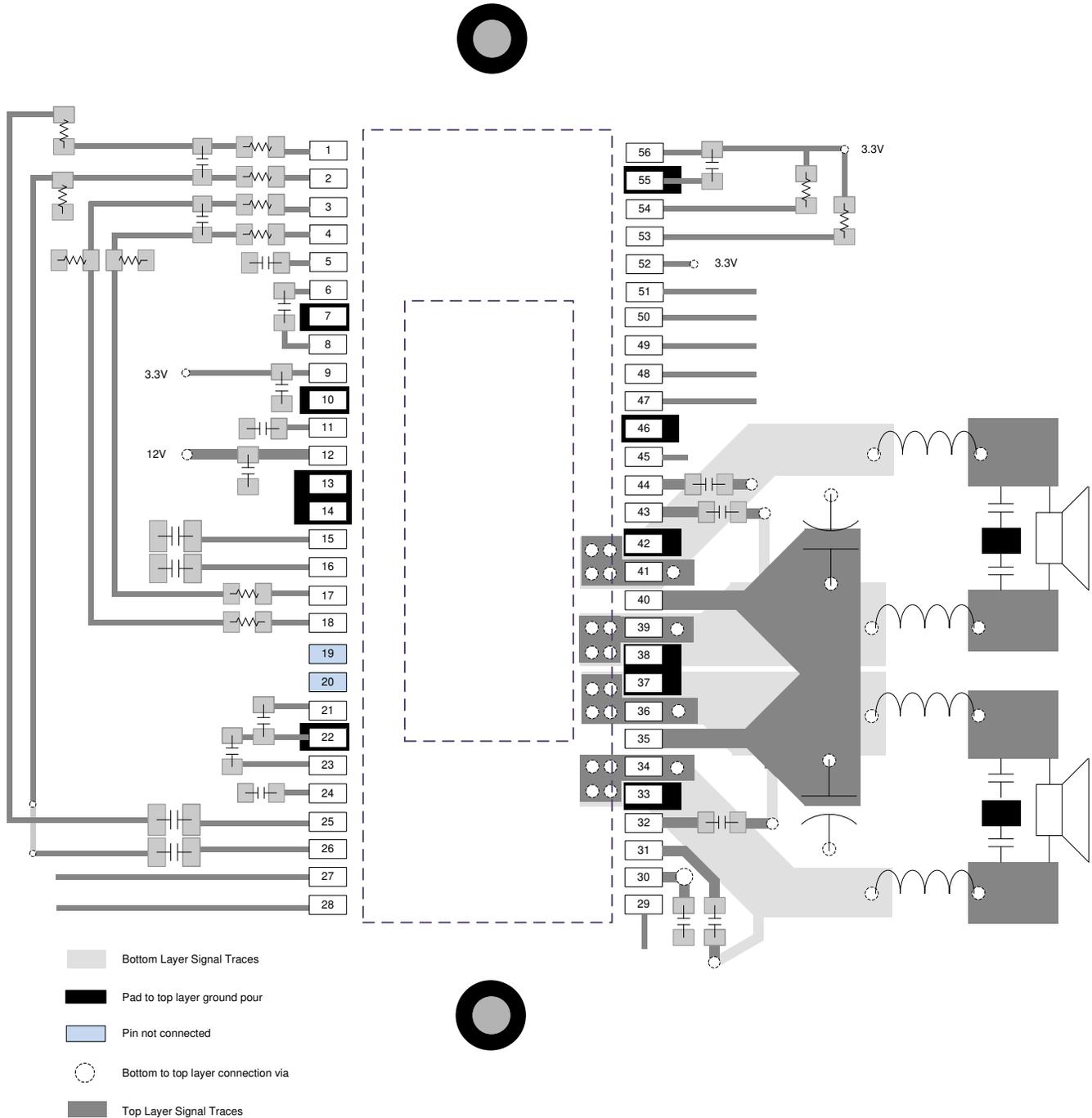


図 8-5. BTL のレイアウト例

8.3.2.2 並列ブリッジ接続負荷 (PBTL)、プリフィルタ

このセクションでは、並列ブリッジ接続負荷 (PBTL) モードで動作し、2 つのインダクタを使用して LC フィルタの前に出力パターンを接続する場合のレイアウト例を示します。このレイアウトでは、ポストフィルタ PBTL と比較して必要なインダクタが少なくて済みます。

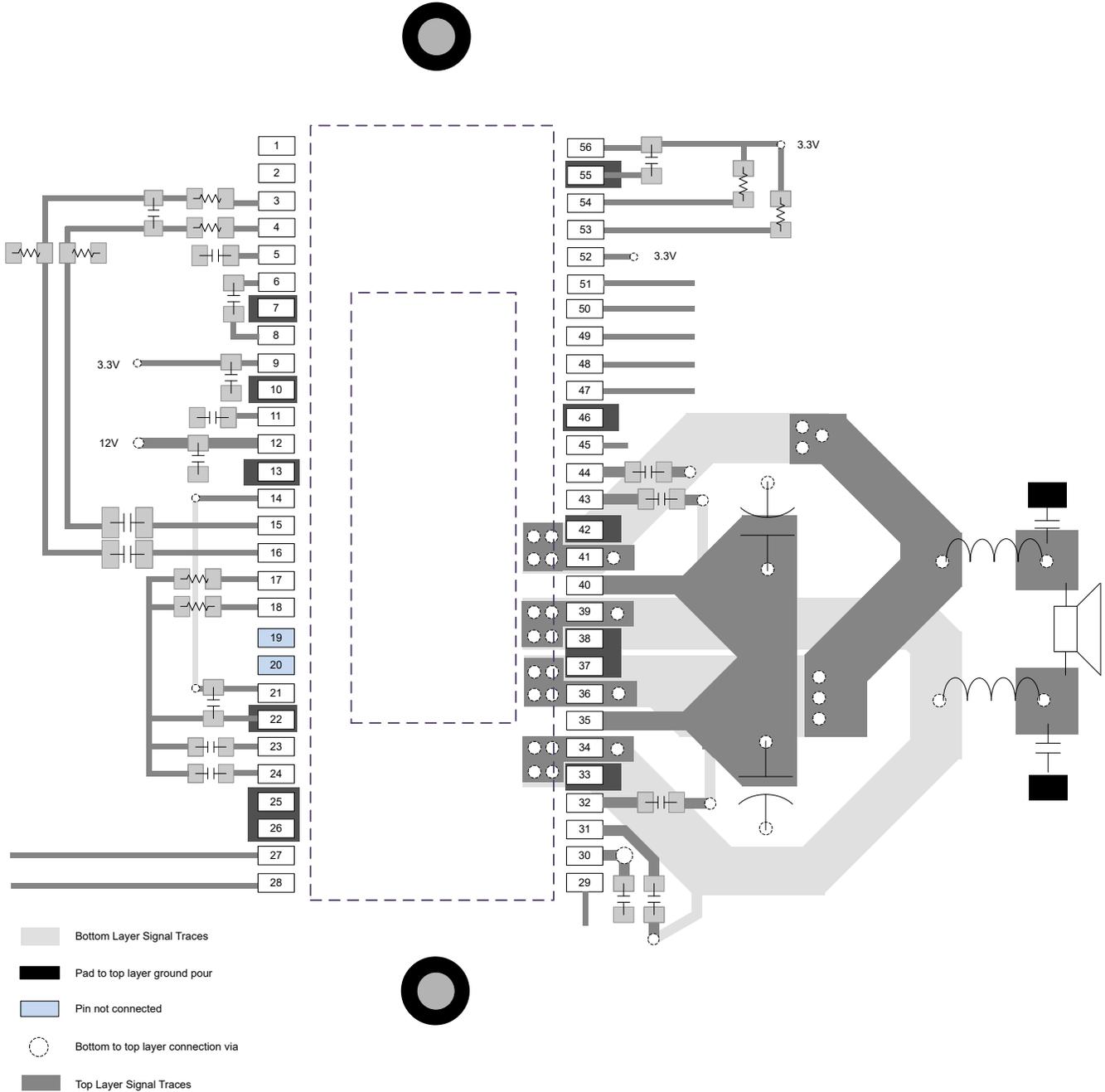


図 8-6. プレフィルタの PBTL レイアウト例

8.3.2.3 並列ブリッジ接続負荷 (PBTL)、ポストフィルタ

このセクションでは、並列ブリッジ接続負荷 (PBTL) モードで動作し、4 つのインダクタを使用して LC フィルタの後に出力パターンを接続する場合のレイアウト例を示します。このレイアウトでは、ポストフィルタ PBTL と比較して必要なインダクタが少なく済みます。

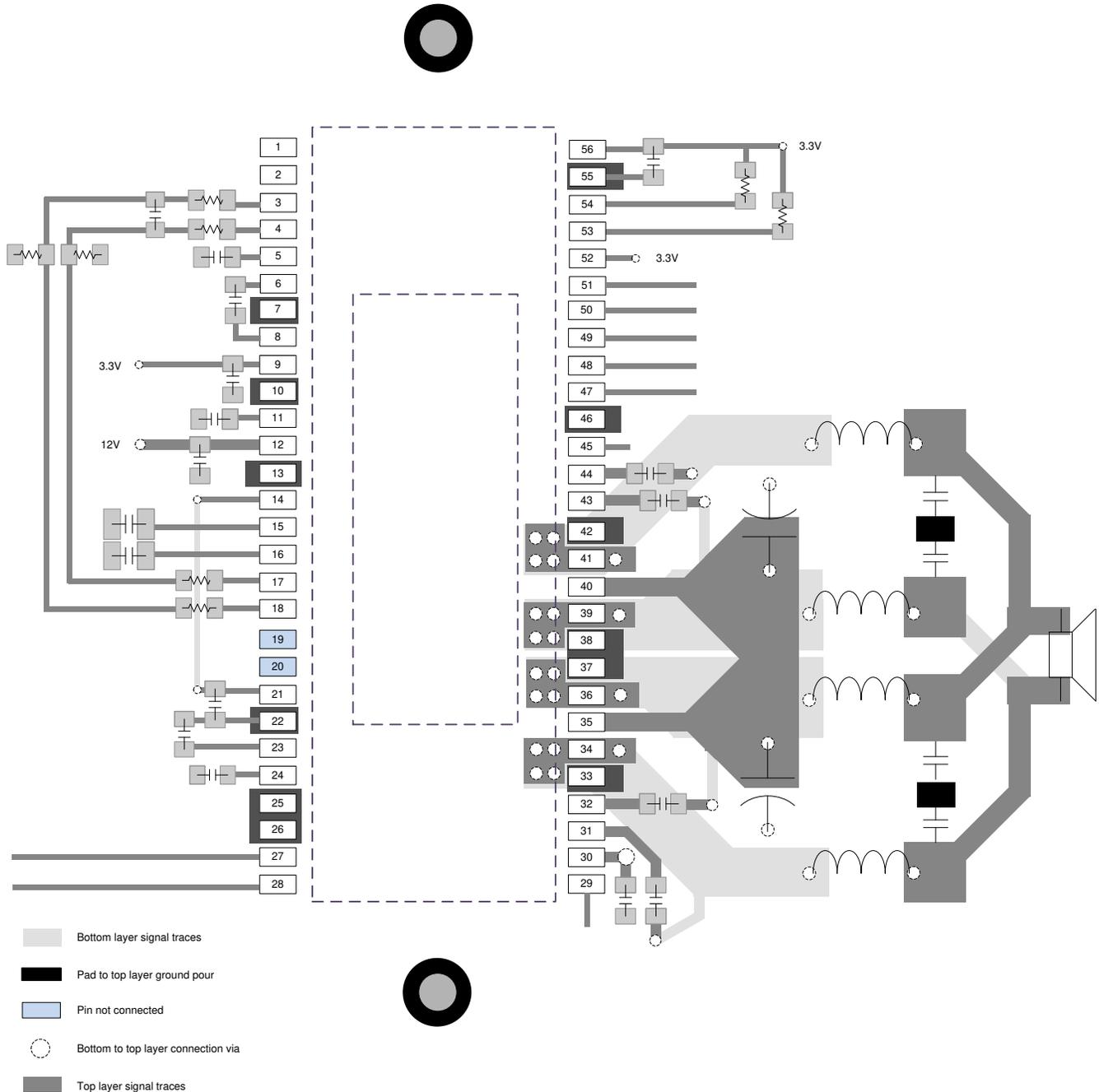


図 8-7. ポストフィルタの PBTL レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 デバイスの命名規則

セクション 9.6 セクションの用語集は一般的な用語集で、JEDEC、IPC、IEEE、その他の業界標準に準拠する広範な TI イニシアチブに従って定義された、一般的に使用される頭字語や用語が含まれます。このセクションに示す用語集では、この製品およびドキュメント、付属品、またはこの製品とともに使用されるサポート ツールやソフトウェアに固有の単語、熟語、頭字語が定義されています。定義や用語に関する追加質問については、「[e2e オーディオ アンプ フォーラム](#)」を参照してください。

ブリッジ接続負荷 (BTL) は、スピーカの一方の端子を 1 つのハーフブリッジに、もう一方の端子を別のハーフブリッジに接続する出力構成です。

DUT は、デバイスと別のデバイスとを区別するため、**テスト対象のデバイス**を指す言葉です。

クローズド ループ アーキテクチャは、アンプが出力端子を監視し、出力信号と入力信号とを比較して、出力の非直線性の補正を試みるトポロジです。

動的制御は、システムまたはエンド ユーザーによって、通常の使用中に変更されるものです。

GPIO は汎用入出力ピンですさまざまな構成が可能な双方向のデジタル ピンで、システムによって要求される多くの機能を実行できます。

ホスト プロセッサ(システム プロセッサ、スカラ、ホスト、システム コントローラとも呼ばれます)は、中央のシステム コントローラとして機能し、接続されているデバイスへ制御情報を提供し、同時に上流のデバイスからオーディオのソース データを収集し、他のデバイスへ配信するデバイスを指します。このデバイスは多くの場合、オーディオ パス内のオーディオ処理デバイス(TAS3251 など)のコントロールを構成し、周波数応答、時間調整、ターゲットの音圧レベル、システムの安全動作領域、ユーザーの好みに基づいて、スピーカのオーディオ出力を最適化します。

HybridFlow は、RAM に組み込まれているコンポーネントと、ROM に組み込まれているコンポーネントを使用して、完全にプログラム可能なデバイスよりも使いやすく、しかも複数のアプリケーションで使用できる柔軟性を維持した、構成可能なデバイスを作り上げます

最大連続出力電力とは、アンプが 25°C 周囲温度で動作しているとき、シャットダウンすることなく連続的に供給できる最大出力電力を意味します。テストは、温度が熱平衡に達し、それ以上上昇しなくなるまでの時間にわたって行われます

並列ブリッジ接続負荷 (PBTL) は、スピーカの一方の端子を並列に配置した 2 つのハーフブリッジに接続し、もう一方の端子を並列に配置した別のハーフブリッジのペアに接続する出力構成です

r_{DS(on)} は、アンプの出力段で使用される MOSFET のオン抵抗の尺度です。

静的コントロール/静的構成は、システムが通常使用されている間に変更されないコントロールです。

ビアは、PCB 上の銅メッキされたスルーホールです。

9.1.2 開発サポート

- [TAS3251 の評価基板 TA3251EVM \(TAS3251EVM\)](#)
- [PurePath™ Console 3 ソフトウェア \(PUREPATHCONSOLE\)](#)
- [PurePath™ オーディオ スマートアンプ用のスピーカ特性付け基板\(PP-SALB-EVM\)](#)
- [TAS3251 のプロセスフロー \(SLAA799\)](#)

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

9.4 商標

Burr-Brown™, PurePath™, PowerPAD™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (June 2020) to Revision C (September 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• すべての古い用語をコントローラおよびターゲットに変更.....	1
• 図 8-6 を変更。.....	119

Changes from Revision A (November 2018) to Revision B (June 2020)	Page
• 製品情報表 から TAS3245 を削除.....	3

Changes from Revision * (May 2018) to Revision A (November 2018)	Page
• ドキュメントのステータスを「 事前情報 」から:「 量産データ 」に変更	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAS3251DKQ.A	Active	Production	HSSOP (DKQ) 56	20 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	3251
TAS3251DKQR	Active	Production	HSSOP (DKQ) 56	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	3251
TAS3251DKQR.A	Active	Production	HSSOP (DKQ) 56	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	3251

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

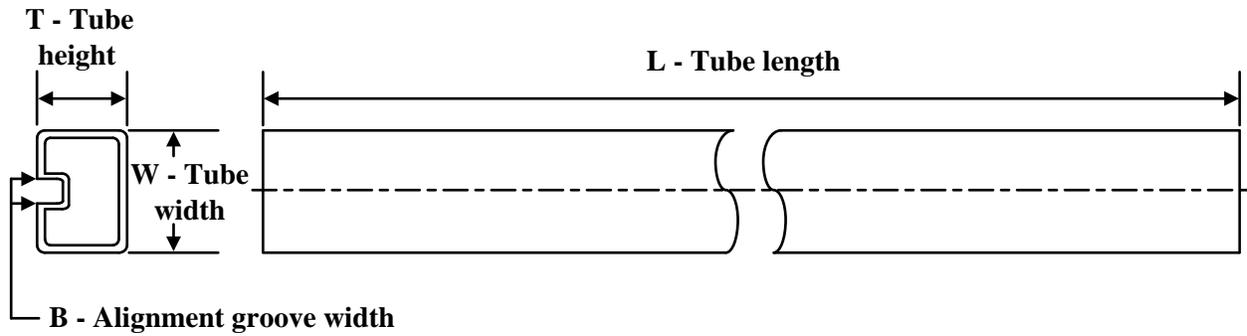
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TUBE


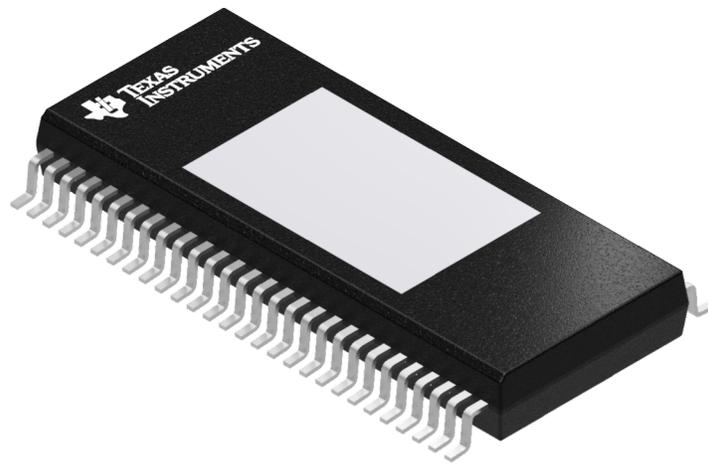
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TAS3251DKQ.A	DKQ	HSSOP	56	20	473.7	14.24	5110	7.87

DKQ 56

PowerPAD™ SSOP - 2.34 mm max height

PLASTIC SMALL OUTLINE



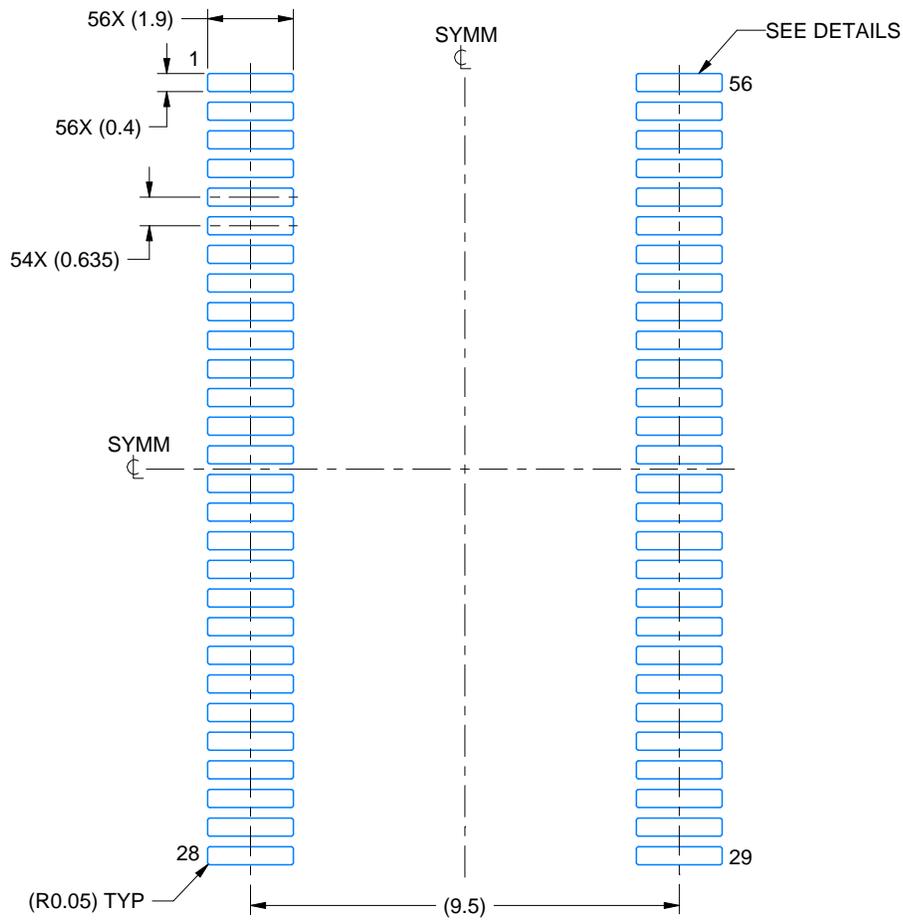
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

EXAMPLE BOARD LAYOUT

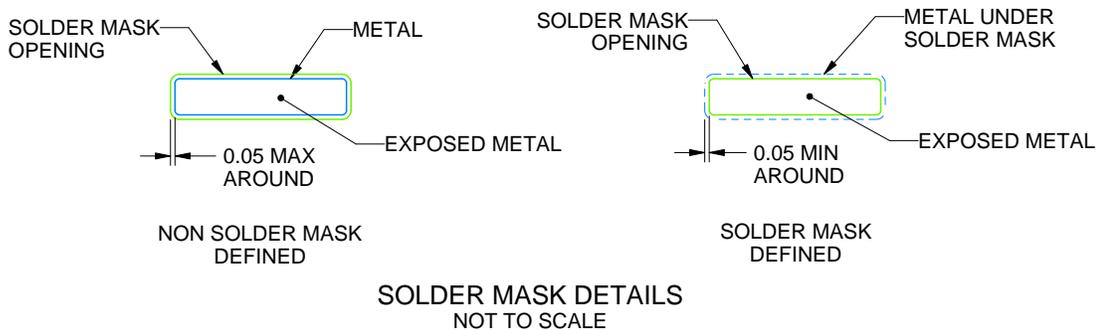
DKQ0056B

PowerPAD™ SSOP - 2.475 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4223602/A 04/2017

NOTES: (continued)

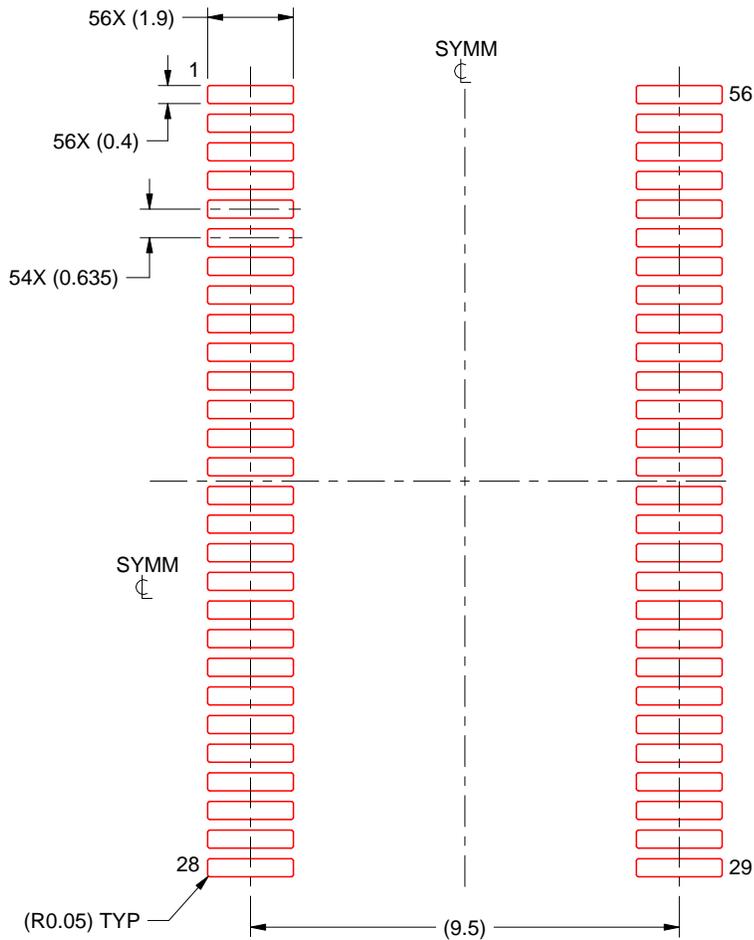
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DKQ0056B

PowerPAD™ SSOP - 2.475 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE:6X

4223602/A 04/2017

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月