

TCAN241x-Q1 車載用、降圧レギュレータおよびウォッチドッグ内蔵 CAN FD システムベースチップ (SBC)

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
- CAN-FD に関する ISO 11898-2:2024 の要件に適合
- 機能安全品質管理**
- 1A を出力可能な 3.3V または 5V 降圧レギュレータ (VCC1) を内蔵
 - VSEL ピン接続に基づいて出力 (3.3V または 5V) をピンで選択可能
 - 1.8MHz ~ 2.4MHz のスイッチング周波数オプションにより、オンボード インダクタの小型化が可能
 - EMC 性能を向上させるスペクトラム拡散変調機能を内蔵
- 最大 200mA をサポートする 5V LDO レギュレータ (VCC2)、オフボード機能とバッテリ短絡保護機能付き
- スリープ モードから複数の方法でウェークアップ可能
 - CAN バスのウェークアップ パターン (WUP)
 - 4 つの WAKE ピンを使用したローカルウェイクアップ (LWU)
 - ハイサイド スイッチ (HSS4) を使用した周期的 センシング ウェークアップ
 - 選択的ウェイク (部分的ネットワーキング機能)、TCAN2411-Q1 のみ
 - SW ピンによるデジタル ウェイクアップ
- WAKE ピンを車両内の ECU 位置を識別する ID ピンとして構成可能
- 4 個のハイサイド スイッチにより複数の負荷をサポートし、周期的センシングによるウェークアップが可能
- オプションでローサイド スイッチとしても使用可能なフェイルセーフ出力ピン (LIMP)
- ±58V のバス フォルト保護
- 高度な CAN バス障害診断
- タイムアウト、ウィンドウ、および Q&A ウォッチドッグをサポート
- EEPROM へのアクセスによりデバイス構成を保存
- 自動光学検査 (AOI) 機能を向上させるためウェッタブル フランク付き 32 ピンリードレス パッケージで供給

2 アプリケーション

- ボディ エレクトロニクスおよび照明
- カー アクセスとセキュリティ
- ハイブリッド、電動、パワートレイン システム
- 産業用輸送システム

3 説明

TCAN241x-Q1 は、ISO-11898-2-2024 の物理層要件を満たす CAN FD (コントロール エリア ネットワーク フレキシブル データ レート) 対応トランシーバを提供するシステム ベースチップ (SBC) ファミリです。CAN FD トランシーバは、最高 8Mbps のデータ レートをサポートします。TCAN241x-Q1 は、3.3V または 5V を出力でき、最大 1A の出力電流を供給できる降圧レギュレータ (VCC1) を内蔵しています。降圧レギュレータには、EMC 性能を向上させるためのスペクトラム拡散変調が内蔵されています。VCC2 LDO は、最大 200mA の負荷に対して 5V の出力を供給します。TCAN2411-Q1 は、選択的ウェイクアップ フレーム (WUF) を認識することにより、部分的ネットワーク機能をサポートしています。

TCAN241x-Q1 には、LIMP、4 つのローカル ウェイク入力、4 つのハイサイド スイッチなどの機能が搭載されています。ハイサイドスイッチはオンまたはオフ、10 ビット PWM、またはタイマ制御が可能です。GFO ピンを使用すると、外部 CAN FD、LIN トランシーバ、CAN SBC、または LIN SBC を制御できます。WAKE ピンは、ウェークアップ用に静的センシング、周期的センシング (HSS4 ピンを使用)、パルス ベースに構成できます。これらのデバイスは、特定のデバイス構成情報を保存するための EEPROM を備えているので、電源変動後の大規模な再プログラミングを回避できます。

パッケージ情報

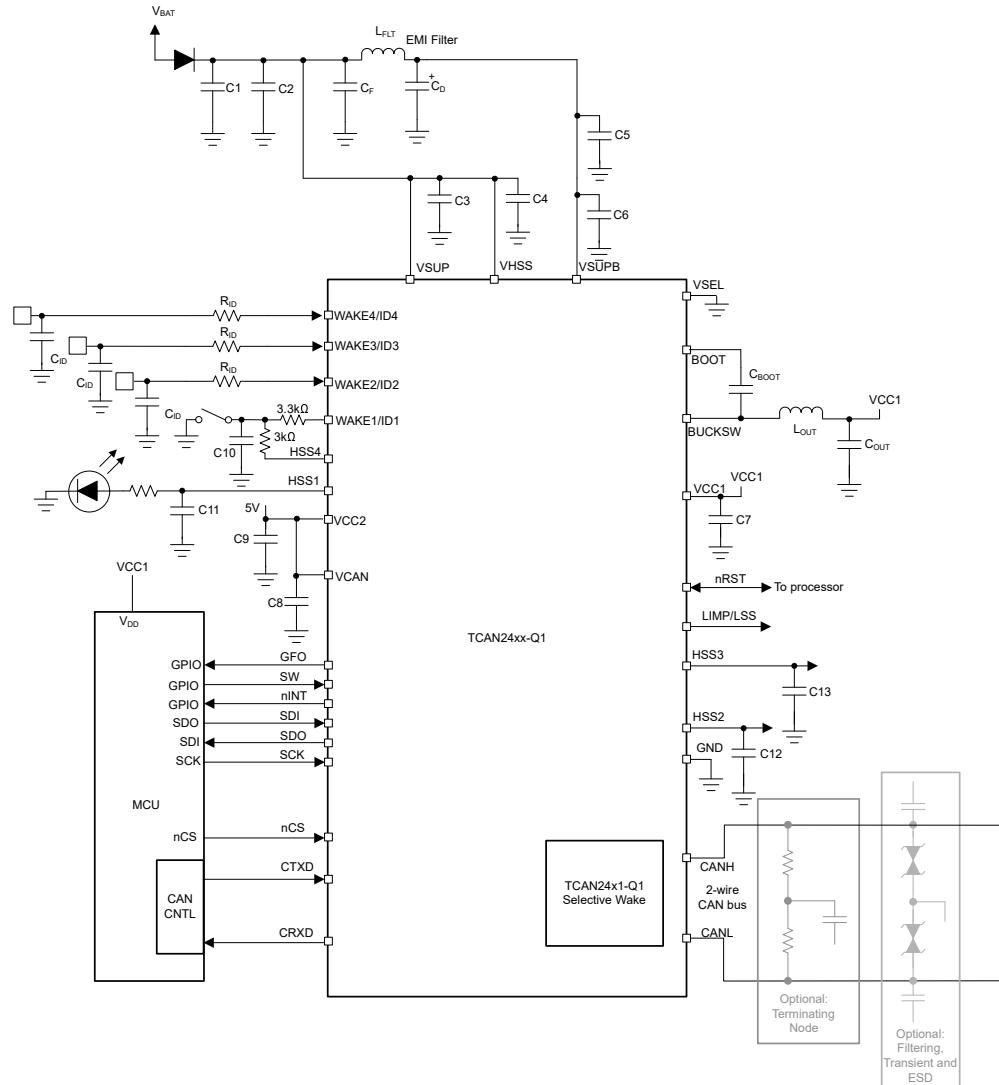
部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TCAN2410-Q1		
TCAN2411-Q1	VQFN (32)	5mm × 5mm

(1) 詳細については、[セクション 13](#) を参照してください。

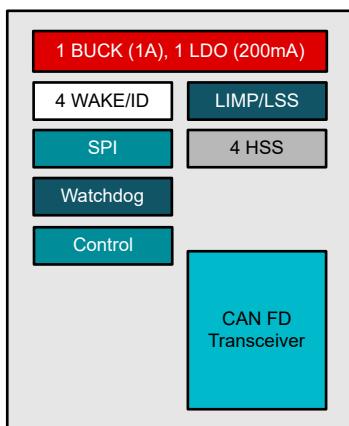
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



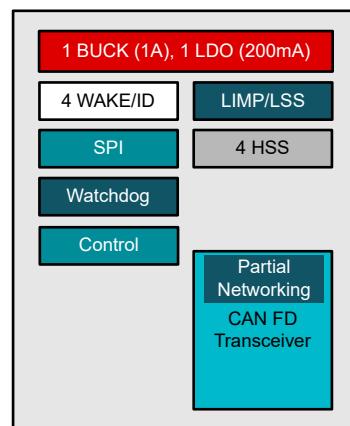
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



代表的なアプリケーションの図



TCAN2410-Q1 の図



TCAN2411-Q1 の図

目次

1 特長	1	8.2 機能ブロック図	36
2 アプリケーション	1	8.3 機能説明	38
3 説明	1	8.4 デバイスの機能モード	104
4 デバイス比較表	4	9 デバイスレジスタ表	116
5 ピン構成および機能	5	9.1 デバイスのレジスタ	117
6 仕様	7	10 アプリケーションと実装	202
6.1 絶対最大定格	7	10.1 アプリケーション情報	202
6.2 ESD 定格	7	10.2 代表的なアプリケーション	207
6.3 IEC ESD 定格	8	10.3 電源に関する推奨事項	210
6.4 推奨動作条件	8	10.4 レイアウト	211
6.5 熱に関する情報	9	11 デバイスおよびドキュメントのサポート	213
6.6 電源の特性	9	11.1 ドキュメントのサポート	213
6.7 電気的特性	15	11.2 ドキュメントの更新通知を受け取る方法	213
6.8 タイミング要件	19	11.3 サポート・リソース	213
6.9 スイッチング特性	24	11.4 商標	214
6.10 代表的特性	26	11.5 静電気放電に関する注意事項	214
7 パラメータ測定情報	28	11.6 用語集	214
8 詳細説明	35	12 改訂履歴	214
8.1 概要	35	13 メカニカル、パッケージ、および注文情報	214

4 デバイス比較表

デバイス番号	選択式ウェークアップ機能	発注用型番
TCAN2410-Q1		TCAN2410MRHBRQ1
TCAN2411-Q1	X	TCAN2411MRHBRQ1

5 ピン構成および機能

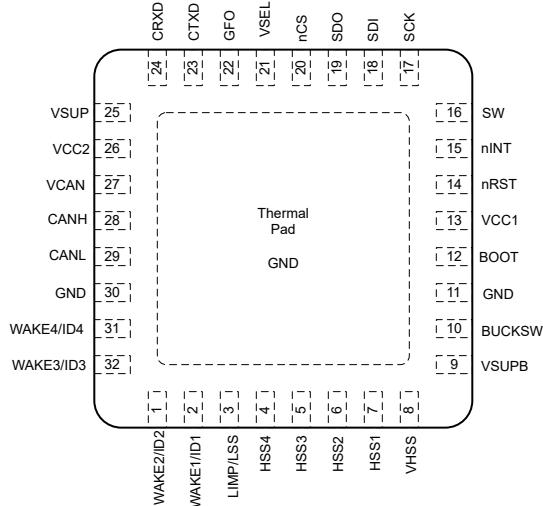


図 5-1. RHB パッケージ、32 ピン (VQFN)
(上面図)

表 5-1. ピンの機能

名称	ピン番号	タイプ ⁽¹⁾	説明
	RHB		
BOOT	12	P	HV。内部ハイサイド ドライバのブートストラップ電源電圧。このピンと BUCKSW ピンとの間に高品質の 100nF コンデンサを接続します。
BUCKSW	10	P	HV。降圧レギュレータのスイッチング ノード。パワー インダクタに接続します。
CANH	28	I/O	HV 対応。High レベル CAN バス I/O ライン
CANL	29	I/O	HV 対応。Low レベル CAN バス I/O ライン
CRXD	24	O	LV デジタル。CAN 受信データ出力 (ドミナント バス状態の場合は Low、リセッショブ バス状態の場合は High)、トライステート
CTXD	23	I	LV デジタル。CAN 送信データ入力 (ドミナント バス状態の場合は Low、リセッショブ バス状態の場合は High)、60kΩ の内部プルアップ。
GFO	22	O	LV デジタル。汎用出力ピン (SPI 構成可能)、ブッシュホール
GND	11	G	グラウンド
GND	30	G	グラウンド接続: グラウンドに接続する必要があります。
GND	サーマル パッド	G	グラウンド接続: グラウンドに接続する必要があります。
HSS1	7	O	HV。ハイサイド スイッチ 1 出力
HSS2	6	O	HV。ハイサイド スイッチ 2 出力
HSS3	5	O	HV。ハイサイド スイッチ 3 出力
HSS4	4	O	HV。ハイサイド スイッチ 4 出力
LIMP/LSS	3	O	HV 対応。リンプ ホーム出力 (アクティブ Low、オープンドレイン出力)
NC	-	NC	内部未接続。
nCS	20	I	LV デジタル。チップ セレクト入力 (アクティブ Low)、60kΩ の内部プルアップ
nINT	15	O	LV デジタル。割り込み出力 (アクティブ Low)

表 5-1. ピンの機能 (続き)

名称	ピン番号	タイプ ⁽¹⁾	説明
	RHB		
nRST	14	I/O	低電圧 (LV) デジタル。VCC1 低電圧モニタ出力ピン (アクティブ Low) およびデバイスリセット入力
SCK	17	I	LV デジタル。SPI クロック入力。
SDI	18	I	LV デジタル。SPI データ入力。 60kΩ の内部プルアップ
SDO	19	O	LV デジタル。SPI データ出力。
SW	16	I	LV デジタル。プログラミング モード入力ピン (SPI で構成可能、アクティブ High またはアクティブ Low)。 60kΩ の内部プルアップ (アクティブ Low 構成) またはプルダウン (アクティブ High 構成)
VCAN	27	P	CAN FD トランシーバ用の 5V 電源入力
VCC1	13	P	降圧レギュレータ出力 3.3V または 5V。高品質のコンデンサを GND との間に接続します。
VCC2	26	P	5V LDO 出力。バッテリ短絡保護付き。
VHSS	8	P	HV。ハイサイド スイッチ用の個別の入力電源。通常はバッテリに接続しますが、個別に電力を供給することもできます。
VSEL	21	I	LV デジタル。 VCC1 出力電圧セレクタ ピン。 1. GND に接続: VCC1 = 5 V 2. フローティング: VCC1 = 3.3V。 30kΩ の内部プルアップ
VSUP	25	P	HV。入力電源ピン。通常はバッテリに接続します。
VSUPB	9	P	HV。降圧レギュレータのバッテリからの入力電源。 VSUPB と VSUP は、同じバッテリ電源に接続する必要がありますが、VSUP ピンの伝導 EMI を低減するため、アプリケーション回路図に示すように、EMI フィルタで分離します。
WAKE1/ID1	2	I	HV 対応。ローカル WAKE 入力端子。ID ピンとして構成可能
WAKE2/ID2	1	I	高電圧 (HV) 対応。ローカル WAKE 入力端子。 ID ピンとして構成可能
WAKE3/ID3	32	I	HV。ローカル WAKE 入力端子。ID ピンとして構成可能
WAKE4/ID4	31	I	HV 対応。ローカル WAKE 入力端子。ID ピンとして構成可能

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源、NC = 未接続

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V_{SUP}	電源電圧 ⁽²⁾	-0.3	40	V
V_{SUPB}	降圧レギュレータの入力電源電圧 ⁽²⁾	-0.3	40	V
V_{SW}	降圧スイッチング ノード電圧 ⁽²⁾	-1	$V_{SUPB} + 0.3$	V
V_{BOOT_SW}	BOOT から SW への電圧	-0.3	6	V
V_{HSS}	ハイサイドスイッチの電源電圧 ⁽²⁾	-0.3	40	V
V_{CC1}	3.3V と 5V の安定化出力電圧	-0.3	6	V
V_{nRST}	リセット出力電圧	-0.3	$V_{CC1} + 0.3$	V
V_{CAN}	CAN トランシーバ電源電圧	-0.3	6	V
V_{CC2}	5V CAN トランシーバと外部 LDO ⁽²⁾	-0.3	40 および $V_O \leq V_{SUP} + 0.3$	V
V_{BUSCAN}	CAN バス I/O 電圧 (CANH, CANL)	-58	58	V
$V_{WAKE/ID}$	WAKE 入力電圧 ⁽²⁾	-0.3	40 および $V_O \leq V_{SUP} + 0.3$	V
V_{HSSx}	ハイサイドスイッチピンの出力電圧範囲 ⁽²⁾	-0.3	40 および $V_O \leq V_{HSS} + 0.3$	V
V_{LIMP}	LIMP ピン出力電圧範囲 ⁽²⁾	-0.3	40 および $V_O \leq V_{SUP} + 0.3$	V
V_{LOGIC_IN}	ロジックピン入力電圧範囲	-0.3	6	V
V_{LOGIC_OUT}	ロジック ピン出力電圧範囲	-0.5	6	V
$I_{O(LOGIC)}$	ロジック ピン出力電流		8	mA
$I_{(WAKE/ID)}$	WAKE ピンの入力電流	-55	55	mA
$I_{(LIMP)}$	LIMP ピンの入力電流		40	mA
$I_{O(nRST)}$	リセット出力電流	-5	5	mA
T_J	接合部温度	-55	165	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外での動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

(2) 300ms 間最大 40V のロード ダンプに耐えることが可能

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	$V_{SUP}, V_{SUPB}, V_{HSS}, CANL/H, WAKEx と GND の間$	± 8000
		人体モデル (HBM)、AEC - Q100-002 準拠 ⁽¹⁾	その他のすべてのピン	± 4000
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	± 750	
			± 750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 IEC ESD 定格

			値	単位
$V_{(ESD)}$	IEC 62228-3 準拠の静電放電 ⁽¹⁾	接触放電、CANH、CANL、VSUP、VSUPB、VHSS、WAKE	± 8000	V
$V_{(ESD)}$	ISO 10605 に準拠した SAE J2962-2 電動接触放電	接触放電 (CANH、CANL)	± 8000	V
$V_{(ESD)}$	ISO 10605 に準拠した SAE J2962-2 動力空中放電	空隙放電 (CANH、CANL)	± 15000	
ISO7637-2 および IEC 62215-3 過渡、CANH/L、VSUP、VHSS、WAKE ⁽²⁾	パルス 1	-100	V	
	パルス 2	75		
	パルス 3a	-150		
	パルス 3b	100		
ISO7637-3 低速過渡パルス: CAN バス端子から GND への印加 ⁽³⁾	100nF のカッピングコンデンサを備えた直接カッピングコンデンサ「低速過渡パルス」 - 電源	± 30	V	

- (1) IBEE Zwickau が実施した IEC 62228-3 ESD。システムレベルの構成が異なると、結果も異なる可能性があります。VSUP、VSUPB、VHSS は、推奨アプリケーション図に従ってバッテリ電源に接続されます
- (2) IEC 62228-2 と IEC 62228-3 に基づく ISO 7637-2 は、システムレベルの過渡テストです。システムレベルの構成が異なると、結果も異なる可能性があります。
- (3) ISO 7637-3 はシステムレベルの過渡テストです。システムレベルの構成が異なると、結果も異なる可能性があります。

6.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{SUP} 、 V_{SUPB}	電源電圧範囲	5.5	28	V	
V_{SUP} 、 V_{SUPB}	VCC1 = 3.3V 構成の電源電圧範囲 ⁽¹⁾	4.5	28	V	
V_{HSS}	ハイサイドスイッチ電源電圧	5	28	V	
V_{CAN}	CAN トランシーバ電源電圧	4.75	5	5.25	V
$I_{OH(DO)}$	デジタル出力 High レベル電流	-2			mA
$I_{OL(DO)}$	デジタル出力 Low レベル電流		2		mA
$I_{O(LIMP)}$	LIMP として構成時の LIMP/LSS ピン電流		6		mA
$I_{O(LSS)}$	ローサイドスイッチとして構成されている場合の LIMP/LSS ピンの電流		25		mA
$C_{(VSUP)}$ 、 $C_{(VSUPB)}$	V_{SUP} 、 V_{SUPB} の電源容量	100			nF
$C_{(VCC2)}$	VCC2 電源実効容量	1			μF
ESR_{CO}	VCC2 出力コンデンサの ESR 要件	0.001	1		Ω
TSDWR	サーマルシャットダウン警告	140	165		°C
TSDWF	サーマルシャットダウン警告解除	130	155		°C
TSDWHYS	サーマルシャットダウン警告ヒステリシス		10.0		°C
TSDR	サーマルシャットダウン	165	200		°C
TSDF	サーマルシャットダウン解除	155	190		°C
TSDHYS	サーマルシャットダウンヒステリシス		10.0		°C
T_J	動作ジャンクション温度範囲	-40	150		°C

- (1) VCC1 が 3.3V 出力の場合、VCC1 は VSUP 4 で動作します。V ですが、他の LDO はバススルーモードになり、出力電圧は調整された値にはなりません。すべての LDO がレギュレーションになるには、VSUP は 5.5V 以上である必要があります。

6.5 热に関する情報

热評価基準 ⁽¹⁾		RHB (VQFN)	単位
		32-PINS	
$R_{\theta JA}$	接合部から周囲への热抵抗	31.8	°C/W
$R_{\theta JB}$	接合部から基板への热抵抗	11.8	°C/W
$R_{\theta JC(top)}$	接合部からケース(上面)への热抵抗	21.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース(底面)への热抵抗	2.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	11.8	°C/W

(1) 従来および最新の热評価基準の詳細については、『半導体およびICパッケージの热評価基準』アプリケーションレポートを参照してください。

6.6 電源の特性

特記がない限り、 $VSUP/VSUPB/VHSS = 5.5V \sim 28V$ の推奨動作条件を超える場合。特に記述がない限り、すべての代表値は $T_J = 25^\circ C$ 、 $VSUP/VSUPB/VHSS = 12V$ 、 $VCAN = 5V$ 、 $R_L = 60\Omega$ で規定

パラメータ	テスト条件	最小値	標準値	最大値	単位
バッテリ消費電流 (VSUP および VSUPB を含む)					
$ISUP_{NORMAL-150C}$	通常モード:バッテリ供給電流	通常モードでの SBC、CAN トランシーバがオフ、 $VCC1 = \text{オン}$ (FPWM モード)、無負荷、 $VCC2 = \text{オフ}$ 、 $V_{SUP} = 5.5V \sim 28V$	8	11	mA
$ISUP_{STDBY-85C}$	スタンバイ モード:バッテリ電源電流 (最大 $85^\circ C$ まで)	$VCC1 = \text{オン}$ (負荷なし)、拡散スペクトラム変調 = 無効、 $VCC2 = \text{オフ}$ 、すべての HSS = オフ、 $VCC1$ シンク = 無効、CAN トランシーバ = オフ、ウェークビン = オフ、選択的ウェーク = オフ、周期的センシング = オフ、周期的ウェーク = オフ、 $WD = \text{オフ}$ 、ロング ウィンドウは期限切れ $VSUP, VSUPB = 6.5V \sim 12V$ 、 $T_J : -40^\circ C \sim 85^\circ C$	60	70	μA
$ISUP_{SLP-85C}$	スリープ モード:最大 $85^\circ C$ のバッテリ電源電流	スリープモード、選択的ウェークオフ、 $VCC1$ および $VCC2 = \text{オフ}$ 、 $6.5V \leq VSUP \leq 12V$ 、トランシーバがオフ、すべての HSS がオフ、1 つの WAKE ビンがアクティブ、周期的センシング / ウェークオフ、 $VCC1$ と $VCC2$ がオフ、 $T_J \leq 85^\circ C$	18	31	μA
$ISUP_{SLP-150C}$	スリープ モード:最大 $150^\circ C$ のバッテリ電源電流	スリープ モード、 $VCC1$ および $VCC2 = \text{オフ}$ 、1 つの wake ビンがアクティブ、CAN トランシーバ = オフ、周期的センシング ウェーク = オフ、周期的ウェーク = オフ $VSUP, VSUPB = 6.5V \sim 28V$ 、 $T_J : -40^\circ C \sim 150^\circ C$	18	50	μA
機能ごとの追加電流消費量 (VSUP および VSUPB を含む)					
$ISUP_{STDBY-CS-WK-85C}$	スタンバイまたはスリープ モードで、 WAKE1、WAKE2、WAKE3 ピンに対して 周期センシング ウェークが有効な場合の 追加電流 ⁽¹⁾	スリープ モード、周期的センシング ウェークがイネーブル、 $VSUP = 14V$ 、 $T_J \leq 85^\circ C$ 、 $TIMERx$ (オン幅 = 1ms、周期 = 100ms)	2.5	8	μA
$ISUP_{STDBY-CS-WK4-85C}$	WAKE4 ピンのスタンバイ モードまたはスリープ モードで、周期的センシング ウェーク がイネーブルになっている場合の追加の 電流 ⁽¹⁾	スリープ モード、周期的センシング ウェークがイネーブル、 $VSUP = 14V$ 、 $T_J \leq 85^\circ C$ 、 $TIMERx$ (オン幅 = 1ms、周期 = 100ms)	45	50	μA

6.6 電源の特性 (続き)

特記がない限り、VSUP/VSUPB/VHSS = 5.5V~28V の推奨動作条件を超える場合。特に記述がない限り、すべての代表値は $T_J = 25^\circ\text{C}$ 、VSUP/VSUPB/VHSS = 12V、VCAN = 5V、 $R_L = 60\Omega$ で規定

パラメータ	テスト条件	最小値	標準値	最大値	単位
ISUP _{STDBY-HSS-NOLOAD}	スタンバイ モード:各 HSS を有効にしたときの追加の電源電流消費		35	60	μA
ISUP _{SLP-VCC2-85C}	スリープ モード:VCC2 を有効にしたときの追加電源電流		25	35	μA
ISUP _{SLP-VCC1-85C}	スリープ モード:VCC1 降圧レギュレータがイネーブルのときの追加の電源電流		30	39	μA
ISUP _{SLP-swk}	選択的ウェークがオンで、CAN バスで WUP が発生し、バスがアクティブな場合の追加電流		480	550	μA
ISUP _{SLP-CANWK-85C}	スリープ モード:CAN トランシーバがウェイク機能を持つ場合の追加電源電流		7	10	μA
ISUP _{SLP-wake-85C}	スリープ モード:WAKE ピンによる追加の電源電流消費		0.5	1	μA
ISUP _{WD-TO-85C}	スタンバイまたはスリープ モード:WD タイプがタイムアウトに設定されている場合の追加供給電流		2	2.5	μA
ISUP _{WD-85C}	スタンバイ モード:WD がウンドウまたは Q/A に設定されているときの追加の電源電流		40	50	μA

VSUP 電源監視

VSUP _{(PU)R}	電源オン検出	VSUP 立ち上がり、図 10-6 および図 10-4 を参照	3.1	3.4	3.7	V
VSUP _{(PU)F}	電源オフ検出	VSUP 立ち下がり、図 10-6 および図 10-4 を参照	2.7	3	3.3	V
VSUP _{(PU)HYS}	電源オフ検出ヒステリシス		50	150	550	mV
UVSUP _{5R}	電源低電圧回復	VSUP 立ち上がり、図 10-3 および図 10-4 を参照	4.9		5.5	V
UVSUP _{5F}	電源低電圧検出	VSUP 立ち下がり、図 10-3 および図 10-4 を参照	4.5		5.1	V
UVSUP _{5HYS}	電源低電圧検出ヒステリシス			400		mV
UVSUP _{33R}	電源低電圧回復	VSUP 立ち上がり、図 10-5 および図 10-6 を参照	3.7		4.4	V
UVSUP _{33F}	電源低電圧検出	VSUP 立ち下がり、図 10-5 および図 10-6 を参照	3.55		4.25	V
UVSUP _{33HYS}	電源低電圧検出ヒステリシス			150		mV
VSUP _{UVLOVCC1(F)}	VCC1 レギュレータがオフになる、VSUP の低電圧ロックアウト下降スレッショルド	立ち下がり VSUP、VSUP_UVLO_SEL = 0b	3.1		3.3	V

6.6 電源の特性 (続き)

特記がない限り、VSUP/VSUPB/VHSS = 5.5V~28V の推奨動作条件を超える場合。特に記述がない限り、すべての代表値は $T_J = 25^\circ\text{C}$ 、VSUP/VSUPB/VHSS = 12V、VCAN = 5V、 $R_L = 60\Omega$ で規定

パラメータ	テスト条件	最小値	標準値	最大値	単位	
VSUP _{UVLOVCC1(R)}	低電圧ロックアウトのリリース値 立ち上がり VSUP、VSUP_UVLO_SEL = 0b	3.3	3.5	3.5	V	
VSUP _{UVLOVCC1(F)}	低電圧ロックアウトのリリース値 立ち下がり VSUP、VSUP_UVLO_SEL = 1b	4.9	5.1	5.1	V	
VSUP _{UVLOVCC1(R)}	VCC1 レギュレータがオフになる、VSUP の低電圧ロックアウト下降スレッショルド 立ち上がり VSUP、VSUP_UVLO_SEL = 1b	5.1	5.3	5.3	V	
VSUPB - 降圧レギュレータ入力電源						
ISUPB _{VCC1-OFF-85c}	降圧がディスエーブルのときの VSUPB 電源電流	スリープ モード、VCC1 ディスエーブル、VSUPB = 12V、 $T_J \leq 85^\circ\text{C}$	1	3	μA	
ISUPB _{VCC1-ON-85c}	降圧がイネーブルだが負荷電流がないときの VSUPB 電源電流、VCC1 = 5V	VCC1 イネーブル、無負荷、VCC1 シンク ディスエーブル、自動モード、VSUPB = 12V、 $T_J \leq 85^\circ\text{C}$	3	8	μA	
ISUPB _{VCC1-ON-85c}	降圧が有効で負荷電流がない場合の VSUPB 電源電流、VCC1 = 3.3V	VCC1 イネーブル、無負荷、VCC1 シンク ディスエーブル、自動モード、VSUPB = 12V、 $T_J \leq 85^\circ\text{C}$	2.5	5	μA	
VHSS - ハイサイドスイッチ電源入力						
IVHSS _{SLP}	スリープモードでのハイサイドスイッチ電源 (VHSS) の消費電流	スリープモード、サイクリックセンシングウェーク = オフ、 $-40^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$	1	2	μA	
IHSS _{NOLOAD}	各 HSS がオンの場合、さらに電流が引き込まれます	各 HSS がオンの場合、HSS 出力に負荷なし	100	140	μA	
UVHSS _R	ハイサイドスイッチ電源の低電圧回復	VHSS 立ち上がり	4.6	4.9	V	
UVHSS _F	ハイサイドスイッチ電源の低電圧検出	VHSS 立ち下がり	4.4	4.7	V	
UVHSS _{HYS}	ハイサイドスイッチ電源の低電圧検出ヒステリシス		100		mV	
OVHSS _F	VHSS 過電圧立ち下がりスレッショルド。ハイサイドスイッチを再度イネーブルにするには VHSS をこのスレッショルドより低くする必要があります	VHSS 立ち下がり	18.8	21.2	V	
OVHSS _R	VHSS 過電圧立ち上がりスレッショルド。HSS_OV_DIS = 0b の場合ハイサイドスイッチはオフ	VHSS 立ち上がり	20	22	V	
OVHSS _{HYS}	VHSS 過電圧スレッショルドヒステリシス		800	1200	mV	
VCC1 - 降圧レギュレータ出力						
VCC1 ₅	レギュレートされた出力範囲、5V バージョン	VSUPB = 6V ~ 28V、ICC1 = 0 ~ 1A、PWM モード	4.9	5	5.1	V
VCC1 ₅	レギュレートされた出力範囲、5V バージョン	VSUPB = 6V ~ 28V、ICC1 = 0 ~ 1A、PFM モード	4.85	5	5.15	V
VCC1 ₃₃	レギュレートされた出力範囲、3.3V バージョン	VSUPB = 4.5V ~ 28V、ICC1 = 0 ~ 1A、PWM モード	3.23	3.3	3.37	V
VCC1 ₃₃	レギュレートされた出力範囲、3.3V バージョン	VSUPB = 4.5V ~ 28V、ICC1 = 0 ~ 1A、PFM モード	3.20	3.3	3.40	V
VCC1 _{EFF}	降圧コンバータの効率	ICC1 = 500mA、VCC1 電流シンクがディスエーブル。VCC1 = 3.3V、VSUPB = 12V、PWM モード		0.85		

6.6 電源の特性 (続き)

特記がない限り、VSUP/VSUPB/VHSS = 5.5V~28V の推奨動作条件を超える場合。特に記述がない限り、すべての代表値は $T_J = 25^\circ\text{C}$ 、VSUP/VSUPB/VHSS = 12V、VCAN = 5V、 $R_L = 60\Omega$ で規定

パラメータ	テスト条件	最小値	標準値	最大値	単位
VCC1 _{EFF}	ICC1 = 100mA、VCC1 電流シンクがディスエーブル。VCC1 = 3.3V、VSUPB = 12V、PFM モード		0.80		
	ICC1 = 10mA、VCC1 電流シンクがディスエーブル。VCC1 = 3.3V、VSUPB = 12V、PFM モード		0.8		
	ICC1 = 1mA、VCC1 電流シンクがディスエーブル。VCC1 = 3.3V、VSUPB = 12V、PFM モード		0.7		
	ICC1 = 0.1mA、VCC1 電流シンクがディスエーブル。VCC1 = 3.3V、VSUPB = 12V、PFM モード		0.4		
R _{DS-ON-LS}	ローサイド MOSFET オン抵抗	ICC1 = 0.3A、VSUPB = 12V	0.24		Ω
R _{DS-ON-HS}	ハイサイド MOSFET オン抵抗	ICC1 = 0.3A、VSUPB = 12V	0.45		Ω
ICC1	VCC1 出力電流	レギュレーション時の VCC1、VSUPB = 12V	0	1	A
ICC1 _{SINK}	VCC1 がオンのときの VCC1 電流シンク能力 (イネーブルの場合)	VSUPB = 12V、レジスタ 8'h0C[4]= 0b および 8'h0D[3]= 0b		-10	μA
		VSUPB = 12V、レジスタ 8'h0C[4]= 0b および 8'h0D[3]= 1b		-1000	μA
R _{QOD-VCC1}	VCC1 がディスエーブルのときの VCC1 の出力放電抵抗	VCC1 が無効で、外部から VCC1 = 100mV (3.3V VCC1 オプションの場合)	0.9		$\text{k}\Omega$
R _{QOD-VCC1}	VCC1 がディスエーブルのときの VCC1 の出力放電抵抗	VCC1 が無効で、外部から VCC1 = 100mV (5V VCC1 オプションの場合)	0.9		$\text{k}\Omega$
ICC1 _{SC}	降圧ハイサイド電流制限	レジスタ 8'h65[0] = 0	1.2	1.6	1.95
ICC1 _{SC}	降圧ハイサイド電流制限	レジスタ 8'h65[0]=1	0.6	0.8	1
ICC1 _{LS}	降圧ローサイド電流制限	レジスタ 8'h65[0] = 0	0.9	1.1	1.3
ICC1 _{LS}	降圧ローサイド電流制限	レジスタ 8'h65[0]=1	0.45	0.55	0.65
UVCC15FPR	VCC1 低電圧回復スレッショルドの事前警告	VCC1 の立ち上がり	4.65	4.78	4.9
	VCC1 低電圧検出スレッショルドの事前警告	VCC1 の立ち下がり	4.55	4.67	4.80
UVCC15R1	VCC1 低電圧回復スレッショルド 1	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 00b	4.60	4.72	4.85
UVCC15F1	VCC1 低電圧検出スレッショルド 1	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 00b	4.50	4.62	4.75
UVCC15R2	VCC1 低電圧回復スレッショルド 2	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 01b	3.85	4.00	4.15
UVCC15F2	VCC1 低電圧検出スレッショルド 2	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 01b	3.75	3.90	4.05
UVCC15R3	VCC1 低電圧回復スレッショルド 3	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 10b	3.25	3.40	3.55
UVCC15F3	VCC1 低電圧検出スレッショルド 3	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 10b	3.15	3.30	3.45
UVCC15R4	VCC1 低電圧回復スレッショルド 4	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 11b	4.60	4.72	4.85

6.6 電源の特性 (続き)

特記がない限り、VSUP/VSUPB/VHSS = 5.5V~28V の推奨動作条件を超える場合。特に記述がない限り、すべての代表値は $T_J = 25^\circ\text{C}$ 、VSUP/VSUPB/VHSS = 12V、VCAN = 5V、 $R_L = 60\Omega$ で規定

パラメータ	テスト条件	最小値	標準値	最大値	単位	
UVCC1 _{5F4}	VCC1 低電圧検出スレッショルド 4	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 11b	3.45	3.6	3.75	V
UVCC1 _{5HYS}	低電圧検出 5V ヒステリシス、VCC1 は 5V に設定	レジスタ 8'h0E[4:3] = 00b, 01b または 10b	50.00	150.00	mV	
UVCC1 _{5HYS4}	低電圧検出 5V ヒステリシス、VCC1 は 5V に設定	レジスタ 8'h0E[4:3] = 11b		1200	mV	
UVCC1 _{33RPR}	VCC1 低電圧回復スレッショルドの事前警告	VCC1 の立ち上がり	3.1	3.2	3.28	V
UVCC1 _{33FPR}	VCC1 低電圧検出スレッショルドの事前警告	VCC1 の立ち下がり	3	3.1	3.2	V
UVCC1 _{33R1}	VCC1 低電圧回復スレッショルド 1	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 00b	3	3.1	3.2	V
UVCC1 _{33F1}	VCC1 低電圧検出スレッショルド 1	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 00b	2.95	3.05	3.15	V
UVCC1 _{33R2}	VCC1 低電圧回復スレッショルド 2	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 01b	2.55	2.65	2.75	V
UVCC1 _{33F2}	VCC1 低電圧検出スレッショルド 2	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 01b	2.5	2.6	2.7	V
UVCC1 _{33R3}	VCC1 低電圧回復スレッショルド 3	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 10b	2.25	2.35	2.45	V
UVCC1 _{33F3}	VCC1 低電圧検出スレッショルド 3	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 10b	2.2	2.3	2.4	V
UVCC1 _{33R4}	VCC1 低電圧回復スレッショルド 4	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 11b	3	3.1	3.2	V
UVCC1 _{33F4}	VCC1 低電圧検出スレッショルド 4	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 11b	2.2	2.3	2.4	V
UVCC1 _{33HYS}	低電圧検出ヒステリシス、VCC1 は 3.3V に設定されています	レジスタ 8'h0E[4:3] = 00b, 01b または 10b	30	140	mV	
UVCC1 _{33HYS4}	低電圧検出ヒステリシス、VCC1 は 3.3V に設定されています	レジスタ 8'h0E[4:3] = 11b		800	mV	
VDROP-OUT-33	ドロップアウト電圧。VCC1 を 3.3V に設定します	VSUPB = 3.5V, ICC1 = 0.5A, F _{SW} = 2.2MHz, L _{OUT-ESR} = 50mΩ		0.35	V	
VDROP-OUT-33	ドロップアウト電圧。VCC1 を 3.3V に設定します	VSUPB = 3.5V, ICC1 = 1A, F _{SW} = 2.2MHz, L _{OUT-ESR} = 50mΩ		0.7	V	
VDROP-OUT-5	ドロップアウト電圧。VCC1 を 5V に設定します	VSUPB = 5V, ICC1 = 0.5A, F _{SW} = 2.2MHz, L _{OUT-ESR} = 50mΩ		0.35	V	
VDROP-OUT-5	ドロップアウト電圧。VCC1 を 5V に設定します	VSUPB = 5V, ICC1 = 1A, F _{SW} = 2.2MHz, L _{OUT-ESR} = 50mΩ		0.7	V	
OVCC1 _{5R1}	スリープモードまたはフェイルセーフモードに移行するための過電圧 5V VCC1 スレッショルド	ランプアップ、レジスタ 8'h0C[7] = 0b	5.3	5.45	5.6	V
OVCC1 _{5F1}	過電圧 5V VCC1 スレッショルド	ランプダウン、レジスタ 8'h0C[7] = 0b	5.2	5.35	5.5	V
OVCC1 _{5R2}	スリープモードまたはフェイルセーフモードに移行するための過電圧 5V VCC1 スレッショルド	ランプアップ、レジスタ 8'h0C[7] = 1b	5.47	5.6	5.73	V
OVCC1 _{5F2}	過電圧 5V VCC1 スレッショルド	ランプダウン、レジスタ 8'h0C[7] = 1b	5.37	5.5	5.63	V
OVCC1 _{5HYS}	過電圧 5V VCC1 スレッショルドのヒステリシス			100	mV	

6.6 電源の特性 (続き)

特記がない限り、VSUP/VSUPB/VHSS = 5.5V~28V の推奨動作条件を超える場合。特に記述がない限り、すべての代表値は $T_J = 25^\circ\text{C}$ 、VSUP/VSUPB/VHSS = 12V、VCAN = 5V、 $R_L = 60\Omega$ で規定

パラメータ	テスト条件	最小値	標準値	最大値	単位
OVCC1 _{33R1}	スリープモードまたはフェイルセーフモードに移行するための過電圧 3.3V VCC スレッショルド	ランプアップ、レジスタ 8'h0C [7] = 0b	3.5	3.6	3.7
OVCC1 _{33F1}	過電圧 3.3V VCC スレッショルド	ランプダウン、レジスタ 8'h0C[7] = 0b	3.4	3.5	3.6
OVCC1 _{33R2}	スリープモードまたはフェイルセーフモードに移行するための過電圧 3.3V VCC スレッショルド	ランプアップ、レジスタ 8'h0C [7] = 1b	3.6	3.7	3.8
OVCC1 _{33F2}	過電圧 3.3V VCC スレッショルド	ランプダウン、レジスタ 8'h0C[7] = 1b	3.55	3.65	3.75
OVCC1 _{33HYS1}	過電圧 3.3V VCC スレッショルドのヒステリシス	レジスタ 8'h0C[7] = 0b		100	mV
OVCC1 _{33HYS2}	過電圧 3.3V VCC スレッショルドのヒステリシス	レジスタ 8'h0C[7] = 1b		50	mV
VCC1 _{5SC}	5V バージョンにおいてスリープ モードまたはフェイルセーフ モードに移行する VCC1 短絡スレッショルド		1.7	2	2.3
VCC1 _{33SC}	3.3V バージョンにおいてスリープ モードまたはフェイルセーフ モードに移行する VCC1 短絡スレッショルド		1.12	1.22	1.26

VCC2 - LDO レギュレータ出力

VCC2nom	負荷レギュレーションを含む安定化出力電圧	VSUP = 14V、ICC2 = 5 ~ 200mA	4.9	5	5.1	V
VCC2reg	負荷レギュレーションおよびライン レギュレーションを含む安定化出力電圧	VSUP = 8V ~ 18V、ICC2 = 10µA ~ 200mA	4.85	5	5.15	V
VCC2red	負荷範囲が縮小された場合の安定化出力電圧	VSUP = 8V ~ 18V、ICC2 = 10µA ~ 5mA、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$	4.95	5	5.05	V
ICC2 _{LIM}	VCC2 出力電流制限	VCC2 = 2.5 V	250	650	mA	
UVCC2 _R	低電圧回復 VCC2	VCC2 の立ち上がり	4.6	4.9	V	
UVCC2 _F	低電圧検出 VCC2	VCC2 の立ち下がり	4.5	4.75	V	
UVCC2 _{HYS}	低電圧検出 VCC2 ヒステリシス		70	125	175	mV
OVCC2 _R	過電圧 CAN LDO スレッショルド	をランプアップ	5.37	5.5	5.63	V
OVCC2 _F	過電圧 CAN LDO スレッショルド	をランプダウン	5.25	5.38	5.5	V
OVCC2 _{HYS}	過電圧 CAN LDO スレッショルドのヒステリシス			125		mV
VCC2 _{SC}	VCC2 LDO 短絡スレッショルド	VSUP ≥ UVSUP	1.7	2.3	V	
V_{5DROP2}	ドロップアウト電圧 (5V LDO 出力 VCC2)	VSUP = 5V、ICC2 = 100mA		750		mV

VCAN - CAN 電源入力

$I_{CAN-NORMAL-REC}$	通常モード: CAN FD バスリセッショブ	通常モード: リセッショブ、 $V_{TXD} = VCC1$ 、 $VCC1$ 、 $VCC2$ = 無負荷	3	5	mA
$I_{CAN-NORMAL-DOM}$	通常モード: CAN FD バスドミナント	通常モード: ドミナント、 $V_{TXD} = 0V$ 、 $R_L = 60\Omega$ 、 C_L = 開放、標準バス負荷、 $VCC1$ 、 $VCC2$ = 無負荷		60	mA
		通常モード: ドミナント、 $V_{TXD} = 0V$ 、 $R_L = 50\Omega$ and C_L = 開放、高バス負荷、 $VCC1$ および $VCC2$ = 無負荷		65	mA
		通常モード: バス故障のドミナント、 $V_{TXD} = 0V$ 、 $CANH = -25V$ 、 R_L および C_L = 開放、 $VCC1$ および $VCC2$ = 無負荷		100	mA

6.6 電源の特性 (続き)

特記がない限り、VSUP/VSUPB/VHSS = 5.5V~28V の推奨動作条件を超える場合。特に記述がない限り、すべての代表値は $T_J = 25^\circ\text{C}$ 、VSUP/VSUPB/VHSS = 12V、VCAN = 5V、 $R_L = 60\Omega$ で規定

パラメータ	テスト条件	最小値	標準値	最大値	単位
UVCAN _R	電源低電圧回復	VCAN 立ち上がり	4.6	4.85	V
UVCAN _F	電源低電圧検出	VCAN 立ち下がり	4.5	4.75	V
UVCAN _{HYS}	VCAN 電源低電圧検出ヒステリシス		100		mV

(1) WAKE1、WAKE2、WAKE3 ピンの周期センシングは、電流消費を減らすために低消費電力の 10kHz 内部クロックを使用します。WAKE4 ピンの周期センシングは 1MHz の内部クロックを使用し、10kHz クロックより多くの電流を消費します。消費電流を低減するため、周期的センシングを行う場合、WAKE1-3 ピンを使用することを推奨します。

6.7 電気的特性

特記がない限り、VSUP/VSUPB/VHSS = 5.5V~28V の推奨動作条件を超える場合。特に記述がない限り、すべての代表値は $T_J = 25^\circ\text{C}$ 、VSUP/VSUPB/VHSS = 12V、VCAN = 5V、 $R_L = 60\Omega$ で規定

パラメータ	テスト条件	最小値	標準値	最大値	単位
CAN ドライバ					
V _{CANH(D)}	バス出力電圧 (ドミナント) CANH	図 7-4 を参照、 $V_{CTXD} = 0V$ 、 $R_L = 45\Omega \sim 65\Omega$ 、 $C_L = \text{開放}$ 、 $R_{CM} = \text{開放}$	3	4.26	V
V _{CANL(D)}	バス出力電圧 (ドミナント) CANL		0.75	2.01	V
V _{CANH(R)} V _{CANL(R)}	バス出力電圧 (リセッショブ)	図 7-1 と 図 7-4 を参照、 $V_{CTXD} = VCC1$ 、 $R_L = \text{開放}$ (負荷なし)、 $R_{CM} = \text{開放}$	2	2.5	3
V _(DIFF)	最大差動電圧定格		-42	42	V
V _{DIFF(D)}	差動出力電圧 (ドミナント)	図 7-1 および 図 7-4 を参照、 $V_{CTXD} = 0V$ 、 $45\Omega \leq R_L \leq 65\Omega$ 、 $C_L = \text{開放}$ 、 $R_{CM} = \text{開放}$	1.5	3	V
		図 7-1 と 図 7-4 を参照、 $V_{CTXD} = 0V$ 、 $45\Omega \leq R_L \leq 70\Omega$ 、 $C_L = \text{開放}$ 、 $R_{CM} = \text{開放}$	1.5	3.3	V
		図 7-1 と 図 7-4 を参照、 $V_{CTXD} = 0V$ 、 $R_L = 2.24k\Omega$ 、 $C_L = \text{開放}$ 、 $R_{CM} = \text{開放}$	1.5	5	V
V _{DIFF(R)}	差動出力電圧 (リセッショブ)	図 7-1 と 図 7-4 を参照、 $V_{CTXD} = VCC1$ 、 $R_L = 60\Omega$ 、 $C_L = \text{開放}$ 、 $R_{CM} = \text{開放}$	-120	12	mV
		図 7-1 と 図 7-4 を参照、 $V_{CTXD} = VCC1$ 、 $R_L = \text{開放}$ (負荷なし)、 $C_L = \text{開放}$ 、 $R_{CM} = \text{開放}$	-50	50	mV
V _{CANH(INACT)}	バスバイアス無効 (STBY) 時の CANH バス出力電圧		-0.1	0.1	V
V _{CANL(INACT)}	バスバイアス無効 (STBY) 時の CANL バス出力電圧	図 7-1 と 図 7-4 を参照、 $V_{CTXD} = VCC1$ 、 $R_L = \text{開放}$ 、 $C_L = \text{開放}$ 、 $R_{CM} = \text{開放}$	-0.1	0.1	V
V _{DIFF(INACT)}	バスバイアス無効 (STBY) 時の CANH - CANL (リセッショブ) のバス出力電圧		-0.2	0.2	V
V _{SYM}	出力対称性 (ドミナントまたはリセッショブ) ($V_{O(CANH)} + V_{O(CANL)} / V_{CAN}$)	図 7-1 と 図 7-4 を参照、 $R_L = 60\Omega$ 、 $C_L = \text{開放}$ 、 $R_{CM} = \text{開放}$ 、 $C_1 = 4.7nF$ 、 $CTXD = 250kHz$ 、 $1MHz$ 、 $2.5MHz$	0.9	1.1	V/V
V _{SYM_DC}	DC 出力対称 ($V_{CAN} - V_{O(CANH)} - V_{O(CANL)}$)	図 7-1 および 図 7-4 を参照、 $45\Omega \leq R_L \leq 65\Omega$ 、 $C_L = \text{オープン}$ 、 $R_{CM} = \text{オープン}$ 、 $C_1 = 4.7nF$	-300	300	mV
I _{CANH(OS)}	短絡時の定常状態出力電流、図 7-1 と 図 7-8 を参照	$-3.0V \leq V_{CANH} \leq +18.0V$ 、CANL = 開放、 $V_{CTXD} = 0V$	-100		mA
I _{CANL(OS)}		$-3.0V \leq V_{CANL} \leq +18.0V$ 、CANH = 開放、 $V_{CTXD} = 0V$		100	mA

6.7 電気的特性 (続き)

特記がない限り、VSUP/VSUPB/VHSS = 5.5V~28V の推奨動作条件を超える場合。特に記述がない限り、すべての代表値は $T_J = 25^\circ\text{C}$ 、VSUP/VSUPB/VHSS = 12V、VCAN = 5V、 $R_L = 60\Omega$ で規定

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{OS_REC}	短絡時の定常状態出力電流、リセッショブ、 図 7-1 と 図 7-8 を参照	$-42V \leq V_{BUS} \leq +42V, V_{BUS} = CANH = CANL$	-5		5	mA
CAN レシーバ						
$V_{DIFF_RX(D)}$	レシーバがドミナント状態の差動入力電圧範囲、バスバイアスがアクティブ	$-12.0V \leq V_{CANL} \leq +12.0V$ $-12.0V \leq V_{CANH} \leq +12.0V$ 図 7-5 および 表 8-3 を参照してください。	0.9	8		V
$V_{DIFF_RX(R)}$	レシーバリセッショブ状態の差動入力電圧範囲、バスバイアスがアクティブ		-3	0.5		V
V_{HYS}	入力スレッショルド、通常、選択性ウェークモードのヒステリシス電圧		135			mV
$V_{DIFF_RX(D_INA_CT)}$	レシーバドミナント状態の差動入力電圧範囲、バスバイアスがアクティブ時	$-12.0V \leq V_{CANL} \leq +12.0V$ $-12.0V \leq V_{CANH} \leq +12.0V$ 図 7-5 および 表 8-3 を参照してください。	1.15	8		V
$V_{DIFF_RX(R_INA_CT)}$	レシーバリセッショブ状態の差動入力電圧範囲、バスバイアスがアクティブ中		-3	0.4		V
V_{CM_NORM}	同相モード範囲: 通常		-12	12		V
V_{CM_STBY}	同相モード範囲: スタンバイモード		-12	12		V
$I_{LKG(OFF)}$	パワーオフ (電源オフ) バス入力リーク電流	$CANH = CANL = 5V, VCAN = VSUP = 0$			5	μA
C_I	グランドに対する入力容量 (CANH または CANL) ⁽²⁾			20		pF
C_{ID}	差動入力容量 ⁽²⁾			10		pF
$R_{SE_CANH/L}$	シングル エンド入力抵抗 (CANH または CANL)	$-2.0V \leq V_{CANH} \leq +7.0V$ $-2.0V \leq V_{CANL} \leq +7.0V$	6	50		kΩ
$R_{DIFF_PAS_REC}$	パッシブ・リセッショブ期間中の差動入力抵抗	$V_{TXD} = V_{IO}$ 、通常モード。 $-2.0V \leq V_{CANH} \leq +7.0V$ $-2.0V \leq V_{CANL} \leq +7.0V$	12	100		kΩ
$R_{IN(M)}$	入力抵抗マッチング: $[2 \times (R_{IN(CANH)} - R_{IN(CANL)}) / (R_{CANH} + R_{IN(CANL)})] \times 100$ (%)	$V_{CANH} = V_{CANL} = 5.0V$	-1	1		%
CAN 信号改善機能						
LIMP 出力 (オープンドレイン)						
V_{OL}	オープンドレイン出力電圧 (アクティブ Low)	$4.5V < V < 28V, I_{LIMP} = -6mA$	0.5	1		V
$I_{LKG(LIMP)}$	出力電流 (非アクティブ)	$V_{LIMP} = 0V \sim 28V$	-2	2		μA
$V_{OL-LSS1}$	ローサイド出力電圧 (ローサイド スイッチとして構成されている場合)	$5V < VSUP < 28V, I_{LSS} = -20mA$		1		V
$V_{OL-LSS2}$	ローサイド出力電圧 (ローサイド スイッチとして構成されている場合)	$5V < VSUP < 28V, I_{LSS} = -100\mu A$		5		mV
I_{LSS}	ローサイド スイッチ電流制限値	$5V < VSUP < 28V$	22	30	38	mA
HSS1、HSS2、HSS3、HSS4 (高電圧出力)						
R_{dson}	HSS 出力のドレイン-ソース間オン抵抗	$I_O = -60mA$	7	16		Ω
$I_{OC(HSS)}$	HSS 過電流検出制限	$VHSS = 14V$	150	300		mA
$I_{OL(HSS)}$	HSS のオープン負荷検出電流スレッショルド、立ち下がり	$VHSS = 14V$	0.4	3.0		mA
$I_{OLHYS(HSS)}$	HSS 開放負荷検出電流ヒステリシス	$VHSS = 14V$	0.05	0.45	1	mA
I_{lkq}	リーク電流	$HSSx = 0V$ 、スリープ モード	-1	1		μA

6.7 電気的特性 (続き)

特記がない限り、VSUP/VSUPB/VHSS = 5.5V~28V の推奨動作条件を超える場合。特に記述がない限り、すべての代表値は $T_J = 25^\circ\text{C}$ 、VSUP/VSUPB/VHSS = 12V、VCAN = 5V、 $R_L = 60\Omega$ で規定

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{SR_{RF}}$	出力の立ち上がりおよび立ち下がりスルーレート (HSS1-4)	$5V \leq VHSS \leq 18V, R_L = 220\Omega, V_{O(HSSx)}$ 20% ~ 80% (t_R の場合)、80% ~ 20% (t_F の場合)	0.45		2.5	V/ μ s
t_{HSS_on}	$nCS = \text{HIGH}$ から $VHSS$ の 80% に達するまでの HSS_x のオン遅延	$VHSS = 14V, R_L = 220\Omega, V_{OUT} = VHSS$ の 80%	30		90	μ s
t_{HSS_off}	$nCS = \text{HIGH}$ から $VHSS$ の 20% に達するまでの HSS_x のオフ遅延	$VHSS = 14V, R_L = 220\Omega, V_{OUT} = VHSS$ の 20%	30		90	μ s
t_{OCFLTR}	過電流割り込み故障を設定するための HSS の過電流フィルタ時間	$VHSS = 14V$		16		μ s
t_{OLFLTR}	HSS 開放負荷フィルタ時間	$VHSS = 14V$		64		μ s
t_{OCOFF}	HSS 過電流シャットオフ時間。過電流状態がこの時間継続すると、 HSS はオフになります	$I_{O(HSS)} > I_{OC(HSS)}$	200		350	μ s

WAKE1/ID1、WAKE2/ID2、WAKE3/ID3、WAKE4/ID4 入力端子 (高電圧入力)

V_{IH}	High レベル入力電圧: WAKE ピンがイネーブルまたはスリープ状態、選択的ウェーケアップまたはスタンバイ モード、ID 機能がイネーブルの場合 ⁽¹⁾	レジスタ設定 00b VCC1 ベース	0.7 x V_{CC1}		V
		レジスタ設定 01b	2.7	2.8	2.9
		レジスタ設定 10b	3.9	4.1	4.3
		レジスタ設定 11b	6.3	6.6	6.8
V_{IL}	Low レベル入力電圧: スリープ、選択的ウェーケアップまたはスタンバイ モードで WAKE ピンがイネーブル、ID 機能がイネーブルの場合 ⁽¹⁾	レジスタ設定 00b VCC1 ベース	0.3 x V_{CC1}		V
		レジスタ設定 01b	2.1	2.2	2.4
		レジスタ設定 10b	3.2	3.35	3.5
		レジスタ設定 11b	5.2	5.45	5.6
I_{IH}	High レベル入力電流、WAKE ピンがイネーブル	WAKE = 12V		10	15
I_{IL}	Low レベル入力電流、WAKE ピンがイネーブル	WAKE = 1V		1	2
t_{WAKE}	スタンバイまたはスリープ モードで静的センシングを行う場合、WAKE の (立ち上がりまたは立ち下がり) エッジからのウェーケアップ保持時間。	図 8-18 および図 8-19 を参照。	140		μ s
$t_{WAKE_INVALID}$	これよりも短い WAKE ピンパルスは、スタンバイで、または静的センシングのスリープ モードでフィルタ処理されます。	図 8-18 および図 8-19 を参照。		10	μ s
ID_{Pu}	プルアップ電流	ID _x ピン イネーブル (レジスタビット ID _x _EN = 1b)、 VSUP = 5.5V ~ 18V、 WAKE_ID _x _PU_PD = 10b		-2	-1
ID_{Pd}	プルダウン電流	ID _x ピン イネーブル (レジスタビット ID _x _EN = 1b)、 VSUP = 5.5V ~ 18V、 WAKE_ID _x _PU_PD = 01b、 ID _x _PD_VALUE = 0b		3	5
ID_{Pd}	プルダウン電流	ID _x ピン イネーブル (レジスタビット ID _x _EN = 1b)、 VSUP = 5.5V ~ 18V、 WAKE_ID _x _PU_PD = 01b、 ID _x _PD_VALUE = 1b		9	18

6.7 電気的特性 (続き)

特記がない限り、VSUP/VSUPB/VHSS = 5.5V~28V の推奨動作条件を超える場合。特に記述がない限り、すべての代表値は $T_J = 25^\circ\text{C}$ 、VSUP/VSUPB/VHSS = 12V、VCAN = 5V、 $R_L = 60\Omega$ で規定

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{d_IDSTAT}	SPI 経由のコマンドと、 $\text{ID}_x\text{_STAT}$ レジスタ内の ID ピンのステータス更新との間の遅延		ID_x ピンが有効 (レジスタ ビット $\text{ID}_x\text{_EN} = 1\text{b}$ で自動検出の場合)、または $\text{WAKE_ID}_x\text{_PU_PD}$ ビット値が $00\text{b}/01\text{b}/10\text{b}$ から 11b に変更された場合		20	30
t_{dcs}	SPI 経由のコマンドと電流源のアクティブ化との間の遅延		ID_x ピンがイネーブル (レジスタ ビット $\text{ID}_x\text{_EN} = 1\text{b}$)。 $\text{WAKE_ID}_x\text{_PU_PD}$ ビットの値が 00b から 10b または 01b に変更されました		0.5	50
SW 入力端子						
V_{IL}	Low レベル入力電圧: SW (VCC1 が存在する場合)				0.3	VCC1
V_{IH}	High レベル入力電圧: SW (VCC1 が存在する場合)				0.7	VCC1
$V_{IHSWINT}$	スリープまたはフェイルセーフモードで VCC1 がオフの場合の SW ピンの High レベル入力電圧	レジスタ $8'h0E[1] = 1$ および / または $8'h0E[2] = 1$ で、スリープまたはフェイルセーフモードで VCC1 がオフの場合			1.2	V
$V_{ILSWINT}$	スリープまたはフェイルセーフモードで VCC1 がオフの場合の SW 低レベル入力電圧	レジスタ $8'h0E[1] = 1$ および / または $8'h0E[2] = 1$ で、スリープまたはフェイルセーフモードで VCC1 がオフの場合			0.4	V
$I_{IHSWINT-PD}$	VCC1 がオフのときの SW ピンの High レベル入力リーク電流 (アクティブ High)	VCC1 オフ、内部プルダウン イネーブル、($\text{SW_POL_SEL} = 1\text{b}$)、 $V_{SW} = 5\text{V}$			-2.5	μA
$I_{ILSWINT-PD}$	VCC1 がオフのときの SW ピンの Low レベル入力リーク電流 (アクティブ High)	VCC1 オフ、内部プルダウン イネーブル、($\text{SW_POL_SEL} = 1\text{b}$)、 $V_{SW} = 0\text{V}$			-1	μA
$I_{IHSWINT-PU}$	VCC1 がオフのときの SW ピンの High レベル入力リーク電流 (アクティブ Low)	VCC1 オフ、内部プルアップ イネーブル、($\text{SW_POL_SEL} = 0\text{b}$)、 $V_{SW} = 5\text{V}$			-1	μA
$I_{ILSWINT-PU}$	VCC1 がオフのときの SW ピンの Low レベル入力リーク電流 (アクティブ Low)	VCC1 オフ、内部プルアップ イネーブル、($\text{SW_POL_SEL} = 0\text{b}$)、 $V_{SW} = 0\text{V}$			-125	μA
I_{IHSW}	VCC1 がオンのときの SW ピンの高レベル入力リーク電流	VCC1 オン、内部プルダウン イネーブル、 $V_{SW} = \text{VCC1}$			-2	μA
I_{ILSW}	VCC1 がオンのときの SW ピンの低レベル入力リーク電流	VCC1 オン、内部プルアップ イネーブル、 $V_{SW} = 0\text{V}$			-125	μA
R_{pd}	SW ピン プルダウン抵抗		40	60	80	$\text{k}\Omega$
R_{pu}	SW ピン プルアップ抵抗		40	60	80	$\text{k}\Omega$
$I_{LKG(OFF)}$	電源がない場合のリーク電流です	入力 = 5.5V、VCC1 = VSUP = 0V、 $T_J = -40 \sim 85^\circ\text{C}$	-1	0	1	μA
C_{IN}	入力容量				10	pF
VSEL 入力端子						
$R_{VSEL-SHORT}$	短絡として検出された VSEL ピンと GND との間の最大外部抵抗 (VCC1 が 5V に設定)				10	$\text{k}\Omega$
$R_{VSEL-OPEN}$	VSEL ピンと GND の間がオープンと判定される最小外部抵抗値 (VCC1 が 3.3V に設定されている場合)				35	$\text{k}\Omega$
CTXD、SDI、CLK、nCS の入力端子						
$I_{LKG(OFF)}$	電源がない場合のリーク電流です	入力 = 5.5V、VCC1 = VSUP = 0V、 $T_J = -40 \sim 85^\circ\text{C}$	-1	0	1	μA
C_{IN}	入力容量				2	pF

6.7 電気的特性 (続き)

特記がない限り、VSUP/VSUPB/VHSS = 5.5V~28V の推奨動作条件を超える場合。特に記述がない限り、すべての代表値は $T_J = 25^\circ\text{C}$ 、VSUP/VSUPB/VHSS = 12V、VCAN = 5V、 $R_L = 60\Omega$ で規定

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{IH}	High レベル入力リーク電流	$VCC1 \pm 2\%$	-1	1	μA	
I_{IL}	Low レベル入力リーク電流	入力 = 0V、 $VCC1 \pm 2\%$	-125	-2	μA	
V_{IH}	High レベル入力電圧		0.7			VCC1
V_{IL}	Low レベル入力電圧			0.3		VCC1
R_{pd}	SDI_POL = 0b の場合は SDI に、SPI が Mode0 または Mode1 に設定されている場合は SCK に、内部プルダウン抵抗が適用されます		40	60	80	$\text{k}\Omega$
R_{pu}	プルアップ設定 (SDI_POL = 1b) の場合、CTXD、nCS、SDI に内部プルアップ抵抗が適用され、SPI が Mode2 または Mode3 に設定されている場合は SCK にも適用されます		40	60	80	$\text{k}\Omega$

CRXD、SDO、GFO、nINT 出力端子

V_{OH}	HIGH レベル出力電圧	$I_{OH} = -2\text{mA}$	0.8		VCC1
V_{OL}	Low レベル出力電圧	$I_{OL} = 2\text{mA}$		0.2	VCC1
$I_{LKG(OFF)}$	電源がない場合のリーク電流です	$VSUP = 0\text{V}, VCC1 = 0\text{V}, V_O = 0\text{V} \sim 5\text{V}$	-5	5	μA

nRST 端子 (入力/出力)

V_{IH}	High レベル入力スイッチングスレッショルド電圧	非標準内部電圧	2.1		V	
V_{IL}	Low レベル入力スイッチングスレッショルド電圧	非標準内部電圧		0.8	V	
V_{OL}	Low レベル出力電圧	$I_{OL} = 1.5\text{mA}$		0.4	V	
I_{OL}	Low レベル出力電流、オープンドレイン	$nRST = 0.4\text{V}$	1.5		mA	
I_{LKG}	リーク電流、High レベル	$nRST = VCC1$	-5	5	μA	
R_{PU}	プルアップ抵抗 (VCC1 へ出力プルアップ)		10	30	50	$\text{k}\Omega$

(1) WAKE1 はレジスタ 8'h12[1:0] (デフォルト値 10b) で選択され、WAKE2 はレジスタ 8'h2B[5:4] (デフォルト値 10b)、WAKE3 はレジスタ 8'h2B[1:0] (デフォルト値 10b) で選択されます

(2) 設計により規定されています。

6.8 タイミング要件

パラメータ		テスト条件	最小値	公称値	最大値	単位
電源						
t_{PWRUP}	VSUP が UVSUP3R を超え、 $VCC1 > UVCC1$ となるまでの時間 ⁽⁴⁾ 。				5	ms
t_{UVFLTR}	VCC1 および VCC2 の低電圧検出遅延時間 ⁽⁴⁾		25	50		μs
$t_{UVCC1PR}$	VCC1 事前警告の低電圧フィルタ時間 ⁽⁴⁾		2	14		μs
$t_{UVCANFLTR}$	VCAN の低電圧フィルタ時間 ⁽⁴⁾		4	10	15	μs
$t_{OVFLTR-VCC1}$	VCC1 の過電圧検出フィルタ時間 ⁽⁴⁾		50	60	75	μs
$t_{OVFLTR-VCC2}$	VCC2 の過電圧検出フィルタ時間 ⁽⁴⁾		20		40	μs
$t_{OVFLTRVHSS}$	VHSS の過電圧検出フィルタ時間 ⁽⁴⁾		4		35	μs

6.8 タイミング要件 (続き)

パラメータ		テスト条件	最小値	公称値	最大値	単位
$t_{VSC-VCC1}$	VCC1 検出遅延時間でグランドへの短絡 ⁽⁴⁾		75	100	125	μs
$t_{VSC-VCC2}$	VCC2 検出遅延時間でグランドへの短絡 ⁽⁴⁾		75	100	125	μs
$t_{ss-VCC2}$	VCC2 のソフトスタート時間 ⁽⁴⁾	$V_{CC2} 0V \sim 4.5V$		0.75	1.25	ms
t_{REGON}	VCC1 の起動時におけるショート サーキット フィルタ時間であり、このタイマが満了する前に VCC1 がショート サーキットしきい値を解除する必要があります。 ⁽⁴⁾	図 7-14 を参照	3	3.4	3.8	ms
t_{VCC2ON}	VCC2 の起動時におけるショート サーキット フィルタ時間であり、このタイマが満了する前に VCC2 がショート サーキットしきい値を解除する必要があります。 ⁽⁴⁾	図 7-14 を参照	3	3.4	3.8	ms
t_{REGOFF}	ウェーク イベントを受け入れて故障状態をチェックする前に、フェイルセーフ モードで VCC1 がオフになる時間 ⁽⁴⁾	ウェーク イベントを受け入れて故障状態をチェックする前に、フェイルセーフ モードで VCC1 がオフになる時間	250	300	350	ms
降圧レギュレータ						
t_{ON-MIN}	最小スイッチ オン時間 ⁽⁴⁾	$I_{CC1} = 1A$		70		ns
$t_{OFF-MIN}$	最小スイッチ オフ時間 ⁽⁴⁾	$I_{CC1} = 1A$		125		ns
t_{ON-max}	最大スイッチ オン時間 ⁽⁴⁾			7.5		μs
D_{MAX}	最大スイッチ デューティ サイクル ⁽⁴⁾			98		%
$t_{ss-VCC1}$	VCC1 のソフトスタート時間	V_{CC1} が $0V$ から $CC1$ の 90% に到達するまで		1.8	2.1	ms
f_{SW}	スイッチング周波数、レジスタ設定 1 ⁽⁴⁾	BUCK_FSW レジスタ フィールド $65h[5:4] = 00b$	1.62	1.8	2.1	MHz
f_{SW}	スイッチング周波数、レジスタ設定 2 ⁽⁴⁾	BUCK_FSW レジスタ フィールド $65h[5:4] = 01b$	1.8	2.0	2.3	MHz
f_{SW}	スイッチング周波数、レジスタ設定 3、デフ オルト設定 ⁽⁴⁾	BUCK_FSW レジスタ フィールド $65h[5:4] = 10b$	1.98	2.2	2.42	MHz
f_{SW}	スイッチング周波数、レジスタ設定 4 ⁽⁴⁾	BUCK_FSW レジスタ フィールド $65h[5:4] = 11b$	2.1	2.4	2.7	MHz
f_{SS-MOD}	スプレッド スペクトラム変調周波数、設定 1 ⁽⁴⁾	SS_MOD_FREQ レジスタ フィールド $65h[7:6] = 00b$		0		%
f_{SS-MOD}	スプレッド スペクトラム変調周波数、設定 2 ⁽⁴⁾	SS_MOD_FREQ レジスタ フィールド $65h[7:6] = 01b$ ⁽⁶⁾		4		%
f_{SS-MOD}	スプレッド スペクトラム変調周波数、設定 3 ⁽⁴⁾	SS_MOD_FREQ レジスタ フィールド $65h[7:6] = 10b$ ⁽⁶⁾		8		%
モード変更						
$t_{MODE_STBY_NOM_CTRX}$	CRXD ミラー CAN バスでの SPI 書き込み (オフまたはウェーク可能) からオンまたはリッスン状態への CAN トランシーバの状態変更時間 ⁽⁴⁾	CRXD ミラー CAN バスでの SPI 書き込み (オフまたはウェーク可能) からオンまたはリッスン状態への CAN トランシーバの状態変更時間		20		μs
$t_{MODE_NOM_SLP}$	CAN トランシーバがオフで、CRXD がバスを反映していない状態における SPI スリープコマンドからの経過時間 ⁽⁴⁾	図 7-15 を参照		5		μs
$t_{MODE_NOM_STBY}$	通常モードからスタンバイに移行するための SPI 書き込み ⁽⁴⁾	図 7-16 を参照		5		μs

6.8 タイミング要件 (続き)

パラメータ	テスト条件	最小値	公称値	最大値	単位		
デバイスタイミング							
t_{RSTN_act}	VCC1 が UVCC1 以上となり、再起動モードを離脱するまでに要する時間 ⁽⁴⁾ reg 29h[5] = 0b (デフォルト)、 図 7-13 、 図 7-14 、 図 8-16 、 図 10-3 を例として参照	1.5	2	2.5	ms		
t_{RSTN_act}	VCC1 が UVCC1 以上となり、再起動モードを離脱するまでに要する時間 ⁽⁴⁾ reg 29h[5] = 1b ; 図 7-13 、 図 7-14 、 図 8-16 、および 図 10-3 を参照ください。	10	15	20	ms		
t_{NRSTIN}	デバイスリセットを認識するために nRST ピンに必要な入力パルス ⁽⁴⁾	図 8-59 を参照してください。		75	100	125	μs
t_{RSTTO}	再起動タイマーがタイムアウトしました。UVCC1 発生後、デバイスがフェイルセーフモード (有効時) またはスリープモード (フェイルセーフモード無効時) に入るまでに要する時間 ⁽⁴⁾			120	150	180	ms
t_{NRST_TOG}	nRST 出力パルス幅 ⁽⁴⁾	レジスタ 29h[5] = 0、 図 8-59 を参照	1.5	2	2.5	ms	
		レジスタ 29h[5] = 1、 図 8-59 を参照	10	15	20	ms	
$t_{WK_TIMEOUT}$	バス ウエークアップ タイムアウト値 ⁽⁴⁾	図 8-16 を参照		0.8	2	ms	
t_{WK_FILTER}	ウェークアップリクエストのフィルタリングされたバス要件を満たすのバス時間	図 8-16 を参照		0.5	0.95	μs	
$t_{WK_WIDTH_MIN}$ ^{(2) (3) (5)}	最小 WAKE ピン パルス幅 ⁽⁴⁾	WAKE_WIDTH_INVALID = 00b、 図 8-20 および 図 8-21 を参照	10		ms		
		最小 WAKE ピン パルス幅 WAKE_WIDTH_INVALID = 01b、 図 8-20 および 図 8-21 を参照	20		ms		
		最小 WAKE ピン パルス幅 WAKE_WIDTH_INVALID = 10b、 図 8-20 および 図 8-21 を参照	40		ms		
		最小 WAKE ピン パルス幅 WAKE_WIDTH_INVALID = 11b、 図 8-20 および 図 8-21 を参照	80		ms		
$t_{WK_WIDTH_INVAILD}$ ^{(2) (3) (5)}	無効とみなされる最大 WAKE ピン パルス幅 ⁽⁴⁾	WAKE_WIDTH_INVALID = 00b、 図 8-20 および 図 8-21 を参照		5	ms		
		最大 WAKE ピン パルス幅 (無効とみなされる値) WAKE_WIDTH_INVALID = 01b、 図 8-20 および 図 8-21 を参照		10	ms		
		最大 WAKE ピン パルス幅 (無効とみなされる値) WAKE_WIDTH_INVALID = 10b、 図 8-20 および 図 8-21 を参照		20	ms		
		最大 WAKE ピン パルス幅 (無効とみなされる値) WAKE_WIDTH_INVALID = 11b、 図 8-20 および 図 8-21 を参照		40	ms		

6.8 タイミング要件 (続き)

パラメータ		テスト条件	最小値	公称値	最大値	単位
$t_{WK_WIDTH_MAX}$ (2)	最大 WAKE ピン パルス ウィンドウ ⁽⁴⁾	WAKE_WIDTH_MAX = 00b、図 8-20 を参照	750		950	ms
		最大 WAKE ピン パルス ウィンドウ WAKE_WIDTH_MAX = 01b、図 8-20 を参照		1000	1250	ms
		最大 WAKE ピン パルス ウィンドウ WAKE_WIDTH_MAX = 10b、図 8-20 を参照		1500	1875	ms
		最大 WAKE ピン パルス ウィンドウ WAKE_WIDTH_MAX = 11b、図 8-20 を参照		2000	2500	ms
t_{WK_CYC}	t_{WK_CYC} ⁽⁴⁾	周期センシング用のサンプリング ウィンドウ、スタンバイまたはスリープ モード、レジスタ 8'h12[5] = 0b、図 8-23 を参照	10	25	35	μs
		周期センシング用のサンプリング ウィンドウ、スタンバイまたはスリープ モード、レジスタ 8'h12[5] = 1b、図 8-23 を参照		55	70	85
$t_{SILENCE_CAN}$	$t_{SILENCE_CAN}$ ⁽⁴⁾	バスの非アクティブ タイマのタイムアウトは、バスがドミナントからレセシシブへ、またはその逆に変化したときに、リセットされて再起動されます。		0.6	1.2	s
$t_{INACTIVE}$	$t_{INACTIVE}$ ⁽⁴⁾	フェイルセーフおよびモード非アクティブ状態の管理に使用される SWE タイマ レジスタ 8'h1C[6:3] を使用して、さまざまな値にプログラム可能	4	5	6	最小値
t_{Bias}	t_{Bias} ⁽⁴⁾	ドミナント、リセシシブ、ドミナントのシーケンスが開始してからの経過時間です。Vsym ≥ 0.1 までの各相 6μs。図 7-10 を参照			250	μs
t_{SW}	状態変化が認識されるまでの SW ピンのフィルタ時間 ⁽⁴⁾	状態変化が認識されるまでの SW ピンのフィルタ時間	130			μs
t_{INITWD}	ウォッチドッグの初期長いウィンドウ ⁽⁴⁾	ウォッチドッグの初期長いウィンドウ、図 8-38 を参照	127	150	173	ms
		WD_CONFIG_1 レジスタ 8'h13[1:0] = 01b、図 8-38 を参照	255	300	345	ms
		WD_CONFIG_1 レジスタ 8'h13[1:0] = 10b (デフォルト)、図 8-38 を参照	510	600	690	ms
		WD_CONFIG_1 レジスタ 8'h13[1:0] = 11b、図 8-38 を参照	850	1000	1150	ms
t_{CTXD_DTO}	t_{CTXD_DTO} ⁽⁴⁾	ドミナントタイム アウト ⁽¹⁾ $R_L = 60\Omega$, $C_L =$ 開放を参照、図 7-7 を参照	1		5	ms
t_{TOGGLE}	t_{TOGGLE} ⁽⁴⁾	WUP 後にプログラムされた場合の CRXD ピンのトグル タイミング、図 8-16 を参照	5	10	15	μs
t_{WD-ACC}	タイムアウト ウォッチドッグのタイミング精度 ⁽⁴⁾	タイムアウト ウォッチドッグが有効。表 8-16 に従って選択したウォッチドッグ タイマの標準値	-15	t_{WD}	15	%
$f_{PWM-ACC}$	HSS1 ~ 4 PWM 周波数精度 ⁽⁴⁾	HSS を PWM に設定し、PWM 周波数を PWMx_FREQ ビットごとに 200Hz または 400Hz に設定します。	-10		10	%
t_{WD-ACC}	ウィンドウと Q&A ウォッチドッグのタイミング精度 ⁽⁴⁾	ウィンドウ ウォッチドッグまたは Q&A ウォッチドッグが有効。表 8-16 に従って選択したウォッチドッグ タイマの標準値	-10	t_{WD}	10	%

6.8 タイミング要件 (続き)

パラメータ		テスト条件	最小値	公称値	最大値	単位
t_{TMRACC}	タイマ 1、タイマ 2 期間 / オン時間の精度、または SWE タイマの精度 ⁽⁴⁾	レジスタ 8'h25 (TIMER1_CONFIG) または 8'h26 (TIMER2_CONFIG) ごとに構成された Timer1 または Timer2 の標準値、8'h25 (SWE_TIMER_SET) ごとに構成された SWE タイマの標準値	-15		15	%
$F_{OSC-16M}$	16MHz のクロック周波数		15.36	16	16.64	MHz
F_{OSC-1M}	1MHz のクロック周波数		0.94	1.04	1.14	MHz
$F_{OSC-10k}$	10kHz のクロック周波数		8.8	10.4	12	kHz

- (1) CTXD ドミナントタイム アウト (t_{CTXD_DTO}) は、CTXD が (t_{CTXD_DTO}) よりも長くドミナントになるとトランシーバのドライバをディセーブルにします。これにより、CAN パスラインをリセッショニングに解放して、ローカル障害によりバスドミナントがロックされることを防ぎます。ドライバは、CTXD が HIGH (リセッショニング) に戻された後でのみ、ドミナントを再度送信することができます。これにより、CAN パスドミナントをロックするローカル障害からバスが保護できますが、可能な最小データレートが制限されます。CAN プロトコルでは、最悪の場合、(CTXD 上で) 最大 11 個の連続したドミナントビットを許容しています。この場合、5 個の連続したドミナントビットの直後にエラー フレームが発生します。これは、 t_{CTXD_DTO} の最小値とともに、最小ビットレートを制限します。最小ビットレートは次のように計算できます。最小ビットレート = $11 / t_{CTXD_DTO} = 11 \text{ ビット} / 1.2\text{ms} = 9.2\text{kbps}$ 。
- (2) このパラメータは、レジスタ 11h[7:6] = 11b の場合にのみ有効です
- (3) これは、デバイスがグッド パルスとして検出する WAKE ピン入力の最小パルス幅です。最小値 $t_{WK_WIDTH_MIN}$ と最大値 $t_{WK_WIDTH_INVALID}$ の間の値は不確定であり、有効とみなされる場合とそうでない場合があります。
- (4) 設計により規定されています。
- (5) このパラメータは、レジスタ 11h[3:2] の $t_{WK_WIDTH_INVALID}$ に設定された値に基づいて決まります
- (6) REV_ID = 20h のデバイスには適用されません

6.9 スイッチング特性

特に記載がない限り、推奨動作条件下で $VSUP/VSUPB = 5.5V \sim 28V$ にて適用されます。特に記載がない限り、すべての代表値は $T_J = 25^\circ C$ 、 $VSUP/VSUPB = 12V$ 、 $VCAN = 5V$ 、 $R_L = 60\Omega$ にて規定されています。

パラメータ	テスト条件	最小値	標準値	最大値	単位
トランシミッタおよびレシーバ特性					
$t_{prop(TxD-busrec)}$	伝搬遅延時間、Low から High CTXD エッジからドライバリセッシブまで (ドミナントからリセッシブ)			55	90
$t_{prop(TxD-busdom)}$	伝搬遅延時間、High から Low CTXD エッジからドライバドミナントまで (リセッシブからドミナントまで)			46	90
$t_{sk(p)}$	パルス スキュー ($ t_{prop(TxD-busrec)} - t_{prop(TxD-busdom)} $)			6	25
t_R	差動出力信号の立ち上がり時間:			10	48
t_F	差動出力信号の立ち下がり時間:			10	48
$t_{prop(busrec-RXD)}$	伝搬遅延時間、バスリセッシブ入力から CRXD High 出力 (ドミナントからリセッシブ)			75	110
$t_{prop(busdom-RXD)}$	伝搬遅延時間、バスドミナント入力から CRXD Low 出力 (リセッシブからドミナントまで)			75	110
t_{LOOP}	ループ遅延 ⁽¹⁾	$R_L = 60\Omega, C_L = 100pF, C_{CRXD} = 15pF, VCC1 \pm 2\%, CAN_SLOPE_CTRL_EN 8'h0E[7] = 0b$ 送信機と受信機のタイミング動作テスト回路と測定を参照ください。		215	ns
CAN FD のスイッチング特性					
$t_{\Delta Bit(Bus)2M}$	2Mbps で送信されるリセッシブ ビット幅で、1Mbps を超えて最大 2Mbps までのビットレートでの使用を想定			-60	25
$t_{\Delta Bit(Bus)5M}$	5Mbps で送信されるリセッシブ ビット幅で、2Mbps を超えて最大 5Mbps までのビットレートでの使用を想定	$R_L = 60\Omega, C_L = 100pF, C_{CRXD} = 15pF ; CAN_SLOPE_CTRL_EN 8'h0E[7] = 0b ;$ ドライバテスト回路と測定を参照ください。		-40	10
$t_{\Delta Bit(Bus)8M}$	8Mbps で送信されるリセッシブ ビット幅で、5Mbps を超えて最大 8Mbps までのビットレートでの使用を想定			-45	10
$t_{\Delta Bit(RXD)2M}$	2Mbps で受信されたリセッシブビット幅、	$R_L = 60\Omega, C_L = 100pF, C_{CRXD} = 15pF ; CAN_SLOPE_CTRL_EN 8'h0E[7] = 0b ;$ ドライバテスト回路と測定を参照ください。		-90	40
$t_{\Delta Bit(RXD)5M}$	5Mbps で受信されたリセッシブビット幅、			-70	10
$t_{\Delta Bit(RXD)8M}$	8Mbps で受信されたリセッシブビット幅、			-60	10
Δt_{Rec}	2Mbps における受信タイミングの対称性で、1Mbps 以上 2Mbps までのビットレートでの使用を想定しています。			-65	40
	5Mbps における受信タイミングの対称性で、2Mbps 以上 5Mbps までのビットレートでの使用を想定しています。	$R_L = 60\Omega, C_L = 100pF, C_{CRXD} = 15pF ; CAN_SLOPE_CTRL_EN 8'h0E[7] = 0b ;$ ドライバテスト回路と測定を参照ください。		-30	10
	8Mbps における受信タイミングの対称性で、5Mbps 以上 8Mbps までのビットレートでの使用を想定しています。			-30	10
SPI スイッチング特性					
f_{SCK}	SPI クロック周波数 ⁽²⁾	通常モードおよびスタンバイ モード、スリープ モード - VCC1 が存在する場合、レジスタ $BYTE_CNT$ の場合、 $09h[3] = 0b$ (シングル バイト モード)		4	MHz

6.9 スイッチング特性 (続き)

特に記載がない限り、推奨動作条件下で $VSUP/VSUPB = 5.5V \sim 28V$ にて適用されます。特に記載がない限り、すべての代表値は $T_J = 25^\circ C$ 、 $VSUP/VSUPB = 12V$ 、 $VCAN = 5V$ 、 $R_L = 60\Omega$ にて規定されています。

パラメータ	テスト条件	最小値	標準値	最大値	単位
f_{SCK}	SPI クロック周波数 ⁽²⁾ 通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、レジスタ BYTE_CNT の場合、 $09h[3] = 1b$ (2 バイトモード)			2	MHz
t_{SCK}	SPI クロック周期 ⁽²⁾ 通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、レジスタ BYTE_CNT の場合、 $09h[3] = 0b$ (シングルバイトモード) 図 7-12 を参照	250			ns
t_{SCK}	SPI クロック周期 ⁽²⁾ 通常モードおよびスタンバイモード、およびスリープモード - VCC1 が存在する場合、レジスタ BYTE_CNT の場合、 $09h[3] = 1b$ (2 バイトモード) 図 7-12 を参照	500			ns
t_{SCKR}	SPI クロック立ち上がり時間 ⁽²⁾ 通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、 図 7-11 を参照			40	ns
t_{SCKF}	SPI クロック立ち下がり時間 ⁽²⁾ 通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、 図 7-12 を参照			40	ns
t_{SCKH}	SPI クロック High ⁽²⁾ 通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、レジスタ BYTE_CNT の場合、 $09h[3] = 0b$ (シングルバイトモード) 図 7-12 を参照	125			ns
t_{SCKH}	SPI クロック High ⁽²⁾ 通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、レジスタ BYTE_CNT の場合、 $09h[3] = 1b$ (2 バイトモード) 図 7-12 を参照	250			ns
t_{SCKL}	SPI クロック Low ⁽²⁾ 通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、レジスタ BYTE_CNT の場合、 $09h[3] = 0b$ (シングルバイトモード) 図 7-12 を参照	125			ns
t_{SCKL}	SPI クロック Low ⁽²⁾ 通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、レジスタ BYTE_CNT の場合、 $09h[3] = 1b$ (2 バイトモード) 図 7-12 を参照	250			ns
t_{hCSS}	nCS チップセレクトセットアップ時間 ⁽²⁾ 通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、 図 7-12 を参照	100			ns
t_{hCSH}	nCS チップセレクトのホールド時間 ⁽²⁾ 通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、 図 7-12 を参照	100			ns
t_{hCSD}	nCS チップセレクト無効時間 ⁽²⁾ 通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、 図 7-11 を参照	50			ns
t_{SISU}	セットアップ時間のデータ ⁽²⁾ 通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、 図 7-11 を参照	50			ns

6.9 スイッチング特性 (続き)

特に記載がない限り、推奨動作条件下で $VSUP/VSUPB = 5.5V \sim 28V$ にて適用されます。特に記載がない限り、すべての代表値は $T_J = 25^\circ C$ 、 $VSUP/VSUPB = 12V$ 、 $VCAN = 5V$ 、 $R_L = 60\Omega$ にて規定されています。

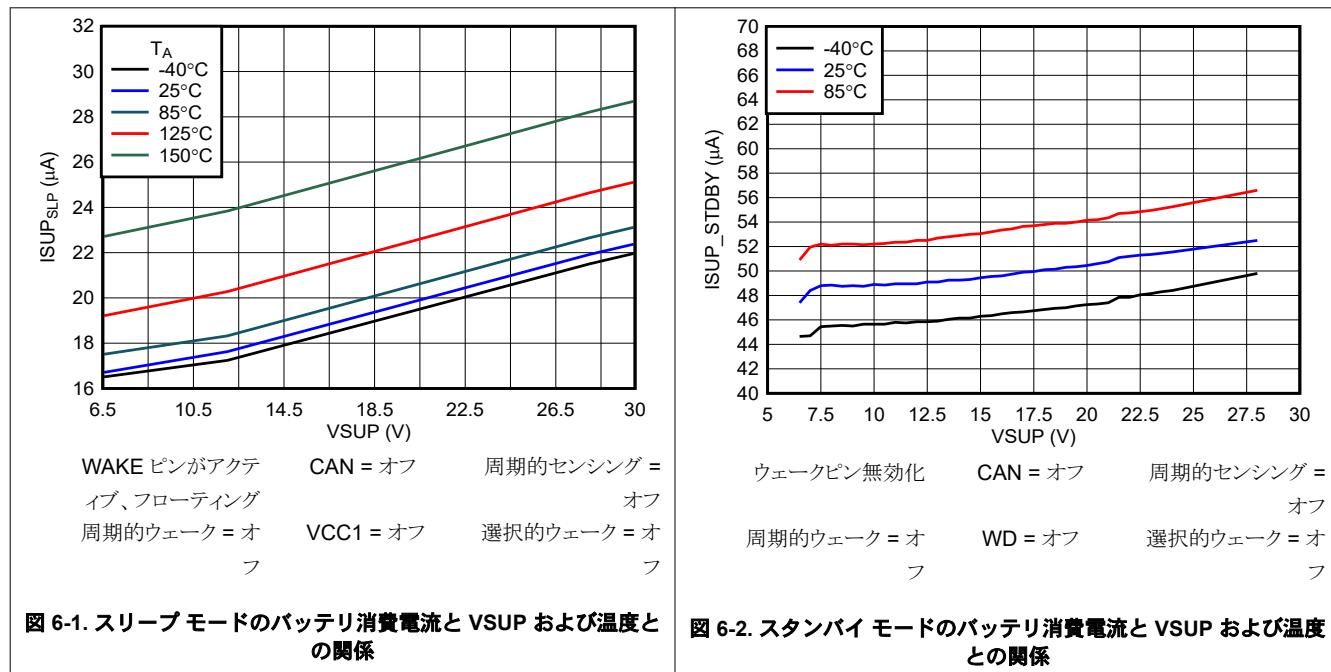
パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{SIH}	ホールド時間のデータ ⁽²⁾	通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、図 7-11 を参照	50		ns
t_{SOV}	データ出力有効 ⁽²⁾	通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、図 7-12 を参照		80	ns
t_{RSO}	SDO 立ち上がり時間 ⁽²⁾ 、 $C_{LOAD} \leq 20pF$	通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、図 7-12 を参照		40	ns
t_{FSO}	SDO 立ち上がり時間 ⁽²⁾ 、 $C_{LOAD} \leq 20pF$	通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、図 7-12 を参照		40	ns

(1) TXD 入力の信号エッジから、同じ極性の RXD 出力の次の信号エッジまでの時間。両方の信号エッジの遅延のうち、最大値を考慮します。

(2) 設計により規定されています。

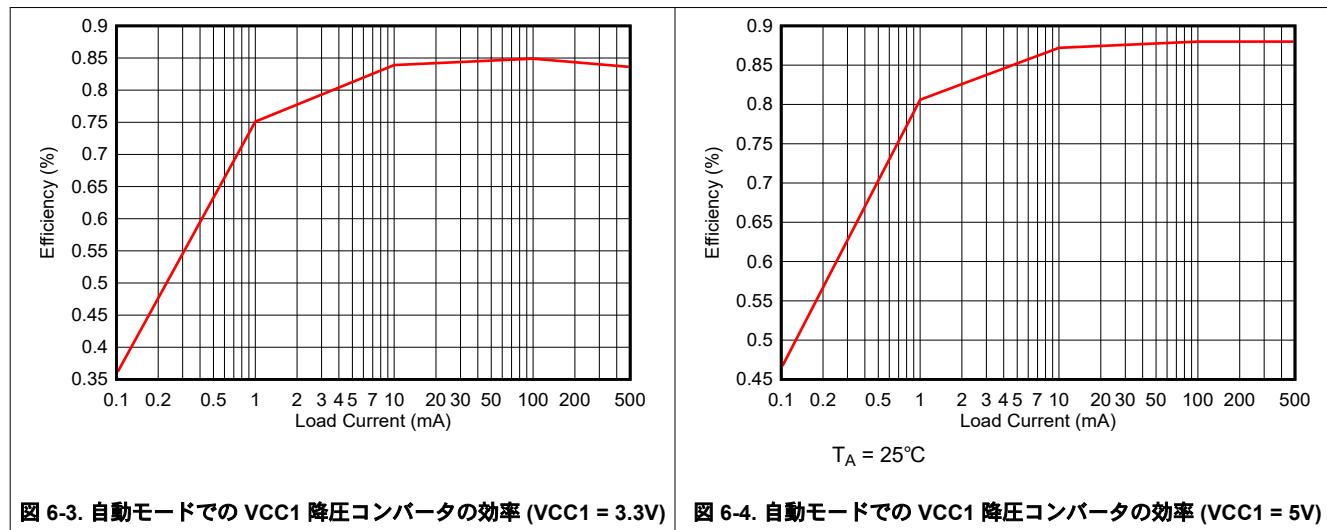
6.10 代表的特性

$T_A = 25^\circ C$



6.10 代表的特性 (続き)

$T_A = 25^\circ\text{C}$



7 パラメータ測定情報

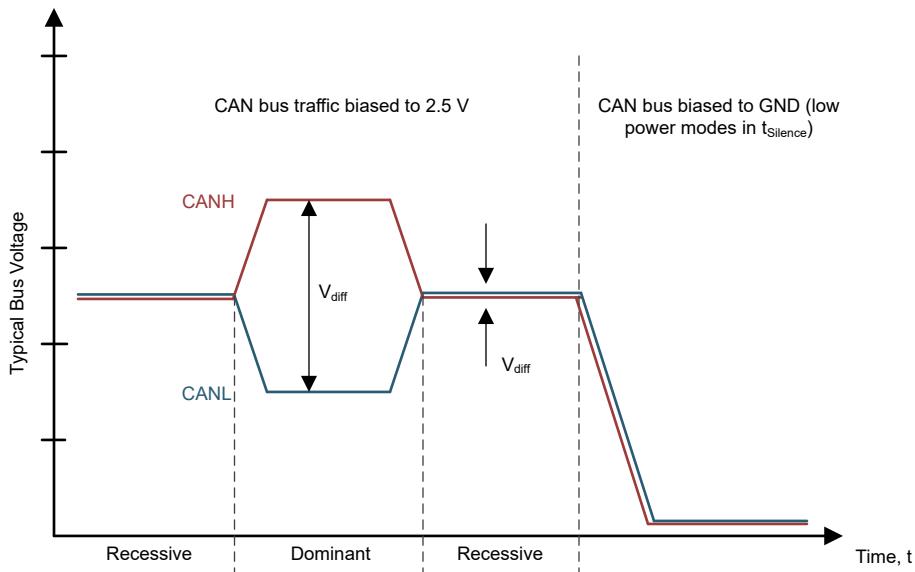
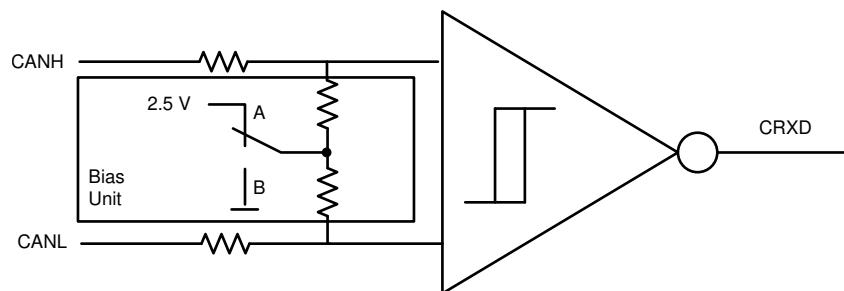


図 7-1. バスの状態 (物理的ビット表現)



- A. 通常、リスン モード
- B. スタンバイおよびスリープモード (低消費電力)

図 7-2. 簡略化されたリセシシブ同相バイアスユニットおよびレシーバ

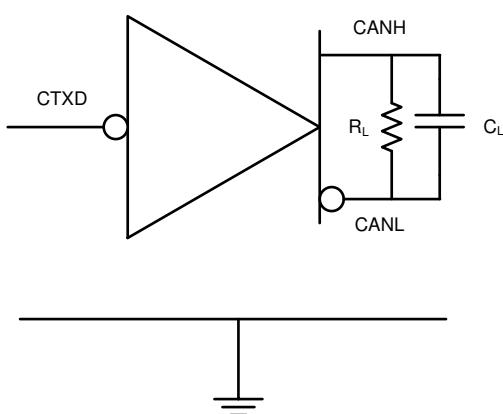


図 7-3. 電源テスト回路

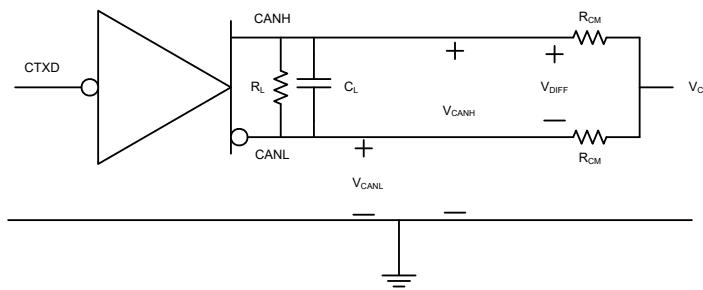


図 7-4. ドライバテスト回路と測定

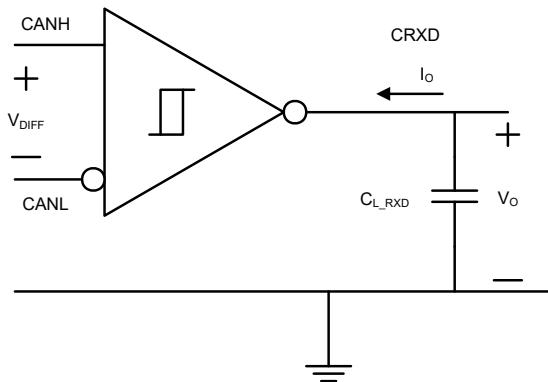


図 7-5. レシーバのテスト回路と測定

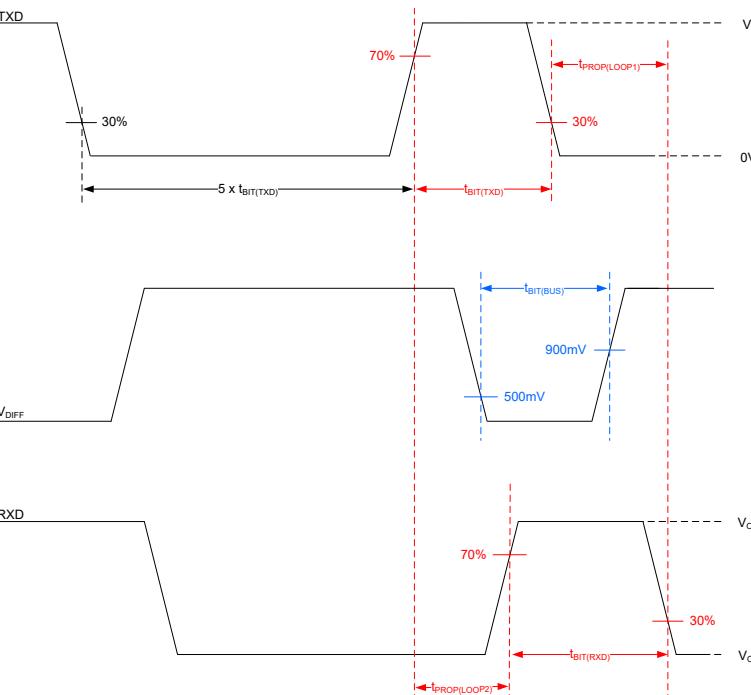


図 7-6. トランスマッタとレシーバのタイミング動作テスト回路と測定

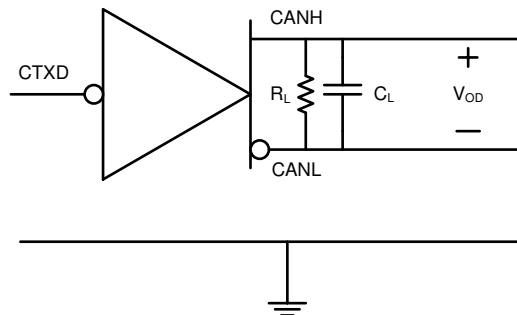


図 7-7. TXD ドミナント タイムアウトのテスト回路と測定

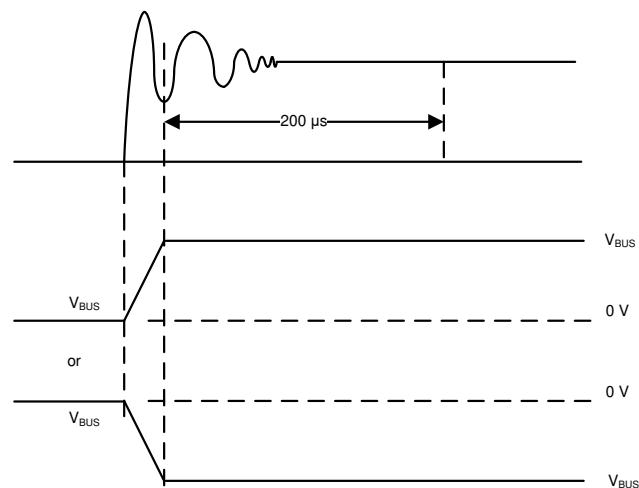
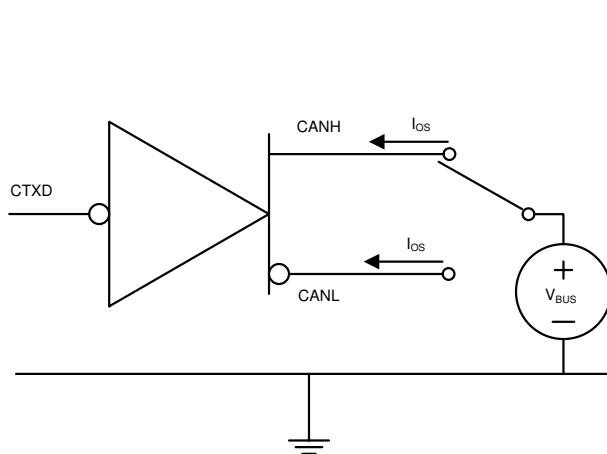


図 7-8. ドライバ短絡電流テスト回路と測定

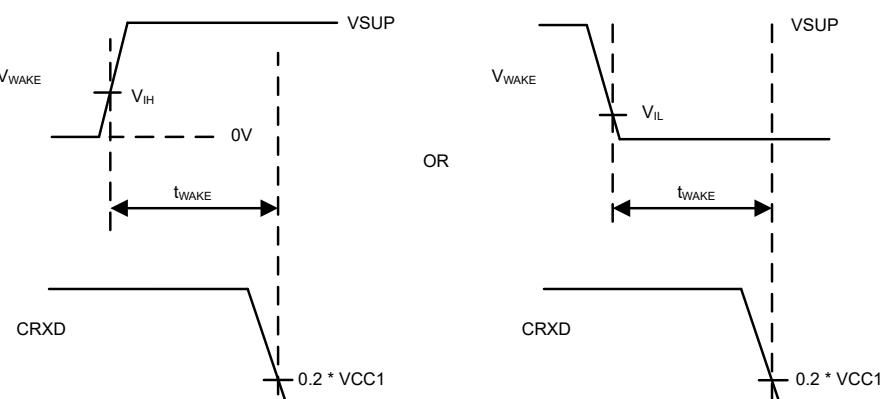
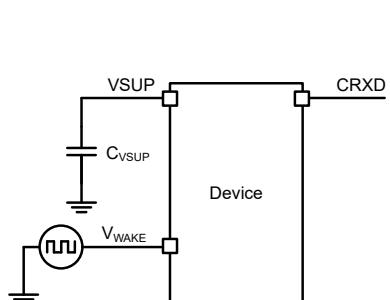


図 7-9. RXD 出力監視中の t_{WAKE}

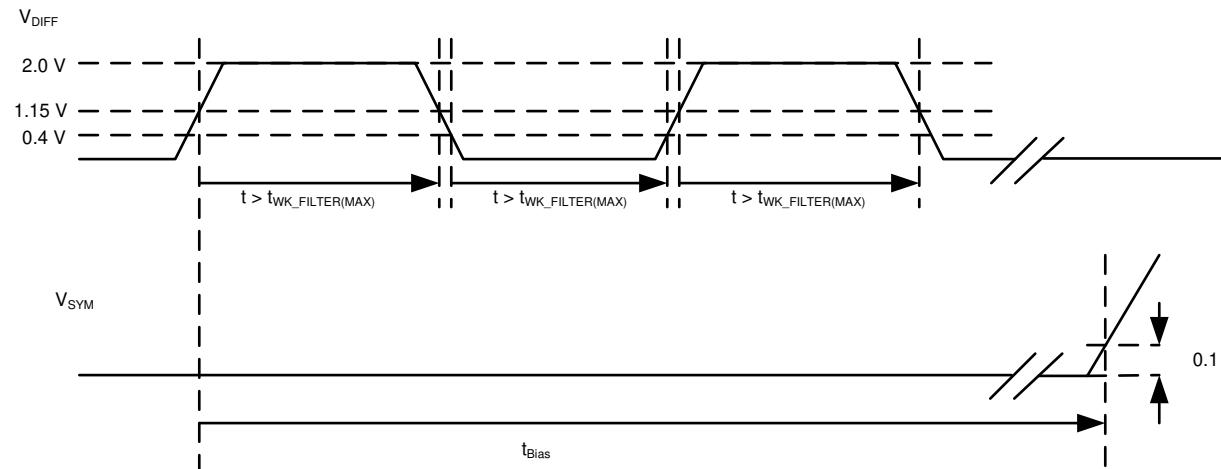


図 7-10. バイアス応答時間測定のテスト信号の定義

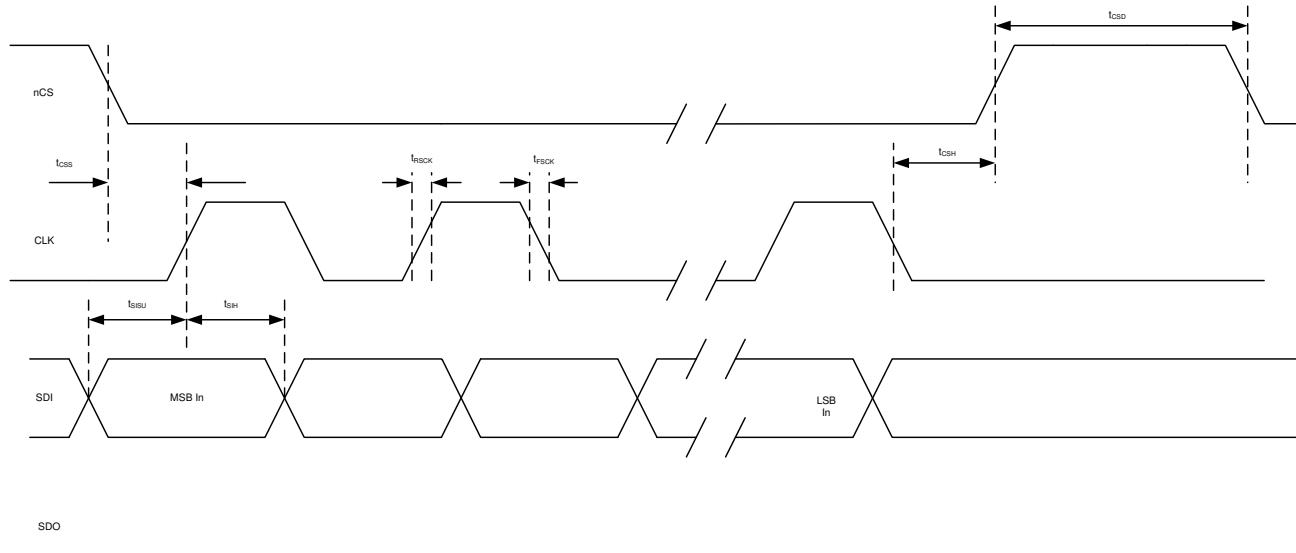


図 7-11. SPI AC 特性書き込み

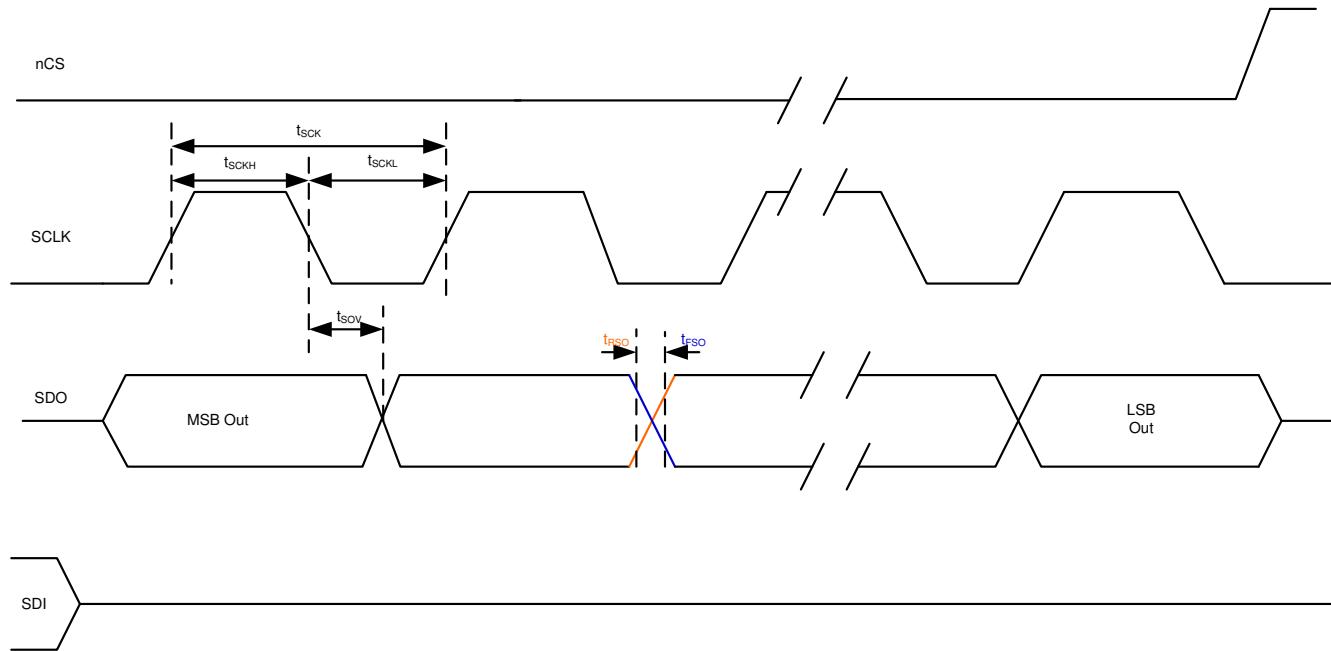


図 7-12. SPI AC 特性読み取り

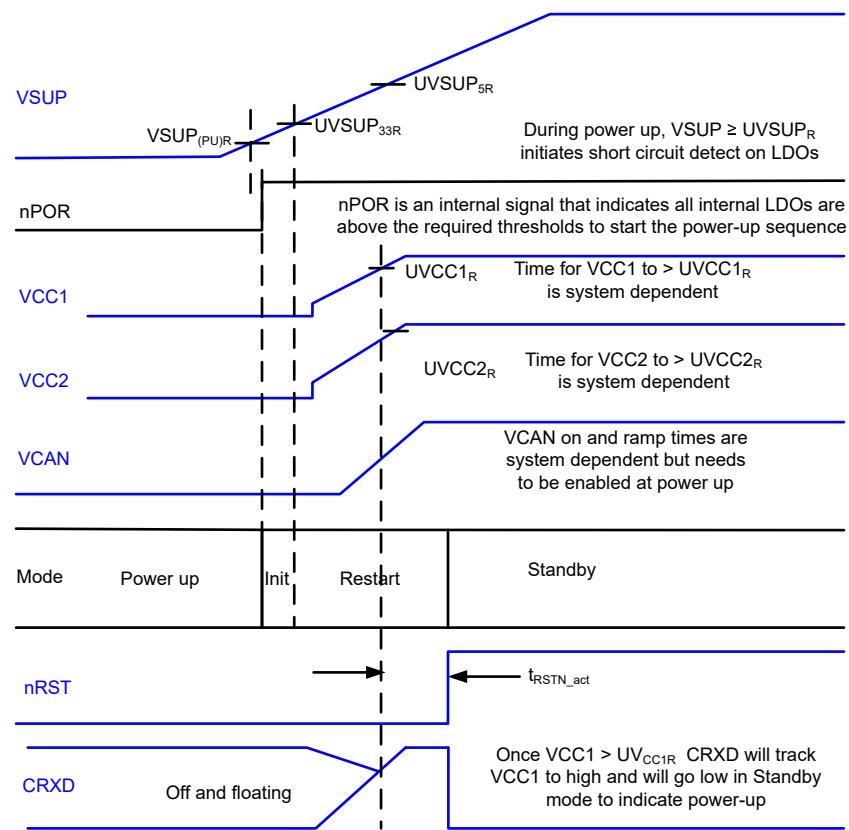


図 7-13. 起動タイミング

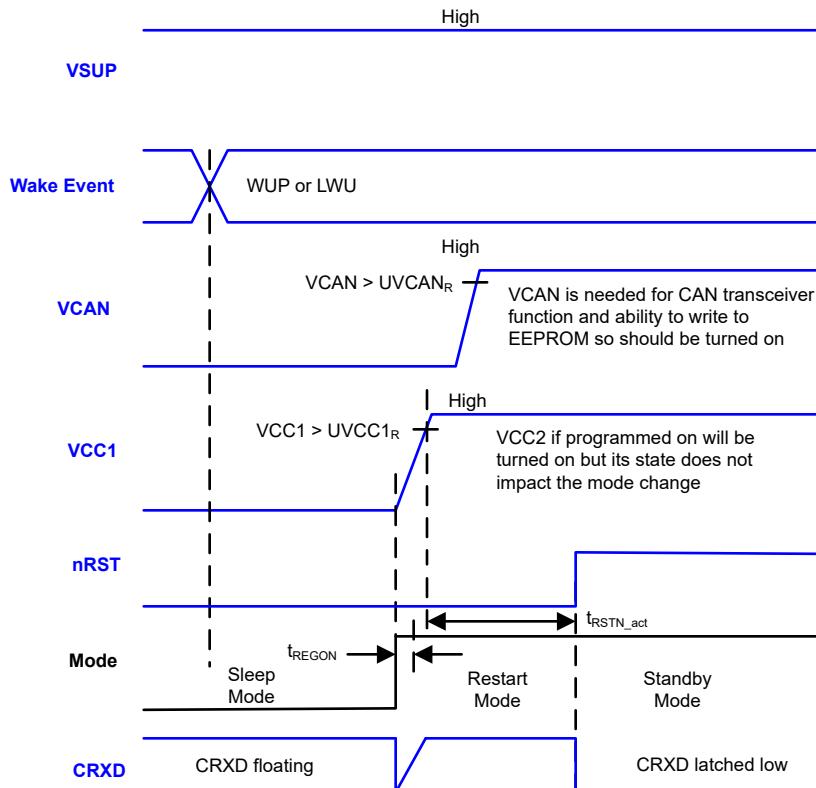


図 7-14. スリープからリストアのタイミング

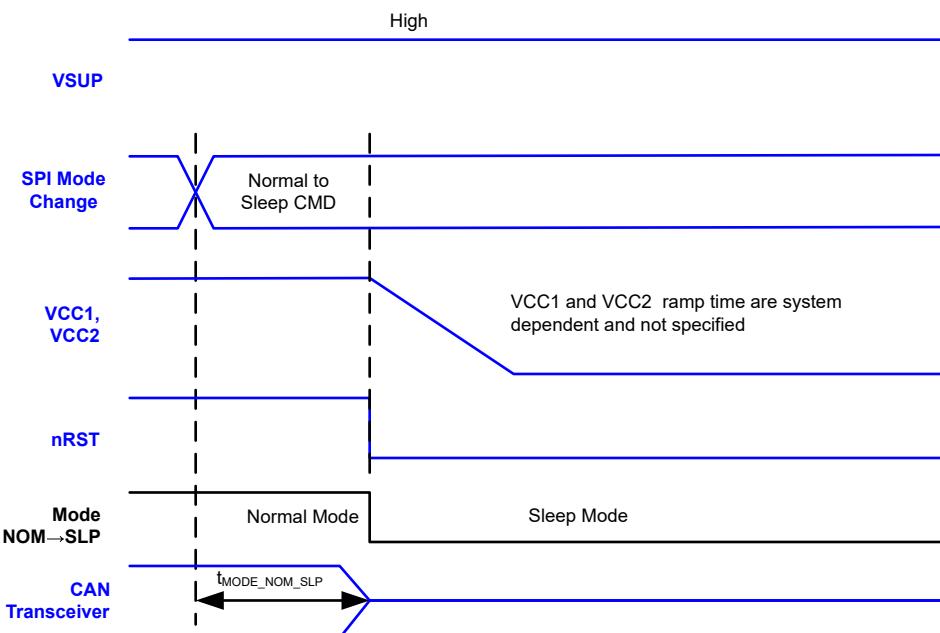


図 7-15. 通常からスリープのタイミング

- A. VCC1 と VCC2 は、スリープ モードでオフになるようデバイス モード依存に設定されている場合、スリープ モードで電源オフになります。VCC1 と VCC2 はスリープ モードでオンに維持されるように構成できることに注意してください。
- B. 青い信号は TCAN241x-Q1 の入力または出力で、黒は TCAN241x-Q1 に対する内部信号です。これはタイミング図 図 7-13、図 7-14、図 7-15、図 7-16 のためのものです。

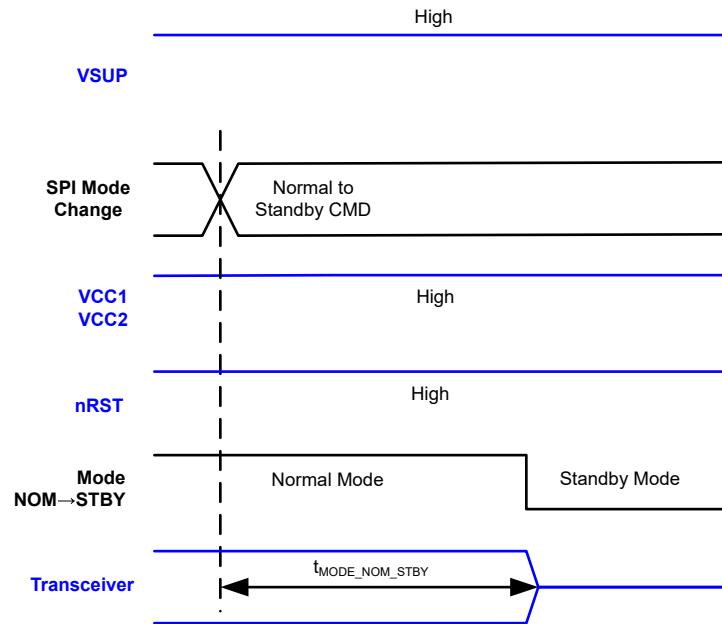


図 7-16. 通常からスタンバイのタイミング

8 詳細説明

8.1 概要

TCAN241x-Q1 ファミリのシステム ベース チップ (SBC) には、CAN FD トランシーバが統合されています。CAN FD トランシーバは、最高 5Mbps のデータ レートをサポートし、高速 CAN 物理層規格に適合しています：ISO 11898-2:2024。TCAN2411-Q1 は、特定の CAN フレームによる選択式ウェークアップに対応しています。このデバイスは、ISO 11898-2:2024 で定義されたウェークアップ パターン (WUP) を実装する CAN バスを使用したリモート ウェークアップによって起動できます。このデバイスは、構成のためにローカル マイクロプロセッサに接続するシリアル ペリフェラル インターフェイス (SPI) を備えています。SPI は、最大 4MHz のクロック レートをサポートします。このデバイスは、実製作業に役立つソフトウェア開発ピンを提供します。このモードでは、ウォッチドッグは引き続きアクティブですが、フラグを設定するだけです。

このデバイスは、VSEL ピンの接続に応じて 3.3V または 5V いずれかの V_{CC1} を供給しており、最大 1A の負荷をサポートします。このデバイスには外部に最大 200mA を供給でき、かつバッテリ短絡保護を備えた独立の 5V LDO、 V_{CC2} があります。CAN FD トランシーバには、5V の入力電源 VCAN を使用します。

8.2 機能ブロック図

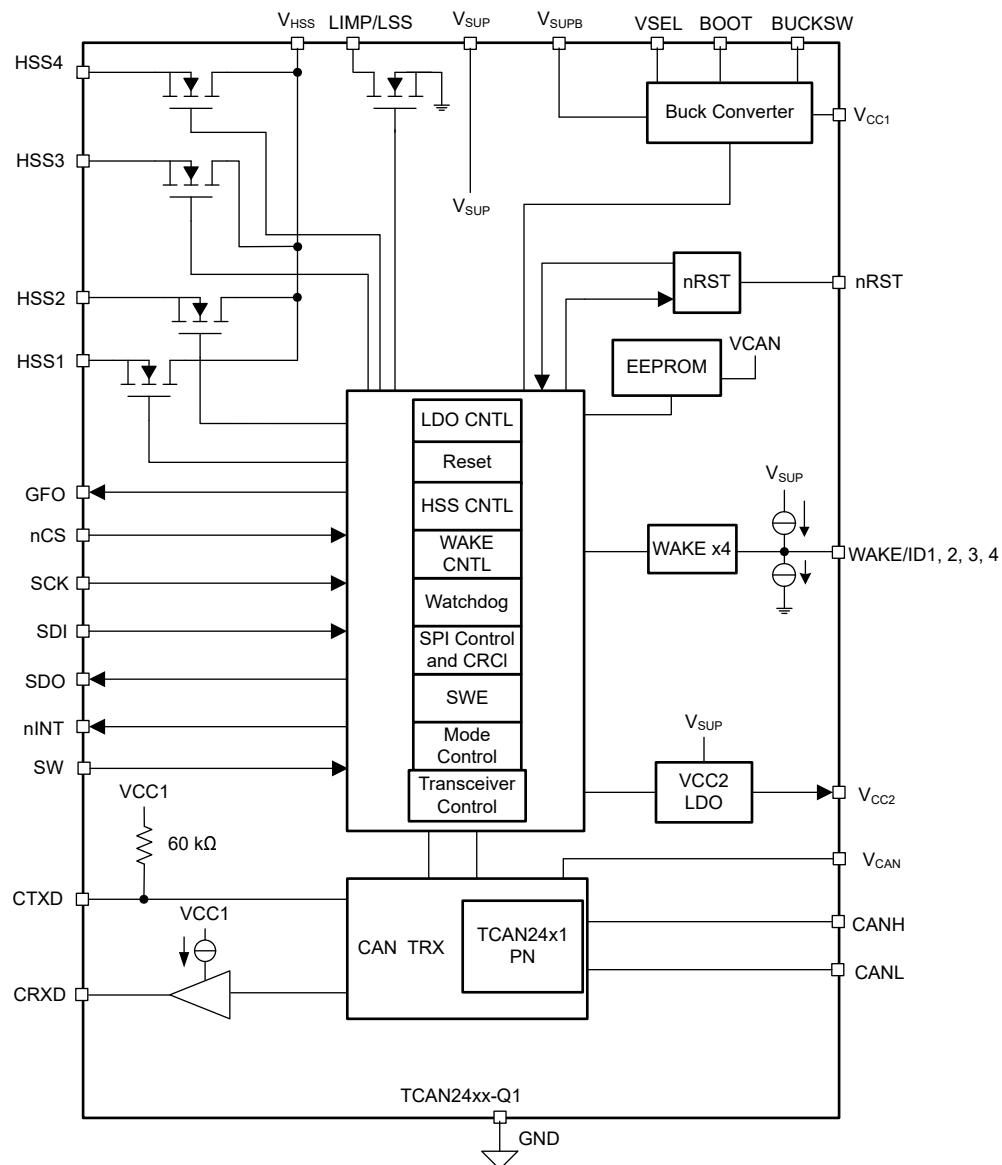


図 8-1. TCAN241x-Q1 の機能ブロック図

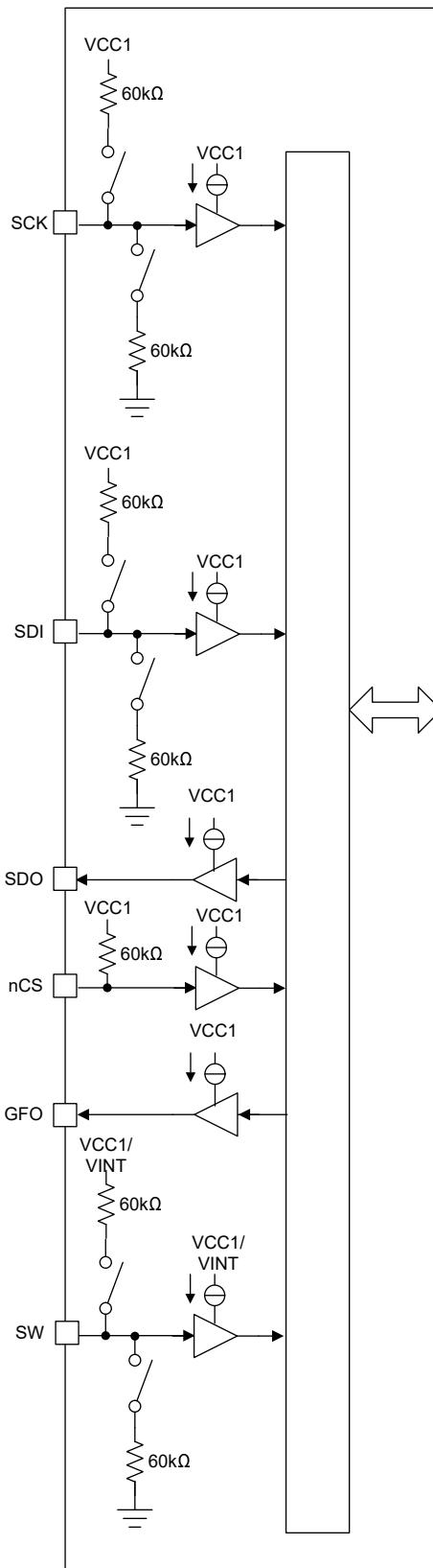


図 8-2. デジタル入力および出力のブロック図

8.3 機能説明

8.3.1 CAN FD トランシーバ

図 8-3 に、CAN FD トランシーバのブロック図を示します。

CTXD は、CAN FD バスの状態を制御するプロセッサから CAN FD トランシッタへの入力です。CTXD が Low のとき、バス出力はドミナントになります。CTXD が High のとき、バス出力はロジック 0 のリセッショップになります。CTXD の入力構造は、3.3V ~ 5V の V_O を備えたプロセッサと互換性があります。CTXD には VCC1 への内部ブルアップ抵抗があります。バスは、CTXD が Low に駆動されるというシステム障害によってドミナント状態に張り付くことがないように、ドミナント状態タイムアウトタイマによって保護されています。

CRXD は、CAN FD レシーバの出力です。CAN ウエークイベントが発生すると、CRXD ピンは Low にラッピングされます。CRXD は、高電圧 WAKE ピンからのローカルウェークアップ (LWU) も示します。CRXD はプッシュプル出力バッファであり、外部ブルアップは必要ありません。リスタート モードでは、RXD ピンが High に駆動されます。VCC1 が t_{RSTN_act} の間 UVCC1 を上回ると、デバイスは自動的にスタンバイモードに移行します。その後 CRXD ピンが Low になり、ウェークアップリクエストを通知します。CRXD ピンが t_{TOGGLE} のパルス幅で Low または High に切り替わるように設定します。この機能の例については 図 8-16 を参照してください。

VCAN ピンは CAN FD トランシーバに対する 5V の電源入力です。VCAN は低電圧イベント UVCAN で監視されます。VCAN が存在し、故障状態ではない場合、レジスタ 8'h4F[1]、VCAN_STATUS は 1b にセットされます。CAN FD トランシーバを利用できるようにするには、VCAN が存在している必要があります。このピンは EEPROM の書き込みにも使用されるため、この機能を実行する場合はオンにする必要があります。

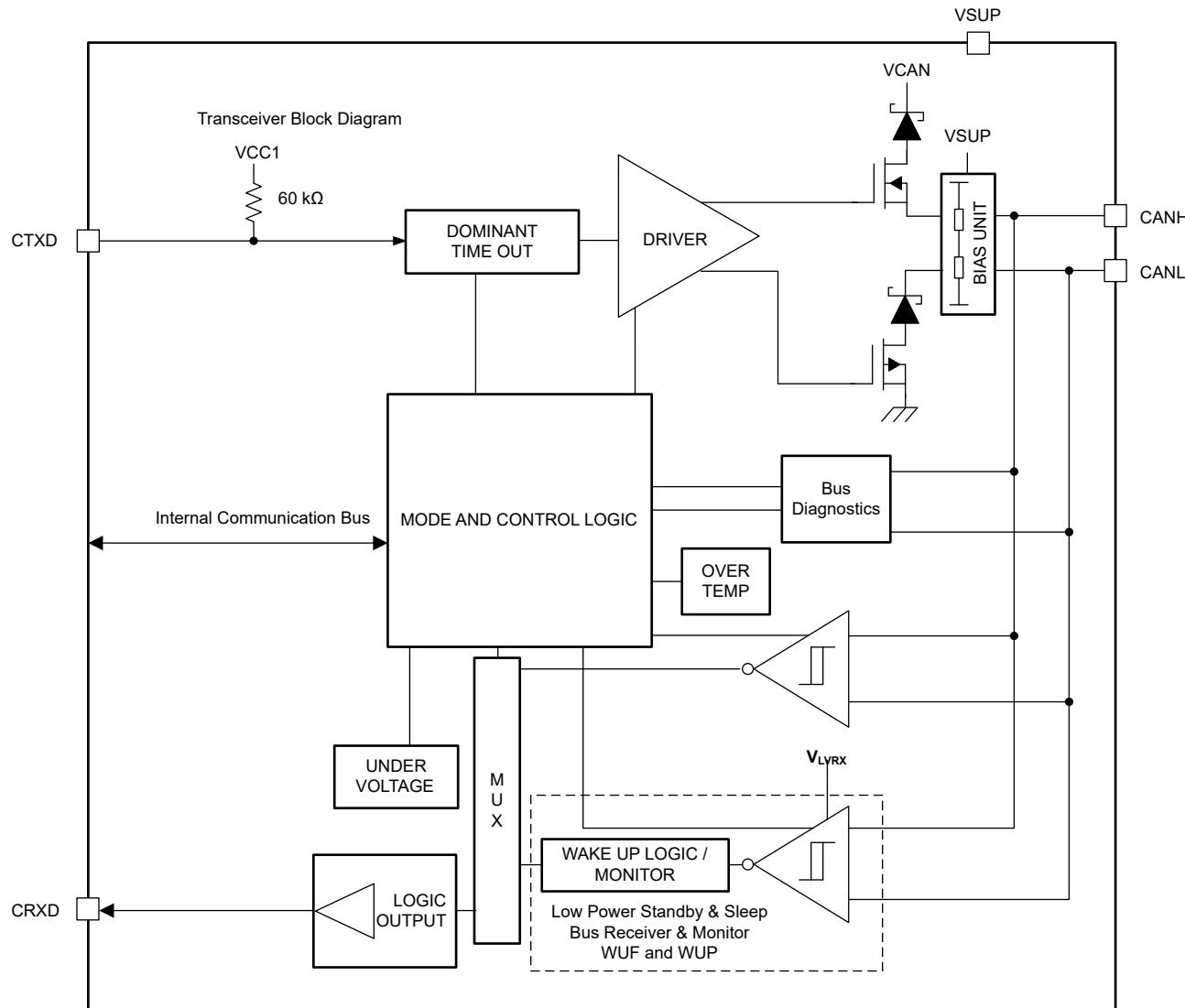


図 8-3. CAN トランシーバのブロック図

CAN FD を、SBC モード制御とは独立して設定するか、または SBC モード制御に連動させて設定します。SBC モード制御に連動させた場合、SBC モードを通常モードに変更すると、自動的にトランシーバもオン状態になります。それ以外のすべての状態では、ウェークアップ可能です。SBC モードとは別にプログラムされる場合、トランシーバをそのモードにできない特定の状態が存在します。モード変更が開始されても、トランシーバが許可された状態にない場合、モード変更是実行されず、8'h5A[3] の MODE_ERR 割り込みが 1b にセットされます。同様に、トランシーバの状態が SBC モードで許可されていない状態へ変わらうとした場合、その状態変更は行われず、8'h5A[3] の MODE_ERR 割り込みが 1b にセットされます。ここでは、考慮すべき特定の事例をいくつか示します。

- リスン、ウェーク対応、オフのいずれかに設定された通常モードのトランシーバは、スタンバイモードへ移行できます。その場合、状態は同じです。
- トランシーバがオフにプログラムされない限り、リスタートモードへの遷移はウェーク対応です。
- トランシーバがオフにプログラムされていない限り、リスタートモードからスタンバイモードへの遷移はウェーク対応です。
- SWE タイマを使用してタイマがタイムアウトする場合、トランシーバがスリープモードまたはフェイルセーフモードに移行すると自動的にウェーク対応になります。

注

デバイスが SBC 通常モードで、トランシーバがオンにプログラムされている場合は、CTXD ピンがチェックされます。CTXD ピンがドミナントの場合、CTXD ピンがリセッショブに遷移するまで、トランシーバはトランスマッタをオンにしません。

CAN FD トランシーバは、オフ、オン、リスン、ウェーク対応をサポートします。トランシーバの状態は、レジスタ 8'h10[2:0] を使用してプログラムします。オンはスタンダードアントトランシーバの通常モードであることを示します。CAN トランシーバーはフェイルセーフ モードに入るとデフォルトでウェーク対応になりますが、レジスタ 8'h10[3] の CAN1_FSM_DIS を 1b に設定することで、このモードで無効化できます。

V_{CAN} ピンは、CAN FD トランスマッタ用の 5V 供給入力です。V_{CAN} は低電圧イベント UVCAN で監視されます。V_{CAN} が存在し、故障状態ではない場合、レジスタ 8'h4F[1]、VCAN_STATUS は 1b にセットされます。CAN FD トランスマッタを利用できるようにするには、VCAN が存在している必要があります。このピンは EEPROM 書き込みにも使用され、この機能には VCAN が供給されている必要があります。

CAN ウェークイベントが発生すると、CRXD ピンは Low にラッピングされます。CRXD は、WAKEx ピンによるウェークアップも示します。CRXD ピンはプッシュプル出力であり、外部プルアップは必要ありません。リスタートモードでは、CRXD ピンが High に駆動されます。VCC1 が t_{RSTN_act} の間 UVCC1 を上回ると、デバイスは自動的にスタンバイモードに移行します。その後 CRXD ピンが Low になり、ウェークアップリクエストを通知します。CRXD ピンを、パルス幅 t_{TOGGLE} で Low または High に切り替えるようにプログラムします。この機能の例として [静的ウェーク](#) を参照してください。

表 8-1. SBC モードによる CAN FD トランシーバのプログラマブル状態

SBC モード	オン	リスン	ウェーク対応	オフ	SBC モード制御
正常	✓	✓	✓	✓	オン
スタンバイ		✓	✓	✓	ウェーク対応
スリープ			✓ デフォルト	✓	ウェーク対応
最初からやり直します			✓ デフォルト	✓	ウェーク対応
フェイルセーフ			✓ デフォルト	✓	ウェーク対応

注

- SBC リスタートモードに移行すると、トランシーバはウェーク対応に変化します
- SBC フェイルセーフモードに移行すると、トランシーバはデフォルトでウェーク対応になります。

8.3.1.1 ドライバおよびレシーバ機能

CTXD ピンおよび CRXD ピンは、プロセッサと CAN FD 物理層トランシーバ間の入出力ピンです。これらのデバイスのデジタルロジック入力と出力のレベルは、3.3V または 5V ロジックを持つプロトコルコントローラとの互換性のための、VCC1 を基準とした TTL レベルです。表 8-2 および 表 8-3 は、各モードでの CAN ドライバと CAN レシーバの状態を示しています。

表 8-2. ドライバ機能表

トランシーバの状態	TXD 入力	バス出力		駆動されているバスの状態
		CANH	CANL	
CAN オン	L	H	L	ドミナント
	H またはオープン	Z	Z	バイアスリセッショブ
ウェーク対応 (CAN)	X	Z	Z	GND への弱いプル
オフ	X	Z	Z	

表 8-3. CAN レシーバ機能表

トランシーバの状態	CAN 差動入力 $V_{ID} = V_{CANH} - V_{CANL}$	バスの状態	RXD 端子
オン/リスン	$V_{ID} \geq 0.9 \text{ V}$	ドミナント	L
	$0.5 \text{ V} < V_{ID} < 0.9 \text{ V}$	未定義	未定義
	$V_{ID} \leq 0.5 \text{ V}$	リセシティブ	H
ウェーク対応	$V_{ID} \geq 1.15 \text{ V}$	ドミナント	図 8-16 を参照してください。
	$0.4 \text{ V} < V_{ID} < 1.15 \text{ V}$	未定義	
	$V_{ID} \leq 0.4 \text{ V}$	リセシティブ	
オフ	オープン ($V_{ID} \approx 0 \text{ V}$)	オープン	H

8.3.2 VCC1 レギュレータ

TCAN241x-Q1 には、VCC1 の完全統合型同期整流降圧 (降圧) レギュレータが搭載されています。VCC1 は低電圧デジタル I/O ピンの主電源であり、マイコン向けの想定電源です。図 8-4 に、簡素化されたブロック図を示します。

VSUPB は、降圧レギュレータへの入力電源ピンです。ただし、降圧レギュレータのオンと正常に機能するように、基板上で VSUP と VSUPB が互いに接続されていることを確認してください。VSUP/VSUPB が、外部の逆接続防止ダイオードと EMI フィルタ回路を介してバッテリに接続されていることを確認します。VSUPB ピンは、高電圧対応のピンです。過渡特性を改善するため、このピンの近くに 100nF のデカップリングコンデンサを接続することが推奨されます。

VCC1 出力ピンは、最大 1A の電流で外部回路に 3.3V または 5V を供給します。VSEL ピンが GND に接続されている場合、VCC1 の出力は 5V に設定されます。VSEL ピンがフローティングのままになっている場合、VCC1 出力は 3.3V に設定されます。VSEL ピンの状態は電源オン時に検出され、VCC1 の出力レベルはそれに応じて構成されます。パワーアップシーケンスが完了した後は、VSEL ピンの状態は VCC1 の出力設定に影響しません。内部プルアップは、VSEL ピンから電流が流れるのを防ぐため、パワーアップシーケンス後に無効になります。

VCC1 ピンは、レジスタ設定 VCC1_SINK に応じて、10 μ A または 1000 μ A のいずれかの電流をシンクでき、デフォルトでアクティブになります。レジスタビット VCC1_SNK_DIS を設定して、電流シンクをディスエーブルにします。

適切な値のインダクタ L_{OUT} を BUCKSW ピンと VCC1 ピンの間に接続します。VCC1 と GND の間に、出力コンデンサ C_{OUT} が必要です。アプリケーション セクションでは、 L_{OUT} と C_{OUT} の正しい値の選択基準について説明します。BUCKSW ピンと BOOT ピンの間に、100nF のブートコンデンサ C_{BOOT} を接続します。ハイサイドスイッチを正常に動作させるには、 C_{BOOT} コンデンサが必要です。

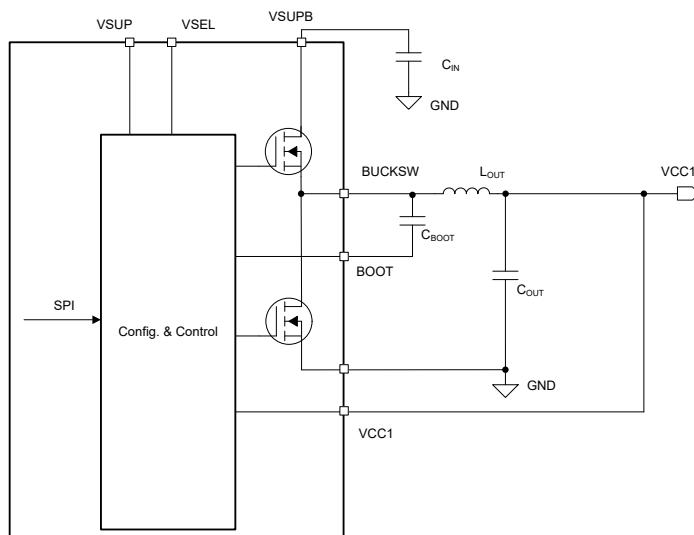


図 8-4. VCC1 降圧レギュレータのブロック図

TCAN241x-Q1 を使用すると、SPI レジスタを使用して降圧レギュレータを構成できます。レジスタ [VCC1_CFG](#) は、表 [8-27](#) に示すように、降圧レギュレータが當時オンか、ステータスがデバイスマード（デフォルト）で制御されるかどうかを決定します。

レジスタ [BUCK_CONFIG1](#) を使用すると、拡散スペクトラム変調オプション [SS_MOD_FREQ](#)、通常のスイッチング周波数、低消費電力モードでの [PWM](#) および自動モードの設定、電流制限設定を設定できます。この降圧レギュレータは、デュアルランダム拡散スペクトラム（DSRSS）方式を採用しています。

V_{CC1} には 3 種類のモニタがあります。低電圧（[UVCC1](#)）、過電圧（[OVCC1](#)）、およびグランド短絡（[VCC1_sc](#)）です。 V_{CC1} はメインレギュレータ出力で、デジタル IO 電圧レベルを設定します。 V_{CC1} の故障によって、デバイスの状態が変化します（[図 8-53](#) を参照）。

8.3.2.1 降圧レギュレータの機能説明

8.3.2.1.1 固定周波数のピーク電流モード制御

TCAN241x-Q1 に統合された降圧レギュレータは、ハイサイドスイッチ（HS）とローサイドスイッチ（LS）を内蔵した同期式ステップダウン型の降圧コンバータです。レギュレータは、制御されたデューティサイクルでハイサイドおよびローサイドの NMOS スイッチをオンにすることにより、出力電圧の安定化を実現します。[図 8-5](#) を参照してください。ハイサイドスイッチのオン期間中、[BUCKSW](#) ピンの電圧はおよそ [VSUPB](#) まで振れ、インダクタ電流 i_L は $(VSUPB - V_{CC1}) / L$ の直線的な傾きで増加します。ハイサイドスイッチが制御ロジックによってオフにされると、貫通電流を防止するためのデッドタイム (t_D) の後でローサイドスイッチがオンになります。インダクタ電流は、ローサイドスイッチを通して $-V_{CC1}/L$ の割合で放電されます。降圧コンバータの制御パラメータはデューティサイクル $D = t_{ON} / T_{SW}$ と定義されます。ここで t_{ON} はハイサイドスイッチのオン時間、 T_{SW} はスイッチング周期です。コンバータ制御ループは、デューティサイクル D を調整することにより、出力電圧を一定に維持します。損失を無視できるような降圧コンバータでは、次の式のように、 D は出力電圧に比例し、入力電圧に反比例します： $D = V_{CC1}/VSUPB$ 。

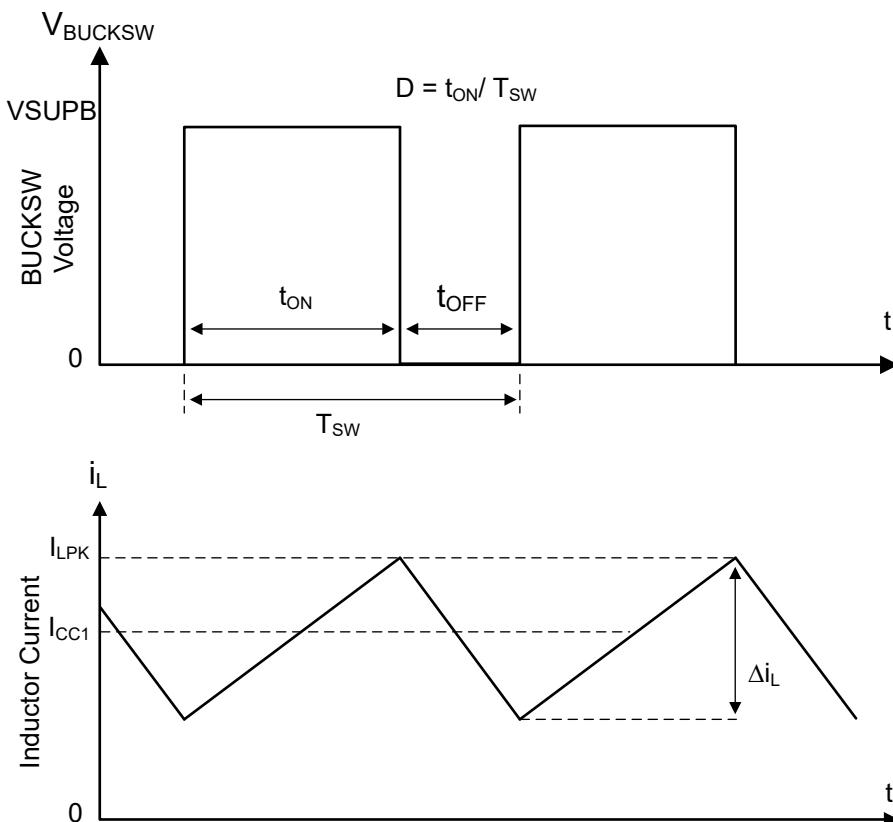


図 8-5. 連続電流モード (CCM) のスイッチングノードの波形

降圧レギュレータは、固定周波数のピーク電流モード制御を採用しています。電圧帰還ループを使用して、電圧オフセットに基づいてピーク電流コマンドを調整することにより、DC 電圧を正確にレギュレートします。ピーク インダクタ電流は下限側スイッチから検出され、ピーク電流スレッショルドと比較することにより、下限側スイッチの ON 時間を制御します。電圧帰還ループは内部補償されているため、外付け部品を減らせ、設計が簡単になり、さまざまな出力コンデンサを使った場合でも安定した動作が得られます。このコンバータは、通常負荷状況では固定スイッチング周波数で動作します。自動モード (PWM から PFM への自動切り替え) に設定されている場合、軽負荷条件では高効率を保つために降圧レギュレータは PFM モードで動作します。強制 PWM (FPWM) モードに設定すると、出力電圧リップルの低減、出力電圧の高精度な制御、一定のスイッチング周波数を維持するために、レギュレータは常に PWM モードで動作します。

8.3.2.1.2 最小オン時間、最小オフ時間、および周波数フォールドバック

最小オン時間 (T_{ON_MIN}) は、ハイサイド スイッチをオンにできる最短の時間長です。 T_{ON_MIN} は標準で 60ns です。最小オフ時間 (T_{OFF_MIN}) は、ハイサイド スイッチをオフにできる最小の時間長です。 T_{OFF_MIN} は標準で 110ns です。CCM 動作時には、 T_{ON_MIN} および T_{OFF_MIN} によって、スイッチング周波数フォールドバックが発生しない電圧変換範囲が制限されます。周波数フォールドバックが発生しない最小デューティサイクルは次のとおりです。

$$D_{MIN} = T_{ON_MIN} \times f_{SW} \quad (1)$$

周波数フォールドバックが発生しない最大デューティサイクルは次のとおりです。

$$D_{MAX} = 1 - T_{OFF_MIN} \times f_{SW} \quad (2)$$

必要な出力電圧が与えられたとき、周波数フォールドバックの発生しない最大 VSUPB は次の式で求められます：

$$VSUPB_MAX = VCC1 \div [f_{SW \ ON_} \times T_{MIN}] \quad (3)$$

周波数フォールドバックの発生しない最小 VSUPB は次の式で計算できます：

$$VSUPB_MIN = VCC1 \div [1 - f_{SW} \times T_{OFF_MIN}] \quad (4)$$

T_{ON_MIN} または T_{OFF_MIN} がトリガされた後に周波数フォールドバック方式が動作するようになっています。これにより、最大デューティサイクルを増加、または最小デューティサイクルを低下させます。VSUPB 電圧が高くなるにつれて、オン時間は減少します。オン時間が T_{ON_MIN} まで短くなると、VSUPB が上昇し続ける一方でスイッチング周波数が低下し始めます。これによってデューティサイクルがさらに下がり、VCC1 を規定値内に保ちます。

この周波数フォールドバック方式は、VSUPB が低い状況で、より大きなデューティサイクルが必要になった場合にも機能します。デバイスが T_{OFF_MIN} に達すると周波数が低下し、最大デューティサイクルが増加します。このような条件では、周波数は約 133kHz まで下げることができます。広い範囲でスイッチング周波数をフォールドバックできるため、供給電圧 VSUPB がかなり低くなつても VCC1 を規定値内に保つことができ、その結果として実効的なドロップアウト電圧が低くなります。制御された出力電圧を維持しながら周波数フォールドバックにより、VSUPB_MAX が上昇し、 f_{SW} の低下により VSUPB_MIN が低下します。

8.3.2.1.3 過電流および短絡保護

この降圧レギュレータは、ピーク電流制限とバレー電流制限の両方を備えており、過負荷や短絡からデバイスを保護し、最大出力電流を制限します。バレー電流制限は、出力の短絡中にインダクタ電流が暴走するのを防ぎ、ピーク制限とバレー制限は連携してコンバータの最大出力電流を制限します。過負荷にはサイクルごとの電流制限が使われ、持続的な短絡にはヒップアップ モードが使われます。下限側 MOSFET 過電流保護機能は、ピーク電流のモード制御の性質を利用して実装されています。ハイサイド スイッチ電流は、ブランディング時間の設定後にハイサイドがオンになったときに検出されます。下限側スイッチ電流は、スイッチングサイクルごとに、誤差アンプ (EA) からスロープ補償を引いた出力と比較されます。ハイサイド スイッチのピーク電流は、一定の値をとる、クランプされた最大ピーク電流スレッショルド I_{SC} によって制限がかかります。ローサイド MOSFET を通過する電流も検出され、監視されます。ローサイド スイッチがオンになると、インダクタ電流は減少し始めます。ローサイドスイッチ電流がローサイド電流制限 I_{LS_LIMIT} を超えている場合、スイッチングサイクルの終了時にローサイドスイッチはオフになりません。ローサイドスイッチはオンのままであるため、インダクタ電流は減

少し続け、インダクタ電流が I_{LS_LIMIT} を下回るまで減少し続けます。その後、デッドタイムの後にローサイドスイッチがオフになり、ハイサイドスイッチがオンになります。 I_{LS_LIMIT} に達した後、ピーク電流制限とバレー電流制限によって負荷に供給される最大電流が制御されます。この電流制限は次のように計算されます。

$$I_{CC1_max} = [I_{LS_LIMIT} + I_{SC}] \div 2 \quad (5)$$

内部フィードバック電圧が $VCC1_{33SC}$ スレッショルド ($VCC1$ が 3.3V の場合は $VCC1_{33SC}$ 、 $VCC1$ が 5V の場合は $VCC1_{5SC}$) よりも低い場合、短絡保護回路が起動し、TCAN241x-Q1 はフェイルセーフモードになります。フェイルセーフモードでは、降圧レギュレータはシャットダウンします。図 8-36 に、 $VCC1$ の短絡故障後に TCAN241x-Q1 がフェイルセーフモードを終了する方法を示します。

8.3.2.1.4 ソフトスタート

内蔵されたソフトスタート回路は、入力の突入電流がレギュレータや入力電源に影響を与えるのを防ぎます。ソフトスタートは、デバイスが最初に有効化されるか電源投入されたときに、内部リファレンス電圧をゆっくりと立ち上げることで実現されます。内部ソフトスタート時間の標準値は 1.8ms です。この機能がない場合、出力コンデンサの容量が大きく、かつ $VOUT$ が高いアプリケーションでは、突入電流が大きくなりすぎて電流制限保護が作動し、デバイスがフェイルセーフモードに入りて誤起動を引き起こす可能性があります。また、レギュレータがオンになった後の t_{REGON} の短絡検出もブロックし、誤起動を防止します。

8.3.2.2 降圧レギュレータの機能モード

8.3.2.2.1 降圧シャットダウン モード

降圧レギュレータがシャットダウン モードになるのは、次の場合です:

- TCAN241x-Q1 はオフまたはフェイルセーフ モードです
- TCAN241x-Q1 は、オンにプログラムされていない限りスリープ モードです

8.3.2.2.2 降圧アクティブ モード

降圧レギュレータが動作中の場合、その動作モードは SBC モードと BUCK_CONFIG1 レジスタの設定によって決まります。TCAN241x-Q1 が SBC 通常モードの場合、降圧レギュレータはデフォルトで強制 PWM モードになります。TCAN241x-Q1 が SBC のスタンバイまたは SBC スリープ モードにある場合、降圧レギュレータはデフォルトで自動モードになります。ただし、BUCK_CONFIG1 レジスタ 8'h65[2] を 1b に設定することで、SBC のスタンバイまたは SBC スリープ モードでもレギュレータを PWM (FPWM) モードに強制できます。同様に、BUCK_CONFIG1 レジスタ 8'h65[3] を 0b に設定することで、SBC の通常モードでもレギュレータを自動モードに強制できます。SBC のリストア モードでは、降圧レギュレータは自動モードになります。

自動モードでは、レギュレータは負荷電流に応じて、自動的に PWM モードから PFM モードに切り替わります。ハイサイドスイッチを流れるピーク電流が 300mA (標準値) 未満の場合、レギュレータは PFM モードに移行します。

表 8-4. 降圧レギュレータ モードと SBC モードの比較

PWM_PFM_CNTL 設定 (8'h65 [3:2])	通常	スタンバイ	スリープ	フェイルセーフ	再起動
00b	車載	車載	車載	オフ	車載
01b	車載	FPWM	FPWM	オフ	車載
10b (デフォルト)	FPWM	車載	車載	オフ	車載
11b	FPWM	FPWM	FPWM	オフ	車載

8.3.3 V_{CC2} レギュレータ

V_{CC2} ピンは、外部回路に最大 200mA で 5V を供給し、グランドへの外付けコンデンサが必要です。 V_{CC2} ピンにはバッテリ短絡保護がありますが、もし VCAN や外付け CAN トランシーバに接続する場合、バッテリ短絡が起きるような基板外には V_{CC2} を出さないでください。 V_{CC2} には、低電圧 (UVCC2)、過電圧 (OVCC2)、グランドへの短絡 (V_{CC2SC}) の 3 つのモニタがあります。これらの故障が検出されると割り込みが発生し、LDO はオフになる場合とならない場合があります。

す。モード変更はされません。VCC2 がオンで、かつ故障状態でない場合、レジスタ 8'h4F[2] (VCC2_STATUS) が 1b にセットされ、その状態を示します。

8.3.3.1 V_{CC2} バッテリ短絡保護

V_{CC2} の出力段はバッテリ短絡から保護されます。外部電圧が OVCC2 以上の場合には、逆電流は流れません。この保護は、このピンの定格絶対最大定格まで機能します。定格電圧を超えるバッテリに短絡した状態でデバイスの電源がオンになると、デバイスの損傷または信頼性の問題が発生する可能性があります。

8.3.4 リセット機能 (nRST ピン)

nRST ピンは双方方向オープンドрайバで、いくつかの機能、低電圧イベント用 VCC1 監視出力、再起動に移行したプロセッサへのインジケータ、デバイス入力リセットに用います。

nRST は 30kΩ の抵抗を介して V_{CC1} に接続されています。図 8-6 を参照します。V_{CC1} の低電圧 (UVCC1) が発生すると、デバイスはリスタートモードに移行し、nRST ピンはラッピングされ Low になります。nRST ピンの動作は、SBC の動作モードと、そのモードに入った経緯に基づいて 図 8-7 に示されています。

デバイスがリスタートモードに移行するときのこのピンの動作は、移行する方式により異なります。リスタートモードに移行して VCC1 レギュレータがオンになると、デバイスがスタンバイモードに移行するまで nRST は Low にラッピングされます。これは、LDO が立ち上がり側の低電圧レベルを超えた後に発生する、LDO に関連した t_{RSTN_act} のことです。リスタートモードに入る時点で VCC1 レギュレータがすでにオンの場合、ピンは t_{NRST_TOG} の間 Low に引き下げられます。この時間が経過するとデバイスはスタンバイモードに遷移し、nRST は High に戻ります。

このピンは、 t_{NRSTIN} の入力パルスが印加されてデバイスが EEPROM を再ロードするタイミングを決定し、他のレジスタが出荷時のデフォルトによりスタートモードに移行するようセットできます。

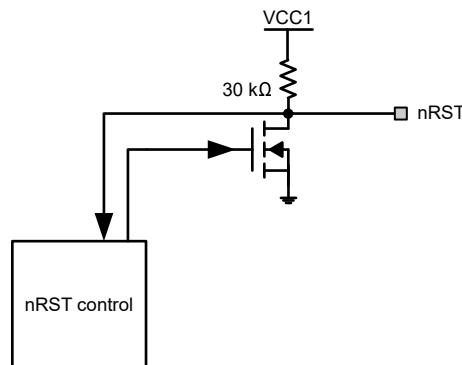


図 8-6. nRST ブロック図

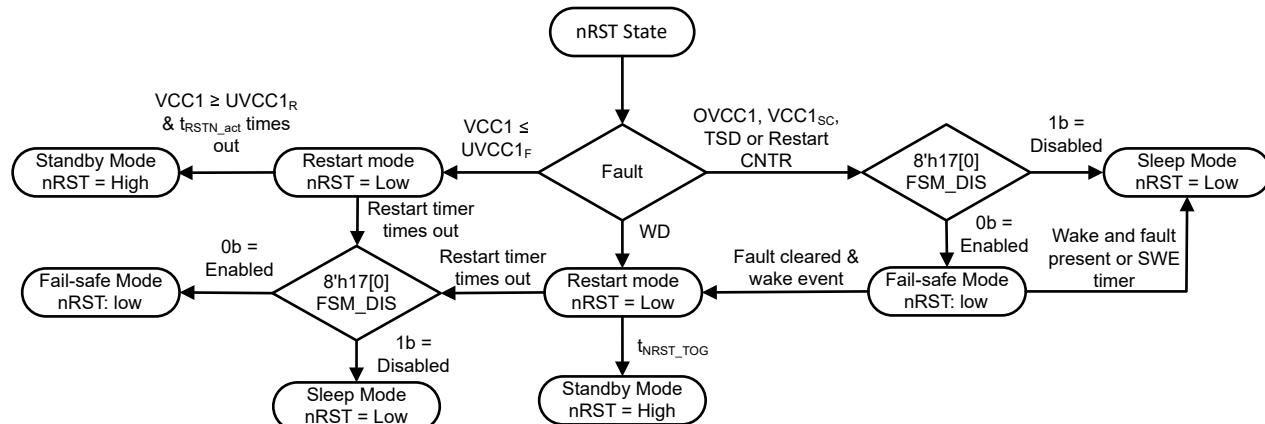


図 8-7. nRST 状態図

8.3.5 LIMP の機能

LIMP ピンはリープホーム機能用で、オープンドレイン、アクティブ Low、出力です。ウォッチドッグがタイムアウトしてリセットされる場合、このピンはリープホームモードに使用されます。外付け抵抗を電源（通常はバッテリ電源 V_{SUP} ）に接続して、このピンをプルアップします。LIMP ピンをオフにするには、正しい入力トリガでウォッチドッグ エラー カウンタが 0 に達するか、LIMP_RESET ビット (8'h1A[1]) に 1b を SPI 書き込みしてリセットされることを確認します。フェイルセーフ モードをトリガするイベントがプログラムされている場合は、LIMP ピンもオンになります。レジスタ ビット LIMP_SLP_FLT_EN (8'h1A[7]) を使用して、VCC1SC、OVCC1、ウォッチドッグ エラー、またはサーマル シャットダウンの故障時に、スリープ モードで LIMP ピンがアクティブになるように設定します。この機能により、フェイルセーフ モードが無効になっている場合の故障によって、スリープ モードに移行したときの LIMP をアクティブにできます。

ローサイド スイッチとして使用できるように LIMP ピンをプログラムします。レジスタ ビット LIMP_LSS_SEL を使用して、ローサイド スイッチを構成します。ピンをローサイド スイッチとして使用するには、レジスタ ビット LIMP_DIS を使用して LIMP 機能をディスエーブルにします。それ以外の場合、本デバイスはローサイド スイッチ設定を無視します。ローサイド スイッチを常時オンまたは常時オフのいずれかとして使用するか、またはレジスタ ビット LIMP_LSS_CNTL を使用して PWM1、PWM2、Timer1、Timer2 を使用するように構成します。

8.3.6 ハイサイドスイッチ

HSS1 ~ 4 ピンはハイサイドスイッチの出力です。 V_{HSS} ピンは、ハイサイドスイッチ出力の専用電源ピンです。200Hz または 400Hz の 10 ビット PWM をサポートするようにピンを設定します。PWM1、PWM2、PWM3、または PWM4 を HSSx に割り当てることができます。HSS4 が周期的センシングに対応する WAKEx/IDX ピンと連携できるように、HSS4 を 2 種類のタイマのうちいずれかを使うように設定します。周期検知はスリープ モードで使用され、その結果、スリープ モード時の電流が減少します。

HSS3 と HSS4 を設定するには、レジスタ 8'h4D[7:0] を使用します。PWM3 と PWM4 を設定するには、SBC_CONFIG0 レジスタ 8'h0C[5:4] を 01b に設定し、PWM1 および PWM2 の設定レジスタを使ってプログラムします。これにより、PWM1 制御レジスタが PWM3 に、PWM2 制御レジスタが PWM4 に変更されます。レジスタを構成した後、ベストプラクティスは 8'h0C[5:4] = 00b を変更することです。したがって、PWM レジスタを PWM1 および PWM2 に変換して戻します。

どの HSS でも、他のどの HSS にも接続でき、同じ制御方式を HSS に割り当てることで同期します。そのため、より大きな電流負荷を使用できます。複数の HSS に同じ PWM を割り当てるとき、選択した HSS が同期されます。Timer1 と Timer2 を同じ方法で使用します。ハイサイドスイッチを同期するときは、次の手順を使用します。

同じタイマーを使用して同期する場合：

- 開始するには、選択したタイマーがオフになっていることを確認します
- 選択したハイサイドスイッチと同じ制御タイマーにプログラムできます
- タイマ期間とオン時間をプログラムします
- オン時間をプログラミングし、選択した HSSx が同期するとすぐに、ハイサイドスイッチが起動します

複数の HSSx を同じ PWM に同期させるには、説明されている順序で以下の手順に従います：

- PWMx_FREQ をプログラム
- PWMx_DC_MSB をプログラム
- PWMx_DC (LSB ビット) を設定します。このステップの後、PWM はプログラムされ、HSSx は選択した PWM 周波数とデューティサイクルでオンになります
- PWMx_FREQ や PWMx_DC_MSB を変更する場合、更新を反映させるには、最後に必ず PWMx_DC (LSB ビット) をプログラムすることを確認します

ハイサイドスイッチは、オープンロードと過電流故障について監視されます。HSS により過電流が検出される際、過電流が有効かどうかを判定するためにフィルタ時間 t_{OCFLTR} が使用されます。有効な場合、対応する HSSx の過電流割り込みフラグが INT_7 レジスタ (8'h55) にセットされます。過電流状態が t_{OCOFF} の間続くと、HSS はオフになり、HSSx_CNTL レジスタが 000b にリセットされます。HSS は自動的にオンに戻ることはできません。対応する

HSSx_CNTL レジスタに書き込むことにより、次の t_{OCOFF} 期間の後に HSS を再度オンにできます。過電流故障がクリアされると、HSS はオンのままになります。過電流故障が発生している場合、 t_{OCOFF} の後に HSS はシャットオフされます。HSS で開放負荷故障が検出されると、**INT_7** レジスタ 8'h55 に割り込みフラグがセットされます。開放負荷故障のため、HSS はオフになりません。故障がクリアされても、HSSx 過電流または開放負荷フォルト割り込みのフラグは自動的にクリアされないことに注意してください。

VHSS ピンは、OVHSS スレッショルドに基づいて、ハイサイドスイッチの過電圧状態についても監視されます。VHSS がこスレッショルドを超えると、**INT_4** レジスタ (8'h5A[2]) に割り込みフラグがセットされ、4 つのハイサイドスイッチはすべてオフになり、HSSx_CNTL レジスタのビットは 000b にリセットされます。同様に、VHSS が UVHSS スレッショルドを下回ると、**INT_4** レジスタ (8'h5A[2]) に割り込みフラグがセットされ、4 つのハイサイドスイッチはすべてオフになり、HSSx_CNTL レジスタのビットは 000b にリセットされます。VHSS が通常レベルに戻った後、**HSS_OV_UV_REC** レジスタ (8'h4F[5]) が 1b に設定されている場合、ハイサイドスイッチは自動的に前の状態になります。HSS_OV_UV_REC = 0b の場合、VHSS の過電圧または低電圧イベントにより、ハイサイドスイッチはオフのままになります。OVHSS と UVHSS のフォルトは、**HSS_OV_DIS** および **HSS_UV_DIS** レジスタビット (それぞれ 8'h4F[7] と 8'h4F[6]) を通して無効化することもできます。OVHSS/UVHSS の割り込みフラグは、フォルトが解消されても自動ではクリアされないことに注意してください。

注

- 抵抗性負荷の場合は、外部コンデンサをグランドに接続する必要がありません。
- 誘導性負荷の場合は、グランドとの間に外部 100nF コンデンサが必要です。
- HSS とともに 10 ビット PWM を使用する場合は、スイッチのオン時間とオフ時間により実現できない値を選択可能です。この例は、00 0000 0001b です

8.3.7 WAKE および ID 入力

WAKE1/ID1、WAKE2/ID2、WAKE3/ID3、WAKE4/ID4 は、グラウンド基準のローカル ウェークアップ (LWU) 入力ピンであり、高耐圧仕様です。これらのピンは、車両内の ECU の位置を識別するのに役立つ ID ピンとして構成することもできます。ID 機能を参照してください。

ピンは、**WAKE_PIN_CONFIG3** レジスタ (アドレス = 2Ah、リセット = F0h) のビット [7:4] を設定することで、ウェーク機能を個別に構成できます。ウェーク機能については、**WAKE 入力端子を使ったローカル ウェイク アップ (LWU)** の項でさらに説明されています。これらのピンは立ち上がりエッジと立ち下がりエッジの両方でトリガできます。つまり、WAKE ピンのどちらのエッジ遷移でも LWU を認識します。このピンはパルスを許容するよう構成できます。この動作のタイミング図については、[図 8-20](#) を参照してください。WAKE ピンはデフォルトで有効ですが、レジスタ 8'h2A[7:5]、**WAKE_PIN_SET** を使用して、個別にオフにすることで無効化できます。レジスタ 8'h11[7:6] は、ウェークイベントを登録する際にピンをどのように使用するかを設定します。これらのピンは、サイクリック センシング ウェーク ([サイクリック センシング ウェーク](#) を参照)、または静的ウェーク用に構成できます。

WAKE ピンには状態変化に対してセットできる 4 つの個別のスレッショルドがあります。

- レジスタ 8'h12[1:0]、**WAKE1_LEVEL**
- レジスタ 8'h2B[5:4]、**WAKE2_LEVEL**
- レジスタ 8'h2B[1:0]、**WAKE3_LEVEL**
- レジスタ 8'h7B[5:4]、**WAKE4_LEVEL**

注

WAKE_x_LEVEL = 10b または 11b を選択して静的ウェークを使用する場合、システム設計者は VSUP がウェークピン レッショルドを超えないことを確認する必要があります。そうしないと、誤ったウェークアップが実行される可能性があります。VSUP の通常の低電圧イベントでは、これは実行されません。

WAKE_x_LEVEL = 00b であり、VCC1 がオフのときにデバイスがフェイルセーフモードまたはスリープモードに移行すると、WAKE_x ピンは無効化され、CAN と LIN はウェーク対応にセットされます。

レジスタ 8'h2A[4:0]、MULTI_WAKE_STAT は、どの WAKE ピンまたは WAKE ピンの組み合わせにより LWU イベントが発生したかを通知します。ピンの個別のステータス (Low または High) は、SPI を使用できるいづれかのモードで、SPI 経由で読み取ることができます。

- レジスタ 8'h11[5]、WAKE1_STAT
- レジスタ 8'h2B[6]、WAKE2_STAT
- レジスタ 8'h2B[2]、WAKE3_STAT
- レジスタ 8'h7B[6]、WAKE4_STAT

8.3.7.1 ID 機能

WAKE1/ID1、WAKE2/ID2、WAKE3/ID3、WAKE4/ID4 ピンを ID 機能用に設定するには、[WAKE_ID_CONFIG1 レジスタ \(アドレス = 79h、リセット = 66h\)](#) と [WAKE_ID_CONFIG2 レジスタ \(アドレス = 7Ah、リセット = 66h\)](#) 内の IDX_EN フィールドを使用します：

- WAKE1/ID1 を ID1 ピンとして設定するには、レジスタ 8'h79[3] を 1b に設定します
- WAKE2/ID2 を ID2 ピンとして設定するには、レジスタ 8'h79[7] を 1b に設定します
- WAKE3/ID3 を ID3 ピンとして設定するには、レジスタ 8'h7A[3] を 1b に設定します
- WAKE4/ID4 を ID4 ピンとして設定するには、レジスタ 8'h7A[7] を 1b に設定します

IDX_EN フィールドが 1b に設定されている場合、PU_PD_CONFIG レジスタが「自動」に設定されていれば、デバイスは ID ピンの接続状態を検出するために内部プルアップ電流とプルダウン電流を自動的にオンにします。デバイスは、ID ピンが VSUP に接続されているか、GND に接続されているか、あるいは浮いているかを判別します。このピンが GND に接続されている場合、デバイスは内部的にプルダウンをアクティブにして、消費電流を低減します。ピンが VSUP に接続されている場合、デバイスは内部でプルアップを有効にし、消費電流を減らします。ピンがフローティングの場合、デバイスはピンのプルアップとプルダウンの両方を非アクティブにします。

ユーザーは、[WAKE_ID_CONFIG1 レジスタ \(アドレス = 79h、リセット = 66h\)](#) と [WAKE_ID_CONFIG2 レジスタ \(アドレス = 7Ah、リセット = 66h\)](#) にある WAKE_ID_PU_PD フィールドを設定することで、ピンでプルダウンまたはプルアップを強制的に有効にできます。電流消費を低く抑えるため、この操作は短時間だけ行うことが推奨されています。プルアップまたはプルダウンを強制的に有効にすると、IDX_STAT レジスタはピン接続の状態を反映せず、代わりに状態は「不明」に設定されます。WAKE_x_STAT レジスタは、ピンのロジックを読み取るために使用でき、ID ピン接続は手動で取得できます。

IDX ピンの接続状態は、[ID_PIN_STATUS レジスタ \(アドレス = 78h、リセット = 00h\)](#) に保存されます：

- レジスタ 8'h78[7-6] は、ID1 ピンの接続状態を保存します
- レジスタ 8'h78[5-4] は、ID2 ピンの接続状態を保存します
- レジスタ 8'h78[3-2] は、ID3 ピンの接続状態を保存します
- レジスタ 8'h78[1-0] は、ID4 ピンの接続状態を保存します

8.3.8 割り込み機能 (nINT ピン)

このピンは、プロセッサへの割り込み出力ピンです。TCAN241x-Q1 がプロセッサの注意を必要とする場合、このピンは Low にプルされます。割り込みがクリアされて nINT ピンが High に戻されたあと、次の割り込みが発生して nINT ピンを再び Low にラッチできるようになるまで、1ms の遅延がります。

割り込みブロックは、VCC1 電源を基準とするプッシュプル出力段として設計されます。割り込み生成イベント（割り込みレジスタでマスクされていない割り込みが設定される）によって TCAN241x-Q1 がプロセッサの処理を必要とする場合、このピンは Low にプルされます。割り込みがクリアされると、nINT ピンは High に戻ります。別の割り込みが発生する前に 1ms の遅延が発生し、nINT ピンが再度 Low にラッピングされます。

デフォルトでは、nINT ピンはグローバル割り込みインジケータであり、割り込みレジスタ 8'h51-8'h55、8'h5A、8'h5C でマスクされていない割り込みに対してアクティブになります。必要に応じて特定の割り込みをマスクし、これらの割り込みにより nINT ピンがアクティブにならないようにすることができます。レジスタ 8'h51-8'h55、8'h5D、8'h60 の割り込みイネーブルビットを使用すると、割り込みをマスクできます。

SPI を使用して 1b (W1C) を書き込んでクリアするまで、すべての割り込みは各割り込みレジスタに保存されます。

8.3.9 SPI 通信

SPI 通信では、標準の SPI インターフェイスを使用します。物理的なデジタル インターフェイスピンは、nCS (チップ セレクト反転)、SDI (SPI データ入力)、SDO (SPI データ出力)、および SCK (SPI クロック) です。各 SPI トランザクションは、R/W ビットが付いた 7 ビット アドレスによって開始されます。TCAN241x-Q1 は、SPI_CONFIG レジスタ 8'h09[3] の BYTE_CNT ビットの値に応じて、トランザクションごとに 1 つのデータ バイトまたは 2 つの日付 バイトに構成できます。デフォルトは 1 バイトです。2 バイトを選択した場合、2 番目のデータ バイトはアドレス +1 になります。

トランザクションで SDO ピンからシフトアウトされるデータは、常にグローバル割り込みレジスタであるレジスタ 8'h50[7:0] から始まります。このレジスタは、デバイスの高レベルの割り込みステータス情報を提供します。アドレスおよび R/W バイトに対する「応答」となるデータ バイトが、その後にシフトアウトされます。巡回冗長性が無効化されている場合の読み取りおよび書き込み方法については [図 8-8](#) および [図 8-9](#) を参照してください。

2 バイトの読み取りについては、[図 8-10](#) を参照してください。2 バイトの SPI 書き込みが行われると、アドレスおよびアドレス +1 の現在の情報が SDO ピンからフィードバックされます。2 バイトモードでの SPI 書き込みについては、[図 8-11](#) を参照してください。2 バイトモードでは CRC はサポートされていません。

デバイスのデフォルトはモード 0 であり、SDI の SPI データ入力は SCK の立ち上がりエッジでサンプリングされます。SDO 上の SPI 出力データは、SCK の high エッジから low エッジに変更されます。デバイスは、SPI_CONFIG 内の SPI_MODE ビットを使用することで、モード 1~3 をサポートするように構成できます。SPI 通信図は、モード 0 に基づいています。

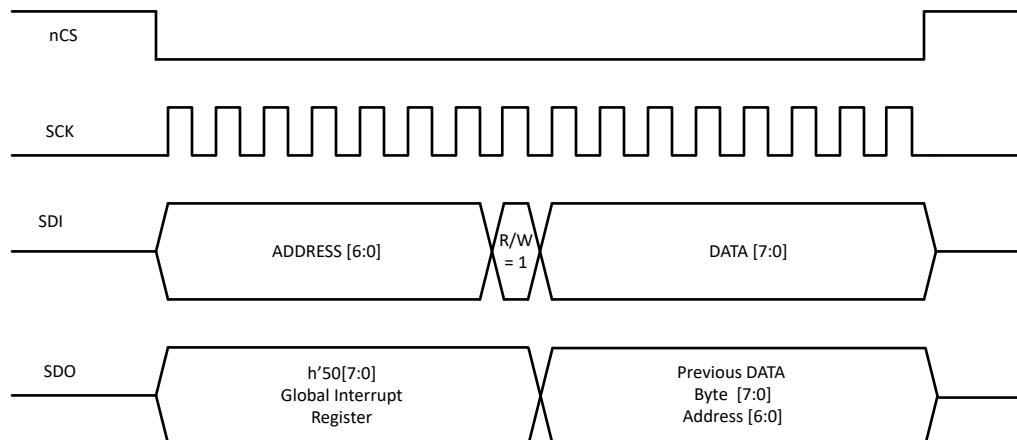


図 8-8. SPI 書き込み

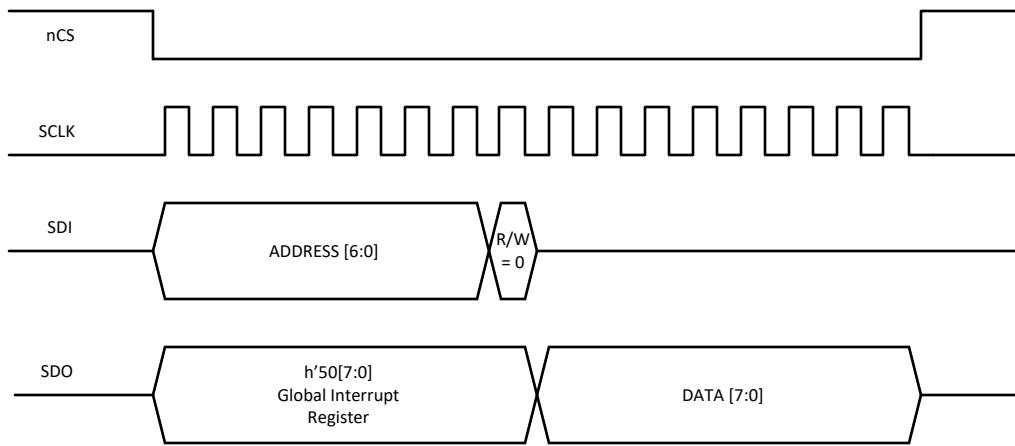


図 8-9. SPI 読み取り

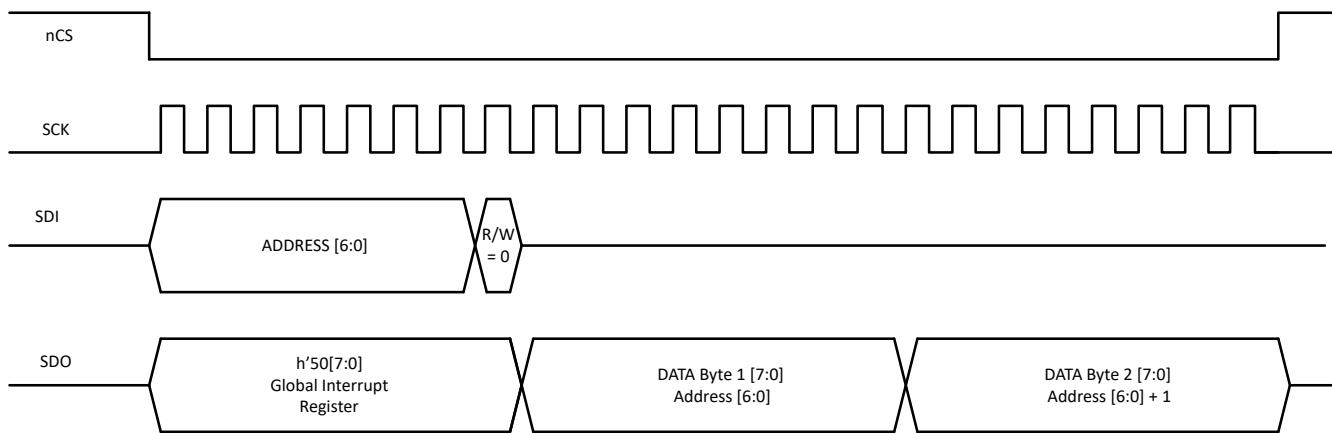


図 8-10. SPI 読み出し (2 バイトモード)

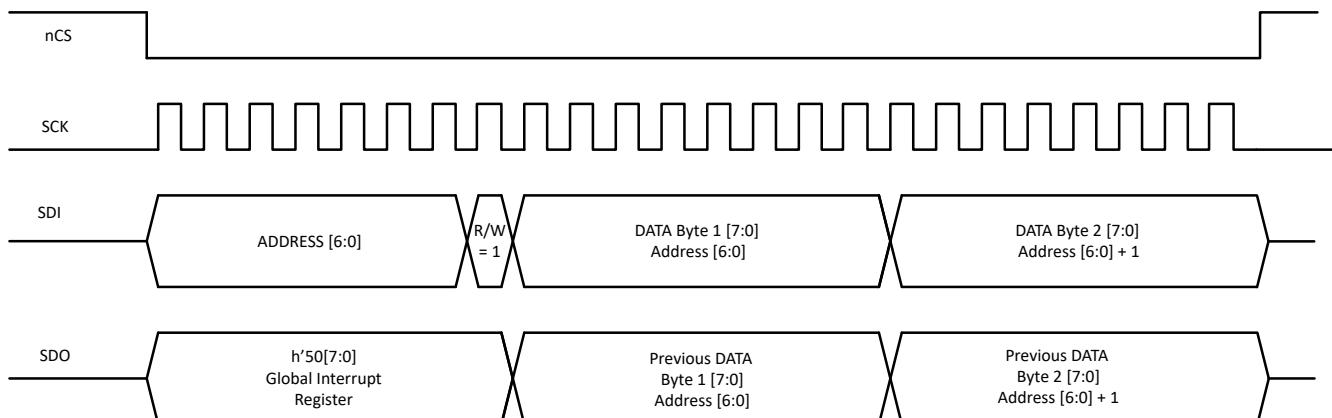


図 8-11. SPI 書き込み (2 バイトモード)

8.3.9.1 巡回冗長性検査

SPI トランザクションの TCAN241x-Q1 ファミリの巡回冗長性検査 (CRC) はデフォルトでは無効です。レジスタ 'h0A[0] を使用してこの機能をイネーブルにできます。デフォルトの多項式は AutoSAR CRC8H2F、 $X^8 + X^5 + X^3 + X^2 + X + 1$ をサポートしています。表 8-5 を参照してください。SAE J1850 に対応した CRC8 もサポートされており、レジスタ

8'h0B[0] で選択できます。CRC が有効になっている場合、読み取りや書き込みの処理中に CRC 値を計算するため、00h のフィラーバイトが使用されます。図 8-12 と図 8-13 を参照してください。

注

2 バイトデータが構成されている場合、CRC は実装されません。2 バイトモードで CRC をイネーブルにすると、SPI 通信が禁止され、SPI 通信が失われた状態から回復するにはデバイスリセットが必要です。

表 8-5. CRC8H27

SPI トランザクション	
CRC の結果の幅	8 ビット
多項式	2Fh
初期値	FFh
入力データの反映	なし
結果データの反映	なし
XOR 値	FFh
チェック	DFh
マジック チェック	42h

表 8-6. CRC8 SAE J1850

SPI トランザクション	
CRC の結果の幅	8 ビット
多項式	1Dh
初期値	FFh
入力データの反映	なし
結果データの反映	なし
XOR 値	FFh
チェック	4Bh
マジック チェック	C4h

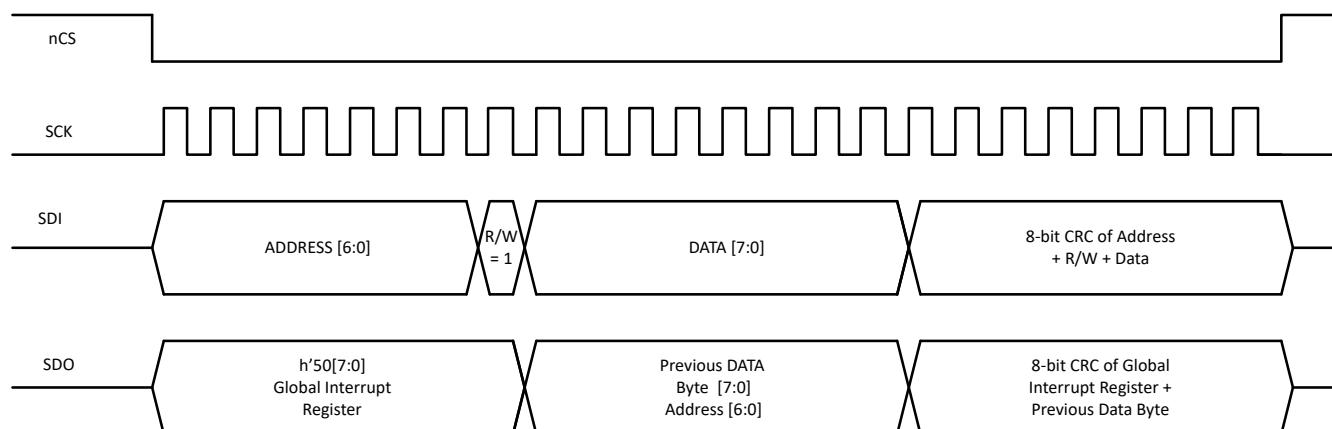


図 8-12. CRC SPI 書き込み

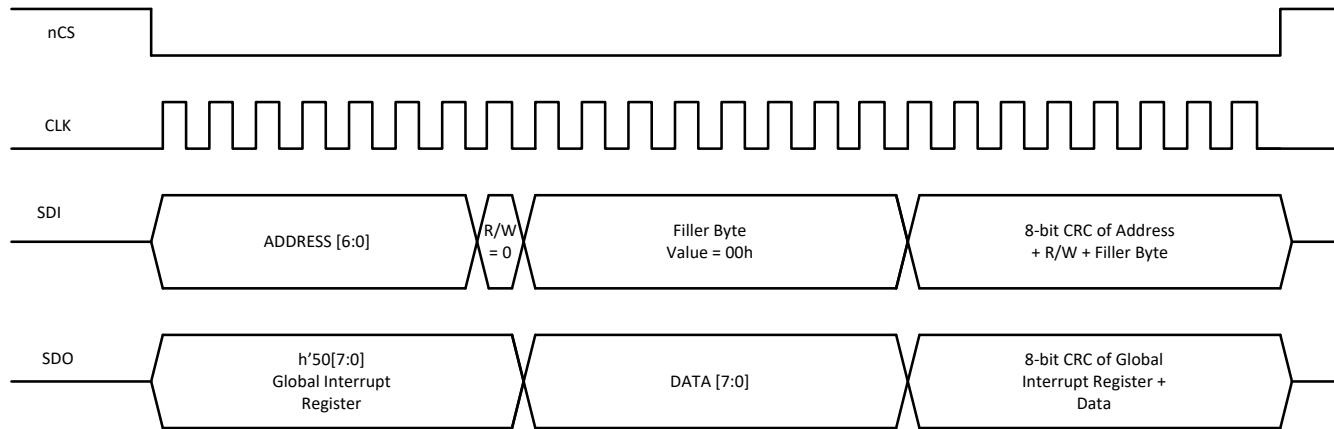


図 8-13. CRC SPI 読み取り

8.3.9.2 ノットチップセレクト (nCS)

この入力ピンを使用して、SPI トランザクション用のデバイスを選択します。このピンは アクティブ "Low" であるため、nCS がハイの間、デバイスの SPI データ出力 (SDO) ピンはハイインピーダンスとなり、SPI バスの設計が可能になります。SPI トランザクションでは、nCS ピンは Low に保持されます。このデバイスの特別な機能を使用すると、nCS の立ち下がりエッジで SDO ピンをグローバル故障フラグとして直ちに表示できます。

8.3.9.3 SPI クロック入力 (SCK) :

この入力ピンを使用して、SPI にクロックを入力し、入力および出力のシリアル データ ビット ストリームを同期します。デフォルトの SPI モード 0 では、データ入力が SCK の立ち上がりエッジでサンプリングされ、SPI データ出力が SCK の立ち下がりエッジで変化します。図 8-14 を参照してください。図に、デフォルトであるモード 0 に基づくタイミングを示します。表 8-7 に、クロック位相の設定可能なモードを示します。

表 8-7. SPI モード

モード	CPOL	CPHA	クロック位相
0	0	0	データは立ち上がりエッジでサンプリングされ、立ち下がりエッジでシフトされます
1	0	1	立ち下がりエッジでサンプリングされ、立ち上がりエッジでシフトされたデータ
2	1	0	立ち下がりエッジでサンプリングされ、立ち上がりエッジでシフトされたデータ
3	1	1	データは立ち上がりエッジでサンプリングされ、立ち下がりエッジでシフトされます

注

- CPOL はクロック極性です。0 = 論理 Low、1 = 論理 High です
- CPHA はクロック位相です

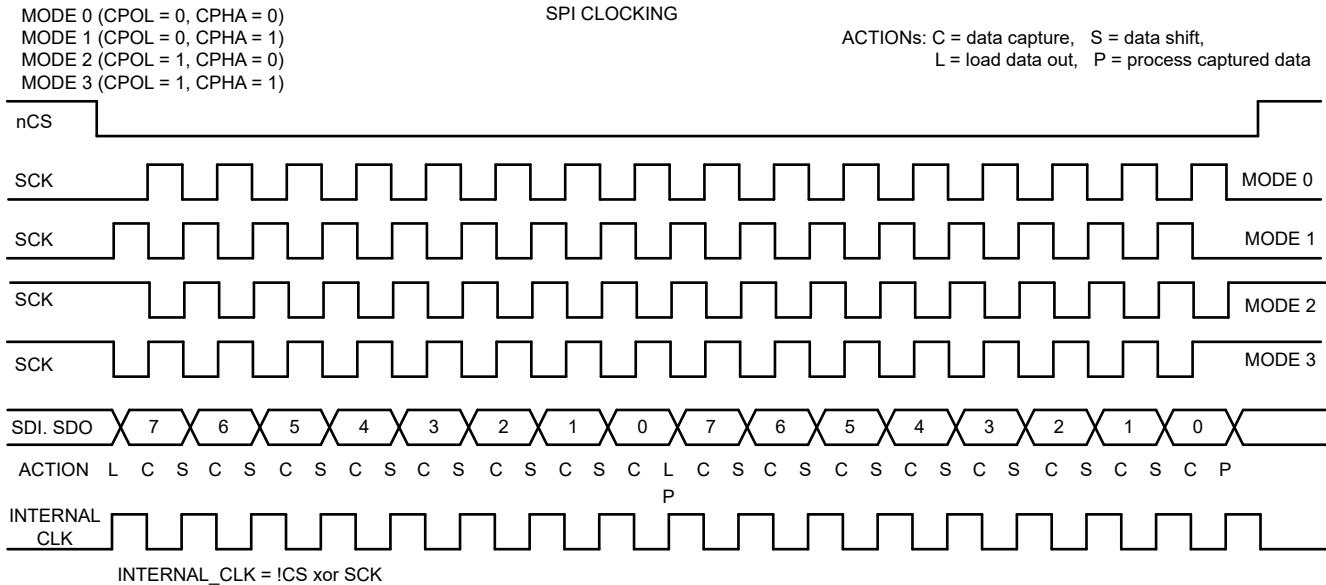


図 8-14. SPI クロック

8.3.9.4 SPI データ入力 (SDI) :

この入力ピンは、デバイスにデータをシフトインするために使用されます。nCS が Low になると SPI が有効化されると、SDI は SPI クロック (SCK) の立ち上がりエッジごとにシフトインされた入力データをサンプリングします。データは 8 ビットのシフトレジスタにシフトインされます。8 回のクロック サイクルとシフトの後、指定されたレジスタが読み出され、そのデータが SDO からシフトアウトされます。8 回のクロック サイクルの実行後、シフトレジスタはフルになります。SPI トランザクションが完了します。書き込みコマンド コードが指定されている場合、新しいデータは、SCK によって正確に 8 ビットがシフトインされ、nCS が立ち上がってデバイスが非選択状態になるタイミングで、指定されたレジスタに書き込まれます。1 回の SPI トランザクション (nCS が Low の間) でデバイスに正確に 8 ビットがシフトインされなかった場合、その SPI コマンドは無視され、SPIERR フラグが設定されます。このときデータはデバイスに書き込まれず、誤動作を防止します。

8.3.9.5 SPI データ出力 (SDO) :

nCS によって SPI 出力が有効になるまで、このピンはハイインピーダンスです。nCS の Low により SPI が有効になると、SDO は直ちに High または Low に駆動され、グローバル故障フラグのステータスを示します。これは、SPI にクロックが供給されている場合にシフトアウトされる最初のビット (ビット 7) でもあります。SCK の最初の立ち下がりエッジでは、8 ビットすべてがシフトレジスタからシフトアウトされるまで、データのシフトアウトが SCK の各立ち下がりエッジを継続します。

8.3.10 SW ピン

デバッグまたは開発時に、このピンを使用してウォッチドッグ動作を無効化できます。ピンがアクティブのとき、デバイスは通常の WD トリガを想定していますが、ウォッチドッグ障害割り込みフラグの設定以外のモード変更または動作は無視され、ウォッチドッグカウンタがインクリメントおよびデクリメントされます。ピンが解放されるとフラグは自己クリアされ、ウォッチドッグカウンタはデフォルトまたはプログラムされた値のいずれかに戻ります。このピンはデフォルトでアクティブ High ですが、レジスタ 8'h0E[0]= 0b を使用することでアクティブ Low に構成できます。

デバイスがスリープモードまたはフェイルセーフモードのとき、レジスタ 8'h0E[1]= 1b および 8'h0E[2]= 1b を使用してこの機能をイネーブルにすることで、このピンをデジタルウェークアップピンとして使用できます。スリープモードで VCC1 が存在する場合、スレッショルドは VCC1 レベルに基づきます。VCC1 が存在しない場合、そのレベルは内部電圧レール V_{IHSWINT} および V_{ILSWINT} に基づきます。外部 CAN FD または LIN トランシーバがウェーク対応である場合のウェークアップ、またはマイコンによる TCAN241x-Q1 のウェークアップに、このピンを使用できます。複数の方法でこの作業を実施できます。外部トランシーバに禁止ピンがある場合は、外部回路を使用してこのピンにウェーク入力を供給できます。プロセッサをこのピンに直接接続し、SPI コマンドを使用せずにウェークアップを開始できます。

図 8-15 は SW ピンの動作に関する状態図です。

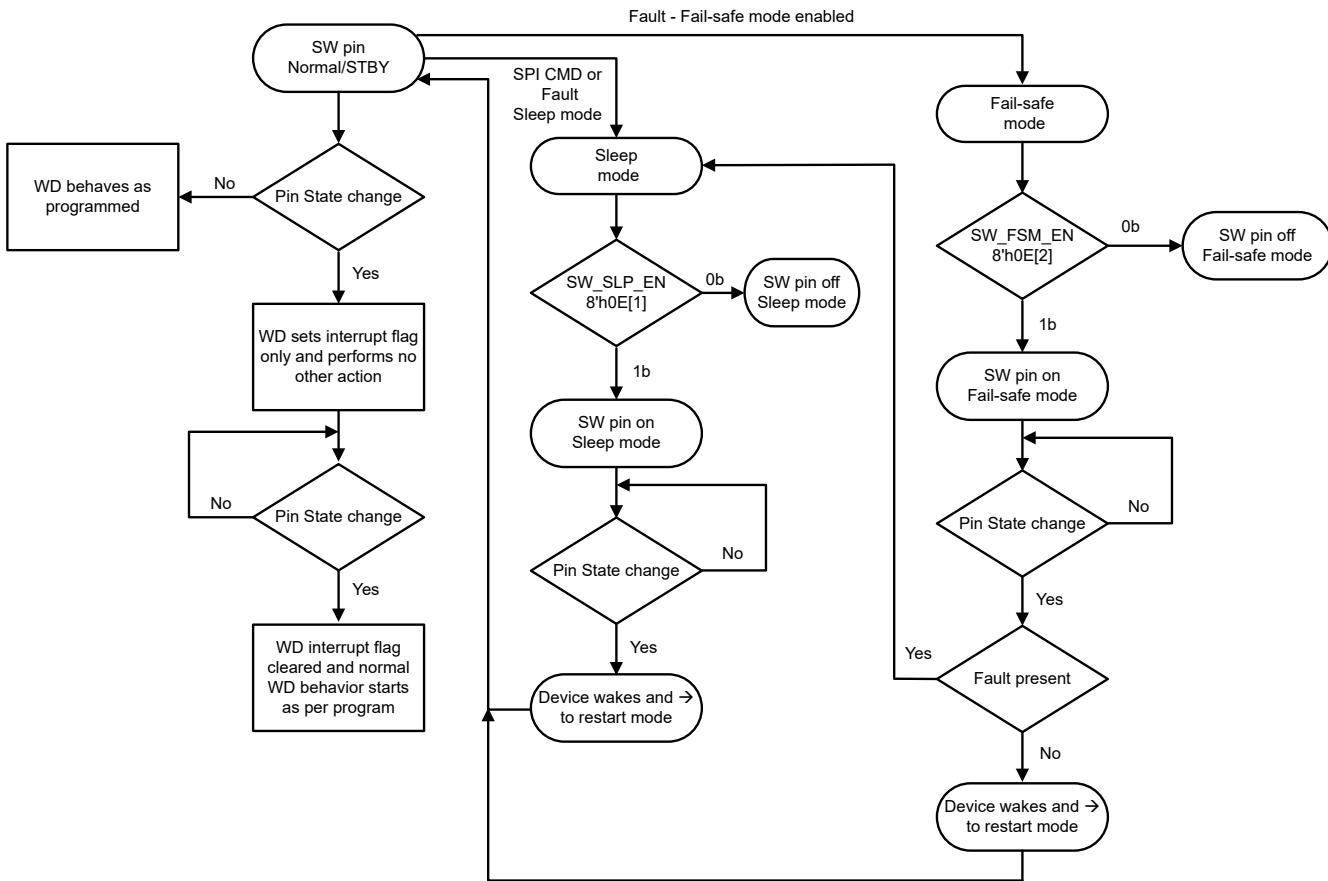


図 8-15. SW ピンの状態図

注

- SW ピンには、状態変化が少なくとも $t_{SW} = 140\mu\text{s}$ である必要があるフィルタタイムがあります
- プルアップ抵抗とプルダウン抵抗は、レジスタ 8'h0E[0] の設定に基づいて自動的に構成されます。アクティブ High はプルダウンアクティブ、アクティブ Low はプルアップアクティブを意味します。
- SW ピンが High に接続された状態でデバイスの電源がオンになると、デバイスはこれをウォッチドッグなしで実行する動作として扱います。

8.3.11 GFO ピン

このピンは、nRST_GFO_CNTL レジスタ (アドレス = 29h) [リセット = 0Ch] を使用してプログラムでき、特定の情報をプロセッサに返すことができます。これらは UVCC1 またはウォッチドッグ障害などの割り込みと見なすことができます。このピンは、WAKE ピンによりどのウェークイベントが発生したかを示すように構成できます (バス、ローカル)。デバイスがフェイルセーフモードに移行したことを示すように構成可能です。

このピンは、外部 LIN または CAN トランシーバを制御するイネーブルピンとして動作するようにも構成可能で、これは、正しい極性をサポートするようピンを構成してから、外部デバイスマードをプログラムすることで実現されます。

8.3.12 ウォーク機能

スリープモードからウェークアップするには複数の確保があります。

- BWRR を使用した CAN バス ウエーク
- 選択的のウェークを使った CAN バス ウエーク (TCAN2411-Q1)

- WAKE_x ピンによるローカル ウエークアップ
- SW ピンがデジタル ウエーク入力としてプログラムされている場合

8.3.12.1 スリープモードで RXD 要求 (BWRR) を使用した CAN バスウェーク

TCAN241x-Q1 は、低消費電力のスリープおよびスタンバイモードをサポートし、RXD 要求によるバス ウエーク (BWRR) と呼ばれる CAN バスからのウェークアップ機能を使用します。このパターンを受信すると、このデバイスは、スリープモードからスタンバイモードへ自動的に移行し、nINT 端子 (有効な場合) に割り込みを出して、ホストマイクロプロセッサにバスがアクティブであることを知らせます。成功すると、プロセッサがウェークアップし、デバイスを処理します。ローパワーのレシーバおよびバスモニタがスリープモードで有効になり、CAN バスを使用して RXD ウエークリクエストが可能になります。図 8-16 に示されているように、ウェークアップリクエストは RXD (Low に駆動) に出力されます。外部 CAN FD のコントローラは、RXD の遷移 (High から Low) を監視し、RXD ウエークリクエストに基づき、デバイスを通常モードに再びアクティブにします。このモード中は、CAN バス端子が弱く GND にプルされます。図 7-2 を参照してください。

このデバイスは、ISO 11898-2 のウェークアップパターン (WUP) を使用します: ホストマイクロプロセッサをウェークさせる要求として扱うために、2016 年版の規格に基づいてバストラフィックを判別します。バスウェークリクエストは、RXD 端子 (BWRR) のフィルタ処理されたバスドミナントに対応する立ち下がりエッジと Low によって、内蔵の CAN FD コントローラに通知されます。

ウェークアップパターン (WUP) は以下で構成されます:

- 少なくとも t_{WK_FILTER} のフィルタされたドミナントバスと、その後に続くドミナントバス
- 少なくとも t_{WK_FILTER} のフィルタされたリセシシブバス時間の後に続きます
- 少なくとも t_{WK_FILTER} の 2 番目のフィルタ処理されたドミナントバス時間

WUP が検出されると、デバイスは RXD ピンでウェークアップリクエスト (BWRR) の発行を開始します。このピンの動作は、レジスタ 8'h12[2] によって決定されます。8'h12[2]=0b の場合、ドミナント、リセシシブ、ドミナントフィルタの各時間を満たす WUP パターンが受信されると、RXD ピンは Low にプルされます。最初のフィルタリングされたドミナントが WUP を開始し、バスモニタがフィルタリングされたリセシシブで待機しているため、他のバストラフィックはバスモニタをリセットしません。フィルタ処理されたリセシシブを受信すると、バスモニタはフィルタ処理されたドミナントを待機しており、再度、他のバストラフィックはバスモニタをリセットしません。2 番目のフィルタ処理されたドミナントが受信されると直ちに、バスモニタは WUP を認識して BWRR 出力に遷移します。デバイスは、WUP を受信する検証後すぐにバスモニターを BWRR モードに移行し、 t_{WK_FILTER} を超えるドミナントバス時間の間信号を低く駆動することで、RXD 内部信号上のすべてのフィルタリングされたドミナントバス時間を示します。したがって、BWRR 中の RXD 出力は、バス上の単一のフィルタ処理されたドミナントを ISO 11898-2 のウェイクアップリクエストメカニズムとして使用する従来の 8 ピン CAN デバイスと一致します。2016.

ドミナントまたはリセシシブがフィルタ処理されているとみなされるには、バスがその状態を t_{WK_FILTER} 時間以上継続する必要があります。 t_{WK_FILTER} の変動により、以下のシナリオが適用されます。

- $t_{WK_FILTER(MIN)}$ より短いバス状態は、WUP の一部として検出されることはないとため、BWRR は生成されません。
- $t_{WK_FILTER(MIN)}$ と $t_{WK_FILTER(MAX)}$ の間のバス状態時間は、WUP の一部として検出され、BWRR が生成されることがあります。
- $t_{WK_FILTER(MAX)}$ を超えるバス状態は常に WUP の一部として検出されるため、BWRR が常に生成されます。

WUP のタイミング図については、図 8-16 を参照してください。

WUP および BWRR に使用されるパターンおよび t_{WK_FILTER} 時間ににより、ノイズやバス固着ドミナント故障が誤ったウェークリクエストを引き起こすことを防止しながら、任意の CAN または CAN FD メッセージによって BWRR を開始できます。デバイスが通常モードに切り替わるか、V_{CC} で低電圧イベントが発生すると、BWRR は失われます。WUP パターンは、 $t_{WK_TIMEOUT}$ 時間に実行する必要があります。時間外の場合、デバイスは次のリセシシブと有効な WUP パターンを待機する状態になります。

8'h12[2]=1 の場合、デバイスが通常モードまたはリスンモードになるまで、RXD ピンは $t_{TOGGLE}=10\mu s$ の間、low - high - low に切り替わります。BWRR は、電源が投入されてスリープモードまたは特定のフェイルセーフモード状態から復帰してスタンバイ状態になると、アクティブになります。SPI 書き込みによってデバイスがスタンバイモードに移行すると、ウェー

クイイベントが発生するまで RXD ピンは High になります。すると、RXD ピンは、ウェーク イベントによってデバイスがスリープ モードから復帰したときと同様に動作します。

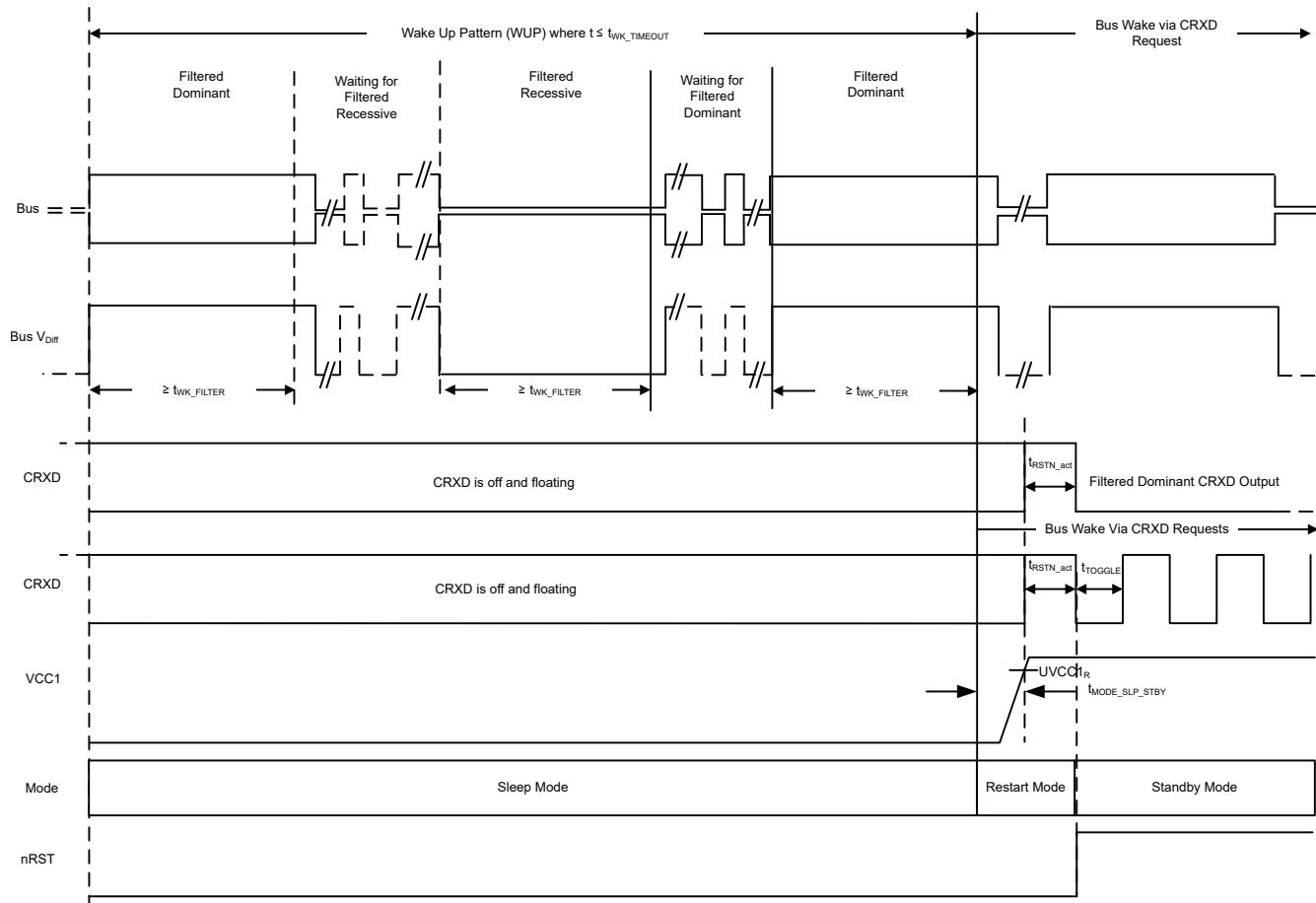


図 8-16. ウェークアップ パターン (WUP) と RXD 要求によるバス ウェーク (BWRR)

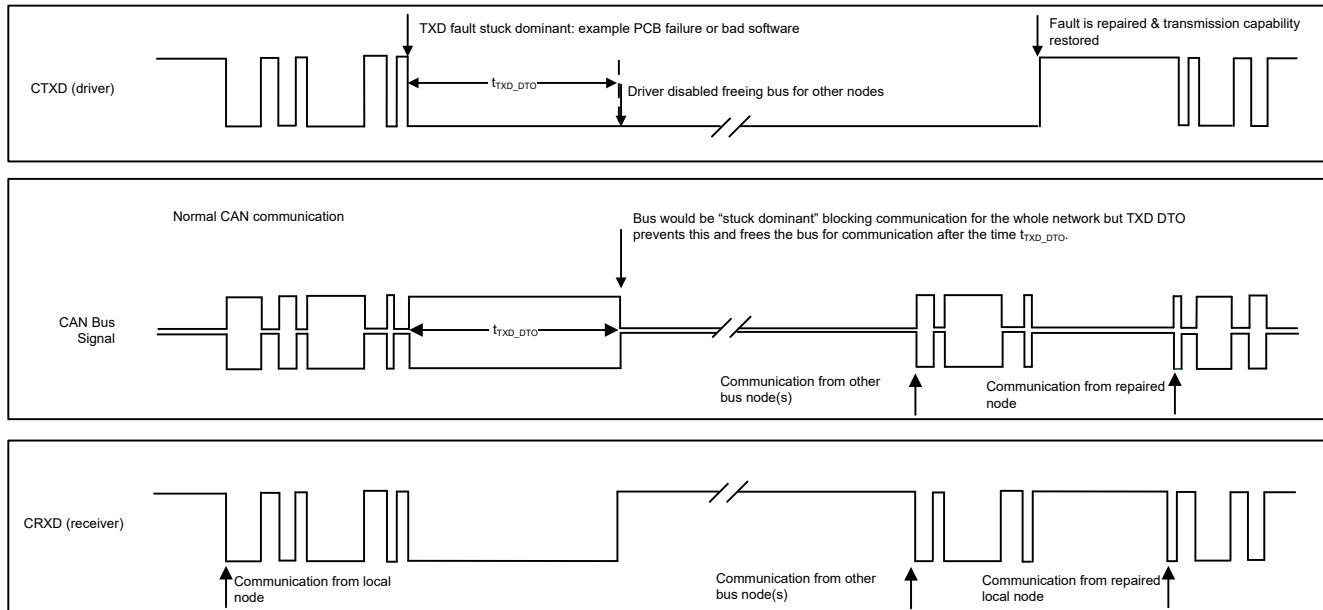


図 8-17. TXD DTO のタイミング図の例

8.3.12.2 WAKE_x 入力端子を使用したローカルウェークアップ (LWU)

WAKE_x 端子は、高い柔軟性を持つグランド基準の高電圧対応入力であり、電圧の遷移によってローカル ウェークアップ (LWU) 要求を行うために使用できます。このウェークアップ イベントには 2 つの方法があります。ピンのレベル変化に基づく静的ウェーク、またはタイミング ベースの周期的センシング (WAKE_x ピンを一定周期でオンにし、そのオン期間中に変化が検出された場合にトリガ イベントとする方式) が確認されます。

このデバイスは、レジスタ 2Ah[4:0] を使用して WAKE ピンの状態変化を通知し、どの WAKE ピンの状態が変化したかを示します。

WAKE ピンの使用方法には 2 つあり、WAKE_x_SENSE レジスタ ビットの設定によって決定されます：

- スタティックウェーク
- 周期的検出ウェーク

WAKE ピンにはグローバル制御があり、ウェークアップを行う方法、立ち上がりエッジ、立ち下がりエッジ、双方向、パルス、フィルタパルスを制御します。WAKE ピンには、プログラマブルなスレッショルドがあります。

8.3.12.2.1 スタティックウェーク

WAKE_x ピンは、WAKE_CONFIG2、WAKE_CONFIG4、WAKE_CONFIG5 レジスタ内の WAKE_x_SENSE ビットのデフォルト値により、静的検出ウェークが初期設定になります。WAKE_x ピンはデフォルトでは双方向入力ですが、WAKE_CONFIG レジスタ 8'h11[7:6] を使用することで、立ち上がりエッジと立ち下がりエッジの遷移に構成可能です。図 8-18 および 図 8-19 を参照してください。WAKE ピンはグランドに基づくウェーク入力であり、グランドまたは V_{SUP} に接続されたスイッチで使用できます。WAKE_x ピンの入力スレッショルドは VCC1 レベルを基準にでき、プロセッサに直接接続または VCC1 レールに切り替えることができます。端子を使用しない場合は、不要な寄生ウェークアップを防ぐためにグランドへ接続します。デバイスがスリープ モードに移行すると、WAKE 入力の状態遷移を決定する前に、WAKE_x 端子の電圧レベルが t_{WAKE} の間 Low 状態または High 状態である必要があります。t_{WAKE_INVALID} より小さいパルス幅はフィルタ処理されます。

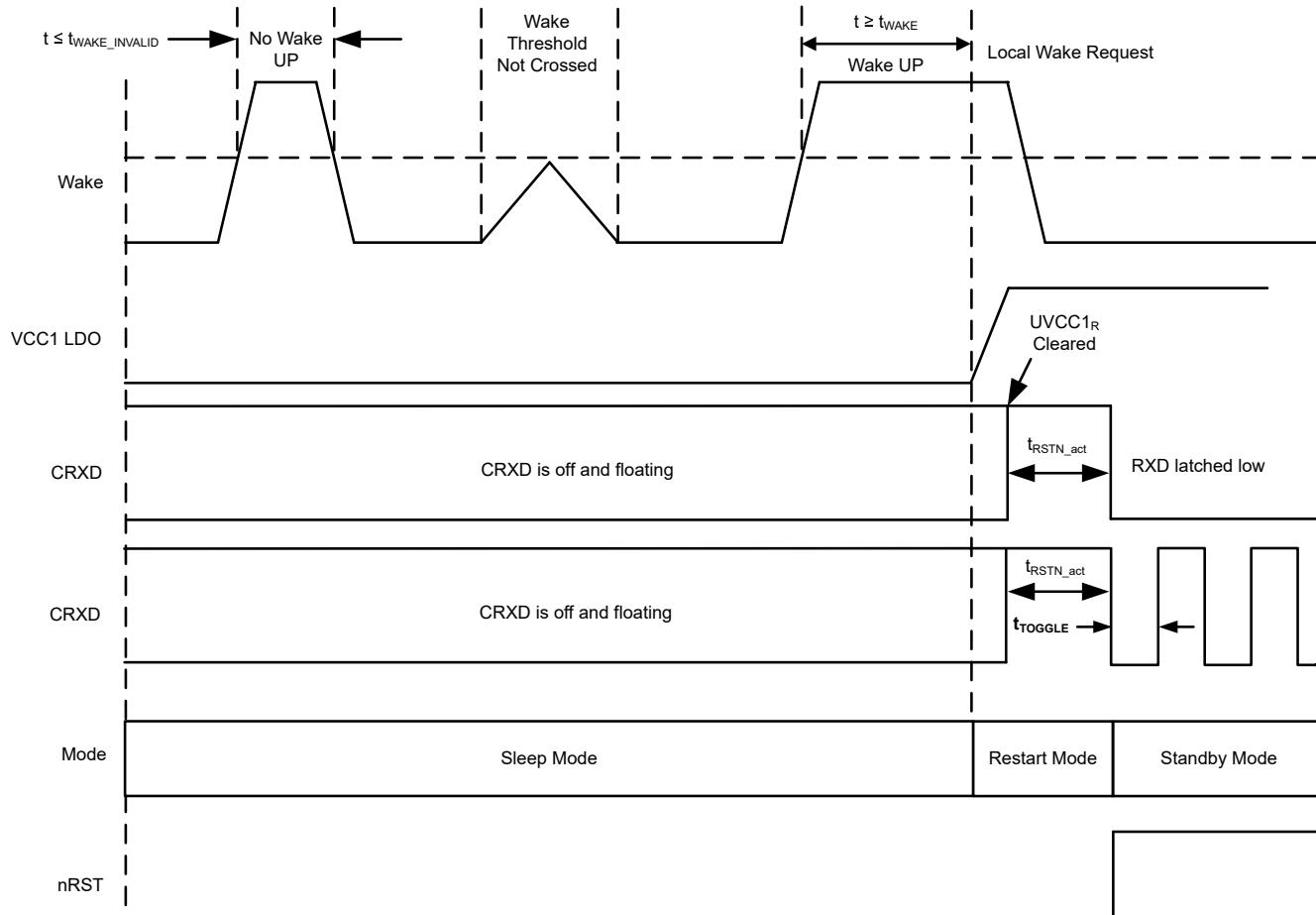


図 8-18. ローカルウェークアップ - 立ち上がりエッジ

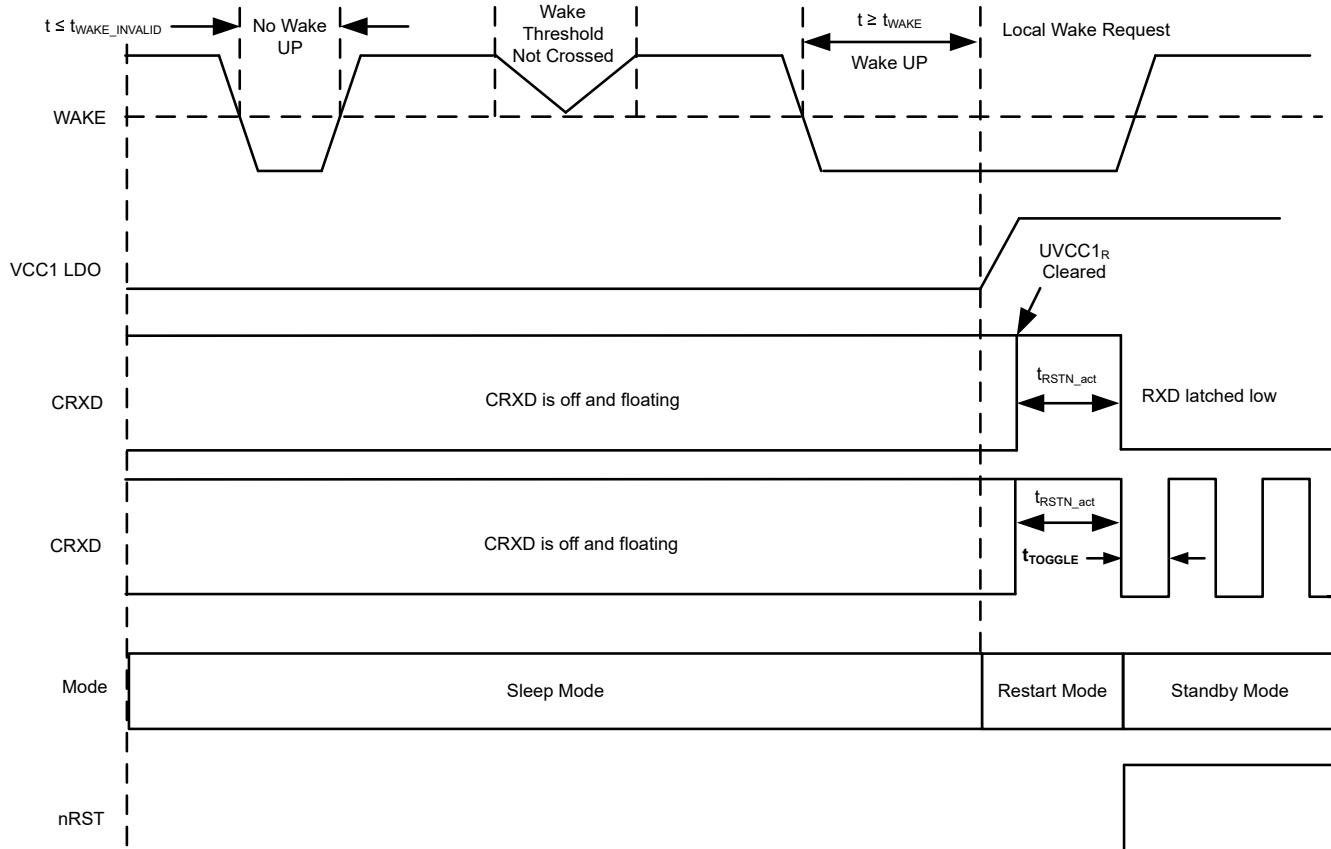


図 8-19. ローカルウェークアップ - 立ち下がりエッジ

注

WAKE ピンが静的センシング用に構成されており、WAKE_CONFIG が双方向、立ち上がり、立ち下がりエッジに設定されている場合、有効なウェークイベントが認識されるように、ピンが選択したウェークスレッショルドを超えた後、WAKE ピンが少なくとも t_{WAKE} の期間において安定している必要があります。

- 立ち上がりエッジを選択してデバイスが WAKE High でスリープに移行する場合は、立ち上がりエッジのウェークイベントの前に、 t_{WAKE} 以上 Low であることが必要です。
- 立ち下がりエッジを選択してデバイスが WAKE Low でスリープに移行する場合は、立ち下がりエッジのウェークイベントの前に、 t_{WAKE} 以上 High であることが必要です。
- 双方向エッジ構成の場合、デバイスはスレッショルド交差に基づいてウェークレベルの変化を決定し、それに応じて t_{WAKE} フィルタを適用します。
- 図 8-18 と 図 8-19 は、立ち上がりエッジまたは立ち下がりエッジによる WAKE 入力の例を示しています。VCC1 > UVCC1 の状態でスタンバイモードに入ると、RXD は Low にプルされます。

WAKE 端子は WAKE_CONFIG レジスタ 8'h11[7:6] を使用してパルス用に構成できます。図 8-20 を参照してください。この端子はパルスのみで動作するように構成できます。このパルスは $t_{WK_WIDTH_MIN}$ と $t_{WK_WIDTH_MAX}$ 間にある必要があります。この図には、3 つのパルス例と、デバイスがウェークするかどうかを示しています。 $t_{WK_WIDTH_MIN}$ は、レジスタ 8'h11[3:2] の $t_{WK_WIDTH_INVALID}$ に設定する値によって決定されます。パルスが検出される場合と検出されない場合がある領域が 2 つあります。レジスタ 8'h1B[1]、WAKE_WIDTH_MAX_DIS を使用すると、パルスモードをフィルタ処理済みウェーク入力として構成できます。このビットに 1 を書き込むと $t_{WK_WIDTH_MAX}$ が無効になり、WAKE 入力は $t_{WK_WIDTH_INVALID}$ および $t_{WK_WIDTH_MIN}$ 値を選択するレジスタ 8'h11[3:2] の構成に基づきます。 $t_{WK_WIDTH_INVALID}$ より短い WAKE 入力はフィルタで無効化されます。 $t_{WK_WIDTH_MIN}$ より長い場合、本デバイスは再起動モードに移行し、

LDO をオンにします。2 つの間の領域は認識される場合と認識されない場合があります (図 8-21 を参照)。レジスタ 8'h12[7] は、認識されるパルスまたはフィルタエッジの方向を決定します。デフォルトのパルス検出は正パルス (Low→High → Low) ですが、レジスタ 8'h12[7] の WAKE_PULSE_CONFIG を 1b に設定することで、負のパルス (High→Low → High) も検出できるようにできます。WAKE ピンのステータスはレジスタ 8'h11[5:4] から判断できます。WAKE ピンの変更が行われると、デバイスはこれを立ち上がりエッジまたは立ち下がりエッジとして登録します。これはビットに 00 が書き込まれるまでラッチされます。

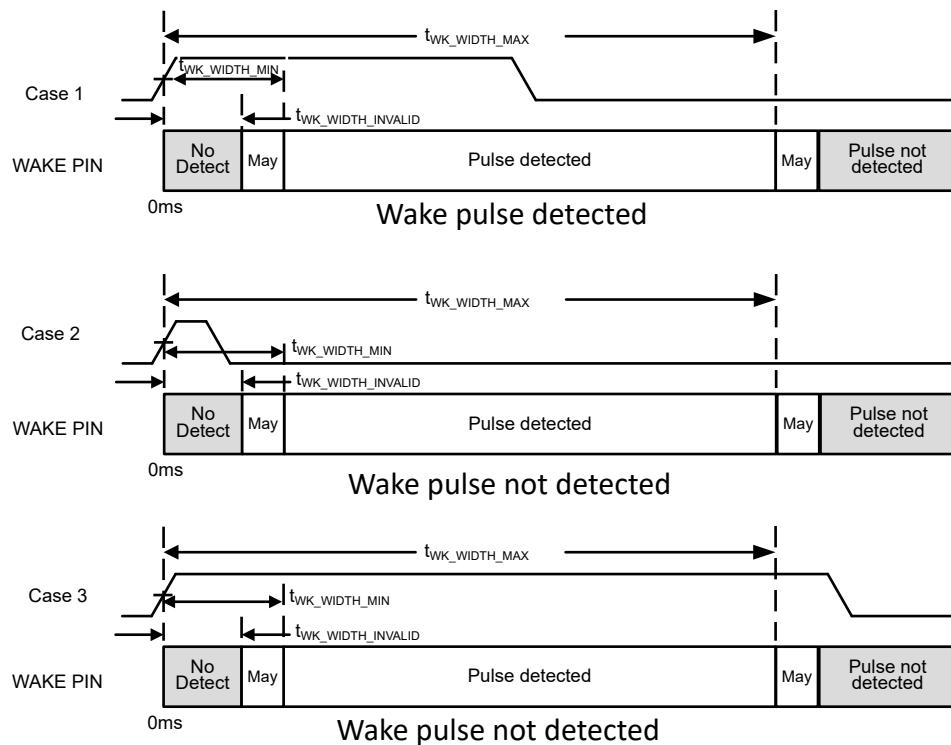


図 8-20. WAKE ピンのパルス動作 (正のパルスの例)

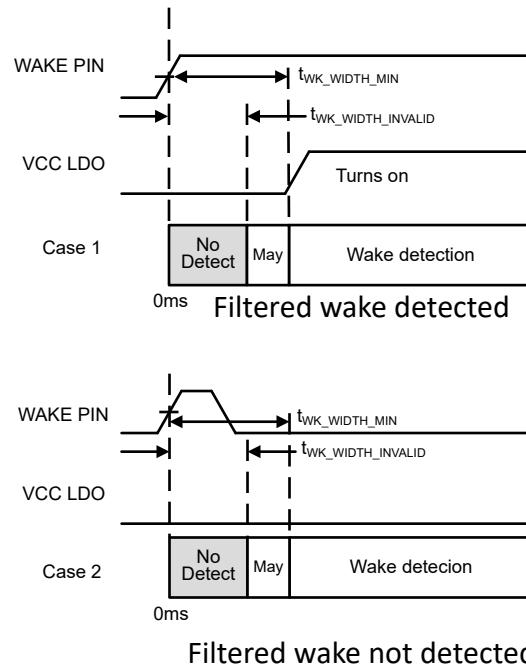


図 8-21. WAKE ピンのフィルタ処理済みパルス動作

8.3.12.2.2 周期的検出ウェーク

周期的検出 WAKE を使用すると、スリープ モードでのデバイスの静止電流を低減できます。周期的検出の WAKE が有効になっている場合、HSS4 のオン時間中だけ WAKE 回路が動作するため、デバイスの静止電流は低減されます。

スタンバイモードでは、サイクリックセンシングウェークもサポートされています。スタンバイモードでは、デバイスは対応するウェークピンの割り込みのみをセットします。通常モードでは、サイクリックセンシングウェークはサポートされません。TI は、SBC の Normal モードで HSS4 を動作させるため、通常モードに入る前に WAKE_x_SENSE ビットを 0b に設定することを推奨しています。

周期的検出ウェークを有効にする場合:

- 図 8-22 に示すように、目的の WAKE ピンを HSS4 に接続します
- 目的の WAKE_x ピンをサイクリックセンシングモードにセットします
 - WAKE1: h'12[6] WAKE1_SENSE=1b
 - WAKE2: h'2B[7] WAKE2_SENSE=1b
 - WAKE3: h'2B[3] WAKE3_SENSE=1b
 - WAKE4: h'7B[7] WAKE4_SENSE=1b
- HSS4_CNTL ビットを使用して HSS4 を目的のタイマにセットします
 - h'4D[2:0] = Timer1 または Time2
- 選択したタイマを、必要なオン時間と周期で設定します (注記: 周期的検出ウェークに加えて周期的ウェークまで設定する必要がない限り、タイマ設定内の 周期的検出ビットは設定しません)
 - Timer1 の期間とオン時間に h'25 をセットします
 - Timer2 の期間とオン時間に h'26 をセットします

スリープ モードに入る前に、設定が完了していることを確認します。オン時間が設定されると、HSS4 はすぐにオンになります。選択した周期とオン時間に従って HSS4 ピンがオンになり、外部のローカル ウェーク回路に VSUP を印加します。この処理が行われるたびに、WAKE_x はピンが High か Low かを示すビットをセットし、そのビットを前回の状態と比較します。変化している場合、デバイスはウェークアップします。変化していない場合、デバイスはスリープ モードのままでです。タイミング図については、図 8-23 を参照してください。 t_{WK_CYC} のフィルタ時間は、図 8-23 に示すように実装され、レジスタ 8'h12[5] により決定されます。フィルタ時間はオン時間の終了時に適用され、フィルタ時間中はウェーク入力レベルがウェー

一クスレッショルドを超えてはいけません (入力は安定している必要があります)。これは、過渡を無視し、誤ったウェークアップを防止するために実装されています。

注

- REV_ID = 20h: CAN トランシーバ モードがオフ (CAN1_TRX_SEL = 000b)に設定されている場合、周期的検出ウェークは動作しません。スリープ モードで CAN トランシーバをオフにする必要があり、なおかつ周期的検出機能が必要な場合は、CAN1_TRX_SEL を 010b (SBC モード制御の WUP 無効) に設定します
- 周期的検出ウェーク中に HSS4 の過電流や OVHSS 故障が発生すると、周期的検出ウェークが期待どおりに動作しない場合があります

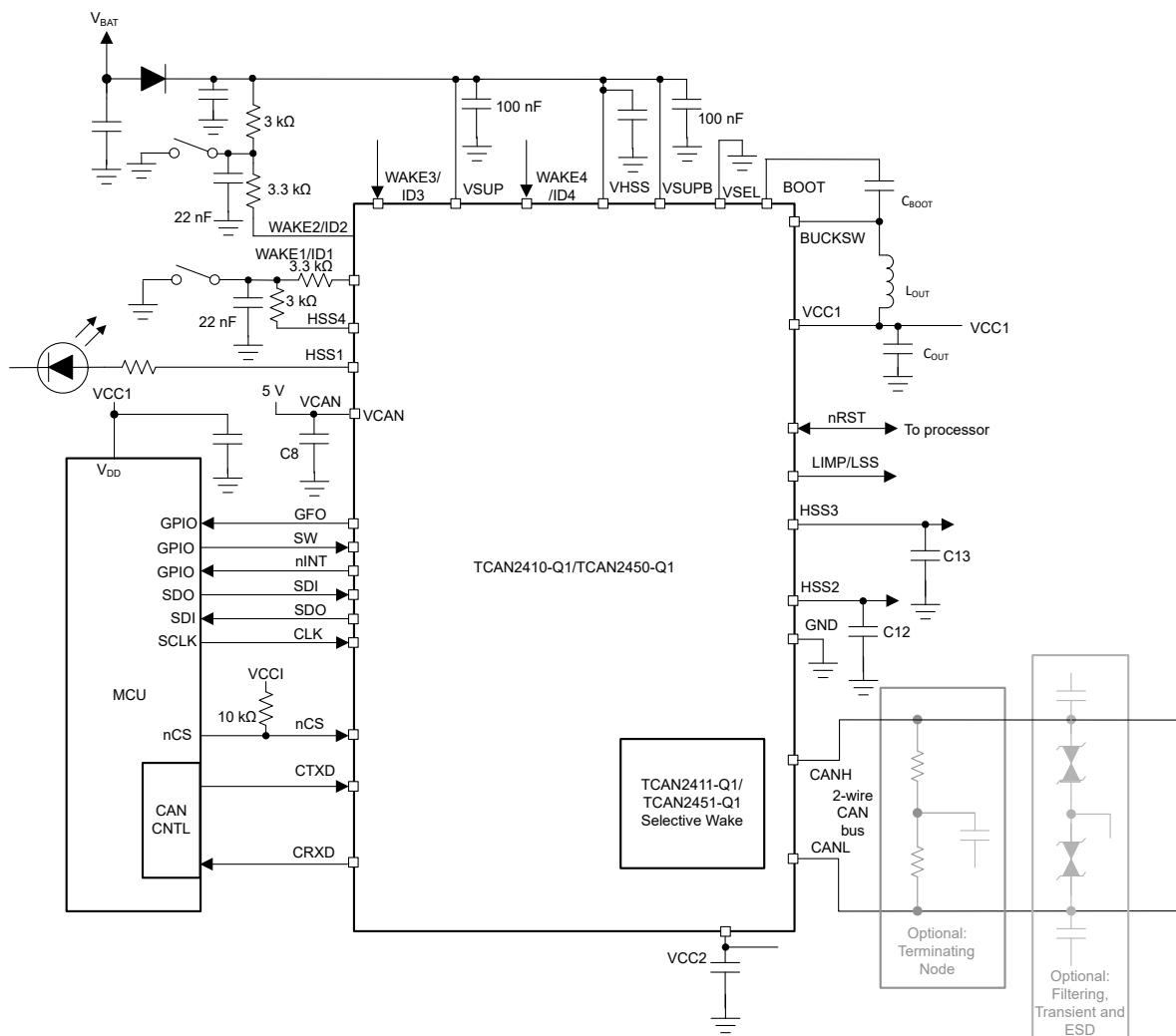


図 8-22. サイクリックセンシング構成のアプリケーション図

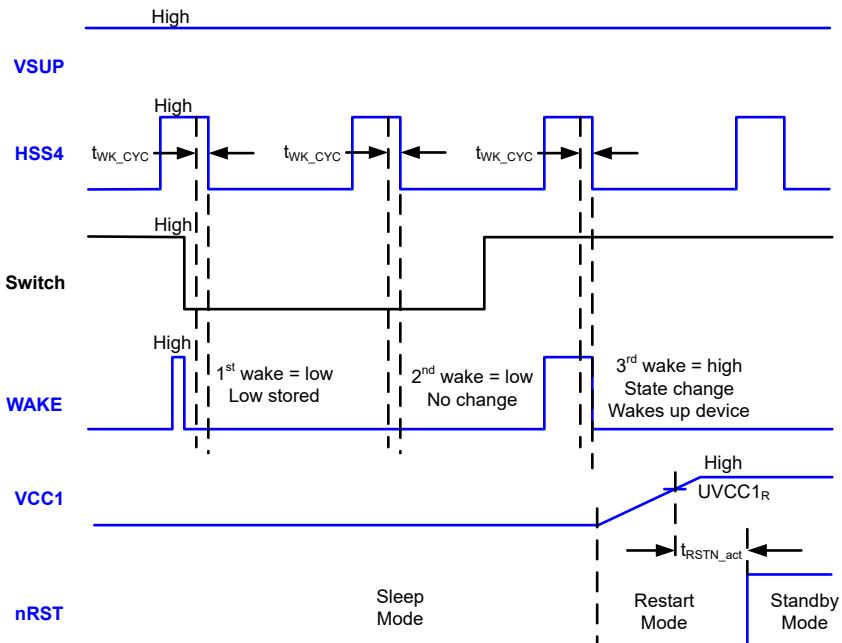


図 8-23. サイクリックセンシングのタイミング図

8.3.12.3 サイクリックウェーク

サイクリックウェークは、外部のウェークイベントを必要とせず、タイマ1またはタイマ2のサイクリックを使用してデバイスを自己ウェークさせるために使用できます。この機能の動作は、デバイスが現在のSBCモードで有効になっているかどうかに応じて特定の方式で変化します。この機能は、通常、スタンバイ、フェイルセーフ、スリープモードで使用できます。通常モードおよびスタンバイモードでは、設定されたオン時間の開始時に、デバイスが設定されたオン時間の間nINTをLowにし、その後リリースします。最初のオンタイムパルスは無視されますが、その後のパルスはそれぞれ割り込みを発生させます。周期的ウェークアップは、timer1にレジスタ8'h25[3]、timer2にレジスタ8'h26[3]を使用することでイネーブルになります。

レジスタ8'h0E[6]=1bを使用することで、フェイルセーフモードで有効にできます。フェイルセーフモードではVCC1がオフであるため、nINTピンは使用されません。有効なとき、タイマ用に選択する周期は500ms、1s、または2sである必要があります。オン時間が経過すると、このデバイスは故障がまだ存在するかどうかを判断します。故障がクリアされていない場合、デバイスはフェイルセーフモードのままになり、この処理を繰り返します。SWEタイマがタイムアウトすると、デバイスはスリープモードに移行します。故障がクリアされた場合、それはウェークイベントとして扱われ、デバイスはリストアモードに移行します。

この機能は、レジスタ8'h4F[4]を1bに設定することでスリープモードで有効にできます。スリープモードでは、デバイスはウェークアップするとリストアモードへ移行し、モードではレギュレータがオンになります。デバイスがスタンバイモードに移行すると、プログラムされた長いウンドウが起動し、このウンドウ内のプロセッサからのWDトリガを想定しています。これが行われない場合、デバイスは再びスリープモードへ戻ります。このプロセス中に故障が検出されると、このデバイスはスリープモードに戻ります。

8.3.12.4 選択的ウェイクアップ

TCAN241x-Q1は、ISO 11898-1およびBosch CANプロトコル仕様3.2.1.1に従ってCAN通信を実行します。

8.3.12.4.1 選択的ウェークモード(TCAN2411-Q1)

これはデバイスの中レベルの省電力モードです。データシートの「フレーム検出」セクションに記載されているように、WUFレシーバがオンになってフレームに内部的に接続され、検出ロジックはウェークアップフレーム(WUF)を探します。この状態では、CANバスのデータはRXDピンに出力されません。デバイスの電力はシステムバッテリのVSUP電源から供給されます。

選択式ウェークモードの有効なウェークアップソースは次のとおりです:

- ウェークアップフレーム (WUF)
- WAKE ピンのローカルウェークアップ (LWU)。WAKE ピン上のイベントは、レジスタ 8'h11[7:6] で WAKE ピン用にプログラムされた要件に一致している必要があります
- フレームオーバーフロー (FRAME_OVF)
- 別の状態への SPI コマンド

WUF および/または LWU イベントが発生すると、対応するウェーク イベント フラグ (WUF および/または LWU) がセットされます。この時点で、有効であれば nINT ピンを使用、または RXD ピンをプルダウンして、マイコンへの割り込みが供給されます。

選択式ウェークモードに移行する場合は、以下の条件を満たす必要があります:

- 選択式ウェーク構成、SWCFG、フラグがセット済み
 - すべての選択式ウェーク関連レジスタを書き込んだあと、読み出しを行ってプログラミングが正しく行われ、フレーム検出および選択式ウェーク設定が正確であることを確認してください。構成後、SWCFG ビットを 1b にセットする必要があります。
- 選択式ウェークエラー、SWERR、フラグがクリア済み
- 選択式ウェークイネーブル (SW_EN) = 1b、レジスタ 8'h10[7]= 1b にセット済み

遷移中にフレームを受信すると、そのフレームは失われる可能性があり、さらに 4 つの受信 CAN フレームに対してフレーム検出がフレームと同期しない場合があります。

注

故障条件または FRAME_OVF によって、デバイスが強制的にスリープモードを強制、フェイルセーフモードを無効化、またはフェイルセーフモードに移行する場合、SW_EN は無効化されて選択式ウェーク機能はオフになります。

8.3.12.4.2 フレーム検出

フレーム検出ロジックは、CAN バスからのシリアル データまたは CAN フレームの処理を可能にする要素です。デバイスには選択的ウェーク制御レジスタがあり、CAN ID (11 ビットまたは 29 ビット) のみ、または CAN ID とデータフレーム (データ マスキングを含む) の両方を使用して、設定された一致条件を検出するよう構成できます。バスから受信した CAN フレームがフレーム検出ロジックで設定された条件に一致すると、その状態はウェークアップ フレーム (WUF) と呼ばれます。

フレーム検出を有効にする前に、WUF 検証に必要なデータを正しく設定する必要があります。デバイスが WUF 検証用に正しく構成された後、SWCFG (選択的ウェイク構成) ビットを設定する必要があります。有効な WUF が検出されると、スタンバイモードとスリープモードで CANINT フラグが設定されます。

フレーム検出が有効になると、デバイスがバス上で受信した CAN フレームをロジックがデコードする際に、いくつかの動作が発生します。これには、エラーの検出とカウント、そして CAN_SYNC および CAN_SYNC_FD フラグによる CAN フレーム受信の通知が含まれます。

フレーム検出モード中にフレーム オーバーフロー (FRAME_OVF) が発生すると、条件は無効化され、SW_EN ビットがクリアされます。

フレーム検出が有効で、CAN WUP イベントによってバイアス反応時間 (t_{Bias}) の間バスバイアスが 2.5V に安定している場合、デバイスはフレーム検出が安定するまで最大 4 つの CAN フレーム (500kbps 以下のデータレートの場合) を無視します。データレートが 500kbps を超える場合、フレーム検出が安定するまでデバイスは最大 8 つの CAN フレームを無視します。

フレーム検出と選択的ウェークアップを使用するようにデバイスを正しく構成する手順は次のとおりです:

- フレーム検出用のすべての制御レジスタ (選択的ウェーク)、選択的ウェーク構成 1-4 (レジスタ 8'h44 ~ 8'h47)、ID および ID マスク (レジスタ 8'h30 ~ 8'h40) に書き込みます

- すべての選択的ウェークレジスタに関するすべてのレジスタを読み出すことを推奨します。これにより、デバイスが正しく書き込み、設定されているかをソフトウェア側で確認できます
- 選択的ウェイク構成 (SWCFG) ビットを 1b に設定し、レジスタ 8'h47[7]= 1b に設定します
- 選択的ウェーク有効ビットを 1b に設定します。レジスタ 8'h10[7] = 1b
- SPI 書き込みにより、8'h10[2:0] =100b にデバイスをスタンバイ モードに設定します。ステップは、すでにスタンバイ モードに入っている場合でも行う必要があります。

フレームオーバーフローフラグから SWERR 割り込みが発生した場合は、フレームオーバーフロー割り込みをクリアし、SWCFG ビットを 1b にリセットします。

8.3.12.4.3 ウェークアップフレーム (WUF) 検証

次の条件がすべて満たされた場合、受信フレームはウェークアップ フレーム (WUF) として有効になります：

- DLC (データ長コード) の照合が無効化されていない場合、受信したフレームは従来の CAN データ フレームとなります。DLC 照合が無効の場合、フレームはリモート フレームにすることもできます。
- 受信したクラシカル CAN フレームの ID (ISO 11898-1:2015 の 8.4.2.2 で定義) が、対応するビット位置において設定された ID と完全に一致しています。該当ビット位置は、[WUF の DLC 検証](#)に示す ID マスクによって与えられます
- 受信したクラシカル CAN データ フレームの DLC (ISO 11898-1:2015 の 8.4.2.4 で定義) が、設定された DLC と完全に一致しています。方式は、[WUF のデータ検証](#)を参照してください。オプションとして、この DLC マッチング条件は、実装の設定によって無効化できます。
- DLC が 0 より大きく、DLC 照合が有効な場合、受信したフレームのデータ フィールド (ISO 11898-1:2015 の 8.4.2.5 で定義)において、設定済みデータマスクで 1 の位置に対応するビットのうち少なくとも 1 ビットが 1 になっていること。照合方式は、[WUF の DLC 検証](#)を参照してください。
- 巡回冗長検査 (CRC) が正しく受信されており (リセッショの CRC デリミタを含む)、アクノリッジ (ACK) スロットより前に ISO 11898-1:2015、10.11 に基づくエラーが検出されていないこと。

8.3.12.4.4 WUF ID 検証

受信したフレームの ID は、すべての必要なビット位置で構成された ID と一致します。関連するビット位置は、8'h30 ~ 8'h33 で構成された ID と 8'h34 と 8'h38 でプログラムされた ID マスクによって決定されます。クラシックベースフレームフォーマット (CBFF) の 11 ビットベース ID とクラシック拡張フレームフォーマット (CEFF) の 29 ビット拡張 ID と ID マスクがサポートされています。"do not care" を除くすべてのマスク ID ビットは、WUF 検証用に構成された ID ビットと正確に一致している必要があります。マスクされた ID ビットが "do not care" として構成されている場合、ID では「1」と「0」の両方が許容されます。ID マスクレジスタの 1 は "do not care" を表します。

図 8-24 に、有効な WUF ID と対応する ID マスクレジスタの例を示します

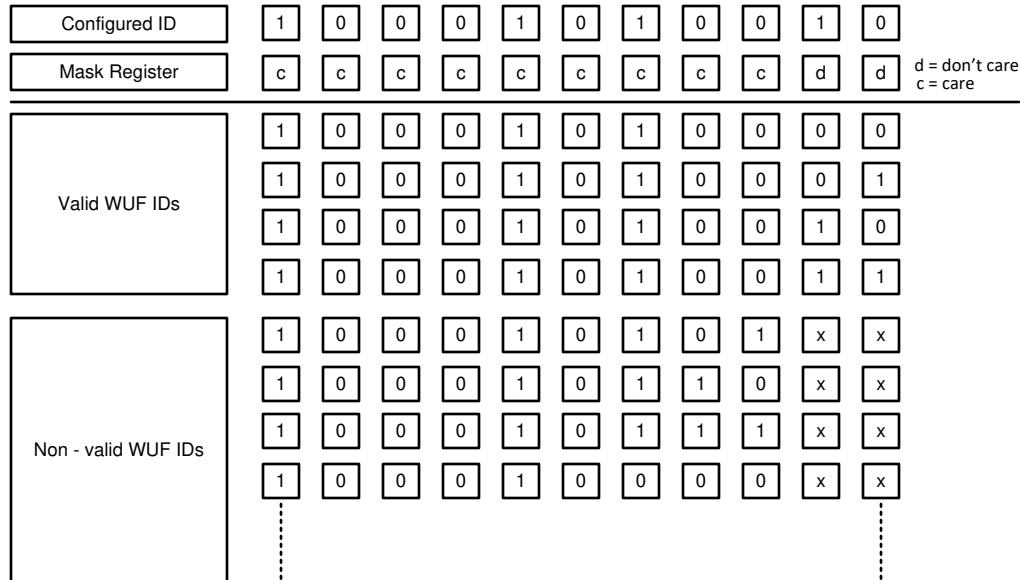


図 8-24. WUF の ID と ID マスクの例

8.3.12.4.5 WUF DLC 検証

データマスクビットがセットされている場合、受信フレームの DLC (データ長コード) は、構成された DLC と正確に一致している必要があります。DLC は、8'h38 [4:1] で構成されます。データマスクビットは 8'h38[0] にセットされます。

表 8-8. DLC

フレーム	データ長コード				データ バイト数
	DLC3	DLC2	DLC1	DLC0	
クラシックフレーム と FD フレーム	0	0	0	0	0
	0	0	0	1	1
	0	0	1	0	2
	0	0	1	1	3
	0	1	0	0	4
	0	1	0	1	5
	0	1	1	0	6
	0	1	1	1	7
	1	0	0	0	8
クラシックフレーム	1	0 または 1	0 または 1	0 または 1	8

8.3.12.4.6 WUF データ検証

データ マスク ビットによってデータ マスクが有効化されている場合、受信フレームのデータは設定されたデータと一致している必要があります。具体的には、受信フレームのデータフィールド内にある論理 High (1) のビットのうち、少なくとも 1 つが設定済みデータのデータフィールド内の論理 High (1) ビットと一致している必要があります。関連するビット位置は、8'h39 ~ 8'h40 の構成されたデータによって決定され、8'h38[0] のデータ マスクイネーブルによってイネーブルされます。図 8-25 に、マッチングするデータとマッチングしないデータの例を示します

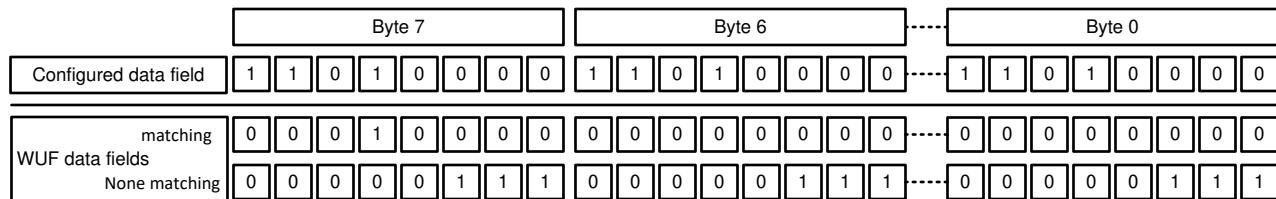


図 8-25. WUF のデータフィールド検証の例

選択的ウェークデータ検証により、バス上で送信される最後のバイトがデータマスクのバイト 0 として解釈されるようになります。これは、8 バイトのデータについては、送信される最初のバイトがデータマスクのバイト 7 として解釈されることを意味します。DLC が 3 の場合、バス上で送信される最後のバイトはデータマスクバイト 0 として解釈され、送信される最初のバイトはデータマスクバイト 2 として解釈されます。[図 8-26](#) に、送受信されるさまざまなバイトに使用されるバイトの例をいくつか示します。

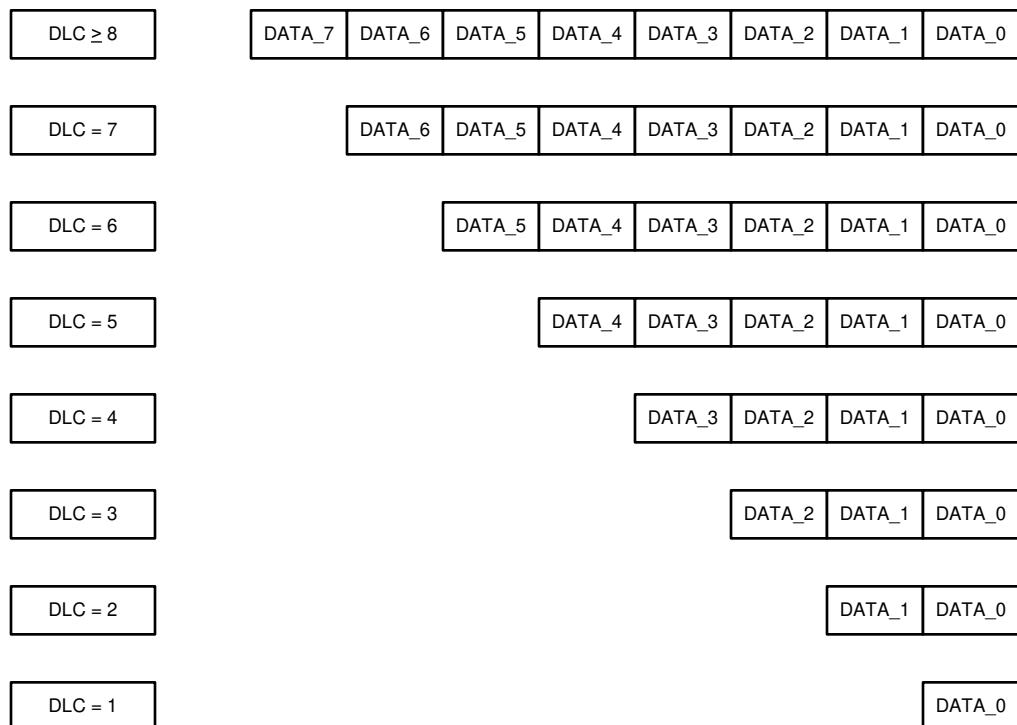


図 8-26. 各 DLC 値のデータレジスタのマスク値

8.3.12.4.7 フレームエラーカウンタ

選択的ウェークアップ機能が起動し、 $t_{SILENCE}$ が経過すると、CAN フレームエラーカウンタはゼロにセットされます。このエラーカウンタにより、デバイスが検出した CAN フレームエラーが判断されます。エラーは 8'h45 にあり、エラーカウンタは **FRAME_CNTx** と呼ばれます。

初期カウンタ値はゼロで、受信フレームエラー (スタッフビット、CRC、または CRC 区切り文字エラー) が検出されるたびに 1 ずつインクリメントされます。カウンタがゼロでないと仮定して、正しく受信した CAN フレームごとに、カウンタが 1 ずつデクリメントされます。フレキシブルデータレートフレームを使用する CAN でデバイスがパッシブに設定されている場合は、CAN FD フレームとして検出されたフレームは、フレームエラーカウンタに影響を与えません (インクリメントまたはデクリメントなし)。有効な従来の CAN フレームが受信され、かつカウンタが 0 でない場合、カウンタは 1 減少します。CRC 区切り文字とインターミッシュョンフィールド終了との間のドミナントビットは、フレームエラーカウンタを増加させません。

エラーカウンタをインクリメントまたはデクリメントするたびに、デコーダユニットはドミナントビットをフレームの開始 (SOF) と考観する前に、nBits_idle のリセッショブビットを待機します。クラシック CAN フレームを受信時のフレーム検出強制開始の位置と、エラーが発生するシナリオについて、図 8-27 を参照してください。

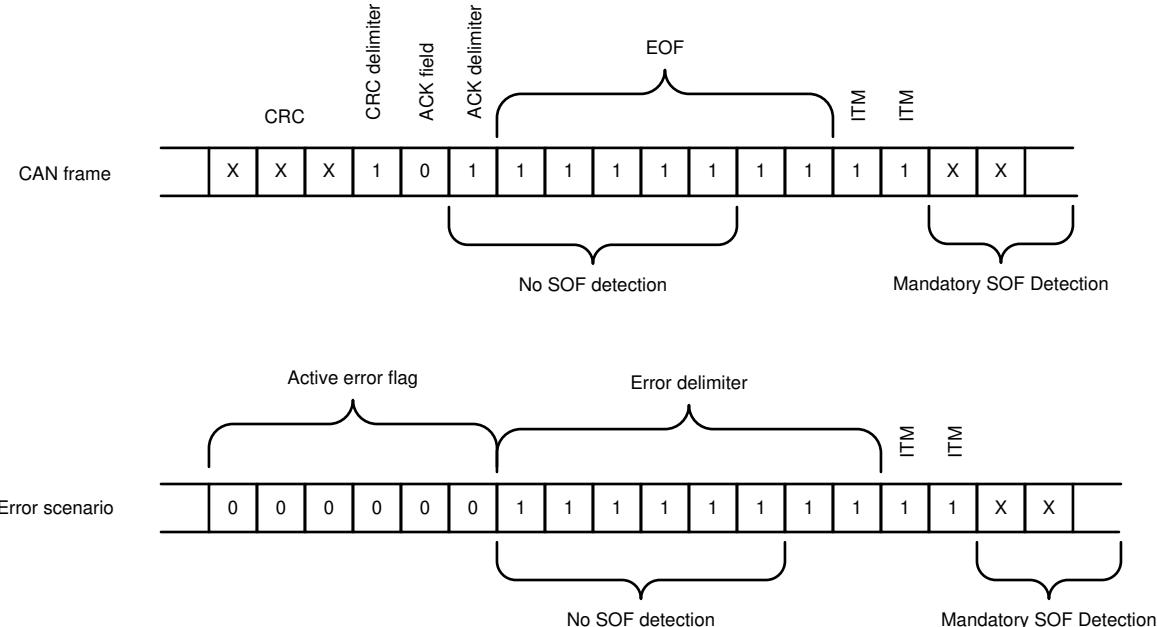


図 8-27. クラシック CAN フレームとエラーシナリオ後の強制 SOF 検出

フレームエラーカウンタスレッショルドのデフォルト値は 31 であるため、32 回目のエラーで、フレームオーバーフロー フラグ (FRAME_OVF) がセットされます。

最大 4 つ (ビットレート > 500kbps の場合は 8 つ) のクラシック CAN データおよびバイアス応答時間 t_{Bias} 経過後に開始されるリモートフレームは、無視、または障害のエラーカウンタの増加なし、またはエラーと判定される場合があります (エラーがない場合もエラーカウンタが増加)。

非公称予約済みビット (SRR, r0) を持つ CEFF で受信されたフレームは、エラーカウンタを増加させません。

フレーム エラー カウンタは、8'h46 のフレームエラーカウンタスレッショルド FRAME_CNT_THRESHOLD と比較されます。カウンタがスレッショルドをオーバーフローすると、フレームエラー オーバーフロー フラグ FRAME_OVF がセットされます。フレームエラーカウンタスレッショルドのデフォルト値は 31 であるため、32 回目のエラーで、オーバーフロー フラグがセットされます。ただしアプリケーションで別のフレームが必要な場合は、エラー カウントのオーバーフロー スレッショルドとして必要な値を FRAME_CNT_THRESHOLD レジスタに設定します。

このカウンタは、フレーム検出の無効化、CANSLNT フラグのセット、レジスタ 8'h51[2] = 1b の設定を行うと、以下の方法でリセットされます。

検出されたエラーの説明:

- **スタッフビットエラー:** 同じ状態 (レベル) の 6 番目の連続ビットを受信すると、スタッフビットエラーが検出されます。CAN のメッセージコーディングでは、データストリームの当該ビット位置にスタッフビットが挿入されているはずです。
- **CRC エラー:** CRC シーケンスは、送信ノードによって計算した CRC の結果で構成されます。このデバイスは送信ノードと同じ多項式で CRC を計算します。計算結果が CRC シーケンスで受信した結果と異なる場合、CRC エラーが検出されます。
- **CRC 区切り文字エラー:** CRC 区切り文字エラーは、ロジック high (リセッショブ) として定義された CRC 区切り文字ビット位置で誤った状態 (ロジック low またはドミナント) のビットが受信された場合に検出されます。

8.3.12.4.8 CAN FD フレーム耐性

FD フォーマットインジケータ (FDF) を受信してからドミナント **res** ビットを受信すると、デコーダユニットは、図 8-27 に従ってさらにドミナントビットを **SOF** であると考慮する前に、**nBits_idle** リセッショビットを待機します。表 8-9 は **nBits_idle** を定義します。

表 8-9. 次の SOF より前のリセッショビット数

パラメータ	表記	値	
		最小値	最大値
新しい SOF が許容される前のリセッショビット数	nBits_idle	6	10

アビトレーションおよびデータフェーズのビットレートの各種組み合わせをサポートするため、2 つのビットフィルタオプションが用意されています。レジスタ 8'h47[4] は **pBitfilter** オプションが選択されている場合です。

- ビットフィルタ 1:アビトレーションレートの 4 倍以下または **2Mbps** のいずれか低い方のデータフェーズビットレートがサポートされます
- ビットフィルタ 2:アビトレーションレートの 10 倍以下または **5Mbps** のいずれか低い方のデータフェーズビットレートがサポートされます

ドミナント信号 \leq 最小 **pBitfilter** (表 8-10 を参照) である、持続時間内のアビトレーションビット時間は有効と見なされず、リセッショビットカウンタは再起動しません。ドミナント信号 \geq アビトレーションビット期間の **pBitfilter** 最大値である場合、リセッショビットカウンタは再起動します。

表 8-10. 次の SOF より前のリセッショビット数

パラメータ	表記	値	
		最小値	最大値
CAN FD データフェーズビットフィルタ 1	pBitfilter1	5.00%	17.50%
CAN FD データフェーズビットフィルタ 2	pBitfilter2	2.50%	8.75%

8.3.12.4.9 8Mbps フィルタリング

- ビットフィルタ 3:アビトレーションレートの 16 倍以下または **8Mbps** のいずれか低い方のデータフェーズビットレートがサポートされるものとします
- pBitfilter 3**:最小 1.25% ~ 最大 4.375%

8.3.13 保護機能

TCAN241x-Q1 には、以下のとおり複数の保護機能が備わっています。

8.3.13.1 フェイルセーフ機能

TCAN241x-Q1 にはフェイルセーフ モードがあり、ノードシステムに問題が発生した場合にノードの消費電力低減のために使用できます。これは、スリープおよびフェイルセーフモードの 2 つの動作モードに分けることができます。

8.3.13.1.1 スリープ ウエーク エラーを使用するスリープモード

スリープ ウエーク エラー (SWE) タイマは、特定の機能が正常に動作しているか、あるいはデバイスとプロセッサ間の通信が存在しているかを判断するために使われるタイマです。SWE タイマは、デフォルトで無効になっています。SWE タイマは、**SWE_EN**、8'h1C[7]=1b をセットすると有効にすることができます。SWE タイマがどのモードで開始されるか、およびいつ開始されるかについては、図 8-28 を参照してください。

CAN バスが **WUP** を供給、またはローカル ウエーク イベントが発生してスタンバイ モードに移行する場合、デバイスはウェークアップします。スタンバイ モードに入ると、SWE タイマが開始します。いずれかの SPI コマンドでは、SWE タイマがリセットされます。SWE タイマが **t_{INACTIVE}** を過ぎて期限切れになると、デバイスは再びスリープ モードに入ります。

スタンバイ モードまたは通常モードで、CAN バス上の非アクティブ性により **CANSLNT** フラグが **t_{SILENCE}** の間設定されると、SWE タイマが開始されます。**CANSLNT_SWE_DIS = 0** の場合、SWE タイマをリセットするためには **CANSLNT**

フラグをクリアする必要があります。CANSLNT_SWE_DIS = 1 の場合、CAN バス上のいかなるアクティビティでも SWE タイマは自動的にリセットされます。

注

- スリープ モードで VCC1 がオンになるよう設定されている場合、SWE タイマがタイムアウトすると、デバイスはスリープ モードではなくスタート モードへ移行します。これにより、nRST ピンが Low にプルされてプロセッサがリセットされ、WKERR および SMS 割り込みフラグがセットされます。
- スリープ モードで有効にされている場合は、SWE タイマのタイムアウトは VCC2 に影響しません。

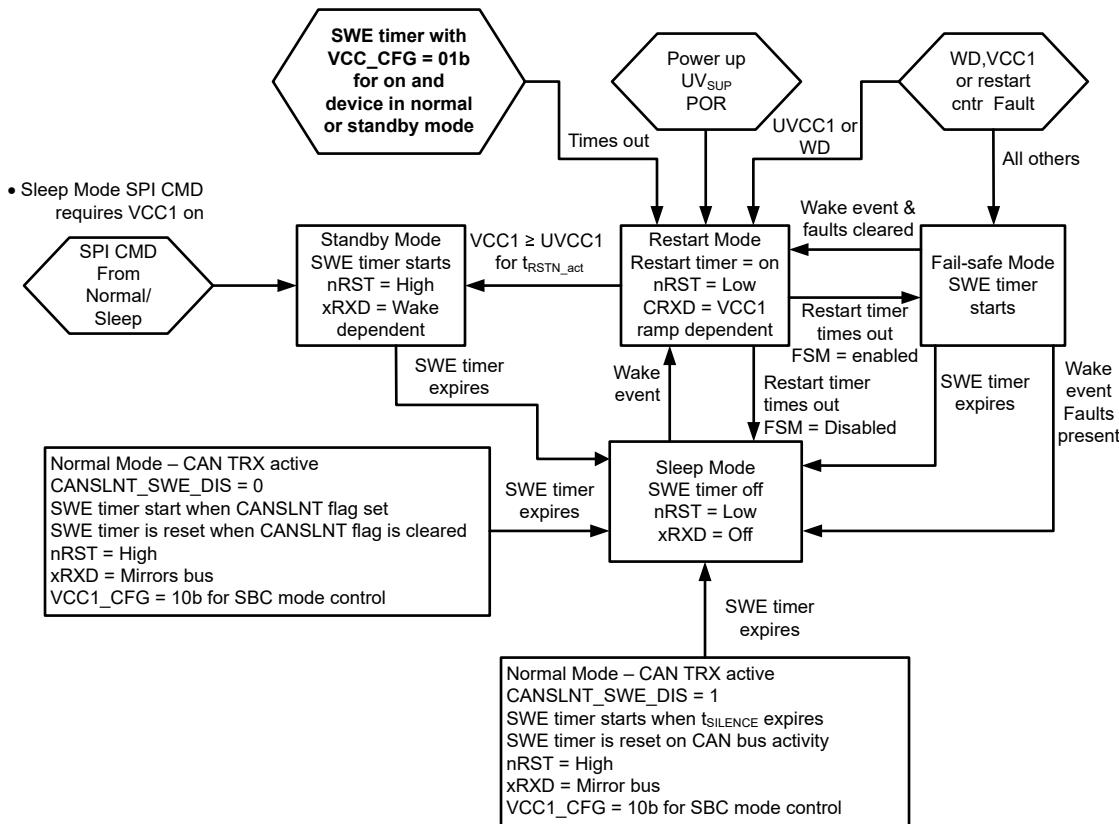
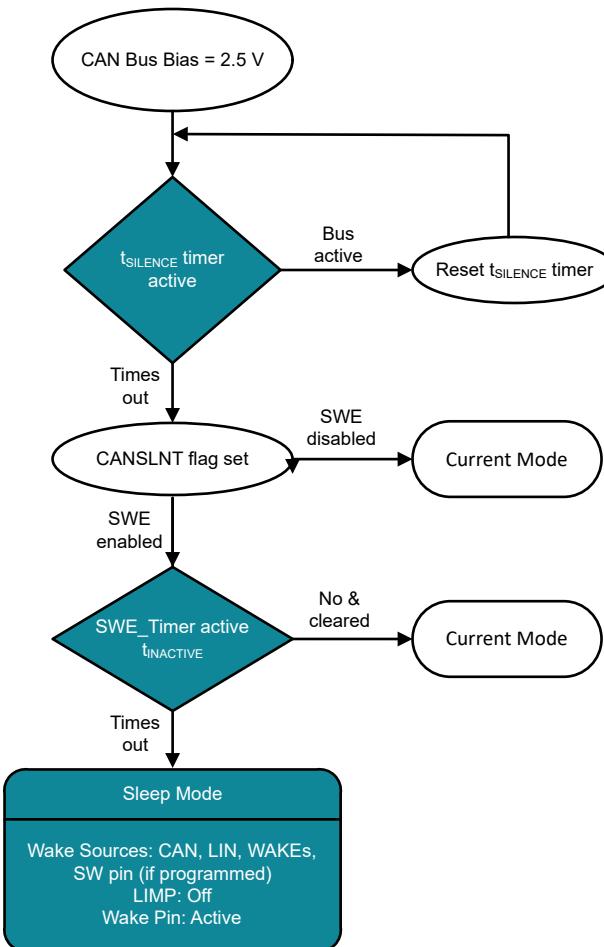


図 8-28. モード別 SWE タイマ



注

この図は、CAN FD トランシーバがオン、またはリスンのみである状態に基づいています。

図 8-29. 通常およびスタンバイからスリープモードへ

8.3.13.2 デバイス リセット

ファミリには、デバイスをリセットする 3 つの方法があります。SPI コマンドを使用して、ソフトリセットとハードリセットの 2 つが実行されます。ソフトリセットとハードリセットを行うには、DEVICE_RST レジスタ 8'h19[1] に 1b を書き込み、ソフトリセットの場合は 8'h19[0] を書き込みます。

ハードリセットは、t_NRSTIN の間 nRST を Low にすることでも実行できます (図 8-30 を参照)。

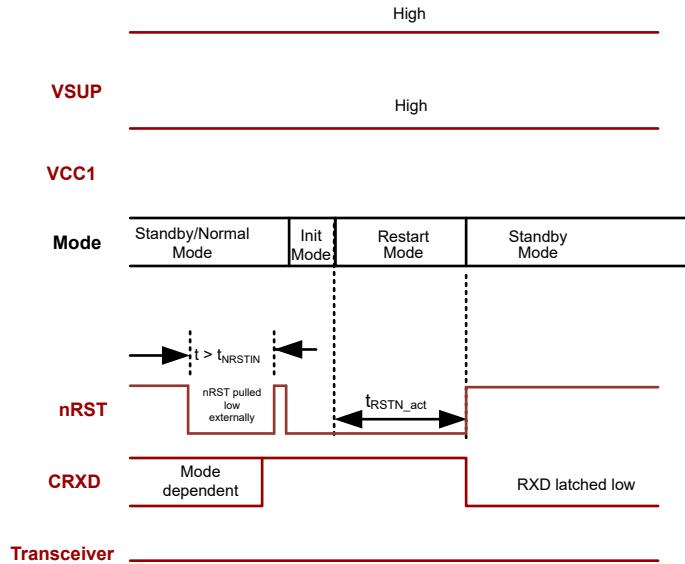


図 8-30. nRST ピンによるハード リセットの実行

ソフトリセットを実行すると、次の処理が実行されます:

- 保存された EEPROM レジスタがリロードされます
- 他のすべてのレジスタはデフォルト値にリセットされます
- VCC1 と VCC2 の状態は変更されません
- デバイスはスタンバイ モードに遷移します

ハードリセットを実行すると、次の処理が実行されます:

- デバイスは初期モードに遷移します
- 保存された EEPROM レジスタがリロードされます
- 他のすべてのレジスタはデフォルト値にリセットされます
- ほとんどの内部デバイス ロジックはデフォルトにリセットされます
- VCC1 と VCC2 の状態は変更されません
- その後、デバイスはリスタート モードに移行し、最終的にスタンバイ モードへ移行します。この状態でデバイスを再プログラムできます

nRST ピンを Low にプルして解放するとき、次の処理が行われます:

- デバイスは初期モードに遷移します
- 保存された EEPROM レジスタがリロードされます
- 他のすべてのレジスタはデフォルト値にリセットされます
- ほとんどの内部ロジックはデフォルトにリセットされます
- VCC1 と VCC2 の状態は変更されません
- その後、デバイスはリスタート モードに移行し、最終的にスタンバイ モードへ移行します。この状態でデバイスを再プログラムできます

注

EEPROM に保存されるレジスタに対する変更を EEPROM に保存することを推奨します。リセットすると、これらのレジスタは EEPROM からロードされます。これにより、保存されていない変更が、EEPROM から最後に保存されたレジスタ値で上書きされます。

8.3.13.3 端子のフローティング

重要な端子には内部プルアップおよびプルダウンがあり、端子が浮いた状態になった場合でも、デバイスを既知の状態に保持するようになっています。端子バイアスの条件の詳細については、表 8-11 を参照してください。

表 8-11. 端子バイアス

端子	プルアップまたはプルダウン	備考
SW	60kΩ プルダウンまたはプルアップ	SW ピンがアクティブ High の場合、ピンは入力を弱く GND 側にバイアスします SW ピンがアクティブ Low の場合、ピンは入力を弱く VCC1 または内部電圧レール側にバイアスします
SCK	60kΩ プルアップ またはプルダウン	入力を弱くバイアスするために選択された SPI モードに基づいて、プルアップまたはプルダウンに自動的に構成されます <ul style="list-style-type: none"> モード 0 または 1 はプルダウンに構成されます モード 2 または 3 はプルアップを構成します
SDI	60kΩ プルアップまたはプルダウン	SPI_CONFIG レジスタ 8'h09[2] の SDI_POL 構成に基づいて、入力を弱くバイアスするプルアップまたはプルダウンとして構成されます
nCS	60kΩ プルアップ	デバイスを選択しないように、入力を弱くバイアスします
nRST	30kΩ プルアップ	VCC1 にプルアップ
CTXD	60kΩ プルアップ	弱いバイアス入力

注

特にノイズの多い環境では、内部バイアスだけを終端として頼りにしないでください。内部バイアスをフェイルセーフ保護として考慮してください。オープンドレイン出力を持つマイコンと組み合わせてデバイスを使用する場合は、特に注意してください。

8.3.13.4 TXD ドミナントタイムアウト (DTO)

TCAN241x-Q1 は、CAN バス上のドミナント状態タイムアウトをサポートしています。これは、TXD パスに基づく内部機能です。TXD DTO 回路は、TXD がタイムアウト期間 t_{TXD_DTO} よりも長くドミナント (LOW) に保持されるハードウェアまたはソフトウェアの障害が発生した場合に、ローカルノードがネットワーク通信をブロックすることを防ぎます。TXD DTO 回路は、TXD の立ち下がりエッジでトリガれます。回路のタイムアウト定数 t_{TXD_DTO} の前に立ち上がりエッジが検出されない場合、バスドライバは無効化されます。これにより、ネットワーク上の他のノード間の通信のためにバスが解放されます。TXD 端子でリセッショブ信号 (HIGH) が検出されると、ドライバは再び有効化され、これによりドミナントタイムアウトが解除されます。TXD の DTO 故障が発生している間でも、レシーバはアクティブのままで、RXD 端子は CAN バス上の動作を反映しますが、バス端子はリセッショブ レベルにバイアスされます。この機能は、CAN 用のレジスタ 8'h10[6] (TXD.DTO.DIS) を使って無効化できます。

注

TXD DTO 回路で許容される最小ドミナント TXD タイムにより、デバイスの可能な最小送信データレートが制限されます。CAN プロトコルでは、最悪の場合、(TXD 上で) 最大 11 個の連続したドミナントビットを許容しています。この場合、5 個の連続したドミナントビットの直後にエラー フレームが発生します。

8.3.13.5 CAN バスの短絡電流制限

これらのデバイスには、CAN バスラインが短絡したときに短絡電流を制限する複数の保護機能が搭載されています。これらの機能には、CAN ドライバ電流制限 (ドミナントおよびリセッショブ) が含まれます。デバイスには TXD ドミナントのタイムアウトがあり、システム障害時にドミナント状態の短絡電流が永続的に大きくなるのを防ぎます。CAN 通信中、バスはドミナント状態とリセッショブ状態の間で切り替わります。したがって、短絡電流は、各バス状態における電流、または DC 平均電流と表示されます。終端抵抗と同相チョーク定格において、システム電流と電力を考慮する場合、平均短絡電流を使用します。パーセンテージドミナントは、TXD ドミナントのタイムアウトと CAN プロトコルによって制限されます。このプロトコルでは、ビットの詰め、制御フィールド、フレーム間空間など強制的に状態が変化し、リセッショブビットが使用されています。バスの最小リセッショブ時間を確立するメカニズムは、データフィールドにドミナントビットが高割合で含まれている場合でも、バス上で最小リセッショブ時間があることを検証します。

注

バスの短絡電流は、リセシシブビットとドミナントビットの比率と、それぞれの短絡電流に依存します。式 6 を用いて平均短絡電流を計算します。

$$I_{OS(AVG)} = \%Transmit \times [(\%REC_Bits \times IOS(SS)_REC) + (\%DOM_Bits \times IOS(SS)_DOM)] + [\%Receive \times IOS(SS)_REC] \quad (6)$$

ここで

- $I_{OS(AVG)}$ は平均短絡電流です。
- $\%Transmit$ は、ノードが CAN メッセージを送信している割合です。
- $\%Receive$ は、ノードが CAN メッセージを受信している割合です。
- $\%REC_Bits$ は、送信された CAN メッセージ内のリセシシブ ビットの割合です。
- $\%DOM_Bits$ は、送信された CAN メッセージ内のドミナント・ビットの割合です。
- $IOS(SS)_REC$ はリセシシブ定常状態の短絡電流で、 $IOS(SS)_DOM$ はドミナント定常状態の短絡電流です。

注

終端抵抗やその他のネットワーク部品、VSUP を生成する電源の許容電力を選定する際には、短絡電流およびネットワークで起こり得る故障のケースを考慮に入れます。

8.3.13.6 サーマル シャットダウン

TCAN241x-Q1 には、ダイの接合部温度を監視するための 2 つの温度センサが搭載されています。

1. TSD_SBC:VCC1 降圧レギュレータとハイサイド スイッチを対象
2. TSD_CAN:VCC2 の LDO と CAN トランシーバを対象

TSD_SBC サーマル センサの接合部温度が警告温度レベルに達したときにセットされるサーマル シャットダウン事前警告 (TSDW 割り込み) が用意されています。いずれかのセンサの接合部温度がサーマル シャットダウン温度に達したときに発生する割り込みが、他に 2 種類あります。デバイスの動作は、どのセンサが TSD イベントを検知するかによって異なります。これはデバイス保持機能です。

- INT_6 レジスタ 8'h5C[7] は TSDW 割り込みです
- INT_2 レジスタ 8'h52[0] は TSD_SBC 割り込みで、VCC1 の降圧レギュレータを対象としています
- INT_3 レジスタ 8'h53[1] は、VCC2 LDO を含む TSD_CAN 割り込みです

最大接合部温度 t_{TSD} を超えると割り込みフラグがセットされ、nINT が Low になって通知されます。TSD_SBC が TSD イベントを引き起こした場合 (VCC1 またはハイサイド スイッチが原因)、デバイスは VCC1 レギュレータをオフにし、フェイルセーフ モード (有効な場合) またはスリープ モードに移行します。サーマル シャットダウンの割り込みフラグ (TSD_SBC) がセットされますが、VCC1 がオフであるため、nINT ピンには通知されません。この TSD イベント中、nRST ピンはグランドまでプルされます。過熱故障状態が解消され、接合部温度が 1 秒間 TSDF 未満に冷却されると、デバイスはフェイルセーフモードからリスタートモードに遷移し、VCC1 (有効な場合) をオンにします。

また、TSD_SBC 故障により、HSS1-4_CNTL レジスタがリセットされることで、ハイサイド スイッチがオフになります。接合部温度が 1 秒間 TSDF を下回ると、ハイサイド スイッチを再度イネーブルにできます。

CAN トランシーバと VCC2 を監視している 2 番目のセンサで TSD が検出された場合、CAN トランシーバは無効化され、トランシーバはリスン モードに移行します。VCC2 LDO は無効化され、割り込みフラグがセットされます。SBC 状態は変更されません。過熱故障状態が解消され、接合部温度が TSDF 温度未満になるまで冷却されると、CAN トランシーバは再び有効化されます。さらに 1 秒の待機時間の後、VCC2 LDO はオンになります。ここでは LDO が無効になっているため、UVCC2 はセットされないことに注意してください。レジスタ 8'h4F[2] の VCC2_STATUS を読み取り、VCC2 が再び有効になったか判断します。システムで VCC2 を VCAN の電源として使用する場合、VCC2 オフの状態により UVCAN 状態が発生します。CAN トランシーバはウェーク対応に変更され、VCC2 に再び電源が完全に供給されるま

で、再び有効にできません。VCC2_STATUS は VCAN のステータスも示します。VCC2_STATUS = 1b のとき、CAN トランシーバが再び有効にされ、UVCAN 割り込みフラグをクリアできます。

8.3.13.7 低電圧と過電圧のロックアウトおよび電源オフのデバイス

TCAN241x-Q1 は、入力 (VSUP, VHSS, VCAN) と出力 (VCC1, VCC2) の両方を監視します。入力電源レールについては、VSUP と VHSS が低電圧で監視され、さらに VHSS は過電圧も監視できます。出力電源レールでは、低電圧、過電圧、短絡障害がすべて監視されます。これらの各故障イベントには、デバイスを SBC モードに変化させる VSUP および VCC1 故障による対応する割り込みがあります。デバイス モードと VSUP, VCC1, VCC2 故障の関係については、表 8-12 を参照してください。

表 8-12. VSUP、VCC1、VCC2 故障がデバイス モードに及ぼす影響

VSUP	VCC1	VCC2	デバイス モード
> UVSUP	> UVCC1	> UVCC2	通常またはスタンバイ
> UVSUP	UVCC1 _{PR} 未満	> UVCC2	以前
> UVSUP	< UVCC1	該当なし	最初からやり直します
> UVSUP	該当なし	< UVCC2	以前
< UVSUP	該当なし	該当なし	UVSUP
> UVSUP	> OVCC1	該当なし	フェイルセーフまたはスリープ
> UVSUP	該当なし	> OVCC2	以前
> UVSUP	< VCC1SC	該当なし	フェイルセーフまたはスリープ
> UVSUP	> UVCC1	< VCC2SC	以前

注

OVHSS はハイサイド スイッチにのみ影響するため、表には示されていません。

- VCC1 の永続的な故障が発生して、フェイルセーフモードが無効化されている場合、ウェークイベントと VCC1 SBC 故障によるリスタートモードとスリープモードの間のループ発生する可能性があります。
 - スリープ モードで VCC1 をオンに設定する場合はフェイルセーフ モードを有効にするか、あるいは VCC1 の故障によってスリープ モードで LIMP がオンになるよう設定することが推奨されています。
 - 恒常的な故障がある状態でフェイルセーフ モードが有効になっている場合にループ状態になるのを避けるため、FSM_CONFIG レジスタ 8'h17[7:4] を 0100b (FSM_CNTR_ACT) に設定することが推奨されています。これにより、デバイスはレギュレータをオフにしたスリープ モードに移行し、電源サイクルのリセットが行われるまでその状態を維持します。

TCAN241x-Q1 は VCC1, VCC2 の過電圧状態を監視します。過電圧は、OVCC1 と OVCC2 で表されます。TCAN241x-Q1 は、VCC1 および VCC2 のグランドへの短絡状態を監視します。グランド短絡は、VCC1_{33SC}、VCC1_{5SC}、VCC2_{SC} で表されます。

TCAN241x-Q1 は、ハイサイド スイッチの電源電圧 V_{HSS} を監視し、過電圧イベントを検出します。これは、レジスタ 8'h4F[7] (HSS_OV_DIS) に 1b を書き込むことで無効化できます。低電圧は HVSS 電源で監視され、これを UVHSS と呼びます。これは、レジスタ 8'h4F[6] (HSS_UV_DIS) に 1b を書き込むことで無効化できます。HSS スイッチは、8'h4F[5] (HSS_OV_UV_REC) に 1b を書き込んで無効化しない限り、OVHSS または UVHSS から自動的に復帰します。

8.3.13.7.1 低電圧

このデバイスは、VSUP, VHSS, VCAN, VCC1, VCC2 の低電圧イベントを監視します。低電圧イベントは、UVSUP_x、UVHSS、UVCAN、UVCC2 で表されます。VCC1 には、事前警告、UVCC1_{xPR}、および故障 UVCC1_x があります。x は、3.3V の VCC1 の場合は 33、5V の VCC1 の場合は 5 になります。VCC1 は 3.3V または 5V であるため、それぞれ異なるスレッショルドがあります。VCC1 は 3.3V または 5V なので、UVSUP のスレッショルドは異なり、UVSUP_{33R/F}、

UVSUP_{5R/F}になります。VSUPB 電源は明示的には監視されません。というのも、VSUP と VSUPB は基板上で接続されている必要があるためです。VSUPB が VSUP から切り離された場合、VCC1 は低電圧イベントを起こし、最終的にデバイスはフェールセーフモード(有効な場合)か、フェイルセーフ モードが無効ならスリープ モードに入ります。

このデバイスは、VCC1 と VCC2 に対して過電圧保護と短絡 (GND への短絡) 保護も提供します。OVCC1 または VCC1_{33/5SC} が検出されると、デバイスは設定に応じてフェイルセーフ モードまたはスリープ モードに移行します。トランシーバはデバイス モードとは独立して設定されるため、ここではトランシーバの動作については扱いません。[表 8-13](#) は、故障状況で、VCC1 と VCC2 に基づいてデバイス モードを提供します。

表 8-13. VSUP、VCC1、VCC2 故障

VSUP	VCC1	VCC2	デバイス モード
> UVSUP	> UVCC1	> UVCC2	通常またはスタンバイ
> UVSUP	UVCC1 _{PR} 未満	> UVCC2	以前
> UVSUP	< UVCC1	該当なし	最初からやり直します
> UVSUP	該当なし	< UVCC2	以前
> UVSUP	該当なし	該当なし	以前
< UVSUP	該当なし	該当なし	UVSUP
> UVSUP	> OVCC1	該当なし	フェイルセーフまたはスリープ (OVCC1_ACTION=0b) 以前 (OVCC1_ACTION = 1b)
> UVSUP	該当なし	> OVCC2	以前
> UVSUP	< VCC1SC	該当なし	フェイルセーフまたはスリープ
> UVSUP	該当なし	< VCC2SC	以前

注

VSUP、VCC1、VCC2 故障に OVHSS が示されていないのは、OVHSS がハイサイド スイッチにのみ影響するためです。

8.3.13.7.1.1 VSUP および VHSS 低電圧

VSUP は、デバイスが正常に機能するために必要な 1 次入力電源レールです。パワーオンリセット、2 つの低電圧レベルの、合計 3 つの電圧レベルがデバイスで監視されます。すべての機能と出力電圧レールがレギュレーションされる場合、VSUP レールは UVSUP_{5R} を超える必要があります。VSUP が低電圧である場合、デバイスは内部レギュレータをレギュレーション状態に維持するために必要な電源を失います。VSUP がランプダウンを続けて VSUP_{(PU)F} 未満に低下すると、デバイスは電源オフ状態に移行します。VSUP が復帰すると、デバイスは初期の電源投入と同じ状態で起動します。すべてのレジスタはクリアされ、保存済みの EEPROM 値からデバイスを再構成する必要があります。詳しくは、電源ブランディングの図 [図 10-3](#)、[図 10-4](#)、[図 10-6](#) および [図 10-6](#) を参照してください。

VCC1 が 5V 出力に設定されている場合、監視される VSUP の低電圧レールは UVSUP_{5R/F} のみです。VSUP が UVSUP_{5F} を下回ると、CAN トランシーバがオフになります。デバイスは保護された UVSUP 状態に移行します。VCC2 LDO はパススルー モードで、UVCC2 イベントをトリガできます。VCC1 レギュレータは最大デューティ サイクルのスイッチング動作となり、選択した UVCC1 スレッショルドによっては UVCC1 イベントを発生させることができます。VSUP、VCC1₅、VCAN、デバイスマード、および CAN トランシーバーの関係については [表 8-14](#) を参照してください。

VCC1 が 3.3V 出力に設定されている場合、UVSUP_{33R/F} と UVSUP_{5R/F} の両方が監視されます。電源投入時には、VCC1 がレギュレーション状態になるために VSUP が UVSUP_{33R} を超え、VCC2 とデバイスの他の機能が適切に動作するために UVSUP_{5R} を超える必要があります。VSUP がランプダウンしているとき、UVSUP_{5F} は、UVSUP₅ 割り込みフラグのレジスタ 8'h52[4] をセットする最初の UVSUP レベルで、CAN トランシーバをオフにします。VSUP がドロップし続ける場合、次のレベルは UVSUP_{33F} です。UVSUP₃₃ 割り込みフラグがセットされ (レジスタ 8'h52[3])、デバイスは UVSUP モードに入ります。VSUP、VCC1₃₃、VCAN、デバイスマード、および CAN トランシーバーの関係については [表 8-15](#) を参照してください。

ハイサイドスイッチ電源 VHSS の低電圧は、割り込み INT_4 レジスタ 8'5A[0] UVHSS で通知されます。UVHSS イベントによるハイサイドスイッチの動作は、HSS_CNTL3 レジスタ 8'h4F[6:5] によって決まります。

表 8-14. VCC1₅ の低電圧イベント、デバイス状態およびトランシーバ状態

VSUP	VCC1	VCAN	デバイスの状態	CAN トランシーバ
> UVSUP ₅	> UVCC1 ₅	> UVCAN	通常またはスタンバイ	プログラムによる
> UVSUP ₅	< UVCC1 ₅	該当なし	最初からやり直します	ウェーク対応またはオフ
> UVSUP ₅	> UVCC1 ₅	> UVCAN	前の状態	プログラムによる
< UVSUP ₅	> N/A	該当なし	UVSUP	オフ
> UVSUP ₅	< UVCC1 ₅	< UVCAN	最初からやり直します	リッスン モード

表 8-15. VCC1₃₃ の低電圧イベント、デバイス状態およびトランシーバ状態

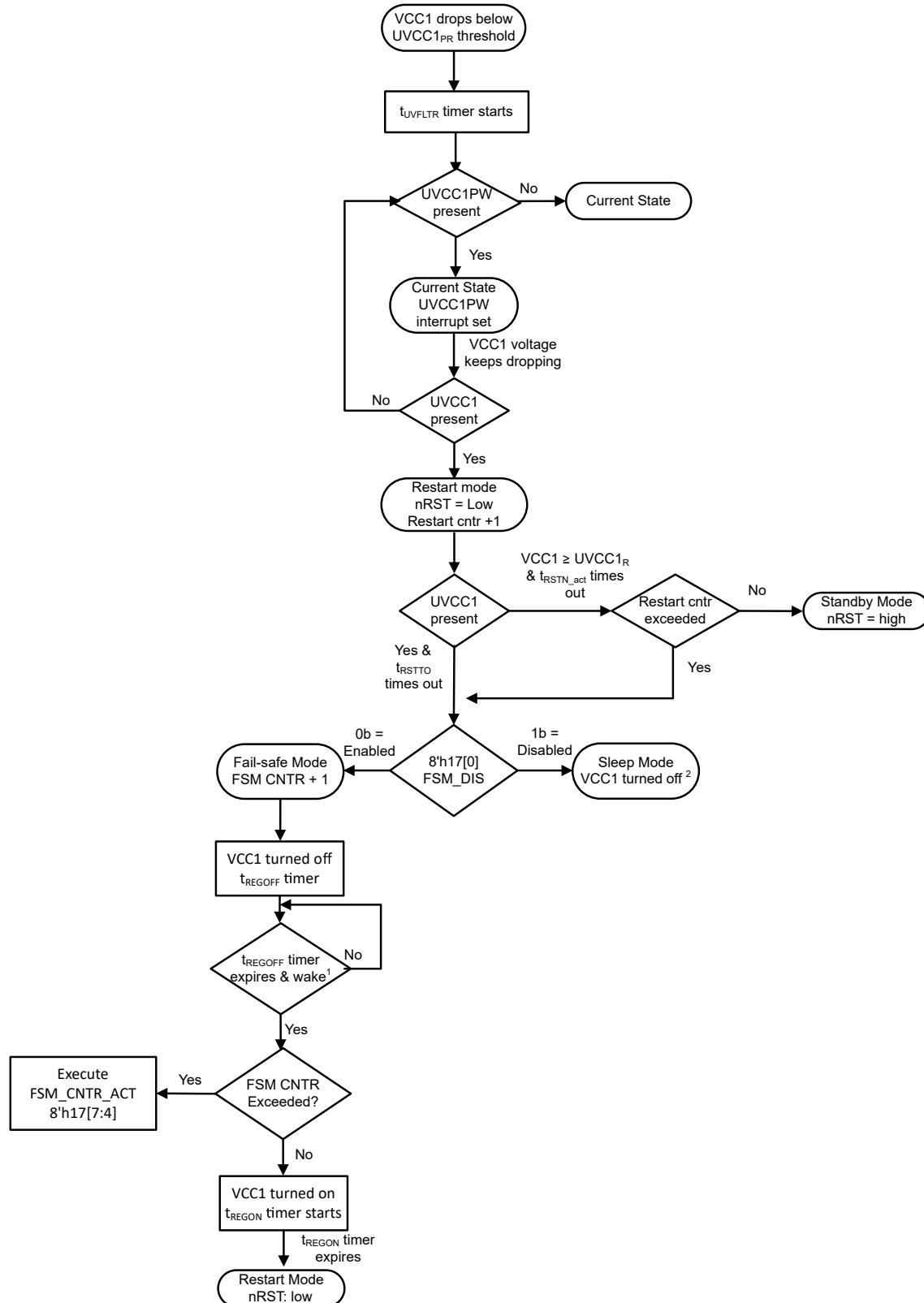
VSUP	VCC1	VCAN	デバイスの状態	CAN トランシーバ
> UVSUP ₅	> UVCC1 ₃₃	> UVCAN	通常またはスタンバイ	プログラムによる
> UVSUP ₅	< UVCC1 ₃₃	該当なし	最初からやり直します	ウェーク対応またはオフ
> UVSUP ₅	> UVCC1 ₃₃	> UVCAN	前の状態	プログラムによる
< UVSUP ₅ > UVSUP ₃₃	> UVCC1 ₃₃	該当なし	通常またはスタンバイ	オフ
< UVSUP ₅ > UVSUP ₃₃	< UVCC1 ₃₃	該当なし	最初からやり直します	オフ
< UVSUP ₃₃	該当なし	該当なし	UVSUP	オフ
> UVSUP ₅	> UVCC1 ₃₃	< UVCAN	通常またはスタンバイ	ウェーク対応またはオフ

注

- レギュレータが UV の間にサーマルシャットダウンまたは短絡イベントが発生すると、デバイスはスリープモード (フェイルセーフモード無効化) または有効であればフェイルセーフモードに遷移します。
- UVCC1 が再スタートタイマ内に解消されない場合、(有効になっていれば) デバイスはフェイルセーフモードに入ります。フェイルセーフモードが無効の場合、デバイスはスリープモードに移行し、VCC1 をオフにします。VCC1 がスリープモードで有効にされると、UVCC1 イベントは同じ方法で進行します。
- OV/UVHSS はハイサイドスイッチにのみ影響するため、表には示されていません。

8.3.13.7.1.2 VCC1 低電圧

VCC1 の電源レールはデジタル入力/出力ピンに電力を供給し、ノード プロセッサに接続されていることが想定されています。VCC1 は低電圧のために監視され、事前警告 (UVCC1_{xPR}) および低電圧 (UVCC1_{XXR/FX}) という 2 つのレベルが監視されます。低電圧には、レジスタ 8'h0E[4:3]、UVCC1_SEL を使用してプログラムできる 4 つのレベルのいずれかがあります。外部電源を供給する電源レールのうち、VCC1 は SBC 故障と見なされる唯一のもので、これにより状態が変化します。低電圧事前警告イベントが発生すると割り込みの INT_6 レジスタ 8'h5C[6] がセットされ、nINT ピンは Low にプルされます。プログラムされたスレッショルド (SBC_CONFIG1 レジスタ 8'h0E[4:3]) のいずれかに VCC1 が達すると、デバイスはリスタートモードに遷移し、VCC1 が低電圧立ち上がりスレッショルドを超えるまで nRST を Low にラッピします。nRST は Low にラッピされたままになり、UV スレッショルドがクリアされてから t_{RSTN_act} の間、デバイスはリスタートモードを維持します。UVCC1 には、デバイスがリスタートモードに移行する時間より低電圧イベントが長く続く、フィルタ時間 t_{UVFLTR} があります。UVCC1 の動作については、図 8-31 を参照してください。



If the exit events do not take place before the SWE timer
timeouts the device will enter sleep mode

注

1. $VCC1_CFG = 01b$ ($VCC1$ 常時オン) の場合、フェイルセーフ モードを抜けるためにウェーク イベントは必要ありません。 t_{REGOFF} タイマが経過すると、デバイスはフェイルセーフモードを終了します。
2. $FSM_DIS=1b$ によりリスタート カウンタを超えた状態でスリープ モードに入った場合でも、 $VCC1_CFG=01b$ であれば $VCC1$ はオンのままになります

図 8-31. UVCC1 の状態図

8.3.13.7.1.3 VCC2 低電圧

UVCC2 が発生すると、割り込みフラグ (INT_6 レジスタの 8'h5C[2]) がセットされますが、モード変更は行われません。低電圧動作については、図 8-32 を参照してください。

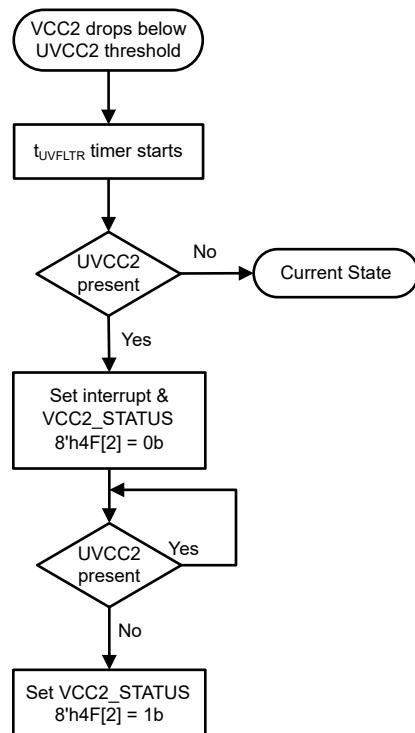


図 8-32. UVCC2 の状態図

8.3.13.7.1.4 VCAN 低電圧

VCAN が UVCAN の低電圧検出レベルを下回ると、CAN ドライバはオフになり、VCAN が復帰するまでバスから切り離されます。デバイスの動作方法については、図 8-33 を参照してください。デバイスに電源が供給されていないとき、CAN バスへの「パッシブ」または「無負荷」となるように設計されています。デバイスに電源が入っていない時、バス端子 (CANH, CANL) のリーク電流は低いため、端子がバスに負荷を与えません。ネットワーク内の一部のノードが無電源でも、他のノードが稼働し続ける場合には、これは非常に重要です。また、デバイスの電源がオフのときでも、ロジック端子のリーク電流は低いため、電源が入ったままの他の回路に負荷を与えることはありません。

UVLO 回路は、電源レールの立ち上がり時と立ち下がり時の両方を監視します。

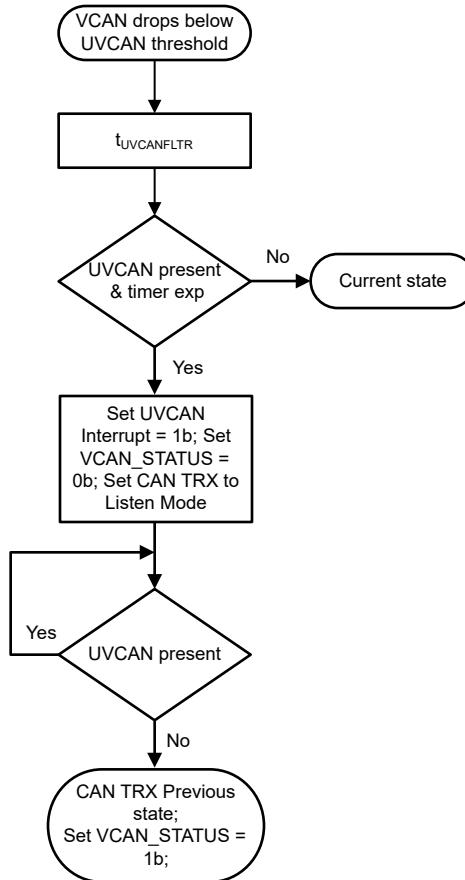


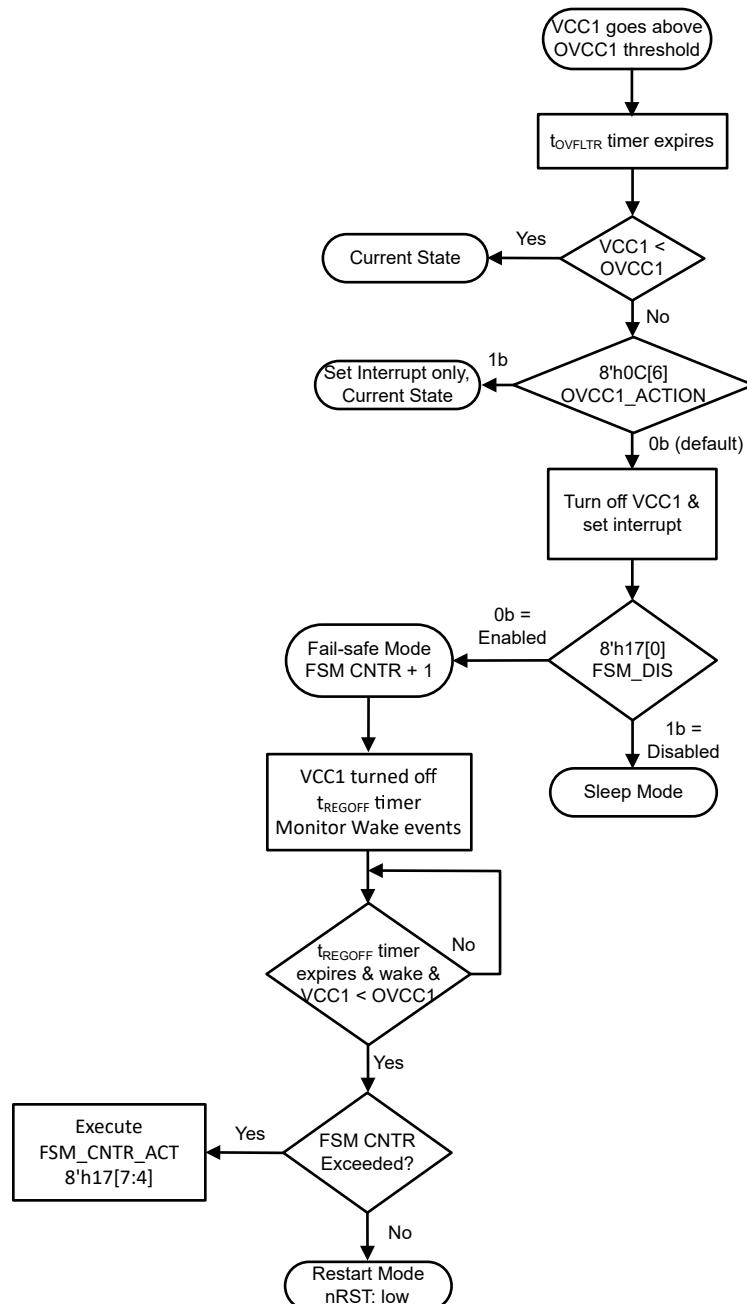
図 8-33. UVCAN 状態図

注

- UVCAN コンパレータは、SBC の通常モードとスタンバイ モードでのみ有効になります。
- EEPROM に書き込む前に、VCAN が有効である必要があります。そのため、EEPROM への書き込みを行う前に、レジスタ 8'h4F[1] の VCAN_STATUS = 1b を確認します。

8.3.13.7.2 VCC1 と VCC2 の過電圧

TCAN241x-Q1 は VCC1、VCC2 の過電圧状態を監視します。過電圧は、OVCC1 と OVCC2 で表されます。OVCC1_ACTION (8'h0C[6]) が 0b (デフォルト) の場合に OVCC1 が発生すると、VCC1 はオフになり、フェイルセーフ モードが有効ならそのモードに、無効ならスリープ モードに入ります。OVCC1_ACTION を 1b に設定すると、デバイスはフェイルセーフ モードやスリープ モードには入らず、OVCC1 割り込みだけを設定するように構成できます。OVCC2 が発生すると、LDO はオフになり、割り込みフラグがセットされますが、モードの変更は行われません。フェイルセーフ モードに移行すると、デバイスはすべてのレギュレータをオフにし、t_{REGOFF} タイマを開始します。このタイマがタイムアウトになると、OVCC1 が過電圧であるかどうかチェックされます。OV イベントがクリアされて、ウェークイベントが発生すると、デバイスは再起動モードに移行します。OVCC1 がまだ存在する場合、デバイスはフェイルセーフ モードに移行します。ウェークイベントは監視されますが、t_{REGOFF} タイムアウトまで動作しません。ウェークイベントが発生しておらず、OV イベントがクリア済みの場合、SWE タイマがタイムアウトするかウェークイベントが発生するまで、デバイスはフェイルセーフ モードのままでです。過電圧イベント中のデバイス動作については、図 8-34 および 図 8-35 を参照します。



If the exit events do not take place before the SWE timer timeouts the device will enter sleep mode

注

VCC1_CFG = 01b (VCC1 常時オン) の場合、フェイルセーフ モードを抜けるためにウェーク イベントは必要ありません。t_REGOFF タイマが経過すると、デバイスはフェイルセーフモードを終了します。

図 8-34. OVCC1 の状態図

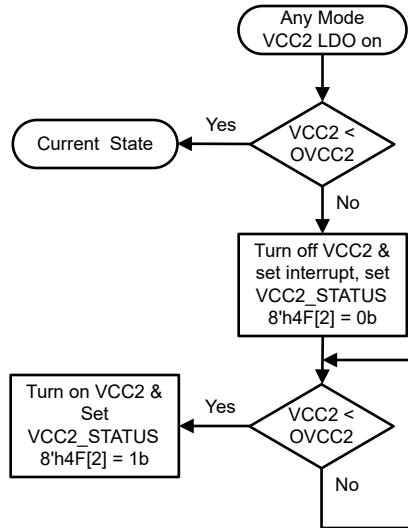


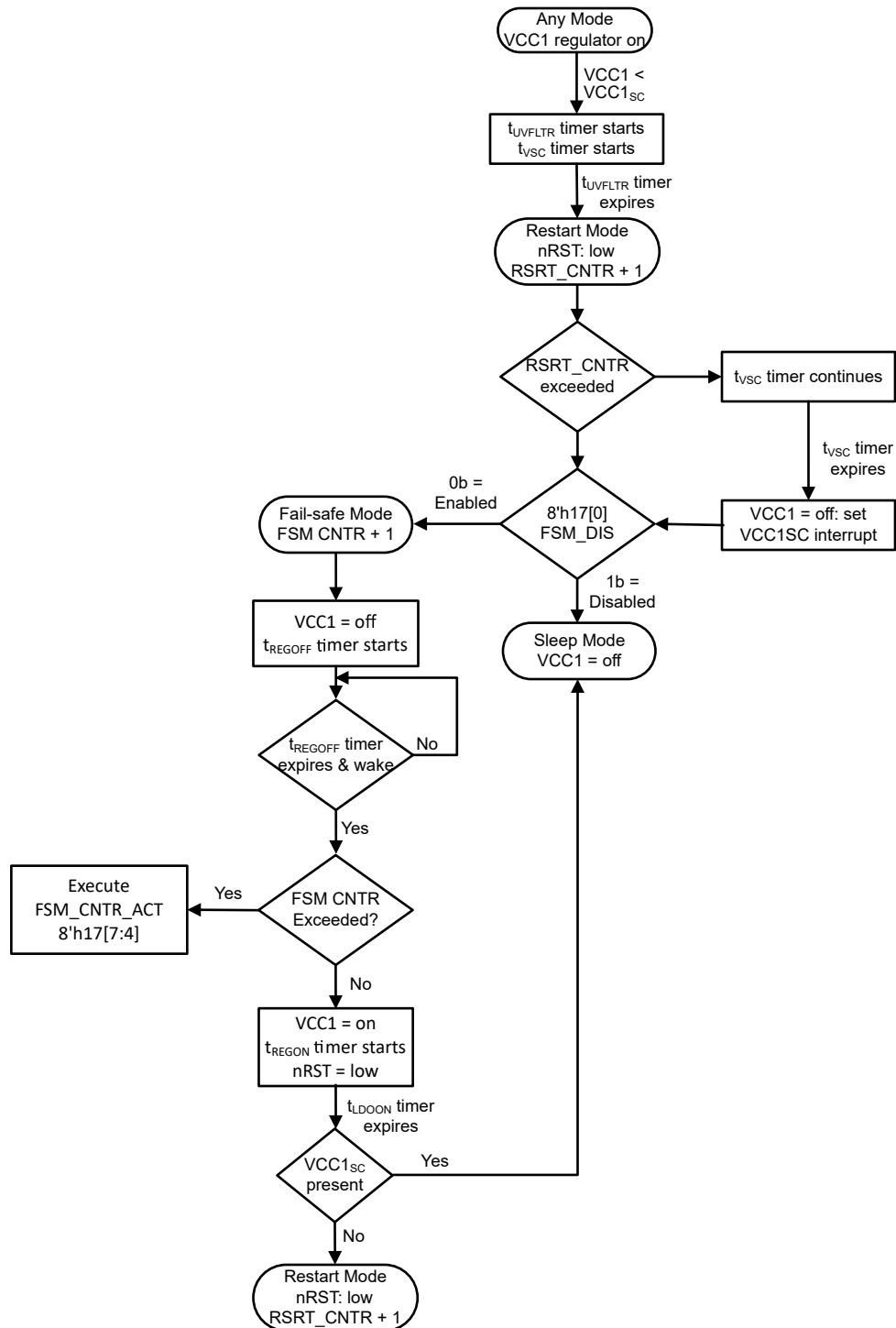
図 8-35. OVCC2 の状態図

8.3.13.7.3 VCC1, VCC2 の短絡

TCAN241x-Q1 は、VCC1、VCC2 (CAN LDO) のグランドへの短絡状態を監視します。グランド短絡は、 $VCC1_{33SC}$ 、 $VCC1_{5SC}$ 、 $VCC2_{SC}$ で表されます。グランドへの短絡が起きると、内蔵レギュレータはオフになります。VCC1 電源では、VCC1 電圧が $t_{VSC-VCC1}$ より長い時間、設定された UVCC1 スレッショルドを下回ると、短絡が検出されます。VCC2 電源では、VCC2 電圧が $t_{VSC-VCC2}$ より長い時間にわたって設定された UVCC2 スレッショルドを下回ると、短絡が検出されます。

。

$VCC1_{SC}$ が発生すると、VCC1 は t_{REGOFF} 以上の間オフになり、デバイスはフェイル セーフモード (イネーブルの場合) またはスリープ モードに移行します。この期間中、ウェーク イベントが監視および保持されます。LDO がオフの間は、短絡イベントを監視できません。ウェーク イベントにより、SC イベントが引き続き存在するかどうかを確認するために VCC1 が t_{REGON} の間オンになります。それでも存在する場合、このデバイスはスリープモードに遷移します。存在しない場合、デバイスは再起動モードに移行します。フェイルセーフ モードでは、SWE タイマが起動し、故障がクリアされず、タイマがタイムアウトする前にウェークアップ イベントが発生しなかった場合、デバイスはスリープ モードに移行します。フェイルセーフ モードが無効な場合、本デバイスはスリープ モードに遷移します。グランドへの短絡イベント時のデバイスの動作については、図 8-36 および 図 8-37 を参照してください。



注

VCC1_CFG = 01b (VCC1 常時オン) の場合、フェイルセーフ モードを抜けるためにウェーク イベントは必要ありません。t_REGOFF タイマが経過すると、デバイスはフェイルセーフモードを終了します。

図 8-36. VCC1SC の状態図

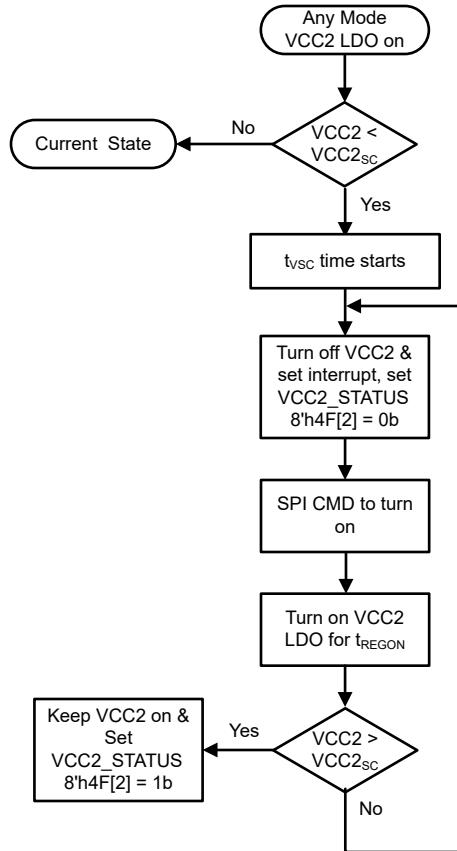


図 8-37. VCC2SC の状態図

8.3.13.8 ウオッヂドッグ

TCAN241x-Q1 にはウォッヂドッグ機能が統合されています。このデバイスは、WD_CONFIG_1 レジスタ 8'h13[7:6]、WD_CONFIG でプログラミングした SPI を使用した、デフォルトのウインドウベースの、タイムアウト、質問と答え (Q&A) ウォッヂドッグを備えています。ウォッヂドッグの構成とタイプは、デバイスがスタンバイモードのときにのみプログラムできます。通常モードは 3 つのウォッヂドッグ構成すべてをサポートしますが、スタンバイモードのデフォルトはタイムアウトです。デバイスがスタンバイモードに移行すると、ウォッヂドッグ構成は自動的にタイムアウトウォッヂドッグに変更されます。スタンバイモードのウォッヂドッグは、レジスタ 8'h13[2]=1b をプログラムして、通常モードと同じタイプに構成できます。ウォッヂドッグは、スリープモードではデフォルトでオフですが、レジスタ 8'h13[3]=1b で WD_SLP_EN をプログラムして、タイムアウトウォッヂドッグとしてアクティブになるように構成することもできます。図 8-40 のフローチャートは、スリープモードでウォッヂドッグが有効化または無効化されるときのデバイスの動作を示しています。

リスタートモードからスタンバイモードに移行する際、nRST は Low から High に遷移します。この遷移により t_{INITWD} タイマが開始します。リスタートモードには t_{RSTN_act} タイマが含まれます。この最初の長いウインドウがタイムアウトする前に WD トリガ入力を行う必要があります。初期の長いウインドウはデフォルトで 600ms ですが、レジスタ 8'h13[1:0] の WD_LW_SEL によって他の値に設定できます。タイミング図については、図 8-38 を参照してください。長いウインドウウォッヂドッグを処理すると、スタンバイモードに構成されたウォッヂドッグが直ちに開始します。

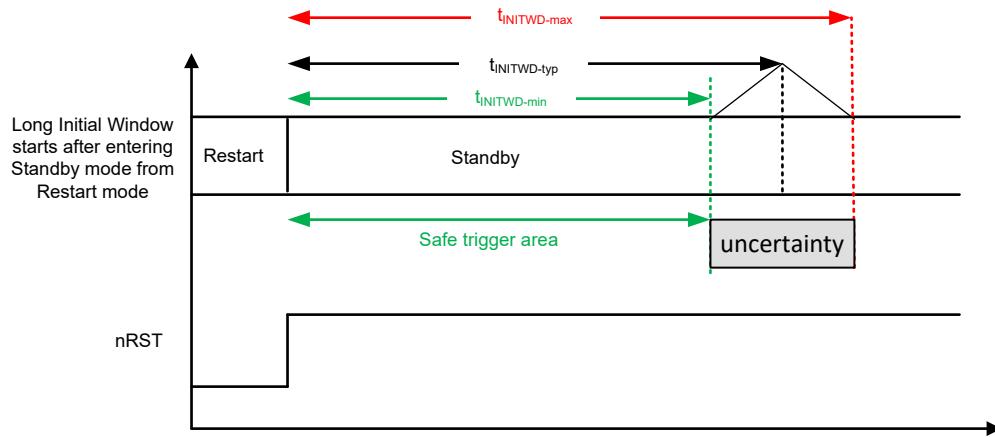


図 8-38. 長いウィンドウのウォッチドッグのタイミング図

通常モードに移行すると、プログラムされた構成に基づいて、プログラムされたウォッチドッグタイマが開始します。ウォッチドッグタイマは、スリープ、リスタート、フェイルセーフの各モードではオフです。LIMP ピンにはリープホーム機能が搭載されています。スリープモードでは、LIMP ピンはオフです。エラーカウンタがウォッチドッグのトリガイベントレベルを上回ると、LIMP ピンセクションに記載されているように、LIMP ピンはグランドにプルされます。ウォッチドッグには、タイムアウトまたは Q&A ウォッチドッグの選択機能を含む、広範な構成が用意されています。スタンバイモードではデフォルトでウォッチドッグがバイナブルですが、レジスタ 8'h14[0]= 1b を設定すると無効化できます。レジスタ 8'h13[7:6] を 00b に設定すると、WD エラーカウンタが利用可能です。このカウンタの説明については、[セクション 8.3.13.8.1](#) を参照してください。

図 8-39 は、スタンバイモード時のウォッチドッグのフロー チャートを示しています。

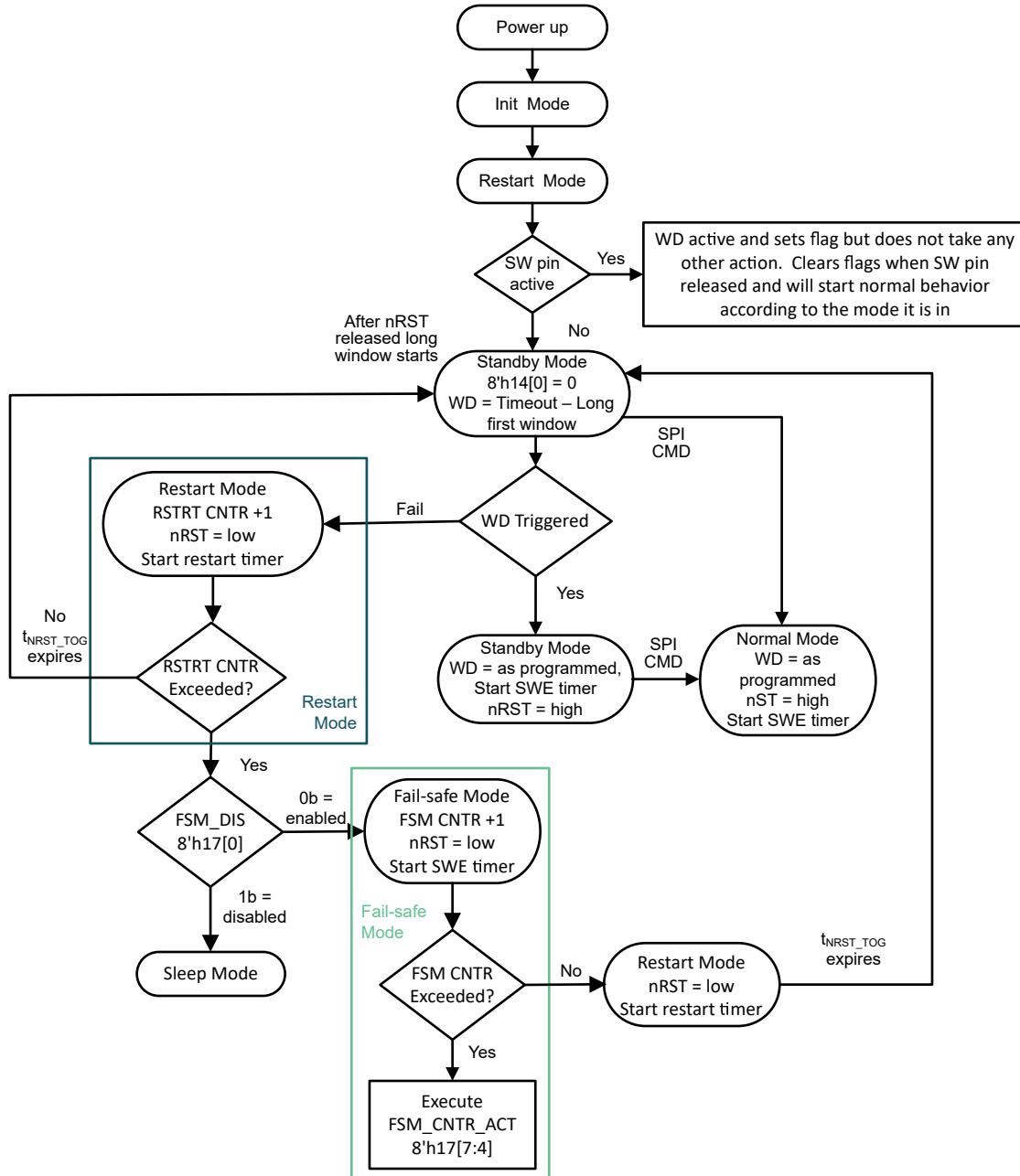


図 8-39. スタンバイモードのウォッチドッグ

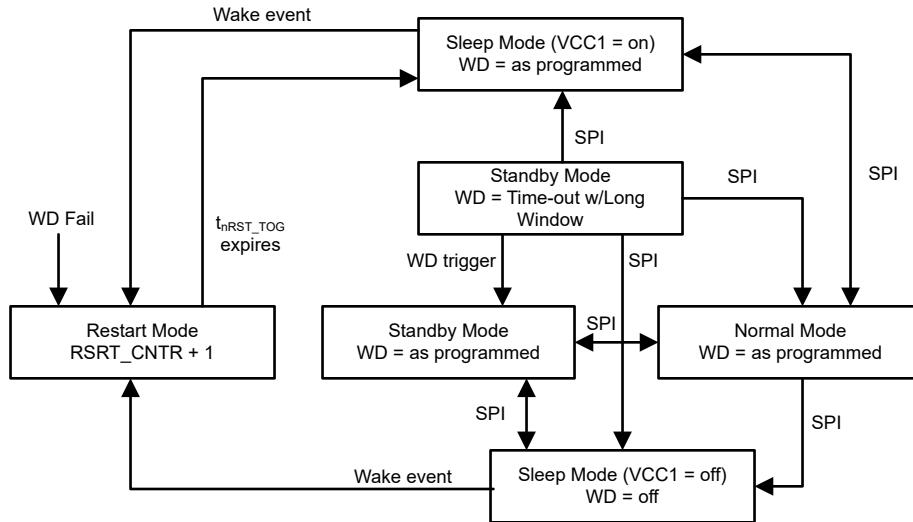


図 8-40. スリープモードのウォッチドッグ

注

- SBC モードが変更されても、ウォッチドッグの種類が両方の SBC モードで同じである限り、ウォッチドッグ タイマは再スタートしません。ウォッチドッグの種類が SBC モード間で異なるように設定されている場合、SBC モードの変更時にウォッチドッグ タイマは再スタートします。そのような場合、安全なトリガ ウィンドウを逃してウォッチドッグ エラーを起こさないように、Normal モードへ移行する直前に、現在の SBC モードでウォッチドッグをトリガすることが推奨されています。
- WD のタイム値を長い値から短い値へ変更する際、短い値を書き込む前に WD をトリガしておくことが推奨されます。そうすることで WD エラーを避けられます。

8.3.13.8.1 ウォッチドッグエラーカウンタとアクション

TCAN241x-Q1 にはウォッチドッグ エラー カウンタがあります。このカウンタは、見逃したウィンドウや入力ウォッチドッグのトリガ イベントごとにインクリメントするアップダウン カウンタです。正しい入力トリガごとに、カウンタはデクリメントしますが、ゼロを下回ることはできません。このカウンタのデフォルト設定では、トリガの検出ミス (制限値は 0 に設定) ごとにウォッチドッグエラーをトリガします。8'h16[7:4] で設定することで、不正な入力トリガに対して最大 15 までの上限を設定できます。レジスタ 8'14[4:1] は、ウォッチドッグエラーの実行カウントを提供します。

プログラムされた WD エラー カウンタの制限を超えると、デバイスは再起動モードに移行し、nRST が t_{NRST_TOG} の間が Low になり、LIMP ピンがアクティブになります。この時点で、エラー カウンタは 0 にリセットされます。 t_{NRST_TOG} がタイム アウトすると、デバイスはスタンバイ モードに戻り、nRST を High に解放します。WD 障害により再起動カウンタがプログラムされた制限値を超えた場合、デバイスはイネーブルの場合はフェイルセーフ モードまたはスリープ モードに遷移します。

8.3.13.8.2 ウォッチドッグ SPI プログラミング

レジスタ 8'h13 から 8'h15 がウォッチドッグ機能を制御します。ウォッチドッグは、8'h13[6] を希望する方式に設定することで、タイムアウト ウォッチドッグまたはウィンドウ ウォッチドッグとして構成できます。このタイマは、レジスタ 8'h13[5:4] の WD プリスケーラと、8'h14[7:5] の WD タイマに基づいており、単位はミリ秒です。実現可能な時間については、表 8-16 を参照してください。より短い時間ウィンドウを使用する場合は、タイムアウト方式のウォッチドッグを使用することを推奨します。これは、4ms ~ 64ms の時間です。

表 8-16. ウォッチドッグ ウィンドウおよびタイムアウト タイマ構成 (ms)

WD_TIMER (ms)	8'h13[5:4] WD_PRE			
	00	01	10	11
8'h14[7:5]	00	01	10	11

表 8-16. ウオッヂドッグ ウィンドウおよびタイムアウト タイマ構成 (ms) (続き)

WD_TIMER (ms)	8'h13[5:4] WD_PRE			
000	4	8	12	16
001	32	64	96	128
010	128	256	384	512
011	256	384	512	768
100	512	1024	1536	2048
101	2048	4096	6144	8192
110	10240	20240	RSVD	RSVD
1111	RSVD	RSVD	RSVD	RSVD

注

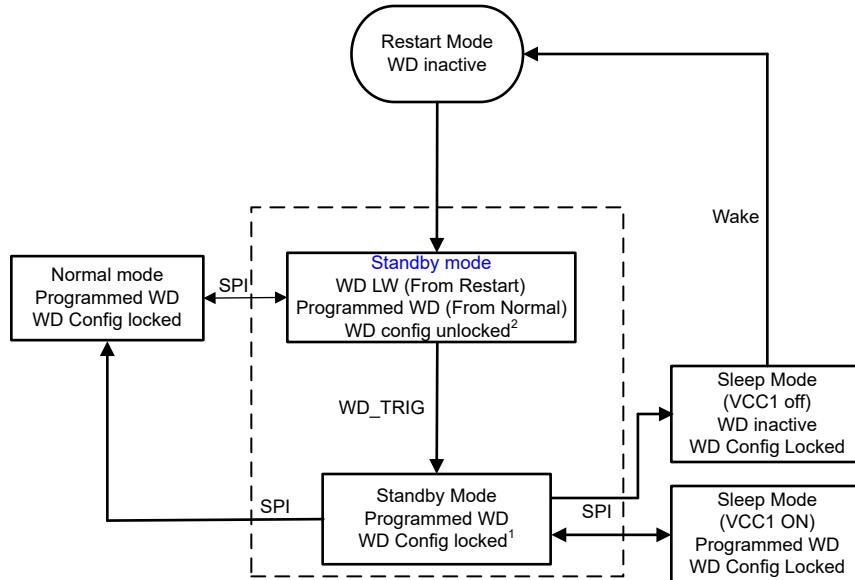
ウォッヂドッグ動作中にタイミング パラメータを変更すると、WD タイマは自動的に新しいウィンドウで再スタートします。

8.3.13.8.2.1 ウォッヂドッグ構成のロック機構

ウォッヂドッグ構成が誤って変更されるのを防ぐため、TCAN241x-Q1 ファミリにはウォッヂドッグ構成レジスタのロックおよびロック解除機能が実装されています。レジスタ 8'h13, 8'h14, 8'16, 8'h2D は、スタンバイ モードでのみプログラム可能であり、ロックされるレジスタです。これらのレジスタは、最初の WD 入力トリガ イベント、または SPI コマンドを使用して通常モードに遷移するときに、自動的にロックされます。ウォッヂドッグは、スタンバイ モードへ移行することで再度プログラム可能な状態にアンロックされます。この状態では、4 つの各レジスタに 1 回ずつ書き込みができます。スタンバイ モード中にレジスタがロックされている場合、設定レジスタをアンロックする方法は 2 つあります：

- SW ピンのアクティピ化:スタンバイ モードで SW ピンがアクティブである限り、ウォッヂドッグ関連のレジスタはアンロックされたままで
- デバイスを他のモードに遷移させ、スタンバイ モードに戻ります。

WD はスリープ モードでインエーブルでき、タイムアウトのみが可能で、構成レジスタはロックされています。図 8-41 に、説明した動作を示します。



1 As long as SW pin is active in Standby mode, WD is unlocked for programming in Standby mode

2 Allows one write to registers 8'h13, 8'h14, 8'h16 and 8'h2D before WD trigger.

図 8-41. ウォッチドッグ構成レジスタのロックおよびロック解除フローチャート

8.3.13.8.2.1.1 SPI 2 バイトモードでのウォッチドッグ構成

REV_ID = 20h のデバイスでは、SPI 2 バイトモード(BYTE_CNT=1b)のときに、レジスタ 13h と 14h へ最初の SPI 書き込みを行うと、意図せず設定レジスタがロックされてしまいます。そのため、デバイスはリスタートモードに移行し、WD_ERR_CNT_SET = 0 の場合は、LIMP ピンをアクティブにセットします。

WD_ERR_CNT_SET = 0 で、デバイスが 2 バイトモードの場合、リスタートモードに移行して LIMP ピンをアクティブにセットすることを防ぐため、以下の手順を実行する必要があります：

- 0x16h での WD_ERR_CNT_SET をゼロ以外の値に変更します。
 - これにより、16h にロックが作成されます
- 必要な構成に応じて 13/14h を変更します。
 - これらは現在ロックされています。ウォッチドッグ エラー割り込みがセットされます。
 - 割り込みをクリアします。エラーカウンタがスレッショルドに達していないため、デバイスはリスタートモードに移行しません
- WD_ERR_CNT_SET を再び 0 に設定する必要がある場合：
 - WD 設定のロックを解除するには、モードをノーマルに変更し、再びスタンバイモードに戻します
 - 16h を書き込んで WD_ERR_CNT_SET を 0 にセットします

8.3.13.8.3 ウォッチドッグタイミング

TCAN241x-Q1 は、ウォッチドッグ、ウインドウ、タイムアウト、Q&A のセットアップのための 3 つの方法を提供しています。質問と回答のウォッチドッグについては [セクション 8.3.13.8.4](#) に記載されています。64ms 未満の、より高頻度な入力トリガイベントが必要な場合は、タイムアウトタイマの使用が推奨されます。これは、タイムアウトタイマが特定のオープンウインドウに依存せず、時間内にイベントが発生するかどうかで動作するためです。タイムアウトウォッチドッグのタイミング図については、[図 8-42](#) を参照してください。タイムアウトウォッチドッグの内部精度は ±15% です。

ウインドウウォッチドッグを使用する場合、クローズウインドウとオープンウインドウの特徴を理解しておくことが重要です。TCAN241x-Q1 は、50%/50% のオープンウインドウと閉ウインドウで設定され、±10% の精度範囲を持つ内部発振器を基礎としています。入力トリガを提供するタイミングを決定するには、このばらつきを考慮する必要があります。公称合計

64ms のウィンドウ t_{WINDOW} を使用すると、それぞれ 32ms のクローズ ウィンドウとオープン ウィンドウが得られます。 $\pm 10\%$ の内部発振器を考慮すると、 t_{WINDOW} は 57.6ms ~ 70.4ms の範囲になります。クローズ ウィンドウ t_{CLOSED} とオープン ウィンドウ t_{OPEN} は、28.8ms ~ 35.2ms の範囲です。57.6ms の t_{WINDOW} と 35.2ms の t_{CLOSED} を使用する場合、合計の t_{OPEN} は 22.4ms になります。セーフトリガ領域は 46.4ms $\pm 11.2ms$ で発生する必要があります、これは t_{OPEN} 最小値 + t_{CLOSED} 最大値の半分です。他のウィンドウ値にも同じ方法が使用されます。図 8-43 には上記の情報が図で説明されています。

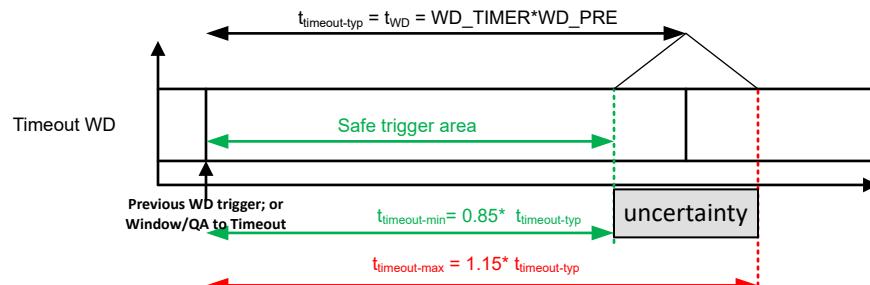


図 8-42. ウィンドウウォッチドッグのタイミング図

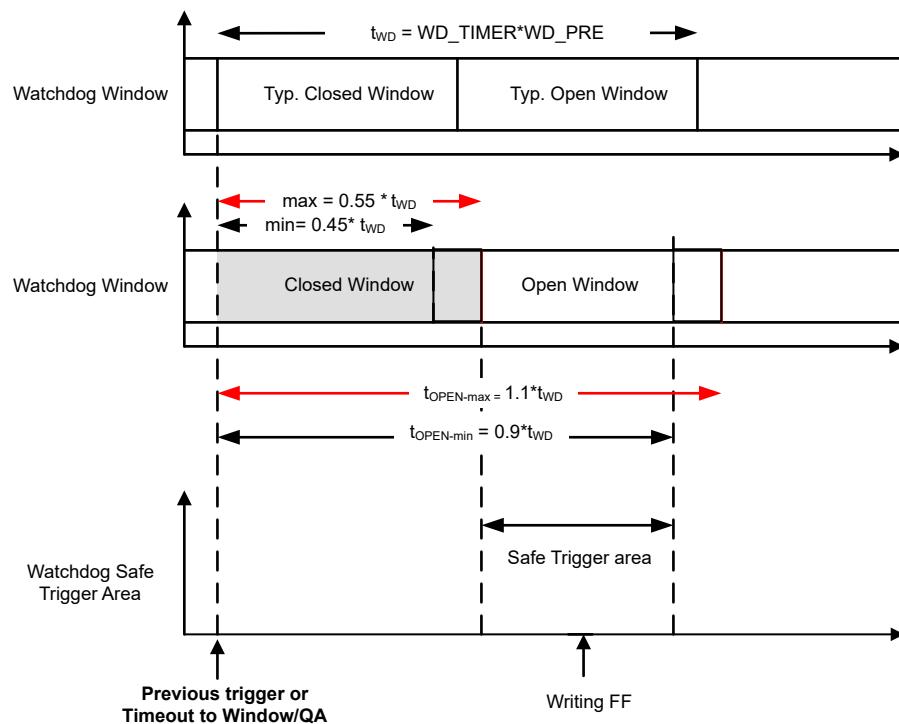


図 8-43. ウォッチドッグのタイミング図

8.3.13.8.4 Q&A ウォッチドッグ

TCAN241x-Q1 デバイスには、SPI から選択できる Q&A ウォッチドッグが搭載されています。このデバイスのデフォルトは ウィンドウ ウォッチドッグです。

Q&A WD の例では、WD の初期化イベントについて説明します。

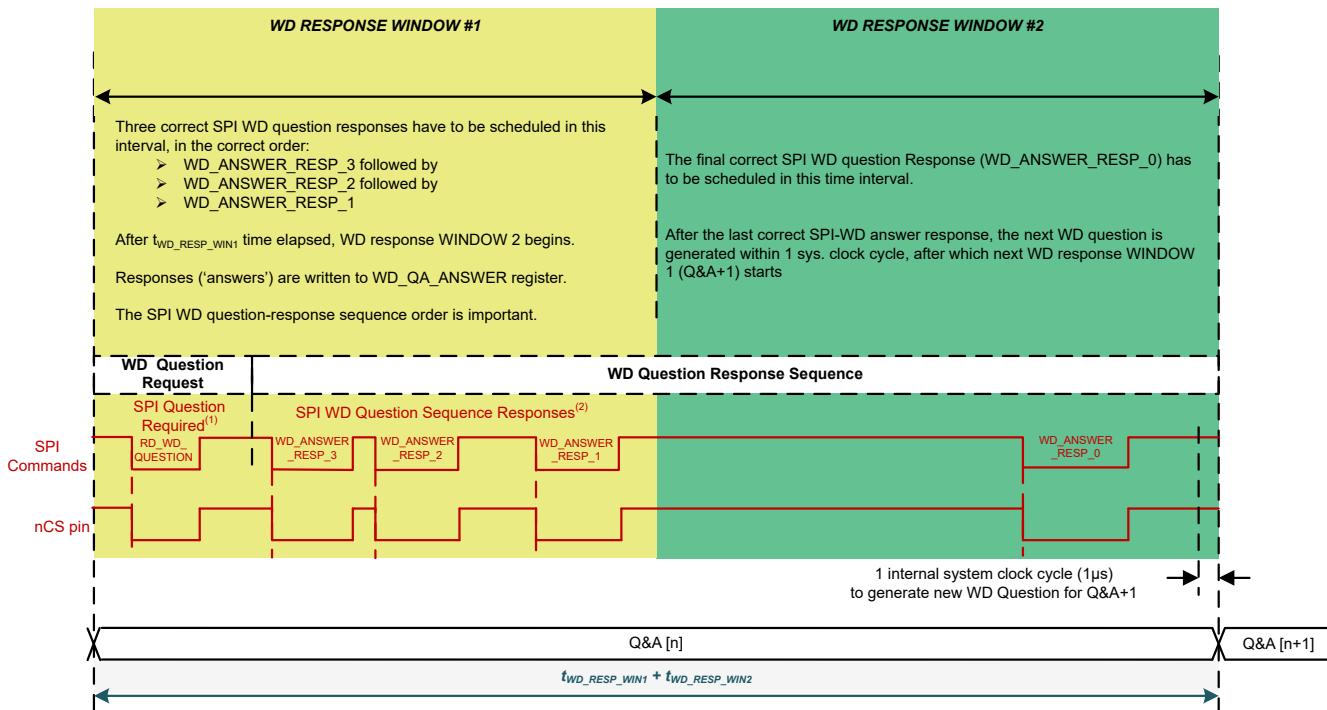
8.3.13.8.4.1 WD Q&A 基本情報

Q&A ウオッチドッグはウォッチドッグの一種で、マイコンは SPI 書き込みによってウォッチドッグをリセットする代わりに、TCAN241x-Q1 から「質問」を読み取り、計算した回答を TCAN241x-Q1 に書き戻します。正解は 4 バイトで応答します。正しい答えを得るには、各バイトを順番に正しいタイミングで書き込む必要があります。

ウォッチドッグウィンドウには、WD 応答ウィンドウ#1 および WD 応答ウィンドウ#2 (例として 図 8-44 WD QA ウィンドウ) という 2 つのウォッチドッグウィンドウがあります。各ウィンドウのサイズはウォッチドッグ時間全体 $t_{WD_RESP_WIN1} + t_{WD_RESP_WIN2}$ の 50% であり、この時間は WD_TIMER ビットと WD_PRE レジスタビットから選択します。

ウォッチドッグの質問と回答は、完全なウォッチドッグ サイクルです。一般的なプロセスは、マイコンが WD 応答ウィンドウ #1 の間に質問を読み取ることです。CPU は質問に対して数学関数を実行する必要があります、結果として 4 バイトの回答が得られます。4 つの回答バイトのうち 3 つは、WD 応答ウィンドウ #1 内の回答レジスタに正しい順序で書き込む必要があります。WD 応答ウィンドウ #2 の内部で、最初の応答ウィンドウの後に最後の回答を回答レジスタに書き込む必要があります。4 バイトの回答すべてが正しく、かつ正しい順序であれば、その応答は良好とみなされ、エラー カウンタはデクリメントされ、新しい質問が生成されてサイクルが再開されます。

正解でないまたは欠落している場合、応答は悪いとみなされ、ウォッチドッグの質問は変更されません。また、エラー カウンタがインクリメントされます。このエラーカウンタがスレッショルド (WD_ERR_CNT_SET レジスタフィールドで定義) を超えると、ウォッチドッグ障害アクションが実行されます。アクションの例としては、割り込みやリセットトグルなどがあります。



- A. MCU は WD 質問を要求する必要はありません。MCU は、正しい回答から開始できます。応答ウィンドウ 1 内の任意の場所で WD_ANSWER_RESP_x バイトから始めることができます。新しい WD 質問は、前の WD Q&A シーケンス実行中に最後の WD_ANSWER_RESP_0 回答が発生した後、常に 1 システム クロック サイクル以内に生成されます。
- B. WD_ANSWER_RESP_[3:1] バイトが応答ウィンドウ 1 内に与えられ、WD_ANSWER_RESP_0 が応答ウィンドウ 2 内に与えられていれば、MCU は WD 関数に影響を及ぼさずに WD_ANSWER_RESPx 応答の間の他の SPI コマンド (WD の質問を要求するコマンドであっても) をスケジュールできます。

図 8-44. WD Q&A マルチアンサー モードでの WD Q&A シーケンスの実行

8.3.13.8.4.2 Q&A レジスタおよび設定

ウォッチドッグ レジスタの構成には、いくつかのレジスタが使用されています。表 8-17 を参照してください。

表 8-17. ウオッチドッグ関連レジスタの一覧

レジスタ・アドレス	レジスタ名	説明
0x16	WD_RST_PULSE	エラー カウンタ スレッショルドを設定します
0x2D	WD_QA_CONFIG	QA 設定に関連する設定
0x2E	WD_QA_ANSWER	計算された回答を書き込むための登録
0x2F	WD_QA_QUESTION	現在の QA 質問を読んでください

WD_CONFIG_1 および WD_CONFIG_2 レジスタは主に、ウォッチドッグ ウィンドウ時間長の設定に対処します。ウィンドウ サイズのオプション、および WD_TIMER 値と WD_PRE 値に必要な値については、表 8-16 を参照してください。2 つの応答ウィンドウのそれぞれが、選択した値の半分であることに注意してください。ウォッチドッグの QA イベントごとに複数バイトの SPI 通信が必要になるため、QA ウォッチドッグ機能を使う場合は、64ms を超えるウィンドウを使用することが推奨されています。

また、ウォッチドッグ エラー カウンタがエラー カウンタ スレッショルドを超えたときに実行できるアクションもいくつかあります。

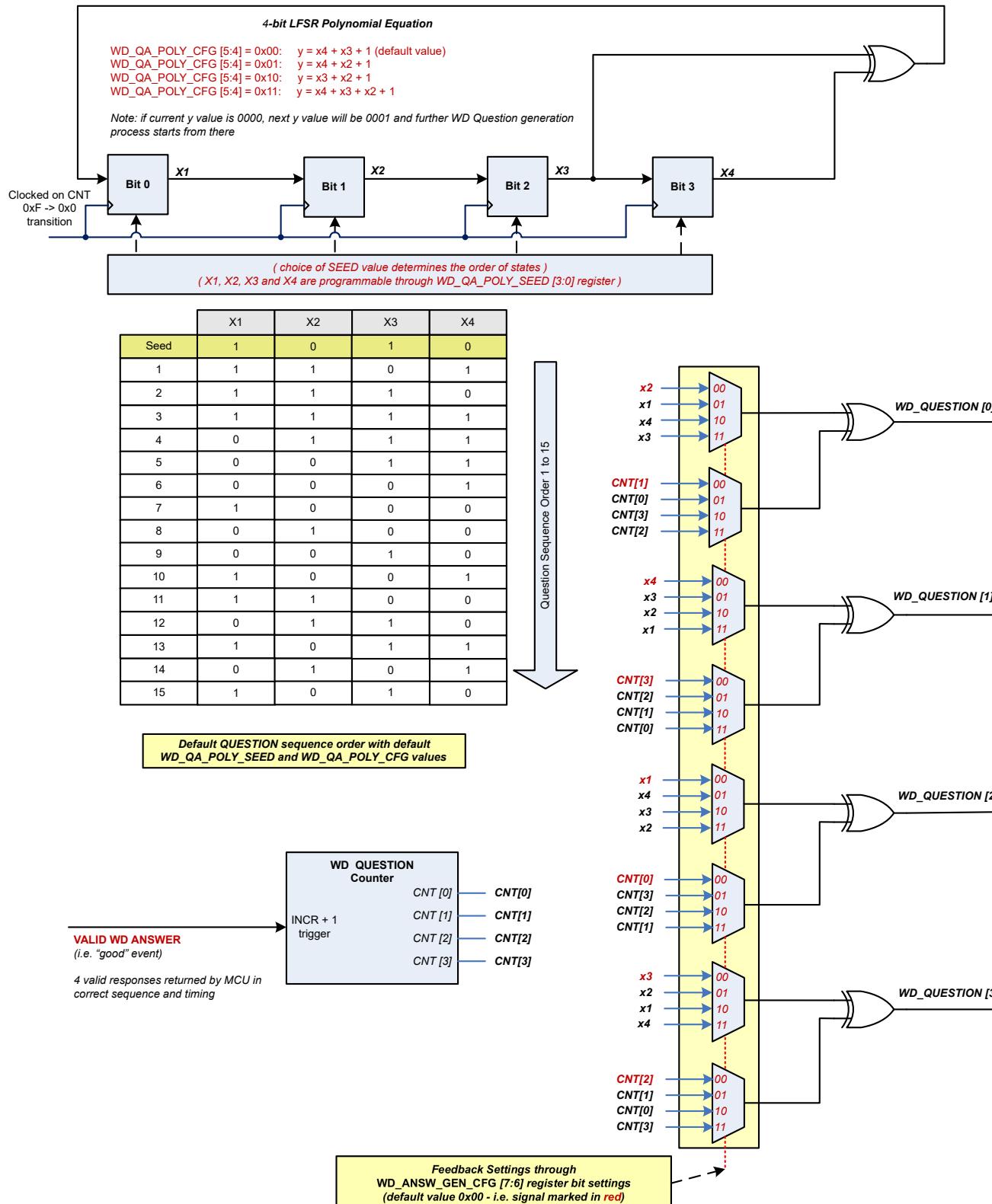
8.3.13.8.4.3 WD Q&A 値の生成

4 ビット WD の質問 WD_QA_QUESTION[3:0] は、4 ビット マルコフ連鎖プロセスによって生成されます。マルコフ連鎖はマルコフ性質を持つ確率過程であり、状態変化は確率的であり、将来の状態は現在の状態にのみ依存することを意味する。各 WD Q&A モードで有効かつ完全な WD 回答シーケンスは、次のとおりです。

- WD Q&A マルチアンサー モードでは:
 - 応答ウィンドウ 1 では、3 つの正しい SPI WD 回答を受信します。
 - 応答ウィンドウ 2 では、正しい SPI WD 回答 1 つを受信します。
 - 前述のタイミングに加えて、4 つの応答のシーケンスは正しいものとします。

WD 質問値は WD_QA_QUESTION レジスタの WD_QUESTION ビットにラッピングされ、いつでも読み出すことができます。

マルコフ連鎖プロセスは、1111b から 0000b への遷移時に 4 ビットの質問カウンタによってクロックされます。これには、正解の状態が含まれます (正解値と正しいタイミング応答)。4 ビットの質問 WD_QA_QUESTION [3:0] により生成されるロジックコンビネーションを 図 8-45 に示します。質問カウンタはデフォルト値の 0000b にリセットされ、ウォッチドッグが失敗すると、マルコフ連鎖はプログラムされたレジスタ値に再び初期化され、デバイスはリスタートモードになります。



A. 現在の y 値が 0000 の場合、次の y 値は 0001 です。ウォッチドッグ質問生成プロセスはこの値から開始します。スタンバイモードで WD_QA_CONFIG レジスタに変更を加えると、マルコフ鎖鎖は現在のレジスタ値に再び初期化されます。質問カウンタは影響を受けません。

図 8-45. ウォッチドッグ質問生成

8.3.13.8.4.3.1 回答の比較

2 ビットのウォッチドッグ回答カウンタ、WD_ANSW_CNT[1:0] は、図 8-46 で示すように、受信した回答バイト数をカウントし、リファレンス回答バイトの生成を制御します。ウォッチドッグシーケンスの開始時には常に WD_ANSW_CNT[1:0] カウンタのデフォルト値は 11b であり、これは正しい回答 3 をマイコンが WD_QA_ANSWER[7:0] に書き込むことをウォッチドッグが予測していることを示します。

1 つの回答バイトが正しくない場合、デバイスは直ちに WD_QA_ERR ステータスピットをセットします。マイコンがこのビットに「1」を書き込む場合のみ、デバイスはこのステータスピットをクリアします。

8.3.13.8.4.3.2 ビット ウォッチドッグ回答カウンタのシーケンス

カウンタ値ごとの、2 ビットウォッチドッグ回答カウンタのシーケンスは次の通りです：

- WD_ANSW_CNT[1:0] = 11b:
 - ウォッチドッグはリファレンス回答 3 を計算します。
 - 書き込みアクセスが発生します。マイコンは WD_QA_ANSWER[7:0] に回答 3 バイトを書き込みます。
 - ウォッチドッグはリファレンス回答 3 を WD_QA_ANSWER[7:0] の回答 3 バイトと比較します。
 - 回答 3 バイトが正しくない場合、ウォッチドッグは WD_ANSW_CNT[1:0] ビットを 10b にデクリメントして、WD_QA_ERR ステータスピットを 1 にセットします。
- WD_ANSW_CNT[1:0] = 10b:
 - ウォッチドッグはリファレンス回答 2 を計算します。
 - 書き込みアクセスが発生します。マイコンは WD_QA_ANSWER[7:0] に回答 2 バイトを書き込みます。
 - ウォッチドッグはリファレンス回答 2 を WD_QA_ANSWER[7:0] の回答 2 バイトと比較します。
 - 回答 2 バイトが正しくない場合、ウォッチドッグは WD_ANSW_CNT[1:0] ビットを 01b にデクリメントして、WD_QA_ERR ステータスピットを 1 にセットします。
- WD_ANSW_CNT[1:0] = 01b:
 - ウォッチドッグはリファレンス回答 1 を計算します。
 - 書き込みアクセスが発生します。マイコンは WD_QA_ANSWER[7:0] に回答 1 バイトを書き込みます。
 - ウォッチドッグはリファレンス回答 1 を WD_QA_ANSWER[7:0] の回答 1 バイトと比較します。
 - 回答 1 バイトが正しくない場合、ウォッチドッグは WD_ANSW_CNT[1:0] ビットを 00b にデクリメントして、WD_QA_ERR ステータスピットを 1 にセットします。
- WD_ANSW_CNT[1:0] = 00b:
 - ウォッチドッグはリファレンス回答 0 を計算します。
 - 書き込みアクセスが発生します。マイコンは WD_QA_ANSWER[7:0] に回答 0 バイトを書き込みます。
 - ウォッチドッグはリファレンス回答 0 を WD_QA_ANSWER[7:0] の回答 0 バイトと比較します。
 - 回答 0 バイトが正しくない場合、ウォッチドッグは WD_QA_ERR ステータスピットを 1 にセットします。
 - ウォッチドッグが新しいウォッチドッグシーケンスを開始し、WD_ANSW_CNT[1:0] を 11b にセットします。

マイコンは、WD_QA_ERR ビットに 1 を書き込んでビットをクリアする必要があります

表 8-18. デフォルト設定を使用した WD 質問と対応する WD 回答のセット

WD_QA_QUESTION レジ スタの質問	WD 回答バイト (各バイトは WD_QA_ANSWER レジスタに書き込まれる)			
	WD_ANSWER_RESP_3	WD_ANSWER_RESP_2	WD_ANSWER_RESP_1	WD_ANSWER_RESP_0
WD_QUESTION	WD_ANSW_CNT[1:0] 11b	WD_ANSW_CNT[1:0] 10b	WD_ANSW_CNT[1:0] 01b	WD_ANSW_CNT[1:0] 00b
0x0	FF	0F	F0	00
0x1	B0	40	BF	4F
0x2	E9	19	E6	16
0x3	A6	56	A9	59
0x4	75	85	7A	8A

表 8-18. デフォルト設定を使用した WD 質問と対応する WD 回答のセット (続き)

WD_QA_QUESTION レジ スタの質問	WD 回答バイト (各バイトは WD_QA_ANSWER レジスタに書き込まれる)			
	WD_ANSWER_RESP_3	WD_ANSWER_RESP_2	WD_ANSWER_RESP_1	WD_ANSWER_RESP_0
WD_QUESTION	WD_ANSW_CNT[1:0] 11b	WD_ANSW_CNT[1:0] 10b	WD_ANSW_CNT[1:0] 01b	WD_ANSW_CNT[1:0] 00b
0x5	3A	CA	35	C5
0x6	63	93	6C	9C
0x7	2C	DC	23	D3
0x8	D2	22	DD	2D
0x9	9D	6D	92	62
0xA	C4	34	CB	3B
0xB	8B	7B	84	74
0xC	58	A8	57	A7
0xD	17	E7	18	E8
0xE	4E	BE	41	B1
0xF	01	F1	0E	FE

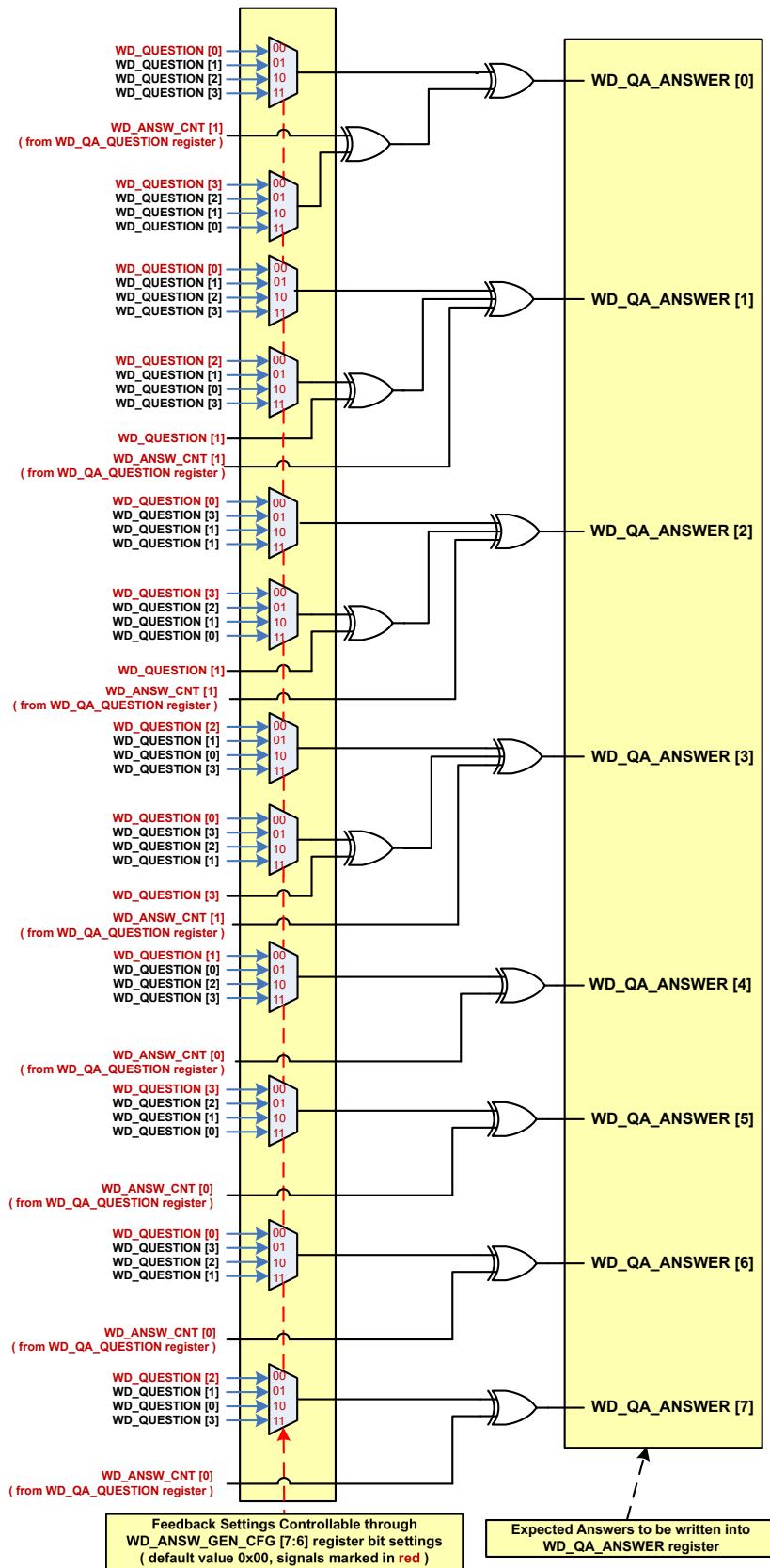


図 8-46. WD 予期される回答生成

表 8-19. WD Q&A マルチアンサー モードの正しい WD Q&A シーケンスの実行シナリオと誤り

WD 回答数		アクション	WD_QA_ERR (WD_QA_QUEST ION レジスタ内) (1)	備考	
応答 ウィンドウ 1	応答 ウィンドウ 2				
0 回答	0 回答	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	回答なし	
0 回答	4 つの正しくない回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した総回答数 = 4	
0 回答	4 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した総回答数 = 4	
0 回答	1 正解	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 に正解が 3 つ未満、応答ウィンドウ 2 に正解が 1 つ (合計 WD_ANSW_CNT[1:0]<4)	
1 正解	1 正解				
2 正解	1 正解				
0 回答	1 つの正しくない回答	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 3 つ未満、応答ウィンドウ 2 で正しくない回答が 1 つ (合計 WD_ANSW_CNT[1:0]<4)	
1 正解	1 つの正しくない回答				
2 正解	1 つの正しくない回答				
0 回答	4 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	WIN1 で正解が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0]= 4)	
1 正解	3 正解				
2 正解	2 正解				
0 回答	4 つの正しくない回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 3 つ未満で、応答ウィンドウ 2 で正しくない回答が 1 つ以上 (合計 WD_ANSW_CNT[1:0]= 4)	
1 正解	3 つの正しくない回答				
2 正解	2 つの正しくない回答				
0 回答	3 正解	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正しくない回答が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0]<4)	
1 つの正しくない回答	2 正解	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b		
2 つの正しくない回答	1 正解				
0 回答	3 つの正しくない回答	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正しくない回答が 3 つ未満で、応答ウィンドウ 2 で正しくない回答が 1 つを超えています (合計 WD_ANSW_CNT[1:0]<4)	
1 つの正しくない回答	2 つの正しくない回答				
2 つの正しくない回答	1 つの正しくない回答				

表 8-19. WD Q&A マルチアンサー モードの正しい WD Q&A シーケンスの実行シナリオと誤り (続き)

WD 回答数		アクション	WD_QA_ERR (WD_QA_QUEST ION レジスタ内) (1)	備考
応答 ウインドウ 1	応答 ウインドウ 2			
0 回答	4 正解	<ul style="list-style-type: none"> - 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます 	1b	応答ウインドウ 1 で正しくない回答が 3 つ未満で、応答ウインドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0]=4)
1 つの正しくない回答	3 正解		1b	
2 つの正しくない回答	2 正解		1b	
0 回答	4 つの正しくない回答	<ul style="list-style-type: none"> - 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます 	1b	応答ウインドウ 1 で正しくない回答が 3 つ未満で、応答ウインドウ 2 で正しくない回答が 1 つを超えています (合計 WD_ANSW_CNT[1:0]=4)
1 つの正しくない回答	3 つの正しくない回答		1b	
2 つの正しくない回答	2 つの正しくない回答		1b	
3 正解	0 回答	<ul style="list-style-type: none"> - 応答ウインドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルトカウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます 	1b	応答ウインドウ 1 で正解が 4 つ未満、応答ウインドウ 2 で 0 以上 (合計 WD_ANSW_CNT[1:0]<4)
2 正解	0 回答		1b	
1 正解	0 回答		1b	
3 正解	1 正解	<ul style="list-style-type: none"> - 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの減算 - 新しい WD サイクルは新しい WD 質問から開始されます 	0b	正しい順序
3 正解	1 つの正しくない回答		1b	
3 つの正しくない回答	0 回答		1b	
3 つの正しくない回答	0 回答	<ul style="list-style-type: none"> - 応答ウインドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルトカウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます 	1b	受信した総回答数 = 4
3 つの正しくない回答	1 正解		1b	
3 つの正しくない回答	1 つの正しくない回答		1b	
3 つの正しくない回答	1 つの正しくない回答	<ul style="list-style-type: none"> - 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます 	1b	受信した総回答数 = 4
4 正解	該当なし		1b	
3 正解 + 1 つ正しくない回答	該当なし		1b	
2 正解 + 2 つ正しくない回答	該当なし	<ul style="list-style-type: none"> - 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます 	1b	応答ウインドウ 1 で 4 正解または正しくない回答
1 正解 + 3 つ正しくない回答	該当なし		1b	

(1) WD_QA_ERR は、すべての QA ウオッチドッグエラーの論理和です

8.3.13.8.4.3.3 Q&A WD の例

この例では、次の構成設定表 8-20 を含む单一のシーケンスを見ていきます。

表 8-20. WD 機能の初期化

項目	値	説明
ウォッチドッグ ウィンドウ サイズ	1024ms	ウィンドウ サイズは 1024ms
応答生成オプション	0 (デフォルト)	応答生成設定
質問多項式	0 (デフォルト)	質問の生成に使われる多項式
多項式シードに質問します	A (デフォルト)	質問を生成するために使用される多項式シード
WD エラー カウンタ制限	15	15 番目のフェイル イベントでは、ウォッチドッグ アクションを実行します

8.3.13.8.4.3.3.1 目的の挙動の設定例

表 8-21 レジスタ書き込みを行うと、上記で指定した動作例に本デバイスが構成されます。ほとんどの設定は、電源オン時のデフォルト設定です。

表 8-21. レジスタ構成の書き込みの例

ステップ	登録	データ
1	WD_CONFIG_1 (0x13)	[W] 0b11010000 / 0xD0
2	WD_CONFIG_2 (0x14)	[W] 0b10000000 / 0x80
3	WD_RST_PULSE (0x16)	[W] 0b11110000 / 0xF0
4	WDT_QA_CONFIG (0x2D)	[W] 0b00001010 / 0x0A

8.3.13.8.4.3.3.2 Q&A シーケンスの実行例

通常のシーケンスの概要は、次のとおりです。

1. 質問を読んでください
2. 4 つの回答バイトを計算します
3. 最初の応答ウィンドウ内に、その内の 3 つを送信します
4. 2 番目の応答ウィンドウで、最後のバイトを待機して送信します

最初のループ シーケンスの例については、表 8-22 を参照してください。

表 8-22. 最初のループの例

ステップ	登録	データ	説明
1	WD_QA_QUESTION (0x2F)	[R] 0x0C	質問を読んでください。質問は 0x0C です
2	WD_QA_ANSWER (0x2E)	[W] 0x58	回答 3 を書きます (回答を見るには、デフォルト設定の質問に対する回答の例 表 8-18 を参照)
3	WD_QA_ANSWER (0x2E)	[W] 0xA8	回答 2 を書く。
4	WD_QA_ANSWER (0x2E)	[W] 0x57	回答 1 を書く。
5	WD_QA_ANSWER (0x2E)	[W] 0xA7	ウィンドウ 2 が開始したら、回答 0 を書き込みます

この時点で、ユーザーは WD_QA_QUESTION[6] (0x2F) レジスタを読み取って、WD_QA_ERR がセットされているかどうかを判断できます。

8.3.13.9 パス フォルト検出および通信

TCAN241x-Q1 は先進のバス故障検出機能を備えています。デバイスは、特定の故障状態を判定し、ステータス/割り込みフラグを設定して、MCU が故障の内容を理解できるようにします。終端抵抗が両端にある他のバスアーキテクチャと同様に、すべての故障を最小レベル、つまり正確な位置に指定できるわけではありません。フォルト検出回路は、CANH および CANL ピン (電流) を監視して、バッテリへの短絡、グランドへの短絡、相互への短絡、開放の有無を判定しています。システムの観点からは、デバイスの位置により、どれを検出できるかが決定されます。ノードの位置例と、実際の故障位置を特定する能力がどのように影響を受けるかについては、図 8-47 を参照してください。図 8-48 から図 8-52 に、3 ノード構成に基づく各種バス故障を示します。表 8-23 に、何を検出できるのか、どのデバイスにより検出できるのかを示します。故障 2 は終端なしとして検出されます。

バス障害検出は、システム レベルの状況です。ECU でフォルトが発生している場合、バスの一般的な通信が損なわれます。ノードを完全にカバレッジするには、各ノードにシステム レベルの診断ステップと、それらを中央ポイントに送り返す機能が必要です。

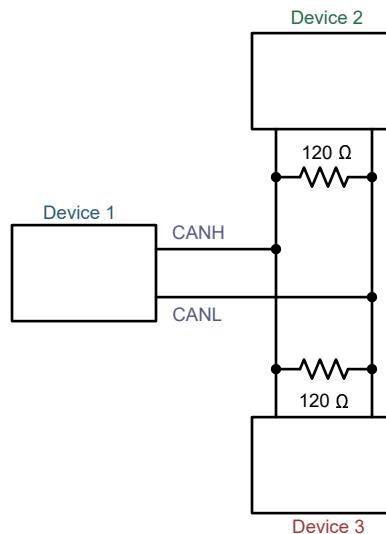


図 8-47. 3 ノードの例

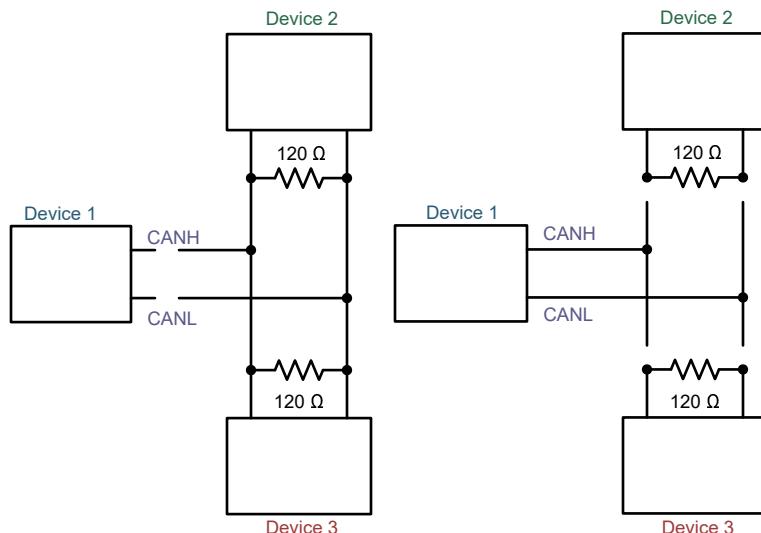


図 8-48. 開放フォルト 2 の例

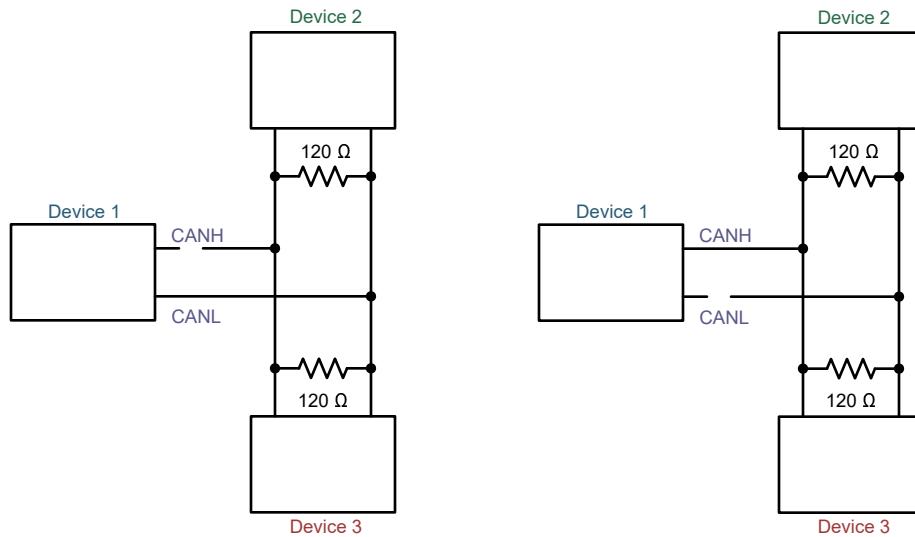


図 8-49. 開放故障 3 と 4 の例

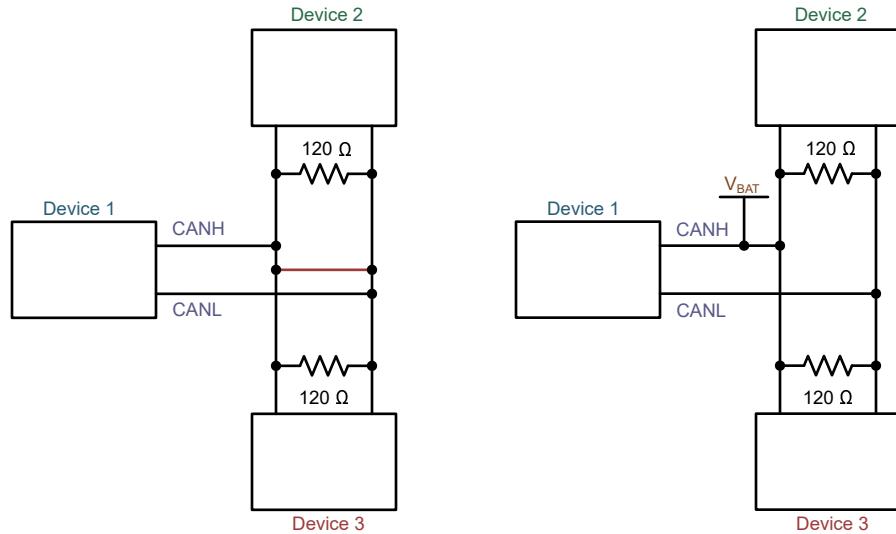


図 8-50. 短絡故障 5 と 6 の例

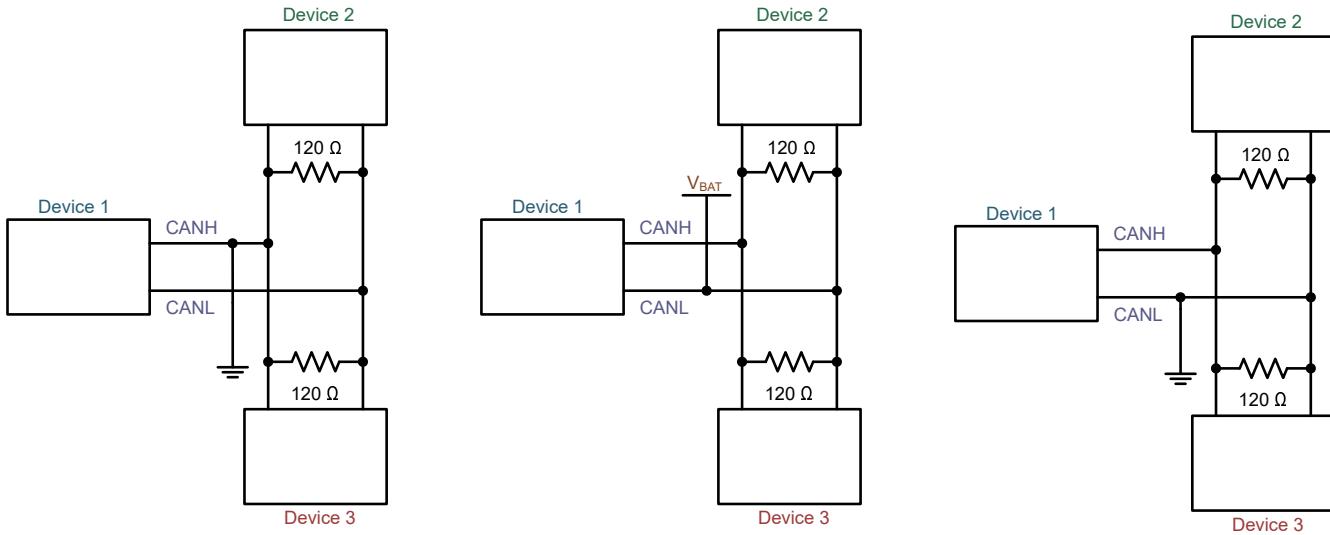


図 8-51. 短絡故障 7、8、9 の例

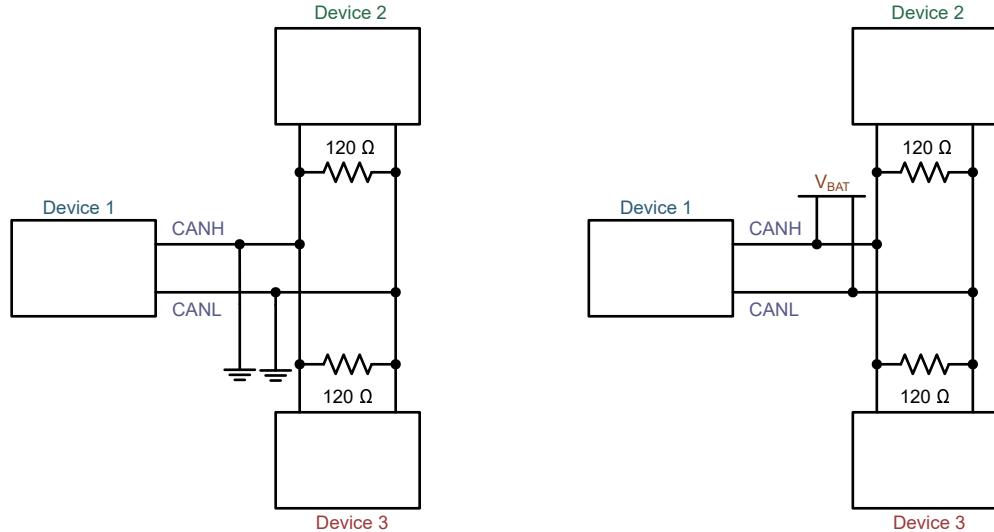


図 8-52. 短絡故障 10 と 11 の例

表 8-23. バス フォルト ピンの状態および検出表

フォルト番号	CANH	CANL	フォルト検出
2	オープン	オープン	オープンな場所に応じて、デバイスはこれを終端なしと検出します。
3	オープン	正常	デバイス 1 はこの故障を検出しますが、故障 2 や故障 4 との区別はできません。デバイス 2 とデバイス 3 はこの故障を検出しません
4	正常	オープン	デバイス 1 はこの故障を検出しますが、故障 2 や故障 3 との区別はできません。デバイス 2 とデバイス 3 はこの故障を検出しません
5	CANL へ短絡	CANH へ短絡	はい、ただし場所はありません
6	V _{bat} と短絡	正常	はい、ただし場所はありません
7	GND へ短絡	正常	はい、ただし、これと故障 10 の違いを見分けることはできません
8	正常	V _{bat} と短絡	はい、ただし、これと故障 11 の違いを見分けることはできません
9	正常	GND へ短絡	はい、ただし場所はありません
10	GND へ短絡	GND へ短絡	はい、ただし、これと故障 7 の違いを見分けることはできません

表 8-23. バス フォルト ピンの状態および検出表 (続き)

フォルト番号	CANH	CANL	フォルト検出
11	V _{bat} と短絡	V _{bat} と短絡	はい、ただし、これと故障 8 の違いを見分けることはできません

表 8-24. バス フォルト割り込みフラグからフォルト検出番号へのマッピング

アドレス	ビット (S)	デフォルト	FLAG	説明	フォルト検出	アクセス
8'h54	7	1'b0	UVCAN	VCAN 低電圧割り込み	VCAN 低電圧	R/W1C
	6	1'b0	RSVD	予約済み	該当なし	R
	5	1'b0	CANHCANL	CANH と CANL が同時に短絡	フォルト 3	R/W1C
	4	1'b0	CANHBAT	CANH は V _{bat} に短絡	フォルト 6	R/W1C
	3	1'b0	CANLGND	CANL は GND へ短絡	フォルト 9	R/W1C
	2	1'b0	CANBUSOPEN	CAN バス オープン (3 箇所のうちの 1 つ)	フォルト 2, 4, 5	R/W1C
	1	1'b0	CANBUSGND	CANH が GND に短絡、または CANH と CANL の両方が GND に短絡	障害 7 と 10	R/W1C
	0	1'b0	CANBUSBAT	CANL が V _{bat} に短絡、または CANH と CANL の両方が V _{bat} に短絡	障害 8 と 11	R/W1C

8.3.14 顧客 EEPROM のプログラミング

TCAN241x-Q1 ファミリは EEPROM を 2 つの目的で使用します。1 つ目はデバイスのトリミング用であり、アクセスできません。この EEPROM 領域は、電源投入時およびスリープ モードからの復帰時に監視され、読み込まれます。その際、有効な CRC がチェックされます。CRC が有効でない場合、この処理は合計で 8 回実行されます。それでも有効でない場合、INT_3 レジスタ 8'h53[0] が 1b に設定されます。つまり、このデバイスには性能や機能に影響を及ぼす可能性のある問題があるという意味です。

EEPROM の 2 番目の用途は、ユーザーがデバイス構成を保存できるようにすることです。保存された構成ビットは各レジスタに提供されます。設定を EEPROM に保存するには、少なくとも CRC を有効にしておく必要があります。設定を EEPROM に保存するには、レジスタ 8'h4E[7] に 1b を書き込み、続いて 8'h4E[3:0] にデフォルトコード Ah を書き込み、その後に CRC バイトを書き込みます。プロセッサが CRC をサポートしていない場合の手順については、表 8-25 を参照してください。レジスタ 8'h4E[3:0] を読み出すと、0h が返されます。構成ビットが EEPROM に保存されると、8'h4E[7] から 0b が読み戻されます。パワーオンリセットが発生すると、デバイスの設定は EEPROM から再読み込みされます。表 8-26 は、使用されている場合に EEPROM に保存されるレジスタとビットの一覧を示します。

注

- EEPROM は、最大 500 回リプログラム可能です。
- REV_ID = 20h: SPI の 2 バイト モードでは、顧客の EEPROM プログラミングは利用できません。デフォルトオプションとして 2 バイト モードをプログラミングする場合は、工場にお問い合わせください。

表 8-25. CRC 非対応プロセッサに対するプロセス

ステップ	説明	登録	データ	2 番目のデータ バイト (CRC POLY_8_SET = 0b)	2 番目のデータ バイト (CRC POLY_8_SET = 1b)
1	デバイスの設定	表 8-26 を参照してください。	該当なし	該当なし	該当なし
2	CRC 多項式を設定 • 0x2F AutoSar • 0X1D SAE J11850	8'h0B[0]	• 00h • 01h	• 選択済み • 該当なし	• 該当なし • 選択済み
3	イネーブルでなければ、SPI CRC をイネーブル	8'h0A[0]	01h	該当なし	該当なし

表 8-25. CRC 非対応プロセッサに対するプロセス (続き)

ステップ	説明	登録	データ	2 番目のデータ バイト (CRC POLY_8_SET = 0b)	2 番目のデータ バイト (CRC POLY_8_SET = 1b)
4	EERPOM に保存	8'h4E[7:0]	8Ah	36h	0Ch
5	サポートされていない場合は、SPI CRC をディスエーブル	8'h0A[0]	00h	5Eh	6Bh

保存された構成の CRC が有効かどうかを確認するには、レジスタ 8'h4E[6] (EEPROM_CRC_CHK) に 1b を書き込むことで強制的にチェックを実行できます。完了するには約 200 μ s が必要です。CRC が有効な場合は何も実行されません。CRC が無効な場合、デバイスはこの処理を 8 回試行します。それでも有効でない場合、デバイスは問題があることを示す割り込みを設定します。これは、レジスタ 8'h5A[1] (INT_4: EEPROM_CRC_INT) です。

以下に、電源とリセットのシナリオと、EEPROM の使用方法を示します。

- UVSUP イベント。レジスタは失われないため、何の動作も行われません
- パワーオン リセットが発生すると、EEPROM が読み込まれ、レジスタは Init モードで復元されます
- ソフトリセット。EEPROM が読み出され、レジスタが復元され、デバイスはスタンバイ モードに遷移します
- ハードリセット。EERPOM を読み取り、レジスタを復元し、デバイスを初期モードに遷移させます
- nRST 入力。EEPROM が読み出し、レジスタが復元され、デバイスはリストート モードに遷移します

表 8-26. EEPROM 保存レジスタおよびビット

登録	保存されるビット
SPI_CONFIG (アドレス = 09h)	0-3
SBC_CONFIG (アドレス = Ch)	0-1, 4, 7
VREG_CONFIG1 (アドレス = Dh)	3, 5, 6-7
SBC_CONFIG1 レジスタ (アドレス = Eh)	0, 3-5, 7
WAKE_PIN_CONFIG1 レジスタ (アドレス = 11h)	0-3
WAKE_PIN_CONFIG2 レジスタ (アドレス = 12h)	0-1, 5-7
WD_CONFIG_1 レジスタ (アドレス = 13h)	0-7
WD_CONFIG_2 レジスタ (アドレス = 14h)	0, 5-7
WD_RST_PULSE レジスタ (アドレス = 16h)	4-7
DEVICE_CONFIG2 (アドレス = 1Bh)	2
SWE_TIMER (アドレス = 1Ch)	3-6, 7
nRST_CNTL (アドレス = 29h)	4, 5
WAKE_PIN_CONFIG3 レジスタ (アドレス = 2Ah)	4-7
WAKE_PIN_CONFIG4 レジスタ (アドレス = 2Bh)	0-1, 3-5, 7
HSS_CNTL3 レジスタ (アドレス = 4Fh)	0
BUCK_CONFIG1 レジスタ (アドレス = 65h)	0-7
WAKE_ID_PIN_CONFIG1 レジスタ (アドレス = 79h)	1-3, 5-7
WAKE_ID_PIN_CONFIG2 レジスタ (アドレス = 7Ah)	1-3, 5-7
WAKE_PIN_CONFIG5 レジスタ (アドレス = 7Bh)	4-5, 7

8.4 デバイスの機能モード

TCAN241x-Q1 には、通常、スタンバイ、スリープ、リストート、フェイルセーフといった、複数の SBC 動作モードがあります。最初の 3 つのモードは、SPI レジスタ 8'h10[2:0] で選択します。フェイルセーフモードが有効な場合は、さまざまな故障状態のために移行します。TCAN241x-Q1 は自動的にスリープからリストートに移行し、WUP または LUP イベントを受信するとスタンバイ モードに移行します。選択的ウェークが有効な場合、デバイスは WUF を探し、受信しない場合は

TCAN2411-Q1 はスリープ モードのままで。各種モードと、各モードでデバイスのどの部分がアクティブであるかについては、[表 8-27](#) を参照してください。

表 8-27. モードの概要

ブロック	最初からやり直します	スリープ	スタンバイ	正常	フェイルセーフ
nINT	High (VCC1 が存在) 他をオフ	High (VCC1 が存在) 他は High-Z	アクティブ	アクティブ	ハイインピーダンス
GFO	High (VCC1 が存在) 他をオフ	ハイインピーダンス	アクティブ	アクティブ	ハイインピーダンス
SW	オフ	ウェーク対応/オフ	アクティブ	アクティブ	ウェーク対応/オフ
HSSx	オフ	オフ - WAKE ピンがサイクリックセンシング用に設定されている場合に HSS4 をオンにすることが可能	プログラムによる	プログラムによる	オフ - WAKE ピンがサイクリックセンシング用に設定されている場合に HSS4 をオンにすることが可能
LIMP (オープンドレインアクティブ Low)	フェイルセーフ モードからの場合を除き、前の状態と同じです。フェイルセーフ モードからの場合はオフ (外部プルアップにより High) で WD エラーがある場合は Low になります	High (LIMP_SLP_FLT_EN =0b); 有効 (LIMP_SLP_FLT_EN =1b)	STBY に移行する前の前の状態	通常モードに移行する前の状態	Low
WAKEx	オフ	オン (デフォルト)、プログラマブルオフ	オン (デフォルト)、プログラマブルオフ	オン (デフォルト)、プログラマブルオフ	オン (デフォルト)、プログラマブルオフ
CRXD	High (VCC1 が存在)	High (VCC1 が存在) 他は High-Z	トランシーバー構成に依存	トランシーバー構成に依存	ハイインピーダンス
nRST	Low	通常は Low。ただし、スリープ モードで VCC1 をオンにするよう設定されている場合は High になります。	High	High	オフ
SPI	オフ	VCC1 が存在する場合にアクティブ	アクティブ	アクティブ	オフ
ウォッヂドッグ	オフ	オフ (デフォルト)、プログラマブルオン VCC1 がオンのとき	デフォルトでは最初のパルスでオン、ただしオフにプログラム可能 - タイムアウトのみ	アクティブ	オフ
低消費電 CAN RX	デフォルトでウェーク対応オン	デフォルトでウェーク対応オン	ウェーク対応の場合はオン	ウェーク対応の場合はオン	デフォルトでウェーク対応オン
CAN トランシーバ	オフ	オフ	プログラム可能 - レシーバのみ	プログラム可能	オフ
VCC1	ランピング	オフ (デフォルト)、プログラマブルオン	オン (デフォルト)、プログラマブルオフ	オン	オフ
VCC2	ランピング	オフ (デフォルト)、プログラマブルオン	オン (デフォルト)、プログラマブルオフ	オン (デフォルト)、プログラマブルオフ	オフ

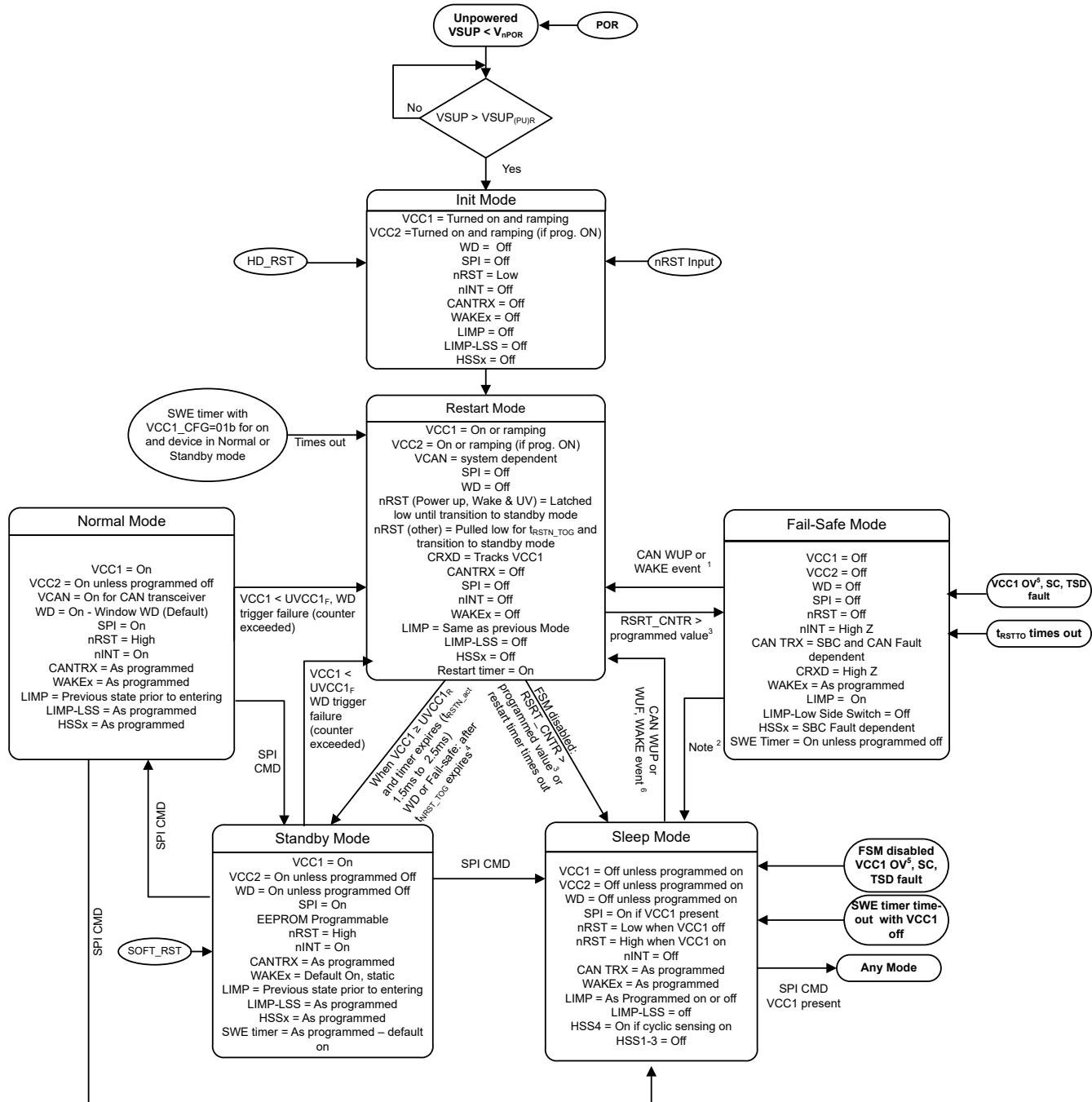


図 8-53. デバイスの状態遷移図

注

1. フェイルセーフ モードは、 t_{REGOFF} が経過すると終了し、故障がクリアされた場合にウェーク イベントが発生します。VCC1_CFG = 01b (VCC1 が常時オン) の場合、フェイルセーフ モードを抜けるためにウェーク イベントは不要です。フェイルセーフ モードが TSD イベントで入った場合、温度が TSDF スレッショルドを下回ってから 1 秒後に、ウェーク イベントなしでフェイルセーフ モードを解除します。フェイルセーフ モードで周期的ウェークがオンになっている場合、デバイスは選択されたタイマ間隔に従って自動的にウェークし、故障が解消されたかどうかを確認します。
2. フェイルセーフ モードに移行時に SWE タイマが開始して、タイマがタイムアウトすると、VCC1 の構成に関係なく、デバイスはスリープ モードに遷移します。
3. 通常モードまたはスタンバイモードから移行する際はリスタートカウンタがインクリメントします
4. 以下の場合、再起動モードからスタンバイ モードへの遷移が発生する可能性があります：
 - VCC1 > UVCC1_R
 - t_{NRST_TOG} が満了する (WD 障害またはフェイルセーフ モードからの移行の場合) または t_{RSTN_act} が満了する (スリープ モードまたはパワーアップからの移行)
5. OVCC1_ACTION (8'h0C[6]) が 1b に設定されていて OVCC1 イベントが発生した場合、デバイスは OVCC1 割り込みをセットするだけで、現在の SBC モードに留まります。
6. VCC1 がスリープ モードでオンになっている場合、VCC1_SLP_ACT = 1b のときのみ、wake イベントによるスリープ モードからリスタート モードへの遷移が有効になります。代わりに、VCC1_SLP_ACT = 0b (デフォルト) の場合、デバイスはウェーク割り込みのみを設定し、CRXD ピンによるウェークアップを示します。

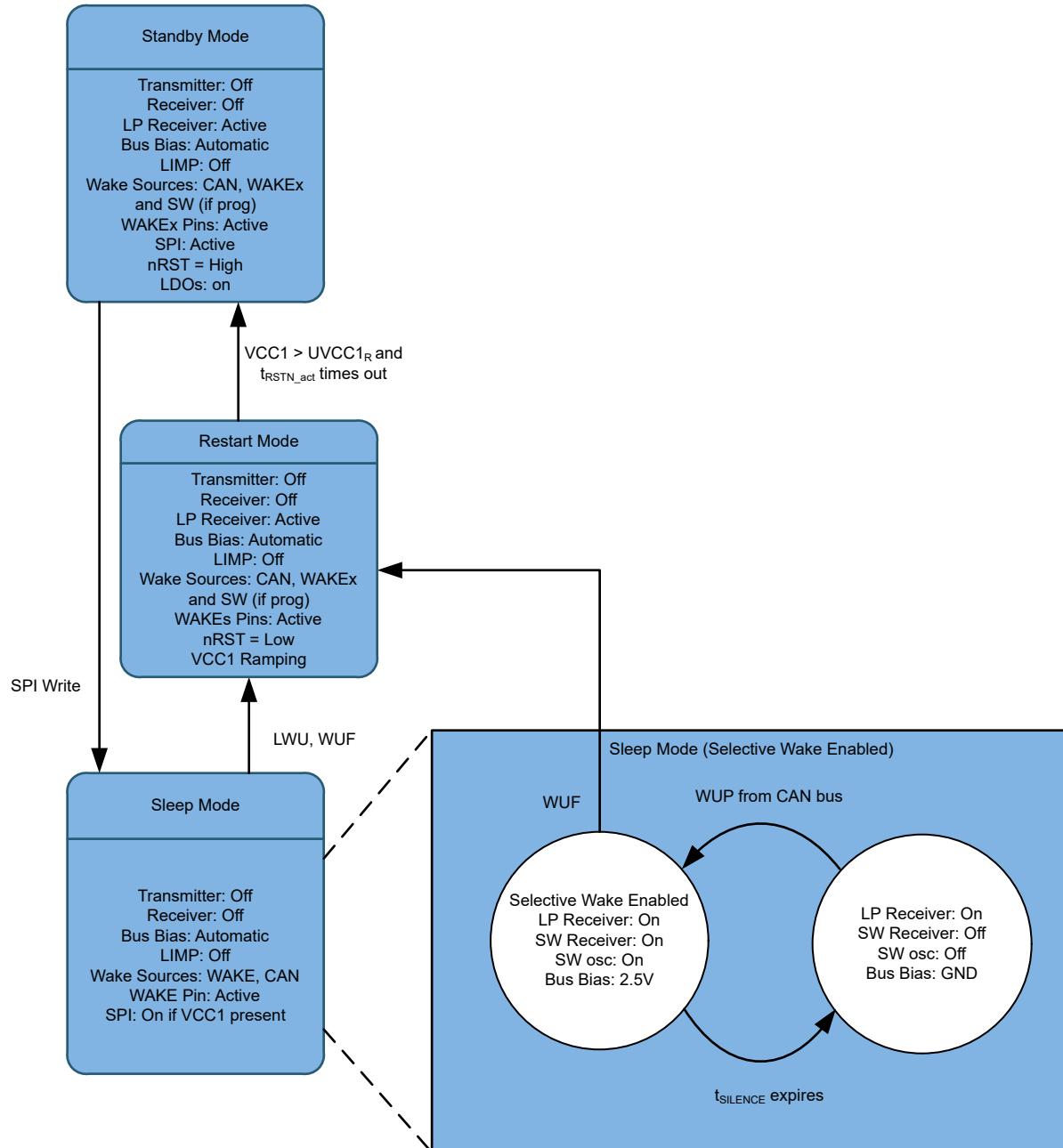


図 8-54. 選択的ウェーク有効時のスリープモード

注

この状態図の場合、デフォルトでスリープモードでは SPI がオフになります。図 8-54 に示すように、SPI は選択的ウェークサブ状態を含むスリープモードで動作するように構成できます。

8.4.1 初期モード

これは、電源投入時の初期動作モードです。これは、VSUP が VSUP_(PU) R スレッショルドを上回ると移行する遷移モードです。デバイスのデフォルト値が設定されると、デバイスはリストートモードに移行します。

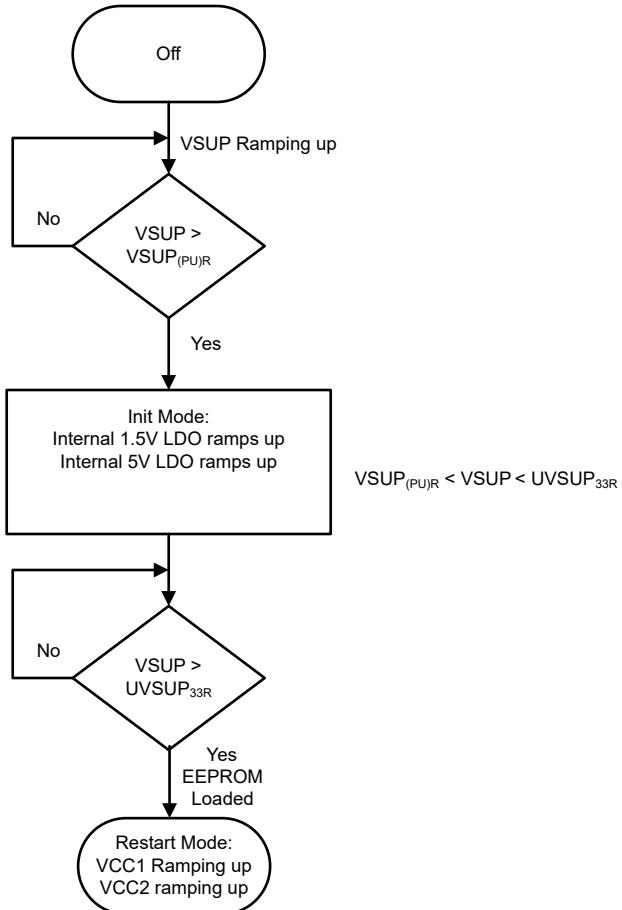


図 8-55. 初期モード

8.4.2 通常モード

通常モードでは、CAN FD トランシーバはオン、リスン、ウェーク対応、またはオフに構成できます。トランスマッタは、CTXD ピンに接続された CAN コントローラからのデジタル入力を、CAN バス上の CAN 信号(CANH および CANL ピン)に変換します。レシーバは、CAN バスからの信号を CAN コントローラに接続された CRXD ピン上のデジタル出力へと変換します。通常モードには SPI コマンドによって移行し、CAN トランシーバのプログラムされた構成は変更されません。

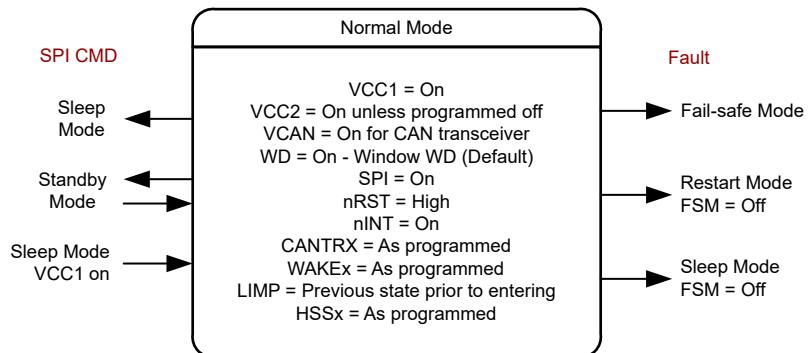


図 8-56. 通常モード

8.4.3 スタンバイ モード

デバイスは、自動的にリスタートモードからスタンバイモードに移行します。最初の電源投入時、VCC1 > UVCC1 かつ t_{RSTN_act} の時間が経過するとこの遷移が発生します。電源投入時に VCC2 はオンになりますが、スタンバイモードに移行するのに UVCC2 より高くなる必要はありません。00b をレジスタ 8'h0B[7:6] に書き込むと、TCAN241x-Q1 は通常モードからスタンバイ モードに移行できます。スタンバイモードでは、ウォッチドッグ機能はデフォルトでオンです。スタンバイ モードはタイムアウトウォッチドッグのみをサポートしており、移行する際に自動的にこのウォッチドッグに変更されます。スタンバイモードに移行する WD_STBY_DIS のレジスタ 8'h14[0]=0b (デフォルト値) に長いタイムアウトウインドウ t_{INITWD} があるときは、リスタートモードからの移行時に WD トリガイベンを実行する必要があります。8'h14[0]=1b に設定すると、スタンバイモードでウォッチドッグを無効化できます。このモードでは、アプリケーション要件を満たすようにトランシーバをプログラムできます。このモードには、いくつかのアクティブなブロックがあります。スタンバイモードでは、CAN FD トランシーバはリスン、ウェーク対応、またはオフに構成できます。ウェーク対応にプログラムされている場合、低消費電力の CAN レシーバはバスのウェークアップ パターン (WUP) をアクティブに監視します。WAKEEx ピンの監視はアクティブです。ステータスおよび構成用メモリ内のレジスタに対し、マイクロプロセッサが読み取りおよび書き込みできるようにするために、SPI インターフェイスがアクティブになっています。バス WUP イベント、WUF (TCAN2411-Q1)、または WAKEEx ピンからのローカル ウェークアップ、および VCC1 > UVCC1_R の時、デバイスは自動的にスリープ モード > リスタート モード > スタンバイ モードへと移行します。VCC1 が無効化されている場合、 t_{RSTN_act} タイマがタイムアウトすると、デバイスはスタンバイモードに移行します。

スタンバイ モードに移行時、SWE タイマ $t_{INACTIVE}$ が起動します。SWE タイマは、プロセッサからのいずれかの SPI コマンドによってクリアされます。この機能により、プロセッサが正常に起動しない場合のノードは最小消費電力モードになります。この自動モード変更は、デバイスがスリープ モードに移行し、ウェークイベント、WUP、WUF、LWU を受信するときにも行われます。スリープ時にこの機能を無効にするには、レジスタ 8'h10[3] (SWE_DIS) を 1 に設定する必要があります。ただし、この設定は電源投入時やパワーオン リセット時には、この機能を無効にはしません。

以下では、TCAN2411-Q1において、選択性ウェークがスリープ モードとスタンバイ モードの間でどのように動作するかを説明します。

- 電源投入時、デバイスはスタンバイです。すべてのウェークフラグ (PWRON, WUP/LWU) をクリアし、選択性ウェーク レジスタを構成してから、選択性ウェーク構成 (SWCFG = 1) と選択性ウェーク有効化 (SW_EN = 1) を設定します。
- SWCFG = 1 で、デバイスがスリープ モードになると、低消費電力の WUP レシーバがアクティブになって WUP を待機します。
- WUP を受信すると WUF レシーバがアクティブになります。
- デバイスはウェークアップ フレームを受信し、ノードがウェークアップ要求されているかを判定します。
 - WUF アドレスが正しい場合、デバイスはノードをウェークアップしてスタンバイモードに入ります。
 - WUF のアドレスが正しくない場合、デバイスはスリープ モードに留まります。
- WUF (CANINT)、FRAME_OVF、LWU (有効化されている場合) のいずれかによるウェーク割り込みが発生すると、デバイスはスタンバイ モードに入ります。

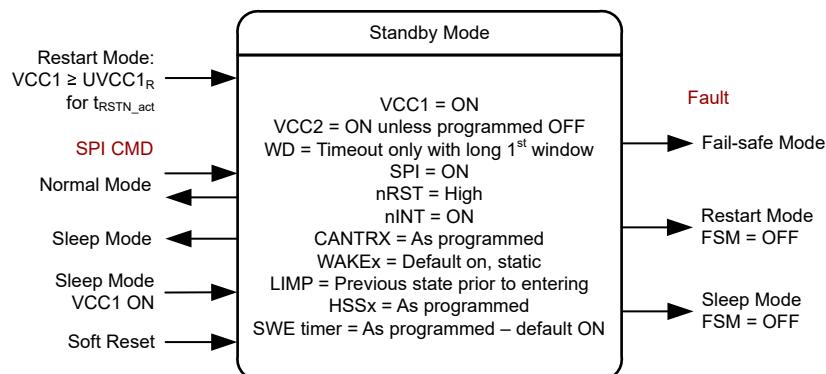


図 8-57. スタンバイ モード

8.4.4 リスタート モード

リスタートモードは遷移モードです。フェイルセーフ モードが無効になっているかどうかに応じて、他のいずれのモードからでもこのモードに入ることができます。このモードでは、有効化された LDO がランプまたはオンになります。最初の電源投入時に、 $VCC1 \geq UVCC1_R$ が t_{RSTN_act} (約 2ms) 経過すると、デバイスはスタンバイモードに遷移します。リスタートモード中、nRST は Low にラッチされます。再起動モードに移行すると、リスタート タイマが開始されます。レジスタ 8'h4F[0] (RSTRT_TMR_SEL) を設定することで、 t_{RSTTO} と $t_{INACTIVE}$ (SWE) タイマのどちらを使うか選択します。デフォルトは t_{RSTTO} です。タイマのタイムアウト前にデバイスが再起動モードを終了していない場合、デバイスは有効時にフェイルセーフモードに、フェイルセーフモードが無効時にスリープモードに遷移します。通常モードまたはスタンバイモードからリスタートモードに移行するたびに、リスタートモードカウンタ、RSRT_CNTR がインクリメントされます。例外は、リスタートカウンタを超える場合に、デバイスがフェイルセーフモードまたはスリープモードに移行する場合です。このイベントによってリスタートモードに再び移行すると、カウンタは無視されて、デバイスはスタンバイモードに移行します。スタンバイモードになると、カウンタをクリアします。このカウンタはレジスタ 8'h28[7:4] でプログラム可能で、スリープまたはフェイルセーフモードに遷移する前にリスタートに移行できる回数を最大 15 まで設定できます。デフォルト値は 4 です。レジスタ 8'h28[3:0] は RSRT_CNTR です。カウンタを 0000b にプログラミングすると、カウンタを無効化できます。スリープモードやフェイルセーフモードへの移行を防ぐために、このカウンタは定期的にクリアされます。

nRST 出力ピンの動作は、デバイスがリスタートモードに移行する理由によって異なります。ウォッチドッグ障害により、フェイルセーフモード、または外部 nRST のトグルから移行する際、nRST ピンは t_{NRST_TOG} の間 Low になります。この時間はデフォルトで 20ms です。レジスタ 8'h29[5]=0 を変更することで、このパルス幅を 2ms に構成できます。この時間が経過するとデバイスはスタンバイモードに遷移し、nRST ピンを High に解除します。図 8-59 を参照してください。

スリープモードからリスタートモードに移行する際、または低電圧イベントのために、 t_{RSTN_act} の間 $VCC1 > UVCC1_R$ になるまでデバイスは nRST を Low にラッチし、その後、スタンバイモードに遷移して nRST を High に解除します。再起動モードに移行すると、 t_{RSTTO} タイマが開始し、タイムアウトするとデバイスがスリープモードに移行します。リスタートモードに移行して終了する方法については、図 8-58 を参照してください。

nRST ピンは TCAN241x-Q1 のリセット入力ピンでもあり、 t_{NRSTIN} の間ピンが Low にプルされるデバイスがリスタートモードに遷移します。図 8-59 を参照してください。

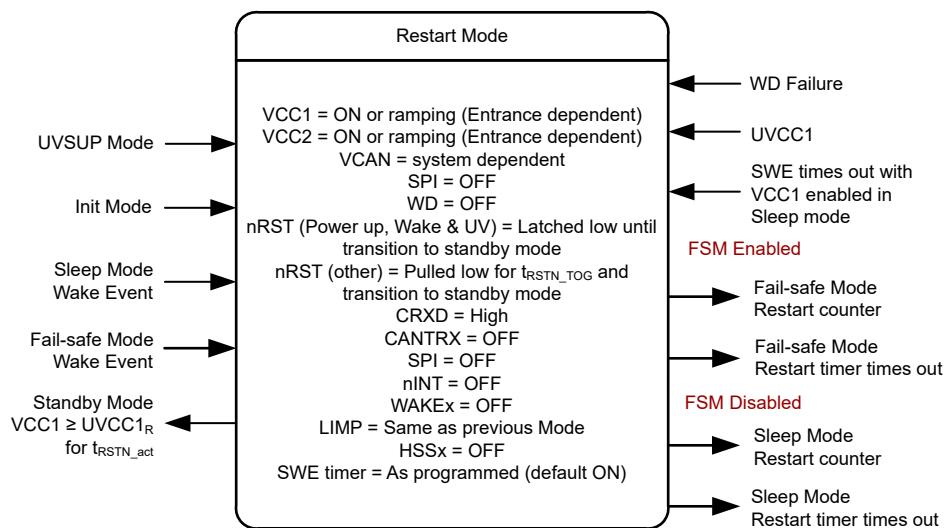


図 8-58. リスタート モード

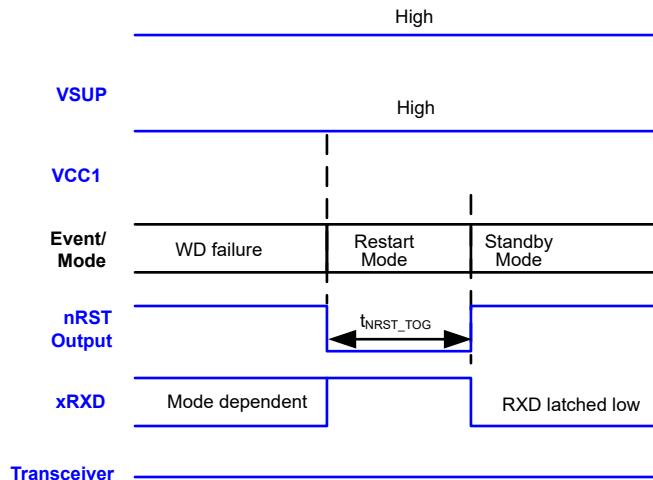


図 8-59. リスタートイベントのタイミング図

8.4.5 フェイルセーフモード

TCAN241x-Q1 にはフェイルセーフモードが搭載されており、デフォルトでオンです。特定の故障イベントが発生するところのモードに移行します。フェイルセーフモードに入ると、(有効になっていれば) LIMP がオンになり、グローバル割り込みが発行され、スリープ ウエーク エラー (SWE) タイマ $t_{INACTIVE}$ が(有効なら)開始され、VCC1 と VCC2 がオフになります。フェイルセーフモードに移行する理由はレジスタ 8'h17[3:1] で規定され、他の割り込みフラグでさらに拡張されます。このモードはレジスタ 8'h17[0] を使用して無効化できますが、故障監視はスリープモードではなくフェイルセーフモードでアクティブになるため、イネーブルのままにすることを推奨します。このモードでは、他の機能も低消費電力状態に移行します。フェイルセーフモードに移行すると、レギュレータは少なくとも t_{REGOFF} (約 300ms) の間オフを保持します。この時間中、ウェークイベントは監視および保持されます。 t_{REGOFF} がウェークイベントをタイムアウトした後、デバイスはリスタートモードに移行します。SWE タイマが、故障がクリアされる前かつウェークイベントが発生する前にタイムアウトすると、デバイスはスリープモードへ移行します。図 8-60 は、デバイスがフェイルセーフモードに移行する原因となる各種故障条件を示しています。故障条件がクリアされてウェークイベントが発生すると、デバイスはリスタートモードに移行します。図 8-61 はフェイルセーフモードの高レベルフローチャートを示しています。

フェイルセーフモードカウンタが利用可能で一連のフェイルセーフイベントが連続して発生すると、デバイスはプログラムされた動作を実行します。これには、WUP、WUF、LWU イベントによってデバイスがウェークされない場合にスリープに移行することが含まれます。パワーオンリセットが必要です。このカウンタはデフォルトで無効化されており、8'h17[7:4] ≠ 0000b で有効にできます。カウンタ終了アクションは 8'h17[7:4] にあります。アクションがプログラムされるまでのイベント数は 8'h18[7:4] に最大 16 のイベント数の値がセットされます。8'h18[3:0] は、読み取りおよびクリアが可能な、ランニングアップ/ダウンフェイルセーフイベントカウンタです。

故障およびプログラムされた構成に応じて、複数のフェイルセーフモードの終了方法があります。

- ウェークイベントと故障のクリアにより、デバイスは再起動モードに移行します。
- SWE タイマがイネーブルの場合、タイマが満了した後にデバイスはスリープモードに移行します
- FSM_CYC_WK_EN, 8'h0E[6]=1b の場合、選択したタイマのオン時間中にデバイスがウェークアップし、故障がクリアされたかどうかを確認します。その場合、デバイスはリスタートモードへ移行します。

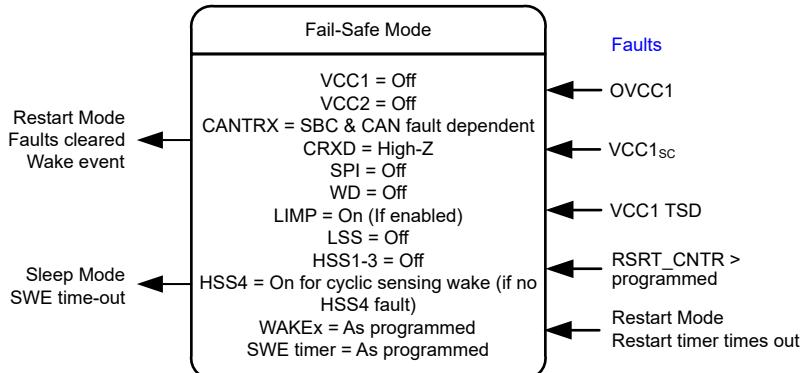


図 8-60. フェイルセーフ モード

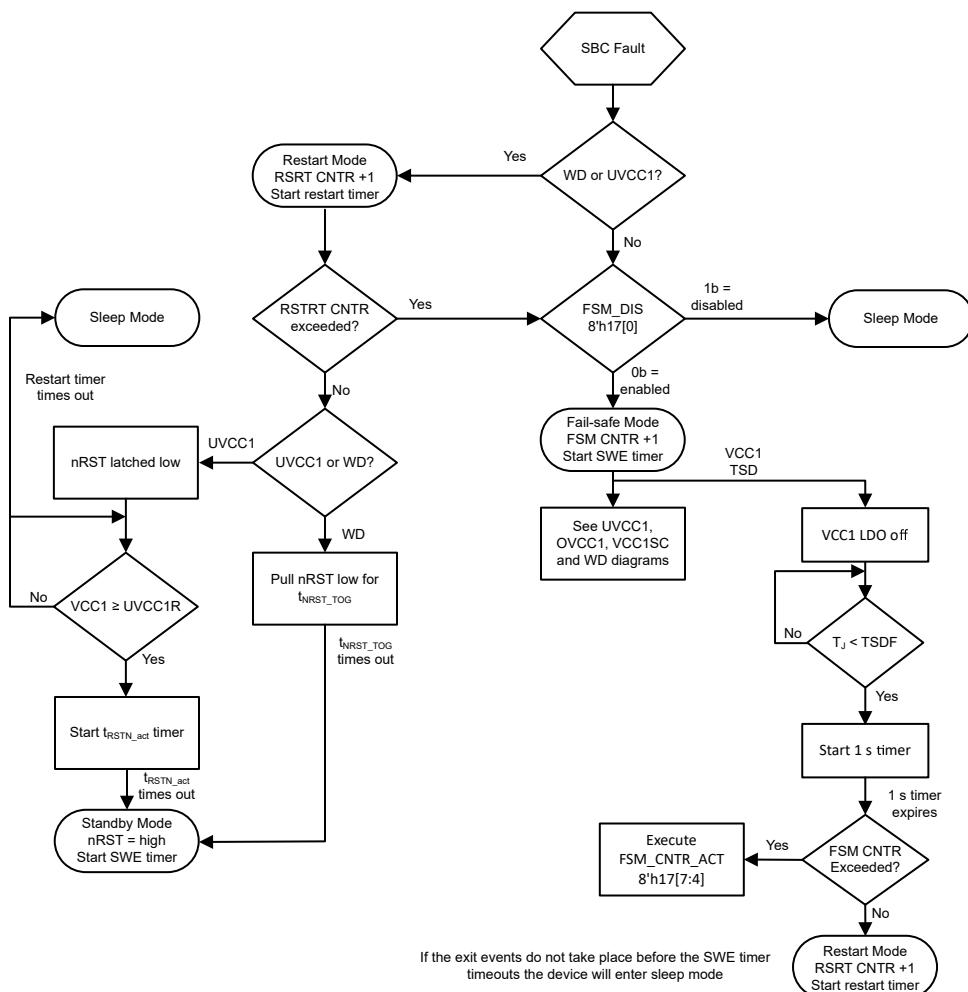


図 8-61. フェイルセーフモードのフローチャート

注

フェイルセーフ モードに移行するデバイスには、デバイスをウェークアップする手法が存在する必要があります。これには通信バスまたは WAKE ピンを使用できます。これらがすべてフェイルセーフ モードで無効な場合、デバイスは自動的に CAN FD トランシーバをウェーク可能にします。

デバイスがフェイルセーフ モードに移行すると、SWE タイマが自動的に開始します。

- SWE タイマがタイムアウトする場合、デバイスはスリープ モードに移行します
- SWE タイマのタイミングアウトよりも前にウェークイベントが発生する場合、デバイスは故障がまだ存在しているかどうかを判断します。
 - 故障が存在している場合、デバイスはフェイルセーフモードのままで故障を監視します。
 - 故障がクリアされるとデバイスはリストートモードに移行します。

デバイスが TSD 以外の理由でフェイルセーフ モードに入った場合、以下の動作が行われます。

- VCC1 レギュレータはオフになります。
- デバイスがウェーク イベントを受信すると、レギュレータが t_{REGON} の間オンになり、短絡イベントがまだ存在しているかどうかを判断します。
 - t_{REGON} の最後に、短絡が検出されると、デバイスはレギュレータをオフにし、次のウェーク イベントまで待機します。
- 過電圧が連続監視されると直ちにスリープモードに移行します。
- 故障がクリアされると、デバイスはリストート モードに移行します。

8.4.5.1 SBC フォルト

SBC フォルトは、デバイスのモードを変更させる故障です。フェイルセーフ モードが有効になっている場合、これらの故障が発生すると、デバイスはリストート モードまたはフェイルセーフ モードのいずれかに移行します。フェイルセーフ モードが無効な場合、故障によってデバイスは再起動モードまたはスリープ モードに移行します。SBC フォルトは次のとおりです：

- VCC1 の過電圧
- VCC1 の低電圧
- VCC1 への短絡
- TSD_SBC によるサーマル シヤットダウン
- ウオッチドッグ 故障
- リスタート カウンタがプログラムされた値を超過
- 有 SWE タイマが期限切れになります
- VSUP の低電圧は SBC 故障ですが、デバイスがフェイルセーフ モードに移行することはありません

8.4.5.2 CAN トランシーバ故障

CAN トランシーバの障害はトランシーバに影響を与えますが、デバイスがフェイルセーフモードに入ることはあります。CAN トランシーバの障害は CAN トランシーバをオフにします。CAN トランシーバの故障は次のとおりです：

- VCC2 サーマル シヤットダウン
- CAN トランシーバのサーマル シヤットダウン
- CTXD ピンスタックドミナント - CTXD ドミナントタイムアウト
- UVCAN

注

VCC2 が VCAN に接続されている場合、VCC2 の故障により CAN 故障が発生する可能性があります。

8.4.6 スリープ モード

スリープ モードは、TCAN241x-Q1 の省電力モードです。このモードでは、デバイスは CAN バス、WAKEx ピン、または（設定されていれば）SW ピンからウェークアップできます。V_{CC1} が存在する場合、SPI でモードを変更でき、nRST は

high です。故障状態が原因でスリープ モードに入った場合、INT_2 レジスタ 8'h52[7] (SMS) が 1 に設定されます。[図 8-62](#) に、スリープ モードへの移行および終了の各種方法を示します。

本デバイスがスリープ モードに入っている間、次の条件が成立しています。

- CAN バスドライバは無効化され、内部の CAN バスの終端は弱いグランドに切り替えられます。
- CAN トランシーバ レシーバは無効です。
- CAN の低消費電力ウェークアップ レシーバは、設定されたとおりに動作します。
- WAKE ピンはアクティブです。
- 周期的センシングが有効になっている場合、選択されたハイサイド スイッチは定期的にオンになります。
- SW ピンがデジタル ウェーク入力として設定されている場合、ピンはオンになります。

注

SPI コマンドでスリープ モードに入るには、スリープ モードへの移行のための SPI コマンドを発行する前に、すべてのウェイク割り込みをクリアしておく必要があります。さらに、ウェークアップするための方法が少なくとも一つは有効でなければなりません。もしすべてのウェーク方法が無効化されている場合、デバイスはスリープ モードに入りません。その代わり、割り込み 8'h5A[3] をセットします。

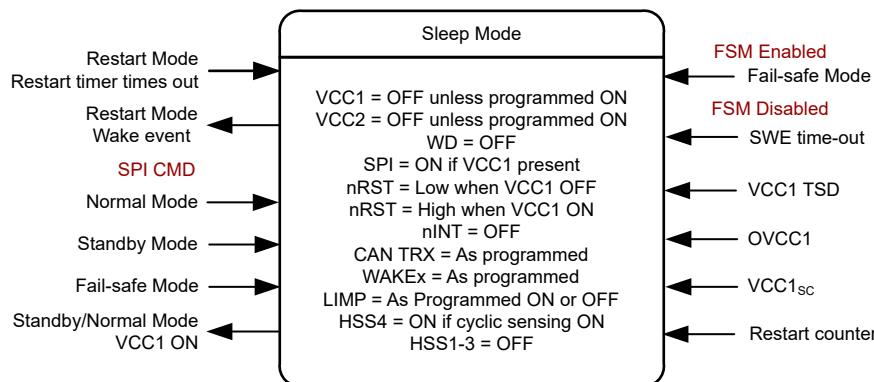


図 8-62. スリープ モード

9 デバイス レジスタ表

9.1 デバイスのレジスタ

表 9-1 に、デバイスのレジスタ用のメモリマップト レジスタを示します。表 9-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 9-1. デバイスのレジスタ

アドレス	略称	レジスタ名	セクション
0h	DEVICE_ID_241x	デバイス部品番号	セクション 9.1.1
8h	REV_ID	メジャーおよびマイナーリビジョン	セクション 9.1.2
9h	SPI_CONFIG	SPI モード構成	セクション 9.1.3
Ah	CRC_CNTL	SPI CRC 制御	セクション 9.1.4
Bh	CRC_POLY_SET	SPI CRC 多項式をセット	セクション 9.1.5
Ch	SBC_CONFIG	SBC、HSS、VCC2 の選択	セクション 9.1.6
Dh	VREG_CONFIG1	VCC1 レギュレータを構成	セクション 9.1.7
Eh	SBC_CONFIG1	SBC の構成	セクション 9.1.8
Fh	Scratch_Pad_SPI	テストレジスタ SPI の読み取りおよび書き込み	セクション 9.1.9
10h	CAN_CNTRL_1	CAN トランシーバ 1 制御	セクション 9.1.10
11h	WAKE_PIN_CONFIG1	WAKE ピン構成 1	セクション 9.1.11
12h	WAKE_PIN_CONFIG2	WAKE ピン構成 2	セクション 9.1.12
13h	WD_CONFIG_1	ウォッチドッグ構成 1	セクション 9.1.13
14h	WD_CONFIG_2	ウォッチドッグ構成 2	セクション 9.1.14
15h	WD_INPUT_TRIG	ウォッチドッグ入力トリガ	セクション 9.1.15
16h	WD_RST_PULSE	ウォッチドッグ出力パルス幅	セクション 9.1.16
17h	FSM_CONFIG	フェイルセーフモード構成	セクション 9.1.17
18h	FSM_CNTR	フェイルセーフモードカウンタ	セクション 9.1.18
19h	DEVICE_CONFIG0	デバイスリセット構成	セクション 9.1.19
1Ah	DEVICE_CONFIG1	デバイス構成 1	セクション 9.1.20
1Bh	DEVICE_CONFIG2	デバイス構成 2	セクション 9.1.21
1Ch	SWE_TIMER	スリープウェークエラータイマ構成	セクション 9.1.22
1Eh	HSS_CNTL	ハイサイドスイッチ 1 および 2 制御	セクション 9.1.23
1Fh	PWM1_CNTL1	パルス幅変調周波数の構成	セクション 9.1.24
20h	PWM1_CNTL2	パルス幅変調デューティサイクルの 2 つの MSB 選択	セクション 9.1.25
21h	PWM1_CNTL3	パルス幅変調デューティサイクルの 8 つの LSB 選択	セクション 9.1.26
22h	PWM2_CNTL1	パルス幅変調 2 周波数の選択	セクション 9.1.27
23h	PWM2_CNTL2	パルス幅変調デューティサイクルの 2 つの MSB 選択	セクション 9.1.28
24h	PWM2_CNTL3	パルス幅変調デューティサイクルの 8 つの LSB 選択	セクション 9.1.29
25h	TIMER1_CONFIG	ハイサイドスイッチタイマ 1 構成	セクション 9.1.30
26h	TIMER2_CONFIG	ハイサイドスイッチタイマ 2 構成	セクション 9.1.31
28h	RSRT_CNTR	カウンタ構成を再開	セクション 9.1.32
29h	nRST_GFO_CNTL	nRST および GFO ピン制御	セクション 9.1.33
2Ah	WAKE_PIN_CONFIG3	WAKE ピンの複数のウェーク入力の設定とレポート機能	セクション 9.1.34
2Bh	WAKE_PIN_CONFIG4		セクション 9.1.35
2Dh	WD_QA_CONFIG	Q&A ウォッチドッグの構成	セクション 9.1.36
2Eh	WD_QA_ANSWR	QA ウォッチドッグへの回答を書き込むためのレジスタ	セクション 9.1.37
2Fh	WD_QA_QUESTION	QA ウォッチドッグの質問値とエラー カウント設定	セクション 9.1.38
30h	SW_ID1	選択的ウェイク ID1 レジスタ	セクション 9.1.39

表 9-1. デバイスのレジスタ (続き)

アドレス	略称	レジスタ名	セクション
31h	SW_ID2	選択的ウェイク ID2 レジスタ	セクション 9.1.40
32h	SW_ID3	選択的ウェイク ID3 レジスタ	セクション 9.1.41
33h	SW_ID4	選択的ウェイク ID4 レジスタ	セクション 9.1.42
34h	SW_ID_MASK1	選択的ウェーク ID MASK1 レジスタ	セクション 9.1.43
35h	SW_ID_MASK2	選択的ウェーク ID MASK2 レジスタ	セクション 9.1.44
36h	SW_ID_MASK3	選択的ウェーク ID MASK3 レジスタ	セクション 9.1.45
37h	SW_ID_MASK4	選択的ウェーク ID MASK4 レジスタ	セクション 9.1.46
38h	SW_ID_MASK_DLC	選択的ウェーク ID MASK DLC レジスタ	セクション 9.1.47
39h	DATA0	選択式ウェーク DATA0	セクション 9.1.48
3Ah	DATA1	選択式ウェーク DATA1	セクション 9.1.49
3Bh	DATA2	選択式ウェーク DATA2	セクション 9.1.50
3Ch	DATA3	選択式ウェーク DATA3	セクション 9.1.51
3Dh	DATA4	選択式ウェーク DATA4	セクション 9.1.52
3Eh	DATA5	選択式ウェーク DATA5	セクション 9.1.53
3Fh	DATA6	選択式ウェーク DATA6	セクション 9.1.54
40h	DATA7	選択式ウェーク DATA7	セクション 9.1.55
44h	SW_CONFIG_1	選択式ウェーク構成レジスタ 1	セクション 9.1.56
45h	SW_CONFIG_2	選択式ウェーク構成レジスタ 2	セクション 9.1.57
46h	SW_CONFIG_3	選択式ウェーク構成レジスタ 3	セクション 9.1.58
47h	SW_CONFIG_4	選択式ウェーク構成レジスタ 4	セクション 9.1.59
4Dh	HSS_CNTL2	HSS3 および 4 制御レジスタ	セクション 9.1.60
4Eh	EEPROM	顧客 EEPROM プログラミング レジスタ	セクション 9.1.61
4Fh	HSS_CNTL3	VHSS OV/UV、スリープ モードでの周期的ウェークの制御	セクション 9.1.62
50h	INT_GLOBAL	グローバル割り込みレジスタ	セクション 9.1.63
51h	INT_1	CAN、LWU、SW ピンのウェーク割り込みを含む	セクション 9.1.64
52h	INT_2	UVCC1、OVCC1、UVSUP 割り込みを含む	セクション 9.1.65
53h	INT_3	INT3 レジスタ	セクション 9.1.66
54h	INT_CANBUS_1	CAN バス故障の割り込み	セクション 9.1.67
55h	INT_7	HSS OC および OL 割り込み	セクション 9.1.68
56h	INT_EN_1	INT1 のイネーブル	セクション 9.1.69
57h	INT_EN_2	INT2 のイネーブル	セクション 9.1.70
58h	INT_EN_3	INT3 のイネーブル	セクション 9.1.71
59h	INT_EN_CANBUS_1	INT_CANBUS のイネーブル	セクション 9.1.72
5Ah	INT_4	INT4 レジスタ	セクション 9.1.73
5Ch	INT_6	INT6 レジスタ	セクション 9.1.74
5Eh	INT_EN_4	INT4 のイネーブル	セクション 9.1.75
60h	INT_EN_6	INT6 のイネーブル	セクション 9.1.76
62h	INT_EN_7	INT7 のイネーブル	セクション 9.1.77
65h	BUCK_CONFIG1	降圧レギュレータ構成レジスタ	セクション 9.1.78
78h	ID_PIN_STATUS	ID ピン ステータス レジスタ	セクション 9.1.79
79h	WAKE_ID_CONFIG1	ID1 および ID2 の構成	セクション 9.1.80
7Ah	WAKE_ID_CONFIG2	ID3 および ID4 の構成	セクション 9.1.81

表 9-1. デバイスのレジスタ (続き)

アドレス	略称	レジスタ名	セクション
7Bh	WAKE_PIN_CONFIG5	WKAE4 ピン構成	セクション 9.1.82

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。[表 9-2](#) に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-2. デバイスのアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RH	R H	ハードウェアによってセットまたはクリアされる の読み取り
書き込みタイプ		
W	W	書き込み
W0C	W 0C	書き込み 0 でクリア
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

9.1.1 DEVICE_ID_241x レジスタ (アドレス = 0h) [リセット = 00h]

DEVICE_ID_241x を表 9-3 に示します。

概略表に戻ります。

デバイス型番。オフセット = 0h + y (ただし、y = 0h ~ 7h)

表 9-3. DEVICE_ID_241x レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DEVICE_ID	R	00000000b	DEVICE_ID[1:8] レジスタは、デバイスの型番を決定します。 各 DEVICE_ID レジスタのリセット値と値は、対応するレジスタアドレスに 対して一覧化 アドレス 00h = 43h = C アドレス 01h = 32h = 2 アドレス 02h = 34h = 4 アドレス 03h = 31h = 1 アドレス 04h = 30h = TCAN2410-Q1 の場合 0 アドレス 04h = 31h = TCAN2411-Q1 の場合 1 アドレス 05h - 07h = RSVD

9.1.2 REV_ID レジスタ (アドレス = 8h) [リセット = 2Xh]

表 9-4 に、REV_ID を示します。

概略表に戻ります。

表 9-4. REV_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	Major_Revision	RH	0010b	メジャー ダイリビジョン。リセット値はメジャーダイリビジョン(全層リビジョン)を示します。 0001b = 1 0010b = 2
3-0	Minor_Revision	RH	xxxxb	マイナー ダイリビジョン。リセット値は、マイナーダイリビジョン(金属層リビジョン)を示します。 0000b = 0 0001b = 1

9.1.3 SPI_CONFIG レジスタ (アドレス = 9h) [リセット = 00h]

SPI_CONFIG を表 9-5 に示します。

概略表に戻ります。

表 9-5. SPI_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0b	予約済み
3	BYTE_CNT	R/W	0b	読み取りまたは書き込み動作のデータバイト数を選択します。2 バイト構成では、SPI CRC は使用できないことに注意します 0b = 1 バイト 1b = 2 バイト
2	SDI_POL	R/W	0b	SDI 入力ピンのアイドル時の極性を、内部プルアップまたはプルダウン抵抗の設定によって選択します 0b = プルダウン 1b = プルアップ
1-0	SPI_MODE	R/W	00b	SPI モードを構成します 00b = モード 0 (CPOL は 0, CPHA は 0) 01b = モード 1 (CPOL は 0, CPHA は 1) 10b = モード 2 (CPOL は 1, CPHA は 0) 11b = モード 3 (CPOL は 1, CPHA は 1)

9.1.4 CRC_CNTL レジスタ (アドレス = Ah) [リセット = 00h]

表 9-6 に、CRC_CNTL を示します。

概略表に戻ります。

表 9-6. CRC_CNTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0b	予約済み
0	CRC_EN	R/W	0b	SPI CRC を有効化します 0b = 無効化 1b = イネーブル

9.1.5 CRC_POLY_SET レジスタ (アドレス = Bh) [リセット = 00h]

表 9-7 に、CRC_POLY_SET を示します。

概略表に戻ります。

表 9-7. CRC_POLY_SET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0b	予約済み
0	POLY_8_SET	R/W	0b	CRC の 8 ビット多項式を設定します。 0b = $X^8 + X^5 + X^3 + X^2 + X + 1$ (0x2F) 1b = $X^8 + X^4 + X^3 + X^2 + 1$ (0x1D SAE J1850)

9.1.6 SBC_CONFIG レジスタ (アドレス = Ch) [リセット = 86h]

表 9-8 に、SBC_CONFIG を示します。

概略表に戻ります。

表 9-8. SBC_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VCC1_OV_SEL	R/W	1b	OVCC1 スレッショルド選択ビット 0b = 下限スレッショルド 1b = 上側スレッショルド
6	OVCC1_ACTION	R/W	0b	OVCC1 による SBC 動作の設定 0b = フェイルセーフ モードに移行 1b = OVCC1 割り込みのみを設定し、フェイルセーフ モードには移行しません
5	PWM_SEL	R/W	0b	プログラミングのために選択する PWM を決定します 0b = PWM1 および PWM2 1b = PWM3 および PWM4
4	VCC1_SNK_DIS	R/W	0b	VCC1 シンク電流をイネーブル / ディスエーブルします 0b = VCC1 のシンクをイネーブル (デフォルト) 1b = VCC1 のシンクをディスエーブル
3-2	SBC_MODE_SEL	RH/W	01b	SBC がどのモードにあるかを決定します。コントローラによって設定できます。これらのビットは、スリープからスタンバイ モードへの復帰時や、フェイルセーフからスタンバイ モードへの移行時など、ハードウェアによっても更新されます 00b = スリープ 01b = スタンバイ 10b = 通常 11b = 予約済み
1-0	VCC2_CFG	R/W	10b	VCC2 電圧レギュレータ構成 00b = すべての SBC モードで VCC2 オフ 01b = フェイルセーフ以外のすべての SBC モードで VCC2 がオン 10b = スリープとフェイルセーフ以外のすべての SBC モードで VCC2 がオン 11b = 予約済み

9.1.7 VREG_CONFIG1 レジスタ (アドレス = Dh) [リセット = A0h]

VREG_CONFIG1 を表 9-9 に示します。

概略表に戻ります。

表 9-9. VREG_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VCC1_CFG	R/W	10b	VCC1 電圧レギュレータ構成 00b = 予約済み 01b = フエイルセーフ モードを除くすべての SBC モードでオン 10b = スリープおよびフェイルセーフ モードを除くすべての SBC モード でオン 11b = 予約済み
5	FPWM_OVSUP_DIS	R/W	1b	VSUP が高い時に VCC1 出力のリングを減らすため、OVSUP で FPWM を無効にします。選択すると、降圧レギュレータは自動的に PFM モードに切り替わります 0b = OVSUP で FPWM を無効化しません 1b = OVSUP で FPWM を無効化します
4	予約済み	R	0b	予約済み
3	VCC1_SINK	R/W	0b	VCC1 電流シンク強度の選択 0b = 10 μ A 1b = 1000 μ A
2-0	予約済み	R	0b	予約済み

9.1.8 SBC_CONFIG1 レジスタ (アドレス = Eh) [リセット = 01h]

SBC_CONFIG1 を表 9-10 に示します。

概略表に戻ります。

表 9-10. SBC_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CAN_SLOPE_CTRL_EN	R/W	0b	TCAN241x:CAN トランシーバスロープ制御がイネーブル 0b=ディセーブル 1b = イネーブル
6	FSM_CYC_WK_EN	R/W	0b	フェイルセーフモードでの周期的ウェークを有効にします 0b=ディセーブル 1b = イネーブル
5	VCC1_SLP_ACT	R/W	0b	ウェーク イベントによってスリープ モード中に VCC1 がオンになった場合に実行する動作 0b = nINT ピンのみでウェイクイベントを示す、デバイスはスリープモードのままになります。 1b = 再起動モードを経由してスタンバイ モードへ移行
4-3	UVCC1_SEL	R/W	00b	VCC1 低電圧スレッショルドの選択 00b = スレッショルド 1 01b = スレッショルド 2 10b = スレッショルド 3 11b = スレッショルド 4
2	SW_FSM_EN	R/W	0b	フェールセーフ モードのとき、SW ピンをデジタル ウェイクアップ ピンとして使えるようにします 0b=ディセーブル 1b = イネーブル
1	SW_SLP_EN	R/W	0b	スリープ モードのとき、SW ピンをデジタル ウェイクアップ ピンとして使えるようにします 0b=ディセーブル 1b = イネーブル
0	SW_POL_SEL	R/W	1b	SW ピンの極性選択 0b = アクティブ Low 1b = アクティブ High

9.1.9 Scratch_Pad_SPI レジスタ (アドレス = Fh) [リセット = 00h]

表 9-11 に、Scratch_Pad_SPI を示します。

概略表に戻ります。

表 9-11. Scratch_Pad_SPI レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	Scratch_Pad	R/W	00000000b	SPI 用の読み書きテスト パッド

9.1.10 CAN_CNTRL_1 レジスタ (アドレス = 10h) [リセット = 04h]

CAN_CNTRL_1 を表 9-12 に示します。

概略表に戻ります。

表 9-12. CAN_CNTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SW_EN	R/W	0b	選択的ウェークをイネーブル 0b=ディセーブル 1b = イネーブル
6	TXD.DTO.DIS	R/W	0b	CAN TXD ドミナントタイムアウトの無効化制御 0b = イネーブル 1b=ディセーブル
5	FD_EN	R/W	0b	バス故障診断をイネーブル 0b=ディセーブル 1b = イネーブル
4	予約済み	R	0b	予約済み
3	CAN1_FSM.DIS	R/W	0b	デバイスが FSM に入るとき、CAN トランシーバの動作状態を設定します 0b = ウエーク機能あり 1b = オフ
2-0	CAN1_TRX_SEL	R/W	100b	CAN トランシーバ制御 000b = オフ 001b = 予約済み 010b = SBC モード制御の WUP が無効 011b = 予約済み 100b = ウエーク機能あり 101b = リスン 110b = SBC モード制御 111b = オン

9.1.11 WAKE_PIN_CONFIG1 レジスタ (アドレス = 11h) [リセット = 00h]

WAKE_PIN_CONFIG1 を表 9-13 に示します。

概略表に戻ります。

表 9-13. WAKE_PIN_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	WAKE_CONFIG	R/W	00b	WAKE ピンの構成。注: パルスにはさらにプログラミングが必要です 00b = 双方向 - どちらかのエッジ 01b = 立ち上がりエッジ 10b = 立ち下がりエッジ 11b = パルス
5	WAKE1_STAT	R/H	0b	WAKE1 ピンのステータスを示します。 0b = Low 1b = High
4	予約済み	R	0b	予約済み
3-2	WAKE_PULSE_INVALID	R/W	00b	このパルス数以下のパルスは無効とみなされます 00b = 5ms で、tWAKE_WIDTH_MIN を 10ms に設定 01b = 10ms で、tWAKE_WIDTH_MIN を 20ms に設定 10b = 20ms で、tWAKE_WIDTH_MIN を 40ms に設定 11b = 40ms で、tWAKE_WIDTH_MIN を 80ms に設定
1-0	WAKE_PULSE_MAX	R/W	00b	有効と見なされる WAKE ピンの最大入力パルス幅。 00b = 750ms 01b = 1000ms 10b = 1500ms 11b = 2000ms

9.1.12 WAKE_PIN_CONFIG2 レジスタ (アドレス = 12h) [リセット = 02h]

WAKE_PIN_CONFIG2 を表 9-14 に示します。

概略表に戻ります。

表 9-14. WAKE_PIN_CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WAKE_PULSE_CONFIG	R/W	0b	すべてのウェークピンに対して、想定されるパルスの方向を設定します 0b = Low-> High-> Low 1b = High -> Low -> High
6	WAKE1_SENSE	R/W	0b	WAKE1 ピンは、静的または周期的センシングのウェーク用に設定 0b = 静的センシング 1b = 周期的センシング
5	TWK_CYC_SET	R/W	0b	すべての WAKE ピンに対して、周期的センシングで WAKE ピンの状態を判定するための tWK_CYC 時間(μs)を設定します 0b = 35μs 1b = 100μs
4-3	nINT_SEL	R/W	00b	nINT 構成の選択 00b = グローバル割り込み 01b = ウオッチドッグ故障出力 10b = バス故障の割り込み 11b = ウェークアップ要求
2	RXD_WK_CONFIG	R/W	0b	ウェークイベント時の RXD ピンの動作を設定します 0b = Low にプル 1b = トグル
1-0	WAKE1_LEVEL	R/W	10b	WAKE1 ピンの入力スレッショルドを設定します 00b = VCC1 01b = 2.5 V 10b = 4 V 11b = 6 V

9.1.13 WD_CONFIG_1 レジスタ (アドレス = 13h) [リセット = 82h]

WD_CONFIG_1 を表 9-15 に示します。

概略表に戻ります。

表 9-15. WD_CONFIG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	WD_CONFIG	R/W	10b	ウォッチドッグ構成 00b = ディセーブル 01b = タイムアウト 10b = ウィンドウ 11b = Q&A
5-4	WD_PRE	R/W	00b	ウォッチドッグ プリスケーラ 00b = 係数 1 01b = 係数 2 10b = 係数 3 11b = 係数 4
3	WD_SLP_EN	R/W	0b	スリープ モードでウォッチドッグを有効にします 0b = スリープ モードではウォッチドッグが無効 1b = スリープ モードでウォッチドッグが有効
2	WD_STBY_TYPE	R/W	0b	有効な場合、スタンバイ モードで使用するウォッチドッグの種類を選択します 0b = タイムアウト 1b = ノーマル モードのウォッチドッグの種類に合わせます
1-0	WD_LW_SEL	R/W	10b	スタンバイ モードでのロング ウィンドウ期間を選択します。 00b = 150ms 01b = 300ms 10b = 600ms (デフォルト) 11b = 1000ms

9.1.14 WD_CONFIG_2 レジスタ (アドレス = 14h) [リセット = 60h]

WD_CONFIG_2 を表 9-16 に示します。

[概略表](#)に戻ります。

表 9-16. WD_CONFIG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	WD_TIMER	R/W	011b	WD_PRE 設定に基づいてウインドウ時間またはタイムアウト時間を設定します。詳細は WD_TIMER 表を参照してください
4-1	WD_ERR_CNT	RH	0000b	ウォッチドッグ エラーカウンタ WD_ERR_CNT_SET スレッシュホールドまでのウォッチドッグエラーの実行数を提示します。
0	WD_STBY_DIS	R/W	0b	スタンバイ モードでウォッチドッグを無効にします。 0b = イネーブル 1b = ディセーブル

9.1.15 WD_INPUT_TRIG レジスタ (アドレス = 15h) [リセット = 00h]

表 9-17 に、WD_INPUT_TRIG を示します。

概略表に戻ります。

表 9-17. WD_INPUT_TRIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	WD_INPUT	R/W1C	00000000b	適切なタイミングで WD をトリガするには、FFh を書き込みます

9.1.16 WD_RST_PULSE レジスタ (アドレス = 16h) [リセット = 00h]

表 9-18 に、WD_RST_PULSE を示します。

概略表に戻ります。

表 9-18. WD_RST_PULSE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	WD_ERR_CNT_SET	R/W	0000b	ウォッチドッグイベントエラーカウタスレッショルドを設定します。デバイスはリスタートモードに移行し、オーバーフロー時に LIMP をアサートします。
3-0	RSRT_CNTR	R/W1C	0000b	デバイスがリスタートモードに移行した回数を示し、これは RSRT_CNTR_SEL 値に達する前にクリアする必要があります

9.1.17 FSM_CONFIG レジスタ (アドレス = 17h) [リセット = 00h]

表 9-19 に、FSM_CONFIG を示します。

概略表に戻ります。

表 9-19. FSM_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	FSM_CNTR_ACT	R/W	0000b	フェイルセーフ カウンタがプログラムされた値を超えた場合のアクション 0000b=ディセーブル 0001b = 予約済み 0010b = 予約済み 0011b = ハードリセット (POR) を実行 0100b = ウエーク イベントへの応答を停止し、電源再投入サイクルのリセットまでスリープ状態に入ります
3-1	FSM_SLP_STAT	R/H	000b	フェイルセーフ モードまたはスリープ モードに移行する理由 000b = ステータス クリア 001b = サーマル シャットダウン イベント 010b = 予約済み 011b = VCC1 故障 100b = 予約済み 101b = SWE タイマ (スリープ モード) 110b = 予約済み 111b = 再起動カウント超過。これらの値は、FSM_CNTR_STAT に oh を書き込んでクリアされるまで保持されます
0	FSM_DIS	R/W	0b	フェイルセーフ モードをディスエーブル 0b = イネーブル 1b=ディセーブル

9.1.18 FSM_CNTR レジスタ (アドレス = 18h) [リセット = 00h]

表 9-20 に、FSM_CNTR を示します。

概略表に戻ります。

表 9-20. FSM_CNTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	FSM_CNTR_SET	R/W	0000b	FSM_CNTR_ACT に従ってアクションが実行されるまでに、FS モードに入る回数を設定します。 0000b = 1 0001b = 1 0010b = 2 0011b = 3 0100b = 4 0101b = 5 0110b = 6 0111b = 7 1000b = 8 1001b = 9 1010b = 10 1011b = 11 1100b = 12 1101b = 13 1110b = 14 1111b = 15
3-0	FSM_CNTR_STAT	RH/W0C	0000b	FSM が 15 行まで入力された回数をリードバックします。0h を書き込むことでクリアできます。

9.1.19 DEVICE_CONFIG0 レジスタ (アドレス = 19h) [リセット = 20h]

DEVICE_CONFIG0 を表 9-21 に示します。

概略表に戻ります。

表 9-21. DEVICE_CONFIG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	NVM_REV	R	0010b	内部 NVM リビジョン
3-2	予約済み	R	0b	予約済み
1	SF_RST	R/W1C	0b	ソフトリセット: 1 を書き込むとソフトリセットが実行されます。レギュレータをオンにしたまま、デバイスのレジスタはデフォルト値に戻ります。
0	HD_RST	R/W1C	0b	ハードリセット: 1 を書き込むとパワーオン リセットが強制されます。これにより、PWRON 割り込みフラグが設定されます。

9.1.20 DEVICE_CONFIG1 レジスタ (アドレス = 1Ah) [リセット = 00h]

DEVICE_CONFIG1 を表 9-22 に示します。

概略表に戻ります。

表 9-22. DEVICE_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	LIMP_SLP_FLT_EN	R/W	0b	スリープ モードで、ウォッチドッグ故障に加えて TSD と VCC1 の故障でも LIMP をオンにします 0b=ディセーブル 1b = イネーブル
6-5	予約済み	R	0b	予約済み
4	LIMP_DIS	R/W	0b	LIMP 機能を設定します 0b = イネーブル 1b=ディセーブル
3-2	LIMP_SEL_RESET	R/W	00b	LIMP をリセット / オフにする方法を選択します 00b = 3 回目の正常な入力がトリガーされると、エラー カウンタが受信します 01b = 最初の正しい入力トリガ 10b = 予約済み 11b = 予約済み
1	LIMP_RESET	R/W1C	0b	LIMP リセット。このビットに 1b を書き込むと LIMP ピンがリセットされ、このビットは自動的にクリアされます。注: LIMP ピンがアクティブになる原因となった障害が解消されない場合、LIMP ピンは再びアクティブに設定されます。
0	FSM_CYC_SEN_EN	R/W	0b	フェイルセーフ モードで周期的センシングによるウェイクアップを有効にします 0b=ディセーブル 1b = イネーブル

9.1.21 DEVICE_CONFIG2 レジスタ (アドレス = 1Bh) [リセット = 00h]

DEVICE_CONFIG2 を表 9-23 に示します。

概略表に戻ります。

表 9-23. DEVICE_CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	LIMP_LSS_SEL	R/W	00b	LIMP ピンの機能を選択します。注: このレジスタフィールドは、8'h1A[4]=0b (LIMP 機能が有効) の場合、00b を読み取ります。 00b = LIMP 01b = ローサイド スイッチ 10b = 予約済み 11b = 予約済み
5-3	LIMP_LSS_CNTL	R/W	000b	LIMP ピンの LSS の出力を選択します 000b = オフ 001b = PWM1 010b = PWM2 011b = Timer1 100b = Timer2 101b = オン 110b = PWM3 111b = PWM4
2	VSUP_UVLO_SEL	R/W	0b	降圧レギュレータがオフになる VSUP の UVLO レベルを選択します 0b = 低い UVLO レベル (標準値 3.2V) 1b = 高い UVLO レベル (標準値 5V)
1	WAKE_WIDTH_MAX_DIS	R/W	0b	WAKE ピンをパルス設定にしている場合、最大制限である tWK_PULSE_WIDTH_MAX の検出を無効にします。 0b = イネーブル 1b = ディセーブル
0	予約済み	R	0b	予約済み

9.1.22 SWE_TIMER レジスタ (アドレス = 1Ch) [リセット = 28h]

表 9-24 に、SWE_TIMER を示します。

概略表に戻ります。

表 9-24. SWE_TIMER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SWE_EN	R/W	0b	スリープウェークエラーイネーブル:注:これにより、ウェークイベントでスリープ モードから復帰したときに SWE タイマが有効になります。これが有効になっている場合、SPI 読み取りまたは書き込みは 4 分間のウインドウ 内に実行される必要があり、時間が過ぎるとデバイスはスリープ状態に戻ります。最初の電源投入時やパワーオンリセット時に、この機能は無効化されません。 0b=ディセーブル 1b = イネーブル
6-3	SWE_TIMER_SET	R/W	0101b	tINACTIVE に使用されるタイマーを分単位で設定します 0000b = 2 0001b = 2.5 0010b = 3 0011b = 3.5 0100b = 4 0101b = 4.5 0110b = 5 0111b = 5.5 1000b = 6 1001b = 6.5 1010b = 8 1011b = 8.5 1100b = 10
2	CANSLNT_SWE_DIS	R/W	0b	CANSLNT フラグと SWE タイマの接続を無効化します。 0b = イネーブル 1b=ディセーブル
1-0	予約済み	R	0b	予約済み

9.1.23 HSS_CNTL レジスタ (アドレス = 1Eh) [リセット = 00h]

表 9-25 に、HSS_CNTL を示します。

概略表に戻ります。

表 9-25. HSS_CNTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6-4	HSS1_CNTL	R/W	000b	ハイサイド スイッチ 1 の制御。 000b = オフ 001b = PWM1 010b = PWM2 011b = Timer1 100b = Timer2 101b = オン 110b = PWM3 111b = PWM4
3	予約済み	R	0b	予約済み
2-0	HSS2_CNTL	R/W	000b	ハイサイド スイッチ 2 の制御。 000b = オフ 001b = PWM1 010b = PWM2 011b = Timer1 100b = Timer2 101b = オン 110b = PWM3 111b = PWM4

9.1.24 PWM1_CNTL1 レジスタ (アドレス = 1Fh) [リセット = 00h]

PWM1_CNTL1 を表 9-26 に示します。

[概略表](#)に戻ります。

表 9-26. PWM1_CNTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PWM1_FREQ	R/W	0b	PWM1 周波数 (Hz) を選択します 0b = 200 1b = 400
6-0	予約済み	R	0b	予約済み

9.1.25 PWM1_CNTL2 レジスタ (アドレス = 20h) [リセット = 00h]

PWM1_CNTL2 を表 9-27 に示します。

概略表に戻ります。

表 9-27. PWM1_CNTL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0b	予約済み
1-0	PWM1_DC_MSB	R/W	00b	10 ビット PWM1 デューティサイクル選択用の最上位 2 ビット。'h21[7:0] と連携 注: HSS3 を設定する際、PWM を使用する場合は PWM3 をそろえるのが最適です。レジスタ 8'hC[5] = 0b の場合、PWM1 制御は PWM3 に変更されます。 00b = 'h21[7:0] と併用する場合は 100% オフ 11b = h21[7:0] と併用する場合は 100% オン

9.1.26 PWM1_CNTL3 レジスタ (アドレス = 21h) [リセット = 00h]

PWM1_CNTL3 を表 9-28 に示します。

[概略表](#)に戻ります。

表 9-28. PWM1_CNTL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PWM1_DC	R/W	00000000b	10 ビット PWM1 のデューティサイクル選択用にビット 7~0 を使用。 '00000000b = 'h20[1:0] と連動して 1/1023 の解像度を提供します。注: HSS3 を設定する際、PWM を使用する場合は PWM3 をそろえるのが最適です。レジスタ 8'hC[5] = 0b の場合、PWM1 制御は PWM3 に変更されます。 '00000000b = 'h20[1:0] と併用する場合は 100% オフ '11111111b = 'h20[1:0] と併用する場合は 100% オン

9.1.27 PWM2_CNTL1 レジスタ (アドレス = 22h) [リセット = 00h]

PWM2_CNTL1 を表 9-29 に示します。

[概略表](#)に戻ります。

表 9-29. PWM2_CNTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PWM2_FREQ	R/W	0b	PWM2 周波数 (Hz) を選択します 0b = 200 1b = 400
6-0	予約済み	R	0b	予約済み

9.1.28 PWM2_CNTL2 レジスタ (アドレス = 23h) [リセット = 00h]

PWM2_CNTL2 を表 9-30 に示します。

[概略表](#)に戻ります。

表 9-30. PWM2_CNTL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0b	予約済み
1-0	PWM2_DC_MSB	R/W	00b	10 ビット PWM2 デューティサイクル選択用の最上位 2 ビット。'h24[7:0] と連携 注: HSS4 を設定する際、PWM を使用する場合は PWM4 をそろえるのが最適です。レジスタ 8'hC[5] = 0b の場合、PWM2 制御は PWM4 に変更されます。 00b = 'h24[7:0] と併用する場合は 100% オフ 11b = 'h24[7:0] と併用する場合は 100% オン

9.1.29 PWM2_CNTL3 レジスタ (アドレス = 24h) [リセット = 00h]

PWM2_CNTL3 を表 9-31 に示します。

概略表に戻ります。

表 9-31. PWM2_CNTL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PWM2_DC	R/W	00000000b	10 ビット PWM2 のデューティサイクル選択用にビット 7~0 を使用。 'h23[1:0] と連動して 1/1023 の解像度を提供します。注: HSS4 を設定する際、PWM を使用する場合は PWM4 を選択するのが最適です。レジスタ 8'hC[5] = 0b の場合、PWM2 制御は PWM4 に変更されます。 00000000b = 'h23[1:0] と併用する場合は 100% オフ 11111111b = 'h23[1:0] と併用する場合は 100% オン

9.1.30 TIMER1_CONFIG レジスタ (アドレス = 25h) [リセット = 00h]

TIMER1_CONFIG を表 9-32 に示します。

[概略表](#)に戻ります。

表 9-32. TIMER1_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	TIMER1_ON_WIDTH	R/W	0000b	タイマ 1 のハイサイド スイッチのオン時間 (ms) を設定します 0000b = オフ (HSS は高インピーダンス) 0001b = 0.1 0010b = 0.3 0011b = 0.5 0100b = 1 0101b = 10 0110b = 20 0111b = 30 1000b = 40 1001b = 50 1010b = 60 1011b = 80 1100b = 100 1101b = 150 1110b = 200 1111b = オン (HSS は 100% オン)
3	TIMER1_CYC_WK_EN	R/W	0b	タイマ 1 を使用した周期ウェイクを有効にします 0b = ディセーブル 1b = イネーブル
2-0	TIMER1_PERIOD	R/W	000b	タイマ 1 のタイマ期間 (ms) を設定します 000b = 10 001b = 20 010b = 50 011b = 100 100b = 200 101b = 500 110b = 1000 111b = 2000

9.1.31 TIMER2_CONFIG レジスタ (アドレス = 26h) [リセット = 00h]

TIMER2_CONFIG を表 9-33 に示します。

概略表に戻ります。

表 9-33. TIMER2_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	TIMER2_ON_WIDTH	R/W	0000b	タイマ 2 のハイサイド スイッチのオン時間 (ms) を設定します 0000b = オフ (HSS は高インピーダンス) 0001b = 0.1 0010b = 0.3 0011b = 0.5 0100b = 1 0101b = 10 0110b = 20 0111b = 30 1000b = 40 1001b = 50 1010b = 60 1011b = 80 1100b = 100 1101b = 150 1110b = 200 1111b = オン (HSS は 100% オン)
3	TIMER2_CYC_WK_EN	R/W	0b	タイマ 2 を使用した周期ウェイクを有効にします 0b = ディセーブル 1b = イネーブル
2-0	TIMER2_PERIOD	R/W	000b	タイマ 2 のタイマ期間 (ms) を設定します 000b = 10 001b = 20 010b = 50 011b = 100 100b = 200 101b = 500 110b = 1000 111b = 2000

9.1.32 RSRT_CNTR レジスタ (アドレス = 28h) [リセット = 40h]

表 9-34 に、RSRT_CNTR を示します。

概略表に戻ります。

表 9-34. RSRT_CNTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RSRT_CNTR_SEL	R/W	0100b	デバイスがスリープモードに移行する前に、デバイスがリスタートモードに移行できる回数、0 ~ 15 を選択します。注:ここで 0h を書き込むと、リスタートカウントは無効化されます。
3-0	予約済み	R	0b	予約済み

9.1.33 nRST_GFO_CNTL レジスタ (アドレス = 29h) [リセット = 0Ch]

表 9-35 に、nRST_GFO_CNTL を示します。

概略表に戻ります。

表 9-35. nRST_GFO_CNTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済み
5	nRST_PULSE_WIDTH	R/W	0b	WD 故障によってデバイスが再起動モードに入る場合、または VCC1 が UVCC1 スレッショルドをクリアした後の nRST リリース遅延の場合に、nRST のパルス幅を設定します 0b = 2ms 1b = 15ms
4	GFO_POL_SEL	R/W	0b	GFO ピンの極性を選択します 注: 8'h29[3:1] = 110b の場合、このビットが GFO 出力の状態を決定します 0b = アクティブ Low 1b = アクティブ High
3-1	GFO_SEL	R/W	110b	汎用出力が選択されている場合を除き、このピンを tNRST_TOG の'h29[4] で選択された状態にプルダウンする情報を選択します。 000b = VCC1/2 割り込み (過電圧、低電圧、または短絡) 001b = WD 割り込みイベント (毎回) 010b = 予約済み 011b = ローカル ウエーク要求 (LWU) 100b = バス ウエークアップ要求 (WUP) 101b = 再起動カウント超過 (スタンバイ モードで表示) 110b = 汎用アンプ 111b = CAN バス故障
0	予約済み	R	0b	予約済み

9.1.34 WAKE_PIN_CONFIG3 レジスタ (アドレス = 2Ah) [リセット = F0h]

WAKE_PIN_CONFIG3 を表 9-36 に示します。

概略表に戻ります。

表 9-36. WAKE_PIN_CONFIG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WAKE4_PIN_SET	R/W	1b	WAKE4 をアクティブにするか非アクティブにするかを設定します 0b = WAKE4 非アクティブ 1b = WAKE4 アクティブ
6	WAKE3_PIN_SET	R/W	1b	WAKE3 をアクティブにするか非アクティブにするかを設定します 0b = WAKE3 非アクティブ 1b = WAKE3 アクティブ
5	WAKE2_PIN_SET	R/W	1b	WAKE2 をアクティブにするか非アクティブにするかを設定します 0b = WAKE2 非アクティブ 1b = WAKE2 アクティブ
4	WAKE1_PIN_SET	R/W	1b	WAKE1 をアクティブにするか非アクティブにするかを設定します 0b = WAKE1 非アクティブ 1b = WAKE1 アクティブ
3-0	MULTI_WAKE_STAT	R/W0C	0000b	特定のビットに基づいて WAKE 入力の状態が変化することを提供します。これらのビットは WAKE 入力を表すため、複数の WAKE 入力ビットが設定されている場合、それらの特定の WAKE 入力によって WAKE イベントが発生することを示します。 0001b = ウエーク 1 0010b = ウエーク 2 0100b = ウエーク 3 1000b = ウエーク 4

9.1.35 WAKE_PIN_CONFIG4 レジスタ (アドレス = 2Bh) [リセット = 22h]

WAKE_PIN_CONFIG4 を表 9-37 に示します。

概略表に戻ります。

表 9-37. WAKE_PIN_CONFIG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WAKE2_SENSE	R/W	0b	WAKE2 ピンは、静的または周期的センシングのウェーク用に設定 0b = 静的センシング 1b = 周期的センシング
6	WAKE2_STAT	R/H	0b	WAKE2 ピンのステータスを示します。 0b = Low 1b = High
5-4	WAKE2_LEVEL	R/W	10b	WAKE2 ピンの入力スレッショルドを設定します 00b = VCC1 01b = 2.5 V 10b = 4 V 11b = 6 V
3	WAKE3_SENSE	R/W	0b	WAKE3 ピンは、静的または周期的センシングのウェーク用に設定 0b = 静的センシング 1b = 周期的センシング
2	WAKE3_STAT	R/H	0b	WAKE3 ピンのステータスを示します。 0b = Low 1b = High
1-0	WAKE3_LEVEL	R/W	10b	WAKE3 ピンの入力スレッショルドを設定します 00b = VCC1 01b = 2.5 V 10b = 4 V 11b = 6 V

9.1.36 WD_QA_CONFIG レジスタ (アドレス = 2Dh) [リセット = 0Ah]

表 9-38 に、WD_QA_CONFIG を示します。

概略表に戻ります。

表 9-38. WD_QA_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	WD_ANSW_GEN_CFG	R/W	00b	WD 応答生成構成
5-4	WD_QA_POLY_CFG	R/W	00b	WD Q&A 多項式構成
3-0	WD_QA_POLY_SEED	R/W	1010b	WD Q&A 多項式シード値はデバイスが RESET 状態のときにロードされます

9.1.37 WD_QA_ANSWR レジスタ (アドレス = 2Eh) [リセット = 00h]

表 9-39 に、WD_QA_ANSWR を示します。

概略表に戻ります。

表 9-39. WD_QA_ANSWR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	WD_QA_ANSWER	R/W1C	00000000b	MCU Q&A ウオッチドッグへの回答

9.1.38 WD_QA_QUESTION レジスタ (アドレス = 2Fh) [リセット = 3Ch]

表 9-40 に、WD_QA_QUESTION を示します。

概略表に戻ります。

表 9-40. WD_QA_QUESTION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6	QA_ERROR	R/W1C	0b	ウォッチドッグ Q&A 回答エラーフラグ
5-4	WD_ANSW_CNT	RH	11b	受信したウォッチドッグ Q&A エラーカウンタの現在の状態
3-0	WD_QUESTION	RH	1100b	現在のウォッチドッグの質問の値

9.1.39 SW_ID1 レジスタ (アドレス = 30h) [リセット = 00h]

SW_ID1 を表 9-41 に示します。

概略表に戻ります。

表 9-41. SW_ID1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	EXT_ID_17:10	R/W	00000000b	拡張 ID ビット 17:10

9.1.40 SW_ID2 レジスタ (アドレス = 31h) [リセット = 00h]

SW_ID2 を表 9-42 に示します。

概略表に戻ります。

表 9-42. SW_ID2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	EXT_ID_9:2	R/W	00000000b	拡張 ID ビット 9:2

9.1.41 SW_ID3 レジスタ (アドレス = 32h) [リセット = 00h]

SW_ID3 を表 9-43 に示します。

概略表に戻ります。

表 9-43. SW_ID3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	EXT_ID_1:0	R/W	00b	拡張 ID ビット 1:0
5	IDE	R/W	0b	拡張 ID フィールド 0b = 標準 ID (11 ビット) 1b = 拡張 ID (29 ビット)
4-0	ID_10:6__EXT_ID_28:24	R/W	00000b	ID[10:6] および拡張 ID[28:24]

9.1.42 SW_ID4 レジスタ (アドレス = 33h) [リセット = 00h]

SW_ID4 を表 9-44 に示します。

概略表に戻ります。

表 9-44. SW_ID4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	ID_5:0__EXT_ID_23:18	R/W	000000b	ID[5:0] および拡張 ID[23:18]
1-0	予約済み	R	0b	予約済み

9.1.43 SW_ID_MASK1 レジスタ (アドレス = 34h) [リセット = 00h]

SW_ID_MASK1 を表 9-45 に示します。

[概略表](#)に戻ります。

表 9-45. SW_ID_MASK1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0b	予約済み
1-0	EXT_ID_MASK_17:16	R/W	00b	拡張 ID マスク 17:16

9.1.44 SW_ID_MASK2 レジスタ (アドレス = 35h) [リセット = 00h]

SW_ID_MASK2 を表 9-46 に示します。

[概略表](#)に戻ります。

表 9-46. SW_ID_MASK2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	EXT_ID_MASK_15:8	R/W	00000000b	拡張 ID マスク 15:8

9.1.45 SW_ID_MASK3 レジスタ (アドレス = 36h) [リセット = 00h]

SW_ID_MASK3 を表 9-47 に示します。

概略表に戻ります。

表 9-47. SW_ID_MASK3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	EXT_ID_MASK_7:0	R/W	00000000b	拡張 ID マスク 7:0

9.1.46 SW_ID_MASK4 レジスタ (アドレス = 37h) [リセット = 00h]

SW_ID_MASK4 を表 9-48 に示します。

[概略表](#)に戻ります。

表 9-48. SW_ID_MASK4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	ID_MASK_10:3__EXT_ID _MASK_28:21	R/W	00000000b	ID マスク 10:3 および拡張 ID マスク 28:21 (ベース ID)

9.1.47 SW_ID_MASK_DLC レジスタ (アドレス = 38h) [リセット = 00h]

表 9-49 に、SW_ID_MASK_DLC を示します。

概略表に戻ります。

表 9-49. SW_ID_MASK_DLC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	ID_MASK_2:0__EXT_ID_ MASK_20:18	R/W	000b	ID マスク 2:0 および拡張 ID マスク 20:18 (ベース ID)
4-1	DLC	R/W	0000b	DLC[3:0]
0	DATA_MASK_EN	R/W	0b	データ マスク有効化 0b = DLC フィールドとデータ フィールドは比較されず、有効とみなされます。リモートフレームが許可されます。 1b = DLC フィールドは DLC[3:0] レジスタと一致している必要があります。データ フィールドのバイトは DATAx レジスタと比較され、一致するビットが 1 になります。リモートフレームは無視されます

9.1.48 DATA0 レジスタ (アドレス = 39h) [リセット = 00h]

DATA0 を表 9-50 に示します。

概略表に戻ります。

表 9-50. DATA0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DATA0	R/W	00000000b	CAN データバイト 0

9.1.49 DATA1 レジスタ (アドレス = 3Ah) [リセット = 00h]

DATA1 を表 9-51 に示します。

概略表に戻ります。

表 9-51. DATA1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DATA1	R/W	00000000b	CAN データバイト 1

9.1.50 DATA2 レジスタ (アドレス = 3Bh) [リセット = 00h]

DATA2 を表 9-52 に示します。

概略表に戻ります。

表 9-52. DATA2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DATA2	R/W	00000000b	CAN データバイト 2

9.1.51 DATA3 レジスタ (アドレス = 3Ch) [リセット = 00h]

DATA3 を表 9-53 に示します。

概略表に戻ります。

表 9-53. DATA3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DATA3	R/W	00000000b	CAN データバイト 3

9.1.52 DATA4 レジスタ (アドレス = 3Dh) [リセット = 00h]

DATA4 を表 9-54 に示します。

概略表に戻ります。

表 9-54. DATA4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DATA4	R/W	00000000b	CAN データバイト 4

9.1.53 DATA5 レジスタ (アドレス = 3Eh) [リセット = 00h]

DATA5 を表 9-55 に示します。

概略表に戻ります。

表 9-55. DATA5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DATA5	R/W	00000000b	CAN データバイト 5

9.1.54 DATA6 レジスタ (アドレス = 3Fh) [リセット = 00h]

DATA6 を表 9-56 に示します。

概略表に戻ります。

表 9-56. DATA6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DATA6	R/W	00000000b	CAN データバイト 6

9.1.55 DATA7 レジスタ (アドレス = 40h) [リセット = 00h]

DATA7 を表 9-57 に示します。

概略表に戻ります。

表 9-57. DATA7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DATA7	R/W	00000000b	CAN データバイト 7

9.1.56 SW_CONFIG_1 レジスタ (アドレス = 44h) [リセット = 50h]

SW_CONFIG_1 を表 9-58 に示します。

概略表に戻ります。

表 9-58. SW_CONFIG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SW_FD_PASSIVE	R/W	0b	選択的ウェーク FD パッシブ: このビットは、フレキシブルデータレートフレームの CAN が確認される際のエラーカウンタの動作を変更します。 0b = フレキシブルデータレートフレームの CAN はエラーフレームとしてカウントされます。 1b = フレキシブルデータレートの CAN フレームは無視されます (パッシブ)
6-4	CAN_DR	R/W	101b	CAN バスのデータレート 000b = 50 Kbps 001b = 100 Kbps 010b = 125 Kbps 011b = 250 Kbps 100b = 予約済み 101b = 500 Kbps 110b = 予約済み 111b = 1 Mbps
3-2	FD_DR	R/W	00b	CAN バス FD データレート 00b = CAN FD \leq 4x CAN データレート 01b = CAN FD \geq 5x かつ \leq 10x CAN データレート 10b = CAN FD 8 Mbps vs. 500k CAN データレート 11b = 予約済み
1-0	予約済み	R	0b	予約済み

9.1.57 SW_CONFIG_2 レジスタ (アドレス = 45h) [リセット = 00h]

SW_CONFIG_2 を表 9-59 に示します。

概略表に戻ります。

表 9-59. SW_CONFIG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FRAME_CNTx	RH	00000000b	フレームエラーカウンタ: 受信フレームエラーを検出するたびに、このエラーカウンタが 1 ズつインクリメントされます (スタッフビット、CRC、または CRC 区切り文字エラー)。カウンタがゼロでないと仮定して、正しく受信した CAN フレームごとに、カウンタが 1 ズつデクリメントされます。デバイスが CAN FD フレームに対してパッシブ設定の場合、CAN FD と判定されたフレームはフレームエラーカウンタに影響しません (増加または減少なし)。フレームカウンタが FRAME_CNT_THRESHOLD[7:0] の値に到達すると、次の増分でカウンタがオーバーフローし、FRAME_OVF フラグを設定します。カウンタは、フレーム検出または tSILENCE 検出を有効にするとリセットされます。

9.1.58 SW_CONFIG_3 レジスタ (アドレス = 46h) [リセット = 1Fh]

SW_CONFIG_3 を表 9-60 に示します。

[概略表](#)に戻ります。

表 9-60. SW_CONFIG_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FRAME_CNT_THRESHOLD	R/W	00011111b	フレームエラーカウンタ スレッショルド:これらのビットは、エラーカウンタが最大値に達するポイントを設定します。次のエラーフレームでオーバーフローが発生し、FRAME_OVF フラグが設定されます。デフォルトは 31 であるため、32 のエラーによりオーバーフロー フラグが設定されます。

9.1.59 SW_CONFIG_4 レジスタ (アドレス = 47h) [リセット = 00h]

SW_CONFIG_4 を表 9-61 に示します。

概略表に戻ります。

表 9-61. SW_CONFIG_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SWCFG	R/W	0b	選択的ウェークアップ構成が完了しました。注:これらのウェーク構成レジスタ (8'h30-8'h44, 8'h46) のいずれかに書き込むと、SWCFG ビットがクリアされます。 0b = SW レジスタが構成されていないか、または受信されていない FRAME_OVF 故障。 1b = SW レジスタを構成 注:これを選択的ウェークを構成してオンにする際の最後の手順とします。
6	CAN_SYNC_FD	RH	0b	フレーム検出が有効な場合、デバイスは CAN FD フレームを適切にデコードしています。このフラグは、受信フレームごとに更新されます。このフラグをポーリングすることにより、システムはデバイスがデータフィールドまで (データフィールドは含まない) CAN FD フレームを適切にデコードしているかどうかを判断できます。このフラグはセルフクリアです。
5	CAN_SYNC	RH	0b	CAN データ同期:このフラグは、フレーム検出が有効な場合、デバイスが CAN フレームを適切にデコードしていることを示します。このフラグは、受信フレームごとに更新されます。このフラグをポーリングすることにより、システムはデバイスが CAN フレームを適切にデコードしているかどうかを判断できます。このフラグはセルフクリアです。
4-0	予約済み	R	0b	予約済み

9.1.60 HSS_CNTL2 レジスタ (アドレス = 4Dh) [リセット = 00h]

HSS_CNTL2 を表 9-62 に示します。

[概略表](#)に戻ります。

表 9-62. HSS_CNTL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6-4	HSS3_CNTL	R/W	000b	ハイサイドスイッチ 3 の制御。 000b = オフ 001b = PWM1 010b = PWM2 011b = Timer1 100b = Timer2 101b = オン 110b = PWM3 111b = PWM4
3	予約済み	R	0b	予約済み
2-0	HSS4_CNTL	R/W	000b	ハイサイドスイッチ 4 の制御。 000b = オフ 001b = PWM1 010b = PWM2 011b = Timer1 100b = Timer2 101b = オン 110b = PWM3 111b = PWM4

9.1.61 EEPROM レジスタ (アドレス = 4Eh) [リセット = 00h]

EEPROM を表 9-63 に示します。

概略表に戻ります。

表 9-63. EEPROM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EEPROM_SAVE	R/W	0b	構成ビットを EEPROM に保存します。レジスタ 8'h4E[3:0] に 1b および正しいコードを書き込んで、構成ビットを EEPROM に保存します。EEPROM に書き込まれた後、自己クリアされます。
6	EEPROM_CRC_CHK	R/W	0b	EEPROM CRC チェックを強制します 0b = CRC を読み取らず、チェックもしません 1b = 読み取りと CRC チェックを強制的に実行します
5	EEPROM_RELOAD	R/W	0b	メモリを EEPROM から再読み込みさせます 0b = 再読み込みしません 1b = EEPROM を再読み込みします
4	予約済み	R	0b	予約済み
3-0	EEPROM_CODE	R/W	0000b	EEPROM にアクセスするためのコードは Ah です。自動的に 0h に戻されます

9.1.62 HSS_CNTL3 レジスタ (アドレス = 4Fh) [リセット = 00h]

HSS_CNTL3 を表 9-64 に示します。

概略表に戻ります。

表 9-64. HSS_CNTL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HSS_OV_SD_DIS	R/W	0b	OVHSS による HSS シャットダウンを設定します 0b = OVHSS により HSS がシャットオフされます 1b = OVHSS の間でも HSS はオンのままで
6	HSS_UV_SD_DIS	R/W	0b	UVHSS による HSS シャットダウンを設定します 0b = UVHSS により HSS がシャットオフされます 1b = UVHSS の間でも HSS はオンのままで
5	HSS_OV_UV_REC	R/W	0b	OVHSS または UVHSS イベントでオフになった際の、ハイサイド スイッチの自動復帰を設定します 0b = イネーブル (OV/UVHSS イベントがクリアされたときに HSS 出力を自動回復) 1b = ディスエーブル (自動回復は無効です。OV/UVHSS イベントがクリアされた後、コントローラで HSS を手動でオンに戻す必要があります)
4	SLP_CYC_WK_EN	R/W	0b	スリープモードで、タイマ 1 またはタイマ 2 に基づく周期ウェークを有効にします 0b = ディセーブル 1b = イネーブル
3	予約済み	R	0b	予約済み
2	VCC2_STATUS	RH	0b	VCC2 LDO ステータス 0b = UVCC2 またはオフ 1b = レギュレーション中
1	VCAN_STATUS	RH	0b	VCAN LDO ステータス 0b = UVCAN またはオフ 1b = レギュレーション中
0	RSTRT_TIMER_SEL	R/W	0b	VCC1 が UVCC1R を超えない場合に、再起動モードを抜けるために使用する再起動タイマを選択します 0b = tRSTTO 1b = tINACTIVE

9.1.63 INT_GLOBAL レジスタ (アドレス = 50h) [リセット = 00h]

表 9-65 に、INT_GLOBAL を示します。

概略表に戻ります。

表 9-65. INT_GLOBAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_7	RH	0b	INT_7 の論理 OR
6	INT_1	RH	0b	INT_1 の論理 OR
5	INT_2	RH	0b	INT_2 の論理 OR
4	INT_3	RH	0b	INT_3 の論理 OR
3	INT_CANBUS	RH	0b	INT_CANBUS レジスタの論理和
2	INT_4	RH	0b	INT_4 の論理 OR
1	予約済み	R	0b	予約済み
0	INT_6	RH	0b	INT_6 の論理 OR

9.1.64 INT_1 レジスタ (アドレス = 51h) [リセット = 00h]

INT_1 を表 9-66 に示します。

概略表に戻ります。

表 9-66. INT_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WD	R/W1C	0b	ウォッチドッグイベント割り込み。注:この割り込みビットはウォッチドッグエラーイベントごとに設定され、ウォッチドッグエラーカウントに依存しません。
6	CANINT_1	R/W1C	0b	CAN バスウェークアップ割り込み
5	LWU	R/W1C	0b	ローカルウェークアップ
4	WKERR	R/W1C	0b	SWE タイマが満了してステートマシンがスリープモードに戻ると、ウェークエラービットがセットされます
3	FRAME_OVF_1	R/W1C	0b	フレームエラーカウントのオーバーフロー
2	CANSLNT_1	R/W1C	0b	CAN バスが tSILENCE の間、非アクティブ
1	SWPIN_WU	R/W1C	0b	SW ピンのウェークアップ割り込み
0	CANDOM_1	R/W1C	0b	CAN バスがドミナント状態に固着

9.1.65 INT_2 レジスタ (アドレス = 52h) [リセット = 40h]

INT_2 を表 9-67 に示します。

概略表に戻ります。

表 9-67. INT_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SMS	R/W1C	0b	スリープモードステータスフラグ。WKERR、UVIO タイムアウト、または UVIO+TSD フォルトによりスリープ モードに移行した場合のみ設定されます
6	PWRON	R/W1C	1b	電源オン
5	OVCC1	R/W1C	0b	VCC1 過電圧
4	UVSUP5	R/W1C	0b	UVSUP5 低電圧
3	UVSUP3	R/W1C	0b	UVSUP3 低電圧
2	UVCC1	R/W1C	0b	VCC1 低電圧
1	TSD_SBC	R/W1C	0b	VCC1 または HSS による SBC のサーマル シャットダウン (フェールセーフ モードから復帰した後に割り込みが通知)
0	SME	R/W1C	0b	デバイスがスリープモードのときにスリープモードが割り込みを終了すると、VCC1 故障またはウォッチドッグ故障により (有効な場合)、VCC1 がオンになってリスタートまたはフェイルセーフモードに移行します

9.1.66 INT_3 レジスタ (アドレス = 53h) [リセット = 00h]

INT_3 を表 9-68 に示します。

概略表に戻ります。

表 9-68. INT_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPIERR	R/W1C	0b	いつ SPI ステータスビットがセットされるかをセットします
6	SWERR	RH	0b	(SWE_EN かつ NOT(SWCFG)) と FRAME_OVF の論理 OR。SWERR がセットされている間は、選択的ウェークは有効にできません
5	FSM	R/W1C	0b	フェイルセーフモードに移行済み。FSM 内でクリアできます
4	CRCERR	R/W1C	0b	SPI トランザクションの CRC エラーを検出
3	VCC1SC	R/W1C	0b	VCC1 短絡検出あり
2	RSRT_CNT	R/W1C	0b	リスタートカウントがプログラムカウントを超過
1	TSD_CAN	R/W1C	0b	VCC2 または CAN に起因するサーマル シャットダウン
0	CRC_EEPROM	R/W1C	0b	EEPROM CRC エラー

9.1.67 INT_CANBUS_1 レジスタ (アドレス = 54h) [リセット = 00h]

INT_CANBUS_1 を表 9-69 に示します。

概略表に戻ります。

表 9-69. INT_CANBUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	UVCAN	R/W1C	0b	UVCAN 割り込み
6	予約済み	R	0b	予約済み
5	CANHCANL	R/W1C	0b	CANH と CANL が同時に短絡
4	CANHBAT	R/W1C	0b	CANH は Vbat に短絡
3	CANLGND	R/W1C	0b	CANL は GND へ短絡
2	CANBUSOPEN	R/W1C	0b	CAN バス開放
1	CANBUSGND	R/W1C	0b	CAN バスの GND への短絡または CANH の GND への短絡
0	CANBUSBAT	R/W1C	0b	CAN バスの Vbat への短絡または CANL の Vbat への短絡

9.1.68 INT_7 レジスタ (アドレス = 55h) [リセット = 00h]

INT_7 を表 9-70 に示します。

概略表に戻ります。

表 9-70. INT_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HSSOC1	R/W1C	0b	ハイサイドスイッチ 1 の過電流
6	HSSOL1	R/W1C	0b	ハイサイドスイッチ 1 の開放負荷
5	HSSOC2	R/W1C	0b	ハイサイドスイッチ 2 の過電流
4	HSSOL2	R/W1C	0b	ハイサイドスイッチ 2 の開放負荷
3	HSSOC3	R/W1C	0b	ハイサイドスイッチ 3 の過電流
2	HSSOL3	R/W1C	0b	ハイサイドスイッチ 3 の開放負荷
1	HSSOC4	R/W1C	0b	ハイサイドスイッチ 4 の過電流
0	HSSOL4	R/W1C	0b	ハイサイドスイッチ 4 の開放負荷

9.1.69 INT_EN_1 レジスタ (アドレス = 56h) [リセット = FFh]

INT_EN_1 を表 9-71 に示します。

概略表に戻ります。

表 9-71. INT_EN_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WD_EN	R/W	1b	ウォッチドッグ イベント検出マスク
6	CANINT_EN	R/W	1b	CAN バスウェークアップ割り込みマスク
5	LWU_EN	R/W	1b	ローカルウェークアップマスク
4	WKERR_EN	R/W	1b	ウェークエラーマスク
3	FRAME_OVF_EN	R/W	1b	フレームエラーカウントオーバーフローマスク
2	CANSLNT_EN	R/W	1b	CAN サイレントマスク
1	SWPIN_WU_EN	R/W	1b	SW ピン ウェークアップ割り込みマスク
0	CANDOM_EN	R/W	1b	CAN バス スタック ドミナントマスク

9.1.70 INT_EN_2 レジスタ (アドレス = 57h) [リセット = 7Fh]

INT_EN_2 を表 9-72 に示します。

概略表に戻ります。

表 9-72. INT_EN_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SMS_EN	R	0b	SMS フラグ有効 (読み取り専用)
6	PWRON_EN	R	1b	パワーオン フラグ イネーブル (変更不可)
5	OVCC1_EN	R/W	1b	VCC1 過電圧マスク
4	UVSUP5_EN	R/W	1b	VSUP5 低電圧マスク
3	UVSUP3_EN	R/W	1b	UVSUP3 低電圧マスク
2	UVCC1_EN	R/W	1b	VCC1 低電圧マスク
1	TSD_SBC_EN	R/W	1b	SBC サーマル シャットダウンによる割り込みのマスキング ビット
0	SME_EN	R	1b	SME 割り込みイネーブル (常にイネーブル)

9.1.71 INT_EN_3 レジスタ (アドレス = 58h) [リセット = FEh]

INT_EN_3 を表 9-73 に示します。

概略表に戻ります。

表 9-73. INT_EN_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPIERR_EN	R/W	1b	SPI エラー割り込みマスク
6	SWERR_EN	R/W	1b	選択的ウェーク エラー マスク
5	FSM_EN	R/W	1b	フェイルセーフ ステータス フラグ マスク
4	CRCERR_EN	R/W	1b	SPI CRC エラー割り込みマスク
3	VCC1SC_EN	R/W	1b	VCC1 短絡割り込みマスク
2	RSRT_CNT_EN	R/W	1b	再起動カウンタが設定値を超えたことを示すマスク
1	TSD_CAN_EN	R	1b	CAN/VCC2 サーマル シャットダウンのマスキング ビット
0	予約済み	R	0b	予約済み

9.1.72 INT_EN_CANBUS_1 レジスタ (アドレス = 59h) [リセット = BFh]

INT_EN_CANBUS_1 を表 9-74 に示します。

[概略表](#)に戻ります。

表 9-74. INT_EN_CANBUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	UVCAN_EN	R/W	1b	UVCAN 割り込みマスク
6	予約済み	R	0b	予約済み
5	CANHCANL_EN	R/W	1b	CANH と CANL の短絡故障割り込み用のマスキング ビット
4	CANHBAT_EN	R/W	1b	CANH が Vbat に短絡した故障割り込み用のマスキング ビット
3	CANLGND_EN	R/W	1b	CANL を GND に短絡有効化
2	CANBUSOPEN_EN	R/W	1b	CAN バス開放有効化
1	CANBUSGND_EN	R/W	1b	CAN バスの GND への短絡有効化
0	CANBUSBAT_EN	R/W	1b	CAN バスの Vbat への短絡有効化

9.1.73 INT_4 レジスタ (アドレス = 5Ah) [リセット = 00h]

INT_4 を表 9-75 に示します。

概略表に戻ります。

表 9-75. INT_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6	予約済み	R	0b	予約済み
5	予約済み	R	0b	予約済み
4	CYC_WUP	R/W1C	0b	内部タイマを介した周期的ウェーク割り込み
3	MODE_ERR	R/W1C	0b	モード変更リクエストの不正なトランシーバー状態
2	OVHSS	R/W1C	0b	ハイサイド スイッチ用 VHSS 過電圧マ
1	EEPROM_CRC_INT	R/W1C	0b	EEPROM CRC チェックに失敗
0	UVHSS	R/W1C	0b	ハイサイド スイッチ用 VHSS 低電圧

9.1.74 INT_6 レジスタ (アドレス = 5Ch) [リセット = 00h]

INT_6 を表 9-76 に示します。

概略表に戻ります。

表 9-76. INT_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TSDW	R/W1C	0b	サーマルシャットダウン警告
6	UVCC1PW	R/W1C	0b	VCC1 低電圧の事前警告
5	予約済み	R	0b	予約済み
4	予約済み	R	0b	予約済み
3	予約済み	R	0b	予約済み
2	UVCC2	R/W1C	0b	VCC2 ピンの低電圧
1	OVCC2	R/W1C	0b	VCC2 ピンの過電圧
0	VCC2SC	R/W1C	0b	VCC2 ピンの短絡

9.1.75 INT_EN_4 レジスタ (アドレス = 5Eh) [リセット = 1Fh]

INT_EN_4 を表 9-77 に示します。

概略表に戻ります。

表 9-77. INT_EN_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6	予約済み	R	0b	予約済み
5	予約済み	R	0b	予約済み
4	CYC_WUP_EN	R/W	1b	周期的ウェーク割り込みのマスキング ビット
3	MODE_ERR_EN	R/W	1b	モード変更要求マスクに対する不正なトランシーバ状態
2	OVHSS_EN	R/W	1b	ハイサイド スイッチの VHSS 過電圧用マスク
1	EEPROM_CRC_INT_EN	R/W	1b	EEPROM CRC チェック失敗のマスク
0	UVHSS_EN	R/W	1b	ハイサイド スイッチの VHSS 低電圧用マスク

9.1.76 INT_EN_6 レジスタ (アドレス = 60h) [リセット = C7h]

INT_EN_6 を表 9-78 に示します。

概略表に戻ります。

表 9-78. INT_EN_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TSDW_EN	R/W1C	1b	サーマルシャットダウン警告マスク
6	UVCC1PW_EN	R/W1C	1b	VCC1 低電圧事前警告マスク
5	予約済み	R	0b	予約済み
4	予約済み	R	0b	予約済み
3	予約済み	R	0b	予約済み
2	UVCC2_EN	R/W	1b	VCC2 ピン低電圧マスク
1	OVCC2_EN	R/W	1b	VCC2 ピンの過電圧マスク
0	VCC2SC_EN	R/W	1b	VCC2 ピンの短絡マスク

9.1.77 INT_EN_7 レジスタ (アドレス = 62h) [リセット = FFh]

INT_EN_7 を表 9-79 に示します。

概略表に戻ります。

表 9-79. INT_EN_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HSSOC1_EN	R/W	1b	ハイサイドスイッチ 1 過電流の割り込みマスク
6	HSSOL1_EN	R/W	1b	ハイサイドスイッチ 1 開放負荷の割り込みマスク
5	HSSOC2_EN	R/W	1b	ハイサイドスイッチ 2 過電流の割り込みマスク
4	HSSOL2_EN	R/W	1b	ハイサイドスイッチ 2 開放負荷の割り込みマスク
3	HSSOC3_EN	R/W	1b	ハイサイドスイッチ 3 過電流の割り込みマスク
2	HSSOL3_EN	R/W	1b	ハイサイドスイッチ 3 開放負荷の割り込みマスク
1	HSSOC4_EN	R/W	1b	ハイサイドスイッチ 4 過電流の割り込みマスク
0	HSSOL4_EN	R/W	1b	ハイサイドスイッチ 4 開放負荷の割り込みマスク

9.1.78 BUCK_CONFIG1 レジスタ (アドレス = 65h) [リセット = 28h]

BUCK_CONFIG1 を表 9-80 に示します。

概略表に戻ります。

表 9-80. BUCK_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	RSVD (REV_ID = 20h)	R/W	00b	REV_ID:20h 予約済み
7-6	SS_MOD_FREQ (REV_ID = 21h)	R/W	00b	REV_ID:21h スペクトラム拡散変調の周波数拡散オプション。 注:これらのビットは、REV_ID = 21h (シリコン リビジョン 2.1) でのみ利用できます。 注:拡散スペクトラムを有効にした 1.8MHz のスイッチング周波数は、AM バンドで放射ノイズを発生させる可能性があります。AM バンドへの干渉を最小限にするため、4% デルタの周波数変調オプションを使用することが推奨されます 00b = オフ 01b = 4% デルタ fc 10b = 8% デルタ fc 11b = 予約済み
5-4	BUCK_FSW	R/W	10b	降圧レギュレータのスイッチング周波数の設定 00b = 1.8MHz 01b = 2.0MHz 10b = 2.2MHz 11b = 2.4MHz
3	PWM_PFM_CNTL_NORM AL	R/W	1b	ノーマル モードにおける PFM と PWM のモード設定 0b = 自動 (PFM モードと PWM モードの間の自動遷移) 1b = PWM
2	PWM_PFM_CNTL_STDB Y_SLP	R/W	0b	スタンバイ / スリープ モードでの PFM および PWM モード構成 0b = 自動 (PFM モードと PWM モードの間の自動遷移) 1b = PWM
1	RSVD (REV_ID = 20h)	R/W	0b	REV_ID:20h 予約済みビット、REV_ID が 20h (シリコン リビジョン 2.0) の場合。 注:ES_2.0 でこのビットをセットしないでください
1	PRSS_EN (REV_ID = 21h)	R/W	0b	REV_ID:21h 疑似ランダム スペクトラム拡散 (PRSS) を有効にします 注:このビットは、REV_ID = 21h (シリコン リビジョン 2.1) でのみ使用できます 0b = 直線性拡散スペクトラム 1b = 疑似ランダム拡散スペクトラム
0	ICC1_CUR_LIMIT	R/W	0b	降圧レギュレータの電流制限スレッショルド 0b = High スレッショルド (1A 負荷) 1b = Low スレッショルド (500mA 負荷)

9.1.79 ID_PIN_STATUS レジスタ (アドレス = 78h) [リセット = 00h]

表 9-81 に、ID_PIN_STATUS を示します。

概略表に戻ります。

表 9-81. ID_PIN_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	ID4_STAT	R/W0C	00b	<p>ID4 ピン接続のステータス 注: WAKE_ID4_PU_PD レジスタビットが 01b (プルダウン) または 10b (プルアップ) に設定されている場合、ステータスビットは 00b にリセットされます。このような場合、WAKE4_STAT ビットは ID4 ピンのリアルタイムピンロジックを反映します。</p> <p>00b = 不明 01b = GND に接続 10b = VSUP に接続 11b = フローティング</p>
5-4	ID3_STAT	R/W0C	00b	<p>ID3 ピン接続のステータス 注: WAKE_ID3_PU_PD レジスタビットが 01b (プルダウン) または 10b (プルアップ) に設定されている場合、ステータスビットは 00b にリセットされます。このような場合、WAKE3_STAT ビットは ID3 ピンのリアルタイムピンロジックを反映します。</p> <p>00b = 不明 01b = GND に接続 10b = VSUP に接続 11b = フローティング</p>
3-2	ID2_STAT	R/W0C	00b	<p>ID2 ピン接続のステータス 注: WAKE_ID2_PU_PD レジスタビットが 01b (プルダウン) または 10b (プルアップ) に設定されている場合、ステータスビットは 00b にリセットされます。このような場合、WAKE2_STAT ビットは ID2 ピンのリアルタイムピンロジックを反映します。</p> <p>00b = 不明 01b = GND に接続 10b = VSUP に接続 11b = フローティング</p>
1-0	ID1_STAT	R/W0C	00b	<p>ID1 ピン接続のステータス 注: WAKE_ID1_PU_PD レジスタビットが 01b (プルダウン) または 10b (プルアップ) に設定されている場合、ステータスビットは 00b にリセットされます。このような場合、WAKE1_STAT ビットは ID1 ピンのリアルタイムピンロジックを反映します。</p> <p>00b = 不明 01b = GND に接続 10b = VSUP に接続 11b = フローティング</p>

9.1.80 WAKE_ID_CONFIG1 レジスタ (アドレス = 79h) [リセット = 66h]

WAKE_ID_CONFIG1 を表 9-82 に示します。

概略表に戻ります。

表 9-82. WAKE_ID_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ID2_EN	R/W	0b	ID2 機能を有効/無効にします 注: ID2_EN と WAKE2_PIN_SET の両方が 1b に設定されている場合、デバイスは WAKE2_PIN_SET 設定を無視し、WAKE2/ID2 ピンで ID 機能が有効になります。 0b = ID2 ピンを無効化 1b = ID2 ピンを有効化
6-5	WAKE_ID2_PU_PD	R/W	11b	ID2 のプルアップ、プルダウン、自動、または無効の設定 注意: 自動選択 (11b) の場合のみ、ID2_STAT レジスタビットが更新されます。 00b = プルアップもプルダウンもアクティブではありません 01b = プルダウンがアクティブになっています 10b = プルアップがアクティブになります 11b = プルアップ / プルダウンの自動選択
4	ID2_PD_VALUE	R	0b	ID2 ピンのプルダウン電流強度設定 0b = 3mA 1b = 10mA
3	ID1_EN	R/W	0b	ID1 機能を有効/無効にします 注: ID1_EN と WAKE1_PIN_SET の両方が 1b に設定されている場合、デバイスは WAKE1_PIN_SET 設定を無視し、WAKE1/ID1 ピンで ID 機能が有効になります。 0b = ID1 ピンを無効化 1b = ID1 ピンを有効化
2-1	WAKE_ID1_PU_PD	R/W	11b	ID1 のプルアップ、プルダウン、自動、または無効の設定 注意: 自動選択 (11b) の場合のみ、ID1_STAT レジスタビットが更新されます。 00b = プルアップもプルダウンもアクティブではありません 01b = プルダウンがアクティブになっています 10b = プルアップがアクティブになります 11b = プルアップ / プルダウンの自動選択
0	ID1_PD_VALUE	R	0b	ID1 ピンのプルダウン電流強度設定 0b = 3mA 1b = 10mA

9.1.81 WAKE_ID_CONFIG2 レジスタ (アドレス = 7Ah) [リセット = 66h]

WAKE_ID_CONFIG2 を表 9-83 に示します。

概略表に戻ります。

表 9-83. WAKE_ID_CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ID4_EN	R/W	0b	ID4 機能を有効/無効にします 注: ID4_EN と WAKE4_PIN_SET の両方が 1b に設定されている場合、デバイスは WAKE4_PIN_SET 設定を無視し、WAKE4/ID4 ピンで ID 機能が有効になります。 0b = ID4 ピンを無効化 1b = ID4 ピンを有効化
6-5	WAKE_ID4_PU_PD	R/W	11b	ID4 のプルアップ/プルダウン、自動、または無効の設定 注意: 自動選択 (11b) の場合のみ、ID4_STAT レジスタビットが更新されます。 00b = プルアップもプルダウンもアクティブではありません 01b = プルダウンがアクティブになっています 10b = プルアップがアクティブになります 11b = プルアップ / プルダウンの自動選択
4	ID4_PD_VALUE	R	0b	ID4 ピンのプルダウン電流強度設定 0b = 3mA 1b = 10mA
3	ID3_EN	R/W	0b	ID3 機能を有効/無効にします 注: ID3_EN と WAKE3_PIN_SET の両方が 1b に設定されている場合、デバイスは WAKE3_PIN_SET 設定を無視し、WAKE3/ID3 ピンで ID 機能が有効になります。 0b = ID3 ピンを無効化 1b = ID3 ピンを有効化
2-1	WAKE_ID3_PU_PD	R/W	11b	ID3 のプルアップ/プルダウン、自動、または無効の設定 注意: 自動選択 (11b) の場合のみ、ID3_STAT レジスタビットが更新されます。 00b = プルアップもプルダウンもアクティブではありません 01b = プルダウンがアクティブになっています 10b = プルアップがアクティブになります 11b = プルアップ / プルダウンの自動選択
0	ID3_PD_VALUE	R	0b	ID3 ピンのプルダウン電流強度設定 0b = 3mA 1b = 10mA

9.1.82 WAKE_PIN_CONFIG5 レジスタ (アドレス = 7Bh) [リセット = 20h]

WAKE_PIN_CONFIG5 を表 9-84 に示します。

[概略表](#)に戻ります。

表 9-84. WAKE_PIN_CONFIG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WAKE4_SENSE	R/W	0b	WAKE4 ピンは、静的または周期的センシングのウェーク用に設定 0b = 静的センシング 1b = 周期的センシング
6	WAKE4_STAT	R/H	0b	WAKE4 ピンのステータスを示します。 0b = Low 1b = High
5-4	WAKE4_LEVEL	R/W	10b	WAKE4 ピンの入力スレッショルドを設定します 00b = VCC1 ベース 01b = 2.5 V 10b = 4 V 11b = 6 V
3-0	予約済み	R	0b	予約済み

10 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

TCAN241x-Q1 ファミリは CAN FD 通信に対応しています。

10.1.1 CAN BUS の負荷、長さ、ノード数

ISO11898-2:2024 規格では、最大バス長は 40 メートル、最大スタブ長は 0.3 メートルと規定されています。ただし、注意深く設計すれば、より長いケーブル、より長いスタブ長、より多くのノードをバスに接続することができます。ノード数が多い場合は、このトランシーバファミリのような高入力インピーダンスのトランシーバが必要になります。

多くの CAN の組織および規格は、元の ISO11898-2:2024 規格外のアプリケーションへと CAN の使用を拡大してきました。CAN の規格策定者たちは、データレート、ケーブル長、バスの寄生負荷について、システムレベルでトレードオフの判断を行いました。これらの CAN システムレベル仕様の例としては、ARINC825、CANopen、DeviceNet、SAEJ2284、SAEJ1939、NMEA200 などがあります。

CAN ネットワークのシステム設計は、一連のトレードオフです。ISO11898-2 では、ドライバの差動出力は 60Ω のバス負荷 (並列に配置された 2 つの終端抵抗) により規定され、この差動出力は 1V を上回る必要があります。TCAN241x-Q1 は、この負荷範囲全体で 1.5V の要件を満たすように指定されており、 45Ω バス負荷で 1.4V の差動出力を満たすように指定されています。このトランシーバファミリの差動入力抵抗は最小で $30k\Omega$ です。バス上で 167 個のトランシーバが並列に接続されている場合、これは終端からの 60Ω と並列の 180Ω 差動負荷に相当し、合計バス負荷は 45Ω になります。したがって、このファミリは理論的には、各受信ノードで最小差動入力電圧要件として 1.2V までのマージンを備えた単一のバスセグメント上で、167 個を超えるトランシーバをサポートします。ただし、CAN 回路の設計では、システムおよびケーブル配線全体での信号損失、寄生負荷、タイミング、回路の不均衡、グランドオフセット、および信号品位に対してマージンを与える必要があるため、実際の最大ノード数がはるかに少なくなります。慎重なシステム設計とデータレートのトレードオフを使用することで、バスの長さを元の ISO11898-2:2024 標準の 40 m を超えて拡張することもできます。たとえば、CANopen ネットワーク設計ガイドラインによると、終端抵抗やケーブル配線を変更し、64 ノード未満にし、データレートを大幅に低下させてもいい場合、ネットワークを最大 1km にすることができます。

CAN ネットワーク設計におけるこの柔軟性は、システムレベルのネットワーク拡張と、元の ISO11898-2 CAN 標準に基づいて構築される追加の標準を可能にする設計の主要な強みの 1 つです。ただし、この柔軟性を使用する場合、CAN ネットワークシステム設計者は、堅牢なネットワーク運用を確立するために適切なネットワーク設計の責任を負う必要があります。

10.1.2 CAN の終端

ISO11898-2: 2024 規格では、相互接続は 120Ω の特性インピーダンス (Z_0) を持つシングル ツイストペア ケーブル (シールド付きまたはシールドなし) と規定されています。

10.1.2.1 CAN バスのバイアス印加

バスバイアスは通常バイアスの場合があり、通常モードではアクティブ、低消費電力モードでは非アクティブです。自動電圧バイアス印加とは通常モードでバスがアクティブな状態ですが、低消費電力モードでは CANH と CANL 間の電圧によって制御されます。図 10-1 は、TCAN241x-Q1 が自動バイアス印加を実行する方法の状態図を示しています。

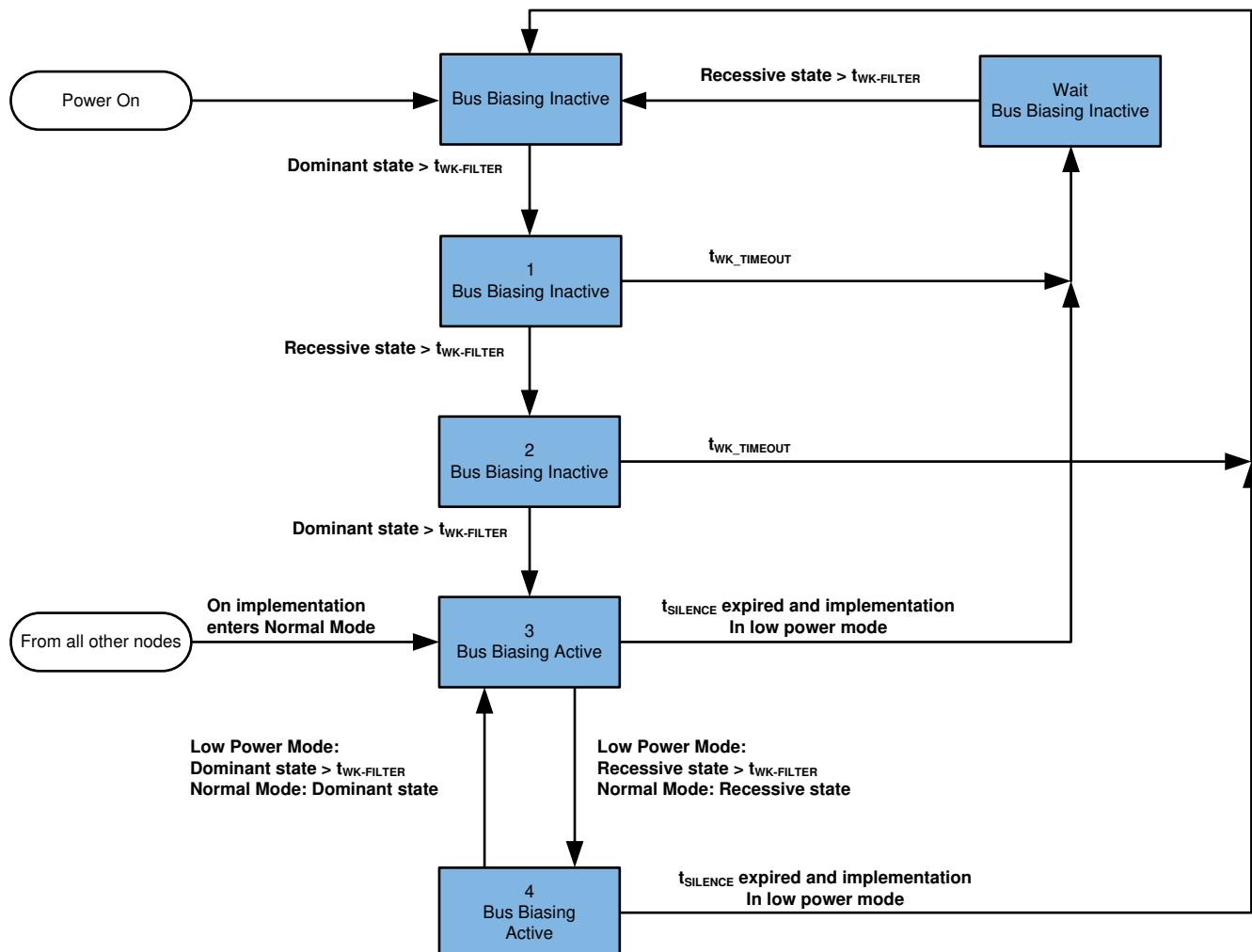


図 10-1. 自動バスバイアス印加の状態図

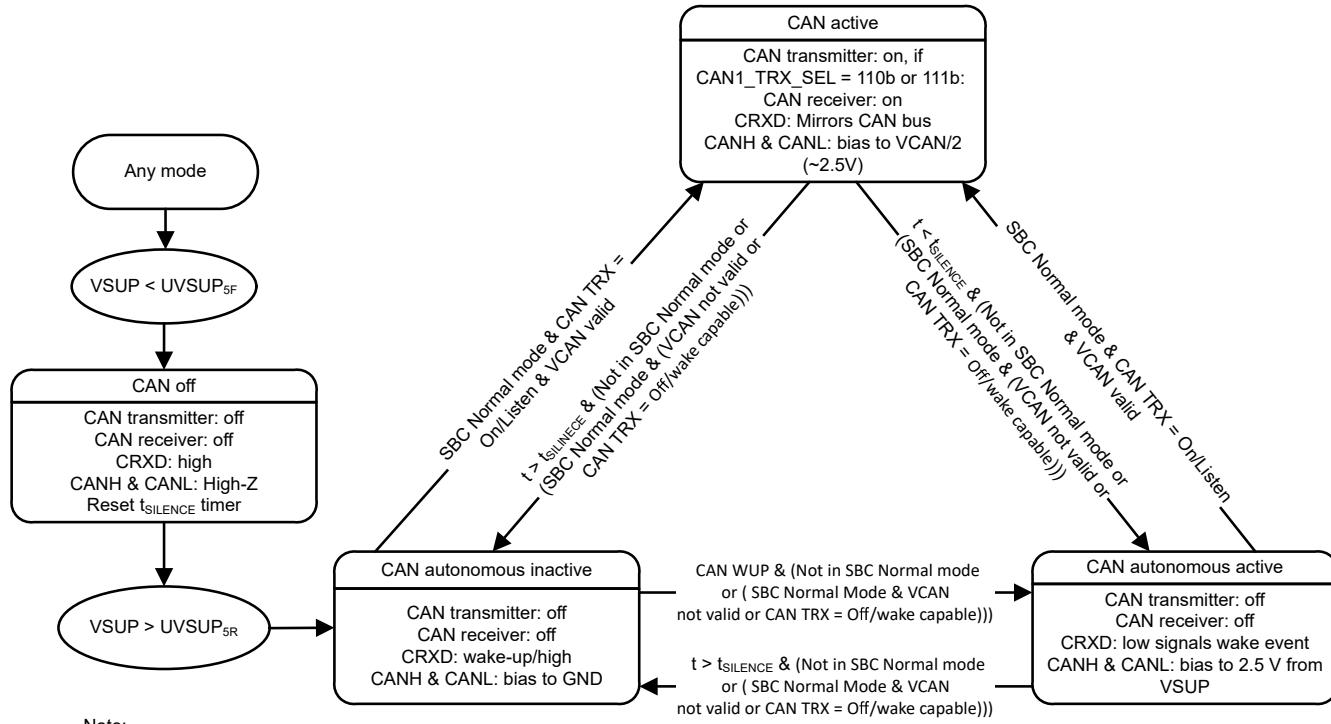


図 10-2. バスバイアス印加

10.1.3 デバイス ブラウンアウト情報

TCAN241x-Q1 のブラウンアウト時の動作は、VCC1 の設定と、VSUP が $VSUP_{(PU)F}$ を下回るかどうかに依存します。VCC1 = 5V の場合、デバイスは 図 10-3 に示されているとおりに動作します。VSUP が $VSUP_{(PU)F}$ を下回るまで降下し続けると、デバイスは 図 10-4 に示されているようにパワーオンリセットとして動作します。

VCC1 = 3.3V の場合、VSUP が $UVSUP_{33F}$ を下回りつつも $VSUP_{(PU)F}$ より上にある間、デバイスは 図 10-5 に示されているとおりに動作します。さらに VSUP が $VSUP_{(PU)F}$ を下回ると、デバイスは 図 10-6 に示されるようにパワーオンリセットに入ります。

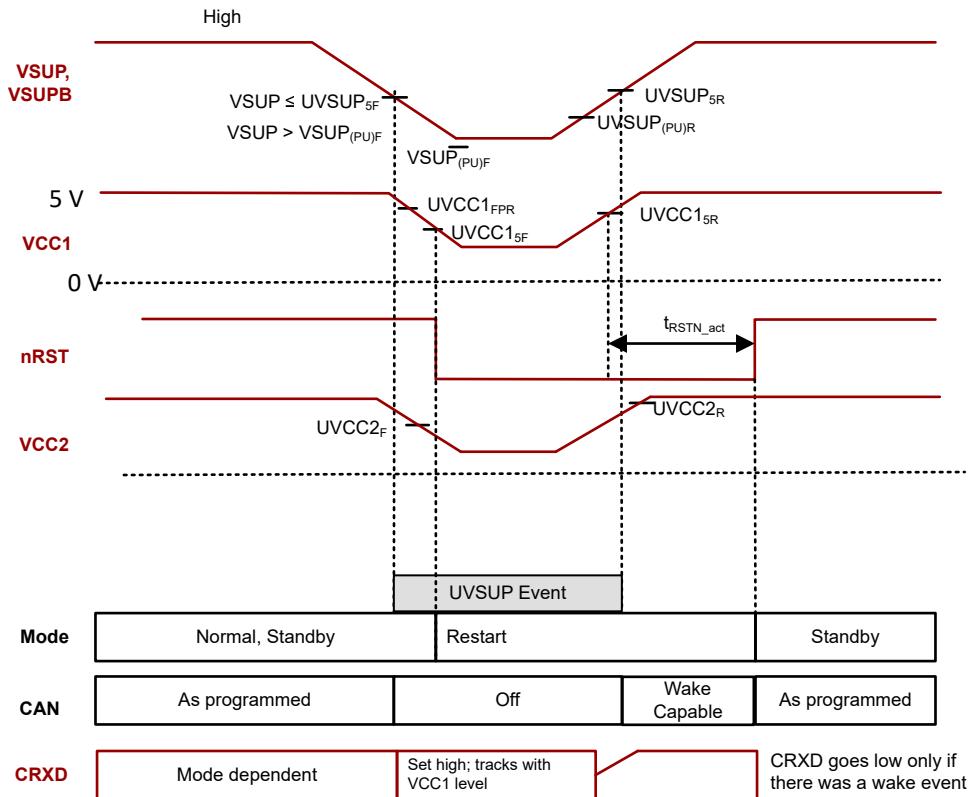


図 10-3. $VCC1 = 5V$ の場合に $VSUP_{(PU)F}$ を上回るブラウンアウト

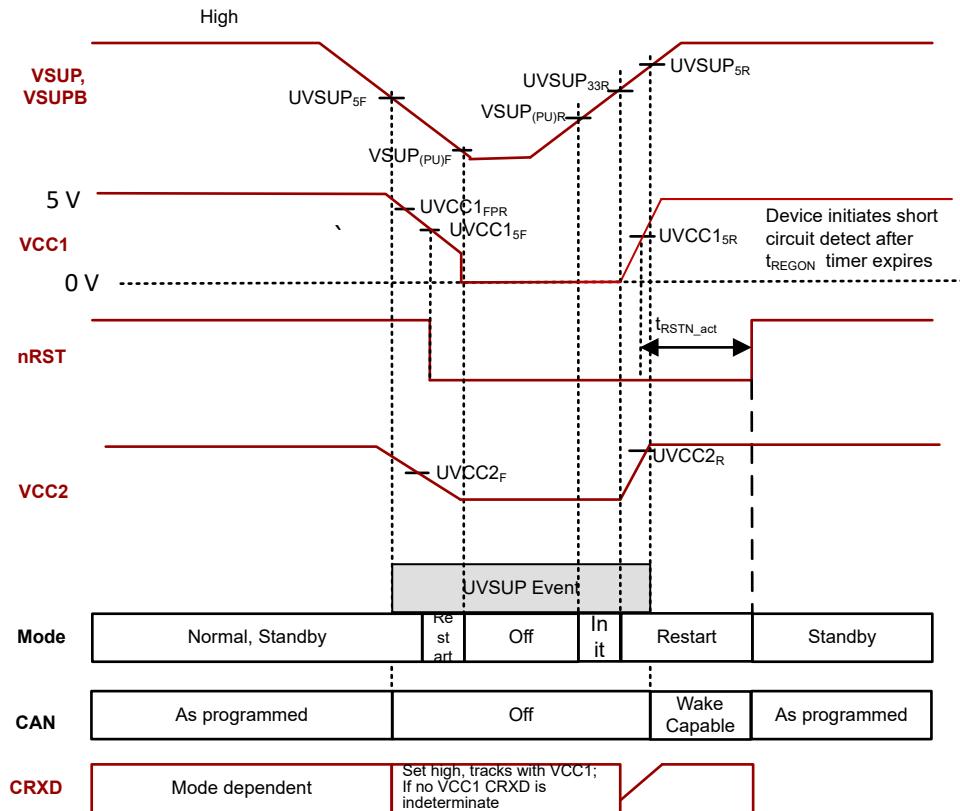


図 10-4. $VSUP_{(PU)F}$ 未満でのブラウンアウト

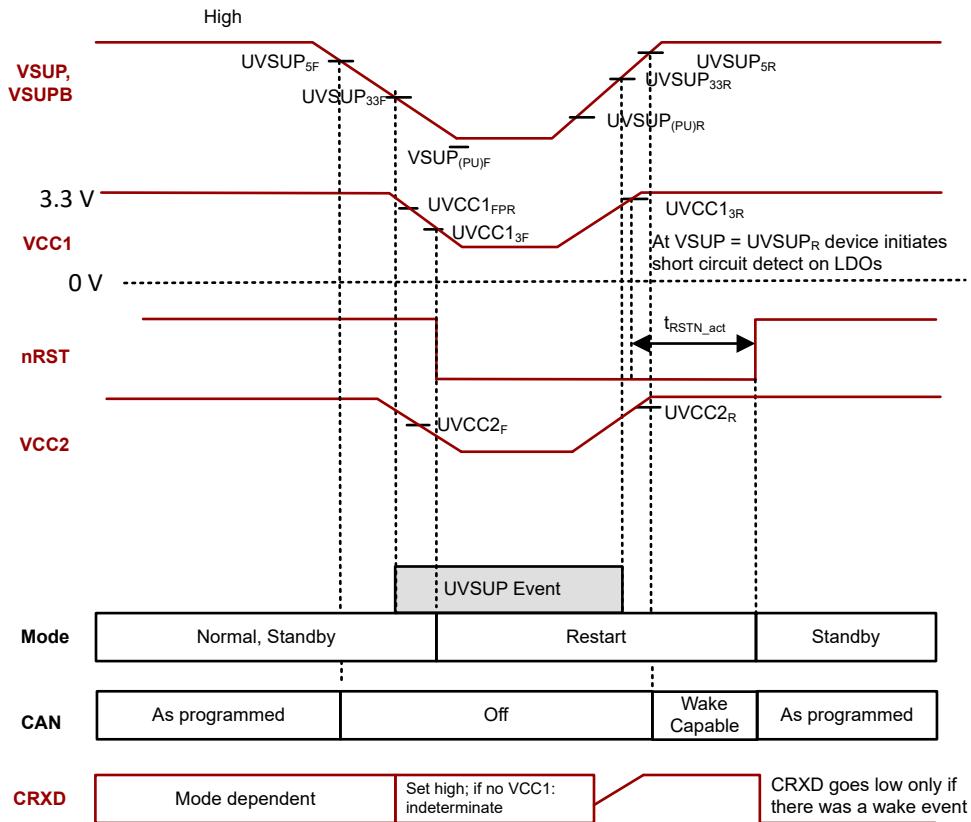


図 10-5. VCC1 = 3.3V の場合に VSUP_{(PU)F} を上回るブラウンアウト

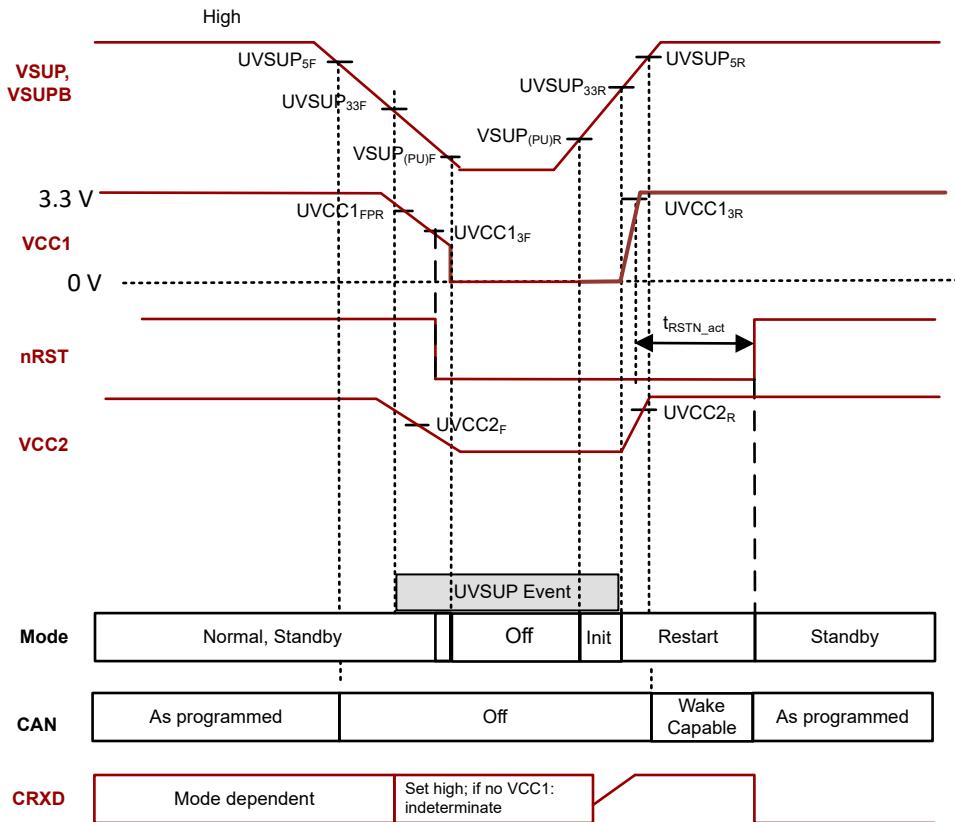


図 10-6. VCC1 = 3.3V の場合に VSUP_{(PU)F} を下回るブラウンアウト

10.2 代表的なアプリケーション

TCAN241x-Q1 SBC ファミリは、ウォッチドッグや CAN FD バス向けの高度なバス故障診断、ハイサイド スイッチといった多くの機能を使いながら、CAN FD を必要とするホスト マイクロプロセッサや FPGA を備えたアプリケーションで一般的に使用されます。以下の一般的なアプリケーション構成は、3.3V マイクロプロセッサ向けのものです。これらのデバイスは、VCC1 の値に応じて 3.3V および 5V のマイクロプロセッサで動作します。バス終端を、説明のために示します。

図 10-7 に、WAKE ピンでの周期的センシングと、LED を制御するハイサイド スイッチをサポートするように構成された TCAN241x-Q1 を示します。この降圧レギュレータは、最大 1A の電流を必要とするアプリケーションをサポートします。

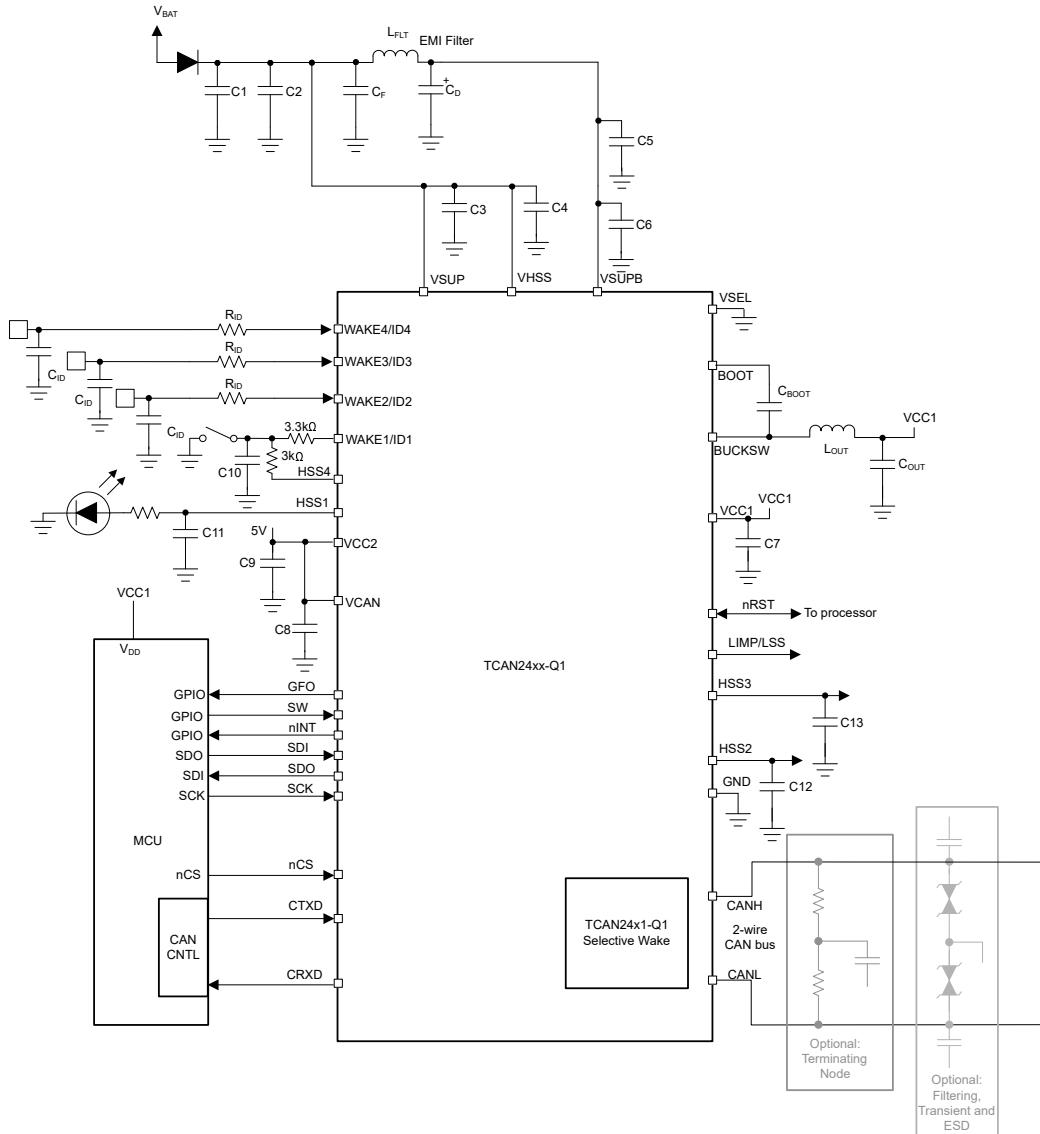


図 10-7. TCAN241x-Q1 の一般的な CAN アプリケーション

表 10-1. 推奨外付け部品の値

部品	値	備考
C1	100nF	高周波スパイク用のフィルタリング容量。EMC の堅牢性に必須です。
C2	22μF	バッテリスパイクをカットオフし、ISO パルスから保護するデカップリング容量。アプリケーション要件によっては、より大きな容量が必要になる場合があります。
C3	100nF	高周波スパイク用のフィルタリング容量。EMC の堅牢性に必須です。デバイスのピンの近くに配置します。
C4	100nF	高周波スパイク用のフィルタリング容量。EMC の堅牢性に必須です。デバイスのピンの近くに配置します。
L _{FLT}	1.5μH	パイフィルタのフィルタ インダクタンス
C _F	2.2μF	EMI パイフィルタ静電容量
C _D	47μF	C5 (降圧電源の入力容量) の 4 倍以上にする必要があります。パイフィルタ用のダンピング コンデンサ。ダンピング抵抗が必要なため、バルク コンデンサを推奨します。
C5	10μF	降圧電源入力用の低 ESR 入力コンデンサ。アプリケーションの必要に応じて調整します。注記: これは、VCC1 に 0.8A の負荷をかけた状態で EMC 認証に使用された容量値です。
C6	100nF	低 ESR、高周波スパイクのフィルタリング容量。EMC の堅牢性に必須です。デバイスのピンの近くに配置します。
L _{OUT}	VCC1 = 3.3V の場合 の 3.3μH	降圧出力フィルタ用インダクタの一般的な推奨値。
	VCC1 = 5V の場合 の 4.7μH	
C _{OUT}	最小 10μF	10V 定格。降圧出力フィルタ インダクタ。寿命や温度による定格低下を見込んだり、負荷変動に対応したりするために、より大きな容量値を選択することもできます。
C _{BOOT}	100nF	10V 定格。ブートキャパシタ
C8	100nF	高周波スパイク用のフィルタリング容量。EMC の堅牢性に必須です。デバイスのピンの近くに配置します。
C9	4.7μF	VCC2 LDO 出力コンデンサ。EMC 認証試験は、この値の X7R/50V コンデンサを使用して実施されています。
C10	22nF	EMC の堅牢性を高めるために必要な低 ESR コンデンサ。
C11、C12、C13	100nF	HSS が外部負荷を駆動する場合にのみ必要で、EMC の堅牢性を高めるためのものです。
C _{ID}	22nF	EMC の堅牢性を高めるために必要な低 ESR コンデンサ。
R _{ID}	510 Ω	ID ピンをグランド シフトやグランド喪失から保護し、EMC の堅牢性を高めるために必要です。

10.2.1 設計要件

ISO 11898-2_2024 規格では、最大バス長は 40 メートル、最大スタブ長は 0.3 メートルと規定されています。ただし、入念な設計を行えば、より長いケーブルやスタブ、より多くのノードをバスに接続することも可能です。ノード数が多い場合には、TCAN241x-Q1 のような高入力インピーダンスのトランシーバが必要になります。

多くの CAN 関連団体や標準規格は、ISO 11898-2_2024 規格の枠を超えたアプリケーションへの CAN の適用を拡大しています。これらの組織や標準規格は、データレート、ケーブル長、バスの寄生負荷についてシステムレベルのトレードオフを行っています。本デバイスは、並列トランシーバを含むワーストケースを考慮し、50Ω 負荷で 1.5V の要件を満たします。

デバイスの差動入力抵抗は最小で 30kΩ です。100 個のデバイスがバス上で並列に接続されている場合、これは 300Ω の差動負荷のワーストケースに相当します。300 Ω のトランシーバ負荷を 60 Ω と並列にすると、50 Ω の等価負荷になります。したがって、このデバイスは理論的には単一のバスセグメントで 100 を超えるトランシーバをサポートします。

しかし CAN ネットワークを設計する際は、システム全体や配線で生じる信号損失、寄生負荷、ネットワークの不均衡、グランドのずれ、信号インテグリティなどを考慮してマージンを確保する必要があります。したがって、実用的な最大ノード数は通常はるかに少なくなります。慎重なシステム設計とデータ レートのトレードオフにより、バスの長さは元の ISO 11898-2_2024 標準の 40 m を超えて拡張することもできます。

たとえば、CANopen ネットワーク設計ガイドラインによると、終端抵抗やケーブル配線を変更し、64 ノード未満にし、データレートを大幅に低下させてもいい場合、ネットワークを最大 1km にすることができます。CAN ネットワーク設計におけるこの柔軟性は、元の ISO 11898-2_2024 CAN 規格に基づいて構築されたさまざまな拡張規格および追加規格の重要な強みの 1 つです。この柔軟性を利用するには、適切なネットワーク設計を行いこれらのトレードオフのバランスを取る必要があります。

10.2.1.1 通常モードのアプリケーションノート

CRXD ピンのウェイクアップリクエストを監視するシステムで TCAN241x-Q1 を使用する場合は、モード遷移中に特に注意してください。CRXD ピンの出力は、トランシーバのプログラムされた状態に基づいており、ウェークアップが可能な場合は、トランシーバが別の状態になるまで、Low にラッピングされます。

10.2.1.2 スタンバイ モードのアプリケーションノート

TCAN241x-Q1 が VSUP の低電圧を検出すると、CRXD ピンが Low に遷移します。これは、デバイスがスタンバイモードに移行したことをソフトウェアに通知します。nINT ピンが Low にプルダウンされ、UVSUP イベントを示します。デバイスは、想定されるモードにプログラムされている必要があります。これにはトランシーバーも含まれます。

10.2.2 設計手順の詳細

10.2.2.1 CAN の詳細な設計手順

ISO 11898 規格では、相互接続は 120Ω の特性インピーダンス (Z_0) を持つツイストペアケーブル (シールド付きまたはシールドなし) と規定されています。信号反射を防ぐため、ケーブルの両端は伝送線路の特性インピーダンスと同じ値の抵抗で終端します。ノードをバスに接続する終端されていないドロップライン (スタブ) は、信号反射を最小限に抑えるため、できるだけ短く保つようにします。終端はケーブル上またはノード内に配置できますが、ノードがバスから取り除かれる可能性がある場合、ネットワーク上に常に 2 つの終端が存在するように終端を慎重に配置する必要があります。終端として、ケーブル上または終端ノード内のいずれかで、バスの端に単一の 120Ω 抵抗を配置することができます。バスの同相電圧のフィルタリングと安定化が必要な場合は、分割終端を使用できます。分割終端は、メッセージ送信の開始時と終了時のバス同相電圧の変動を排除することで、ネットワークの電磁放射の挙動を改善します。

10.2.3 アプリケーション曲線

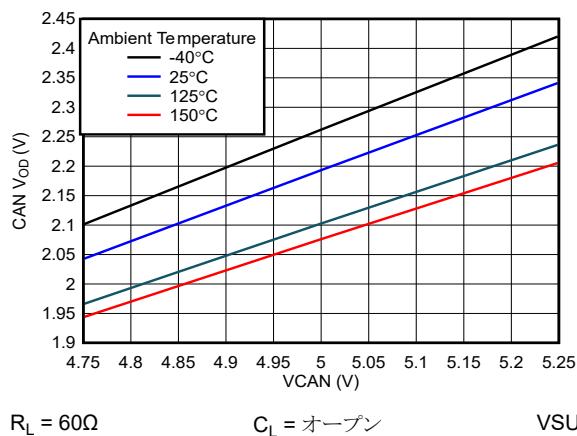


図 10-8. CAN ドライバ差動出力 (ドミナント モードでの $V_{DIFF(D)}$)

10.3 電源に関する推奨事項

TCAN241x-Q1 は、バッテリ (VSUP、VSUPB、VHSS への供給) および VCAN で動作するように設計されています。広範なマイクロプロセッサをサポートするため、ロジック I/O と SPI は、レベル 3.3V と 5V をサポートする非標準 VCC1 から電源が供給されます。CAN FD トランシーバの 5V 電源は、VCAN 入力から供給されます。VCAN は CAN トランシーバ用に使われ、さらに EEPROM 書き込みにも必要なため、もし VCC2 が基板外へ電力を供給している場合は、VCC2 を

VCAN の供給源として使用しないでください。電源の入力端子および出力端子に必要な外付け部品の推奨値については、典型的なアプリケーション回路図を参照してください。

10.4 レイアウト

堅牢で信頼性の高い CAN ノードの設計には、アプリケーションや車載設計要件に応じて特別なレイアウト手法が必要となる場合があります。過渡外乱には高い周波数成分があり、帯域幅が広いため、PCB 設計時に高周波レイアウト手法を適用できます。

10.4.1 レイアウトのガイドライン

過渡現象、ESD、ノイズがボード上に伝播するのを防ぐため、保護およびfiltrating 回路をバス コネクタのできるだけ近くに配置します。このレイアウト例では、デバイスの周囲のコンポーネントに関する情報を提供します。保護の強化のため、過渡電圧抑制 (TVS) デバイスを追加します。直列同相モード チョーク (CMC) を、コネクタとの間の CANH ラインおよび CANL ライン上に配置します。

信号路の方向に向けて保護部品を設計します。過渡電流を信号路から強制的に迂回させて保護デバイスに到達させないでください。電源およびグランド プレーンを使用して、低インダクタンスを実現します。

注

高周波電流は、抵抗が最小なパスではなく、インピーダンスが最小なパスに追従します。

- 高周波フィルタ用コンデンサ (通常 100nF) が、デバイスの電源端子のできるだけ近くに配置されていることを確認します。このコンデンサが低 ESR であることを確認します。
- 入力および出力の電源コンデンサである C_{IN} と C_{VCC2} は低 ESR タイプで構いませんが、電源端子ピンの近くに配置する必要があります。
- VSUPB は、降圧レギュレータのスイッチング FET への電源入力であるため、図に示すように、バイフィルタで VSUP と VHSS から分離されています。
- TCAN241x-Q1 の VCC1 出力コンデンサから VCC1 ピンまでの配線抵抗は最小にする必要があります。TCAN241x-Q1 のデジタルピンの内部回路は、VCC1 ピンから電力が供給されるため、このパスで過剰な抵抗が発生すると、VCC1 レギュレーションに問題が発生する可能性があります。
- バス終端:このレイアウト例では、分割終端を示します。ここでは、終端が 2 つの抵抗 R_{TERM} に分割され、終端のセンター タップまたは分割タップをコンデンサ C_{SPLIT} を使用してグランドに接続します。分割終端はバス同相モードフィルタを提供します。バス終端をバス上に直接配置するのではなく、ボード上に配置する場合は、終端ノードがバスから外れないように、また終端も外れないように注意する必要があります。
- 実効ビア インダクタンスを最小化するため、バイパスコンデンサと保護デバイスの VCC およびグランド接続には少なくとも 2 つのビアを使用します。

10.4.2 レイアウト例

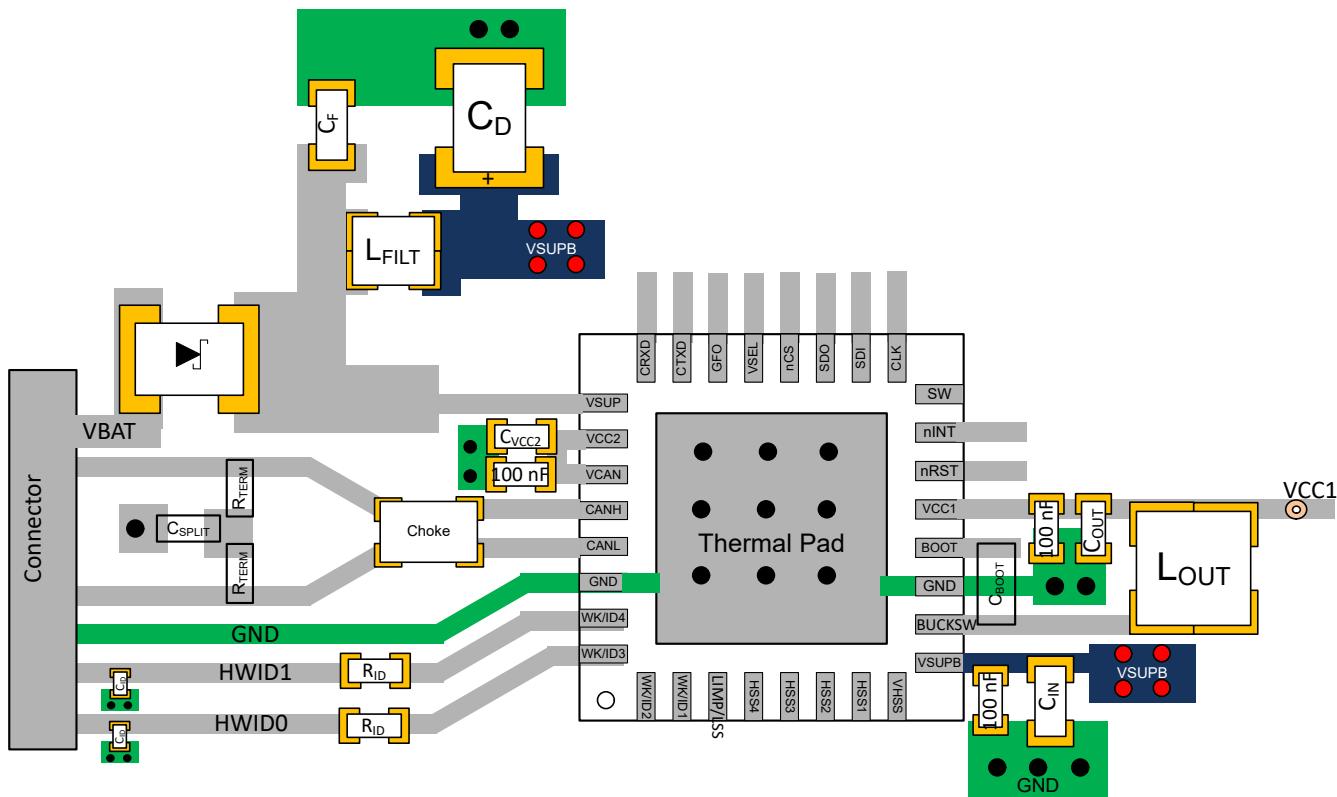


図 10-9. レイアウト例

11 デバイスおよびドキュメントのサポート

このデバイスは、次の CAN 規格に準拠しています。重要な必要事項は、このシステム仕様に含まれていますが、これらの規格を参照し、不一致部分は指摘して検討する必要があります。このドキュメントには、必要なすべての基本事項が記載されています。しかし、CAN プロトコルの詳細はこの物理層 (トランシーバ) 仕様の範囲外であるため、プロトコルも含めて CAN を完全に理解するには以下の追加資料が非常に役立ちます。

11.1 ドキュメントのサポート

11.1.1 CAN トランシーバの物理層の規格 :

- ISO 11898-2:2024: 低消費電力モード付きの高速メディア アクセス ユニット (複数の仕様における -2 規格の電気的なスーパー セットであり、低消費電力モードでバスにより元のウェークアップ機能を追加)
- ISO 8802-3:CSMA/CD は- ISO11898-2 から衝突検出用に参照。
- SAE J2284-2:250kbps の車載用アプリケーション向けの高速 CAN (HSC)
- SAE J2284-3:500kbps の車載用アプリケーション向けの高速 CAN (HSC)

11.1.2 EMC 要件 :

- SAEJ2962-2:CAN トランシーバの US3 要件 (-2, -5, GM では -6 + FD に対応した更新も提案されますが、開始点としてはこれが最良です)
- CAN, LIN, FR V1.3 の HW 要件: CAN と LIN のドイツ OEM 要件
- ISO 10605: 道路車両 - 静電放電による電気的障害のテスト手法
- ISO 11452-4:2011: 道路車両 - ナローバンド放射の電磁気エネルギーによる電気的障害のコンポーネント テスト手法 - 第 4 部: ハーネス励起方法
- ISO 7637-1:2015: 道路車両 - 伝導および結合による電気的障害 - 第 1 部: 定義および一般的な考慮事項
- ISO 7637-3: 道路車両 - 伝導および結合による電気的障害 - 第 3 部: 供給ライン以外のラインを介した容量性および誘導性結合による電気的過渡伝達
- IEC 62132-4:2006: 集積回路 - 150kHz~1GHz の電磁気耐性の測定 - 第 4 部: 直接 RF 電力注入手法
- IEC 61000-4-2
- IEC 61967-4
- CISPR25

11.1.3 適合テストの要件 :

- HS_TRX_Test_Spec_V_1_0: 高速物理層用の GIFT/ICT CAN テストの要件
- ISO/DIS 17987-7.2: 道路車両 -- ローカル相互接続ネットワーク (LIN) -- 第 7 部: 電気物理層 (EPL) 適合性テスト仕様
- SAEJ2602-2: 車載アプリケーション用 LIN ネットワークの準拠テスト

11.1.4 関連資料

- 『A Comprehensible Guide to Controller Area Network』、Wilfried Voss、Copperhill Media Corporation
- 『CAN System Engineering: From Theory to Practical Applications』、第 2 版、2013 年、Dr. Wolfhard Lawrenz、Springer

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (May 2024) to Revision A (December 2025)	Page
ドキュメントのステータスをアドバンス情報から量産データに更新しました。.....	1
データシートの最初の公開リリース.....	1

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのプラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTCAN2410RHBRQ1.A	Active	Preproduction	VQFN (RHB) 32	5000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTCAN2411RHBRQ1.A	Active	Preproduction	VQFN (RHB) 32	5000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

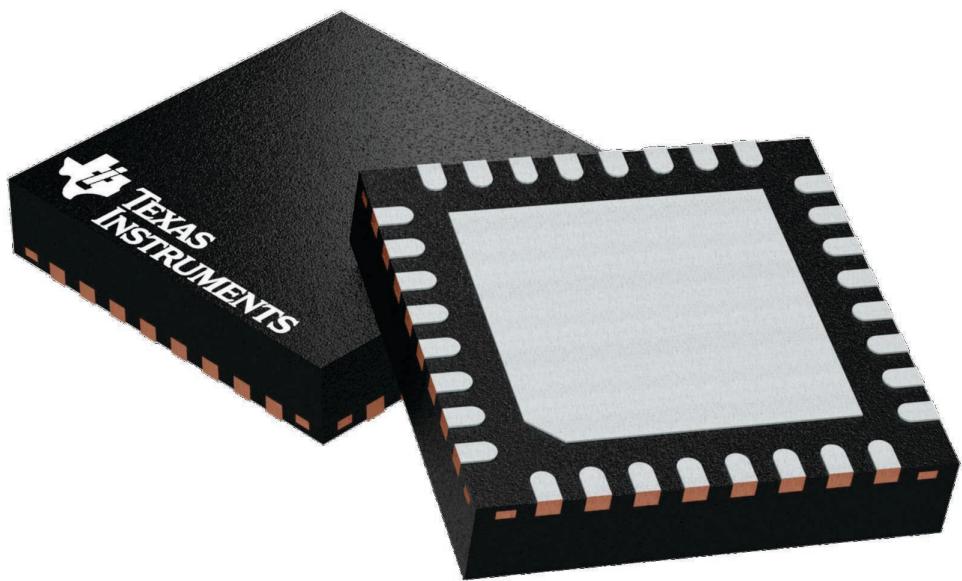
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

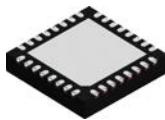
PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A

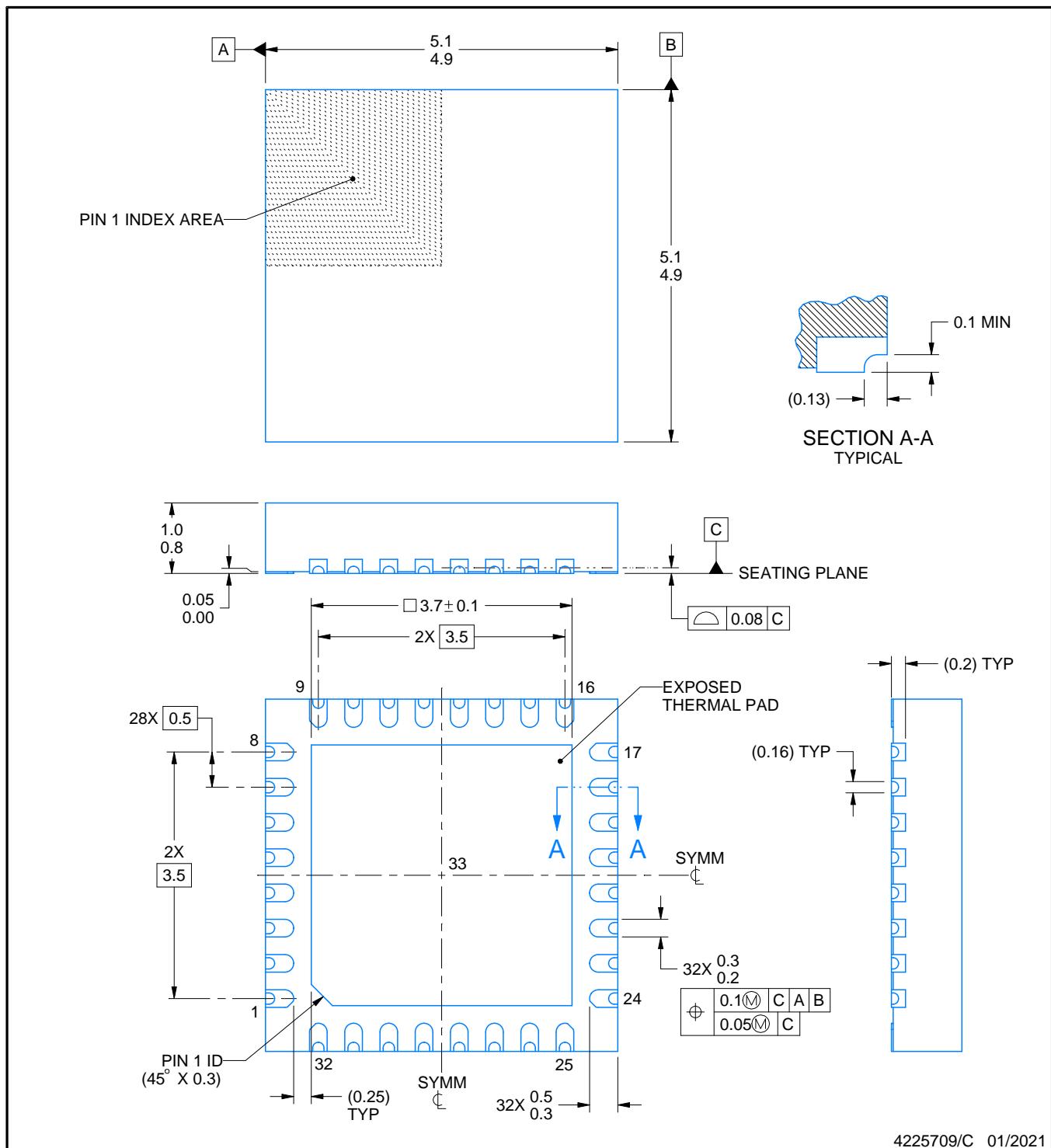
RHB0032U



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4225709/C 01/2021

NOTES:

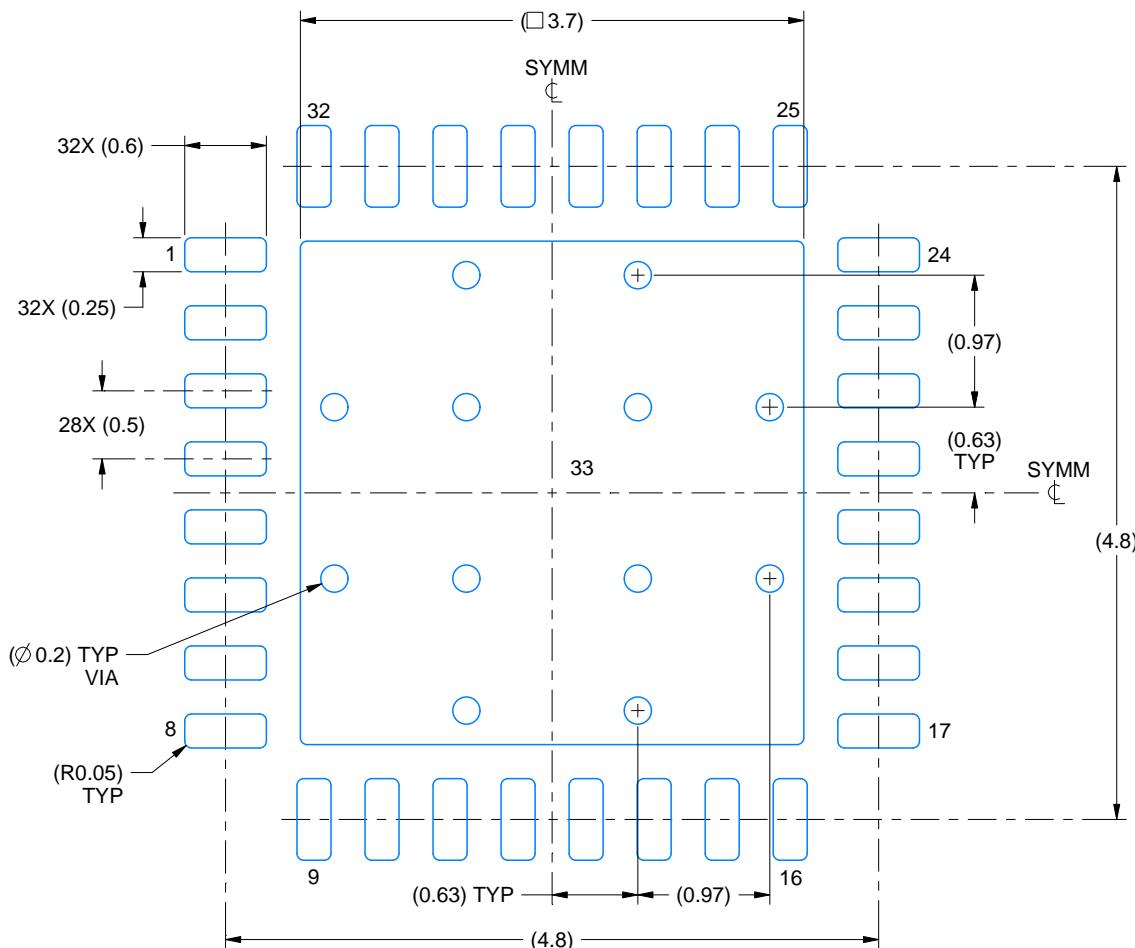
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

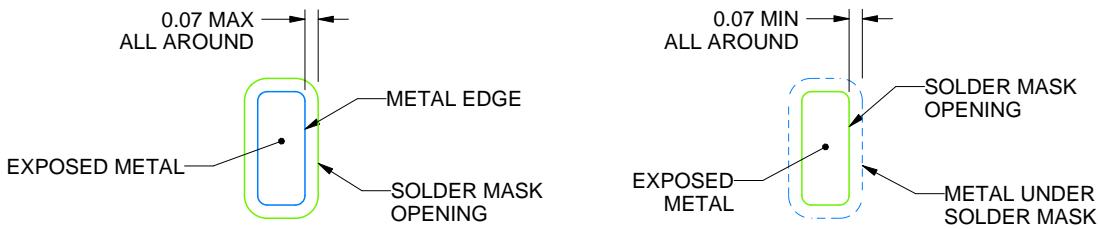
RHB0032U

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4225709/C 01/2021

NOTES: (continued)

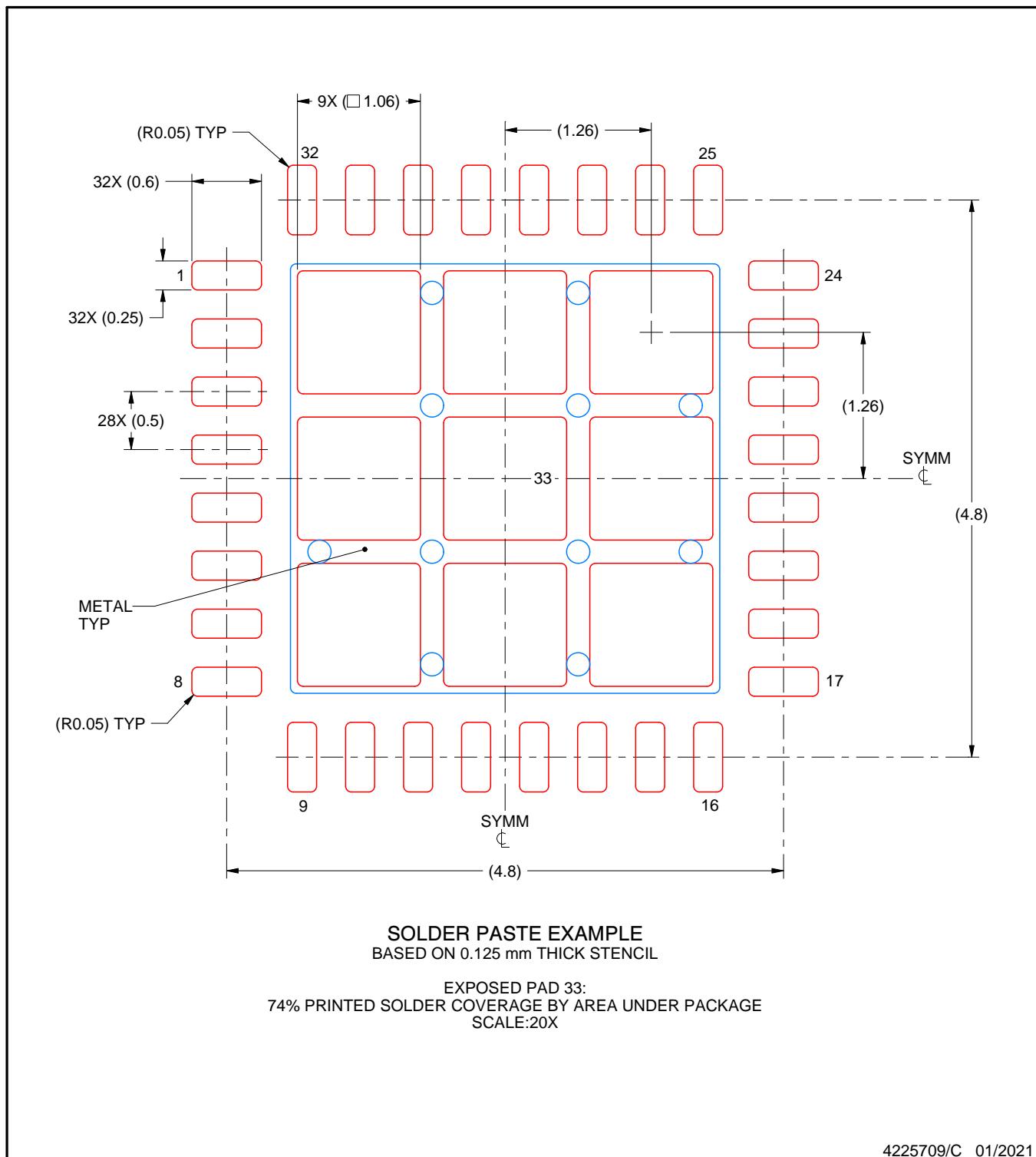
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0032U

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月