

TDA4VEN、TDA4AEN Jacinto™ プロセッサ

1 特長

プロセッサコア:

- 最大 1.4GHz、クワッド 64 ビットまでの Arm® Cortex®-A53 マイクロプロセッサ サブシステム
 - SECDED ECC 付き 512KB L2 共有キャッシュを搭載したクワッド コア Cortex-A53 クラスタ
 - 各 A53 コアには、SECDED ECC を備えた 32KB L1 D キャッシュおよびパリティ保護を備えた 32KB L1 I キャッシュを搭載
- MCU チャネルの一部として統合され、最大 800MHz で動作するシングル コア Arm® Cortex®-R5F、FFI 付き
 - 32KB の I キャッシュと 32KB の L1 D キャッシュ、64KB TCM (全メモリに SECDED ECC 付き)
 - 512KB の SRAM (SECDED ECC 付き)
- デバイス管理をサポートするために集積化された、最大 800MHz、シングル コア Arm® Cortex®-R5F
 - 32KB の I キャッシュと 32KB の L1 D キャッシュ、64KB TCM (全メモリに SECDED ECC 付き)
- ランタイム管理をサポートするために集積化された、最大 800MHz、シングル コア Arm® Cortex®-R5F
 - 32KB の I キャッシュと 32KB の L1 D キャッシュ、64KB TCM (全メモリに SECDED ECC 付き)
- 2 つのディープラーニング アクセラレータ (合計最大 4TOPS)、それぞれに次の機能を搭載
 - C7x 浮動小数点、1.0GHz、最大 40GFLOPS、256 ビット ベクタ DSP
 - マトリクス乗算アクセラレータ (MMA)、1.0GHz で最大 2 演算/秒 (TOPS) (8b)
 - SECDED ECC を備えた 64KB L1 D キャッシュ、およびパリティ保護を備えた 32KB L1 I キャッシュを搭載
 - 2.25MB の L2 SRAM (SECDED ECC 付き)
- 深度およびモーション処理アクセラレータ (DMPAC)
 - 高密度オプティカル フロー (DOF) アクセラレータ
 - ステレオ ディスパリティ エンジン (SDE) アクセラレータ
- 画像信号プロセッサ (ISP) と複数のビジョン支援アクセラレータによるビジョン処理アクセラレータ (VPAC):
 - 600 MP/s ISP
 - 12 ビット RGB-IR をサポート
 - 最大 16 ビットの入力 RAW 形式をサポート
 - 最大 4096 のラインをサポート
 - ワイド ダイナミックレンジ (WDR)、レンズ歪み補正 (LDC)、ビジョン イメージング サブシステム (VISS)、マルチスカラー (MSC) のサポート

- 出力カラー フォーマット: 8 ビット、12 ビット、YUV 4:2:2、YUV 4:2:0、RGB、HSV/HSL

マルチメディア:

- ディスプレイ サブシステム
 - OLDI (LVDS) (1x OLDI-DL、1x または 2x OLDI-SL)、DSI または DPI 経由でトリプル ディスプレイをサポート
 - OLDI-SL (シングルリンク): 60fps で最大 1920 × 1080 (165MHz ピクセル クロック)
 - OLDI-DL (デュアルリンク): 60fps で最大 3840 × 1080 (150MHz ピクセル クロック)
 - MIPI® DSI: 4 レーン MIPI® D-PHY は 60fps で最大 3840 × 1080 (300MHz ピクセル クロック) をサポート
 - DPI (24 ビット RGB パラレル インターフェイス): 60fps で最大 1920 × 1080 (165MHz ピクセル クロック)
 - ハードウェア オーバーレイを搭載した 4 つのディスプレイ パイプライン サポート。ディスプレイごとに最大 2 つのディスプレイ パイプラインを使用できます。
 - 凍結フレーム検出やデータ修正チェックなどの安全機能をサポート
- 3D グラフィックス処理ユニット (TDA4VEN)
 - IMG BXS-4-64、256KB キャッシュ付き
 - 最大 50GFLOPS
 - シングル シェーダー コア
 - OpenGL ES3.2 および Vulkan 1.2 API サポート
- 4 つの CSI-2 (カメラシリアル インターフェイス) レシーバ、4 レーン D-PHY 付き
 - MIPI® CSI-2 v1.3 準拠 + MIPI® D-PHY 1.2
 - CSI-RX は各レーンで最大 2.5Gbps の 1、2、3、4 データレーン モードをサポート
 - CSI-TX は各レーンで最大 2.5Gbps の 1、2、4 データレーン モードをサポート
- 4 レーン D-PHY を備えた 1 つの CSI2.0 トランスミッタ (MIPI DSI と共有)
- ビデオ エンコーダ / デコーダ
 - HEVC (H.265) メイン プロファイルをレベル 5.1 上位層でサポート
 - H.264 ベースライン / メイン / ハイ プロファイルをレベル 5.2 でサポート
 - 最大 4K の UHD 解像度をサポート (3840 × 2160)
 - 最大 500MP/s のデコード / エンコードをサポート (4K60)



- 最大 4K UHD (3840 × 2160) の解像度で
416M ピクセル / 秒のモーション JPEG エンコード

メモリ サブシステム:

- 主要なプロセッシング コア専用のオンチップ RAM
 - 256KB のオンチップ RAM (OCRAM)、SECDED ECC 付き
 - SMS サブシステムに SECDED ECC を搭載した 256KB のオンチップ RAM
 - Cortex-R5F MCU サブシステムに SECDED ECC を搭載した 512KB のオンチップ RAM
 - R5F デバイス マネージャ サブシステムに SECDED ECC を搭載した 64KB のオンチップ RAM
 - R5F ランタイム マネージャ サブシステムに SECDED ECC を搭載した 64KB のオンチップ RAM
 - C7x ディープ ラーニング アクセラレータに SECDED ECC を搭載した 2.25MB の L2 SRAM (合計最大 4.5MB)
- DDR サブシステム (DDRSS)
 - LPDDR4 メモリ タイプをサポート
 - インライン ECC 付きの 32 ビット データ バス
 - 最高 4000MT/s の速度をサポート
 - 最大 LPDDR4 サイズ: 8GB

機能安全:

- 機能安全準拠** 車載用製品向け (一部の部品番号でのみ対応)
 - 機能安全アプリケーション向けに開発
 - ISO 26262 機能安全システム設計を支援するドキュメントを準備中
 - ASIL D を目標とした決定論的対応能力
 - ASIL B までを対象とするハードウェア インテグリティ
 - 安全関連の認証
 - ISO 26262 予定
- AEC - Q100 認定済み

セキュリティ:

- セキュア ブート対応
 - ハードウェアで強化された RoT (Root-of-Trust: 信頼の基点)
 - バックアップ キーによる RoT の切り替えをサポート
 - テイクオーバー保護、IP 保護、ロールバック禁止保護のサポート
- 信頼できる実行環境 (TEE) に対応
 - Arm TrustZone® をベースとする TEE
 - 分離用の広範なファイアウォール サポート
 - セキュアなウォッチドッグ / タイマ / IPC

- セキュアなストレージのサポート
- リプレイ保護メモリ ブロック (RPMB) のサポート
- ユーザー プログラマブルな HSM コアと専用セキュリティ DMA および IPC サブシステムの搭載により絶縁処理を実現した専用セキュリティ コントローラ
- 暗号化アクセラレーションに対応
 - 受信データ ストリームに基づいてキーマテリアルを自動的に切り替えできるセッション 認識暗号化エンジン
- 暗号化コアをサポート
 - AES - 128/192/256 ビットのキー サイズ
 - SHA2 - 224/256/384/512 ビットのキー サイズ
 - DRBG と真性乱数発生器
 - セキュア ブート対応のため PKA (公開鍵アクセラレータ) により RSA/ECC 処理を支援
- デバッグのセキュリティ
 - ソフトウェア制御によるセキュアなデバッグ アクセス
 - セキュリティ対応のデバッグ

高速インターフェイス:

- PCI-Express® Gen3 シングル レーン コントローラ (PCIE)
 - Gen1 (2.5GT/s)、Gen2 (5.0GT/s)、Gen3 (8.0GT/s) で動作 (オート ネゴシエーション付き)
- 次の機能をサポートするイーサネット スイッチを内蔵 (合計 2 つの外部ポート)
 - RMII(10/100) または RGMII (10/100/1000) または SGMII (1Gbps)
 - IEEE1588 (Annex D、Annex E、Annex F と 802.1AS PTP)
 - Clause 45 MDIO PHY 管理
 - ALE エンジン (512 の分類子) に基づくパケット分類器
 - プライオリティ ベースのフロー制御
 - タイム センシティブ ネットワーキング (TSN) のサポート
 - 4 個の CPU ハードウェア割り込みペーシング
 - ハードウェアの IP/UDP/TCP チェックサム オフロード
- USB3.1-Gen1 ポート
 - 1 つの Enhanced SuperSpeed Gen1 ポート
 - USB ホスト、USB ペリフェラル、USB デュアルロール デバイスとして構成可能なポート
 - USB VBUS 検出機能を内蔵
- USB2.0 ポート
 - USB ホスト、USB ペリフェラル、USB デュアルロール デバイス (DRD モード) として構成可能なポート
 - USB VBUS 検出機能を内蔵

一般的なコネクティビリティと車載用インターフェイス:

- 9 個のユニバーサル非同期レシーバトランスミッタ (UART)
- 5 個のシリアル ペリフェラル インターフェイス (SPI) コントローラ
- 7 個の I²C (Inter-Integrated Circuit) ポート
- 5 個のマルチチャネル オーディオ シリアル ポート (McASP)
- 汎用 I/O (GPIO) では、すべての LVCMOS I/O を GPIO として構成可能
- 4 個のコントローラ エリア ネットワーク (CAN) モジュール、CAN-FD をサポート

メディアおよびデータ ストレージ:

- 3 個のセキュア デジタル® (SD®) (4b+4b+8b) インターフェイス
 - 1 個の 8 ビット eMMC インターフェイス、最大速度 HS400
 - 2 個の 4 ビット SD/SDIO インターフェイス、最大 UHS-I
 - eMMC 5.1、SD 3.0、SDIO バージョン 3.0 に準拠
- 最大 133MHz の 1 つの汎用メモリ コントローラ (GPMC)
- DDR/SDR をサポートする OSPI/QSPI

3 概要

TDA4VEN/TDA4AEN (別名 TDA4-Entry) プロセッサ ファミリは、Jacinto™ 7 車載グレード ファミリのヘテロジニアス Arm® プロセッサを拡張したもので、先進運転支援システム (ADAS) アプリケーションを対象としています。TDA4VEN/TDA4AEN は、組み込みディープ ラーニング (DL)、ビデオ、ビジョン処理、3D グラフィックス アクセラレーション、ディスプレイ インターフェイス、広範な車載ペリフェラルおよびネットワーク オプションを備えており、NCAP フロント カメラやエントリ レベルの駐車支援システムなど、コストと消費電力に制約のある一連の車載アプリケーション向けに構築されています。コストが最適化された TDA4VEN/TDA4AEN は、高いレベルのシステム統合によって、従来型とディープ ラーニングの両方のアルゴリズムで最適な性能の計算を業界最高の電力 / 性能比で実行し、スタンドアロン電子制御ユニット (ECU) の複数のセンサ モダリティをサポートする先進の車載用プラットフォームの拡張性とコスト低減を実現できます。

TDA4VEN/TDA4AEN は、64 ビット アーキテクチャを採用した最大 4 個の Arm® Cortex®-A53 コア、画像信号プロセッサ (ISP) と複数のビジョン支援アクセラレータを搭載したビジョン処理アクセラレータ (VPAC)、ディープ ラーニング (DL)、高密度オプティカルフロー (DOF) ビデオおよび 3D グラフィックス アクセラレータ、Cortex®-R5F MCU アイランド コア、デバイスおよびランタイム管理用の 2 つの Cortex®-R5F コアを搭載しています。Cortex-A53 は、Linux アプリケーションに必要な強力なコンピューティング エレメントを提供すると同時に、従来のビジョン コンピューティングに基づくアルゴリズムの実装も提供します。既存の世界最先端の ISP に基づいて構築された テキサス・インスツルメンツの第 7 世代 ISP は、より広範なセンサスイートを処理する柔軟性、より深いビット深度のサポート、分析アプリケーションを対象とした機能を備えています。主要なコアとして、TI の高密度オプティカルフロー (DOF) アクセラレータに加えて、2 個の「C7x」次世代 DSP があります。この DSP はスカラコアとベクタコアを搭載しており、専用の「MMA」ディープ ラーニング アクセラレータと大容量 2.25MB L2 メモリの組み合わせにより、一般的な車載用のワースト ケースの接合部温度である 125°C で動作したときに、業界最小のパワー エンベロープで 4 演算/秒 (TOPS) までのパフォーマンスを実現します。

TDA4VEN/TDA4AEN は、PCIe Gen-3 (1L)、および、TSN をサポートする 1 つの内部ポートと 2 つの外部ポートを備えた 3 ポートのギガビットイーサネットスイッチなどの高速 IO を内蔵しています。さらに、TDA4VEN/TDA4AEN には包括的なペリフェラル セットが搭載されており、USB、MMC/SD、4 つの CSI2.0 カメラ インターフェイス、OSPI、CAN-FD、GPMC などのシステム レベルの接続性を使用し、外部 ASIC/FPGA へのパラレル ホスト インターフェイスを実現できます。TDA4VEN/TDA4AEN は、内蔵の HSM (ハードウェア セキュリティ モジュール) を使用した IP 保護用セ

- シリアル NAND およびシリアル NOR フラッシュをサポート
- 4GBytes のメモリ アドレスをサポート
- オプションのオンザフライ暗号化を備えた XIP モード

テクノロジー / パッケージ:

- 16nm FinFET テクノロジー
- 18 mm × 18 mm、0.65mm ピッチ、VCA 付き、594 ピン FCBGA (AMW)

コンパニオン パワー マネージメント ソリューション:

- ASIL-B または SIL-2 までの機能安全準拠サポート
- TPS6522x PMIC
- TPS6287x スタックアップ、高速過渡降圧

2 アプリケーション

- [フロント カメラ システム](#)
- [サラウンド ビューおよび駐車支援システム](#)
- [eMirror / カメラ ミラー システム \(CMS\)](#)
- [レーダーおよび Lidar ベースの車載認識システム](#)

キューブもサポートしており、消費電力が重要となるポータブル アプリケーション向けに高度なパワー マネージメント サポートを採用しています。内蔵の診断および安全機能は、SoC レベルで ASIL-B までの動作をサポートしています (ASIL-D の決定論的レベル)。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
XJ722S5	AMW (FCBGA, 594), VCA	18mm × 18mm
TDA4VEN...Q1	AMW (FCBGA, 594), VCA	18mm × 18mm
TDA4AEN...Q1	AMW (FCBGA, 594), VCA	18mm × 18mm

- (1) 詳細については、「[メカニカル](#)、[パッケージ](#)、[および注文情報](#)」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

3.1 機能ブロック図

注

TI のソフトウェア開発キット (SDK) が現在サポートしているデバイス機能の詳細については、[PROCESSOR-SDK-J722S ソフトウェア ビルドシート](#)を参照してください。

図 3-1 は、このデバイスの機能ブロック図です。

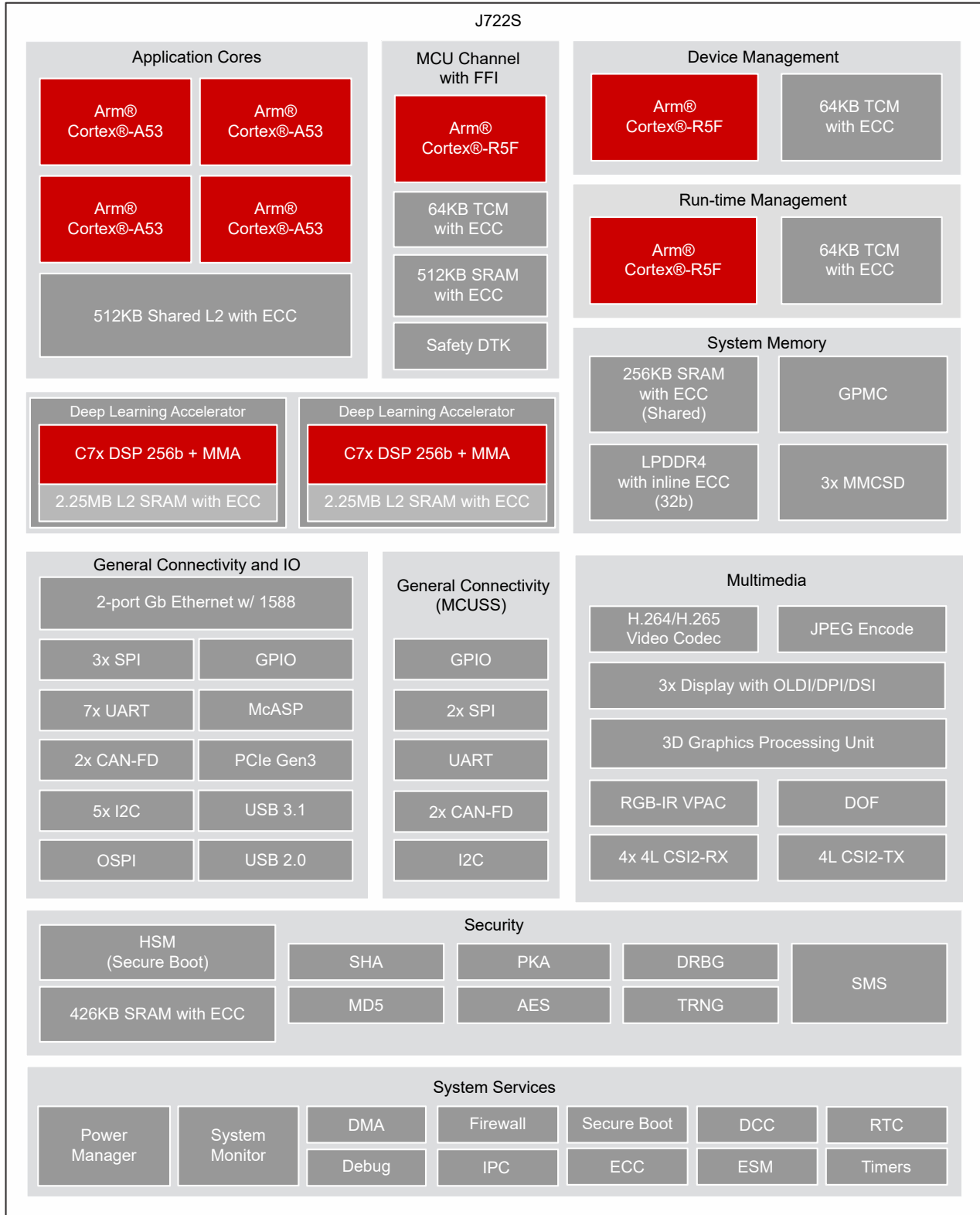


図 3-1. 機能ブロック図

目次

1 特長	1	6.9 熱抵抗特性.....	102
2 アプリケーション	3	6.10 温度センサの特性.....	103
3 概要	3	6.11 タイミングおよびスイッチング特性.....	104
3.1 機能ブロック図.....	5	7 詳細説明	230
4 デバイスの比較	8	7.1 概要.....	230
5 端子構成および機能	10	8 アプリケーション、実装、およびレイアウト	231
5.1 ピン配置図.....	10	8.1 デバイスの接続およびレイアウトの基礎.....	231
5.2 ピン属性.....	11	8.2 ペリフェラルおよびインターフェイス固有の設計情報.....	232
5.3 信号の説明.....	50	8.3 クロック配線のガイドライン.....	238
5.4 ピン接続要件.....	82	9 デバイスおよびドキュメントのサポート	239
6 仕様	88	9.1 デバイスの命名規則.....	239
6.1 絶対最大定格.....	88	9.2 ツールとソフトウェア.....	242
6.2 AMW パッケージの AEC-Q100 認定デバイスの ESD 定格.....	90	9.3 ドキュメントのサポート.....	242
6.3 電源投入時間 (POH).....	90	9.4 サポートリソース.....	242
6.4 推奨動作条件.....	91	9.5 商標.....	242
6.5 動作性能ポイント.....	93	9.6 静電放電に関する注意事項.....	243
6.6 消費電力の概略.....	93	9.7 用語集.....	243
6.7 電気的特性.....	94	10 改訂履歴	243
6.8 ワンタイム プログラマブル (OTP) eFuse の VPP 仕 様.....	101	11 メカニカル、パッケージ、および注文情報	246
		11.1 パッケージ情報.....	246

4 デバイスの比較

表 4-1 では、デバイス間の相違点を強調しつつ、比較を行っています。

注

多くの機能に関連付けられている IO 信号は限られた数のピンに多重化されるため、この表に記載されている機能が利用できるかどうかは、共有 IO ピンの使用状況によります。信号機能をピンに割り当てるには、SysConfig ツールを使用する必要があります。これにより、ピン多重化に関連する制限をよりよく理解できます。

注

TI のソフトウェア開発キット (SDK) が現在サポートしているデバイス機能の詳細については、[PROCESSOR-SDK-J722S ソフトウェア ビルドシート](#)を参照してください。

表 4-1. デバイスの比較

特長 ⁽¹⁾	参照名	TDA4VEN8	TDA4AEN8
特長			
WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:16] DEVICE_ID レジスタ ビット フィールド値 ^{(1) (7)}		0x33F0	0x33F1
プロセッサおよびアクセラレータ			
速度グレード (「デバイス速度グレード」を参照)		J、K	
Arm Cortex-A53 マイクロプロセッサ サブシステム	Arm A53	クワッド コア	
MCU ドメインの ARM Cortex-R5F	MCU_R5F	シングル コア	
MAIN ドメインの ARM Cortex-R5F	R5FSS0	シングル コア	
デバイス管理サブシステム	WKUP_R5F	シングル コア	
ハードウェア セキュリティ モジュール	HSM	あり	
暗号化アクセラレータ	セキュリティ	あり	
C7x 浮動小数点、ベクタ DSP	C7x256V DSP	デュアル コア	
ディープ ラーニング アクセラレータ	MMA	デュアル コア	
グラフィックス処理ユニット	GPU	あり	なし
ビデオ エンコーダ / デコーダ	VENC/VDEC	あり	
モーション JPEG エンコーダ	JPEG	あり	
深度およびモーション処理アクセラレータ	DMPAC	あり	
ビジョン処理アクセラレータ	VPAC3L	あり	
安全およびセキュリティ			
安全を対象	安全	オプション ⁽²⁾	
デバイスのセキュリティ	セキュリティ	オプション ⁽³⁾	
AEC-Q100 認定済み	Q1	オプション ⁽⁴⁾	
プログラムおよびデータ ストレージ			
MAIN ドメインのオンチップ共有メモリ (RAM)	OCSRAM	256KB	
MCU ドメインのオンチップ共有メモリ (RAM)	MCU_MSRAM	512KB	
LPDDR4 DDR サブシステム	DDRSS	インライン ECC 付きで最高 8GB の 32 ビット データ	
汎用メモリコントローラ	GPMC	最大 128MB、ECC 付き	
ペリフェラル			
ディスプレイ サブシステム	DSS7UL	1x DPI	
		1x LVDS	
		1x DSI	
モジュラー コントローラ エリア ネットワーク インターフェイス	MCAN	4	
CAN-FD をフルサポート	CAN-FD	あり	
汎用 I/O	GPIO	最大 147	

表 4-1. デバイスの比較 (続き)

特長 ⁽¹⁾	参照名	TDA4VEN8	TDA4AEN8
集積回路間インターフェイス	I2C		7
マルチチャネル オーディオ シリアル ポート	MCASP		5
マルチチャネル シリアル ペリフェラル インターフェイス	MCSPi		5
マルチメディア カード / セキュア デジタル インターフェイス	MMC/SD	1 個の eMMC (8 ビット)	
		2 個の SD/SDIO (4 ビット)	
フラッシュ サブシステム (FSS) ⁽⁵⁾	OSPI0/QSPI0	あり ⁽⁵⁾	
ギガビット イーサネット インターフェイス	CPSW3G ⁽⁶⁾	2 ポート (RGMII/RMII/SGMII ⁽⁶⁾)	
汎用タイマー	TIMER	14 個 (MCU に 4 個、WKUP に 2 個)	
拡張パルス幅変調器モジュール	EPWM	3	
拡張キャプチャ モジュール	ECAP	3	
拡張直交エンコーダ パルス モジュール	EQEP	3	
汎用非同期レシーバ / トランスミッタ	UART	9	
PHY 内蔵 PCI Express Gen3 ポート	PCIe ⁽⁶⁾	シングル レーン	
CSI2-RX コントローラ (DPHY 付き)	CSI-RX	4x4L	
CSI2-TX コントローラ	CSI-TX	1x4L	
USB2.0 コントローラ (PHY 付き)	USB 2.0	1	
USB3.0 コントローラ (PHY 付き)	USB 3.1 Gen 1 ⁽⁶⁾	1	

- (1) J722S はスーパーセット デバイスの基本型番です。ソフトウェアは、目的の量産デバイスに合わせて、使用する機能に制約を加える必要があります。(WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:16] "DEVICE_ID" レジスタのビット フィールド値: 0x3323。)
- (2) SIL/ASIL 定格などの安全機能は、「表 9-1 項目名の説明」のデバイス タイプ (Y) 識別子で示されている型番バリエーションを選択する場合にのみ適用されます。
- (3) セキュア ブートや顧客がプログラム可能なキーなどのデバイス セキュリティ機能は、「表 9-1 項目名の説明」のデバイス タイプ (Y) 識別子で示されている型番バリエーションを選択する場合にのみ適用されます。
- (4) AEC-Q100 認定は、「表 9-1 項目名の説明」の車載識別記号 (Q1) 識別子で示されている型番バリエーションを選択する場合にのみ適用されます。
- (5) 1 つのフラッシュ インターフェイスを OSPI0 または QSPI0 として構成。
- (6) PCIe、USB3.0、SGMII で合計 2 つの SERDES ポートを共有しています。
- (7) WKUP_CTRL_MMR_CFG0_JTAG_USER_ID レジスタおよび DEVICE_ID ビット フィールドの詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。

5 端子構成および機能

5.1 ピン配置図

注

「ボール」、「ピン」、「端子」という用語は、ドキュメント全体で同じ意味で使用されています。物理的なパッケージに言及する場合にのみ「ボール」が使用されています。

図 5-1 に、594 ボール フリップ チップ ボール グリッド アレイ (FCBGA) パッケージのボールの位置と、信号名およびボールグリッド番号との対応を示します。この図は、セクション 5.2.1～セクション 5.4 (「ピン属性」表、「信号説明」表、「ピン接続要件」表) とともに使用します。

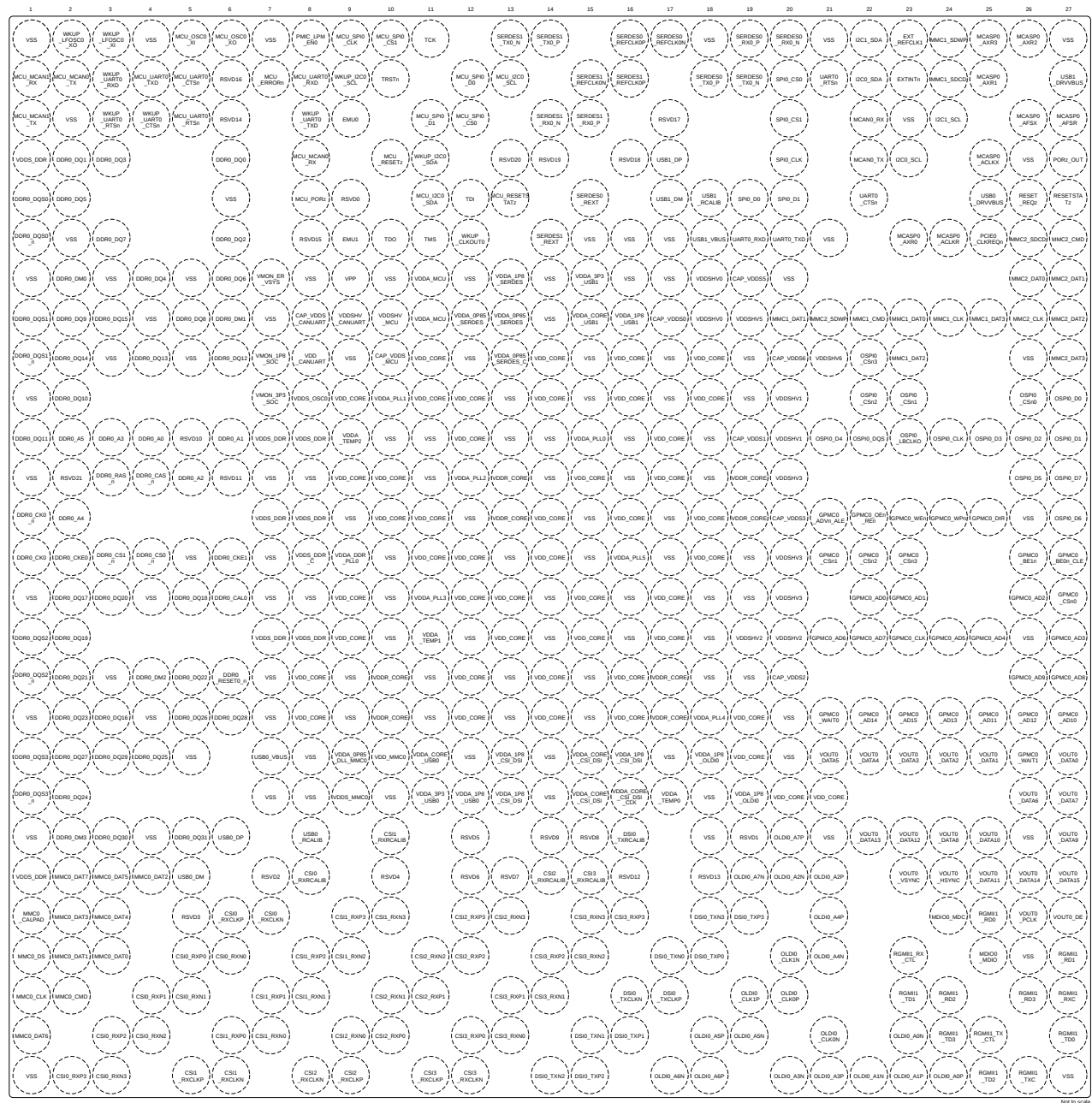


図 5-1. AMW FCBGA-N594 のピン配置図 (上面図)

5.2 ピン属性

次のリストに、表 5-1「ピン属性 (AMW パッケージ)」表の各列の内容を示します。

1. **ボール番号:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール番号。
2. **ボール名:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール名 (通常はプライマリ MUXMODE 0 信号機能からつけた名前)。
3. **信号名:**ボールに関連付けられているすべての専用およびピン多重化信号機能の信号名。

注

多くのデバイス ピンは複数の信号機能をサポートしています。一部の信号機能は、ピンに関連付けられた単一層のマルチプレクサで選択されます。他の信号機能は 2 層以上のマルチプレクサで選択され、ある層はピンに関連付けられ、他の層はペリフェラル ロジック機能に関連付けられます。

表 5-1「ピン属性 (AMW パッケージ)」表では、ピンでの信号多重化のみが定義されています。ピンでの信号多重化の詳細については、デバイスのテクニカルリファレンス マニュアルで「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。ペリフェラル信号の多重化に関する情報については、デバイスのテクニカルリファレンス マニュアルで該当するペリフェラルの章を参照してください。

4. **多重化モード:**各ピンの多重化信号機能に関連付けられた MUXMODE 値:

- a. MUXMODE 0 は、プライマリ ピンの多重化信号機能です。ただし、プライマリ ピンの多重化信号機能は、必ずしもデフォルトのピン多重化信号機能とは限りません。

注

「リセット後の MUX モード」列の値は、MCU_PORz がアサート解除されたときに選択されるデフォルトのピン多重化信号機能を定義します。

- a. ピン多重化信号機能には、MUXMODE の値 1~15 を使用できます。ただし、すべての MUXMODE 値が実装されているわけではありません。有効な MUXMODE 値は、「ピン属性」表でピン多重化された信号機能として定義された値のみです。MUXMODE の有効な値のみを使用する必要があります。
- b. ブートストラップは SOC 構成ピンを定義します。各ピンに適用されるロジック状態は、PORz_OUT の立ち上がりエッジでラッチされます。これらの入力信号機能はそれぞれのピンに固定で、MUXMODE を使用してプログラムすることはできません。
- c. 空欄は該当しないことを意味します。

注

デバイスを適切に動作させるには、以下の MUXMODE の構成を避ける必要があります。

- 複数のピンを同じピン多重化信号機能への入力として動作するように構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。
- ピンを未定義のピン多重化モードに設定すると、ピンの動作が未定義になります。

5. **タイプ:**信号の種類と方向:

- I = 入力
- O = 出力
- OD = 出力、オープンドレイン出力機能付き
- IO = 入力、出力、または同時に入力と出力
- IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
- IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
- OZ = 出力、3 ステート出力機能付き

- A = アナログ
 - PWR = 電源
 - GND = グランド
 - CAP = LDO コンデンサ。
6. **DSIS:** 選択解除入力状態 (DSIS) は、MUXMODE によってピン多重化信号機能が選択されていないとき、サブシステム入力 (ロジック「0」、ロジック「1」、または「パッド」レベル) に駆動される状態を示します。
- 0: ロジック 0 がサブシステム入力に駆動されます。
 - 1: ロジック 1 がサブシステム入力に駆動されます。
 - パッド: パッドのロジック状態がサブシステム入力に駆動されます。
 - 空欄は該当しないことを意味します。
7. **リセット時のボールの状態 (RX/TX/PULL):** MCU_PORz がアサートされているときの端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
- RX (入力バッファ)
 - オフ: 入力バッファは無効です。
 - オン: 入力バッファは有効です。
 - TX (出力バッファ)
 - オフ: 出力バッファは無効です。
 - Low: 出力バッファは有効であり、 V_{OL} を駆動します。
 - PULL (内部プル抵抗)
 - オフ: 内部プル抵抗はターンオフされています。
 - アップ: 内部プルアップ抵抗はターンオンされています。
 - ダウン: 内部プルダウン抵抗はターンオンされています。
 - NA: 該当なし。
 - 空欄は該当しないことを意味します。
8. **リセット後のボールの状態 (RX/TX/PULL):** MCU_PORz がアサート解除された後の端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
- RX (入力バッファ)
 - オフ: 入力バッファは無効です。
 - オン: 入力バッファは有効です。
 - TX (出力バッファ)
 - オフ: 出力バッファは無効です。
 - SS: MUXMODE で選択されたサブシステムによって、出力バッファの状態が決まります。
 - PULL (内部プル抵抗)
 - オフ: 内部プル抵抗はターンオフされています。
 - アップ: 内部プルアップ抵抗はターンオンされています。
 - ダウン: 内部プルダウン抵抗はターンオンされています。
 - NA: 該当なし。
 - 空欄は該当しないことを意味します。
9. **リセット後の多重化モード:** この列の値は、MCU_PORz がデアサートされた後のデフォルトのピン多重化信号機能を定義します。
- 空欄は該当しないことを意味します。
10. **I/O 電圧値:** この列は、それぞれの電源の I/O 動作電圧オプションについて説明します (該当する場合)。
- 空欄は該当しないことを意味します。
- 詳細については、[セクション 6.4](#)「推奨動作条件」で各電源に定義されている有効な動作電圧範囲を参照してください。

11. **電源:** 関連付けられている I/O の電源 (該当する場合)。
空欄は該当しないことを意味します。
12. **HYS:** この I/O に関連付けられている入力バッファにヒステリシスがあるかどうかを示します。
 - あり: ヒステリシス付き
 - なし: ヒステリシスなし
 - 空欄は該当しないことを意味します。詳細については、[セクション 6.7](#)「電気的特性」のヒステリシスの値を参照してください。
13. **バッファのタイプ:** この列は、端末に関連付けられたバッファのタイプを定義します。この情報を使用して、適用可能な電気的特性の表を決定できます。
空欄は該当しないことを意味します。
電気的特性については、[セクション 6.7](#)「電気的特性」の適切なバッファタイプの表を参照してください。
14. **プルアップ / ダウン タイプ:** 内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。
 - PU: 内部プルアップ
 - PD: 内部プルダウン
 - PU/PD: 内部プルアップおよびプルダウン
 - 空欄は内部プル抵抗がないことを意味します。
15. **PADCONFIG レジスタ:** ボールに関連付けられた IO パッド構成レジスタの名前。
16. **PADCONFIG アドレス:** ボールに関連付けられた IO パッド構成レジスタの物理アドレス。

表 5-1. ピン属性 (AMW パッケージ)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
H17	CAP_VDDS0	CAP_VDDS0		CAP									
L19	CAP_VDDS1	CAP_VDDS1		CAP									
U20	CAP_VDDS2	CAP_VDDS2		CAP									
N20	CAP_VDDS3	CAP_VDDS3		CAP									
G19	CAP_VDDS5	CAP_VDDS5		CAP									
J20	CAP_VDDS6	CAP_VDDS6		CAP									
H8	CAP_VDDS_CANUART	CAP_VDDS_CANUART		CAP									
J10	CAP_VDDS_MCU	CAP_VDDS_MCU		CAP									
AC7	CSI0_RXCLKN	CSI0_RXCLKN		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC6	CSI0_RXCLKP	CSI0_RXCLKP		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AB8	CSI0_RXRCALIB	CSI0_RXRCALIB		A					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG6	CSI1_RXCLKN	CSI1_RXCLKN		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG5	CSI1_RXCLKP	CSI1_RXCLKP		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AA10	CSI1_RXRCALIB	CSI1_RXRCALIB		A					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG8	CSI2_RXCLKN	CSI2_RXCLKN		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG9	CSI2_RXCLKP	CSI2_RXCLKP		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AB14	CSI2_RXRCALIB	CSI2_RXRCALIB		A					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG12	CSI3_RXCLKN	CSI3_RXCLKN		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG11	CSI3_RXCLKP	CSI3_RXCLKP		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AB15	CSI3_RXRCALIB	CSI3_RXRCALIB		A					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD6	CSI0_RXN0	CSI0_RXN0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE5	CSI0_RXN1	CSI0_RXN1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF4	CSI0_RXN2	CSI0_RXN2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG3	CSI0_RXN3	CSI0_RXN3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD5	CSI0_RXP0	CSI0_RXP0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE4	CSI0_RXP1	CSI0_RXP1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF3	CSI0_RXP2	CSI0_RXP2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG2	CSI0_RXP3	CSI0_RXP3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF7	CSI1_RXN0	CSI1_RXN0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE8	CSI1_RXN1	CSI1_RXN1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD9	CSI1_RXN2	CSI1_RXN2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC10	CSI1_RXN3	CSI1_RXN3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF6	CSI1_RXP0	CSI1_RXP0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE7	CSI1_RXP1	CSI1_RXP1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD8	CSI1_RXP2	CSI1_RXP2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC9	CSI1_RXP3	CSI1_RXP3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF9	CSI2_RXN0	CSI2_RXN0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
AE10	CSI2_RXN1	CSI2_RXN1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD11	CSI2_RXN2	CSI2_RXN2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC13	CSI2_RXN3	CSI2_RXN3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF10	CSI2_RXP0	CSI2_RXP0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE11	CSI2_RXP1	CSI2_RXP1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD12	CSI2_RXP2	CSI2_RXP2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC12	CSI2_RXP3	CSI2_RXP3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF13	CSI3_RXN0	CSI3_RXN0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE14	CSI3_RXN1	CSI3_RXN1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD15	CSI3_RXN2	CSI3_RXN2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC15	CSI3_RXN3	CSI3_RXN3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF12	CSI3_RXP0	CSI3_RXP0		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE13	CSI3_RXP1	CSI3_RXP1		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD14	CSI3_RXP2	CSI3_RXP2		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC16	CSI3_RXP3	CSI3_RXP3		I					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
M4	DDR0_CAS_n	DDR0_CAS_n		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
M3	DDR0_RAS_n	DDR0_RAS_n		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
L4	DDR0_A0	DDR0_A0		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
L6	DDR0_A1	DDR0_A1		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
M5	DDR0_A2	DDR0_A2		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
L3	DDR0_A3	DDR0_A3		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
N2	DDR0_A4	DDR0_A4		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
L2	DDR0_A5	DDR0_A5		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
R6	DDR0_CAL0	DDR0_CAL0		A					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
P1	DDR0_CK0	DDR0_CK0		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
N1	DDR0_CK0_n	DDR0_CK0_n		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
P2	DDR0_CKE0	DDR0_CKE0		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
P6	DDR0_CKE1	DDR0_CKE1		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	パッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
P4	DDR0_CS0_n	DDR0_CS0_n		O					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
P3	DDR0_CS1_n	DDR0_CS1_n		O					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
G2	DDR0_DM0	DDR0_DM0		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
H6	DDR0_DM1	DDR0_DM1		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
U4	DDR0_DM2	DDR0_DM2		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
AA2	DDR0_DM3	DDR0_DM3		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
D6	DDR0_DQ0	DDR0_DQ0		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
D2	DDR0_DQ1	DDR0_DQ1		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
F6	DDR0_DQ2	DDR0_DQ2		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
D3	DDR0_DQ3	DDR0_DQ3		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
G4	DDR0_DQ4	DDR0_DQ4		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
E2	DDR0_DQ5	DDR0_DQ5		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
G6	DDR0_DQ6	DDR0_DQ6		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
F3	DDR0_DQ7	DDR0_DQ7		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
H5	DDR0_DQ8	DDR0_DQ8		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
H2	DDR0_DQ9	DDR0_DQ9		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
K2	DDR0_DQ10	DDR0_DQ10		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
L1	DDR0_DQ11	DDR0_DQ11		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
J6	DDR0_DQ12	DDR0_DQ12		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
J4	DDR0_DQ13	DDR0_DQ13		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
J2	DDR0_DQ14	DDR0_DQ14		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	
H3	DDR0_DQ15	DDR0_DQ15		IO					1.1V/1.2V	VDDSD_DDR, VDDSD_DDR_C		DDR	

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
V3	DDR0_DQ16	DDR0_DQ16		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
R2	DDR0_DQ17	DDR0_DQ17		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
R5	DDR0_DQ18	DDR0_DQ18		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
T2	DDR0_DQ19	DDR0_DQ19		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
R3	DDR0_DQ20	DDR0_DQ20		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
U2	DDR0_DQ21	DDR0_DQ21		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
U5	DDR0_DQ22	DDR0_DQ22		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
V2	DDR0_DQ23	DDR0_DQ23		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
Y2	DDR0_DQ24	DDR0_DQ24		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
W4	DDR0_DQ25	DDR0_DQ25		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
V5	DDR0_DQ26	DDR0_DQ26		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
W2	DDR0_DQ27	DDR0_DQ27		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
V6	DDR0_DQ28	DDR0_DQ28		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
W3	DDR0_DQ29	DDR0_DQ29		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
AA3	DDR0_DQ30	DDR0_DQ30		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
AA5	DDR0_DQ31	DDR0_DQ31		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
E1	DDR0_DQS0	DDR0_DQS0		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
F1	DDR0_DQS0_n	DDR0_DQS0_n		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
H1	DDR0_DQS1	DDR0_DQS1		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
J1	DDR0_DQS1_n	DDR0_DQS1_n		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
T1	DDR0_DQS2	DDR0_DQS2		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
U1	DDR0_DQS2_n	DDR0_DQS2_n		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
W1	DDR0_DQS3	DDR0_DQS3		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
Y1	DDR0_DQS3_n	DDR0_DQS3_n		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
U6	DDR0_RESET0_n	DDR0_RESET0_n		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
AE16	DSIO_TXCLKN	DSIO_TXCLKN		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AE17	DSIO_TXCLKP	DSIO_TXCLKP		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AA16	DSIO_TXRCALIB	DSIO_TXRCALIB		A					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD17	DSIO_TXN0	DSIO_TXN0		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF15	DSIO_TXN1	DSIO_TXN1		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG14	DSIO_TXN2	DSIO_TXN2		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC18	DSIO_TXN3	DSIO_TXN3		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AD18	DSIO_TXP0	DSIO_TXP0		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AF16	DSIO_TXP1	DSIO_TXP1		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AG15	DSIO_TXP2	DSIO_TXP2		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
AC19	DSIO_TXP3	DSIO_TXP3		IO					1.8V	VDDA_1P8_CSI_DSI		D-PHY	
C9	EMU0 PADCONFIG MCU_PADCONFIG30 0x04084078	EMU0	0	IO	0	オン/オフ/アップ	オン/オフ/アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVC MOS	PU/PD
F9	EMU1 PADCONFIG MCU_PADCONFIG31 0x0408407C	EMU1	0	IO	0	オン/オフ/アップ	オン/オフ/アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVC MOS	PU/PD
B23	EXTINTn PADCONFIG PADCONFIG125 0x000F41F4	EXTINTn	0	I	1	オフ/オフ/NA	オフ/オフ/NA	7	1.8V/3.3V	VDDSHV0	あり	I2C オープ ンドレイン	
		GPIO1_31	7	IOD	パッド								
A23	EXT_REFCLK1 PADCONFIG PADCONFIG124 0x000F41F0	EXT_REFCLK1	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVC MOS	PU/PD
		SYNC1_OUT	1	O									
		SPI2_CS3	2	IO	1								
		SYSClkOUT0	3	O									
		TIMER_IO4	4	IO	0								
		CLKOUT0	5	O									
		CP_GEMAC_CPTS0_RFT_CLK	6	I	0								
		GPIO1_30	7	IO	パッド								
ECAP0_IN_APWM_OUT	8	IO	0										

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
N21	GPMC0_ADVn_ALE PADCONFIG PADCONFIG33 0x000F4084	GPMC0_ADVn_ALE	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP1_AXR2	2	IO	0								
		TRC_DATA7	6	O									
		GPIO0_32	7	IO	バンド								
T23	GPMC0_CLK PADCONFIG PADCONFIG31 0x000F407C	GPMC0_CLK	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP1_AXR3	2	IO	0								
		GPMC0_FCLK_MUX	3	O									
		TRC_DATA6	6	O									
N25	GPMC0_DIR PADCONFIG PADCONFIG41 0x000F40A4	GPIO0_31	7	IO	バンド	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_DIR	0	O									
		MCASP2_AXR13	3	IO	0								
		MAIN_ERRORn	5	IO	1								
		TRC_DATA14	6	O									
N22	GPMC0_OEn_REn PADCONFIG PADCONFIG34 0x000F4088	GPIO0_40	7	IO	バンド	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		EQEP2_S	8	IO	0								
		GPMC0_OEn_REn	0	O									
		MCASP1_AXR1	2	IO	0								
N23	GPMC0_WEn PADCONFIG PADCONFIG35 0x000F408C	TRC_DATA8	6	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPIO0_33	7	IO	バンド								
		MCASP1_AXR0	2	IO	0								
		TRC_DATA9	6	O									
N24	GPMC0_WPn PADCONFIG PADCONFIG40 0x000F40A0	GPIO0_34	7	IO	バンド	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_WPn	0	O									
		AUDIO_EXT_REFCLK1	1	IO	0								
		GPMC0_A22	2	OZ									
		UART6_TXD	3	O									
R22	GPMC0_AD0 PADCONFIG PADCONFIG15 0x000F403C	TRC_DATA13	6	O		オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPIO0_39	7	IO	バンド								
		GPMC0_AD0	0	IO	0								
		MCASP2_AXR4	3	IO	0								
		TRC_CLK	6	O									
BOOTMODE00		ブートス ラップ	I										

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
R23	GPMC0_AD1 PADCONFIG PADCONFIG16 0x000F4040	GPMC0_AD1	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR5	3	IO	0								
		TRC_CTL	6	O									
		GPIO0_16	7	IO	パッド								
		BOOTMODE01	ブートス ラップ	I									
R26	GPMC0_AD2 PADCONFIG PADCONFIG17 0x000F4044	GPMC0_AD2	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR6	3	IO	0								
		TRC_DATA0	6	O									
		GPIO0_17	7	IO	パッド								
		BOOTMODE02	ブートス ラップ	I									
T27	GPMC0_AD3 PADCONFIG PADCONFIG18 0x000F4048	GPMC0_AD3	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR7	3	IO	0								
		TRC_DATA1	6	O									
		GPIO0_18	7	IO	パッド								
		BOOTMODE03	ブートス ラップ	I									
T25	GPMC0_AD4 PADCONFIG PADCONFIG19 0x000F404C	GPMC0_AD4	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR8	3	IO	0								
		TRC_DATA2	6	O									
		GPIO0_19	7	IO	パッド								
		BOOTMODE04	ブートス ラップ	I									
T24	GPMC0_AD5 PADCONFIG PADCONFIG20 0x000F4050	GPMC0_AD5	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR9	3	IO	0								
		TRC_DATA3	6	O									
		GPIO0_20	7	IO	パッド								
		BOOTMODE05	ブートス ラップ	I									
T21	GPMC0_AD6 PADCONFIG PADCONFIG21 0x000F4054	GPMC0_AD6	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR10	3	IO	0								
		TRC_DATA4	6	O									
		GPIO0_21	7	IO	パッド								
		BOOTMODE06	ブートス ラップ	I									

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
T22	GPMC0_AD7 PADCONFIG PADCONFIG22 0x000F4058	GPMC0_AD7	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR11	3	IO	0								
		TRC_DATA5	6	O									
		GPIO0_22	7	IO	バンド								
		BOOTMODE07	ブートストラップ	I									
U27	GPMC0_AD8 PADCONFIG PADCONFIG23 0x000F405C	GPMC0_AD8	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		VOUT0_DATA16	1	O									
		UART2_RXD	2	I	1								
		MCASP2_AXR0	3	IO	0								
		GPIO0_23	7	IO	バンド								
		BOOTMODE08	ブートストラップ	I									
U26	GPMC0_AD9 PADCONFIG PADCONFIG24 0x000F4060	GPMC0_AD9	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		VOUT0_DATA17	1	O									
		UART2_TXD	2	O									
		MCASP2_AXR1	3	IO	0								
		GPIO0_24	7	IO	バンド								
		BOOTMODE09	ブートストラップ	I									
V27	GPMC0_AD10 PADCONFIG PADCONFIG25 0x000F4064	GPMC0_AD10	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		VOUT0_DATA18	1	O									
		UART3_RXD	2	I	1								
		MCASP2_AXR2	3	IO	0								
		GPIO0_25	7	IO	バンド								
		OBCLK0	8	O									
		BOOTMODE10	ブートストラップ	I									
V25	GPMC0_AD11 PADCONFIG PADCONFIG26 0x000F4068	GPMC0_AD11	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		VOUT0_DATA19	1	O									
		UART3_TXD	2	O									
		MCASP2_AXR3	3	IO	0								
		TRC_DATA23	6	O									
		GPIO0_26	7	IO	バンド								
		BOOTMODE11	ブートストラップ	I									

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
V26	GPMC0_AD12 PADCONFIG PADCONFIG27 0x000F406C	GPMC0_AD12	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		VOUT0_DATA20	1	O									
		UART4_RXD	2	I	1								
		MCASP2_AFSX	3	IO	0								
		TRC_DATA22	6	O									
		GPIO0_27	7	IO	バンド								
		BOOTMODE12	ブートスト ラップ	I									
V24	GPMC0_AD13 PADCONFIG PADCONFIG28 0x000F4070	GPMC0_AD13	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		VOUT0_DATA21	1	O									
		UART4_TXD	2	O									
		MCASP2_ACLKX	3	IO	0								
		TRC_DATA21	6	O									
		GPIO0_28	7	IO	バンド								
		BOOTMODE13	ブートスト ラップ	I									
V22	GPMC0_AD14 PADCONFIG PADCONFIG29 0x000F4074	GPMC0_AD14	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		VOUT0_DATA22	1	O									
		UART5_RXD	2	I	1								
		MCASP2_AFSR	3	IO	0								
		MCASP2_AXR4	4	IO	0								
		TRC_DATA20	6	O									
		GPIO0_29	7	IO	バンド								
		UART2_CTSn	8	I	1								
BOOTMODE14	ブートスト ラップ	I											
V23	GPMC0_AD15 PADCONFIG PADCONFIG30 0x000F4078	GPMC0_AD15	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		VOUT0_DATA23	1	O									
		UART5_TXD	2	O									
		MCASP2_ACLKR	3	IO	0								
		MCASP2_AXR5	4	IO	0								
		TRC_DATA19	6	O									
		GPIO0_30	7	IO	バンド								
		UART2_RTSn	8	O									
BOOTMODE15	ブートスト ラップ	I											

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
P27	GPMC0_BE0n_CLE PADCONFIG PADCONFIG36 0x000F4090	GPMC0_BE0n_CLE	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP1_ACLKX	2	IO	0								
		TRC_DATA10	6	O									
		GPIO0_35	7	IO	バンド								
P26	GPMC0_BE1n PADCONFIG PADCONFIG37 0x000F4094	GPMC0_BE1n	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR12	3	IO	0								
		TRC_DATA11	6	O									
		GPIO0_36	7	IO	バンド								
R27	GPMC0_CSn0 PADCONFIG PADCONFIG42 0x000F40A8	GPMC0_CSn0	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		I2C4_SCL	1	IOD	1								
		MCASP2_AXR14	3	IO	0								
		TRC_DATA15	6	O									
P21	GPMC0_CSn1 PADCONFIG PADCONFIG43 0x000F40AC	GPMC0_CSn1	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		I2C4_SDA	1	IOD	1								
		MCASP2_AXR15	3	IO	0								
		TRC_DATA16	6	O									
P22	GPMC0_CSn2 PADCONFIG PADCONFIG44 0x000F40B0	GPMC0_CSn2	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		I2C2_SCL	1	IOD	1								
		MCASP1_AXR4	2	IO	0								
		UART4_RXD	3	I	1								
		MCAN1_TX	5	O									
		TRC_DATA17	6	O									
		GPIO0_43	7	IO	バンド								
MCASP1_AFSR	8	IO	0										
P23	GPMC0_CSn3 PADCONFIG PADCONFIG45 0x000F40B4	GPMC0_CSn3	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		I2C2_SDA	1	IOD	1								
		GPMC0_A20	2	OZ									
		UART4_TXD	3	O									
		MCASP1_AXR5	4	IO	0								
		MCAN1_RX	5	I	1								
		TRC_DATA18	6	O									
		GPIO0_44	7	IO	バンド								
MCASP1_ACLKR	8	IO	0										

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
V21	GPMC0_WAIT0 PADCONFIG PADCONFIG38 0x000F4098	GPMC0_WAIT0	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP1_AFSX	2	IO	0								
		TRC_DATA12	6	O									
		GPIO0_37	7	IO	バンド								
W26	GPMC0_WAIT1 PADCONFIG PADCONFIG39 0x000F409C	GPMC0_WAIT1	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		VOUT0_EXTPLKIN	1	I	0								
		GPMC0_A21	2	OZ									
		UART6_RXD	3	I	1								
		AUDIO_EXT_REFCLK2	4	IO	0								
		GPIO0_38	7	IO	バンド								
D23	I2C0_SCL PADCONFIG PADCONFIG120 0x000F41E0	I2C0_SCL	0	IOD	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SYNC0_OUT	2	O									
		OBSCCLK1	3	O									
		UART1_DCDn	4	I	1								
		EQEP2_A	5	I	0								
		EHRPWM_SOCA	6	O									
		GPIO1_26	7	IO	バンド								
		ECAP1_IN_APWM_OUT	8	IO	0								
B22	I2C0_SDA PADCONFIG PADCONFIG121 0x000F41E4	I2C0_SDA	0	IOD	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_CS2	2	IO	1								
		TIMER_IO5	3	IO	0								
		UART1_DSRn	4	I	1								
		EQEP2_B	5	I	0								
		EHRPWM_SOCB	6	O									
		GPIO1_27	7	IO	バンド								
		ECAP2_IN_APWM_OUT	8	IO	0								
C24	I2C1_SCL PADCONFIG PADCONFIG122 0x000F41E8	I2C1_SCL	0	IOD	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_RXD	1	I	1								
		TIMER_IO0	2	IO	0								
		SPI2_CS1	3	IO	1								
		EHRPWM0_SYNCI	4	I	0								
		GPIO1_28	7	IO	バンド								
		EHRPWM2_A	8	IO	0								
		MMC2_SDCCD	9	I	0								

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
A22	I2C1_SDA PADCONFIG PADCONFIG123 0x000F41EC	I2C1_SDA	0	IOD	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_TXD	1	O	0								
		TIMER_IO1	2	IO	0								
		SPI2_CLK	3	IO	0								
		EHRPWM0_SYNCO	4	O									
		GPIO1_29	7	IO	バンド								
		EHRPWM2_B	8	IO	0								
		MMC2_SDWP	9	I	0								
C22	MCAN0_RX PADCONFIG PADCONFIG119 0x000F41DC	MCAN0_RX	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART5_TXD	1	O									
		TIMER_IO3	2	IO	0								
		SYNC3_OUT	3	O									
		UART1_RIn	4	I	1								
		EQEP2_S	5	IO	0								
		I2C4_SDA	6	IOD	1								
		GPIO1_25	7	IO	バンド								
		MCASP2_AXR1	8	IO	0								
EHRPWM_TZn_IN4	9	I	0										
D22	MCAN0_TX PADCONFIG PADCONFIG118 0x000F41D8	MCAN0_TX	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART5_RXD	1	I	1								
		TIMER_IO2	2	IO	0								
		SYNC2_OUT	3	O									
		UART1_DTRn	4	O									
		EQEP2_I	5	IO	0								
		I2C4_SCL	6	IOD	1								
		GPIO1_24	7	IO	バンド								
		MCASP2_AXR0	8	IO	0								
EHRPWM_TZn_IN3	9	I	0										
F24	MCASP0_ACLKR PADCONFIG PADCONFIG108 0x000F41B0	MCASP0_ACLKR	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_CLK	1	IO	0								
		UART1_TXD	2	O									
		EHRPWM0_B	6	IO	0								
		GPIO1_14	7	IO	バンド								
		EQEP1_I	8	IO	0								

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
D25	MCASP0_ACLKX PADCONFIG PADCONFIG105 0x000F41A4	MCASP0_ACLKX	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_CS1	1	IO	1								
		ECAP2_IN_APWM_OUT	2	IO	0								
		GPIO1_11	7	IO	バンド								
		EQEP1_A	8	I	0								
C27	MCASP0_AFSR PADCONFIG PADCONFIG107 0x000F41AC	MCASP0_AFSR	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_CS0	1	IO	1								
		UART1_RXD	2	I	1								
		EHRPWM0_A	6	IO	0								
		GPIO1_13	7	IO	バンド								
		EQEP1_S	8	IO	0								
C26	MCASP0_AFSX PADCONFIG PADCONFIG106 0x000F41A8	MCASP0_AFSX	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_CS3	1	IO	1								
		AUDIO_EXT_REFCLK1	2	IO	0								
		GPIO1_12	7	IO	バンド								
		EQEP1_B	8	I	0								
F23	MCASP0_AXR0 PADCONFIG PADCONFIG104 0x000F41A0	MCASP0_AXR0	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK0	2	IO	0								
		EHRPWM1_B	6	IO	0								
		GPIO1_10	7	IO	バンド								
		EQEP0_I	8	IO	0								
B25	MCASP0_AXR1 PADCONFIG PADCONFIG103 0x000F419C	MCASP0_AXR1	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_CS2	1	IO	1								
		ECAP1_IN_APWM_OUT	2	IO	0								
		MAIN_ERRORn	5	IO	1								
		EHRPWM1_A	6	IO	0								
		GPIO1_9	7	IO	バンド								
		EQEP0_S	8	IO	0								
A26	MCASP0_AXR2 PADCONFIG PADCONFIG102 0x000F4198	MCASP0_AXR2	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_D1	1	IO	0								
		UART1_RTSn	2	O									
		UART6_TXD	3	O									
		ECAP2_IN_APWM_OUT	5	IO	0								
		GPIO1_8	7	IO	バンド								
				EQEP0_B	8								

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
A25	MCASP0_AXR3 PADCONFIG PADCONFIG101 0x000F4194	MCASP0_AXR3	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_D0	1	IO	0								
		UART1_CTSn	2	I	1								
		UART6_RXD	3	I	1								
		ECAP1_IN_APWM_OUT	5	IO	0								
		GPIO1_7	7	IO	バンド								
EQEP0_A	8	I	0										
B7	MCU_ERRORn PADCONFIG MCU_PADCONFIG24 0x04084060	MCU_ERRORn	0	IO		オフ/オフ/ダウン	オン/SS/ダウン	0	1.8V	VDDS_OSC0	あり	LVCMOS	PU/PD
B13	MCU_I2C0_SCL PADCONFIG MCU_PADCONFIG17 0x04084044	MCU_I2C0_SCL	0	IOD	1	オフ/オフ/NA	オン/SS/NA	7	1.8V/3.3V	VDDSHV_MCU	あり	I2C オープ ンドレイン	
		MCU_GPIO0_17	7	IOD	バンド								
E11	MCU_I2C0_SDA PADCONFIG MCU_PADCONFIG18 0x04084048	MCU_I2C0_SDA	0	IOD	1	オフ/オフ/NA	オン/SS/NA	7	1.8V/3.3V	VDDSHV_MCU	あり	I2C オープ ンドレイン	
		MCU_GPIO0_18	7	IOD	バンド								
D8	MCU_MCAN0_RX PADCONFIG MCU_PADCONFIG14 0x04084038	MCU_MCAN0_RX	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_TIMER_IO0	1	IO	0								
		MCU_SPI1_CS3	2	IO	1								
		MCU_GPIO0_14	7	IO	バンド								
B2	MCU_MCAN0_TX PADCONFIG MCU_PADCONFIG13 0x04084034	MCU_MCAN0_TX	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		WKUP_TIMER_IO0	1	IO	0								
		MCU_SPI0_CS3	2	IO	1								
		MCU_GPIO0_13	7	IO	バンド								
B1	MCU_MCAN1_RX PADCONFIG MCU_PADCONFIG16 0x04084040	MCU_MCAN1_RX	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_TIMER_IO3	1	IO	0								
		MCU_SPI0_CS2	2	IO	1								
		MCU_SPI1_CS2	3	IO	1								
		MCU_SPI1_CLK	4	IO	0								
		MCU_GPIO0_16	7	IO	バンド								
C1	MCU_MCAN1_TX PADCONFIG MCU_PADCONFIG15 0x0408403C	MCU_MCAN1_TX	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_TIMER_IO2	1	IO	0								
		MCU_SPI1_CS1	3	IO	1								
		MCU_EXT_REFCLK0	4	I	0								
A5	MCU_OSC0_XI	MCU_OSC0_XI		I					1.8V	VDDS_OSC0	あり	HFXOSC	

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	パッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
A6	MCU_OSC0_XO	MCU_OSC0_XO		O					1.8V	VDDS_OSC0	あり	HFXOSC	
E8	MCU_PORz PADCONFIG MCU_PADCONFIG22 0x04084058	MCU_PORz	0	I				0	1.8V	VDDS_OSC0	あり	FS_RESET	
E13	MCU_RESETSTATz PADCONFIG MCU_PADCONFIG23 0x0408405C	MCU_RESETSTATz	0	O					1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_21	7	IO	バンド	オフ / Low / オフ	オフ / SS / オフ	0					
D10	MCU_RESETz PADCONFIG MCU_PADCONFIG21 0x04084054	MCU_RESETz	0	I		オン / オフ / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
A9	MCU_SPI0_CLK PADCONFIG MCU_PADCONFIG2 0x04084008	MCU_SPI0_CLK	0	IO	0				1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_2	7	IO	バンド	オフ / オフ / オフ	オフ / オフ / オフ	7					
C12	MCU_SPI0_CS0 PADCONFIG MCU_PADCONFIG0 0x04084000	MCU_SPI0_CS0	0	IO	1				1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		WKUP_TIMER_IO1	4	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7					
		MCU_GPIO0_0	7	IO	バンド								
A10	MCU_SPI0_CS1 PADCONFIG MCU_PADCONFIG1 0x04084004	MCU_SPI0_CS1	0	IO	1				1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_OBSCLK0	1	O									
		MCU_SYSCLKOUT0	2	O									
		MCU_EXT_REFCLK0	3	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7					
		MCU_TIMER_IO1	4	IO	0								
MCU_GPIO0_1	7	IO	バンド										
B12	MCU_SPI0_D0 PADCONFIG MCU_PADCONFIG3 0x0408400C	MCU_SPI0_D0	0	IO	0				1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_3	7	IO	バンド	オフ / オフ / オフ	オフ / オフ / オフ	7					
C11	MCU_SPI0_D1 PADCONFIG MCU_PADCONFIG4 0x04084010	MCU_SPI0_D1	0	IO	0				1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_4	7	IO	バンド	オフ / オフ / オフ	オフ / オフ / オフ	7					
B5	MCU_UART0_CTSn PADCONFIG MCU_PADCONFIG7 0x0408401C	MCU_UART0_CTSn	0	I	1				1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_TIMER_IO0	1	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7					
		MCU_SPI1_D0	3	IO	0								
		MCU_GPIO0_7	7	IO	バンド								

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
C5	MCU_UART0_RTSn PADCONFIG MCU_PADCONFIG8 0x04084020	MCU_UART0_RTSn	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_TIMER_IO1	1	IO	0								
		MCU_SPI1_D1	3	IO	0								
		MCU_GPIO0_8	7	IO	バンド								
B8	MCU_UART0_RXD PADCONFIG MCU_PADCONFIG5 0x04084014	MCU_UART0_RXD	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_GPIO0_5	7	IO	バンド								
B4	MCU_UART0_TXD PADCONFIG MCU_PADCONFIG6 0x04084018	MCU_UART0_TXD	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_GPIO0_6	7	IO	バンド								
AC24	MDIO0_MDC PADCONFIG PADCONFIG88 0x000F4160	MDIO0_MDC	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		GPIO0_86	7	IO	バンド								
AD25	MDIO0_MDIO PADCONFIG PADCONFIG87 0x000F415C	MDIO0_MDIO	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		GPIO0_85	7	IO	バンド								
AC1	MMC0_CALPAD	MMC0_CALPAD		A					1.8V	VDDS_MMC0		eMMCPHY	
AE1	MMC0_CLK	MMC0_CLK		IO	0	オン/Low/オフ	オン/SS/オフ		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
AE2	MMC0_CMD	MMC0_CMD		IO	1	オン/オフ/アップ	オン/SS/アップ		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
AD1	MMC0_DS	MMC0_DS		IO	1	オン/オフ/ダウン	オン/オフ/ダウン		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
H24	MMC1_CLK PADCONFIG PADCONFIG141 0x000F4234	MMC1_CLK	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		TIMER_IO4	2	IO	0								
		UART3_RXD	3	I	1								
		SPI1_CS0	5	IO	1								
		SPI2_CS2	6	IO	1								
GPIO1_46	7	IO	バンド										
H22	MMC1_CMD PADCONFIG PADCONFIG143 0x000F423C	MMC1_CMD	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		TIMER_IO5	2	IO	0								
		UART3_TXD	3	O									
		SPI1_CLK	5	IO	0								
		SPI2_CS0	6	IO	1								
		GPIO1_47	7	IO	バンド								

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
B24	MMC1_SDCD PADCONFIG PADCONFIG144 0x000F4240	MMC1_SDCD	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART6_RXD	1	I	1								
		TIMER_IO6	2	IO	0								
		UART3_RTSn	3	O									
		MCAN1_TX	4	O									
		SPI1_CS3	5	IO	1								
		SPI2_CLK	6	IO	0								
		GPIO1_48	7	IO	バンド								
A24	MMC1_SDWP PADCONFIG PADCONFIG145 0x000F4244	MMC1_SDWP	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART6_TXD	1	O									
		TIMER_IO7	2	IO	0								
		UART3_CTSn	3	I	1								
		MCAN1_RX	4	I	1								
		SPI1_CS1	5	IO	1								
		GPIO1_49	7	IO	バンド								
		H26	MMC2_CLK PADCONFIG PADCONFIG70 0x000F4118	MMC2_CLK	0								
MCASP1_ACLKR	1			IO	0								
MCASP1_AXR5	2			IO	0								
UART6_RXD	3			I	1								
EHRPWM0_SYNCI	4			I	0								
I2C3_SCL	6			IOD	1								
GPIO0_69	7			IO	バンド								
F27	MMC2_CMD PADCONFIG PADCONFIG72 0x000F4120			MMC2_CMD	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV6	あり
		MCASP1_AFSR	1	IO	0								
		MCASP1_AXR4	2	IO	0								
		UART6_TXD	3	O									
		EHRPWM0_SYNCO	4	O									
		EHRPWM_TZn_IN0	5	I	0								
		I2C3_SDA	6	IOD	1								
		GPIO0_70	7	IO	バンド								
F26	MMC2_SDCD PADCONFIG PADCONFIG73 0x000F4124	MMC2_SDCD	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV6	あり	LVCMOS	PU/PD
		MCASP1_ACLKX	1	IO	0								
		UART4_RXD	3	I	1								
		EHRPWM2_A	4	IO	0								
		EHRPWM_TZn_IN1	5	I	0								
		GPIO0_71	7	IO	バンド								

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
H21	MMC2_SDWP PADCONFIG PADCONFIG74 0x000F4128	MMC2_SDWP	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV6	あり	LVCMOS	PU/PD
		MCASP1_AFSX	1	IO	0								
		UART4_TXD	3	O									
		EHRPWM2_B	4	IO	0								
		EHRPWM_TZn_IN2	5	I	0								
		GPIO0_72	7	IO	バンド								
AD3	MMC0_DAT0	MMC0_DAT0		IO	1	オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
AD2	MMC0_DAT1	MMC0_DAT1		IO	1	オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
AB4	MMC0_DAT2	MMC0_DAT2		IO	1	オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
AC2	MMC0_DAT3	MMC0_DAT3		IO	1	オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
AC3	MMC0_DAT4	MMC0_DAT4		IO	1	オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
AB3	MMC0_DAT5	MMC0_DAT5		IO	1	オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
AF1	MMC0_DAT6	MMC0_DAT6		IO	1	オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
AB2	MMC0_DAT7	MMC0_DAT7		IO	1	オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMCPHY	PU/PD
H23	MMC1_DAT0 PADCONFIG PADCONFIG140 0x000F4230	MMC1_DAT0	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
		TIMER_IO3	2	IO	0								
		UART2_CTSn	3	I	1								
		ECAP2_IN_APWM_OUT	4	IO	0								
		SPI2_D1	6	IO	0								
		GPIO1_45	7	IO	バンド								
H20	MMC1_DAT1 PADCONFIG PADCONFIG139 0x000F422C	MMC1_DAT1	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
		TIMER_IO2	2	IO	0								
		UART2_RTSn	3	O									
		ECAP1_IN_APWM_OUT	4	IO	0								
		SPI1_CS2	5	IO	1								
		SPI2_D0	6	IO	0								
		GPIO1_44	7	IO	バンド								

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
J23	MMC1_DAT2 PADCONFIG PADCONFIG138 0x000F4228	MMC1_DAT2	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_TS_SYNC	1	O									
		TIMER_IO1	2	IO	0								
		UART2_TXD	3	O									
		MCAN1_RX	4	I	1								
		SPI1_D1	5	IO	0								
		SPI2_CS3	6	IO	1								
		GPIO1_43	7	IO	バンド								
H25	MMC1_DAT3 PADCONFIG PADCONFIG137 0x000F4224	MMC1_DAT3	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_TS_COMP	1	O									
		TIMER_IO0	2	IO	0								
		UART2_RXD	3	I	1								
		MCAN1_TX	4	O									
		SPI1_D0	5	IO	0								
		SPI2_CS1	6	IO	1								
		GPIO1_42	7	IO	バンド								
G26	MMC2_DAT0 PADCONFIG PADCONFIG69 0x000F4114	MMC2_DAT0	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD
		MCASP1_AXR0	1	IO	0								
		EHRPWM1_B	4	IO	0								
		I2C2_SCL	5	IOD	1								
		MCASP4_AXR9	6	IO	0								
		GPIO0_68	7	IO	バンド								
G27	MMC2_DAT1 PADCONFIG PADCONFIG68 0x000F4110	MMC2_DAT1	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD
		MCASP1_AXR1	1	IO	0								
		EHRPWM1_A	4	IO	0								
		I2C2_SDA	5	IOD	1								
		MCASP4_AXR8	6	IO	0								
		GPIO0_67	7	IO	バンド								
H27	MMC2_DAT2 PADCONFIG PADCONFIG67 0x000F410C	MMC2_DAT2	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD
		MCASP1_AXR2	1	IO	0								
		UART5_TXD	3	O									
		EHRPWM0_B	4	IO	0								
		I2C2_SDA	5	IOD	1								
		MCASP3_AXR9	6	IO	0								
		GPIO0_66	7	IO	バンド								

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
J27	MMC2_DAT3 PADCONFIG PADCONFIG66 0x000F4108	MMC2_DAT3	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD
		MCASP1_AXR3	1	IO	0								
		UART5_RXD	3	I	1								
		EHRPWM0_A	4	IO	0								
		MCASP3_AXR8	6	IO	0								
		GPIO0_65	7	IO	バンド								
AF23	OLDI0_A0N PADCONFIG PADCONFIG152 0x000F4260	OLDI0_A0N	0	IO	0	オフ/オフ/NA	オフ/オフ/NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_53	7 (1)	IO	バンド								
AG24	OLDI0_A0P PADCONFIG PADCONFIG151 0x000F425C	OLDI0_A0P	0	IO	0	オフ/オフ/NA	オフ/オフ/NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_52	7 (1)	IO	バンド								
AG22	OLDI0_A1N PADCONFIG PADCONFIG154 0x000F4268	OLDI0_A1N	0	IO	0	オフ/オフ/NA	オフ/オフ/NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_55	7 (1)	IO	バンド								
AG23	OLDI0_A1P PADCONFIG PADCONFIG153 0x000F4264	OLDI0_A1P	0	IO	0	オフ/オフ/NA	オフ/オフ/NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_54	7 (1)	IO	バンド								
AB20	OLDI0_A2N PADCONFIG PADCONFIG156 0x000F4270	OLDI0_A2N	0	IO	0	オフ/オフ/NA	オフ/オフ/NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_57	7 (1)	IO	バンド								
AB21	OLDI0_A2P PADCONFIG PADCONFIG155 0x000F426C	OLDI0_A2P	0	IO	0	オフ/オフ/NA	オフ/オフ/NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_56	7 (1)	IO	バンド								
AG20	OLDI0_A3N PADCONFIG PADCONFIG158 0x000F4278	OLDI0_A3N	0	IO	0	オフ/オフ/NA	オフ/オフ/NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_59	7 (1)	IO	バンド								
AG21	OLDI0_A3P PADCONFIG PADCONFIG157 0x000F4274	OLDI0_A3P	0	IO	0	オフ/オフ/NA	オフ/オフ/NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_58	7 (1)	IO	バンド								
AD21	OLDI0_A4N PADCONFIG PADCONFIG160 0x000F4280	OLDI0_A4N	0	IO	0	オフ/オフ/NA	オフ/オフ/NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
		GPIO1_61	7 (1)	IO	バンド								

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
AC21	OLDI0_A4P PADCONFIG PADCONFIG159 0x000F427C	OLDI0_A4P	0	IO	0								
		GPIO1_60	7 (1)	IO	バンド	オフ / オフ / NA	オフ / オフ / NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
AF19	OLDI0_A5N PADCONFIG PADCONFIG162 0x000F4288	OLDI0_A5N	0	IO	0								
		GPIO1_63	7 (1)	IO	バンド	オフ / オフ / NA	オフ / オフ / NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
AF18	OLDI0_A5P PADCONFIG PADCONFIG161 0x000F4284	OLDI0_A5P	0	IO	0								
		GPIO1_62	7 (1)	IO	バンド	オフ / オフ / NA	オフ / オフ / NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
AG17	OLDI0_A6N PADCONFIG PADCONFIG164 0x000F4290	OLDI0_A6N	0	IO	0								
		GPIO1_65	7 (1)	IO	バンド	オフ / オフ / NA	オフ / オフ / NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
AG18	OLDI0_A6P PADCONFIG PADCONFIG163 0x000F428C	OLDI0_A6P	0	IO	0								
		GPIO1_64	7 (1)	IO	バンド	オフ / オフ / NA	オフ / オフ / NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
AB19	OLDI0_A7N PADCONFIG PADCONFIG166 0x000F4298	OLDI0_A7N	0	IO	0								
		GPIO1_67	7 (1)	IO	バンド	オフ / オフ / NA	オフ / オフ / NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
AA20	OLDI0_A7P PADCONFIG PADCONFIG165 0x000F4294	OLDI0_A7P	0	IO	0								
		GPIO1_66	7 (1)	IO	バンド	オフ / オフ / NA	オフ / オフ / NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
AF21	OLDI0_CLK0N PADCONFIG PADCONFIG168 0x000F42A0	OLDI0_CLK0N	0	IO	0								
		GPIO1_69	7 (1)	IO	バンド	オフ / オフ / NA	オフ / オフ / NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
AE20	OLDI0_CLK0P PADCONFIG PADCONFIG167 0x000F429C	OLDI0_CLK0P	0	IO	0								
		GPIO1_68	7 (1)	IO	バンド	オフ / オフ / NA	オフ / オフ / NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
AD20	OLDI0_CLK1N PADCONFIG PADCONFIG170 0x000F42A8	OLDI0_CLK1N	0	IO	0								
		GPIO1_71	7 (1)	IO	バンド	オフ / オフ / NA	オフ / オフ / NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	
AE19	OLDI0_CLK1P PADCONFIG PADCONFIG169 0x000F42A4	OLDI0_CLK1P	0	IO	0								
		GPIO1_70	7 (1)	IO	バンド	オフ / オフ / NA	オフ / オフ / NA	0	1.8V	VDDA_1P8_OLDI0		MLB_LVDS	

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
L24	OSPI0_CLK PADCONFIG PADCONFIG0 0x000F4000	OSPI0_CLK	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_0	7	IO	バンド								
L22	OSPI0_DQS PADCONFIG PADCONFIG2 0x000F4008	OSPI0_DQS	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART5_CTSn	5	I	1								
		GPIO0_2	7	IO	バンド								
L23	OSPI0_LBCLKO PADCONFIG PADCONFIG1 0x000F4004	OSPI0_LBCLKO	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART5_RTSn	5	O									
		GPIO0_1	7	IO	バンド								
K26	OSPI0_CSn0 PADCONFIG PADCONFIG11 0x000F402C	OSPI0_CSn0	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_11	7	IO	バンド								
K23	OSPI0_CSn1 PADCONFIG PADCONFIG12 0x000F4030	OSPI0_CSn1	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_12	7	IO	バンド								
K22	OSPI0_CSn2 PADCONFIG PADCONFIG13 0x000F4034	OSPI0_CSn2	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI1_CS1	1	IO	1								
		OSPI0_RESET_OUT1	2	O									
		MCASP1_AFSR	3	IO	0								
		MCASP1_AXR2	4	IO	0								
		UART5_RXD	5	I	1								
		GPIO0_13	7	IO	バンド								
J22	OSPI0_CSn3 PADCONFIG PADCONFIG14 0x000F4038	OSPI0_CSn3	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		OSPI0_RESET_OUT0	1	O									
		OSPI0_ECC_FAIL	2	I	1								
		MCASP1_ACLKR	3	IO	0								
		MCASP1_AXR3	4	IO	0								
		UART5_TXD	5	O									
		GPIO0_14	7	IO	バンド								
K27	OSPI0_D0 PADCONFIG PADCONFIG3 0x000F400C	OSPI0_D0	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_3	7	IO	バンド								
L27	OSPI0_D1 PADCONFIG PADCONFIG4 0x000F4010	OSPI0_D1	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_4	7	IO	バンド								

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
L26	OSPI0_D2 PADCONFIG PADCONFIG5 0x000F4014	OSPI0_D2	0	IO	0								
		GPIO0_5	7	IO	バンド	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
L25	OSPI0_D3 PADCONFIG PADCONFIG6 0x000F4018	OSPI0_D3	0	IO	0								
		GPIO0_6	7	IO	バンド	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
L21	OSPI0_D4 PADCONFIG PADCONFIG7 0x000F401C	OSPI0_D4	0	IO	0								
		SPI1_CS0	1	IO	1								
		MCASP1_AXR1	2	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART6_RXD	3	I	1								
		GPIO0_7	7	IO	バンド								
M26	OSPI0_D5 PADCONFIG PADCONFIG8 0x000F4020	OSPI0_D5	0	IO	0								
		SPI1_CLK	1	IO	0								
		MCASP1_AXR0	2	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART6_TXD	3	O									
		GPIO0_8	7	IO	バンド								
N27	OSPI0_D6 PADCONFIG PADCONFIG9 0x000F4024	OSPI0_D6	0	IO	0								
		SPI1_D0	1	IO	0								
		MCASP1_ACLKX	2	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART6_RTSn	3	O									
		GPIO0_9	7	IO	バンド								
M27	OSPI0_D7 PADCONFIG PADCONFIG10 0x000F4028	OSPI0_D7	0	IO	0								
		SPI1_D1	1	IO	0								
		MCASP1_AFSX	2	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART6_CTSn	3	I	1								
		GPIO0_10	7	IO	バンド								
F25	PCIE0_CLKREQn PADCONFIG PADCONFIG171 0x000F42AC	PCIE0_CLKREQn	0	IOD	0	オン/Low/NA	オン/SS/NA	0	1.8V/3.3V	VDDSHV0	あり	I2C オープ ンドレイン	
A8	PMIC_LPM_EN0 PADCONFIG MCU_PADCONFIG32 0x04084080	PMIC_LPM_EN0	0	O									
		MCU_GPIO0_22	7	IO	バンド	オフ/オフ/オフ	オフ/SS/オフ	0	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
D27	PORz_OUT PADCONFIG PADCONFIG148 0x000F4250	PORz_OUT	0	O		オフ/Low/オフ	オフ/SS/オフ		1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
E27	RESETSTATz PADCONFIG PADCONFIG147 0x000F424C	RESETSTATz	0	O		オフ / Low / オフ	オフ / SS / オフ		1.8V/3.3V	VDDSHV0	あり	LVC MOS	PU/PD
E26	RESET_REQz PADCONFIG PADCONFIG146 0x000F4248	RESET_REQz	0	I		オン / オフ / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV0	あり	LVC MOS	PU/PD
AE27	RGMII1_RXC PADCONFIG PADCONFIG82 0x000F4148	RGMII1_RXC	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVC MOS	PU/PD
		RMII1_REF_CLK	1	I	0								
		GPIO0_80	7	IO	バンド								
AD23	RGMII1_RX_CTL PADCONFIG PADCONFIG81 0x000F4144	RGMII1_RX_CTL	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVC MOS	PU/PD
		RMII1_RX_ER	1	I	0								
		GPIO0_79	7	IO	バンド								
AG26	RGMII1_TXC PADCONFIG PADCONFIG76 0x000F4130	RGMII1_TXC	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVC MOS	PU/PD
		RMII1_CRDS_DV	1	I	0								
		GPIO0_74	7	IO	バンド								
AF25	RGMII1_TX_CTL PADCONFIG PADCONFIG75 0x000F412C	RGMII1_TX_CTL	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVC MOS	PU/PD
		RMII1_TX_EN	1	O									
		GPIO0_73	7	IO	バンド								
AC25	RGMII1_RD0 PADCONFIG PADCONFIG83 0x000F414C	RGMII1_RD0	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVC MOS	PU/PD
		RMII1_RXD0	1	I	0								
		GPIO0_81	7	IO	バンド								
AD27	RGMII1_RD1 PADCONFIG PADCONFIG84 0x000F4150	RGMII1_RD1	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVC MOS	PU/PD
		RMII1_RXD1	1	I	0								
		GPIO0_82	7	IO	バンド								
AE24	RGMII1_RD2 PADCONFIG PADCONFIG85 0x000F4154	RGMII1_RD2	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVC MOS	PU/PD
		GPIO0_83	7	IO	バンド								
AE26	RGMII1_RD3 PADCONFIG PADCONFIG86 0x000F4158	RGMII1_RD3	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVC MOS	PU/PD
		GPIO0_84	7	IO	バンド								
AF27	RGMII1_TD0 PADCONFIG PADCONFIG77 0x000F4134	RGMII1_TD0	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVC MOS	PU/PD
		RMII1_TXD0	1	O									
		GPIO0_75	7	IO	バンド								

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
AE23	RGMII1_TD1 PADCONFIG PADCONFIG78 0x000F4138	RGMII1_TD1	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_TXD1	1	O									
		GPIO0_76	7	IO	バンド								
AG25	RGMII1_TD2 PADCONFIG PADCONFIG79 0x000F413C	RGMII1_TD2	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		GPIO0_77	7	IO	バンド								
AF24	RGMII1_TD3 PADCONFIG PADCONFIG80 0x000F4140	RGMII1_TD3	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		CLKOUT0	1	O									
		GPIO0_78	7	IO	バンド								
E9	RSVD0	RSVD0		該当なし									
AA19	RSVD1	RSVD1		該当なし									
AB7	RSVD2	RSVD2		該当なし									
AC5	RSVD3	RSVD3		該当なし									
AB10	RSVD4	RSVD4		該当なし									
AA12	RSVD5	RSVD5		該当なし									
AB12	RSVD6	RSVD6		該当なし									
AB13	RSVD7	RSVD7		該当なし									
AA15	RSVD8	RSVD8		該当なし									
AA14	RSVD9	RSVD9		該当なし									
L5	RSVD10	RSVD10		該当なし									
M6	RSVD11	RSVD11		該当なし									
AB16	RSVD12	RSVD12		該当なし									
AB18	RSVD13	RSVD13		該当なし									
C6	RSVD14	RSVD14		該当なし									
F8	RSVD15	RSVD15		該当なし									
B6	RSVD16	RSVD16		該当なし									
C17	RSVD17	RSVD17		該当なし									
D16	RSVD18	RSVD18		該当なし									
D14	RSVD19	RSVD19		該当なし									
D13	RSVD20	RSVD20		該当なし									
M2	RSVD21	RSVD21		該当なし									
E15	SERDES0_REXT	SERDES0_REXT		A					1.8V	VDDA_1P8_SERDES		SERDES	
F14	SERDES1_REXT	SERDES1_REXT		A					1.8V	VDDA_1P8_SERDES		SERDES	
A17	SERDES0_REFCLK0N	SERDES0_REFCLK0N		IO					1.8V	VDDA_1P8_SERDES		SERDES	
A16	SERDES0_REFCLK0P	SERDES0_REFCLK0P		IO					1.8V	VDDA_1P8_SERDES		SERDES	
A20	SERDES0_RX0_N	SERDES0_RX0_N		I					1.8V	VDDA_1P8_SERDES		SERDES	

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
A19	SERDES0_RX0_P	SERDES0_RX0_P		I					1.8V	VDDA_1P8_SERDES		SERDES	
B19	SERDES0_TX0_N	SERDES0_TX0_N		O					1.8V	VDDA_1P8_SERDES		SERDES	
B18	SERDES0_TX0_P	SERDES0_TX0_P		O					1.8V	VDDA_1P8_SERDES		SERDES	
B15	SERDES1_REFCLK0N	SERDES1_REFCLK0N		IO					1.8V	VDDA_1P8_SERDES		SERDES	
B16	SERDES1_REFCLK0P	SERDES1_REFCLK0P		IO					1.8V	VDDA_1P8_SERDES		SERDES	
C14	SERDES1_RX0_N	SERDES1_RX0_N		I					1.8V	VDDA_1P8_SERDES		SERDES	
C15	SERDES1_RX0_P	SERDES1_RX0_P		I					1.8V	VDDA_1P8_SERDES		SERDES	
A13	SERDES1_TX0_N	SERDES1_TX0_N		O					1.8V	VDDA_1P8_SERDES		SERDES	
A14	SERDES1_TX0_P	SERDES1_TX0_P		O					1.8V	VDDA_1P8_SERDES		SERDES	
D20	SPI0_CLK PADCONFIG PADCONFIG111 0x000F41BC	SPI0_CLK	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_TS_SYNC	1	O									
		EHRPWM1_A	2	IO	0								
		GPIO1_17	7	IO	バンド								
B20	SPI0_CS0 PADCONFIG PADCONFIG109 0x000F41B4	SPI0_CS0	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		EHRPWM0_A	2	IO	0								
		GPIO1_15	7	IO	バンド								
C20	SPI0_CS1 PADCONFIG PADCONFIG110 0x000F41B8	SPI0_CS1	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_TS_COMP	1	O									
		EHRPWM0_B	2	IO	0								
		ECAP0_IN_APWM_OUT	3	IO	0								
		MAIN_ERRORn	5	IO	1								
		GPIO1_16	7	IO	バンド								
E19	SPI0_D0 PADCONFIG PADCONFIG112 0x000F41C0	SPI0_D0	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
		EHRPWM1_B	2	IO	0								
		GPIO1_18	7	IO	バンド								
E20	SPI0_D1 PADCONFIG PADCONFIG113 0x000F41C4	SPI0_D1	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
		EHRPWM_TZn_IN0	2	I	0								
		GPIO1_19	7	IO	バンド								
A11	TCK PADCONFIG MCU_PADCONFIG25 0x04084064	TCK	0	I		オン/オフ/アップ	オン/オフ/アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
E12	TDI PADCONFIG MCU_PADCONFIG27 0x0408406C	TDI	0	I		オン/オフ/アップ	オン/オフ/アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
F10	TDO PADCONFIG MCU_PADCONFIG28 0x04084070	TDO	0	OZ		オフ/オフ/アップ	オフ/SS/アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
F11	TMS PADCONFIG MCU_PADCONFIG29 0x04084074	TMS	0	I		オン/オフ/アップ	オン/オフ/アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
B10	TRSTn PADCONFIG MCU_PADCONFIG26 0x04084068	TRSTn	0	I		オン/オフ/ダウン	オン/オフ/ダウン	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
E22	UART0_CTSn PADCONFIG PADCONFIG116 0x000F41D0	UART0_CTSn	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI0_CS2	1	IO	1								
		I2C3_SCL	2	IOD	1								
		UART2_RXD	3	I	1								
		TIMER_IO6	4	IO	0								
		AUDIO_EXT_REFCLK0	5	IO	0								
		GPIO1_22	7	IO	バンド								
		MCASP2_AFSX	8	IO	0								
MMC2_SDCD	9	I	0										
B21	UART0_RTSn PADCONFIG PADCONFIG117 0x000F41D4	UART0_RTSn	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI0_CS3	1	IO	1								
		I2C3_SDA	2	IOD	1								
		UART2_TXD	3	O									
		TIMER_IO7	4	IO	0								
		AUDIO_EXT_REFCLK1	5	IO	0								
		GPIO1_23	7	IO	バンド								
		MCASP2_ACLKX	8	IO	0								
MMC2_SDWP	9	I	0										
F19	UART0_RXD PADCONFIG PADCONFIG114 0x000F41C8	UART0_RXD	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		ECAP1_IN_APWM_OUT	1	IO	0								
		SPI2_D0	2	IO	0								
		EHRPWM2_A	3	IO	0								
		GPIO1_20	7	IO	バンド								

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
F20	UART0_TXD PADCONFIG PADCONFIG115 0x000F41CC	UART0_TXD	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		ECAP2_IN_APWM_OUT	1	IO	0								
		SPI2_D1	2	IO	0								
		EHRPWM2_B	3	IO	0								
		GPIO1_21	7	IO	パッド								
AB5	USB0_DM	USB0_DM		IO					1.8V/3.3V	VDDA_1P8_USB0, VDDA_3P3_USB0		USB2PHY	
AA6	USB0_DP	USB0_DP		IO					1.8V/3.3V	VDDA_1P8_USB0, VDDA_3P3_USB0		USB2PHY	
E25	USB0_DRVVBUS PADCONFIG PADCONFIG149 0x000F4254	USB0_DRVVBUS	0	O		オフ/オフ/ダウン	オフ/オフ/ダウン	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO1_50	7	IO	パッド								
AA8	USB0_RCALIB	USB0_RCALIB		A					1.8V/3.3V	VDDA_1P8_USB0, VDDA_3P3_USB0		USB2PHY	
W7	USB0_VBUS	USB0_VBUS		A					1.8V/3.3V	VDDA_1P8_USB0, VDDA_3P3_USB0		USB2PHY	
E17	USB1_DM	USB1_DM		IO					1.8V/3.3V	VDDA_1P8_USB1, VDDA_3P3_USB1		USB2PHY	
D17	USB1_DP	USB1_DP		IO					1.8V/3.3V	VDDA_1P8_USB1, VDDA_3P3_USB1		USB2PHY	
B27	USB1_DRVVBUS PADCONFIG PADCONFIG150 0x000F4258	USB1_DRVVBUS	0	O		オフ/オフ/ダウン	オフ/オフ/ダウン	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO1_51	7	IO	パッド								
E18	USB1_RCALIB	USB1_RCALIB		A					1.8V/3.3V	VDDA_1P8_USB1, VDDA_3P3_USB1		USB2PHY	
F18	USB1_VBUS	USB1_VBUS		A					1.8V/3.3V	VDDA_1P8_USB1, VDDA_3P3_USB1		USB2PHY	
H12, H13	VDDA_0P85_SERDES	VDDA_0P85_SERDES		PWR									
J13	VDDA_0P85_SERDES_C	VDDA_0P85_SERDES_C		PWR									
W9	VDDA_0P85_DLL_MMC0	VDDA_0P85_DLL_MMC0		PWR									
W13, W16, Y13	VDDA_1P8_CSI_DSI	VDDA_1P8_CSI_DSI		PWR									
G13	VDDA_1P8_SERDES	VDDA_1P8_SERDES		PWR									
W18, Y19	VDDA_1P8_OLDIO	VDDA_1P8_OLDIO		PWR									
Y12	VDDA_1P8_USB0	VDDA_1P8_USB0		PWR									
H16	VDDA_1P8_USB1	VDDA_1P8_USB1		PWR									
Y11	VDDA_3P3_USB0	VDDA_3P3_USB0		PWR									
G15	VDDA_3P3_USB1	VDDA_3P3_USB1		PWR									
W15, Y15	VDDA_CORE_CSI_DSI	VDDA_CORE_CSI_DSI		PWR									

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
Y16	VDDA_CORE_CSI_DSI_CLK	VDDA_CORE_CSI_DSI_CLK		PWR									
W11	VDDA_CORE_USB0	VDDA_CORE_USB0		PWR									
H15	VDDA_CORE_USB1	VDDA_CORE_USB1		PWR									
P9	VDDA_DDR_PLL0	VDDA_DDR_PLL0		PWR									
G11, H11	VDDA_MCU	VDDA_MCU		PWR									
L15	VDDA_PLL0	VDDA_PLL0		PWR									
K10	VDDA_PLL1	VDDA_PLL1		PWR									
M12	VDDA_PLL2	VDDA_PLL2		PWR									
R11	VDDA_PLL3	VDDA_PLL3		PWR									
V18	VDDA_PLL4	VDDA_PLL4		PWR									
P16	VDDA_PLL5	VDDA_PLL5		PWR									
Y17	VDDA_TEMP0	VDDA_TEMP0		PWR									
T11	VDDA_TEMP1	VDDA_TEMP1		PWR									
L9	VDDA_TEMP2	VDDA_TEMP2		PWR									
M13, M19, N13, N19, U10, U17, V10, V17	VDDR_CORE	VDDR_CORE		PWR									
G18, H18	VDDSHV0	VDDSHV0		PWR									
K20, L20	VDDSHV1	VDDSHV1		PWR									
T19, T20	VDDSHV2	VDDSHV2		PWR									
M20, P20, R20	VDDSHV3	VDDSHV3		PWR									
H19	VDDSHV5	VDDSHV5		PWR									
J21	VDDSHV6	VDDSHV6		PWR									
H9	VDDSHV_CANUART	VDDSHV_CANUART		PWR									
H10	VDDSHV_MCU	VDDSHV_MCU		PWR									
AB1, D1, L7, L8, N7, N8, T7, T8	VDDS_DDR	VDDS_DDR		PWR									
P8	VDDS_DDR_C	VDDS_DDR_C		PWR									
Y9	VDDS_MMC0	VDDS_MMC0		PWR									
K8	VDDS_OSC0	VDDS_OSC0		PWR									
J8	VDD_CANUART	VDD_CANUART		PWR									

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
J11, J14, J16, J18, K11, K12, K14, K16, K18, K9, L12, L17, M10, M15, M17, M9, N10, N11, N14, N16, N18, P11, P12, P14, P18, R12, R13, R15, R17, R9, T13, T15, T17, T9, U12, U14, U16, U8, V12, V14, V16, V19, V8, W19, Y20, Y21	VDD_CORE	VDD_CORE		PWR									
W10	VDD_MMC0	VDD_MMC0		PWR									
J7	VMON_1P8_SOC	VMON_1P8_SOC		A									
K7	VMON_3P3_SOC	VMON_3P3_SOC		A									
G7	VMON_ER_VSYS	VMON_ER_VSYS		A									
AC27	VOUT0_DE PADCONFIG PADCONFIG63 0x000F40FC	VOUT0_DE	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A17	1	OZ									
		RGMI2_RD1	2	I	0								
		RMI2_RXD1	3	I	0								
		UART3_CTSn	4	I	1								
		MCASP4_AXR5	6	IO	0								
GPIO0_62	7	IO	バンド										
AB24	VOUT0_HSYNC PADCONFIG PADCONFIG62 0x000F40F8	VOUT0_HSYNC	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A16	1	OZ									
		RGMI2_RD0	2	I	0								
		RMI2_RXD0	3	I	0								
		UART3_RTSn	4	O									
		MCASP4_AXR4	6	IO	0								
GPIO0_61	7	IO	バンド										

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
AC26	VOUT0_PCLK PADCONFIG PADCONFIG65 0x000F4104	VOUT0_PCLK	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A19	1	OZ									
		RGMII2_RD3	2	I	0								
		UART2_CTSn	4	I	1								
		MCASP4_AFSX	6	IO	0								
		GPIO0_64	7	IO	バンド								
AB23	VOUT0_VSYNC PADCONFIG PADCONFIG64 0x000F4100	VOUT0_VSYNC	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A18	1	OZ									
		RGMII2_RD2	2	I	0								
		UART2_RTSn	4	O									
		MCASP4_ACLKX	6	IO	0								
		GPIO0_63	7	IO	バンド								
W27	VOUT0_DATA0 PADCONFIG PADCONFIG46 0x000F40B8	VOUT0_DATA0	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A0	1	OZ									
		UART2_RXD	4	I	1								
		MCASP3_ACLKX	6	IO	0								
		GPIO0_45	7	IO	バンド								
W25	VOUT0_DATA1 PADCONFIG PADCONFIG47 0x000F40BC	VOUT0_DATA1	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A1	1	OZ									
		UART2_TXD	4	O									
		MCASP3_AFSX	6	IO	0								
		GPIO0_46	7	IO	バンド								
W24	VOUT0_DATA2 PADCONFIG PADCONFIG48 0x000F40C0	VOUT0_DATA2	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A2	1	OZ									
		UART3_RXD	4	I	1								
		MCASP3_AXR0	6	IO	0								
		GPIO0_47	7	IO	バンド								
W23	VOUT0_DATA3 PADCONFIG PADCONFIG49 0x000F40C4	VOUT0_DATA3	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A3	1	OZ									
		UART3_TXD	4	O									
		AUDIO_EXT_REFCLK0	5	IO	0								
		MCASP3_AXR1	6	IO	0								
		GPIO0_48	7	IO	バンド								

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
W22	VOUT0_DATA4 PADCONFIG PADCONFIG50 0x000F40C8	VOUT0_DATA4	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A4	1	OZ									
		UART4_RXD	4	I	1								
		EQEP2_I	5	IO	0								
		MCASP3_AXR2	6	IO	0								
		GPIO0_49	7	IO	バンド								
W21	VOUT0_DATA5 PADCONFIG PADCONFIG51 0x000F40CC	VOUT0_DATA5	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A5	1	OZ									
		UART4_TXD	4	O									
		EQEP2_S	5	IO	0								
		MCASP3_AXR3	6	IO	0								
		GPIO0_50	7	IO	バンド								
Y26	VOUT0_DATA6 PADCONFIG PADCONFIG52 0x000F40D0	VOUT0_DATA6	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A6	1	OZ									
		UART5_RXD	4	I	1								
		EQEP2_A	5	I	0								
		MCASP3_AXR6	6	IO	0								
		GPIO0_51	7	IO	バンド								
Y27	VOUT0_DATA7 PADCONFIG PADCONFIG53 0x000F40D4	VOUT0_DATA7	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A7	1	OZ									
		UART5_TXD	4	O									
		EQEP2_B	5	I	0								
		MCASP3_AXR7	6	IO	0								
		GPIO0_52	7	IO	バンド								
AA24	VOUT0_DATA8 PADCONFIG PADCONFIG54 0x000F40D8	VOUT0_DATA8	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A8	1	OZ									
		RGMI2_TX_CTL	2	O									
		RMI2_TX_EN	3	O									
		UART6_RXD	4	I	1								
		MCASP3_AXR4	6	IO	0								
GPIO0_53	7	IO	バンド										

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
AA27	VOUT0_DATA9 PADCONFIG PADCONFIG55 0x000F40DC	VOUT0_DATA9	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A9	1	OZ									
		RGMII2_TXC	2	O									
		RMI2_CRS_DV	3	I	0								
		UART6_TXD	4	O									
		MCASP3_AXR5	6	IO	0								
		GPIO0_54	7	IO	バンド								
AA25	VOUT0_DATA10 PADCONFIG PADCONFIG56 0x000F40E0	VOUT0_DATA10	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A10	1	OZ									
		RGMII2_TD0	2	O									
		RMI2_TXD0	3	O									
		UART6_RTSn	4	O									
		MCASP4_AXR6	6	IO	0								
		GPIO0_55	7	IO	バンド								
MCASP4_ACLKR	8	IO	0										
AB25	VOUT0_DATA11 PADCONFIG PADCONFIG57 0x000F40E4	VOUT0_DATA11	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A11	1	OZ									
		RGMII2_TD1	2	O									
		RMI2_TXD1	3	O									
		UART6_CTSn	4	I	1								
		MCASP4_AXR7	6	IO	0								
		GPIO0_56	7	IO	バンド								
MCASP4_AFSR	8	IO	0										
AA23	VOUT0_DATA12 PADCONFIG PADCONFIG58 0x000F40E8	VOUT0_DATA12	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A12	1	OZ									
		RGMII2_TD2	2	O									
		UART5_RTSn	4	O									
		MCASP4_AXR0	6	IO	0								
		GPIO0_57	7	IO	バンド								
AA22	VOUT0_DATA13 PADCONFIG PADCONFIG59 0x000F40EC	VOUT0_DATA13	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A13	1	OZ									
		RGMII2_TD3	2	O									
		CLKOUT0	3	O									
		UART5_CTSn	4	I	1								
		MCASP4_AXR1	6	IO	0								
		GPIO0_58	7	IO	バンド								

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
AB26	VOUT0_DATA14 PADCONFIG PADCONFIG60 0x000F40F0	VOUT0_DATA14	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A14	1	OZ									
		RGMII2_RX_CTL	2	I	0								
		RMI2_RX_ER	3	I	0								
		UART4_RTSn	4	O									
		MCASP4_AXR2	6	IO	0								
		GPIO0_59	7	IO	バンド								
AB27	VOUT0_DATA15 PADCONFIG PADCONFIG61 0x000F40F4	VOUT0_DATA15	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A15	1	OZ									
		RGMII2_RXC	2	I	0								
		RMI2_REF_CLK	3	I	0								
		UART4_CTSn	4	I	1								
		MCASP4_AXR3	6	IO	0								
		GPIO0_60	7	IO	バンド								
G9	VPP	VPP		PWR									

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
A1, A18, A21, A27, A4, A7, AA1, AA18, AA21, AA26, AA4, AD26, AG1, AG27, C2, C23, D26, E6, F15, F16, F17, F2, F21, G1, G10, G12, G14, G16, G17, G20, G3, G5, G8, H14, H4, H7, J12, J15, J17, J19, J26, J3, J5, J9, K1, K13, K15, K17, K19, L10, L11, L13, L14, L16, L18, M1, M11, M14, M16, M18, M7, M8, N12, N15, N17, N26, N9, P10, P13, P15, P17, P19, P5, P7, R1, R10, R14, R16, R18, R19, R4, R7, R8, T10, T12, T14, T16, T18, T26, U11, U13, U15, U18, U19, U3, U7, U9, V1, V11, V13, V15, V20, V4, V7, V9, W12, W14, W17, W20, W5, W8,	VSS	VSS		GND									

表 5-1. ピン属性 (AMW パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
Y10, Y14, Y18, Y7, Y8													
F12	WKUP_CLKOUT0 PADCONFIG MCU_PADCONFIG33 0x04084084	WKUP_CLKOUT0	0	O									
		MCU_GPIO0_23	7	IO	バンド	オフ/オフ/オフ	オフ/SS/オフ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVC MOS	PU/PD
B9	WKUP_I2C0_SCL PADCONFIG MCU_PADCONFIG19 0x0408404C	WKUP_I2C0_SCL	0	IOD	1								
		MCU_GPIO0_19	7	IOD	バンド	オフ/オフ/NA	オン/SS/NA	7	1.8V/3.3V	VDDSHV_MCU	あり	I2C オープ ンドレイン	
D11	WKUP_I2C0_SDA PADCONFIG MCU_PADCONFIG20 0x04084050	WKUP_I2C0_SDA	0	IOD	1								
		MCU_GPIO0_20	7	IOD	バンド	オフ/オフ/NA	オン/SS/NA	7	1.8V/3.3V	VDDSHV_MCU	あり	I2C オープ ンドレイン	
A3	WKUP_LFOSC0_XI	WKUP_LFOSC0_XI		I					1.8V	VDDS_OSC0		LFXOSC	
A2	WKUP_LFOSC0_XO	WKUP_LFOSC0_XO		O					1.8V	VDDS_OSC0		LFXOSC	
C4	WKUP_UART0_CTSn PADCONFIG MCU_PADCONFIG11 0x0408402C	WKUP_UART0_CTSn	0	I	1								
		WKUP_TIMER_IO0	1	IO	0								
		MCU_SPI1_CS0	3	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVC MOS	PU/PD
		MCU_GPIO0_11	7	IO	バンド								
C3	WKUP_UART0_RTSn PADCONFIG MCU_PADCONFIG12 0x04084030	WKUP_UART0_RTSn	0	O									
		WKUP_TIMER_IO1	1	IO	0								
		MCU_SPI1_CLK	3	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVC MOS	PU/PD
		MCU_GPIO0_12	7	IO	バンド								
B3	WKUP_UART0_RXD PADCONFIG MCU_PADCONFIG9 0x04084024	WKUP_UART0_RXD	0	I	1								
		MCU_SPI0_CS2	2	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVC MOS	PU/PD
		MCU_GPIO0_9	7	IO	バンド								
C8	WKUP_UART0_TXD PADCONFIG MCU_PADCONFIG10 0x04084028	WKUP_UART0_TXD	0	O									
		MCU_SPI1_CS2	2	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVC MOS	PU/PD
		MCU_GPIO0_10	7	IO	バンド								

(1) この GPIO 信号を使用するには、詳細について「OLDIO 信号の説明」を参照してください。

5.3 信号の説明

ピン多重化オプションのソフトウェア構成に応じて、複数のピンで多くの信号が利用可能です。

次に列ヘッダーについて説明します。

1. 信号名: ピンを通過する信号の名前。

注

各「信号の説明」表に記載されている信号名と説明は、ピンに実装され、PADCONFIG レジスタで選択されるピン多重化信号機能を表しています。デバイス サブシステムで信号機能の 2 次多重化が可能な場合がありますが、それらについてはこの表には記載されていません。2 次多重化信号機能の詳細については、デバイスのテクニカルリファレンス マニュアルで該当するペリフェラルの章を参照してください。

2. 信号の種類: 信号の方向と種類:

- I = 入力
- O = 出力
- OD = 出力、オープンドレイン出力機能付き
- IO = 入力、出力、または同時に入力と出力
- IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
- IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
- OZ = 出力、3 ステート出力機能付き
- A = アナログ
- PWR = 電源
- GND = グランド
- CAP = LDO コンデンサ

3. 説明: 信号の説明

4. ボール: 信号に関連付けられているボール番号

5.3.1 CPSW3G

5.3.1.1 メインドメイン

表 5-2. CPSW3G0 RGMII 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
RGMII1_RXC	I	RGMII 受信クロック	AE27
RGMII1_RX_CTL	I	RGMII 受信制御	AD23
RGMII1_TXC	O	RGMII 送信クロック	AG26
RGMII1_TX_CTL	O	RGMII 送信制御	AF25
RGMII1_RD0	I	RGMII 受信データ 0	AC25
RGMII1_RD1	I	RGMII 受信データ 1	AD27
RGMII1_RD2	I	RGMII 受信データ 2	AE24
RGMII1_RD3	I	RGMII 受信データ 3	AE26
RGMII1_TD0	O	RGMII 送信データ 0	AF27
RGMII1_TD1	O	RGMII 送信データ 1	AE23
RGMII1_TD2	O	RGMII 送信データ 2	AG25
RGMII1_TD3	O	RGMII 送信データ 3	AF24

表 5-3. CPSW3G0 RGMII2 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
RGMII2_RXC	I	RGMII 受信クロック	AB27
RGMII2_RX_CTL	I	RGMII 受信制御	AB26
RGMII2_TXC	O	RGMII 送信クロック	AA27
RGMII2_TX_CTL	O	RGMII 送信制御	AA24
RGMII2_RD0	I	RGMII 受信データ 0	AB24
RGMII2_RD1	I	RGMII 受信データ 1	AC27
RGMII2_RD2	I	RGMII 受信データ 2	AB23
RGMII2_RD3	I	RGMII 受信データ 3	AC26
RGMII2_TD0	O	RGMII 送信データ 0	AA25
RGMII2_TD1	O	RGMII 送信データ 1	AB25
RGMII2_TD2	O	RGMII 送信データ 2	AA23
RGMII2_TD3	O	RGMII 送信データ 3	AA22

表 5-4. CPSW3G0 RMII1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
RMII1_CRD_DV	I	RMII キャリア センス / データ有効	AG26
RMII1_REF_CLK	I	RMII 基準クロック	AE27
RMII1_RX_ER	I	RMII 受信データ エラー	AD23
RMII1_TX_EN	O	RMII 送信イネーブル	AF25
RMII1_RXD0	I	RMII 受信データ 0	AC25
RMII1_RXD1	I	RMII 受信データ 1	AD27
RMII1_TXD0	O	RMII 送信データ 0	AF27
RMII1_TXD1	O	RMII 送信データ 1	AE23

表 5-5. CPSW3G0 RMII2 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
RMII2_CRD_DV	I	RMII キャリア センス / データ有効	AA27
RMII2_REF_CLK	I	RMII 基準クロック	AB27
RMII2_RX_ER	I	RMII 受信データ エラー	AB26
RMII2_TX_EN	O	RMII 送信イネーブル	AA24
RMII2_RXD0	I	RMII 受信データ 0	AB24
RMII2_RXD1	I	RMII 受信データ 1	AC27
RMII2_TXD0	O	RMII 送信データ 0	AA25
RMII2_TXD1	O	RMII 送信データ 1	AB25

5.3.2 CPTS

5.3.2.1 メイン ドメイン

表 5-6. CPTS 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
CP_GEMAC_CPTS0_RFT_CLK	I	CPTS 基準クロック入力	A23

表 5-6. CPTS 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
CP_GEMAC_CPTS0_TS_COMP	O	CPSW3G0 CPTS からの CPTS タイム スタンプ カウンタ比較出力	C20、H25
CP_GEMAC_CPTS0_TS_SYNC	O	CPSW3G0 CPTS からの CPTS タイム スタンプ カウンタビット出力	D20、J23
CP_GEMAC_CPTS0_HW1TSPUSH	I	時間同期ルータへの CPTS ハードウェア タイム スタンプ プッシュ入力	E19、H20
CP_GEMAC_CPTS0_HW2TSPUSH	I	時間同期ルータへの CPTS ハードウェア タイム スタンプ プッシュ入力	E20、H23

5.3.3 CSI-2

5.3.3.1 メイン ドメイン

表 5-7. CSIRX0 信号の説明

信号名 [1] (2)	信号の種類 [2]	説明 [3]	AMW ピン [4]
CSI0_RXCLKN	I	CSI 差動受信クロック入力 (負)	AC7
CSI0_RXCLKP	I	CSI 差動受信クロック入力 (正)	AC6
CSI0_RXRCALIB (1)	A	オンチップ抵抗較正用に外部抵抗に接続する CSI ピン	AB8
CSI0_RXN0	I	CSI 差動受信入力 (負)	AD6
CSI0_RXN1	I	CSI 差動受信入力 (負)	AE5
CSI0_RXN2	I	CSI 差動受信入力 (負)	AF4
CSI0_RXN3	I	CSI 差動受信入力 (負)	AG3
CSI0_RXP0	I	CSI 差動受信入力 (正)	AD5
CSI0_RXP1	I	CSI 差動受信入力 (正)	AE4
CSI0_RXP2	I	CSI 差動受信入力 (正)	AF3
CSI0_RXP3	I	CSI 差動受信入力 (正)	AG2

- (1) このピンと VSS の間に $499\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。
- (2) CSI TX 機能は、DSI ピンで利用できます。詳細については、「DSITX0 信号の説明」を参照してください。

表 5-8. CSIRX1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
CSI1_RXCLKN	I	CSI 差動受信クロック入力 (負)	AG6
CSI1_RXCLKP	I	CSI 差動受信クロック入力 (正)	AG5
CSI1_RXRCALIB (1)	A	オンチップ抵抗較正用に外部抵抗に接続する CSI ピン	AA10
CSI1_RXN0	I	CSI 差動受信入力 (負)	AF7
CSI1_RXN1	I	CSI 差動受信入力 (負)	AE8
CSI1_RXN2	I	CSI 差動受信入力 (負)	AD9
CSI1_RXN3	I	CSI 差動受信入力 (負)	AC10
CSI1_RXP0	I	CSI 差動受信入力 (正)	AF6
CSI1_RXP1	I	CSI 差動受信入力 (正)	AE7
CSI1_RXP2	I	CSI 差動受信入力 (正)	AD8

表 5-8. CSIRX1 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
CSI1_RXP3	I	CSI 差動受信入力 (正)	AC9

(1) このピンと VSS の間に $499\Omega \pm 1\%$ の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。

表 5-9. CSIRX2 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
CSI2_RXCLKN	I	CSI 差動受信クロック入力 (負)	AG8
CSI2_RXCLKP	I	CSI 差動受信クロック入力 (正)	AG9
CSI2_RXRCALIB ⁽¹⁾	A	オンチップ抵抗較正用に外部抵抗に接続する CSI ピン	AB14
CSI2_RXN0	I	CSI 差動受信入力 (負)	AF9
CSI2_RXN1	I	CSI 差動受信入力 (負)	AE10
CSI2_RXN2	I	CSI 差動受信入力 (負)	AD11
CSI2_RXN3	I	CSI 差動受信入力 (負)	AC13
CSI2_RXP0	I	CSI 差動受信入力 (正)	AF10
CSI2_RXP1	I	CSI 差動受信入力 (正)	AE11
CSI2_RXP2	I	CSI 差動受信入力 (正)	AD12
CSI2_RXP3	I	CSI 差動受信入力 (正)	AC12

(1) このピンと VSS の間に $499\Omega \pm 1\%$ の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。

表 5-10. CSIRX3 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
CSI3_RXCLKN	I	CSI 差動受信クロック入力 (負)	AG12
CSI3_RXCLKP	I	CSI 差動受信クロック入力 (正)	AG11
CSI3_RXRCALIB ⁽¹⁾	A	オンチップ抵抗較正用に外部抵抗に接続する CSI ピン	AB15
CSI3_RXN0	I	CSI 差動受信入力 (負)	AF13
CSI3_RXN1	I	CSI 差動受信入力 (負)	AE14
CSI3_RXN2	I	CSI 差動受信入力 (負)	AD15
CSI3_RXN3	I	CSI 差動受信入力 (負)	AC15
CSI3_RXP0	I	CSI 差動受信入力 (正)	AF12
CSI3_RXP1	I	CSI 差動受信入力 (正)	AE13
CSI3_RXP2	I	CSI 差動受信入力 (正)	AD14
CSI3_RXP3	I	CSI 差動受信入力 (正)	AC16

(1) このピンと VSS の間に $499\Omega \pm 1\%$ の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。

5.3.4 DDRSS

5.3.4.1 メインドメイン

表 5-11. DDRSS0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
DDR0_CAS_n ⁽¹⁾	O	DDRSS コラム アドレス ストローブ / LPDDR4 チップ セレクト 1B	M4
DDR0_RAS_n ⁽¹⁾	O	DDRSS ロー アドレス ストローブ / LPDDR4 チップ セレクト 0B	M3
DDR0_A0	O	DDRSS アドレス バス	L4
DDR0_A1	O	DDRSS アドレス バス	L6
DDR0_A2	O	DDRSS アドレス バス	M5
DDR0_A3	O	DDRSS アドレス バス	L3
DDR0_A4	O	DDRSS アドレス バス	N2
DDR0_A5	O	DDRSS アドレス バス	L2
DDR0_CAL0 ⁽²⁾	A	IO パッド較正抵抗	R6
DDR0_CK0	O	DDRSS クロック	P1
DDR0_CK0_n	O	DDRSS 負のクロック	N1
DDR0_CKE0	O	DDRSS クロック イネーブル	P2
DDR0_CKE1	O	DDRSS クロック イネーブル	P6
DDR0_CS0_n ⁽¹⁾	O	DDRSS チップ セレクト 0/LPDDR4 チップ セレクト 0A	P4
DDR0_CS1_n ⁽¹⁾	O	DDRSS チップ セレクト 1/LPDDR4 チップ セレクト 1A	P3
DDR0_DM0	IO	DDRSS データ マスク	G2
DDR0_DM1	IO	DDRSS データ マスク	H6
DDR0_DM2	IO	DDRSS データ マスク	U4
DDR0_DM3	IO	DDRSS データ マスク	AA2
DDR0_DQ0	IO	DDRSS データ	D6
DDR0_DQ1	IO	DDRSS データ	D2
DDR0_DQ2	IO	DDRSS データ	F6
DDR0_DQ3	IO	DDRSS データ	D3
DDR0_DQ4	IO	DDRSS データ	G4
DDR0_DQ5	IO	DDRSS データ	E2
DDR0_DQ6	IO	DDRSS データ	G6
DDR0_DQ7	IO	DDRSS データ	F3
DDR0_DQ8	IO	DDRSS データ	H5
DDR0_DQ9	IO	DDRSS データ	H2
DDR0_DQ10	IO	DDRSS データ	K2
DDR0_DQ11	IO	DDRSS データ	L1
DDR0_DQ12	IO	DDRSS データ	J6
DDR0_DQ13	IO	DDRSS データ	J4
DDR0_DQ14	IO	DDRSS データ	J2
DDR0_DQ15	IO	DDRSS データ	H3
DDR0_DQ16	IO	DDRSS データ	V3
DDR0_DQ17	IO	DDRSS データ	R2
DDR0_DQ18	IO	DDRSS データ	R5

表 5-11. DDRSS0 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
DDR0_DQ19	IO	DDRSS データ	T2
DDR0_DQ20	IO	DDRSS データ	R3
DDR0_DQ21	IO	DDRSS データ	U2
DDR0_DQ22	IO	DDRSS データ	U5
DDR0_DQ23	IO	DDRSS データ	V2
DDR0_DQ24	IO	DDRSS データ	Y2
DDR0_DQ25	IO	DDRSS データ	W4
DDR0_DQ26	IO	DDRSS データ	V5
DDR0_DQ27	IO	DDRSS データ	W2
DDR0_DQ28	IO	DDRSS データ	V6
DDR0_DQ29	IO	DDRSS データ	W3
DDR0_DQ30	IO	DDRSS データ	AA3
DDR0_DQ31	IO	DDRSS データ	AA5
DDR0_QS0	IO	DDRSS データ ストローブ	E1
DDR0_QS0_n	IO	DDRSS 相補データ ストローブ	F1
DDR0_QS1	IO	DDRSS データ ストローブ	H1
DDR0_QS1_n	IO	DDRSS 相補データ ストローブ	J1
DDR0_QS2	IO	DDRSS データ ストローブ	T1
DDR0_QS2_n	IO	DDRSS 相補データ ストローブ	U1
DDR0_QS3	IO	DDRSS データ ストローブ	W1
DDR0_QS3_n	IO	DDRSS 相補データ ストローブ	Y1
DDR0_RESET0_n	O	DDRSS のリセット	U6

- (1) DDRSS は、LPDDR4 メモリ デバイスで動作するように構成されている場合には、コラム アドレス ストローブ、ロー アドレス ストローブ、チップ セレクト 0、チップ セレクト 1 に異なる信号機能を実装します。DDRSS が LPDDR4 メモリデバイスで動作するように構成されている場合、これらの信号はそれぞれチップセレクト 1B、チップセレクト 0B、チップセレクト 0A、チップセレクト 1A として機能します。詳細については [セクション 8.2.1](#)、『DDR 基板の設計およびレイアウトのガイドライン』を参照してください。
- (2) このピンと VSS の間に $240\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

5.3.5 DSI

5.3.5.1 メイン ドメイン

表 5-12. DSITX0 信号の説明

信号名 [1] (2)	信号の種類 [2]	説明 [3]	AMW ピン [4]
DSI0_TXCLKN	IO	DSI 差動送信クロック出力 (負)	AE16
DSI0_TXCLKP	IO	DSI 差動送信クロック出力 (正)	AE17
DSI0_TXRCALIB (1)	A	オンチップ抵抗校正用に外部抵抗に接続する DSI ピン	AA16
DSI0_TXN0	IO	DSI 差動送信出力 (負)	AD17
DSI0_TXN1	IO	DSI 差動送信出力 (負)	AF15
DSI0_TXN2	IO	DSI 差動送信出力 (負)	AG14
DSI0_TXN3	IO	DSI 差動送信出力 (負)	AC18
DSI0_TXP0	IO	DSI 差動送信出力 (正)	AD18
DSI0_TXP1	IO	DSI 差動送信出力 (正)	AF16
DSI0_TXP2	IO	DSI 差動送信出力 (正)	AG15

表 5-12. DSITX0 信号の説明 (続き)

信号名 [1] (2)	信号の種類 [2]	説明 [3]	AMW ピン [4]
DSI0_TXP3	IO	DSI 差動送信出力 (正)	AC19

(1) このピンと VSS の間に $499\Omega \pm 1\%$ の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。

(2) これらのピンの機能は、DPHY_TX0_CTRL[1:0] LANE_FUNC_SEL によって制御されます。0x0 = DSI PPI、0x1 = CSIO TX。

5.3.6 DSS

5.3.6.1 メイン ドメイン

表 5-13. DSS0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
VOUT0_DE	O	ビデオ出力データ イネーブル	AC27
VOUT0_EXTCLKIN	I	ビデオ出力の外部ピクセル クロック入力	W26
VOUT0_HSYNC	O	ビデオ出力の水平同期	AB24
VOUT0_PCLK	O	ビデオ出力のピクセル クロック出力	AC26
VOUT0_VSYNC	O	ビデオ出力の垂直同期	AB23
VOUT0_DATA0	O	ビデオ出力データ 0	W27
VOUT0_DATA1	O	ビデオ出力データ 1	W25
VOUT0_DATA2	O	ビデオ出力データ 2	W24
VOUT0_DATA3	O	ビデオ出力データ 3	W23
VOUT0_DATA4	O	ビデオ出力データ 4	W22
VOUT0_DATA5	O	ビデオ出力データ 5	W21
VOUT0_DATA6	O	ビデオ出力データ 6	Y26
VOUT0_DATA7	O	ビデオ出力データ 7	Y27
VOUT0_DATA8	O	ビデオ出力データ 8	AA24
VOUT0_DATA9	O	ビデオ出力データ 9	AA27
VOUT0_DATA10	O	ビデオ出力データ 10	AA25
VOUT0_DATA11	O	ビデオ出力データ 11	AB25
VOUT0_DATA12	O	ビデオ出力データ 12	AA23
VOUT0_DATA13	O	ビデオ出力データ 13	AA22
VOUT0_DATA14	O	ビデオ出力データ 14	AB26
VOUT0_DATA15	O	ビデオ出力データ 15	AB27
VOUT0_DATA16	O	ビデオ出力データ 16	U27
VOUT0_DATA17	O	ビデオ出力データ 17	U26
VOUT0_DATA18	O	ビデオ出力データ 18	V27
VOUT0_DATA19	O	ビデオ出力データ 19	V25
VOUT0_DATA20	O	ビデオ出力データ 20	V26
VOUT0_DATA21	O	ビデオ出力データ 21	V24
VOUT0_DATA22	O	ビデオ出力データ 22	V22
VOUT0_DATA23	O	ビデオ出力データ 23	V23

5.3.7 ECAP

5.3.7.1 メインドメイン

表 5-14. ECAP0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
ECAP0_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	A23、C20

表 5-15. ECAP1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
ECAP1_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	A25、B25、D23、F19、H20

表 5-16. ECAP2 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
ECAP2_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	A26、B22、D25、F20、H23

5.3.8 エミュレーションおよびデバッグ

5.3.8.1 メインドメイン

表 5-17. トレース信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
TRC_CLK	O	トレース クロック	R22
TRC_CTL	O	トレース制御	R23
TRC_DATA0	O	トレース データ 0	R26
TRC_DATA1	O	トレース データ 1	T27
TRC_DATA2	O	トレース データ 2	T25
TRC_DATA3	O	トレース データ 3	T24
TRC_DATA4	O	トレース データ 4	T21
TRC_DATA5	O	トレース データ 5	T22
TRC_DATA6	O	トレース データ 6	T23
TRC_DATA7	O	トレース データ 7	N21
TRC_DATA8	O	トレース データ 8	N22
TRC_DATA9	O	トレース データ 9	N23
TRC_DATA10	O	トレース データ 10	P27
TRC_DATA11	O	トレース データ 11	P26
TRC_DATA12	O	トレース データ 12	V21
TRC_DATA13	O	トレース データ 13	N24
TRC_DATA14	O	トレース データ 14	N25
TRC_DATA15	O	トレース データ 15	R27
TRC_DATA16	O	トレース データ 16	P21
TRC_DATA17	O	トレース データ 17	P22
TRC_DATA18	O	トレース データ 18	P23

表 5-17. トレース信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
TRC_DATA19	O	トレース データ 19	V23
TRC_DATA20	O	トレース データ 20	V22
TRC_DATA21	O	トレース データ 21	V24
TRC_DATA22	O	トレース データ 22	V26
TRC_DATA23	O	トレース データ 23	V25

5.3.8.2 MCU ドメイン

表 5-18. JTAG 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
EMU0	IO	エミュレーション制御 0	C9
EMU1	IO	エミュレーション制御 1	F9
TCK	I	JTAG テスト クロック入力	A11
TDI	I	JTAG テスト データ入力	E12
TDO	OZ	JTAG テスト データ出力	F10
TMS	I	JTAG テスト モード選択入力	F11
TRSTn	I	JTAG のリセット	B10

5.3.9 EPWM

5.3.9.1 メイン ドメイン

表 5-19. EPWM 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
EHRPWM_SOCA	O	EHRPWM 変換開始 A	D23
EHRPWM_SOCB	O	EHRPWM 変換開始 B	B22
EHRPWM_TZn_IN0	I	EHRPWMトリップ ゾーン入力 0 (アクティブ Low)	E20、F27
EHRPWM_TZn_IN1	I	EHRPWMトリップ ゾーン入力 1 (アクティブ Low)	F26
EHRPWM_TZn_IN2	I	EHRPWMトリップ ゾーン入力 2 (アクティブ Low)	H21
EHRPWM_TZn_IN3	I	EHRPWMトリップ ゾーン入力 3 (アクティブ Low)	D22
EHRPWM_TZn_IN4	I	EHRPWMトリップ ゾーン入力 4 (アクティブ Low)	C22
EHRPWM_TZn_IN5	I	EHRPWMトリップ ゾーン入力 5 (アクティブ Low)	C20

表 5-20. EPWM0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
EHRPWM0_A	IO	EHRPWM 出力 A	B20、C27、J27
EHRPWM0_B	IO	EHRPWM 出力 B	C20、F24、H27
EHRPWM0_SYNCI	I	外部ピンから EHRPWM モジュールへの同期入力	C24、H26
EHRPWM0_SYNCO	O	外部ピンから EHRPWM モジュールへの同期入力	A22、F27

表 5-21. EPWM1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
EHRPWM1_A	IO	EHRPWM 出力 A	B25、D20、G27
EHRPWM1_B	IO	EHRPWM 出力 B	E19、F23、G26

表 5-22. EPWM2 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
EHRPWM2_A	IO	EHRPWM 出力 A	C24、F19、F26
EHRPWM2_B	IO	EHRPWM 出力 B	A22、F20、H21

5.3.10 EQEP

5.3.10.1 メイン ドメイン

表 5-23. EQEP0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
EQEP0_A ⁽¹⁾	I	EQEP 直交入力 A	A25
EQEP0_B ⁽¹⁾	I	EQEP 直交入力 B	A26
EQEP0_I ⁽¹⁾	IO	EQEP インデックス	F23
EQEP0_S ⁽¹⁾	IO	EQEP ストロープ	B25

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

表 5-24. EQEP1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
EQEP1_A ⁽¹⁾	I	EQEP 直交入力 A	D25
EQEP1_B ⁽¹⁾	I	EQEP 直交入力 B	C26
EQEP1_I ⁽¹⁾	IO	EQEP インデックス	F24
EQEP1_S ⁽¹⁾	IO	EQEP ストロープ	C27

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

表 5-25. EQEP2 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
EQEP2_A ⁽¹⁾	I	EQEP 直交入力 A	D23、Y26
EQEP2_B ⁽¹⁾	I	EQEP 直交入力 B	B22、Y27
EQEP2_I ⁽¹⁾	IO	EQEP インデックス	D22、W22、W26
EQEP2_S ⁽¹⁾	IO	EQEP ストロープ	C22、N25、W21

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

5.3.11 GPIO

5.3.11.1 メイン ドメイン

表 5-26. GPIO0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
GPIO0_0	IO	汎用入出力	L24
GPIO0_1	IO	汎用入出力	L23
GPIO0_2	IO	汎用入出力	L22
GPIO0_3	IO	汎用入出力	K27
GPIO0_4	IO	汎用入出力	L27
GPIO0_5	IO	汎用入出力	L26
GPIO0_6	IO	汎用入出力	L25
GPIO0_7	IO	汎用入出力	L21
GPIO0_8	IO	汎用入出力	M26
GPIO0_9	IO	汎用入出力	N27
GPIO0_10	IO	汎用入出力	M27
GPIO0_11	IO	汎用入出力	K26
GPIO0_12	IO	汎用入出力	K23
GPIO0_13 ⁽¹⁾	IO	汎用入出力	K22
GPIO0_14 ⁽¹⁾	IO	汎用入出力	J22
GPIO0_15	IO	汎用入出力	R22
GPIO0_16	IO	汎用入出力	R23
GPIO0_17	IO	汎用入出力	R26
GPIO0_18	IO	汎用入出力	T27
GPIO0_19	IO	汎用入出力	T25
GPIO0_20	IO	汎用入出力	T24
GPIO0_21	IO	汎用入出力	T21
GPIO0_22	IO	汎用入出力	T22
GPIO0_23	IO	汎用入出力	U27
GPIO0_24	IO	汎用入出力	U26
GPIO0_25	IO	汎用入出力	V27
GPIO0_26	IO	汎用入出力	V25
GPIO0_27	IO	汎用入出力	V26
GPIO0_28	IO	汎用入出力	V24
GPIO0_29	IO	汎用入出力	V22
GPIO0_30	IO	汎用入出力	V23
GPIO0_31	IO	汎用入出力	T23
GPIO0_32	IO	汎用入出力	N21
GPIO0_33	IO	汎用入出力	N22
GPIO0_34	IO	汎用入出力	N23
GPIO0_35	IO	汎用入出力	P27
GPIO0_36	IO	汎用入出力	P26
GPIO0_37	IO	汎用入出力	V21
GPIO0_38	IO	汎用入出力	W26
GPIO0_39	IO	汎用入出力	N24
GPIO0_40	IO	汎用入出力	N25

表 5-26. GPIO0 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
GPIO0_41	IO	汎用入出力	R27
GPIO0_42	IO	汎用入出力	P21
GPIO0_43 ⁽¹⁾	IO	汎用入出力	P22
GPIO0_44 ⁽¹⁾	IO	汎用入出力	P23
GPIO0_45	IO	汎用入出力	W27
GPIO0_46	IO	汎用入出力	W25
GPIO0_47	IO	汎用入出力	W24
GPIO0_48	IO	汎用入出力	W23
GPIO0_49	IO	汎用入出力	W22
GPIO0_50	IO	汎用入出力	W21
GPIO0_51	IO	汎用入出力	Y26
GPIO0_52	IO	汎用入出力	Y27
GPIO0_53	IO	汎用入出力	AA24
GPIO0_54	IO	汎用入出力	AA27
GPIO0_55	IO	汎用入出力	AA25
GPIO0_56	IO	汎用入出力	AB25
GPIO0_57	IO	汎用入出力	AA23
GPIO0_58	IO	汎用入出力	AA22
GPIO0_59	IO	汎用入出力	AB26
GPIO0_60	IO	汎用入出力	AB27
GPIO0_61	IO	汎用入出力	AB24
GPIO0_62	IO	汎用入出力	AC27
GPIO0_63	IO	汎用入出力	AB23
GPIO0_64	IO	汎用入出力	AC26
GPIO0_65 ⁽¹⁾	IO	汎用入出力	J27
GPIO0_66 ⁽¹⁾	IO	汎用入出力	H27
GPIO0_67 ⁽¹⁾	IO	汎用入出力	G27
GPIO0_68 ⁽¹⁾	IO	汎用入出力	G26
GPIO0_69 ⁽¹⁾	IO	汎用入出力	H26
GPIO0_70 ⁽¹⁾	IO	汎用入出力	F27
GPIO0_71 ⁽¹⁾	IO	汎用入出力	F26
GPIO0_72 ⁽¹⁾	IO	汎用入出力	H21
GPIO0_73	IO	汎用入出力	AF25
GPIO0_74	IO	汎用入出力	AG26
GPIO0_75	IO	汎用入出力	AF27
GPIO0_76	IO	汎用入出力	AE23
GPIO0_77	IO	汎用入出力	AG25
GPIO0_78	IO	汎用入出力	AF24
GPIO0_79	IO	汎用入出力	AD23
GPIO0_80	IO	汎用入出力	AE27
GPIO0_81	IO	汎用入出力	AC25
GPIO0_82	IO	汎用入出力	AD27
GPIO0_83	IO	汎用入出力	AE24
GPIO0_84	IO	汎用入出力	AE26

表 5-26. GPIO0 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
GPIO0_85	IO	汎用入出力	AD25
GPIO0_86	IO	汎用入出力	AC24

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカルリファレンス マニュアルの「デバイス構成」の章を参照してください。

表 5-27. GPIO1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
GPIO1_7	IO	汎用入出力	A25
GPIO1_8	IO	汎用入出力	A26
GPIO1_9	IO	汎用入出力	B25
GPIO1_10	IO	汎用入出力	F23
GPIO1_11	IO	汎用入出力	D25
GPIO1_12	IO	汎用入出力	C26
GPIO1_13	IO	汎用入出力	C27
GPIO1_14	IO	汎用入出力	F24
GPIO1_15	IO	汎用入出力	B20
GPIO1_16 ⁽¹⁾	IO	汎用入出力	C20
GPIO1_17	IO	汎用入出力	D20
GPIO1_18	IO	汎用入出力	E19
GPIO1_19	IO	汎用入出力	E20
GPIO1_20	IO	汎用入出力	F19
GPIO1_21	IO	汎用入出力	F20
GPIO1_22	IO	汎用入出力	E22
GPIO1_23	IO	汎用入出力	B21
GPIO1_24	IO	汎用入出力	D22
GPIO1_25	IO	汎用入出力	C22
GPIO1_26	IO	汎用入出力	D23
GPIO1_27	IO	汎用入出力	B22
GPIO1_28	IO	汎用入出力	C24
GPIO1_29	IO	汎用入出力	A22
GPIO1_30	IO	汎用入出力	A23
GPIO1_31 ⁽¹⁾	IOD	汎用入出力	B23
GPIO1_42 ⁽¹⁾	IO	汎用入出力	H25
GPIO1_43 ⁽¹⁾	IO	汎用入出力	J23
GPIO1_44 ⁽¹⁾	IO	汎用入出力	H20
GPIO1_45 ⁽¹⁾	IO	汎用入出力	H23
GPIO1_46 ⁽¹⁾	IO	汎用入出力	H24
GPIO1_47 ⁽¹⁾	IO	汎用入出力	H22
GPIO1_48 ⁽¹⁾	IO	汎用入出力	B24
GPIO1_49 ⁽¹⁾	IO	汎用入出力	A24
GPIO1_50	IO	汎用入出力	E25
GPIO1_51	IO	汎用入出力	B27
GPIO1_52 ⁽²⁾	IO	汎用入出力	AG24

表 5-27. GPIO1 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
GPIO1_53 ⁽²⁾	IO	汎用入出力	AF23
GPIO1_54 ⁽²⁾	IO	汎用入出力	AG23
GPIO1_55 ⁽²⁾	IO	汎用入出力	AG22
GPIO1_56 ⁽²⁾	IO	汎用入出力	AB21
GPIO1_57 ⁽²⁾	IO	汎用入出力	AB20
GPIO1_58 ⁽²⁾	IO	汎用入出力	AG21
GPIO1_59 ⁽²⁾	IO	汎用入出力	AG20
GPIO1_60 ⁽²⁾	IO	汎用入出力	AC21
GPIO1_61 ⁽²⁾	IO	汎用入出力	AD21
GPIO1_62 ⁽²⁾	IO	汎用入出力	AF18
GPIO1_63 ⁽²⁾	IO	汎用入出力	AF19
GPIO1_64 ⁽²⁾	IO	汎用入出力	AG18
GPIO1_65 ⁽²⁾	IO	汎用入出力	AG17
GPIO1_66 ⁽²⁾	IO	汎用入出力	AA20
GPIO1_67 ⁽²⁾	IO	汎用入出力	AB19
GPIO1_68 ⁽²⁾	IO	汎用入出力	AE20
GPIO1_69 ⁽²⁾	IO	汎用入出力	AF21
GPIO1_70 ⁽²⁾	IO	汎用入出力	AE19
GPIO1_71 ⁽²⁾	IO	汎用入出力	AD20

- (1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。
- (2) この GPIO 信号を使用するには、詳細について「OLDIO 信号の説明」を参照してください。

5.3.11.2 MCU ドメイン

表 5-28. MCU_GPIO0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCU_GPIO0_0 ⁽¹⁾	IO	汎用入出力	C12
MCU_GPIO0_1 ⁽¹⁾	IO	汎用入出力	A10
MCU_GPIO0_2	IO	汎用入出力	A9
MCU_GPIO0_3	IO	汎用入出力	B12
MCU_GPIO0_4	IO	汎用入出力	C11
MCU_GPIO0_5	IO	汎用入出力	B8
MCU_GPIO0_6	IO	汎用入出力	B4
MCU_GPIO0_7 ⁽¹⁾	IO	汎用入出力	B5
MCU_GPIO0_8 ⁽¹⁾	IO	汎用入出力	C5
MCU_GPIO0_9	IO	汎用入出力	B3
MCU_GPIO0_10	IO	汎用入出力	C8
MCU_GPIO0_11 ⁽¹⁾	IO	汎用入出力	C4
MCU_GPIO0_12 ⁽¹⁾	IO	汎用入出力	C3
MCU_GPIO0_13	IO	汎用入出力	B2
MCU_GPIO0_14	IO	汎用入出力	D8
MCU_GPIO0_15 ⁽¹⁾	IO	汎用入出力	C1
MCU_GPIO0_16 ⁽¹⁾	IO	汎用入出力	B1
MCU_GPIO0_17	IOD	汎用入出力	B13

表 5-28. MCU_GPIO0 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCU_GPIO0_18	IOD	汎用入出力	E11
MCU_GPIO0_19	IOD	汎用入出力	B9
MCU_GPIO0_20	IOD	汎用入出力	D11
MCU_GPIO0_21	IO	汎用入出力	E13
MCU_GPIO0_22	IO	汎用入出力	A8
MCU_GPIO0_23	IO	汎用入出力	F12

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

5.3.12 GPMC

5.3.12.1 メイン ドメイン

表 5-29. GPMC0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
GPMC0_ADVn_ALE	O	GPMC アドレス有効 (アクティブ Low) またはアドレス ラッチ イネーブル	N21
GPMC0_CLK	O	GPMC クロック	T23
GPMC0_DIR	O	GPMC データ バス信号方向制御	N25
GPMC0_FCLK_MUX	O	GPMC 機能クロック出力	T23
GPMC0_OEn_REn	O	GPMC 出力イネーブル (アクティブ Low) または読み出しイネーブル (アクティブ Low)	N22
GPMC0_WEn	O	GPMC 書き込みイネーブル (アクティブ Low)	N23
GPMC0_WPn	O	GPMC フラッシュ書き込み保護 (アクティブ Low)	N24
GPMC0_A0	OZ	GPMC アドレス 0 出力。8 ビット データ非多重化メモリを効果的にアドレス指定するためにのみ使用されます。	W27
GPMC0_A1	OZ	GPMC アドレス 1 (A/D 非多重化モード) およびアドレス 17 (A/D 多重化モード) 出力	W25
GPMC0_A2	OZ	GPMC アドレス 2 (A/D 非多重化モード) およびアドレス 18 (A/D 多重化モード) 出力	W24
GPMC0_A3	OZ	GPMC アドレス 3 (A/D 非多重化モード) およびアドレス 19 (A/D 多重化モード) 出力	W23
GPMC0_A4	OZ	GPMC アドレス 4 (A/D 非多重化モード) およびアドレス 20 (A/D 多重化モード) 出力	W22
GPMC0_A5	OZ	GPMC アドレス 5 (A/D 非多重化モード) およびアドレス 21 (A/D 多重化モード) 出力	W21
GPMC0_A6	OZ	GPMC アドレス 6 (A/D 非多重化モード) およびアドレス 22 (A/D 多重化モード) 出力	Y26
GPMC0_A7	OZ	GPMC アドレス 7 (A/D 非多重化モード) およびアドレス 23 (A/D 多重化モード) 出力	Y27
GPMC0_A8	OZ	GPMC アドレス 8 (A/D 非多重化モード) およびアドレス 24 (A/D 多重化モード) 出力	AA24
GPMC0_A9	OZ	GPMC アドレス 9 (A/D 非多重化モード) およびアドレス 25 (A/D 多重化モード) 出力	AA27
GPMC0_A10	OZ	GPMC アドレス 10 (A/D 非多重化モード) およびアドレス 26 (A/D 多重化モード) 出力	AA25
GPMC0_A11	OZ	GPMC アドレス 11 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AB25

表 5-29. GPMC0 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
GPMC0_A12	OZ	GPMC アドレス 12 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AA23
GPMC0_A13	OZ	GPMC アドレス 13 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AA22
GPMC0_A14	OZ	GPMC アドレス 14 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AB26
GPMC0_A15	OZ	GPMC アドレス 15 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AB27
GPMC0_A16	OZ	GPMC アドレス 16 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AB24
GPMC0_A17	OZ	GPMC アドレス 17 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AC27
GPMC0_A18	OZ	GPMC アドレス 18 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AB23
GPMC0_A19	OZ	GPMC アドレス 19 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AC26
GPMC0_A20	OZ	GPMC アドレス 20 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	P23
GPMC0_A21	OZ	GPMC アドレス 21 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	W26
GPMC0_A22	OZ	GPMC アドレス 22 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	N24
GPMC0_AD0	IO	GPMC データ 0 入出力 (A/D 非多重化モード) および追加アドレス 1 出力 (A/D 多重化モード)	R22
GPMC0_AD1	IO	GPMC データ 1 入出力 (A/D 非多重化モード) および追加アドレス 2 出力 (A/D 多重化モード)	R23
GPMC0_AD2	IO	GPMC データ 2 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	R26
GPMC0_AD3	IO	GPMC データ 3 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	T27
GPMC0_AD4	IO	GPMC データ 4 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	T25
GPMC0_AD5	IO	GPMC データ 5 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	T24
GPMC0_AD6	IO	GPMC データ 6 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	T21
GPMC0_AD7	IO	GPMC データ 7 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	T22
GPMC0_AD8	IO	GPMC データ 8 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	U27
GPMC0_AD9	IO	GPMC データ 9 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	U26
GPMC0_AD10	IO	GPMC データ 10 入出力 (A/D 非多重化モード) および追加アドレス 11 出力 (A/D 多重化モード)	V27
GPMC0_AD11	IO	GPMC データ 11 入出力 (A/D 非多重化モード) および追加アドレス 12 出力 (A/D 多重化モード)	V25
GPMC0_AD12	IO	GPMC データ 12 入出力 (A/D 非多重化モード) および追加アドレス 13 出力 (A/D 多重化モード)	V26

表 5-29. GPMC0 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
GPMC0_AD13	IO	GPMC データ 13 入出力 (A/D 非多重化モード) および追加アドレス 14 出力 (A/D 多重化モード)	V24
GPMC0_AD14	IO	GPMC データ 14 入出力 (A/D 非多重化モード) および追加アドレス 15 出力 (A/D 多重化モード)	V22
GPMC0_AD15	IO	GPMC データ 15 入出力 (A/D 非多重化モード) および追加アドレス 16 出力 (A/D 多重化モード)	V23
GPMC0_BE0n_CLE	O	GPMC 下位バイト イネーブル (アクティブ Low) またはコマンドラッチ イネーブル	P27
GPMC0_BE1n	O	GPMC 上位バイト イネーブル (アクティブ Low)	P26
GPMC0_CS0	O	GPMC チップ セレクト 0 (アクティブ Low)	R27
GPMC0_CS1	O	GPMC チップ セレクト 1 (アクティブ Low)	P21
GPMC0_CS2	O	GPMC チップ セレクト 2 (アクティブ Low)	P22
GPMC0_CS3	O	GPMC チップ セレクト 3 (アクティブ Low)	P23
GPMC0_WAIT0	I	GPMC ウェイト外部表示	V21
GPMC0_WAIT1	I	GPMC ウェイト外部表示	W26

5.3.13 I2C

5.3.13.1 メイン ドメイン

表 5-30. I2C0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
I2C0_SCL	IOD	I2C クロック	D23
I2C0_SDA	IOD	I2C データ	B22

表 5-31. I2C1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
I2C1_SCL	IOD	I2C クロック	C24
I2C1_SDA	IOD	I2C データ	A22

表 5-32. I2C2 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
I2C2_SCL	IOD	I2C クロック	G26、P22
I2C2_SDA	IOD	I2C データ	G27、H27、P23

表 5-33. I2C3 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
I2C3_SCL	IOD	I2C クロック	E22、H26
I2C3_SDA	IOD	I2C データ	B21、F27

表 5-34. I2C4 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
I2C4_SCL	IOD	I2C クロック	D22、R27
I2C4_SDA	IOD	I2C データ	C22、P21

5.3.13.2 MCU ドメイン

表 5-35. MCU_I2C0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCU_I2C0_SCL	IOD	I2C クロック	B13
MCU_I2C0_SDA	IOD	I2C データ	E11

5.3.13.3 WKUP ドメイン

表 5-36. WKUP_I2C0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
WKUP_I2C0_SCL	IOD	I2C クロック	B9
WKUP_I2C0_SDA	IOD	I2C データ	D11

5.3.14 MCAN

5.3.14.1 メイン ドメイン

表 5-37. MCAN0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCAN0_RX	I	MCAN 受信データ	C22
MCAN0_TX	O	MCAN 送信データ	D22

表 5-38. MCAN1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCAN1_RX	I	MCAN 受信データ	A24、J23、P23
MCAN1_TX	O	MCAN 送信データ	B24、H25、P22

5.3.14.2 MCU ドメイン

表 5-39. MCU_MCAN0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCU_MCAN0_RX	I	MCAN 受信データ	D8
MCU_MCAN0_TX	O	MCAN 送信データ	B2

表 5-40. MCU_MCAN1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCU_MCAN1_RX	I	MCAN 受信データ	B1
MCU_MCAN1_TX	O	MCAN 送信データ	C1

5.3.15 MCASP

5.3.15.1 メイン ドメイン

表 5-41. MCASP0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCASP0_ACLKR	IO	MCASP 受信ビットクロック	F24
MCASP0_ACLKX	IO	MCASP 送信ビットクロック	D25
MCASP0_AFSR	IO	MCASP 受信フレーム同期	C27
MCASP0_AFSX	IO	MCASP 送信フレーム同期	C26
MCASP0_AXR0	IO	MCASP シリアル データ (入力 / 出力)	F23
MCASP0_AXR1	IO	MCASP シリアル データ (入力 / 出力)	B25
MCASP0_AXR2	IO	MCASP シリアル データ (入力 / 出力)	A26
MCASP0_AXR3	IO	MCASP シリアル データ (入力 / 出力)	A25

表 5-42. MCASP1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCASP1_ACLKR	IO	MCASP 受信ビットクロック	H26、J22、P23
MCASP1_ACLKX	IO	MCASP 送信ビットクロック	F26、N27、P27
MCASP1_AFSR	IO	MCASP 受信フレーム同期	F27、K22、P22
MCASP1_AFSX	IO	MCASP 送信フレーム同期	H21、M27、V21
MCASP1_AXR0	IO	MCASP シリアル データ (入力 / 出力)	G26、M26、N23
MCASP1_AXR1	IO	MCASP シリアル データ (入力 / 出力)	G27、L21、N22
MCASP1_AXR2	IO	MCASP シリアル データ (入力 / 出力)	H27、K22、N21
MCASP1_AXR3	IO	MCASP シリアル データ (入力 / 出力)	J22、J27、T23
MCASP1_AXR4	IO	MCASP シリアル データ (入力 / 出力)	F27、P22
MCASP1_AXR5	IO	MCASP シリアル データ (入力 / 出力)	H26、P23

表 5-43. MCASP2 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCASP2_ACLKR	IO	MCASP 受信ビットクロック	V23
MCASP2_ACLKX	IO	MCASP 送信ビットクロック	B21、V24
MCASP2_AFSR	IO	MCASP 受信フレーム同期	V22
MCASP2_AFSX	IO	MCASP 送信フレーム同期	E22、V26
MCASP2_AXR0	IO	MCASP シリアル データ (入力 / 出力)	D22、U27
MCASP2_AXR1	IO	MCASP シリアル データ (入力 / 出力)	C22、U26
MCASP2_AXR2	IO	MCASP シリアル データ (入力 / 出力)	V27
MCASP2_AXR3	IO	MCASP シリアル データ (入力 / 出力)	V25
MCASP2_AXR4	IO	MCASP シリアル データ (入力 / 出力)	R22、V22
MCASP2_AXR5	IO	MCASP シリアル データ (入力 / 出力)	R23、V23
MCASP2_AXR6	IO	MCASP シリアル データ (入力 / 出力)	R26
MCASP2_AXR7	IO	MCASP シリアル データ (入力 / 出力)	T27
MCASP2_AXR8	IO	MCASP シリアル データ (入力 / 出力)	T25
MCASP2_AXR9	IO	MCASP シリアル データ (入力 / 出力)	T24

表 5-43. MCASP2 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCASP2_AXR10	IO	MCASP シリアル データ (入力 / 出力)	T21
MCASP2_AXR11	IO	MCASP シリアル データ (入力 / 出力)	T22
MCASP2_AXR12	IO	MCASP シリアル データ (入力 / 出力)	P26
MCASP2_AXR13	IO	MCASP シリアル データ (入力 / 出力)	N25
MCASP2_AXR14	IO	MCASP シリアル データ (入力 / 出力)	R27
MCASP2_AXR15	IO	MCASP シリアル データ (入力 / 出力)	P21

表 5-44. MCASP3 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCASP3_ACLKR	IO	MCASP 受信ビット クロック	Y26
MCASP3_ACLKX	IO	MCASP 送信ビット クロック	W27
MCASP3_AFSR	IO	MCASP 受信フレーム同期	Y27
MCASP3_AFSX	IO	MCASP 送信フレーム同期	W25
MCASP3_AXR0	IO	MCASP シリアル データ (入力 / 出力)	W24
MCASP3_AXR1	IO	MCASP シリアル データ (入力 / 出力)	W23
MCASP3_AXR2	IO	MCASP シリアル データ (入力 / 出力)	W22
MCASP3_AXR3	IO	MCASP シリアル データ (入力 / 出力)	W21
MCASP3_AXR4	IO	MCASP シリアル データ (入力 / 出力)	AA24
MCASP3_AXR5	IO	MCASP シリアル データ (入力 / 出力)	AA27
MCASP3_AXR6	IO	MCASP シリアル データ (入力 / 出力)	Y26
MCASP3_AXR7	IO	MCASP シリアル データ (入力 / 出力)	Y27
MCASP3_AXR8	IO	MCASP シリアル データ (入力 / 出力)	J27
MCASP3_AXR9	IO	MCASP シリアル データ (入力 / 出力)	H27

表 5-45. MCASP4 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCASP4_ACLKR	IO	MCASP 受信ビット クロック	AA25
MCASP4_ACLKX	IO	MCASP 送信ビット クロック	AB23
MCASP4_AFSR	IO	MCASP 受信フレーム同期	AB25
MCASP4_AFSX	IO	MCASP 送信フレーム同期	AC26
MCASP4_AXR0	IO	MCASP シリアル データ (入力 / 出力)	AA23
MCASP4_AXR1	IO	MCASP シリアル データ (入力 / 出力)	AA22
MCASP4_AXR2	IO	MCASP シリアル データ (入力 / 出力)	AB26
MCASP4_AXR3	IO	MCASP シリアル データ (入力 / 出力)	AB27
MCASP4_AXR4	IO	MCASP シリアル データ (入力 / 出力)	AB24
MCASP4_AXR5	IO	MCASP シリアル データ (入力 / 出力)	AC27
MCASP4_AXR6	IO	MCASP シリアル データ (入力 / 出力)	AA25
MCASP4_AXR7	IO	MCASP シリアル データ (入力 / 出力)	AB25
MCASP4_AXR8	IO	MCASP シリアル データ (入力 / 出力)	G27
MCASP4_AXR9	IO	MCASP シリアル データ (入力 / 出力)	G26

5.3.16 MCSPi

5.3.16.1 メイン ドメイン

表 5-46. MCSPi0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
SPI0_CLK	IO	SPI クロック	D20
SPI0_CS0	IO	SPI チップ セレクト 0	B20
SPI0_CS1	IO	SPI チップ セレクト 1	C20
SPI0_CS2	IO	SPI チップ セレクト 2	E22
SPI0_CS3	IO	SPI チップ セレクト 3	B21
SPI0_D0	IO	SPI データ 0	E19
SPI0_D1	IO	SPI データ 1	E20

表 5-47. MCSPi1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
SPI1_CLK	IO	SPI クロック	H22、M26
SPI1_CS0	IO	SPI チップ セレクト 0	H24、L21
SPI1_CS1	IO	SPI チップ セレクト 1	A24、K22
SPI1_CS2	IO	SPI チップ セレクト 2	H20
SPI1_CS3	IO	SPI チップ セレクト 3	B24
SPI1_D0	IO	SPI データ 0	H25、N27
SPI1_D1	IO	SPI データ 1	J23、M27

表 5-48. MCSPi2 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
SPI2_CLK	IO	SPI クロック	A22、B24、F24
SPI2_CS0	IO	SPI チップ セレクト 0	C27、D23、H22
SPI2_CS1	IO	SPI チップ セレクト 1	C24、D25、H25
SPI2_CS2	IO	SPI チップ セレクト 2	B22、B25、H24
SPI2_CS3	IO	SPI チップ セレクト 3	A23、C26、J23
SPI2_D0	IO	SPI データ 0	A25、F19、H20
SPI2_D1	IO	SPI データ 1	A26、F20、H23

5.3.16.2 MCU ドメイン

表 5-49. MCU_MCSPi0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCU_SPI0_CLK	IO	SPI クロック	A9
MCU_SPI0_CS0	IO	SPI チップ セレクト 0	C12
MCU_SPI0_CS1	IO	SPI チップ セレクト 1	A10
MCU_SPI0_CS2	IO	SPI チップ セレクト 2	B1、B3
MCU_SPI0_CS3	IO	SPI チップ セレクト 3	B2
MCU_SPI0_D0	IO	SPI データ 0	B12

表 5-49. MCU_MCSPi0 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCU_SPI0_D1	IO	SPI データ 1	C11

表 5-50. MCU_MCSPi1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCU_SPI1_CLK	IO	SPI クロック	B1、C3
MCU_SPI1_CS0	IO	SPI チップ セレクト 0	C4
MCU_SPI1_CS1	IO	SPI チップ セレクト 2	C1
MCU_SPI1_CS2	IO	SPI チップ セレクト 2	B1、C8
MCU_SPI1_CS3	IO	SPI チップ セレクト 3	D8
MCU_SPI1_D0	IO	SPI データ 0	B5
MCU_SPI1_D1	IO	SPI データ 1	C5

5.3.17 MDIO

5.3.17.1 メイン ドメイン

表 5-51. MDIO0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MDIO0_MDC	O	MDIO クロック	AC24
MDIO0_MDIO	IO	MDIO データ	AD25

5.3.18 MMC

5.3.18.1 メイン ドメイン

表 5-52. MMC0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MMC0_CALPAD ⁽¹⁾	A	MMC/SD/SDIO 較正抵抗	AC1
MMC0_CLK	IO	MMC/SD/SDIO クロック	AE1
MMC0_CMD	IO	MMC/SD/SDIO コマンド	AE2
MMC0_DS	IO	MMC データ ストロープ	AD1
MMC0_DAT0	IO	MMC/SD/SDIO データ	AD3
MMC0_DAT1	IO	MMC/SD/SDIO データ	AD2
MMC0_DAT2	IO	MMC/SD/SDIO データ	AB4
MMC0_DAT3	IO	MMC/SD/SDIO データ	AC2
MMC0_DAT4	IO	MMC/SD/SDIO データ	AC3
MMC0_DAT5	IO	MMC/SD/SDIO データ	AB3
MMC0_DAT6	IO	MMC/SD/SDIO データ	AF1
MMC0_DAT7	IO	MMC/SD/SDIO データ	AB2

(1) このピンと VSS との間に 10kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

表 5-53. MMC1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MMC1_CLK	IO	MMC/SD/SDIO クロック	H24
MMC1_CMD	IO	MMC/SD/SDIO コマンド	H22
MMC1_SDCD	I	SD カード検出	B24
MMC1_SDWP	I	SD 書き込み保護	A24
MMC1_DAT0	IO	MMC/SD/SDIO データ	H23
MMC1_DAT1	IO	MMC/SD/SDIO データ	H20
MMC1_DAT2	IO	MMC/SD/SDIO データ	J23
MMC1_DAT3	IO	MMC/SD/SDIO データ	H25

表 5-54. MMC2 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MMC2_CLK	IO	MMC/SD/SDIO クロック	H26
MMC2_CMD	IO	MMC/SD/SDIO コマンド	F27
MMC2_SDCD (1)	I	SD カード検出	C24, E22, F26
MMC2_SDWP (1)	I	SD 書き込み保護	A22, B21, H21
MMC2_DAT0	IO	MMC/SD/SDIO データ	G26
MMC2_DAT1	IO	MMC/SD/SDIO データ	G27
MMC2_DAT2	IO	MMC/SD/SDIO データ	H27
MMC2_DAT3	IO	MMC/SD/SDIO データ	J27

(1) MMC2 ポートが UHS-I データ転送モードのいずれかに遷移するときに、VDDSHV6 I/O 電源レールが動作電圧を 3.3V から 1.8V に変更する必要がある UHS-I SD カードに接続されている場合、これらの MMCSD2 ホストコントローラの入力信号は、VDDSHV6 I/O 電源レールではなく、VDDSHV0 I/O 電源レールから給電されるピンに多重化される必要があります。

5.3.19 OLDI

5.3.19.1 メイン ドメイン

表 5-55. OLDI0 信号の説明

信号名 [1] (1)	信号の種類 [2]	説明 [3]	AMW ピン [4]
OLDI0_A0N	IO	OLDI 差動データ (負)	AF23
OLDI0_A0P	IO	OLDI 差動データ (正)	AG24
OLDI0_A1N	IO	OLDI 差動データ (負)	AG22
OLDI0_A1P	IO	OLDI 差動データ (正)	AG23
OLDI0_A2N	IO	OLDI 差動データ (負)	AB20
OLDI0_A2P	IO	OLDI 差動データ (正)	AB21
OLDI0_A3N	IO	OLDI 差動データ (負)	AG20
OLDI0_A3P	IO	OLDI 差動データ (正)	AG21
OLDI0_A4N	IO	OLDI 差動データ (負)	AD21
OLDI0_A4P	IO	OLDI 差動データ (正)	AC21
OLDI0_A5N	IO	OLDI 差動データ (負)	AF19
OLDI0_A5P	IO	OLDI 差動データ (正)	AF18
OLDI0_A6N	IO	OLDI 差動データ (負)	AG17
OLDI0_A6P	IO	OLDI 差動データ (正)	AG18

表 5-55. OLDIO 信号の説明 (続き)

信号名 [1] ⁽¹⁾	信号の種類 [2]	説明 [3]	AMW ピン [4]
OLDIO_A7N	IO	OLDI 差動データ (負)	AB19
OLDIO_A7P	IO	OLDI 差動データ (正)	AA20
OLDIO_CLK0N	IO	OLDI 差動クロック (負)	AF21
OLDIO_CLK0P	IO	OLDI 差動クロック (正)	AE20
OLDIO_CLK1N	IO	OLDI 差動クロック (負)	AD20
OLDIO_CLK1P	IO	OLDI 差動クロック (正)	AE19

(1) これらのピンの GPIO 機能は、各 OLDI ペアの両方の PADCONFIG レジスタに対して MUXMODE = 7 を設定することで構成されます。正のピンの PADCONFIG レジスタは、正および負のピンの ST_EN と PULLUDEN を制御します。これらのピンにはプルダウンのみがあり、PULLUDEN はアクティブ High です。

5.3.20 OSPI

5.3.20.1 メイン ドメイン

表 5-56. OSPI0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
OSPI0_CLK	O	OSPI クロック	L24
OSPI0_DQS	I	OSPI データ ストロープ (DQS) またはループバック クロック 入力	L22
OSPI0_ECC_FAIL	I	OSPI ECC ステータス	J22
OSPI0_LBCLKO	IO	OSPI ループバック クロック出力	L23
OSPI0_CSn0	O	OSPI チップ セレクト 0 (アクティブ Low)	K26
OSPI0_CSn1	O	OSPI チップ セレクト 1 (アクティブ Low)	K23
OSPI0_CSn2	O	OSPI チップ セレクト 2 (アクティブ Low)	K22
OSPI0_CSn3	O	OSPI チップ セレクト 3 (アクティブ Low)	J22
OSPI0_D0	IO	OSPI データ 0	K27
OSPI0_D1	IO	OSPI データ 1	L27
OSPI0_D2	IO	OSPI データ 2	L26
OSPI0_D3	IO	OSPI データ 3	L25
OSPI0_D4	IO	OSPI データ 4	L21
OSPI0_D5	IO	OSPI データ 5	M26
OSPI0_D6	IO	OSPI データ 6	N27
OSPI0_D7	IO	OSPI データ 7	M27
OSPI0_RESET_OUT0	O	OSPI のリセット	J22
OSPI0_RESET_OUT1	O	OSPI のリセット	K22

5.3.21 電源

表 5-57. 電源信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
CAP_VDDSD0 ⁽¹⁾	CAP	IO グループ 0 の外部コンデンサ接続	H17
CAP_VDDSD1 ⁽¹⁾	CAP	IO グループ 1 の外部コンデンサ接続	L19
CAP_VDDSD2 ⁽¹⁾	CAP	IO グループ 2 の外部コンデンサ接続	U20
CAP_VDDSD3 ⁽¹⁾	CAP	IO グループ 3 の外部コンデンサ接続	N20

表 5-57. 電源信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
CAP_VDD5 ⁽¹⁾	CAP	IO グループ 5 の外部コンデンサ接続	G19
CAP_VDD6 ⁽¹⁾	CAP	IO グループ 6 の外部コンデンサ接続	J20
CAP_VDD_CANUART ⁽¹⁾	CAP	IO CANUART の外部コンデンサ接続	H8
CAP_VDD_MCU ⁽¹⁾	CAP	IO MCU の外部コンデンサ接続	J10
VDDA_0P85_SERDES	PWR	SERDES アナログ電源	H12、H13
VDDA_0P85_SERDES_C	PWR	SERDES クロック アナログ電源	J13
VDDA_0P85_DLL_MMC0	PWR	MMC0 DLL アナログ電源	W9
VDDA_1P8_CSI_DSI	PWR	CSIRX および DSITX 1.8V アナログ電源	W13、W16、Y13
VDDA_1P8_SERDES	PWR	SERDES 1.8V アナログ電源	G13
VDDA_1P8_OLDI0	PWR	OLDI アナログ電源	W18、Y19
VDDA_1P8_USB0	PWR	USB 1.8V アナログ電源	Y12
VDDA_1P8_USB1	PWR	USB 1.8V アナログ電源	H16
VDDA_3P3_USB0	PWR	USB 3.3V アナログ電源	Y11
VDDA_3P3_USB1	PWR	USB 3.3V アナログ電源	G15
VDDA_CORE_CSI_DSI	PWR	CSIRX および DSITX コア電源	W15、Y15
VDDA_CORE_CSI_DSI_CLK	PWR	CSIRX および DSITX クロック コア電源	Y16
VDDA_CORE_USB0	PWR	USB コア電源	W11
VDDA_CORE_USB1	PWR	USB コア電源	H15
VDDA_DDR_PLL0	PWR	DDR デスキュー PLL アナログ電源	P9
VDDA_MCU	PWR	POR および MCU PLL アナログ電源	G11、H11
VDDA_PLL0	PWR	MAIN PLL アナログ電源	L15
VDDA_PLL1	PWR	PER0 PLL および PER1 PLL アナログ電源	K10
VDDA_PLL2	PWR	VIDEO PLL アナログ電源	M12
VDDA_PLL3	PWR	C7x PLL および DSS PLL アナログ電源	R11
VDDA_PLL4	PWR	ARM0 PLL および SMS PLL アナログ電源	V18
VDDA_PLL5	PWR	DDR PLL アナログ電源	P16
VDDA_TEMP0	PWR	TEMP0 アナログ電源	Y17
VDDA_TEMP1	PWR	TEMP1 アナログ電源	T11
VDDA_TEMP2	PWR	TEMP2 アナログ電源	L9
VDDR_CORE	PWR	コア電源	M13、M19、N13、 N19、U10、U17、 V10、V17
VDDSHV0	PWR	IO グループ 0 の IO 電源	G18、H18
VDDSHV1	PWR	IO グループ 1 の IO 電源	K20、L20
VDDSHV2	PWR	IO グループ 2 の IO 電源	T19、T20
VDDSHV3	PWR	IO グループ 3 の IO 電源	M20、P20、R20
VDDSHV5	PWR	IO グループ 5 の IO 電源	H19
VDDSHV6	PWR	IO グループ 6 の IO 電源	J21
VDDSHV_CANUART	PWR	IO CANUART の IO 電源	H9
VDDSHV_MCU	PWR	IO MCU の IO 電源	H10
VDDS_DDR	PWR	DDR PHY IO 電源	AB1、D1、L7、L8、 N7、N8、T7、T8

表 5-57. 電源信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
VDDS_DDR_C	PWR	DDR クロック IO 電源	P8
VDDS_MMC0	PWR	MMC0 PHY IO 電源	Y9
VDDS_OSC0	PWR	MCU_OSC0 電源	K8
VDD_CANUART	PWR	CANUART コア電源	J8
VDD_CORE	PWR	コア電源	J11, J14, J16, J18, K11, K12, K14, K16, K18, K9, L12, L17, M10, M15, M17, M9, N10, N11, N14, N16, N18, P11, P12, P14, P18, R12, R13, R15, R17, R9, T13, T15, T17, T9, U12, U14, U16, U8, V12, V14, V16, V19, V8, W19, Y20, Y21
VDD_MMC0	PWR	MMC0 PHY コア電源	W10
VPP	PWR	eFuse ROM プログラミング電源	G9
VSS	GND	グラウンド	A1, A18, A21, A27, A4, A7, AA1, AA18, AA21, AA26, AA4, AD26, AG1, AG27, C2, C23, D26, E6, F15, F16, F17, F2, F21, G1, G10, G12, G14, G16, G17, G20, G3, G5, G8, H14, H4, H7, J12, J15, J17, J19, J26, J3, J5, J9, K1, K13, K15, K17, K19, L10, L11, L13, L14, L16, L18, M1, M11, M14, M16, M18, M7, M8, N12, N15, N17, N26, N9, P10, P13, P15, P17, P19, P5, P7, R1, R10, R14, R16, R18, R19, R4, R7, R8, T10, T12, T14, T16, T18, T26, U11, U13, U15, U18, U19, U3, U7, U9, V1, V11, V13, V15, V20, V4, V7, V9, W12, W14, W17, W20, W5, W8, Y10, Y14, Y18, Y7, Y8

(1) このピンは、常に 1 μ F のコンデンサを介して VSS に接続する必要があります。

5.3.22 予約済み

表 5-58. 予約済み信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
RSVD0	該当なし	予約済み、未接続のままにする必要あり	E9
RSVD1	該当なし	予約済み、未接続のままにする必要あり	AA19
RSVD2	該当なし	予約済み、未接続のままにする必要あり	AB7
RSVD3	該当なし	予約済み、未接続のままにする必要あり	AC5
RSVD4	該当なし	予約済み、未接続のままにする必要あり	AB10
RSVD5	該当なし	予約済み、未接続のままにする必要あり	AA12
RSVD6	該当なし	予約済み、未接続のままにする必要あり	AB12
RSVD7	該当なし	予約済み、未接続のままにする必要あり	AB13
RSVD8	該当なし	予約済み、未接続のままにする必要あり	AA15
RSVD9	該当なし	予約済み、未接続のままにする必要あり	AA14
RSVD10	該当なし	予約済み、未接続のままにする必要あり	L5
RSVD11	該当なし	予約済み、未接続のままにする必要あり	M6
RSVD12	該当なし	予約済み、未接続のままにする必要あり	AB16
RSVD13	該当なし	予約済み、未接続のままにする必要あり	AB18
RSVD14	該当なし	予約済み、未接続のままにする必要あり	C6
RSVD15	該当なし	予約済み、未接続のままにする必要あり	F8
RSVD16	該当なし	予約済み、未接続のままにする必要あり	B6
RSVD17	該当なし	予約済み、未接続のままにする必要あり	C17
RSVD18	該当なし	予約済み、未接続のままにする必要あり	D16
RSVD19	該当なし	予約済み、未接続のままにする必要あり	D14
RSVD20	該当なし	予約済み、未接続のままにする必要あり	D13
RSVD21	該当なし	予約済み、未接続のままにする必要あり	M2

5.3.23 SERDES

5.3.23.1 メインドメイン

表 5-59. PCIE0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
PCIE0_CLKREQn	IOD	PCIE クロック要求信号	F25

表 5-60. SERDES0 信号の説明

信号名 [1] (2)	信号の種類 [2]	説明 [3]	AMW ピン [4]
SERDES0_REXT (1)	A	SERDES PHY 外部キャリブレーション抵抗	E15
SERDES0_REFCLK0N	IO	SERDES PHY 基準クロック入出力 (負)	A17
SERDES0_REFCLK0P	IO	SERDES PHY 基準クロック入出力 (正)	A16
SERDES0_RX0_N	I	SERDES PHY 差動受信データ (負)	A20
SERDES0_RX0_P	I	SERDES PHY 差動受信データ (正)	A19
SERDES0_TX0_N	O	SERDES PHY 差動送信データ (負)	B19
SERDES0_TX0_P	O	SERDES PHY 差動送信データ (正)	B18

(1) このピンと VSS との間に 3.01kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

(2) これらのピンの機能は、SERDES0_LN0_CTRL によって制御されます。

表 5-61. SERDES1 信号の説明

信号名 [1] (2)	信号の種類 [2]	説明 [3]	AMW ピン [4]
SERDES1_REXT (1)	A	SERDES PHY 外部キャリブレーション抵抗	F14
SERDES1_REFCLK0N	IO	SERDES PHY 基準クロック入出力 (負)	B15
SERDES1_REFCLK0P	IO	SERDES PHY 基準クロック入出力 (正)	B16
SERDES1_RX0_N	I	SERDES PHY 差動受信データ (負)	C14
SERDES1_RX0_P	I	SERDES PHY 差動受信データ (正)	C15
SERDES1_TX0_N	O	SERDES PHY 差動送信データ (負)	A13
SERDES1_TX0_P	O	SERDES PHY 差動送信データ (正)	A14

(1) このピンと VSS との間に 3.01kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

(2) これらのピンの機能は、SERDES1_LN0_CTRL によって制御されます。

5.3.24 システム、その他

5.3.24.1 ブートモードの構成

5.3.24.1.1 メインドメイン

表 5-62. Sysboot 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
BOOTMODE00	I	ブートモード ピン 0	R22
BOOTMODE01	I	ブートモード ピン 1	R23
BOOTMODE02	I	ブートモード ピン 2	R26
BOOTMODE03	I	ブートモード ピン 3	T27
BOOTMODE04	I	ブートモード ピン 4	T25
BOOTMODE05	I	ブートモード ピン 5	T24
BOOTMODE06	I	ブートモード ピン 6	T21
BOOTMODE07	I	ブートモード ピン 7	T22
BOOTMODE08	I	ブートモード ピン 8	U27
BOOTMODE09	I	ブートモード ピン 9	U26
BOOTMODE10	I	ブートモード ピン 10	V27
BOOTMODE11	I	ブートモード ピン 11	V25
BOOTMODE12	I	ブートモード ピン 12	V26
BOOTMODE13	I	ブートモード ピン 13	V24
BOOTMODE14	I	ブートモード ピン 14	V22
BOOTMODE15	I	ブートモード ピン 15	V23

5.3.24.2 クロック

5.3.24.2.1 MCU ドメイン

表 5-63. MCU クロック信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCU_OSC0_XI	I	高周波数発振器入力	A5
MCU_OSC0_XO	O	高周波数発振器出力	A6

5.3.24.2.2 WKUP ドメイン

表 5-64. WKUP クロック信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
WKUP_LFOSC0_XI	I	低周波 (32.768 KHz) 発振器入力	A3
WKUP_LFOSC0_XO	O	低周波数 (32.768kHz) 発振器出力	A2

5.3.24.3 システム

5.3.24.3.1 メイン ドメイン

表 5-65. システム信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
AUDIO_EXT_REFCLK0	IO	McASP への外部クロック入力または McASP からの出力	E22、F23、W23
AUDIO_EXT_REFCLK1	IO	McASP への外部クロック入力または McASP からの出力	B21、C26、N24
AUDIO_EXT_REFCLK2	IO	McASP への外部クロック入力または McASP からの出力	W26
CLKOUT0	O	RMII クロック出力 (50MHz)。このピンは外部 RMII PHY へのクロックソース源に使用され、本デバイスを適切に動作させるためには、対応する RMII[x]_REF_CLK ピンにも配線する必要があります。	A23、AA22、AF24
EXTINTn	I	外部割り込み	B23
EXT_REFCLK1	I	メインドメインへの外部クロック入力	A23
MAIN_ERRORn	IO	MAIN ドメイン ESM からのエラー信号出力	B25、C20、N25
OBSCLK0	O	テストおよびデバッグを目的としたメインドメイン監視クロック出力	V27
OBSCLK1	O	テストおよびデバッグを目的としたメインドメイン監視クロック出力	D23
PORz_OUT	O	メインドメインの POR ステータス出力	D27
RESETSTATz	O	メインドメインのウォームリセットステータス出力	E27
RESET_REQz	I	メインドメインの外部ウォームリセット要求入力	E26
SYNC0_OUT	O	時間同期ルータからの CPTS タイムスタンプジェネレータビット 0 出力	D23
SYNC1_OUT	O	時間同期ルータからの CPTS タイムスタンプジェネレータビット 1 出力	A23
SYNC2_OUT	O	時間同期ルータからの CPTS タイムスタンプジェネレータビット 2 出力	D22
SYNC3_OUT	O	時間同期ルータからの CPTS タイムスタンプジェネレータビット 3 出力	C22
SYSCLKOUT0	O	テストおよびデバッグ専用メインドメインのシステムクロック出力 (4 分周)	A23

5.3.24.3.2 MCU ドメイン

表 5-66. MCU システム信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCU_ERRORn	IO	MCU ドメイン ESM からのエラー信号出力	B7
MCU_EXT_REFCLK0	I	MCU ドメインへの外部入力	A10、C1
MCU_OBSCLK0	O	テストおよびデバッグを目的とした MCU ドメイン監視クロック出力	A10

表 5-66. MCU システム信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCU_PORz	I	MCU と MAIN ドメインのコールドリセット	E8
MCU_RESETSTATz	O	MCU ドメイン ウォームリセット ステータス出力	E13
MCU_RESEZ	I	MCU と MAIN ドメインのウォームリセット	D10
MCU_SYSCLKOUT0	O	テストおよびデバッグ専用 MCU ドメインのシステム クロック出力 (4 分周)	A10

5.3.24.3.3 WKUP ドメイン

表 5-67. WKUP システム信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
PMIC_LPM_EN0	O	デュアル機能 PMIC 制御出力、低消費電力モード (アクティブ Low) または PMIC イネーブル (アクティブ High)	A8
WKUP_CLKOUT0	O	WKUP ドメインの CLKOUT0 出力	F12

5.3.24.4 VMON

表 5-68. VMON 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
VMON_1P8_SOC	A	1.8V SoC 電源用電圧モニタ入力	J7
VMON_3P3_SOC	A	3.3V SoC 電源用電圧モニタ入力	K7
VMON_ER_VSYS	A	電圧モニタ入力、固定 0.45V ($\pm 3\%$) スレッショルド。PMIC 入力電源などのより高い電圧レールを監視するには、外付けの高精度分圧器と組み合わせて使用します。	G7

5.3.25 TIMER

5.3.25.1 メイン ドメイン

表 5-69. TIMER 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C24、H25
TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	A22、J23
TIMER_IO2	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	D22、H20
TIMER_IO3	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C22、H23
TIMER_IO4	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	A23、H24
TIMER_IO5	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B22、H22
TIMER_IO6	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B24、E22
TIMER_IO7	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	A24、B21

5.3.25.2 MCU ドメイン

表 5-70. MCU_TIMER 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCU_TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B5、D8
MCU_TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	A10、C5
MCU_TIMER_IO2	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C1
MCU_TIMER_IO3	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B1

5.3.25.3 WKUP ドメイン

表 5-71. WKUP_TIMER 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
WKUP_TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B2、C4
WKUP_TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C12、C3

5.3.26 UART

5.3.26.1 メイン ドメイン

表 5-72. UART0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	E22
UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B21
UART0_RXD	I	UART 受信データ	F19
UART0_TXD	O	UART 送信データ	F20

表 5-73. UART1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
UART1_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	A25
UART1_DCDn	I	UART DCD (Data Carrier Detect) (アクティブ Low)	D23
UART1_DSRn	I	UART DSR (Data Set Ready) (アクティブ Low)	B22
UART1_DTRn	O	UART DTR (Data Terminal Ready) (アクティブ Low)	D22
UART1_RIn	I	UART リング インジケータ	C22
UART1_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	A26
UART1_RXD	I	UART 受信データ	C24、C27
UART1_TXD	O	UART 送信データ	A22、F24

表 5-74. UART2 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
UART2_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	AC26、H23、V22

表 5-74. UART2 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
UART2_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	AB23, H20, V23
UART2_RXD	I	UART 受信データ	E22, H25, U27, W27
UART2_TXD	O	UART 送信データ	B21, J23, U26, W25

表 5-75. UART3 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
UART3_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	A24, AC27
UART3_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	AB24, B24
UART3_RXD	I	UART 受信データ	H24, V27, W24
UART3_TXD	O	UART 送信データ	H22, V25, W23

表 5-76. UART4 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
UART4_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	AB27
UART4_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	AB26
UART4_RXD	I	UART 受信データ	F26, P22, V26, W22
UART4_TXD	O	UART 送信データ	H21, P23, V24, W21

表 5-77. UART5 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
UART5_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	AA22, L22
UART5_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	AA23, L23
UART5_RXD	I	UART 受信データ	D22, J27, K22, V22, Y26
UART5_TXD	O	UART 送信データ	C22, H27, J22, V23, Y27

表 5-78. UART6 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
UART6_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	AB25, M27
UART6_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	AA25, N27
UART6_RXD	I	UART 受信データ	A25, AA24, B24, H26, L21, W26
UART6_TXD	O	UART 送信データ	A24, A26, AA27, F27, M26, N24

5.3.26.2 MCU ドメイン

表 5-79. MCU_UART0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCU_UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	B5

表 5-79. MCU_UART0 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
MCU_UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	C5
MCU_UART0_RXD	I	UART 受信データ	B8
MCU_UART0_TXD	O	UART 送信データ	B4

5.3.26.3 WKUP ドメイン

表 5-80. WKUP_UART0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
WKUP_UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	C4
WKUP_UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	C3
WKUP_UART0_RXD	I	UART 受信データ	B3
WKUP_UART0_TXD	O	UART 送信データ	C8

5.3.27 USB

5.3.27.1 メイン ドメイン

表 5-81. USB0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
USB0_DM	IO	USB 2.0 差動データ (負)	AB5
USB0_DP	IO	USB 2.0 差動データ (正)	AA6
USB0_DRVBUS	O	USB VBUS 制御出力 (アクティブ High)	E25
USB0_RCALIB ⁽¹⁾	A	キャリブレーション抵抗に接続するピン	AA8
USB0_VBUS ⁽²⁾	A	USB レベル シフト VBUS 入力	W7

- (1) このピンと VSS の間に $499\Omega \pm 1\%$ の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。
- (2) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、[セクション 8.2.3](#)「USB VBUS の設計ガイドライン」を参照してください。

表 5-82. USB1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	AMW ピン [4]
USB1_DM	IO	USB 2.0 差動データ (負)	E17
USB1_DP	IO	USB 2.0 差動データ (正)	D17
USB1_DRVBUS	O	USB VBUS 制御出力 (アクティブ High)	B27
USB1_RCALIB ⁽¹⁾	A	キャリブレーション抵抗に接続するピン	E18
USB1_VBUS ⁽²⁾	A	USB レベル シフト VBUS 入力	F18

- (1) このピンと VSS の間に $499\Omega \pm 1\%$ の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。
- (2) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、[セクション 8.2.3](#)「USB VBUS の設計ガイドライン」を参照してください。

5.4 ピン接続要件

このセクションでは、特定の接続要件を持つパッケージ ボールと、未使用のパッケージ ボールの接続要件について説明します。

注

特に記述のない限り、すべての電源ピンには、「推奨動作条件」で規定されている電圧を供給する必要があります。

注

「未接続のまま」または「接続なし」(NC) は、これらのデバイスのボール番号にいかなる信号トレースも接続できないことを意味します。

表 5-83. 接続要件

AMW ボール 番号	ボール名	接続要件
B7 B10	MCU_ERRORn TRSTn	これらの各ボールは、個別の外付けプル抵抗を介して VSS に接続する必要があります。これは、PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合に、これらのボールが有効なロジック Low レベルに保持されるようにするためです。ボールに PCB 信号トレースが接続されていない場合、内部プルダウンを使用して有効なロジック Low レベルを保持できます。
A11 E12 F11	TCK TDI TMS	これらの各ボールは、個別の外付けプル抵抗を介して対応する電源 ⁽¹⁾ に接続する必要があります。これは、PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合に、これらのボールに関連付けられた入力が有効なロジック High レベルに保持されるようにするためです。ボールに PCB 信号トレースが接続されていない場合、内部プルアップを使用して有効なロジック High レベルを保持できます。
C9 F9 D10 E26 E8 B23 B13 E11 B9 D11 F1 J1 U1 T1	EMU0 EMU1 MCU_RESETz RESET_REQz MCU_PORz EXTINTN MCU_I2C0_SCL MCU_I2C0_SDA WKUP_I2C0_SCL WKUP_I2C0_SDA DDR0_DQS0_n DDR0_DQS1_n DDR0_DQS2_n DDR0_DQS3_n	これらの各ボールは、個別の外付けプル抵抗を介して対応する電源 ⁽¹⁾ に接続する必要があります。未使用時でも、これらのボールに関連付けられた入力が有効なロジック High レベルに保持されるようにするためです。
R22 R23 R26 T27 T25 T24 T21 T22 U27 U26 V27 V25 V26 V24 V22 V23	GPMC0_AD0 GPMC0_AD1 GPMC0_AD2 GPMC0_AD3 GPMC0_AD4 GPMC0_AD5 GPMC0_AD6 GPMC0_AD7 GPMC0_AD8 GPMC0_AD9 GPMC0_AD10 GPMC0_AD11 GPMC0_AD12 GPMC0_AD13 GPMC0_AD14 GPMC0_AD15	これらの各ボールは、個別の外付けプル抵抗を介して対応する電源 ⁽¹⁾ または VSS に接続する必要があります。これは、目的のデバイスのブートモードを選択するため、これらのボールに関連付けられた入力が適切に有効なロジック High または Low レベルに保持されるようにするためです。

表 5-83. 接続要件 (続き)

AMW ボール 番号	ボール名	接続要件
AB1 D1 L7 L8 N7 N8 T7 T8	VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR_C	DDRSS を使用しない場合は、各ボールを VSS に直接接続する必要があります。

表 5-83. 接続要件 (続き)

AMW ボール 番号	ボール名	接続要件
E1 H1 T1 W1 M4 M3 L4 L6 M5 L3 N2 L2 R6 P1 N1 P2 P6 P4 P3 G2 H6 U4 AA2 D6 D2 F6 D3 G4 E2 G6 F3 H5 H2 K2 L1 J6 J4 J2 H3 V3 R2 R5 T2 R3 U2 U5 V2 Y2 W4 V5 W2 V6 W3 AA3 AA5 U6	DDR0_DQS0 DDR0_DQS1 DDR0_DQS2 DDR0_DQS3 DDR0_CAS_n DDR0_RAS_n DDR0_A0 DDR0_A1 DDR0_A2 DDR0_A3 DDR0_A4 DDR0_A5 DDR0_CAL0 DDR0_CK0 DDR0_CK0_n DDR0_CKE0 DDR0_CKE1 DDR0_CS0_n DDR0_CS1_n DDR0_DM0 DDR0_DM1 DDR0_DM2 DDR0_DM3 DDR0_DQ0 DDR0_DQ1 DDR0_DQ2 DDR0_DQ3 DDR0_DQ4 DDR0_DQ5 DDR0_DQ6 DDR0_DQ7 DDR0_DQ8 DDR0_DQ9 DDR0_DQ10 DDR0_DQ11 DDR0_DQ12 DDR0_DQ13 DDR0_DQ14 DDR0_DQ15 DDR0_DQ16 DDR0_DQ17 DDR0_DQ18 DDR0_DQ19 DDR0_DQ20 DDR0_DQ21 DDR0_DQ22 DDR0_DQ23 DDR0_DQ24 DDR0_DQ25 DDR0_DQ26 DDR0_DQ27 DDR0_DQ28 DDR0_DQ29 DDR0_DQ30 DDR0_DQ31 DDR0_RESET0_n	DDRSS を使用しない場合は、未接続のままにします。注:このリストの DDR0 ピンは、VDDSDDR および VDDSDDR_C が VSS に接続されている場合のみ未接続のままにできます。VDDSDDR および VDDSDDR_C を電源に接続する場合、『DDR 基板の設計およびレイアウトのガイドライン』の定義に従って DDR0 ピンを接続する必要があります。
Y9	VDDSDMMC0	MMC0 を使用しない場合、これらの各ボールを、デバイス電源シーケンス要件に違反しない任意の 1.8V 電源に接続する必要があります。

表 5-83. 接続要件 (続き)

AMW ボール 番号	ボール名	接続要件
E15 F14 AB8 AA10 AB14 AB15 AA16 AA8 E18 AB5 AA6 W7 E17 D17 F18	SERDES0_REXT SERDES1_REXT CSI0_RXRCALIB CSI1_RXRCALIB CSI2_RXRCALIB CSI3_RXRCALIB DSI0_TXRCALIB USB0_RCALIB USB1_RCALIB USB0_DM USB0_DP USB0_VBUS USB1_DM USB1_DP USB1_VBUS	これらの各ボールは、適切な外付けプル抵抗を介して VSS に接続する必要があります。未使用時でも、これらのボールが有効なロジック Low レベルに保持されるようにするためです。各信号に対応するプル抵抗の適切な値については、「信号の説明」の脚注を参照してください。
G9 AC1 AE1 AE2 AD1 AD3 AD2 AB4 AC2 AC3 AB3 AF1 AB2	VPP MMC0_CALPAD MMC0_CLK MMC0_CMD MMC0_DS MMC0_DAT0 MMC0_DAT1 MMC0_DAT2 MMC0_DAT3 MMC0_DAT4 MMC0_DAT5 MMC0_DAT6 MMC0_DAT7	使用しない場合は、これらの各ボールを未接続のままにする必要があります。
W15 Y15 W13 W16 Y13	VDDA_CORE_CSI_DSI VDDA_CORE_CSI_DSI VDDA_1P8_CSI_DSI VDDA_1P8_CSI_DSI VDDA_1P8_CSI_DSI	CSIRX0 と DSITX0 を使用せず、デバイスのバウンダリ スキャン機能が必要な場合は、これらの各ボールを有効な電源に接続する必要があります。CSIRX0 と DSITX0 を使用せず、デバイスのバウンダリ スキャン機能が不要な場合は、これらのボールをそれぞれ VSS に直接接続することもできます。
AC7 AC6 AD6 AD5	CSI0_RXCLKN CSI0_RXCLKP CSI0_RXN0 CSI0_RXP0	CSIRX0 を使用しない場合は、未接続のままにします。
AE5 AE4	CSI0_RXN1 CSI0_RXP1	CSIRX0 を使用しない場合、または 1 レーン モードでのみ動作する場合は、未接続のままにします。
AF4 AF3	CSI0_RXN2 CSI0_RXP2	CSIRX0 を使用しない場合、または 1 レーンまたは 2 レーンモードでのみ動作する場合は、未接続のままにします。
AG3 AG2	CSI0_RXN3 CSI0_RXP3	CSIRX0 を使用しない場合、または 1 レーン、2 レーン、3 レーンモードでのみ動作する場合は、未接続のままにします。
AE16 AE17 AD17 AD18	DSI0_TXCLKN DSI0_TXCLKP DSI0_TXN0 DSI0_TXP0	DSITX0 を使用しない場合は、未接続のままにします。
AF15 AF16	DSI0_TXN1 DSI0_TXP1	DSITX0 を使用しない場合、または 1 レーン モードでのみ動作する場合は、未接続のままにします。
AG14 AG15	DSI0_TXN2 DSI0_TXP2	DSITX0 を使用しない場合、または 1 レーンまたは 2 レーンモードでのみ動作する場合は、未接続のままにします。
AC18 AC19	DSI0_TXN3 DSI0_TXP3	DSITX0 を使用しない場合、または 1 レーン、2 レーン、3 レーンモードでのみ動作する場合は、未接続のままにします。

表 5-83. 接続要件 (続き)

AMW ボール 番号	ボール名	接続要件
AF23 AG24 AG22 AG23 AB20 AB21 AG20 AG21 AD21 AC21 AF19 AF18 AG17 AG18 AB19 AA20 AF21 AE20 AD20 AE19	OLDIO_A0N OLDIO_A0P OLDIO_A1N OLDIO_A1P OLDIO_A2N OLDIO_A2P OLDIO_A3N OLDIO_A3P OLDIO_A4N OLDIO_A4P OLDIO_A5N OLDIO_A5P OLDIO_A6N OLDIO_A6P OLDIO_A7N OLDIO_A7P OLDIO_CLK0N OLDIO_CLK0P OLDIO_CLK1N OLDIO_CLK1P	OLDIO を使用しない場合は、未接続のままにします。
G7 J7 K7 A3	VMON_ER_VSYS VMON_1P8_SOC VMON_3P3_SOC WKUP_LFOSC0_XI	これらの各ボールは、個別の外付けプル抵抗を介して VSS に接続する必要があります。未使用時でも、これらのボールが有効なロジック Low レベルに保持されるようにするためです。

(1) IO にどの電源が関連付けられているかを確認するには、「ピン属性」表を参照してください。

注

パッド構成レジスタを備えたその他の未使用の信号ボールはすべて、マルチプレクシング モードを GPIO 入力に設定し、内部プルダウン抵抗を有効にすることで、未接続のままにできます。未使用のボールは、PCB の半田パッドにのみ接続するボールとして定義されます。有効なロジック レベルを保持するための唯一のソース/シンクとして、内部プル抵抗を使用できるのは、このユース ケースのみです。ビア、テストポイント、PCB パターンに接続されたボールは、すべて使用されているものと見なされ、有効なロジック レベルの保持を内部プル抵抗に依存してはなりません。

内部プル抵抗は駆動力が弱い場合、動作条件によっては有効なロジックレベルを維持するのに十分な電流を供給できない場合があります。この状況は、逆のロジックレベルへのリークがある部品に接続されている場合や、内部抵抗によって有効なロジックレベルにプルされているだけのボールに接続された信号トレースに外部ノイズ源が結合した場合に発生することがあります。そのため、外付けプル抵抗を使って、ボールの有効なロジックレベルを保持することを推奨します。

デバイス IO の多くはデフォルトでオフになっているため、ソフトウェアで各 IO が初期化されるまで、接続されているすべてのデバイスの入力を有効なロジック状態に保持するために、外部プル抵抗が必要になる場合があります。構成可能なデバイス IO の状態は、「ピン属性」表の「リセット時のボールの状態 (RX/TX/PULL)」と「リセット後のボールの状態 (RX/TX/PULL)」列に定義されています。入力バッファ (RX) がオフになっている IO は、フローティング状態にしても、本デバイスに損傷を与えません。ただし、入力バッファ (RX) がオンになっている IO は、 V_{ILSS} と V_{IHSS} の間の電位にフローティングさせることはできません。入力をこれらのレベルの間の電位にフローティングさせた場合、入力バッファが大電流状態に入ることがあり、IO セルが損傷する可能性があります。

6 仕様

6.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り)^{(1) (2)}

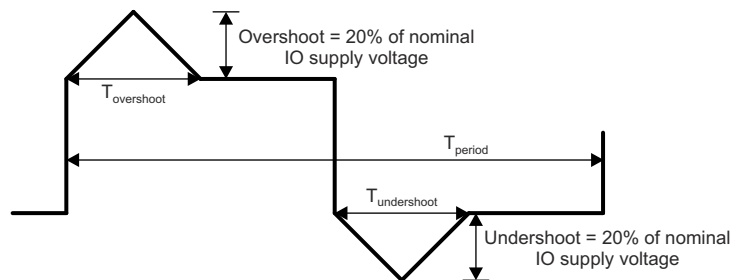
パラメータ		最小値	最大値	単位
VDD_CORE	コア電源	-0.3	1.05	V
VDDR_CORE	RAM コア電源	-0.3	1.05	V
VDD_CANUART	CANUART コア電源	-0.3	1.05	V
VDDA_CORE_CSI_DSI	CSIRX0 および DSITX0 コア電源	-0.3	1.05	V
VDDA_CORE_CSI_DSI_CLK	CSIRX0 および DSITX0 クロック コア電源	-0.3	1.05	V
VDDA_CORE_USB0 VDDA_CORE_USB1	USB0 および USB1 コア電源	-0.3	1.05	V
VDDA_DDR_PLL0	DDR デスキュー PLL 電源	-0.3	1.05	V
VDD_MMC0	MMC0 PHY コア電源	-0.3	1.05	V
VDDA_0P85_DLL_MMC0	MMC0 DLL アナログ電源	-0.3	1.05	V
VDDA_0P85_SERDES VDDA_0P85_SERDES_C	SERDES アナログ電源	-0.3	1.05	V
VDDS_DDR	DDR PHY IO 電源	-0.3	1.57	V
VDDS_DDR_C	DDR クロック IO 電源	-0.3	1.57	V
VDDA_1P8_SERDES	SERDES PHY IO 電源	-0.3	1.98	V
VDDS_MMC0	MMC0 PHY IO 電源	-0.3	1.98	V
VDDS_OSC0	MCU_OSC0 および WKUP_LFOSC0 電源	-0.3	1.98	V
VDDA_MCU	RCOSC、POR、POK、MCU PLL アナログ電源	-0.3	1.98	V
VDDA_PLL0	SMS PLL アナログ電源	-0.3	1.98	V
VDDA_PLL1	MAIN PLL、PER0、PER1 PLL アナログ電源	-0.3	1.98	V
VDDA_PLL2	DDR PLL および ARM0 PLL アナログ電源	-0.3	1.98	V
VDDA_PLL3	VIDEO PLL および GPU PLL アナログ電源	-0.3	1.98	V
VDDA_PLL4	DSS PLL0、DSS PLL1、DSS PLL2 アナログ電源	-0.3	1.98	V
VDDA_PLL5	C7x PLL アナログ電源	-0.3	1.98	V
VDDA_1P8_CSI_DSI	CSIRX0 および DSITX0 1.8V アナログ電源	-0.3	1.98	V
VDDA_1P8_OLDI0	OLDI0 1.8V アナログ電源	-0.3	1.98	V
VDDA_1P8_USB0 VDDA_1P8_USB1	USB0 および USB1 1.8V アナログ電源	-0.3	1.98	V
VDDA_TEMP0	TEMP0 アナログ電源	-0.3	1.98	V
VDDA_TEMP1	TEMP1 アナログ電源	-0.3	1.98	V
VDDA_TEMP2	TEMP2 アナログ電源	-0.3	1.98	V
VPP	eFuse ROM プログラミング電源	-0.3	1.98	V
VDDSHV_MCU	IO グループ MCU の IO 電源	-0.3	3.63	V
VDDSHV_CANUART	IO グループ CANUART の IO 電源	-0.3	3.63	V
VDDSHV0	IO グループ 0 の IO 電源	-0.3	3.63	V
VDDSHV1	IO グループ 1 の IO 電源	-0.3	3.63	V
VDDSHV2	IO グループ 2 の IO 電源	-0.3	3.63	V
VDDSHV3	IO グループ 3 の IO 電源	-0.3	3.63	V
VDDSHV5	IO グループ 5 の IO 電源	-0.3	3.63	V
VDDSHV6	IO グループ 6 の IO 電源	-0.3	3.63	V

接合部動作温度範囲内 (特に記述のない限り)^{(1) (2)}

パラメータ		最小値	最大値	単位
VDDA_3P3_USB0 VDDA_3P3_USB1	USB0 および USB1 3.3V アナログ電源	-0.3	3.63	V
すべてのフェイルセーフ IO ピンの定常状態の最大電圧	MCU_PORz	-0.3	3.63	V
	1.8V で動作する場合、 MCU_I2C0_SCL、MCU_I2C0_SDA、 WKUP_I2C0_SCL、WKUP_I2C0_SDA、 EXTINTn	-0.3	1.98 ⁽³⁾	V
	3.3V で動作する場合、 MCU_I2C0_SCL、MCU_I2C0_SDA、 WKUP_I2C0_SCL、WKUP_I2C0_SDA、 EXTINTn	-0.3	3.63 ⁽³⁾	
	VMON_1P8_SOC	-0.3	1.98	V
	VMON_3P3_SOC	-0.3	3.63	V
	VMON_VSYS ⁽⁴⁾	-0.3	1.98	V
	他のすべての IO ピンの定常状態の最大電圧 ⁽⁵⁾	USB0_VBUS、USB1_VBUS ⁽⁶⁾	-0.3	3.6
その他のすべての IO ピン		-0.3	IO 電源電圧 + 0.3	V
IO ピンの過渡オーバーシュートおよびアンダーシュート	信号周期の最大 20% にわたって IO 電源電圧の 20% (図 6-1「」を参照)		0.2 × VDD ⁽⁷⁾	V
ラッチアップ性能 ⁽⁸⁾	I 試験	-100	100	mA
	過電圧 (OV) 試験		1.5 × VDD ⁽⁷⁾	V
T _{STG}	保存温度	-55	+150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。[セクション 6.4](#)
- (2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
- (3) これらのフェイルセーフピンの絶対最大定格は、それらの IO 電源動作電圧に左右されます。したがって、この値は、「I2C オープンドレインおよびフェイルセーフ (I2C OD FS) の電気的特性」セクションに記載されている最大 V_{IH} 値によっても規定され、この電気的特性表では 1.8V モードと 3.3V モードに別々のパラメータ値があります。
- (4) VMON_VSYS ピンは、システム電源の監視に使用できます。詳細については、『システム電源監視の設計ガイドライン』を参照してください。
- (5) このパラメータはフェイルセーフでないすべての IO ピンに適用され、IO 電源電圧のすべての値に要件が適用されます。たとえば、特定の IO 電源に印加される電圧が 0V の場合、その電源から供給される IO の有効な入力電圧範囲は -0.3V ~ +0.3V になります。ペリフェラル デバイスに電力を供給する電源がそれぞれの IO 電源に電力を供給する電源と同じでない場合は、特別な注意が必要です。接続されているペリフェラルにおいて、電源のランプアップやランプダウンのシーケンスなど、有効な入力電圧範囲外の電圧を供給しないことが重要になります。
- (6) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、『USB VBUS の設計ガイドライン』を参照してください。
- (7) VDD は、IO の対応する電源ピンの電圧です。
- (8) 電流パルス注入 (I-Test) の場合:
 - JEDEC JESD78 (Class II) に従ってピンにストレスを加え、規定の I/O ピン注入電流と最大推奨 I/O 電圧の +1.5 倍および -0.5 倍のクランプ電圧に合格しました。
 過電圧性能 (過電圧 (OV) 試験) の場合:
 - JEDEC JESD78 (Class II) に従って電源にストレスを加え、規定の電圧注入に合格しました。

フェイルセーフ IO 端子は、それぞれの IO 電源電圧に依存しないように設計されています。これにより、該当する IO 電源がオフのときに、これらの IO 端子に外部電圧源を接続できます。MCU_I2C0_SCL、MCU_I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA、EXTINTn、VMON_1P8_SOC、VMON_3P3_SOC、および MCU_PORz だけがフェイルセーフ IO 端子です。それ以外の IO 端子はいずれもフェイルセーフではなく、それらに印加される電圧は、[セクション 6.1](#) の「すべての IO ピンの定常状態の最大電圧」パラメータで定義されている値に制限する必要があります。



A. $T_{overshoot} + T_{undershoot} < T_{period}$ の 20%

図 6-1. IO 過渡電圧範囲

6.2 AMW パッケージの AEC-Q100 認定デバイスの ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC - Q100-002 準拠 ⁽¹⁾	±1000	V
		デバイス帯電モデル (CDM)、AEC - Q100-011 準拠	±750	
		その他のすべてのピン	±250	

(1) AEC - Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 電源投入時間 (POH)

パワー オン時間 (POH) ^{(1) (2) (3)}	
接合部温度範囲 (T_J) ⁽⁴⁾	寿命 (POH)
-40°C ~ 105°C	100000
-40°C ~ 125°C	20000 ⁽⁵⁾

- (1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
- (2) 上記の表に記述されていない限り、すべての電圧ドメインと動作条件は、記載された温度において本デバイスでサポートされています。
- (3) POH は、電圧、温度、時間の関数です。より高い電圧および温度で使用すると POH が低減します。
- (4) -40~105°C または -40~125°C プロファイルを選択し、アプリケーションの寿命期間全体にわたって適用する必要があります。温度や POH を拡張する目的でこれらのプロファイルを混合させると、信頼性故障リスクが高まる可能性があります。そのため、これを行うことは推奨されません。
- (5) -40~125°C プロファイルは、以下のように接合部温度に応じて 20000 時間の電源オン時間として定義されます。5%@-40°C、65%@70°C、20%@110°C、10%@125°C。

6.4 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

電源名	説明		最小値 ⁽¹⁾	公称値	最大値 ⁽¹⁾	単位
VDD_CORE ⁽²⁾ VDDA_CORE_CSI_DSI ⁽²⁾ VDDA_CORE_CSI_DSI_C LK ⁽²⁾ VDDA_CORE_USB0 ⁽²⁾ VDDA_CORE_USB1 ⁽²⁾ VDDA_DDR_PLL0 ⁽²⁾	コア電源 CSIRX0 および DSITX0 コア電源 DSITX0 クロック コア電源 USB0 および USB1 コア電源 DDR デスキュー PLL 電源	0.75V 動作	0.715	0.75	0.79	V
		0.85V 動作	0.81	0.85	0.895	V
VDD_CANUART ⁽³⁾	CANUART コア電源	0.75V 動作	0.715	0.75	0.79	V
		0.85V 動作	0.81	0.85	0.895	V
VDDR_CORE	RAM コア電源		0.81	0.85	0.895	V
VDD_MMC0 ⁽⁴⁾ VDDA_0P85_DLL_MMC0 (4)	MMC0 PHY コア電源 MMC0 DLL アナログ電源		0.81	0.85	0.895	V
VDDA_0P85_SERDES VDDA_0P85_SERDES_C	SERDES PHY コア電源 SERDES アナログ電源		0.81	0.85	0.895	V
VDDS_DDR ⁽⁵⁾ VDDS_DDR_C ⁽⁵⁾	DDR PHY IO 電源 DDR クロック IO 電源	1.1V 動作	1.06	1.1	1.17	V
VDDA_1P8_SERDES	SERDES アナログ電源		1.71	1.8	1.89	V
VDDS_MMC0	MMC0 PHY IO 電源		1.71	1.8	1.89	V
VDDS_OSC0	MCU_OSC0 および WKUP_LFOSC0 電源		1.71	1.8	1.89	V
VDDA_MCU	RCOSC、POR、POK、MCU PLL アナログ電源		1.71	1.8	1.89	V
VDDA_PLL0	SMS PLL アナログ電源		1.71	1.8	1.89	V
VDDA_PLL1	MAIN PLL、PER0、PER1 PLL アナログ電源		1.71	1.8	1.89	V
VDDA_PLL2	DDR PLL および ARM0 PLL アナログ電源		1.71	1.8	1.89	V
VDDA_PLL3	VIDEO PLL および GPU PLL アナログ電源		1.71	1.8	1.89	V
VDDA_PLL4	DSS PLL0、DSS PLL1、DSS PLL2 アナログ電源		1.71	1.8	1.89	V
VDDA_PLL5	C7x PLL アナログ電源		1.71	1.8	1.89	V
VDDA_1P8_CSI_DSI	CSIRX0 および DSITX0 1.8V アナログ電源		1.71	1.8	1.89	V
VDDA_1P8_OLDIO	OLDIO 1.8V アナログ電源		1.71	1.8	1.89	V
VDDA_1P8_USB0 VDDA_1P8_USB1	USB0 および USB1 1.8V アナログ電源		1.71	1.8	1.89	V
VDDA_TEMP0	TEMP0 アナログ電源		1.71	1.8	1.89	V
VDDA_TEMP1	TEMP1 アナログ電源		1.71	1.8	1.89	V
VDDA_TEMP2	TEMP2 アナログ電源		1.71	1.8	1.89	V
VPP	eFuse ROM プログラミング電源		(6)を参照	(6)を参照	(6)を参照	V
VMON_1P8_SOC	1.8V SoC 電源用電圧モニタ		1.71	1.8	1.89	V
VDDA_3P3_USB0	USB0 3.3V アナログ電源		3.135	3.3	3.465	V
VDDA_3P3_USB1	USB1 3.3V アナログ電源		3.135	3.3	3.465	V
VMON_3P3_SOC	3.3V SoC 電源用電圧モニタ		3.135	3.3	3.465	V
VMON_ER_VSYS	システム電源用電圧モニタ		0 (7)を参照		1	V
USB0_VBUS	USB0 レベルシフト VBUS 入力		0 (8)を参照		3.465	V
USB1_VBUS	USB1 レベルシフト VBUS 入力		0 (8)を参照		3.465	V
VDDSHV_CANUART ⁽⁹⁾	IO グループ CANUART のデュアル電圧 IO 電 源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V

接合部動作温度範囲内 (特に記述のない限り)

電源名	説明		最小値 ⁽¹⁾	公称値	最大値 ⁽¹⁾	単位
VDDSHV_MCU	IO グループ MCU のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV0	IO グループ 0 のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV1	IO グループ 1 のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV2	IO グループ 2 のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV3	IO グループ 3 のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV5	IO グループ 5 のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV6	IO グループ 6 のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
T _J	動作ジャンクション温度範囲	車載 Q100	-40		125	°C
		産業用拡張	-40		105	°C

- (1) デバイス ボールの電圧は、通常のデバイス動作中、常に最小電圧を下回ったり、最大電圧を上回ったりしないようにしてください。
- (2) VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB、VDDA_DDR_PLL0 は、同じ電源を使用するものとします。VDD_CORE と VDDA_CORE_USB の間の電圧差が ± 1% 以内になるよう注意する必要があります。
- (3) 部分 IO 低消費電力モードまたは I/O のみ + DDR セルフリフレッシュ低消費電力モードを使用する場合、VDD_CANUART は常時オンの電源に接続するものとします。部分 IO 低消費電力モードまたは I/O のみ + DDR セルフリフレッシュ低消費電力モードを使用しない場合、VDD_CANUART は VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_USB、VDDA_DDR_PLL0 と同じ電源に接続する必要があります。
- (4) MMC0 を使用しない場合、VDD_MMC0 と VDDA_0P85_DLL_MMC0 は、VDD_CORE と同じ電源に接続する必要があります。この場合、VDD_MMC0 および VDDA_0P85_DLL_MMC0 は、0.75 または 0.85 の公称電圧で動作させることができます。
- (5) VDDS_DDR と VDDS_DDR_C は、同じ電源から給電するものとします。
- (6) eFuse の使用に基づく VPP 電源電圧については、「[OTP eFuse プログラミングの推奨動作条件](#)」表を参照してください。
- (7) VMON_VSYS ピンは、システム電源の監視に使用できます。詳細については、『[システム電源監視の設計ガイドライン](#)』を参照してください。
- (8) このデバイスピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、「[USB VBUS の設計ガイドライン](#)」を参照してください。
- (9) 部分 IO 低消費電力モードまたは I/O のみ + DDR セルフリフレッシュ低消費電力モードを使用する場合、VDDSHV_CANUART は常時オンの電源に接続するものとします。部分 IO 低消費電力モードまたは I/O のみ + DDR セルフリフレッシュ低消費電力モードを使用しない場合、VDDSHV_CANUART は任意の有効な IO 電源に接続するものとします。

6.5 動作性能ポイント

表 6-1 は各デバイスの速度グレードに対するクロックの最大動作周波数を定義し、表 6-2 はデバイス サブシステムとコアクロックに対して唯一の有効な動作性能ポイント (OPP) を定義します。

表 6-1. デバイス速度グレード

速度 グレード	VDD_CORE (V) ⁽¹⁾	最大動作周波数 (MHz)											最大データレ ート (MT/s) ⁽²⁾		
		A53SS (Cortex- A53x)	C7/MMA	R5FSS0	メインメイ ン SYSCLK	MCU R5F	MCUドメ イン SYSCLK	デバイスマ ネージャ R5F	デバイスマ ネージャドメ イン CLK	HSM	GPU	VPAC		DMPAC	VPU
J	0.75	1250	1000 ⁽³⁾	800	500	800	400	800	400	400	720	600	428.5	500	3200~3733
K	0.85	1400	1000								800				3466~4000

- (1) 公称動作電圧 (セクション 6.4「」を参照)。
- (2) 最大 DDR 周波数は、システムで使用されている特定のメモリタイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『LPDDR4 DDR 基板の設計およびレイアウトのガイドライン』を参照してください。ソフトウェアでは、システムの性能要件を満たす最小限の LPDDR4 転送レートを使用することを推奨します。
- (3) C7/MMA 速度グレードは、LTC が 62XXXXX 以降のすべての材料で 912.5MHz から 1000MHz に増加します。表 9-1「項目名の説明」に示すように、LTC はパッケージの上面に印刷されています。日付コードは YMXXXXX としてエンコードされます。ここで、Y = 年 (6 = 2026)、M = 月 (16 進数、2 = 2 月) です。

表 6-2. デバイスの動作性能ポイント

OPP	A53SS ⁽¹⁾	C7/MMA	固定動作周波数オプション (MHz) ⁽²⁾											MT/s ⁽³⁾
			R5FSS0	メインメイ ン SYSCLK	MCU R5F	MCUドメ イン SYSCLK	デバイスマ ネージャ R5F	デバイス マネージャ ドメイン CLK	HSM	GPU	VPAC	DMPAC	VPU	
High	PLL BP から速度 グレード 最大値ま で	PLL BP から速度 グレード 最大値ま で	800	500	800	400	800	400	400	速度グ レード 最大値	600	428.5	500、 400、 200、 または 100	PLL BP ⁽⁴⁾ から速度 グレード 最大値ま で
Low			400	250	400	200	400	133	133					

- (1) デフォルトの動作周波数。ブート時にソフトウェアで設定されます。ブート後の動的周波数スケールリングがサポートされます。
- (2) 固定動作周波数。ブート時にソフトウェアで設定されます。
- (3) 最大 DDR 周波数は、システムで使用されている特定のメモリタイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『LPDDR4 DDR 基板の設計およびレイアウトのガイドライン』を参照してください。
- (4) DDR0_CK0 と DDR0_CK0_n のソースとなる DDR PLL 出力は、通常は周波数単位で定義されます。したがって、バイパス モードで動作している場合、「DDR PLL バイパス」トランザクションレートは DDR PLL 出力周波数の 2 倍になります。

6.6 消費電力の概略

デバイスの消費電力の詳細については、『J722S、TDA4VEN、TDA4AEN、AM67 電力推定ツール』を参照してください。

6.7 電気的特性

注

セクション 6.7 で説明されているインターフェイスまたは信号は、多重化モード 0 (プライマリ信号機能) で使用可能なインターフェイスまたは信号に対応しています。

これらの表に記載されているボール上で多重化されたすべてのインターフェイスまたは信号は、多重化に PHY と GPIO の組み合わせが含まれている場合を除き、DC 電気的特性はすべて同じです。PHY と GPIO の組み合わせが含まれている場合、異なる多重化モード (機能) に異なる DC 電気的特性が規定されます。

6.7.1 I2C オープン ドレインおよびフェイルセーフ (I2C OD FS) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
1.8V モード						
V _{IL}	入力 Low 電圧				0.3 × VDD ⁽¹⁾	V
V _{ILSS}	入力 Low 電圧 (定常状態)				0.3 × VDD ⁽¹⁾	V
V _{IH}	入力 High 電圧		0.7 × VDD ⁽¹⁾		1.98 ⁽²⁾	V
V _{IHSS}	入力 High 電圧 (定常状態)		0.7 × VDD ⁽¹⁾			V
V _{HYS}	入力ヒステリシス電圧		0.1 × VDD ⁽¹⁾			mV
I _{IN} ⁽³⁾	入力リーク電流。	V _I = 1.8V			10	μA
		V _I = 0V			-10	μA
V _{OL}	出力 LOW 電圧				0.2 × VDD ⁽¹⁾	V
I _{OL} ⁽⁴⁾	LOW レベル出力電流	V _{OL(MAX)}	10			mA
SR _I ⁽⁶⁾	入力スルーレート		18f ⁽⁵⁾ または 1.8E+6			V/s
3.3V モード⁽⁷⁾						
V _{IL}	入力 Low 電圧				0.3 × VDD ⁽¹⁾	V
V _{ILSS}	入力 Low 電圧 (定常状態)				0.25 × VDD ⁽¹⁾	V
V _{IH}	入力 High 電圧		0.7 × VDD ⁽¹⁾		3.63 ⁽²⁾	V
V _{IHSS}	入力 High 電圧 (定常状態)		0.7 × VDD ⁽¹⁾			V
V _{HYS}	入力ヒステリシス電圧		0.05 × VDD ⁽¹⁾			mV
I _{IN} ⁽³⁾	入力リーク電流。	V _I = 3.3V			10	μA
		V _I = 0V			-10	μA
V _{OL}	出力 LOW 電圧				0.4	V
I _{OL} ⁽⁴⁾	LOW レベル出力電流	V _{OL(MAX)}	10			mA
SR _I ⁽⁶⁾	入力スルーレート		33f ⁽⁵⁾ または 3.3E+6		8E+7	V/s

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、ピン属性 表の「電源」の欄を参照してください。

(2) この値は、その IO の絶対最大定格値も定義します。

(3) このパラメータは、入力、非駆動出力、または入力と非駆動出力の両方として端子が動作している際のリーク電流を規定します。

(4) I_{OL} パラメータは、指定された V_{OL} 値をデバイスが維持できる最小 Low レベル出力電流を規定します。このパラメータで規定される値は、接続された部品の V_{OL} 仕様値を維持する必要があるシステム実装が利用可能な最大電流と見なす必要があります。

(5) f = 入力信号のトグル周波数 (Hz)。

(6) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

(7) IO を 3.3V モードで動作させる場合、I2C ハイスピード モードはサポートされません。

6.7.2 フェイルセーフ リセット (FS RESET) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IL}	入力 Low 電圧				0.3 × VDD _{DS_OSC0}	V
V _{ILSS}	入力 Low 電圧 (定常状態)				0.3 × VDD _{DS_OSC0}	V
V _{IH}	入力 High 電圧		0.7 × VDD _{DS_OSC0}			V
V _{IHSS}	入力 High 電圧 (定常状態)		0.7 × VDD _{DS_OSC0}			V
V _{HYS}	入力ヒステリシス電圧		200			mV
I _{IN} ⁽¹⁾	入力リーク電流。	V _I = 1.8 V			10	μA
		V _I = 0 V			-10	μA
SR _I ⁽³⁾	入力スルーレート		18f ⁽²⁾ または 1.8E+6			V/s

- (1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。
(2) f = 入力信号のトグル周波数 (Hz)。
(3) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

6.7.3 高周波発振器 (HFOSC) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IL}	入力 Low 電圧				0.35 × VDD _{DS_OSC0}	V
V _{IH}	入力 High 電圧		0.65 × VDD _{DS_OSC0}			V
V _{HYS}	入力ヒステリシス電圧			49		mV
I _{IN} ⁽¹⁾	入力リーク電流。	V _I = 1.8 V			10	μA
		V _I = 0 V			-10	μA

- (1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。

6.7.4 低周波数発振器 (LFXOSC) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IL}	入力 Low 電圧				0.30 × VDD _{DS_OSC0}	V
V _{IH}	入力 High 電圧		0.70 × VDD _{DS_OSC0}			V
V _{HYS}	入力ヒステリシス電圧	アクティブ モード		85		mV
		バイパス モード		324		mV
I _{IN} ⁽¹⁾	入力リーク電流。	V _I = 1.8 V			10	μA
		V _I = 0 V			-10	μA

- (1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。

6.7.5 eMMCPHY の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL}	入力 Low 電圧				$0.35 \times V_{DD5_MMC0}$	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.20	V
V_{IH}	入力 High 電圧		$0.65 \times V_{DD5_MMC0}$			V
V_{IHSS}	入力 High 電圧 (定常状態)		1.4			V
$I_{IN}^{(1)}$	入力リーク電流。	$V_I = 1.8V$			10	μA
		$V_I = 0V$			-10	μA
R_{PU}	プルアップ抵抗		15	20	25	k Ω
R_{PD}	プルダウン抵抗		15	20	25	k Ω
V_{OL}	出力 LOW 電圧	$I_{OL} = 2mA$			0.30	V
V_{OH}	出力 HIGH 電圧	$I_{OH} = -2mA$		$V_{DD5_MMC0} \sim 0.30$		V
SR_I	入力スルーレート		$5E+8$			V/s

- (1) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて、内部プルがイネーブルされていないときのリーク電流を定義します。

6.7.6 SDIO の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
1.8V モード						
V _{IL}	入力 Low 電圧				0.58	V
V _{ILSS}	入力 Low 電圧 (定常状態)				0.58	V
V _{IH}	入力 High 電圧		1.27			V
V _{IHSS}	入力 High 電圧 (定常状態)		1.7			V
V _{HYS}	入力ヒステリシス電圧		150			mV
I _{IN} ⁽¹⁾	入力リーク電流。	V _I = 1.8V			10	μA
		V _I = 0V			-10	μA
R _{PU}	プルアップ抵抗		40	50	60	kΩ
R _{PD}	プルダウン抵抗		40	50	60	kΩ
V _{OL}	出力 LOW 電圧				0.45	V
V _{OH}	出力 HIGH 電圧		VDD ⁽²⁾ - 0.45			V
I _{OL} ⁽³⁾	LOW レベル出力電流	V _{OL(MAX)}	4			mA
I _{OH} ⁽³⁾	High レベル出力電流	V _{OH(MIN)}	4			mA
SR _I ⁽⁵⁾	入力スルーレート		18f ⁽⁴⁾ または 1.8E+6			V/s
3.3V モード						
V _{IL}	入力 Low 電圧				0.25 × VDD ⁽²⁾	V
V _{ILSS}	入力 Low 電圧 (定常状態)				0.15 × VDD ⁽²⁾	V
V _{IH}	入力 High 電圧		0.625 × VDD ⁽²⁾			V
V _{IHSS}	入力 High 電圧 (定常状態)		0.625 × VDD ⁽²⁾			V
V _{HYS}	入力ヒステリシス電圧		150			mV
I _{IN} ⁽¹⁾	入力リーク電流。	V _I = 3.3V			10	μA
		V _I = 0V			-10	μA
R _{PU}	プルアップ抵抗		40	50	60	kΩ
R _{PD}	プルダウン抵抗		40	50	60	kΩ
V _{OL}	出力 LOW 電圧				0.125 × VDD ⁽²⁾	V
V _{OH}	出力 HIGH 電圧		0.75 × VDD ⁽²⁾			V
I _{OL} ⁽³⁾	LOW レベル出力電流	V _{OL(MAX)}	6			mA
I _{OH} ⁽³⁾	High レベル出力電流	V _{OH(MIN)}	10			mA
SR _I ⁽⁵⁾	入力スルーレート		33f ⁽⁴⁾ または 3.3E+6			V/s

- (1) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて、内部プルがイネーブルされていないときのリーク電流を定義します。
- (2) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
- (3) I_{OL} および I_{OH} パラメータは、デバイスが指定された V_{OL} および V_{OH} の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V_{OL} および V_{OH} の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
- (4) f = 入力信号のトグル周波数 (Hz)。
- (5) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

6.7.7 LVCMOS の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
1.8V モード						
V_{IL}	入力 Low 電圧			$0.35 \times V_{DD}^{(1)}$		V
V_{ILSS}	入力 Low 電圧 (定常状態)			$0.3 \times V_{DD}^{(1)}$		V
V_{IH}	入力 High 電圧		$0.65 \times V_{DD}^{(1)}$			V
V_{IHSS}	入力 High 電圧 (定常状態)		$0.85 \times V_{DD}^{(1)}$			V
V_{HYS}	入力ヒステリシス電圧		150			mV
$I_{IN}^{(2)}$	入力リーク電流。	$V_I = 1.8\text{ V}$			10	μA
		$V_I = 0\text{ V}$			-10	μA
R_{PU}	プルアップ抵抗		15	22	30	k Ω
R_{PD}	プルダウン抵抗		15	22	30	k Ω
V_{OL}	出力 LOW 電圧				0.45	V
V_{OH}	出力 HIGH 電圧		$V_{DD}^{(1)} - 0.45$			V
$I_{OL}^{(3)}$	LOW レベル出力電流	$V_{OL(MAX)}$	3			mA
$I_{OH}^{(3)}$	High レベル出力電流	$V_{OH(MIN)}$	3			mA
$SR_I^{(5)}$	入力スルーレート		$18f^{(4)}$ または $1.8E+6$			V/s
3.3V モード						
V_{IL}	入力 Low 電圧				0.8	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.6	V
V_{IH}	入力 High 電圧		2.0			V
V_{IHSS}	入力 High 電圧 (定常状態)		2.0			V
V_{HYS}	入力ヒステリシス電圧		150			mV
$I_{IN}^{(2)}$	入力リーク電流。	$V_I = 3.3\text{ V}$			10	μA
		$V_I = 0\text{ V}$			-10	μA
R_{PU}	プルアップ抵抗		15	22	30	k Ω
R_{PD}	プルダウン抵抗		15	22	30	k Ω
V_{OL}	出力 LOW 電圧				0.4	V
V_{OH}	出力 HIGH 電圧		2.4			V
$I_{OL}^{(3)}$	LOW レベル出力電流	$V_{OL(MAX)}$	5			mA
$I_{OH}^{(3)}$	High レベル出力電流	$V_{OH(MIN)}$	9			mA
$SR_I^{(5)}$	入力スルーレート		$33f^{(4)}$ または $3.3E+6$			V/s

- (1) V_{DD} は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
- (2) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて、内部プルがイネーブルされていないときのリーク電流を定義します。
- (3) I_{OL} および I_{OH} パラメータは、デバイスが指定された V_{OL} および V_{OH} の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V_{OL} および V_{OH} の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
- (4) f = 入力信号のトグル周波数 (Hz)。
- (5) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

6.7.8 OLDI LVDS (OLDI) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{OH}	電圧、出力 High	差動負荷 = 100Ω			1.5	V
V _{OL}	電圧、出力 Low		0.925			V
V _{OCM}	電圧、出力同相		1.125		1.375	V
ΔV _{OCM}	デルタ電圧、出力同相 (High と Low の定常状態の差)				30	mV
V _{OD}	電圧、出力差動		250		400	mV
ΔV _{OD}	デルタ電圧、出力差動 (High と Low の定常状態の差)				50	mV
I _{OS}	電流、出力短絡	V = VSS 差動負荷 = 100Ω			-5	mA
I _{OZ}	電流、出力ハイ インピーダンス	V = VDD ⁽¹⁾ または V = VSS	-10	4	40	μA

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

6.7.9 CSI-2 (D-PHY) の電気的特性

注

CSIRX0 は、該当する ECN とエラッタを含め、2014 年 8 月 1 日付けの MIPI DPHY v1.2 に準拠しています。

6.7.10 DSI (D-PHY) の電気的特性

注

DSITX0 は、該当する ECN とエラッタを含め、2014 年 8 月 1 日付けの MIPI DPHY v1.2 に準拠しています。

6.7.11 USB2PHY の電気的特性

注

USB0 および USB1 のインターフェイスは、2000 年 4 月 27 日付けの Universal Serial Bus Revision 2.0 仕様 (該当する ECN およびエラッタを含む) に準拠しています。

6.7.12 SerDes PHY の電気的特性

注

PCIe インターフェイスは、『PCI Express® 基本仕様リビジョン 4.0』(2017 年 9 月 27 日) に規定された電気的パラメータに準拠しています。

このデバイスでは、表 6-3、「SERDES REFCLK の電気的特性」のパラメータ V_{REFCLK_TERM} に記載されているように、内部終端がイネーブルされた入力モードで使用する場合は、SERDES REFCLK に追加の制限が課されます。内部終端は、デフォルトでイネーブルになっており、V_{REFCLK_TERM} で定義された制限を超えるリフアレンスクロック信号を印加する前にディセーブルする必要があります。外部終端は、ソース側で常にイネーブルにする必要があります。

表 6-3. SERDES REFCLK の電気的特性

内部終端がイネーブルの場合にのみ適用されます。推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
V _{REFCLK_TERM}	内部終端がイネーブルのときの基準クロックピンのシングルエンド電圧スレッショルド			450	mV
R _{TERM}	内部終端	40	50	62.5	Ω

注

SerDes USB インターフェイスは、『ユニバーサル シリアル バス 3.1 仕様リビジョン 1.0』(2013 年 7 月 26 日) で定義された USB3.1 SuperSpeed トランスミッタおよびレシーバの標準電気的パラメータに準拠しています。

注

SGMII インターフェイスの電気的特性は、IEEE802.3 Clause 70 の 1000BASE-KX に準拠しています。

6.7.13 DDR の電気的特性

注

本 DDR インターフェイスは、**JESD209-4B** 規格に準拠した LPDDR4 デバイスと互換性があります。

6.8 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定します。

6.8.1 OTP eFuse プログラミングの推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	説明	最小値	公称値	最大値	単位
VDD_CORE	OTP 動作時のコア ドメイン電源電圧範囲	推奨動作条件を参照 セクション 6.4			V
VPP	通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートなし)	NC ⁽¹⁾			V
	通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートあり)	0			V
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 ⁽²⁾	1.71	1.8	1.89	V
I _(VPP)	VPP 電流				400 mA
SR _(VPP)	VPP パワーアップ スルーレート				6E + 4 V/s
T _j	eFuse ROM プログラミング時の動作時接合部温度範囲	0	25	85	°C

(1) NC は接続なしを示します。

(2) 電源電圧範囲には、DC 誤差およびピーク ツー ピーク ノイズが含まれます。

6.8.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP 電源をディセーブルにする必要があります。
- VPP 電源は、適切なデバイス電源オン シーケンスの後にランプアップする必要があります (詳細については、[セクション 6.11.2.2](#)「電源シーケンス」を参照してください)。

6.8.3 プログラミング シーケンス

OTP eFuse のプログラミング シーケンス:

- パワーアップ シーケンシングに従ってボードに電源を投入します。パワーアップ時および通常動作中は、VPP 端子に電圧を印加しないでください。
- eFuse のプログラミングに必要な OTP 書き込みソフトウェアをロードします (OTP ソフトウェア パッケージについては、お近くの TI 代理店にお問い合わせください)。
- VPP 端子には、[OTP eFuse プログラミングの推奨動作条件](#)に従った電圧を印加します。
- OTP レジスタをプログラムするソフトウェアを実行します。
- OTP レジスタの内容を検証した後、VPP 端子から電圧を取り除きます。

6.8.4 ハードウェア保証への影響

お客様は、セキュリティ キーにより TI ツのデバイスに eFusing を使用することは、デバイスを永続的に変更する、ということに同意するものとします。お客様は、プログラム シーケンスが正しくないか中止された場合や、シーケンス ステップを省略した場合などに、eFuse が失敗する可能性があることを認めます。さらに、プロダクション キーのエラー コード訂正チェックが失敗した場合、またはイメージが署名されておらず、オプションとして現在アクティブなプロダクション キーで暗号化されていない場合、TI のデバイスはセキュア ブートに失敗する可能性があります。このような障害が発生すると、TI のデバイスが動作不能になることがあり、TI ツは eFuse を試行する前に、TI のデバイスがそのデバイス仕様に準拠していることを確認できなくなります。このため、お客様によって eFuse が誤って実行された TI のデバイスについて、TI は一切の責任 (保証またはその他の責任) を負いません。

6.9 熱抵抗特性

このセクションでは、このデバイスで使用される熱抵抗特性について説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、「推奨動作条件」に示されている T_J 値以下にする必要があります。

6.9.1 AMW パッケージの熱抵抗特性

システム レベルの熱シミュレーションは、ワーストケースのデバイス消費電力を考慮して実行することを推奨します。

番号	パラメータ	説明	AMW パッケージ	
			$^{\circ}\text{C}/\text{W}^{(1) (3)}$	空気流 (m/s) ⁽²⁾
T1	$R_{\theta_{JC}}$	接合部とケースとの間	0.50	該当なし
T2	$R_{\theta_{JB}}$	接合部と基板との間	2.4	該当なし
T3	$R_{\theta_{JA}}$	接合部と自由空気との間	12.6	0
T4		接合部と空気流との間	8.0	1
T5			6.9	2
T6			6.4	3
T7	Ψ_{JT}		接合部とパッケージ上面との間	0.25
T8		0.26		1
T9		0.27		2
T10		0.27		3
T11	Ψ_{JB}	接合部と基板との間	2.3	0
T12			2.0	1
T13			1.9	2
T14			1.9	3

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [$R_{\theta_{JC}}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト手法の環境条件 - 自然対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) m/s = メートル/秒。

(3) $^{\circ}\text{C}/\text{W}$ = 摂氏温度 / ワット。

6.10 温度センサの特性

このセクションでは、ダイ温度センサの特性に関する電圧および温度モジュール (VTM) について概要を説明します。

動作および信頼性上の懸念から、本デバイスの最大接合部温度は、「推奨動作条件」に示された T_J 値以下にする必要があります。

表 6-4. VTM ダイ温度センサの特性

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{acc}	VTM 温度センサ精度	-40°C ~ 125°C	-5		5	°C

6.11 タイミングおよびスイッチング特性

注

シリコンの特性評価結果に応じて、タイミング要件およびスイッチング特性の値は変化する場合があります。

注

特に指示がない限り、タイミングを確保するため、各パッド構成レジスタのデフォルトのスルーレート設定を使用する必要があります。

6.11.1 タイミングパラメータおよび情報

セクション 6.11 「タイミングおよびスイッチング特性」で使用されるタイミングパラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を表 6-5 に示すように短縮しました。

表 6-5. タイミングパラメータの添え字

記号	パラメータ
c	サイクル時間 (周期)
d	遅延時間
dis	ディセーブル時間
en	イネーブル時間
h	ホールド時間
su	セットアップ時間
START	スタートビット
t	遷移時間
v	有効時間
w	パルス幅
X	未知の、変化している、ドント ケアのレベル
F	立ち下がり時間
H	High
L	Low
R	立ち上がり時間
V	有効
IV	無効
AE	アクティブ エッジ
FE	最初のエッジ
LE	最後のエッジ
Z	高インピーダンス

6.11.2 電源要件

このセクションでは、デバイスが適切に動作するために必要な電源要件について説明します。

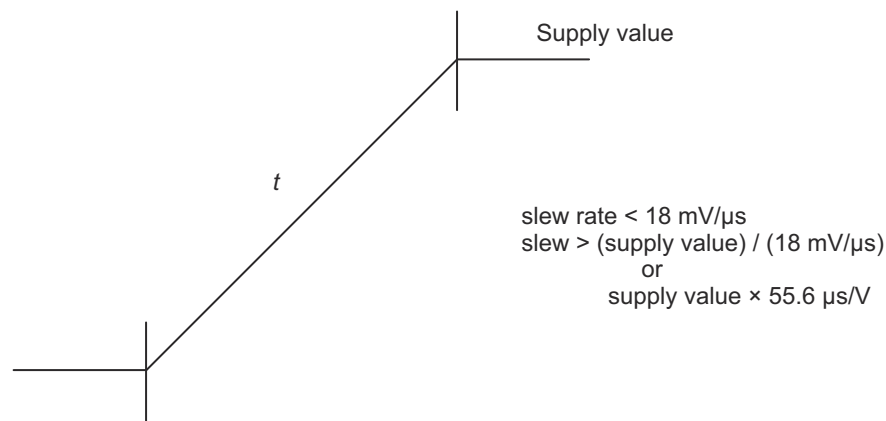
注

「信号説明」と「ピン接続要件」に特に記述のない限り、すべての電源ボールは、「推奨動作条件」に規定された電圧で供給する必要があります。

6.11.2.1 電源スルーレートの要件

内部 ESD 保護デバイスの安全な動作範囲を維持するため、電源の最大スルーレートを $18 \text{ mV}/\mu\text{s}$ 未満に制限することを推奨します。たとえば、[図 6-2](#) に示すように、 1.8V 電源については、ランプ スルーが $100\mu\text{s}$ を超えるものを使用することを推奨します。

[図 6-2](#) に、デバイスの電源スルー レートの要件を示します。



SPRT740_ELCH_06

図 6-2. 電源のスルーおよびスルーレート

6.11.2.2 電源シーケンス

このセクションでは、電源シーケンスの図と関連する注を使用して、電源シーケンス要件について説明します。各電源シーケンスの図は、デバイスの各電源レールに必要な順序を表しており、それをデバイスの各電源レールを 1 つまたは複数の波形に割り当てることによって示しています。デュアル電圧電源レールは複数の波形に関連付けられている場合があり、どの波形が該当するかは関連する注に記載されています。各波形は、関連する電源レールの遷移領域を定義し、他の電源レールの遷移領域との順序関係を示しています。電源シーケンスの図に関連する注に、これらの要件の詳細が記載されています。パワーアップ要件の詳細については「パワーアップ シーケンス」セクション、パワーダウン要件の詳細については「パワーダウン シーケンス」セクションを参照してください。

電源シーケンスの図を簡素化するため、2 種類の電源遷移領域が使用されています。図 6-3 および図 6-4 の凡例と説明に、各遷移領域が何を表しているかが明記されています。

図 6-3 は、複数の電源または 1 つの電源から給電される複数の電源レールの遷移領域を定義しています。遷移領域内に示されている遷移は、この波形に関連する電源レールに給電するために複数の電源が使用されている使用事例を表しています。これらの電源には相対的なシーケンス要件はないため、領域内で異なる時間に立ち上げることが可能です。

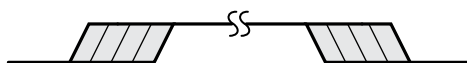


図 6-3. 複数の電源遷移の凡例

図 6-4 は、1 つの共通電源から給電する必要がある 1 つ以上の電源レールの遷移領域を定義しています。遷移領域内で 1 つの立ち上がりを表すため、領域内に遷移は示されていません。

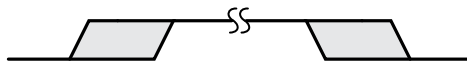


図 6-4. 1 つの共通電源遷移の凡例

6.11.2.2.1 電源オンシーケンシング

表 6-6 および図 6-5 に、本デバイスのパワーダウンシーケンスを示します。

注

このセクションで定義する電源シーケンス要件には、低消費電力モードの開始または終了は含まれません。部分 IO 低消費電力モードの開始時または終了時における要件の詳細については、「部分 IO 電源シーケンス」セクションを参照してください。

注

「推奨動作条件」に定義された最小値を電源レールが下回ったときは必ず、新たにパワーアップシーケンスを開始する前に、すべての電源レールをオフにし、300mV を下回るまで減衰させる必要があります。唯一の例外は、VDDSHV_CANUART および VDD_CANUART が常時オンの電源から電力を供給される、部分 IO 低消費電力モードの開始 / 終了時です。この使用事例では、VDDSHV_CANUART および VDD_CANUART 電源レールをオンのままにしておくことができます。

表 6-6. パワーアップシーケンス - 電源 / 信号の割り当て

図 6-5 を参照

波形	電源 / 信号名
A	VSYS ⁽¹⁾ , VMON_VSYS ⁽²⁾
B	VDDSHV_CANUART ⁽³⁾ , VDDSHV_MCU ⁽³⁾ , VDDSHV0 ⁽³⁾ , VDDSHV1 ⁽³⁾ , VDDSHV2 ⁽³⁾ , VDDSHV3 ⁽³⁾ , VDDA_3P3_USB, VMON_3P3_SOC ⁽⁴⁾
C	VDDSHV_CANUART ⁽⁵⁾ , VDDSHV_MCU ⁽⁵⁾ , VDDSHV0 ⁽⁵⁾ , VDDSHV1 ⁽⁵⁾ , VDDSHV2 ⁽⁵⁾ , VDDSHV3 ⁽⁵⁾ , VDDS_MMC0, VDDA_MCU, VDDS_OSC0, VDDA_PLL0, VDDA_PLL1, VDDA_PLL2, VDDA_PLL3, VDDA_PLL4, VDDA_1P8_CSI_DSI, VDDA_1P8_OLDIO, VDDA_1P8_USB, VDDA_TEMP0, VDDA_TEMP1, VDDA_TEMP2, VMON_1P8_SOC ⁽⁶⁾
D	VDDSHV5 ⁽⁷⁾ , VDDSHV6 ⁽⁷⁾
E	VDDS_DDR ⁽⁸⁾ , VDDS_DDR_C ⁽⁸⁾
F	VDD_CANUART ⁽⁹⁾
G	VDD_CANUART ⁽¹⁰⁾ , VDD_CORE ⁽¹⁰⁾ (12), VDDA_CORE_CSI_DSI ⁽¹⁰⁾ , VDDA_CORE_DSI_CLK ⁽¹⁰⁾ , VDDA_CORE_USB0 ⁽¹⁰⁾ , VDDA_DDR_PLL0 ⁽¹⁰⁾
H	VDD_CANUART ⁽¹¹⁾ , VDD_CORE ⁽¹¹⁾ (12), VDDA_CORE_CSI_DSI ⁽¹¹⁾ , VDDA_CORE_DSI_CLK ⁽¹¹⁾ , VDDA_CORE_USB0 ⁽¹¹⁾ , VDDA_DDR_PLL0 ⁽¹¹⁾ , VDDR_CORE ⁽¹²⁾ , VDD_MMC0, VDDA_0P85_DLL_MMC0
I	VPP ⁽¹³⁾
J	MCU_PORz
K	MCU_OSC0_XI, MCU_OSC0_XO

- (1) VSYS は、システム全体に電力を供給する電源の名前を表します。この電源は、その他のすべての電源に電力を供給するパワー マネージメントデバイスに給電するレギュレーション済みの電源である必要があります。
- (2) VMON_VSYS 入力は、外付け抵抗分圧回路を使って VSYS を監視するために使用されます。詳細については、『システム電源監視設計ガイドライン』セクション 8.2.4 を参照してください。
- (3) VDDSHV_CANUART、VDDSHV_MCU、VDDSHVx [x = 0~3] はデュアル電圧 IO 電源で、アプリケーションの要件に応じて 1.8V または 3.3V で動作できます。
VDDSHV_CANUART は、部分 IO 低消費電力モードを使用する場合は常時オンの電源に接続し、部分 IO 低消費電力モードを使用しない場合は有効な任意の IO 電源に接続する必要があります。VDDSHV_CANUART が常時オンの電源に接続されておらず、3.3V で動作している場合は、この波形で定義される 3.3V のランプ期間中に、他の 3.3V 電源を使用して電圧を上昇させます。
VDDSHV_MCU と VDDSHVx [x = 0~3] IO 電源のいずれかが 3.3V で動作している場合、この波形で定義される 3.3V のランプ期間中に、他の 3.3V 電源を使用して電圧を上昇させます。
- (4) VMON_3P3_SOC 入力は電源電圧の監視に使用し、それぞれの 3.3V 電源に接続します。
- (5) VDDSHV_CANUART、VDDSHV_MCU、VDDSHVx [x = 0~3] はデュアル電圧 IO 電源で、アプリケーションの要件に応じて 1.8V または 3.3V で動作できます。

VDDSHV_CANUART は、部分 IO 低消費電力モードを使用する場合は常時オンの電源に接続し、部分 IO 低消費電力モードを使用しない場合は有効な任意の IO 電源に接続する必要があります。VDDSHV_CANUART が常時オンの電源に接続されておらず、1.8V で動作している場合は、この波形で定義される 1.8V のランプ期間中に、他の 1.8V 電源を使用して電圧を上昇させます。

VDDSHV_MCU と VDDSHVx [x = 0~3] IO 電源のいずれかが 1.8V で動作している場合、この波形で定義される 1.8V のランプ期間中に、他の 1.8V 電源を使用して電圧を上昇させます。

- (6) VMON_1P8_SOC 入力は電源電圧の監視に使用し、それぞれの 1.8V 電源に接続します。
- (7) VDDSHV5 および VDDSHV6 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、または動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
- (8) VDDS_DDR と VDDS_DDR_C は、電圧と一緒に上昇するように、同じ電源から給電する必要があります。
- (9) 部分 IO 低消費電力モードを使用する場合は、VDD_CANUART を常時オンの電源に接続します。
VDD_CANUART が常時オンの電源に接続されている場合、パワーアップ時またはパワーダウン時に、VDD_CORE に印加される電位が VDD_CANUART に印加される電位に 0.18V を加えた電位を超えないようにしてください。これには、VDD_CANUART の電圧を VDD_CORE より先に上昇させ、VDD_CORE よりも後に下降させる必要があります。VDD_CANUART には、VDD_CORE に定義されたランプ要件以外のランプ要件はありません。
- (10) 部分 IO 低消費電力モードを使用しない場合は、VDD_CANUART を VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB、VDDA_DDR_PLL0 と同じ電源に接続する必要があります。
VDD_CANUART、VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB、VDDA_DDR_PLL0 は 0.75V または 0.85V で動作可能です。これらの電源が 0.75V で動作している場合、この波形で定義されるように、VDDR_CORE よりも先に電圧を上昇させる必要があります。
- (11) 部分 IO 低消費電力モードを使用しない場合は、VDD_CANUART を VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB、VDDA_DDR_PLL0 と同じ電源に接続する必要があります。
VDD_CANUART、VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB、VDDA_DDR_PLL0 は 0.75V または 0.85V で動作可能です。これらの電源が 0.85V で動作している場合、VDDR_CORE と同じ電源から電力を供給し、この波形で定義される 0.85V のランプ期間中に電圧を上昇させる必要があります。
- (12) パワーアップ時またはパワーダウン時に、VDDR_CORE に印加される電位が VDD_CORE に印加される電位に 0.18V を加えた電位を超えないようにしてください。これを満たすには、VDD_CORE が 0.75V で動作している場合、VDD_CORE の電圧を VDDR_CORE よりも先に上昇させ、VDDR_CORE よりも後に下降させる必要があります。VDD_CORE には、VDDR_CORE に定義されたランプ要件以外のランプ要件はありません。
VDD_CORE が 0.85V で動作している場合、VDD_CORE と VDDR_CORE は、電圧と一緒に上昇するように、同じ電源から給電する必要があります。
- (13) VPP は 1.8V eFuse プログラミング電源であり、パワーアップ / ダウン シーケンス中および通常のデバイス動作中は、フローティング (HiZ) のままにするか、グランドに接続する必要があります。この電源には、eFuse のプログラミング中にのみ電力を供給します。

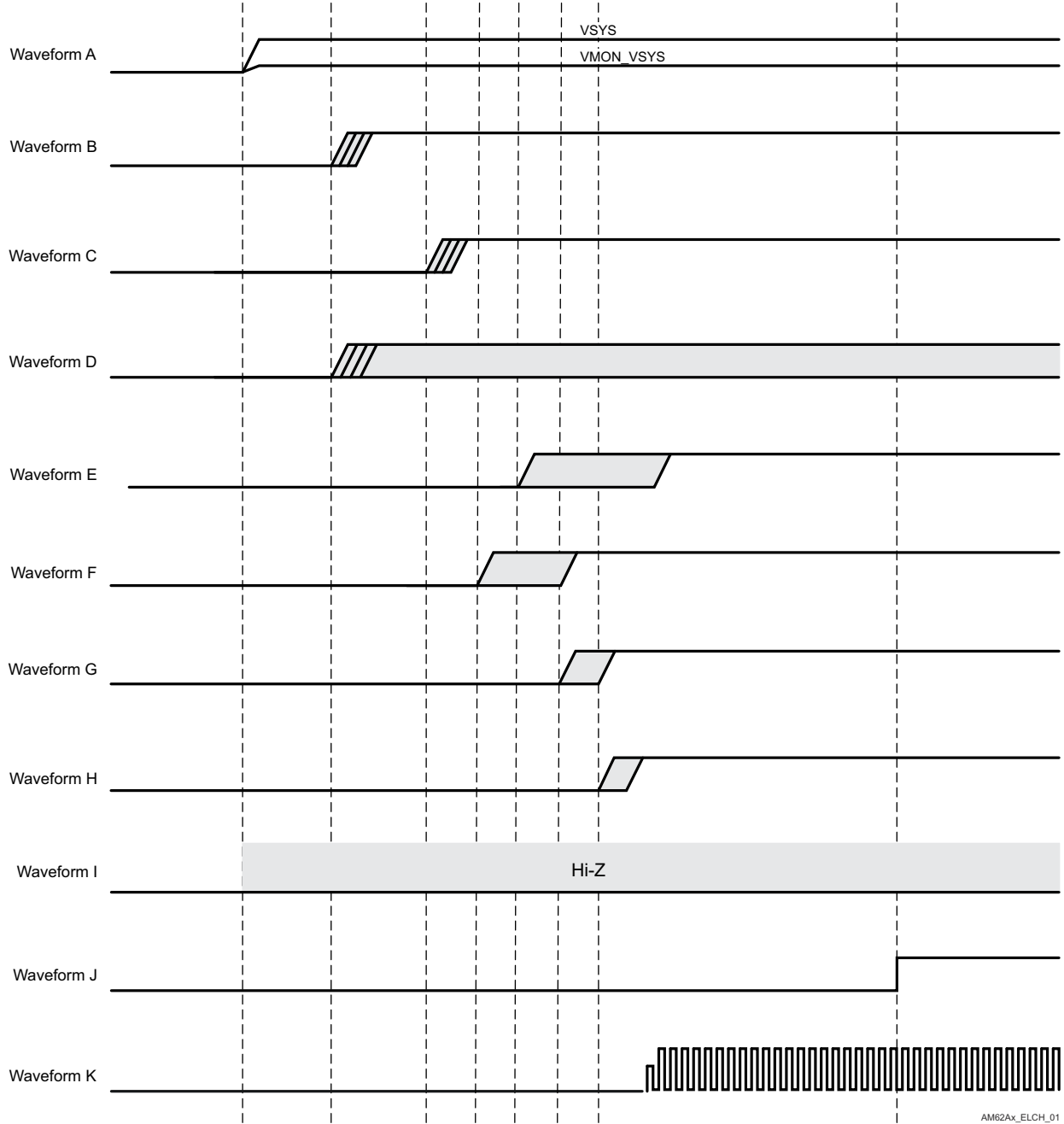


図 6-5. パワーアップ シーケンス

6.11.2.2.2 電源オフ シーケンス

表 6-7 および図 6-6 に、このデバイスのパワーダウン シーケンスを示します。

注

このセクションで定義する電源シーケンス要件には、低消費電力モードの開始または終了は含まれません。部分 IO 低消費電力モードの開始時または終了時における要件の詳細については、「部分 IO 電源シーケンス」セクションを参照してください。

注

「推奨動作条件」に定義された最小値を電源レールが下回ったときは必ず、新たにパワーアップ シーケンスを開始する前に、すべての電源レールをオフにし、300mV を下回るまで減衰させる必要があります。唯一の例外は、VDDSHV_CANUART および VDD_CANUART が常時オンの電源から電力を供給される、部分 IO 低消費電力モードの開始 / 終了時です。この使用事例では、VDDSHV_CANUART および VDD_CANUART 電源レールをオンのままにしておくことができます。

表 6-7. パワーダウン シーケンス - 電源 / 信号の割り当て

図 6-6 を参照

波形	電源 / 信号名
A	VSYS, VMON_VSYS
B	VDDSHV_CANUART ⁽¹⁾ , VDDSHV_MCU ⁽¹⁾ , VDDSHV0 ⁽¹⁾ , VDDSHV1 ⁽¹⁾ , VDDSHV2 ⁽¹⁾ , VDDSHV3 ⁽¹⁾ , VDDA_3P3_USB, VMON_3P3_SOC
C	VDDSHV_CANUART ⁽²⁾ , VDDSHV_MCU ⁽²⁾ , VDDSHV0 ⁽²⁾ , VDDSHV1 ⁽²⁾ , VDDSHV2 ⁽²⁾ , VDDSHV3 ⁽²⁾ , VDDS_MMCO, VDDA_MCU, VDDS_OSC0, VDDA_PLL0, VDDA_PLL1, VDDA_PLL2, VDDA_PLL3, VDDA_PLL4, VDDA_1P8_CSI_DSI, VDDA_1P8_OLDIO, VDDA_1P8_USB, VDDA_TEMP0, VDDA_TEMP1, VDDA_TEMP2, VMON_1P8_SOC
D	VDDSHV5 ⁽³⁾ , VDDSHV6 ⁽³⁾
E	VDDS_DDR, VDDS_DDR_C
F	VDD_CANUART ⁽⁴⁾
G	VDD_CANUART ⁽⁵⁾ , VDD_CORE ⁽⁵⁾ , VDDA_CORE_CSI_DSI ⁽⁵⁾ , VDDA_CORE_DSI_CLK ⁽⁵⁾ , VDDA_CORE_USB0 ⁽⁵⁾ , VDDA_DDR_PLL0 ⁽⁵⁾
H	VDD_CANUART ⁽⁶⁾ , VDD_CORE ⁽⁶⁾ , VDDA_CORE_CSI_DSI ⁽⁶⁾ , VDDA_CORE_DSI_CLK ⁽⁶⁾ , VDDA_CORE_USB0 ⁽⁶⁾ , VDDA_DDR_PLL0 ⁽⁶⁾ , VDDR_CORE, VDD_MMCO, VDDA_0P85_DLL_MMCO
I	VPP
J	MCU_PORz
K	MCU_OSC0_XI, MCU_OSC0_XO

- (1) VDDSHV_CANUART, VDDSHV_MCU, および VDDSHVx [x=0~3] (3.3V 動作時)。
- (2) VDDSHV_CANUART, VDDSHV_MCU, および VDDSHVx [x=0~3] (1.8V 動作時)。
- (3) VDDSHV5 および VDDSHV6 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、または動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
- (4) 部分 IO 低消費電力モードで VDD_CANUART が常時オンの電源に接続されている場合。
- (5) VDD_CANUART, VDD_CORE, VDDA_CORE_CSI_DSI, VDDA_CORE_DSI_CLK, VDDA_CORE_USB0, VDDA_DDR_PLL0 が 0.75V で動作している場合
- (6) VDD_CANUART, VDD_CORE, VDDA_CORE_CSI_DSI, VDDA_CORE_DSI_CLK, VDDA_CORE_USB0, VDDA_DDR_PLL0 が 0.85V で動作している場合

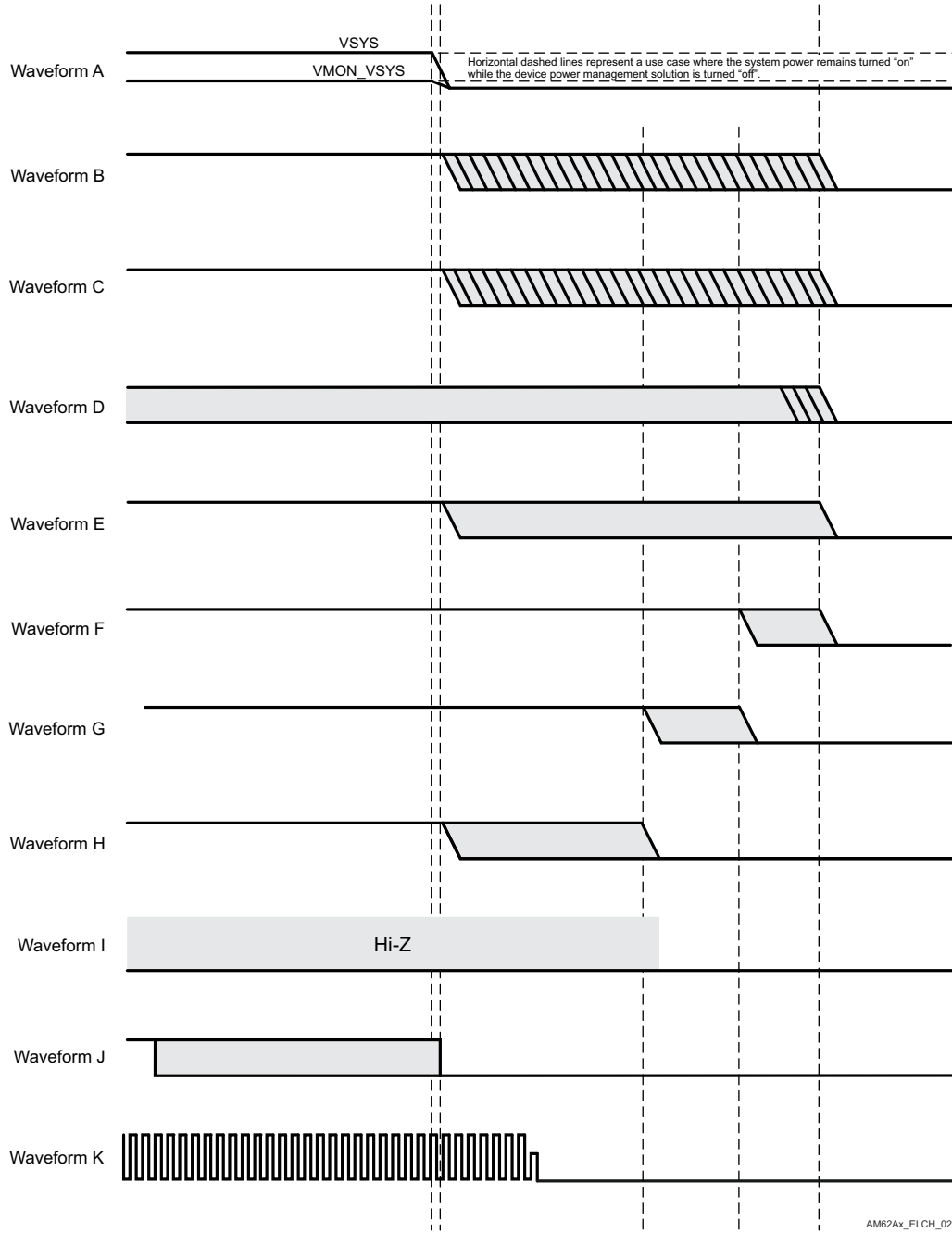


図 6-6. パワーダウン シーケンス

6.11.2.2.3 部分 IO 電源シーケンス

このセクションでは、低消費電力モードを開始または終了するときの電源シーケンス要件について説明します。

このデバイスでサポートされている低消費電力モード、および各低消費電力モードに割り当てられている名前の詳細については、テクニカルリファレンス マニュアルの「デバイス構成」の章にある「電力モード」セクションを参照してください。

部分 IO は、デバイスの電源レールの電源を変更する必要がある唯一の低消費電力モードです。部分 IO モードで動作しているときは、VDD_CANUART および VDDSHV_CANUART を除くすべての電源レールがオフになります。部分 IO への移行に必要な電源シーケンスは、VDD_CANUART および VDDSHV_CANUART に電源が供給されたままであること以外は、「[パワーダウン シーケンシング](#)」セクションで定義されているシーケンスと同じです。部分 IO を終了するために必要な電源シーケンスは、VDD_CANUART および VDDSHV_CANUART にすでに電源が供給されている以外は、「[パワーアップ シーケンシング](#)」セクションで定義されているシーケンスと同じです。

6.11.3 システムのタイミング

サブシステム多重化信号の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.11.3.1 リセット タイミング

このセクションの表と図では、リセット関連信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-8. リセットのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	VDD ⁽¹⁾ = 1.8V	0.0018	V/ns
		VDD ⁽¹⁾ = 3.3V	0.0033	V/ns
出力条件				
C _L	出力負荷容量		30	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-9. MCU_PORz のタイミング要件

図 6-7 を参照

番号	パラメータ	最小値	最大値	単位
RST1	t _h (SUPPLIES_VALID - MCU_PORz) ホールド時間、パワーアップ時に電源が有効になった後、MCU_PORz アクティブ (Low) の間 (外付け水晶振動子回路使用の場合)	9500000		ns
RST2		ホールド時間、パワーアップ時に電源が有効になり、かつ外部クロックが安定した後、MCU_PORz アクティブ (Low) の間 (外部 LVCMOS クロック源使用の場合)	1200	
RST3	t _w (MCU_PORzL) パルス幅、電源投入後に MCU_PORz が Low の時間 (電源またはシステム基準クロック MCU_OSC0_XI/XO が維持されている場合)	1200		ns

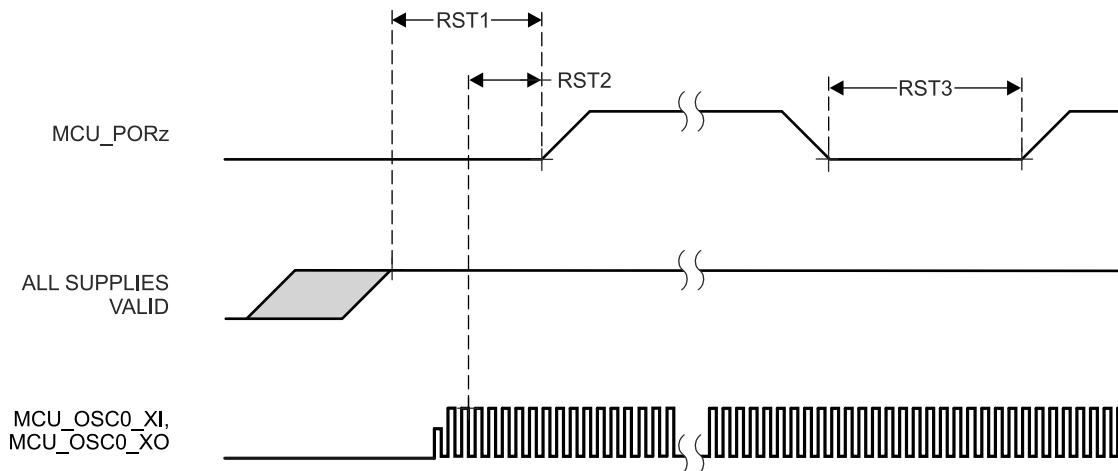


図 6-7. MCU_PORz のタイミング要件

表 6-10. MCU_RESETSTATz と RESETSTATz のスイッチング特性

図 6-8 を参照

番号	パラメータ	最小値	最大値	単位
RST4	$t_d(\text{MCU_PORzL-MCU_RESETSTATzL})$	遅延時間、MCU_PORz アクティブ (low) から MCU_RESETSTATz アクティブ (low) まで	0	ns
RST5	$t_d(\text{MCU_PORzH-MCU_RESETSTATzH})$	遅延時間、MCU_PORz 非アクティブ (high) から MCU_RESETSTATz 非アクティブ (high) まで	$6120 * S^{(1)}$	ns
RST6	$t_d(\text{MCU_PORzL-RESETSTATzL})$	遅延時間、MCU_PORz アクティブ (low) から RESETSTATz アクティブ (low) まで	0	ns
RST7	$t_d(\text{MCU_PORzH-RESETSTATzH})$	遅延時間、MCU_PORz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	$9195 * S^{(1)}$	ns
RST8	$t_w(\text{MCU_RESETSTATzL})$	パルス幅、MCU_RESETSTATz Low (SW_MCU_WARMRST)	$966 * S^{(1)}$	ns
RST9	$t_w(\text{RESETSTATzL})$	パルス幅、RESETSTATz Low (SW_MCU_WARMRST, SW_MAIN_PORz, SW_MAIN_WARMRST)	$4040 * S$	ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

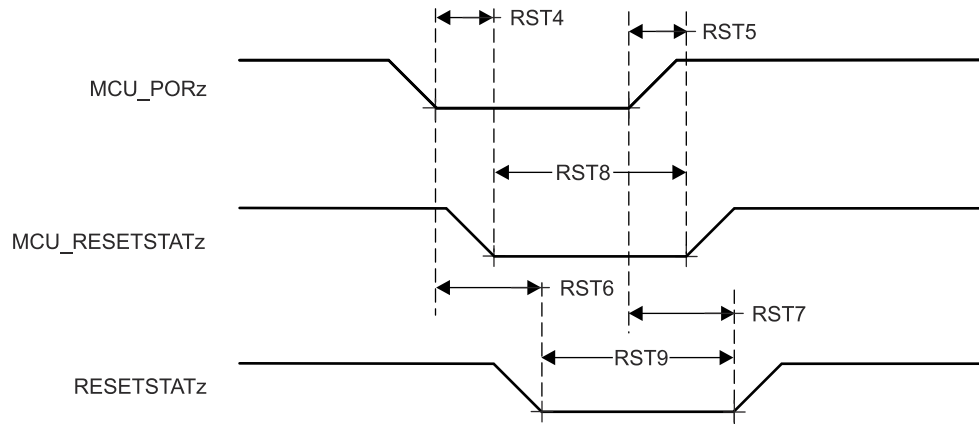


図 6-8. MCU_RESETSTATz と RESETSTATz のスイッチング特性

表 6-11. MCU_RESETz のタイミング要件

図 6-9 を参照

番号	パラメータ	最小値	最大値	単位
RST10	$t_w(\text{MCU_RESETz})^{(1)}$	1200		ns

(1) このタイミングパラメータは、すべての電源が有効になり、MCU_PORz が指定された時間アサートされた後にのみ有効です。

表 6-12. MCU_RESETSTATz と RESETSTATz のスイッチング特性

図 6-9 を参照

番号	パラメータ	最小値	最大値	単位
RST11	$t_d(\text{MCU_RESETzL-MCU_RESETSTATzL})$	0		ns
RST12	$t_d(\text{MCU_RESETzH-MCU_RESETSTATzH})$	966*S ⁽¹⁾		ns
RST13	$t_d(\text{MCU_RESETzL-RESETSTATzL})$	960		ns
RST14	$t_d(\text{MCU_RESETzH-RESETSTATzH})$	4040*S ⁽¹⁾		ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

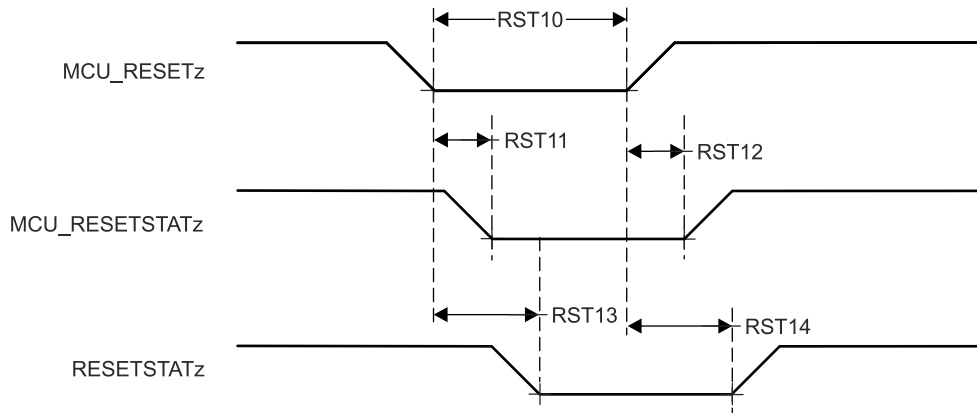


図 6-9. MCU_RESETz、MCU_RESETSTATz、RESETSTATz のタイミング要件とスイッチング特性

表 6-13. RESET_REQz のタイミング要件

図 6-10 を参照

番号	パラメータ	最小値	最大値	単位
RST15	$t_w(\text{RESET_REQzL})^{(1)}$	1200		ns

(1) このタイミングパラメータは、すべての電源が有効になり、MCU_PORz が指定された時間アサートされた後にのみ有効です。

表 6-14. RESETSTATz のスイッチング特性

図 6-10 を参照

番号	パラメータ	最小値	最大値	単位
RST16	$t_d(\text{RESET_REQzL-RESETSTATzL})$	$900 \cdot T^{(1)}$		ns
RST17	$t_d(\text{RESET_REQzH-RESETSTATzH})$	$4040 \cdot S^{(2)}$		ns

(1) T = リセット分離時間 (ソフトウェアに依存)

(2) S = MCU_OSC0_XI/XO クロック周期 (ns)。

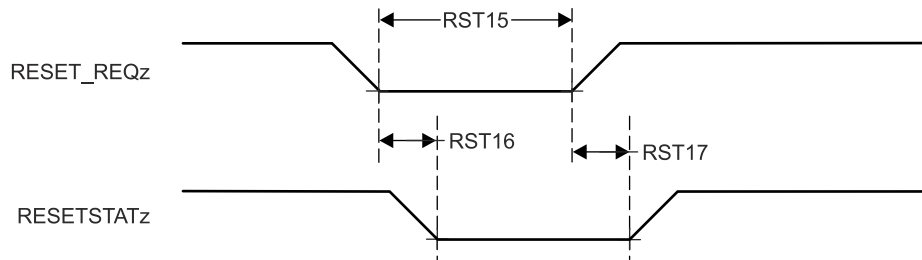


図 6-10. RESET_REQz と RESETSTATz のタイミング要件とスイッチング特性

表 6-15. EMUx のタイミング要件

図 6-11 を参照

番号	パラメータ	最小値	最大値	単位
RST18	$t_{su}(\text{EMUx-MCU_PORz})$	$3 \cdot S^{(1)}$		ns
RST19	$t_h(\text{MCU_PORz - EMUx})$	10		ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

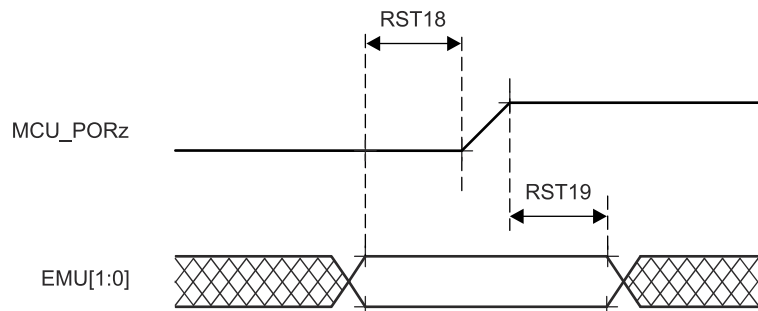


図 6-11. EMUx のタイミング要件

表 6-16. BOOTMODE のタイミング要件

図 6-12 を参照

番号	パラメータ	最小値	最大値	単位
RST23	$t_{su}(\text{BOOTMODE-PORz_OUT})$	3*S (1)		ns
RST24	$t_h(\text{PORz_OUT - BOOTMODE})$	0		ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

表 6-17. PORz_OUT のスイッチング特性

図 6-12 を参照

番号	パラメータ	最小値	最大値	単位
RST25	$t_d(\text{MCU_PORzL-PORz_OUT})$	0		ns
RST26	$t_d(\text{MCU_PORzH-PORz_OUT})$	1840		ns
RST27	$t_w(\text{PORz_OUTL})$	1200		ns

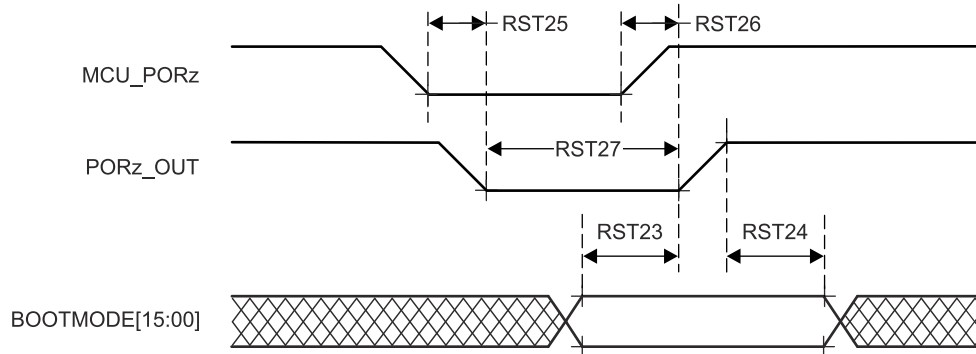


図 6-12. BOOTMODE のタイミング要件と PORz_OUT のスイッチング特性

6.11.3.2 エラー信号タイミング

このセクションの表と図では、MCU_ERRORn のタイミング条件とスイッチング特性を定義します。

表 6-18. エラー信号のタイミング条件

パラメータ		最小値	最大値	単位
出力条件				
C _L	出力負荷容量		30	pF

表 6-19. MCU_ERRORn のスイッチング特性

図 6-13 参照

番号	パラメータ	最小値	最大値	単位
ERR1	t _c (MCU_ERRORn) 最小サイクル時間、MCU_ERRORn (PWM モード イネーブル)	(P*H)+(P*L) ^{(1) (3) (4)}		ns
ERR2	t _w (MCU_ERRORn) 最小パルス幅、MCU_ERRORn アクティブ (PWM モード ディスエーブル) ⁽⁵⁾	P*R ^{(1) (2)}		ns
ERR3	t _d (ERROR_CONDITION- MCU_ERRORnL) 遅延時間、エラー状態から MCU_ERRORn アクテ ィブまで ⁽⁵⁾	50*P ⁽¹⁾		ns

(1) P = ESM 機能クロック周期 (ns 単位)。

(2) R = エラー ピン カウンタ プリロード レジスタ カウント値。

(3) H = エラー ピン PWM High プリロード レジスタ カウント値。

(4) L = エラー ピン PWM Low プリロード レジスタ カウント値。

(5) PWM モードが有効化されている場合、ERR3 後、MCU_ERRORn はトグルを停止し、エラーがクリアされるまでその値 (High と Low のどちらか) を維持します。PWM モードがディスエーブルの場合、MCU_ERRORn はアクティブ Low です。

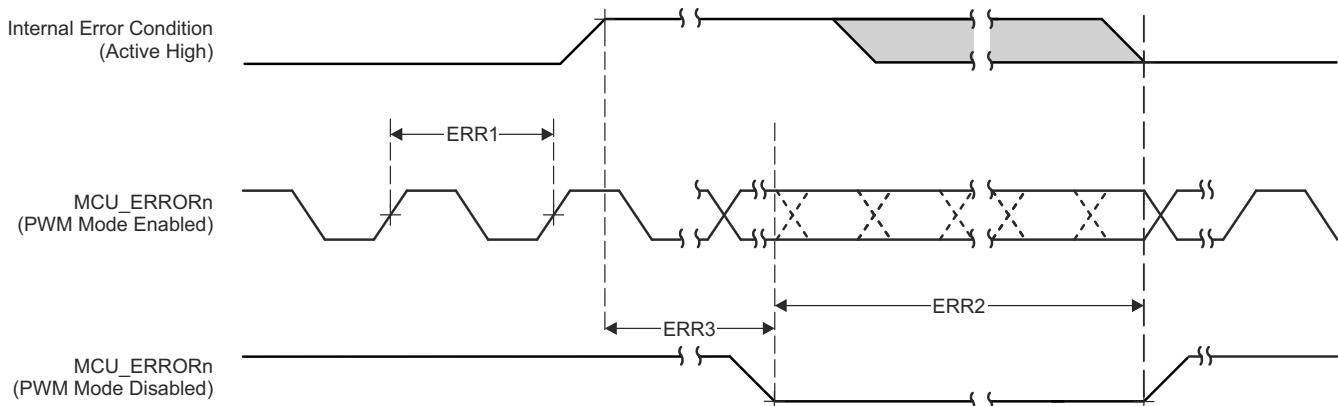


図 6-13. MCU_ERRORn のタイミング要件およびスイッチング特性

6.11.3.3 クロックのタイミング

このセクションの表と図では、クロック信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-20. クロックのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	0.5		V/ns
出力条件				
C _L	出力負荷容量	5ns ≤ t _c < 8ns		5 pF
		8ns ≤ t _c < 20ns		10 pF
		20ns ≤ t _c		30 pF

表 6-21. クロックのタイミング要件

図 6-14 参照

番号	パラメータ	説明	最小値	最大値	単位
CLK1	t _c (EXT_REFCLK1)	最小サイクル時間、EXT_REFCLK1	10		ns
CLK2	t _w (EXT_REFCLK1H)	パルス幅、EXT_REFCLK1 High	E*0.45 ⁽¹⁾	E*0.55 ⁽¹⁾	ns
CLK3	t _w (EXT_REFCLK1L)	パルス幅、EXT_REFCLK1 Low	E*0.45 ⁽¹⁾	E*0.55 ⁽¹⁾	ns
CLK1	t _c (MCU_EXT_REFCLK0)	最小サイクル時間、MCU_EXT_REFCLK0	10		ns
CLK2	t _w (MCU_EXT_REFCLK0H)	パルス幅、MCU_EXT_REFCLK0 High	F*0.45 ⁽²⁾	F*0.55 ⁽²⁾	ns
CLK3	t _w (MCU_EXT_REFCLK0L)	パルス幅、MCU_EXT_REFCLK0 Low	F*0.45 ⁽²⁾	F*0.55 ⁽²⁾	ns
CLK1	t _c (AUDIO_EXT_REFCLK0)	最小サイクル時間、AUDIO_EXT_REFCLK0	20		ns
CLK2	t _w (AUDIO_EXT_REFCLK0H)	パルス幅、AUDIO_EXT_REFCLK0 High	G*0.45 ⁽³⁾	G*0.55 ⁽³⁾	ns
CLK3	t _w (AUDIO_EXT_REFCLK0L)	パルス幅、AUDIO_EXT_REFCLK0 Low	G*0.45 ⁽³⁾	G*0.55 ⁽³⁾	ns
CLK1	t _c (AUDIO_EXT_REFCLK1)	最小サイクル時間、AUDIO_EXT_REFCLK1	20		ns
CLK2	t _w (AUDIO_EXT_REFCLK1H)	パルス幅、AUDIO_EXT_REFCLK1 High	H*0.45 ⁽⁴⁾	H*0.55 ⁽⁴⁾	ns
CLK3	t _w (AUDIO_EXT_REFCLK1L)	パルス幅、AUDIO_EXT_REFCLK1 Low	H*0.45 ⁽⁴⁾	H*0.55 ⁽⁴⁾	ns

- (1) E = EXT_REFCLK1 サイクル時間 (ns)。
- (2) F = MCU_EXT_REFCLK0 サイクル時間 (ns)。
- (3) G = AUDIO_EXT_REFCLK0 サイクル時間 (ns)。
- (4) H = AUDIO_EXT_REFCLK1 サイクル時間 (ns)。

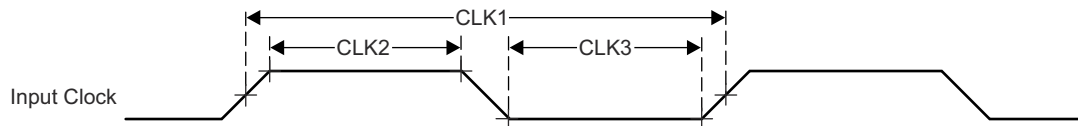


図 6-14. クロックのタイミング要件

表 6-22. クロックのスイッチング特性

図 6-15 参照

番号	パラメータ	最小値	最大値	単位
CLK4	$t_{c}(\text{SYSCLKOUT0})$	最小サイクル時間、SYSCLKOUT0	8	ns
CLK5	$t_{w}(\text{SYSCLKOUT0H})$	パルス幅、SYSCLKOUT0 High	$A*0.4^{(1)}$	$A*0.6^{(1)}$ ns
CLK6	$t_{w}(\text{SYSCLKOUT0L})$	パルス幅、SYSCLKOUT0 Low	$A*0.4^{(1)}$	$A*0.6^{(1)}$ ns
CLK4	$t_{c}(\text{OBSCLK0})$	最小サイクル時間、OBSCLK0	5	ns
CLK5	$t_{w}(\text{OBSCLK0H})$	パルス幅、OBSCLK0 High	$B*0.45^{(2)}$	$B*0.55^{(2)}$ ns
CLK6	$t_{w}(\text{OBSCLK0L})$	パルス幅、OBSCLK0 Low	$B*0.45^{(2)}$	$B*0.55^{(2)}$ ns
CLK4	$t_{c}(\text{OBSCLK1})$	最小サイクル時間、OBSCLK1	5	ns
CLK5	$t_{w}(\text{OBSCLK1H})$	パルス幅、OBSCLK1 High	$F*0.45^{(3)}$	$F*0.55^{(3)}$ ns
CLK6	$t_{w}(\text{OBSCLK1L})$	パルス幅、OBSCLK1 Low	$F*0.45^{(3)}$	$F*0.55^{(3)}$ ns
CLK4	$t_{c}(\text{CLKOUT0})$	最小サイクル時間、CLKOUT0	20	ns
CLK5	$t_{w}(\text{CLKOUT0H})$	パルス幅、CLKOUT0 High	$C*0.4^{(4)}$	$C*0.6^{(4)}$ ns
CLK6	$t_{w}(\text{CLKOUT0L})$	パルス幅、CLKOUT0 Low	$C*0.4^{(4)}$	$C*0.6^{(4)}$ ns
CLK4	$t_{c}(\text{MCU_SYSCLKOUT0})$	最小サイクル時間、MCU_SYSCLKOUT0	10	ns
CLK5	$t_{w}(\text{MCU_SYSCLKOUT0H})$	パルス幅、MCU_SYSCLKOUT0 High	$E*0.4^{(5)}$	$E*0.6^{(5)}$ ns
CLK6	$t_{w}(\text{MCU_SYSCLKOUT0L})$	パルス幅、MCU_SYSCLKOUT0 Low	$E*0.4^{(5)}$	$E*0.6^{(5)}$ ns
CLK4	$t_{c}(\text{MCU_OBSCLK0})$	最小サイクル時間、MCU_OBSCLK0	5	ns
CLK5	$t_{w}(\text{MCU_OBSCLK0H})$	パルス幅、MCU_OBSCLK0 High	$D*0.45^{(6)}$	$D*0.55^{(6)}$ ns
CLK6	$t_{w}(\text{MCU_OBSCLK0L})$	パルス幅、MCU_OBSCLK0 Low	$D*0.45^{(6)}$	$D*0.55^{(6)}$ ns
CLK4	$t_{c}(\text{WKUP_CLKOUT0})$	最小サイクル時間、WKUP_CLKOUT0	5	ns
CLK5	$t_{w}(\text{WKUP_CLKOUT0H})$	パルス幅、WKUP_CLKOUT0 High	$W*0.4^{(7)}$	$W*0.6^{(7)}$ ns
CLK6	$t_{w}(\text{WKUP_CLKOUT0L})$	パルス幅、WKUP_CLKOUT0 Low	$W*0.4^{(7)}$	$W*0.6^{(7)}$ ns
CLK4	$t_{c}(\text{AUDIO_EXT_REFCLK0})$	最小サイクル時間、AUDIO_EXT_REFCLK0 (McASP クロック ソース)	20	ns
		最小サイクル時間、AUDIO_EXT_REFCLK0 (PLL クロック ソース)	10	ns
CLK5	$t_{w}(\text{AUDIO_EXT_REFCLK0 H})$	パルス幅、AUDIO_EXT_REFCLK0 High	$G*0.4^{(8)}$	$G*0.6^{(8)}$ ns
CLK6	$t_{w}(\text{AUDIO_EXT_REFCLK0 L})$	パルス幅、AUDIO_EXT_REFCLK0 Low	$G*0.4^{(8)}$	$G*0.6^{(8)}$ ns
CLK4	$t_{c}(\text{AUDIO_EXT_REFCLK1})$	最小サイクル時間、AUDIO_EXT_REFCLK1 (McASP クロック ソース)	20	ns
		最小サイクル時間、AUDIO_EXT_REFCLK1 (PLL クロック ソース)	10	ns
CLK5	$t_{w}(\text{AUDIO_EXT_REFCLK1 H})$	パルス幅、AUDIO_EXT_REFCLK1 High	$J*0.4^{(9)}$	$J*0.6^{(9)}$ ns
CLK6	$t_{w}(\text{AUDIO_EXT_REFCLK1 L})$	パルス幅、AUDIO_EXT_REFCLK1 Low	$J*0.4^{(9)}$	$J*0.6^{(9)}$ ns

(1) A = SYSCLKOUT0 サイクル時間 (ns)。

(2) B = OBSCLK0 サイクル時間 (ns)。

(3) F = OBSCLK1 サイクル時間 (ns)。

(4) C = CLKOUT0 サイクル時間 (ns)。

(5) E = MCU_SYSCLKOUT0 サイクル時間 (ns)。

(6) D = MCU_OBSCLK0 サイクル時間 (ns)。

(7) W = WKUP_CLKOUT0 サイクル時間 (ns)。

(8) G = AUDIO_EXT_REFCLK0 サイクル時間 (ns)。

(9) J = AUDIO_EXT_REFCLK1 サイクル時間 (ns)。

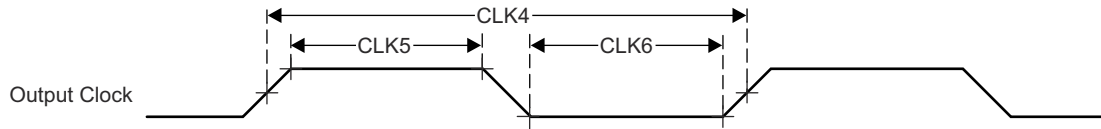


図 6-15. クロックのスイッチング特性

6.11.4 クロック仕様

6.11.4.1 入力クロック / 発振器

本デバイスを駆動するには、各種の外部クロック入力 / 出力が必要です。これらの入力クロック信号の概要は、以下のとおりです。

- MCU_OSC0_XO/MCU_OSC0_XI — 内部基準クロック HFOSC0_CLKOUT のデフォルト クロック ソースである内部高周波発振器 (MCU_HFOSC0) に接続された外部メイン水晶振動子インターフェイス ピン。
- WKUP_LFOSC0_XO/WKUP_LFOSC0_XI — オプションの 32768Hz 基準クロックを供給する内部低周波数発振器 (WKUP_LFOSC0) に接続された外部水晶振動子インターフェイス ピン。
- 汎用クロック入力
 - MCU_EXT_REFCLK0 — オプションの外部システム クロック。
 - EXT_REFCLK1 — オプションの外部システム クロック。
- 外部ビデオ ピクセル クロック入力
 - VOUT0_EXTCLKIN — DSS の DPI0 ポートの場合はオプション。
- 外部 CPTS 基準クロック入力
 - CP_GEMAC_CPTS0_RFT_CLK — CPTS_RFT_CLK のオプションの基準クロック入力。
- 外部オーディオ基準クロック入出力
 - AUDIO_EXT_REFCLK[1:0] — 入力として動作するように構成されている場合、オプションの McASP 高周波入力クロック。

入力クロック インターフェイスの詳細については、デバイス テクニカル リファレンス マニュアルの「デバイス構成」の章にある「クロック処理」のセクションを参照してください。

6.11.4.1.1 MCU_OSC0 内部発振器クロック ソース

図 6-16 に、水晶発振器の推奨回路を示します。振動子の回路の実装に使用されるすべてのディスクリート部品は、MCU_OSC0_XI および MCU_OSC0_XO ピンのできるだけ近くに配置する必要があります。

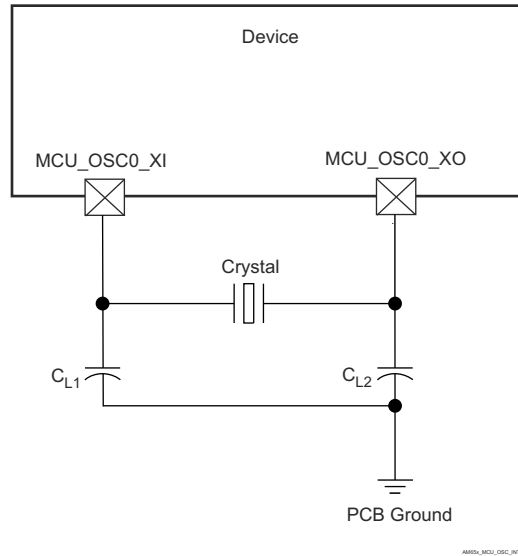


図 6-16. MCU_OSC0 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-23 に、必要な電氣的制約事項を示します。

表 6-23. MCU_OSC0 水晶振動子回路の要件

パラメータ		最小値	標準値	最大値	単位
F_{xtal}	水晶振動子の並列共振周波数	25			MHz
F_{xtal}	水晶振動子の周波数安定性および許容誤差	イーサネット RGMII および RMII は未使用		±100	ppm
		派生クロックを使用するイーサネット RGMII と RMII		±50	
$C_{L1+PCBXI}$	$C_{L1} + C_{PCBXI}$ の容量	12		24	pF
$C_{L2+PCBXO}$	$C_{L2} + C_{PCBXO}$ の容量	12		24	pF
C_L	水晶振動子の負荷容量	6		12	pF
C_{shunt}	水晶発振回路のシャント容量	$ESR_{xtal} = 30\Omega$	25MHz	7	pF
		$ESR_{xtal} = 40\Omega$	25MHz	5	pF
		$ESR_{xtal} = 50\Omega$	25MHz	5	pF
ESR_{xtal}	水晶振動子の等価直列抵抗			(1)	Ω

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。C_{shunt} パラメータを参照してください。

システムの設計で水晶振動子を選択するときは、ワーストケースの環境やシステムの予測寿命に基づいて、水晶振動子の温度特性および経年変化特性を考慮する必要があります。

表 6-24 に、発振器のスイッチング特性の詳細を示します。

表 6-24. MCU_OSC0 のスイッチング特性 – 水晶振動子モード

パラメータ		最小値	標準値	最大値	単位
C_{XI}	XI 容量			1.538	pF
C_{XO}	XO 容量			1.397	pF
C_{XIXO}	XI から XO への相互容量			0.01	pF

表 6-24. MCU_OSC0 のスイッチング特性 – 水晶振動子モード (続き)

パラメータ	最小値	標準値	最大値	単位
t_s 起動時間		4		ms

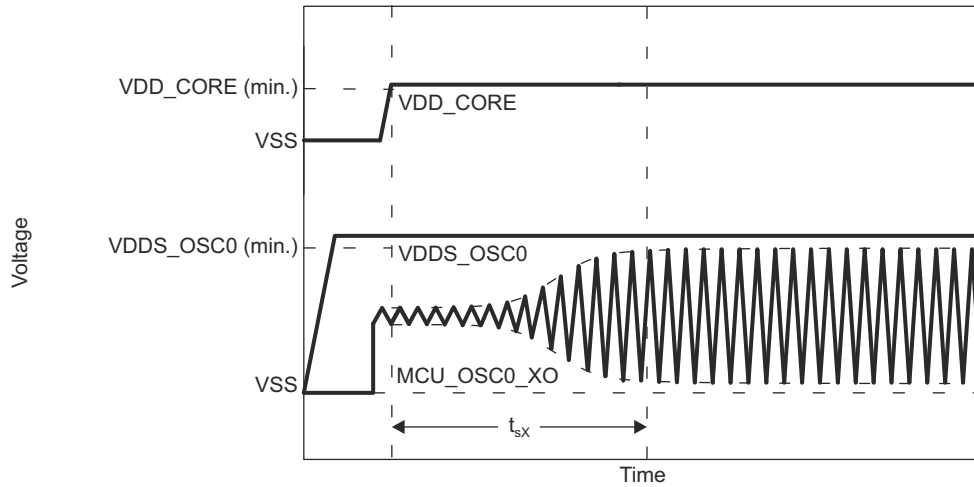


図 6-17. MCU_OSC0 スタートアップ時間

6.11.4.1.1.1 負荷容量

水晶振動子回路は、水晶振動子メーカーの定義に従って、水晶振動子に適切な容量性負荷がかかるように設計する必要があります。この回路の容量性負荷 C_L は、ディスクリート コンデンサ C_{L1} 、 C_{L2} 、およびいくつかの寄生成分から構成されています。水晶振動子回路の部品を MCU_OSC0_XI および MCU_OSC0_XO に接続する PCB 信号パターンには、グラウンド への寄生容量 C_{PCBXI} および C_{PCBXO} があり、PCB 設計者は各信号パターンの寄生容量を把握する必要があります。MCU_OSC0 回路およびデバイス パッケージには、グラウンドへの寄生容量 C_{PCBXI} および C_{PCBXO} があります。ここで、これらの寄生容量の値は、表 6-24 で定義されています。

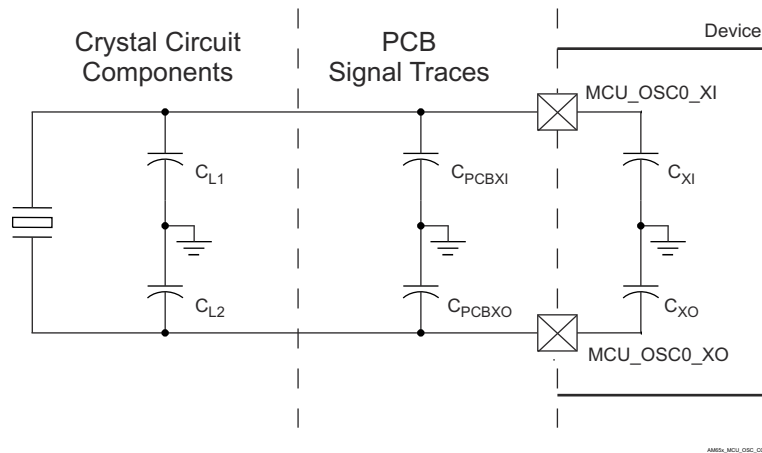


図 6-18. 負荷容量

図 6-16 の負荷コンデンサ C_{L1} および C_{L2} は、次の式が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

C_{L1} と C_{L2} の値を決定するには、まず、容量性負荷の値 C_L に 2 を乗算します。この結果に対して、 $C_{PCBXI} + C_{XI}$ の合成値を減算すれば C_{L1} の値が得られます。また、 $C_{PCBXO} + C_{XO}$ の合成値を減算すれば、 C_{L2} の値が得られます。たとえば、 $C_L = 10\text{pF}$ 、 $C_{PCBXI} = 2.9\text{pF}$ 、 $C_{XI} = 0.5\text{pF}$ 、 $C_{PCBXO} = 3.7\text{pF}$ 、 $C_{XO} = 0.5\text{pF}$ の場合、 $C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$ および $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$ となります。

6.11.4.1.1.2 シャント容量

また、水晶振動子回路は、表 6-23 に定義された MCU_OSC0 動作条件の最大シャント容量を超えないように設計する必要があります。水晶振動子回路のシャント容量 C_{shunt} は、水晶振動子のシャント容量と寄生成分の組み合わせです。水晶振動子回路の部品を MCU_OSC0 に接続する PCB 信号パターンには、相互寄生容量 WKUP_OSC0 があります。PCB 設計者は、これらの信号パターン間の相互寄生容量を導出できる必要があります。デバイス パッケージには、相互寄生容量 C_{XIXO} もあります。ここで、この相互寄生容量の値は表 6-24 で定義されています。

PCB 配線は、XI 信号パターンと XO 信号パターンとの間の相互容量を最小限に抑えるよう設計する必要があります。これは通常、信号パターンを短くし、近接した場所に配線しないことで行われます。レイアウトで信号を互いに近接して配線する必要がある場合は、これらの信号の間にグランドパターンを配置することで、相互容量を最小化することもできます。水晶振動子を選択する際に、可能な限り大きなマージンを確保するために、PCB 上の相互容量を最小化することが重要です。

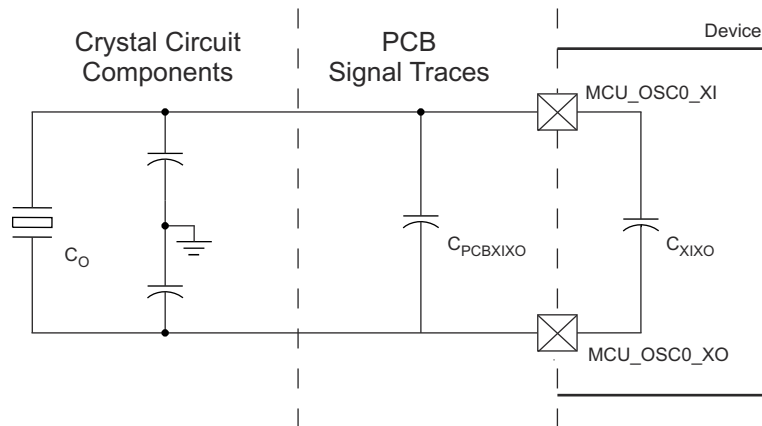


図 6-19. シャント容量

水晶振動子は、次の式が満たされるように選択する必要があります。この式の C_0 は、水晶振動子のメーカーによって指定された最大シャント容量です。

$$C_{shunt} \geq C_0 + C_{PCBXIXO} + C_{XIXO}$$

たとえば、使用する水晶振動子が $ESR = 30\Omega$ 、 $C_{PCBXIXO} = 0.04\text{pF}$ 、 $C_{XIXO} = 0.01\text{pF}$ の 25MHz であり、水晶振動子のシャント容量が 6.95pF 以下の場合、この式が満たされます。

6.11.4.1.2 MCU_OSC0 LVCMOS デジタル クロック ソース

図 6-20 に、MCU_OSC0_XI を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

注

1. 発振器が電源オンのとき、MCU_OSC0_XI を DC 定常状態にすることは許容されません。MCU_OSC0_XI は内部でコンパレータに AC 結合されており、入力に DC が印加されると未知の状態になる可能性があるため、これは許容されません。したがって、MCU_OSC0_XI がロジック状態間をトグルしていない場合は、アプリケーション ソフトウェアで MCU_OSC0 の電源をオフにする必要があります。
2. MCU_OSC0_XI 入力に供給される LVCMOS クロック信号は、単調に遷移する必要があります。このクロック源は、近くに配置された直列終端抵抗を介して、ポイント ツー ポイント接続で MCU_OSC0_XI に接続する必要があります。直列終端抵抗の値は、伝送ラインのインピーダンスからクロック源の出力インピーダンスを引いた値と一致している必要があります。たとえば、クロック源の出力インピーダンスが 30Ω、PCB 信号パターンの特性インピーダンスが 50Ω の場合、直列終端抵抗の値を 20Ω とする必要があります。こうすることで、終端されていない伝送線路の遠端から戻ってくる反射を完全に吸収し、信号に非単調イベントがまったく発生しないようにできます。
3. LVCMOS クロック源を MCU_OSC0_XI に接続する PCB パターンの長さはできるだけ短くする必要があります。これにより、容量性負荷を小さくし、外部ノイズ源がクロック信号に結合する可能性を低めることができます。容量性負荷が小さいと、クロック信号の立ち上がり / 立ち下がり時間が短くなり、システムにジッタが発生する可能性が低下します。

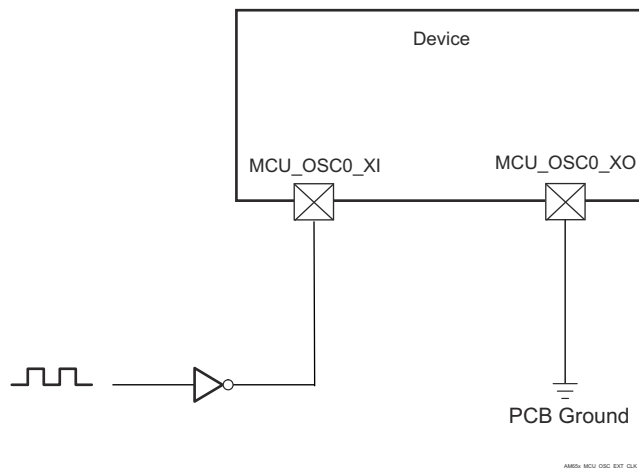


図 6-20. 1.8V LVCMOS 互換クロック入力

表 6-25. MCU_OSC0 LVC MOS デジタル クロック ソース要件

パラメータ		最小値	標準値	最大値	単位
F _{xtal}	周波数		25		MHz
	周波数安定性および許容誤差	イーサネット RGMII および RMII は未使用		±100	ppm
		派生クロックを使用するイーサネット RGMII と RMII		±50	
DC	デューティ サイクル	45		55	%
t _{R/F}	立ち上がり / 立ち下がり時間 (10% - 90% 立ち上がり, 90% - 10% 立ち下がり)			4 ⁽¹⁾	ns
J _{Period(RMS)}	周期ジッタ、RMS (100k サンプル)			20	ps
J _{Period(PK-PK)}	周期ジッタ、ピーク ツー ピーク (100k サンプル)			300	ps
J _{Phase(RMS)}	位相ジッタ、RMS (BW 100Hz~1MHz)			10 ⁽²⁾	ps

- (1) ほとんどの LVC MOS 発振器のデータシートには、PCB パターン容量と MCU_OSC0_XI 入力容量の和に相当する実際の負荷よりもはるかに大きい容量性負荷を接続した場合の、出力の立ち上がり / 立ち下がり時間の最大値が規定されています。この要件を満たす LVC MOS 発振器を見つけるのは難しくありません。ただし、システム設計者は、選択した LVC MOS 発振器が適切な立ち上がり / 立ち下がり時間で MCU_OSC0_XI 入力を駆動できることを確認する必要があります。
- (2) ほとんどの LVC MOS 発振器のデータシートには、このデバイスで必要とされる帯域幅積分範囲よりも大きい帯域幅積分範囲を使用した RMS 位相ジッタの最大値が規定されています。より適切な値を得るには、LVC MOS 発振器のメーカーに連絡し、このパラメータのために規定された帯域幅積分範囲と同じ帯域幅積分範囲を使った RMS 位相ジッタの最大値を提供するように依頼することも場合によっては必要です。

6.11.4.1.3 WKUP_LFOSC0 内部発振器クロック ソース

図 6-21 に、水晶発振器の推奨回路を示します。量産開始前のプリント基板 (PCB) 設計には、2 つのオプション抵抗 R_{bias} および R_d を含めることを推奨します。これは、量産用の水晶振動子回路部品と組み合わせたとき、発振器が正常に動作するために抵抗が必要とされる場合に備えるものです。ほとんどの場合、 R_{bias} は 不要であり、 R_d は 0Ω 抵抗です。量産前の PCB に量産用の水晶振動子回路部品を実装して、発振器の性能を評価した後、これらの抵抗を量産 PCB の設計から取り除くこともできます。

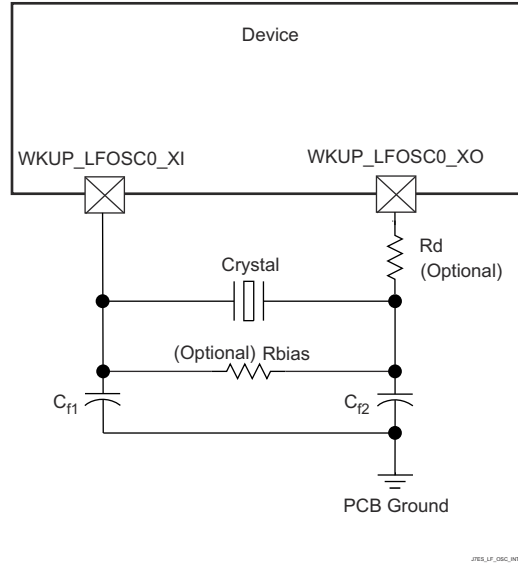


図 6-21. WKUP_LFOSC0 水晶振動子の実装

表 6-26 に、LFXOSC の動作モードを示します。

表 6-26. LFXOSC 動作モード

モード	BP_C	PD_C	XI	XO	CLK_OUT	説明
アクティブ	0	0	XTAL	XTAL	CLK_OUT	アクティブ発振器モードで 32kHz を供給
パワーダウン	0	1	X	PD	Low	出力は Low にプルダウンされます。PAD はトライステート。アクティブ モードはディセーブル。
バイパス	1	0	CLK	PD	CLK	XI は外部クロック ソースによって駆動されます。XO は Low にプルダウンされます。電源に対して ESD ダイオードがあるため、発振器電源が存在しない場合は、XI を駆動しないでください。

注

ユーザーは、 $6\text{pF} \sim 9.5\text{pF}$ の範囲の CL に対して、 $\text{CTRLMMR_WKUP_LFXOSC_TRIM}[18:16] \text{ i_mult} = 3\text{b}'001$ を設定する必要があります。 $8.5\text{pF} \sim 12\text{pF}$ の範囲の CL に対しては、 $\text{CTRLMMR_WKUP_LFXOSC_TRIM}[18:16] \text{ i_mult} = 3\text{b}'010$ とします。デフォルト設定は $3\text{b}'010$ です。

注

図 6-22 の負荷コンデンサ C_{f1} および C_{f2} は、次の式が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。発振器回路の実装に使用されるすべてのディスクレット部品は、関連する発振器 WKUP_LFOSC0_XI、WKUP_LFOSC0_XO、VSS ピンのできるだけ近くに配置する必要があります。

$$C_L = \frac{C_{f1} C_{f2}}{(C_{f1} + C_{f2})}$$

図 6-22. 負荷容量の式

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-27 に、必要な電気的制約事項を示します。

表 6-27. WKUP_LFOSC0 水晶振動子の電気的特性

名称	説明	最小値	標準値	最大値	単位
f _p	並列共振水晶振動子周波数	32768			Hz
	水晶振動子の周波数安定性および許容誤差	±100			PPM
C _{f1}	C _{f1} = C _{f2} の場合の水晶振動子並列共振の C _{f1} 負荷容量	12		24	pF
C _{f2}	C _{f1} = C _{f2} の場合の水晶振動子並列共振の C _{f2} 負荷容量	12		24	pF
C _{shunt}	シャント容量	ESR _x tal: 40kΩ		4	pF
		ESR _x tal: 60kΩ		3	pF
		ESR _x tal: 80kΩ		2	pF
		ESR _x tal: 100kΩ		1	pF
ESR	水晶振動子の等価直列抵抗			(1)	Ω

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。C_{shunt} パラメータを参照してください。

水晶振動子を選択するとき、システム設計では、ワーストケースの環境とシステムの予測寿命に基づいて、温度と経年変化特性を考慮する必要があります。

表 6-28 に、発振器のスイッチング特性と入力クロックの要件を示します。

表 6-28. WKUP_LFOSC0 のスイッチング特性 – 水晶振動子モード

名称	説明	最小値	標準値	最大値	単位
f _{xtal}	発振周波数	32768			Hz
t _{sX}	起動時間	96.5			ms

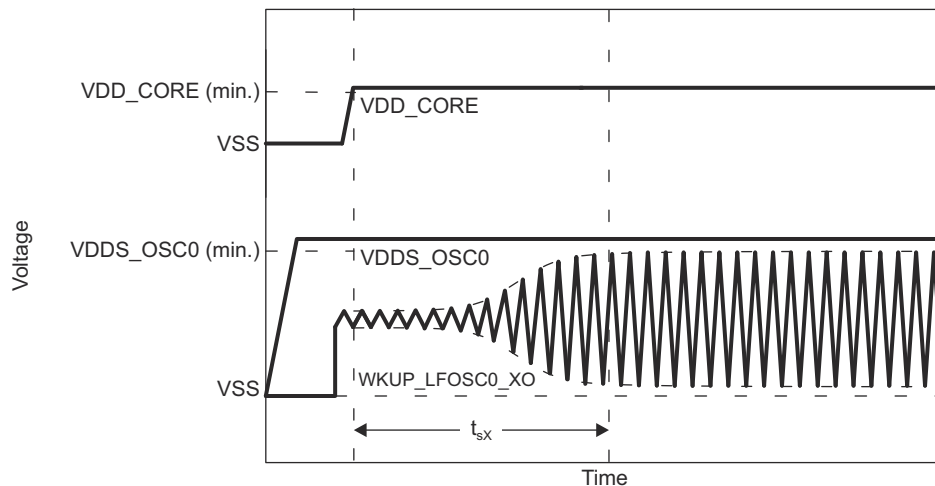


図 6-23. WKUP_LFOSC0 スタートアップ時間

6.11.4.1.4 WKUP_LFOSC0 LVC MOS デジタル クロック ソース

図 6-24 に、WKUP_LFOSC0_XI を 1.8V LVC MOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

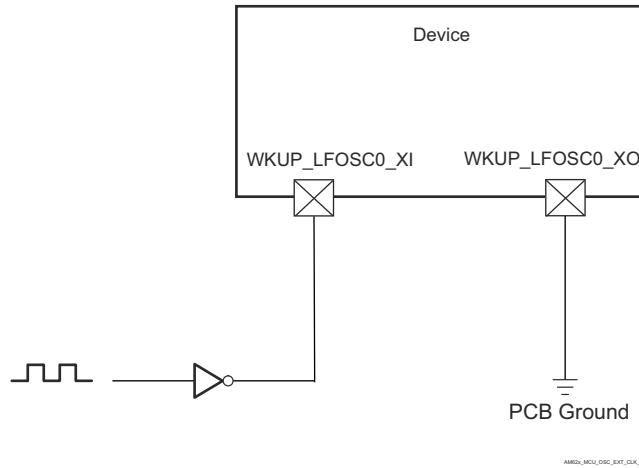


図 6-24. 1.8V LVC MOS 互換クロック入力

6.11.4.1.5 WKUP_LFOSC0 を使用しない場合

図 6-25 に、WKUP_LFOSC0 を使用しない場合に推奨される発振器接続を示します。

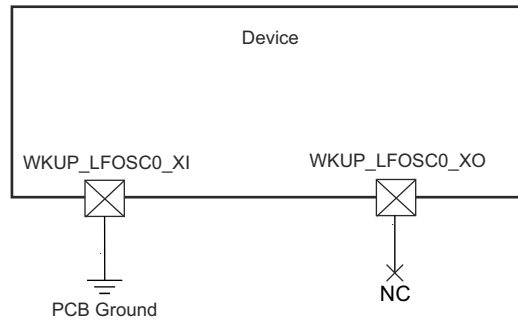


図 6-25. WKUP_LFOSC0 を使用しない場合

6.11.4.2 出力クロック

このデバイスには、複数のシステム クロック出力があります。これらの出力クロックの概要は、以下のとおりです。

- **MCU_SYCLKOUT0**
 - MCU_PLL0_HSDIV0_CLKOUT (MCU_SYCLKOUT0) が 4 分周され、MCU_SYCLKOUT0 としてデバイスから出力されます。このクロック出力は、テストとデバッグのみを目的としています。
- **MCU_OBSCLK0**
 - 監視クロック出力は、テストとデバッグを目的としています。
- **WKUP_CLKOUT0**
 - WKUP ドメインの CLKOUT0 出力。
- **SYCLKOUT0**
 - MAIN_PLL0_HSDIV0_CLKOUT (SYCLKOUT0) は 4 分周され、SYCLKOUT0 としてデバイスから出力されます。このクロック出力は、テストとデバッグのみを目的としています。
- **CLKOUT0**
 - CLKOUT0 は、5 分周または 10 分周されたイーサネット サブシステム クロック (MAIN_PLL2_HSDIV1_CLKOUT) です。このクロック出力は、外部 PHY へのオプションのソースとして供給されます。RMIIC クロック ソース (50MHz) として動作するよう構成する場合、デバイスが適切に動作するように信号をそれぞれの RMIIC[x]_REF_CLK ピンに配線する必要があります。
- **OBSCLK[1:0]**
 - 監視クロック出力は、テストとデバッグを目的としています。
- **AUDIO_EXT_REFCLK[1:0]**
 - 出力として動作するよう構成されている場合、6 つの McASP 高周波オーディオ基準クロック、MAIN_PLL1_HSDIV6_CLKOUT、または MAIN_PLL2_HSDIV8_CLKOUT のいずれかに供給可能です。

6.11.4.3 PLL

フェーズ ロック ループ回路 (PLL) の電力は、オフチップ電源から電力を得る内部レギュレータによって供給されます。

MCU ドメインには 1 つの PLL があります。

- MCU_PLL0 (MCU PLL)

MAIN ドメインには 12 個の PLL があります：

- MAIN_PLL0 (MAIN PLL)
- MAIN_PLL1 (PER0 PLL)
- MAIN_PLL2 (PER1 PLL)
- MAIN_PLL5 (VIDEO PLL)
- MAIN_PLL6 (GPU PLL)
- MAIN_PLL7 (C7x PLL)
- MAIN_PLL8 (ARM0 PLL)
- MAIN_PLL12 (DDR PLL)
- MAIN_PLL15 (SMS PLL)
- MAIN_PLL16 (DSS PLL0)
- MAIN_PLL17 (DSS PLL1)
- MAIN_PLL18 (DSS PLL2)

いずれかの PLL 出力をクロック ソースとして構成および使用するには、基準クロック ソースのスタートアップ時間と PLL ロック要件を考慮する必要があります。デバイスの基準クロック入力要件は、[セクション 6.11.4.1](#)「入力クロック / 発振器」で定義されています。PLL 構成の詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。

PLL の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」セクションの「クロッキング」サブセクションにある「PLL」サブセクションを参照してください。

6.11.4.4 クロックおよび制御信号の遷移に関する推奨システム上の注意事項

すべてのクロック信号とストロブ信号は、 V_{IH} と V_{IL} (または V_{IL} と V_{IH}) の間で単調に遷移する必要があります。

高速な信号遷移では、単調な遷移が発生する可能性が高くなります。遷移が低速な信号に対しては、ノイズにより容易に非単調なイベントが発生します。そのため、すべてのクロック信号と制御信号で低速な信号遷移は避けてください。これは、デバイス内でグリッチが発生する可能性が高いためです。

6.11.5 ペリフェラル

6.11.5.1 ATL

このデバイスには、オーディオの非同期サンプル レート変換に使用できる ATL モジュールが搭載されています。ATL は、オーディオ同期などの 2 つの時間ベース間の誤差を計算します。また、ソフトウェアによるサイクル スチールを使って、平均化されたクロックを生成することもできます。

注

ATL の詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オーディオ トラッキング ロジック (ATL)」セクションを参照してください。

表 6-29 に、ATL のタイミング条件を示します。

表 6-29. ATL のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR _i	入力スルーレート	外部基準クロック	0.5	5	V/ns
出力条件					
C _L	出力負荷容量	内部基準クロック	1	10	pF

セクション 6.11.5.1.1、セクション 6.11.5.1.2、セクション 6.11.5.1.3、セクション 6.11.5.1.4 に、ATL のタイミング要件とスイッチング特性を示します。

6.11.5.1.1 ATL_PCLK のタイミング要件

番号	パラメータ	モード	最小値	最大値	単位
D1	t _{c(pclk)}	サイクル時間、ATL_PCLK		5	ns
D2	t _{w(pclkL)}	パルス幅、ATL_PCLK low	0.45 × M ⁽¹⁾ + 2.5		ns
D3	t _{w(pclkH)}	パルス幅、ATL_PCLK high	0.45 × M ⁽¹⁾ + 2.5		ns

(1) M = ATL_CLK[x] 周期

6.11.5.1.2 ATL_AWS[x] のタイミング要件

番号	パラメータ	モード	最小値	最大値	単位
D4	t _{c(aws)}	サイクル時間、ATL_AWS[x] ⁽³⁾	2 × M ⁽¹⁾		ns
D5	t _{w(awsL)}	パルス幅、ATL_AWS[x] ⁽³⁾ Low	0.45 × A ⁽²⁾ + 2.5		ns
D6	t _{w(awsH)}	パルス幅、ATL_AWS[x] ⁽³⁾ High	0.45 × A ⁽²⁾ + 2.5		ns

(1) M = ATL_CLK[x] 周期

(2) A = ATL_AWS[x] 周期

(3) x = 0~3

6.11.5.1.3 ATL_BWS[x] のタイミング要件

番号	パラメータ	モード	最小値	最大値	単位
D7	t _{c(bws)}	サイクル時間、ATL_BWS[x] ⁽³⁾	2 × M ⁽¹⁾		ns
D8	t _{w(bwsL)}	パルス幅、ATL_BWS[x] low ⁽³⁾	0.45 × B ⁽²⁾ + 2.5		ns
D9	t _{w(bwsH)}	パルス幅、ATL_BWS[x] high ⁽³⁾	0.45 × B ⁽²⁾ + 2.5		ns

(1) M = ATL_CLK[x] 周期

(2) B = ATL_BWS[x] 周期

(3) x = 0~3

6.11.5.1.4 ATCLK[x] のスイッチング特性

番号	パラメータ	モード	最小値	最大値	単位
D10	$t_{c(atclk)}$	サイクル時間、ATCLK[x] ⁽³⁾	内部基準クロック	20	ns
D11	$t_{w(atclkL)}$	パルス幅、ATCLK[x] low ⁽³⁾	内部基準クロック	$0.45 \times P^{(2)} - M^{(1)} - 0.3$	ns
D12	$t_{w(atclkH)}$	パルス幅、ATCLK[x] high ⁽³⁾	内部基準クロック	$0.45 \times P^{(2)} - M^{(1)} - 0.3$	ns

- (1) M = ATCLK[x] 周期
(2) P = ATCLK[x] 周期
(3) x = 0~3

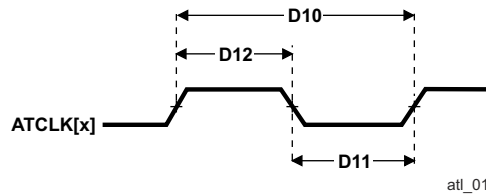


図 6-26. ATCLK[x] タイミング

6.11.5.2 CPSW3G

本デバイスのギガビット イーサネット MAC の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.11.5.2.1 CPSW3G MDIO のタイミング

表 6-30、表 6-31、表 6-32、図 6-27 に、CPSW3G MDIO のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-30. CPSW3G MDIO のタイミング条件

パラメータ	最小値	最大値	単位
入力条件			
SR_i	入力スルーレート	0.9	3.6 V/ns
出力条件			
C_L	出力負荷容量	10	470 pF
PCB 接続要件			
$t_d(\text{Trace Delay})$	各パターンの伝搬遅延	0	5 ns
$t_d(\text{Trace Mismatch Delay})$	すべてのパターンにわたる伝搬遅延の不整合		1 ns

表 6-31. CPSW3G MDIO のタイミング要件

図 6-27 参照

番号	パラメータ	最小値	最大値	単位
MDIO1	$t_{su}(\text{MDIO_MDC})$	セットアップ時間、MDIO[x]_MDIO 有効から MDIO[x]_MDC high まで	45	ns
MDIO2	$t_h(\text{MDC_MDIO})$	ホールド時間、MDIO[x]_MDC high から MDIO[x]_MDIO 有効の間	0	ns

表 6-32. CPSW3G MDIO のスイッチング特性

図 6-27 参照

番号	パラメータ	最小値	最大値	単位
MDIO3	$t_{c}(\text{MDC})$	サイクル時間、MDIO[x]_MDC	400	ns
MDIO4	$t_{w}(\text{MDCH})$	パルス幅、MDIO[x]_MDC high	160	ns
MDIO5	$t_{w}(\text{MDCL})$	パルス幅、MDIO[x]_MDC low	160	ns
MDIO7	$t_d(\text{MDC_MDIO})$	遅延時間、MDIO[x]_MDC Low から MDIO[x]_MDIO 有効まで	-10	10 ns

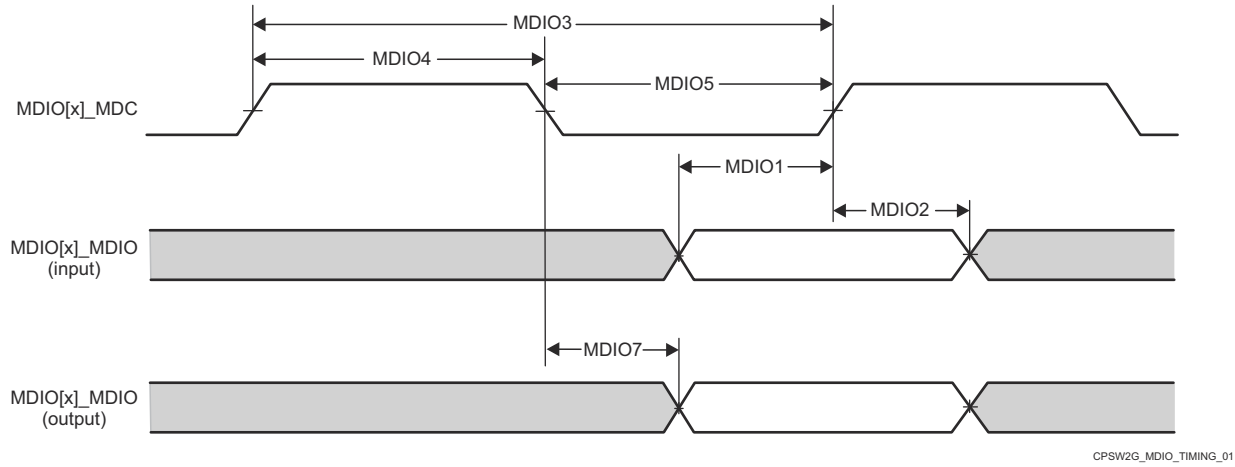


図 6-27. CPSW3G MDIO のタイミング要件およびスイッチング特性

6.11.5.2.2 CPSW3G RMII のタイミング

表 6-33、表 6-34、図 6-28、表 6-35、図 6-29、表 6-36、図 6-30 に、CPSW3G RMII のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-33. CPSW3G RMII のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スループレート	VDD ⁽¹⁾ = 1.8V	0.18	5
		VDD ⁽¹⁾ = 3.3V	0.4	5
出力条件				
C _L	出力負荷容量	3	25	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-34. RMII[x]_REF_CLK のタイミング要件 - RMII モード

図 6-28 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII1	t _c (REF_CLK)	サイクル時間、RMII[x]_REF_CLK	19.999	20.001	ns
RMII2	t _w (REF_CLKH)	パルス幅、RMII[x]_REF_CLK High	7	13	ns
RMII3	t _w (REF_CLKL)	パルス幅、RMII[x]_REF_CLK Low	7	13	ns

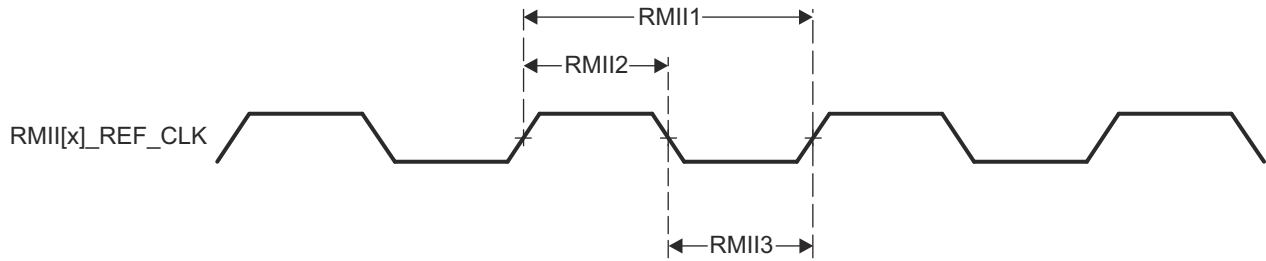


図 6-28. CPSW3G RMII[x]_REF_CLK のタイミング要件 - RMII モード

表 6-35. RMII[x]_RXD[1:0], RMII[x]_CRS_DV, RMII[x]_RX_ER のタイミング要件 - RMII モード

図 6-29 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII4	t _{su} (RXD-REF_CLK)	セットアップ時間、RMII[x]_RXD[1:0] 有効から RMII[x]_REF_CLK まで	4		ns
	t _{su} (CRS_DV-REF_CLK)	セットアップ時間、RMII[x]_CRS_DV 有効から RMII[x]_REF_CLK まで	4		ns
	t _{su} (RX_ER-REF_CLK)	セットアップ時間、RMII[x]_RX_ER 有効から RMII[x]_REF_CLK まで	4		ns
RMII5	t _h (REF_CLK-RXD)	ホールド時間、RMII[x]_REF_CLK から RMII[x]_RXD[1:0] 有効の間	2		ns
	t _h (REF_CLK-CRS_DV)	ホールド時間、RMII[x]_REF_CLK から RMII[x]_CRS_DV 有効の間	2		ns
	t _h (REF_CLK-RX_ER)	ホールド時間、RMII[x]_REF_CLK から RMII[x]_RX_ER 有効の間	2		ns

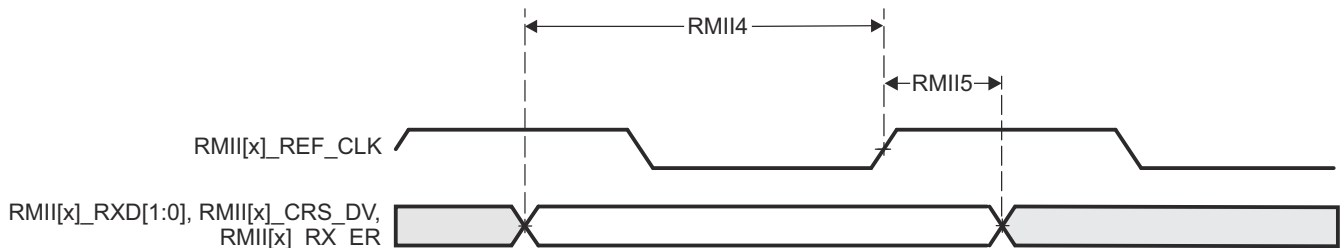


図 6-29. CPSW3G RMII[x]_RXD[1:0], RMII[x]_CRS_DV, RMII[x]_RX_ER のタイミング要件 - RMII モード

表 6-36. RMII[x]_TXD[1:0]、RMII[x]_TX_EN のスイッチング特性 – RMII モード

図 6-30 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII6	$t_{d(\text{REF_CLK-TXD})}$	遅延時間、RMII[x]_REF_CLK High から RMII[x]_TXD[1:0] 有効まで	2	10	ns
	$t_{d(\text{REF_CLK-TX_EN})}$	遅延時間、RMII[x]_REF_CLK から RMII[x]_TX_EN 有効まで	2	10	ns

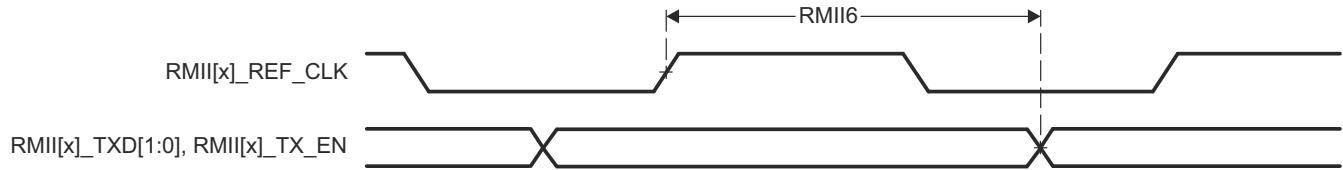


図 6-30. RMII[x]_TXD[1:0]、RMII[x]_TX_EN のスイッチング特性 – RMII モード

6.11.5.2.3 CPSW3G RGMII のタイミング

表 6-37、表 6-38、表 6-39、図 6-31、表 6-40、表 6-41、図 6-32 に、CPSW3G RGMII のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-37. CPSW3G RGMII のタイミング条件

パラメータ		最小値	最大値	単位	
入力条件					
SR _i	入力スルーレート	VDD ⁽¹⁾ = 1.8V	1.44	5	
		VDD ⁽¹⁾ = 3.3V	2.64	5	
出力条件					
C _L	出力負荷容量	2	20	pF	
PCB 接続要件					
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	RGMII[x]_RXC、 RGMII[x]_RD[3:0] 、 RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、 RGMII[x]_TD[3:0] 、 RGMII[x]_TX_CTL		50	ps

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-38. RGMII[x]_RXC のタイミング要件 – RGMII モード

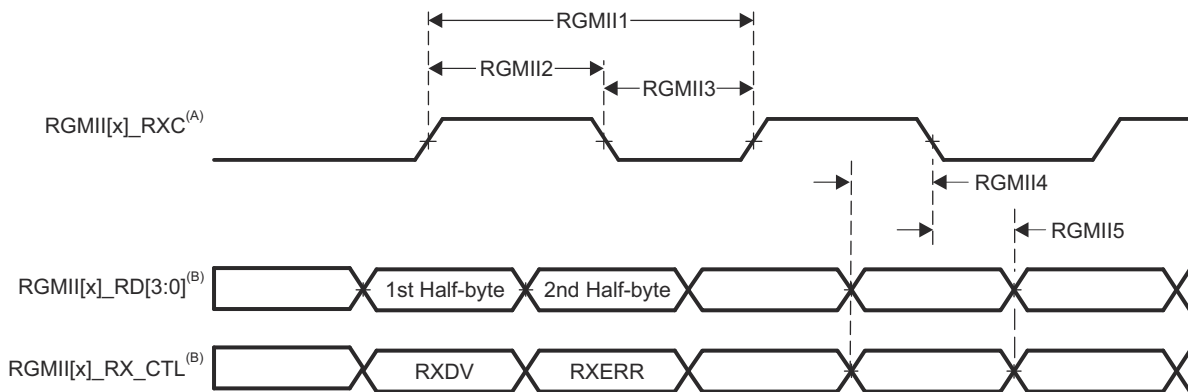
図 6-31 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII1	$t_{c(RXC)}$	サイクル時間、RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_{w(RXCH)}$	パルス幅、RGMII[x]_RXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_{w(RXCL)}$	パルス幅、RGMII[x]_RXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-39. RGMII[x]_RD[3:0] と RGMII[x]_RX_CTL のタイミング要件 – RGMII モード

図 6-31 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII4	$t_{su(RD-RXC)}$	セットアップ時間、RGMII[x]_RD[3:0] 有効から RGMII[x]_RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(RX_CTL-RXC)}$	セットアップ時間、RGMII[x]_RX_CTL 有効から RGMII[x]_RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_h(RXC-RD)$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RD[3:0] 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_h(RXC-RX_CTL)$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RX_CTL 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



- A. RGMII[x]_RXC は、データピンと制御ピンに対して、外部的に遅延させる必要があります。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_RD[3:0] は、RGMII[x]_RXC の立ち上がりエッジでデータビット 3～0 を、RGMII[x]_RXC の立ち下がりエッジでデータビット 7～4 を伝送します。同様に、RGMII[x]_RX_CTL は、RGMII[x]_RXC の立ち上がりエッジで RXDV を、RGMII[x]_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-31. CPSW3G RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL のタイミング要件 - RGMII モード

表 6-40. RGMII[x]_TXC のスイッチング特性 – RGMII モード

図 6-32 参照

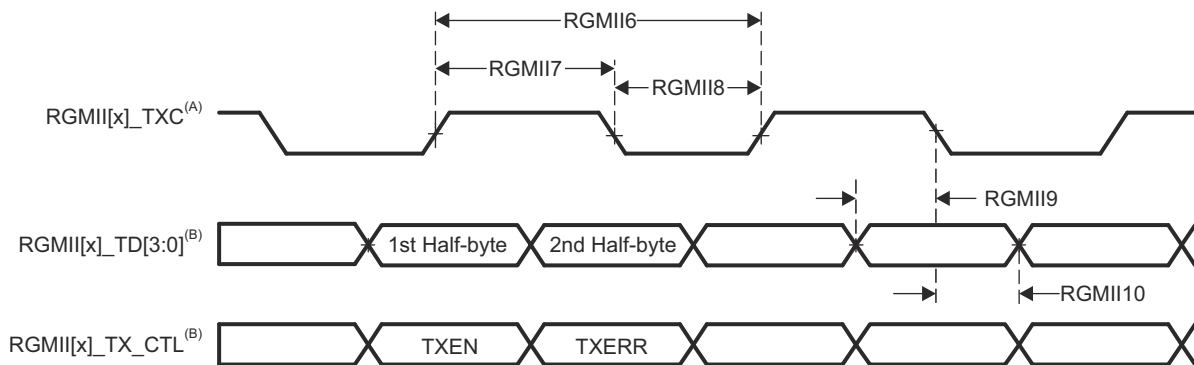
番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII6	$t_c(\text{TXC})$	サイクル時間、RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_w(\text{TXCH})$	パルス幅、RGMII[x]_TXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_w(\text{TXCL})$	パルス幅、RGMII[x]_TXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-41. RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

図 6-32 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII9	$t_{\text{osu}}(\text{TD-TXC})$	出力セットアップ時間 ⁽¹⁾ 、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{\text{osu}}(\text{TX_CTL-TXC})$	出力セットアップ時間 ⁽¹⁾ 、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{\text{oh}}(\text{TXC-TD})$	出力ホールド時間 ⁽¹⁾ 、RGMII[x]_TXC High/Low から RGMII[x]_TD[3:0] 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{\text{oh}}(\text{TXC-TX_CTL})$	出力ホールド時間 ⁽¹⁾ 、RGMII[x]_TXC High/Low から RGMII[x]_TX_CTL 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns

- (1) 出力のセットアップ / ホールド時間は、送信クロック出力に対する送信データと制御出力の遅延関係を定義しますが、この出力の関係は、接続されたレシーバに供給される最小セットアップ / ホールド時間として示されています。このアプローチは、RGMII 仕様での出力タイミング関係の定義方法と一致しています。



- A. TXC は内部で遅延されてから、RGMII[x]_TXC ピンを駆動します。この内部遅延は常にインネーブルになっています。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_TD[3:0] は、RGMII[x]_TXC の立ち上がりエッジでデータビット 3~0 を、RGMII[x]_TXC の立ち下がりエッジでデータビット 7~4 を伝送します。同様に、RGMII[x]_TX_CTL は RGMII[x]_TXC の立ち上がりエッジで TXEN を、RGMII[x]_TXC の立ち下がりエッジで TXERR を伝送します。

図 6-32. CPSW3G RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

6.11.5.3 CPTS

表 6-42、表 6-43、図 6-33、表 6-44、図 6-34 に、CPTS のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-42. CPTS のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	0.5	5	V/ns
出力条件				
C _L	出力負荷容量	2	10	pF

表 6-43. CPTS のタイミング要件

図 6-33 参照

番号	パラメータ	説明	最小値	最大値	単位
T1	$t_w(\text{HWnTSPUSHH})$	パルス幅、HWnTSPUSH High	$12P^{(1)} + 2$		ns
T2	$t_w(\text{HWnTSPUSHL})$	パルス幅、HWnTSPUSH Low	$12P^{(1)} + 2$		ns
T3	$t_c(\text{RFT_CLK})$	サイクル時間、RFT_CLK	5	8	ns
T4	$t_w(\text{RFT_CLKH})$	パルス幅、RFT_CLK high	$0.45T^{(2)}$		ns
T5	$t_w(\text{RFT_CLKL})$	パルス幅、RFT_CLK low	$0.45T^{(2)}$		ns

(1) P = 機能クロック周期 (ns 単位)。

(2) T = RFT_CLK サイクル時間 (ns 単位)。

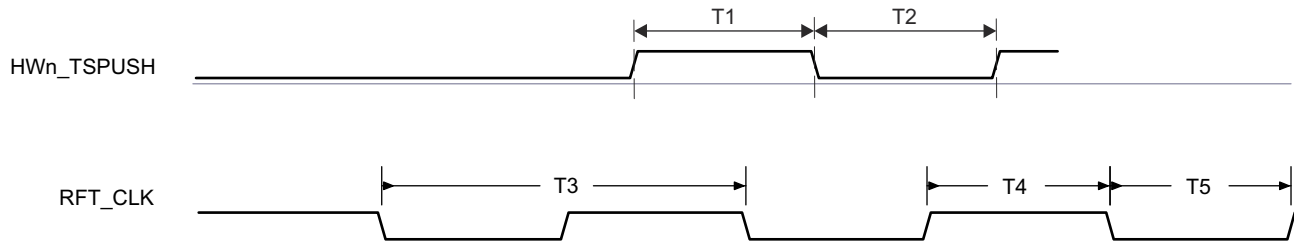


図 6-33. CPTS のタイミング要件

表 6-44. CPTS スイッチング特性

図 6-34 参照

番号	パラメータ	説明	ソース	最小値	最大値	単位
T6	$t_w(\text{TS_COMP})$	パルス幅、TS_COMP high		$36P^{(1)} - 2$		ns
T7	$t_w(\text{TS_COMPL})$	パルス幅、TS_COMP low		$36P^{(1)} - 2$		ns
T8	$t_w(\text{TS_SYNCH})$	パルス幅、TS_SYNC high		$36P^{(1)} - 2$		ns
T9	$t_w(\text{TS_SYNCL})$	パルス幅、TS_SYNC low		$36P^{(1)} - 2$		ns
T10	$t_w(\text{SYNCn_OUTH})$	パルス幅、SYNCn_OUT High	TS_SYNC	$36P^{(1)} - 2$		ns
			GENF	$5P^{(1)} - 2$		ns
T11	$t_w(\text{SYNCn_OUTL})$	パルス幅、SYNCn_OUT Low	TS_SYNC	$36P^{(1)} - 2$		ns
			GENF	$5P^{(1)} - 2$		ns

(1) P = 機能クロック周期 (ns 単位)。

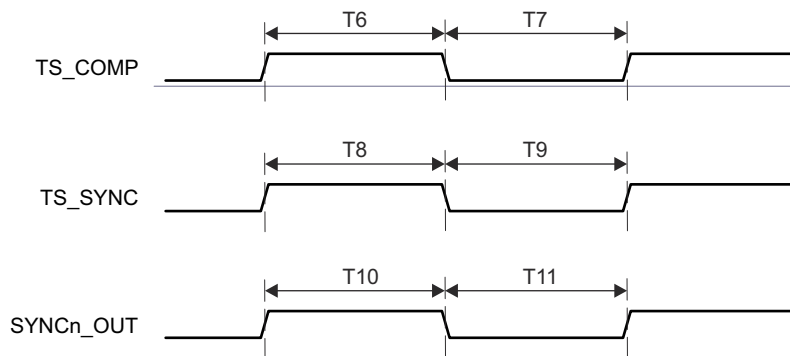


図 6-34. CPTS スイッチング特性

詳細については、デバイスのテクニカルリファレンスマニュアルで「共通プラットフォーム時間同期 (CPTS)」の章を参照してください。

6.11.5.4 CSI-2

注

詳細については、デバイステクニカルリファレンスマニュアルの「カメラシリアルインターフェースレシーバ (CSI_RX_IF)」のセクションを参照してください。CSI_RX_IF は、CSIRXn というデバイスポートインスタンスに接続します (「n」はインスタンス番号)。

CSI_RX_IF と関連する D-PHY は、MIPI D-PHY 仕様 v1.2 および MIPI CSI-2 仕様 v1.3 に準拠した CSI-2 ポート (CSIRX0) を実装しており、同期ダブルデータレートモードで動作する 4 つの差動データレーンと 1 つの差動クロックレーンを備えています。CSI-2 のタイミングの詳細については、上記の各 MIPI 仕様を参照してください。

- 各レーンで最大 2.5Gbps の 1、2、3、4 レーンデータ転送モードをサポートしています。

6.11.5.5 CSI-2 TX

注

詳細については、デバイステクニカルリファレンスマニュアルの「カメラシリアルインターフェイストランスミッタ (CSI_TX_IF)」セクションを参照してください。CSI_TX_IF は、CSITXn というデバイスポートインスタンスに接続します (「n」はインスタンス番号)。

CSI_TX_IF と関連する D-PHY は、MIPI D-PHY 仕様 v1.2 および MIPI CSI-2 仕様 v1.3 に準拠した CSI-2 ポート (CSITX0) を実装しており、同期ダブル データレート モードで動作する 4 つの差動データレーンと 1 つの差動クロックレーンを備えています。CSI-2 のタイミングの詳細については、上記の各 MIPI 仕様を参照してください。

- 各レーンで最大 2.5Gbps の 1、2、3、4 レーン データ転送モードをサポートしています。

6.11.5.6 DDRSS

本デバイスの LPDDR4 メモリ インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-45 および 図 6-35 に、DDRSS のスイッチング特性を示します。

表 6-45. DDRSS スイッチング特性

図 6-35 参照

番号	パラメータ	DDR タイプ	コア電圧	最小値	最大値	単位
1	$t_c(\text{DDR_CKP/DDR_CKN})$	LPDDR	0.75V 動作	0.536 ⁽¹⁾	20	ns
			0.85V 動作	0.500 ⁽¹⁾	20	ns

- (1) 最大 DDR 周波数は、システムで使用されている特定のメモリタイプ (ベンダ) と PCB 実装に基づいて制限されます。テキサス・インスツルメンツは、仕様のクロック周波数を完全に達成するために、同社の LPDDR4 EVM の PCB レイアウト (配線、間隔、ビア/バックドリル、PCB 材料など) をすべて正確に遵守することを強く推奨します。詳細については、『[Jacinto 7 LPDDR4 基板の設計およびレイアウトのガイドライン](#)』を参照してください。

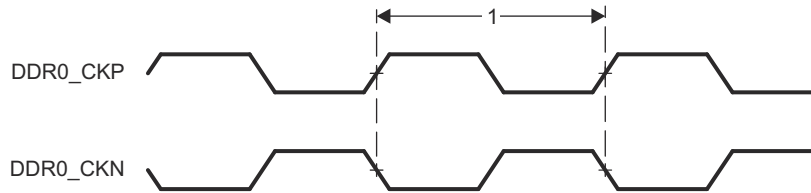


図 6-35. DDRSS スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「メモリ コントローラ」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

6.11.5.7 DSI

注

詳細については、デバイスのテクニカル リファレンス マニュアルの「MIPI ディスプレイ シリアル インターフェイス (DSI) コントローラ」セクションを参照してください。DSI トランスミッタ コントローラは、DSITXn というデバイスポート インスタンスに接続します (「n」はインスタンス番号)。

DSI トランスミッタ コントローラと関連する D-PHY は、MIPI D-PHY 仕様 v1.2 および MIPI DSI 仕様 v1.3 に準拠した DSI ポート (DSITX0) を実装しており、同期ダブル データ レート モードで動作する 4 つの差動データ レーンと 1 つの差動クロック レーンを備えています。DSI タイミングの詳細については、上記の各 MIPI 仕様を参照してください。

- 各レーンで最大 2.5Gbps の 1、2、3、4 レーン データ転送モードを最大 7.2Gbps までサポート

6.11.5.8 DSS

表 6-46、表 6-47、図 6-36、表 6-48 および 図 6-37 に、DSS のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-46. DSS のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スループレート	1.44	26.4	V/ns
出力条件				
C_L	出力負荷容量	1.5	5	pF
PCB 接続要件				
t_d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

表 6-47. DSS 外部ピクセル クロックのタイミング要件

図 6-36 参照

番号			最小値	最大値	単位
D6	$t_{c(\text{extpclkIn})}$	サイクル時間、 $V_{OUT}(x)_EXTPCLKIN^{(2)}$	6.06		ns
D7	$t_{w(\text{extpclkInL})}$	パルス幅、 $V_{OUT}(x)_EXTPCLKIN^{(2)}$ low	0.475P ⁽¹⁾		ns
D8	$t_{w(\text{extpclkInH})}$	パルス幅、 $V_{OUT}(x)_EXTPCLKIN^{(2)}$ high	0.475P ⁽¹⁾		ns

(1) $P = V_{OUT}(x)_EXTPCLKIN$ サイクル時間 (ns)

(2) $V_{OUT}(x) = 0$ の x

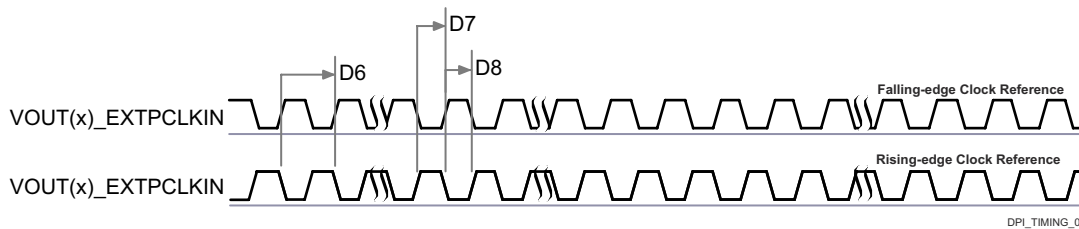


図 6-36. DSS 外部ピクセル クロックのタイミング要件

表 6-48. DSS スイッチング特性

図 6-37 参照

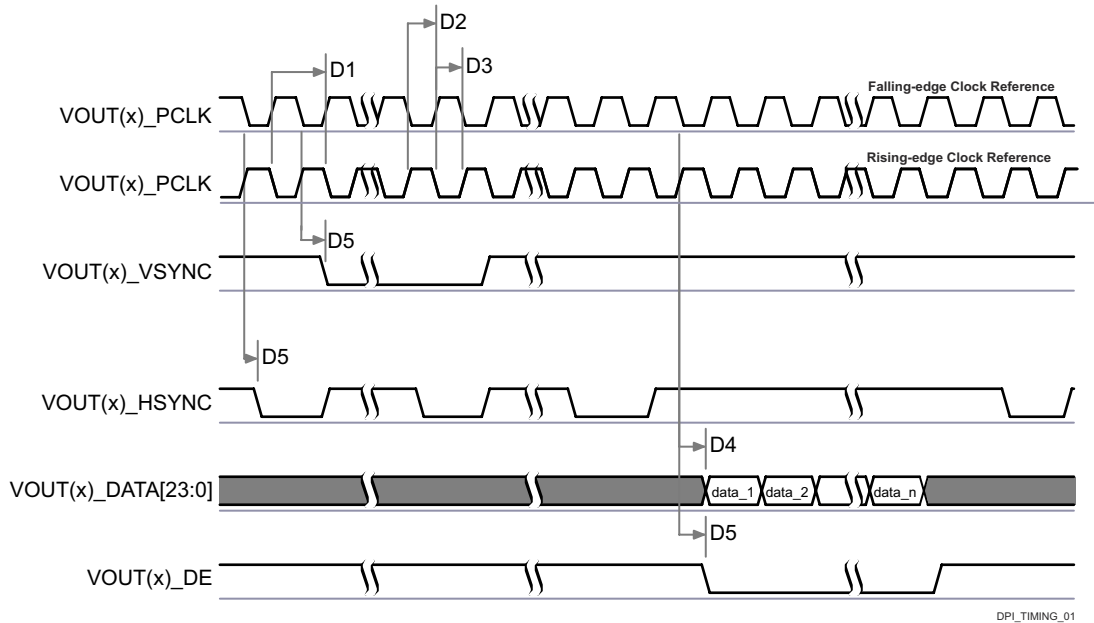
番号	パラメータ		モード	最小値	最大値	単位
D1	$t_{c(pclk)}$	サイクル時間、VOUT(x)_PCLK ⁽²⁾		6.06		ns
D2	$t_{w(pclkL)}$	パルス幅、VOUT(x)_PCLK ⁽²⁾ low	内蔵 PLL	0.475P ⁽¹⁾ - 0.3		ns
			EXTPCLKIN	Y ⁽³⁾ - 0.45		ns
D3	$t_{w(pclkH)}$	パルス幅、VOUT(x)_PCLK ⁽²⁾ high	内蔵 PLL	0.475P ⁽¹⁾ - 0.3		ns
			EXTPCLKIN	Z ⁽⁴⁾ - 0.45		ns
D4	$t_{d(pclkV-dataV)}$	遅延時間、VOUT(x)_PCLK ⁽²⁾ 遷移から VOUT(x)_DATA[23:0] ⁽²⁾ 遷移まで	内蔵 PLL	-0.68	1.78	ns
			EXTPCLKIN	-0.68	1.78	ns
D5	$t_{d(pclkV-ctrl)}$	遅延時間、VOUT(x)_PCLK ⁽²⁾ 遷移から制御信号 VOUT(x)_VSYNC ⁽²⁾ 、VOUT(x)_HSYNC ⁽²⁾ 、VOUT(x)_DE ⁽²⁾ 立ち下がりエッジまで	内蔵 PLL	-0.68	1.78	ns
			EXTPCLKIN	-0.68	1.78	ns

(1) P = VOUT(x)_PCLK サイクル時間 (ns)

(2) VOUT(x) = 0 の x

(3) Y = $t_{w(extpclkInL)}$ 、表 6-47 のパラメータ D7、DSS 外部ピクセル クロックのタイミング要件

(4) Z = $t_{w(extpclkInH)}$ 、表 6-47 のパラメータ D8、DSS 外部ピクセル クロックのタイミング要件



- データのアサートは、ピクセル クロックの立ち下がりエッジまたは立ち上がりエッジで発生するようにプログラムできます。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS)」セクションを参照してください。
- VOUT(x)_HSYNC および VOUT(x)_VSYNC の極性とパルス幅はプログラム可能です。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS)」セクションを参照してください。
- VOUT(x)_PCLK 周波数は設定できます。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム」セクションを参照してください。

図 6-37. DSS スイッチング特性

デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS) およびペリフェラル」セクションを参照してください。

6.11.5.9 ECAP

表 6-49、表 6-50、図 6-38、表 6-51、図 6-39 に、ECAP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-49. ECAP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	1	4	V/ns
出力条件				
C _L	出力負荷容量	2	7	pF

表 6-50. ECAP のタイミング要件

図 6-38 参照

番号	パラメータ	説明	最小値	最大値	単位
CAP1	t _w (CAP)	パルス幅、CAP (非同期)	2P ⁽¹⁾ + 2		ns

(1) P = FICLK 周期 (ns 単位)。

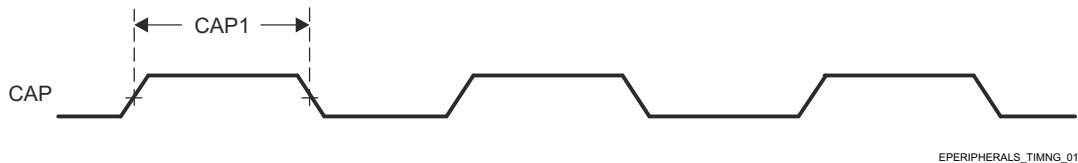


図 6-38. ECAP のタイミング要件

表 6-51. ECAP スwitching特性

図 6-39 参照

番号	パラメータ	説明	最小値	最大値	単位
CAP2	t _w (APWM)	パルス幅、APWMx High/Low	2P ⁽¹⁾ - 2		ns

(1) P = FICLK 周期 (ns 単位)。

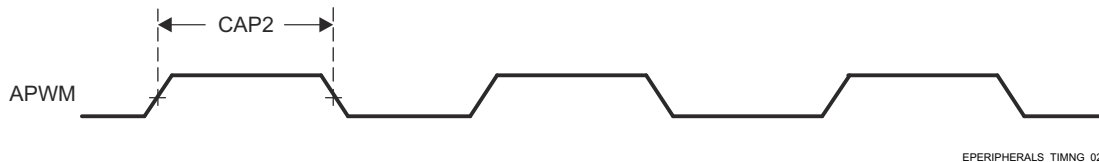


図 6-39. ECAP スwitching特性

詳細については、デバイス TRM のテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

6.11.5.10 エミュレーションおよびデバッグ

本デバイスのトレースおよび JTAG インターフェイスの機能および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

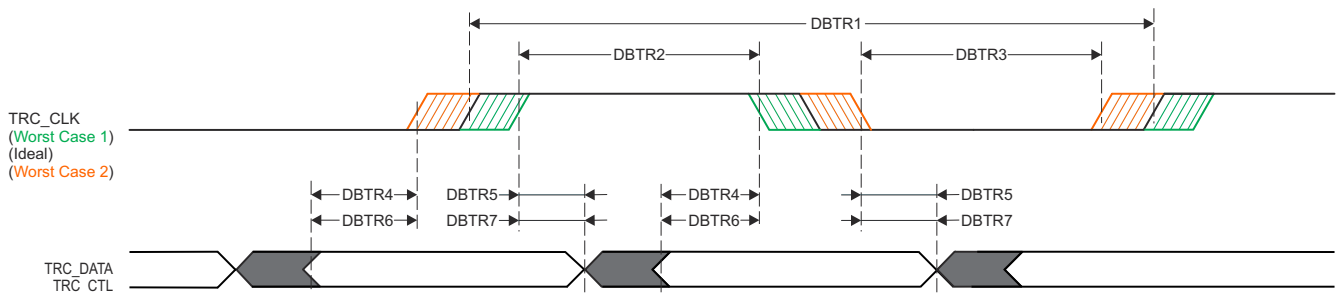
6.11.5.10.1 トレース

表 6-52. トレースのタイミング条件

パラメータ		最小値	最大値	単位
出力条件				
C_L	出力負荷容量	2	5	pF
PCB 接続要件				
t_d (Trace Mismatch)	すべてのパターンにわたる伝搬遅延の不整合		200	ps

表 6-53. トレースのスイッチング特性

番号	パラメータ	最小値	最大値	単位
1.8V モード				
DBTR1	t_c (TRC_CLK) サイクル時間、TRC_CLK	6.83		ns
DBTR2	t_w (TRC_CLKH) パルス幅、TRC_CLK high	2.66		ns
DBTR3	t_w (TRC_CLKL) パルス幅、TRC_CLK low	2.66		ns
DBTR4	t_{osu} (TRC_DATAV-TRC_CLK) 出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	0.85		ns
DBTR5	t_{oh} (TRC_CLK-TRC_DATAI) 出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	0.85		ns
DBTR6	t_{osu} (TRC_CTLV-TRC_CLK) 出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	0.85		ns
DBTR7	t_{oh} (TRC_CLK-TRC_CTLI) 出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	0.85		ns
3.3V モード				
DBTR1	t_c (TRC_CLK) サイクル時間、TRC_CLK	8.78		ns
DBTR2	t_w (TRC_CLKH) パルス幅、TRC_CLK high	3.64		ns
DBTR3	t_w (TRC_CLKL) パルス幅、TRC_CLK low	3.64		ns
DBTR4	t_{osu} (TRC_DATAV-TRC_CLK) 出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	1.10		ns
DBTR5	t_{oh} (TRC_CLK-TRC_DATAI) 出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	1.10		ns
DBTR6	t_{osu} (TRC_CTLV-TRC_CLK) 出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	1.10		ns
DBTR7	t_{oh} (TRC_CLK-TRC_CTLI) 出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	1.10		ns



SPRS008_Debbug_01

図 6-40. トレースのスイッチング特性

6.11.5.10.2 JTAG

表 6-54. JTAG のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	0.5	2.0	V/ns
出力条件				
C _L	出力負荷容量	5	15	pF
PCB 接続要件				
t _d (Trace Delay)	各パターンの伝搬遅延	83.5	1000 ⁽¹⁾	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

- (1) JTAG 信号トレースに関連する最大伝搬遅延は、最大 TCK 動作周波数に大きな影響を及ぼします。トレース遅延をこの値より大きくすることも可能ですが、追加のトレース遅延を考慮して TCK の動作周波数を下げる必要があります。

表 6-55. JTAG のタイミング要件

図 6-41 参照

番号	パラメータ	説明	最小値	最大値	単位
J1	t _c (TCK)	最小サイクル時間、TCK	40 ⁽¹⁾		ns
J2	t _w (TCKH)	最小パルス幅、TCK High	0.4P ⁽²⁾		ns
J3	t _w (TCKL)	最小パルス幅、TCK Low	0.4P ⁽²⁾		ns
J4	t _{su} (TDI-TCK)	最小入力セットアップ時間、TDI 有効から TCK High まで	2		ns
	t _{su} (TMS-TCK)	最小入力セットアップ時間、TMS 有効から TCK High まで	2		ns
J5	t _h (TCK-TDI)	最小入力ホールド時間、TCK High から TDI 有効の間	3		ns
	t _h (TCK-TMS)	最小入力ホールド時間、TCK High から TMS 有効の間	3		ns

- (1) 最大 TCK 動作周波数は、接続されているデバッガについて、以下のタイミング要件とスイッチング特性を想定しています。デバッガがこれらの前提のいずれかを上回る場合、適切なタイミング マージンを確保するために、TCK の動作周波数を下げる必要があります。
- 最小 TDO セットアップ時間は、TCK の立ち上がりエッジに対して 2ns
 - TCK の立ち下がりエッジに対して -12.9ns~13.9ns の範囲の TDI および TMS 出力遅延
- (2) P = TCK サイクル時間 (ns 単位)

表 6-56. JTAG スwitching特性

図 6-41 参照

番号	パラメータ	説明	最小値	最大値	単位
J6	t _d (TCKL-TDOI)	最小遅延時間、TCK Low から TDO 無効まで	0		ns
J7	t _d (TCKL-TDOV)	最大遅延時間、TCK Low から TDO 有効まで		12	ns

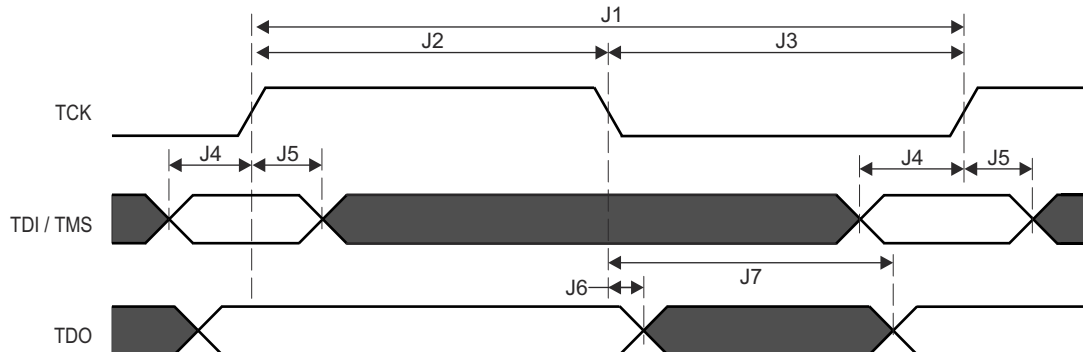


図 6-41. JTAG のタイミング要件およびスイッチング特性

6.11.5.11 EPWM

表 6-57、表 6-58、図 6-42、表 6-59、図 6-43、図 6-44、図 6-45 に、EPWM のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-57. EPWM のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	1	4	V/ns
出力条件				
C _L	出力負荷容量	2	7	pF

表 6-58. EPWM のタイミング要件

図 6-42 参照

番号	パラメータ	説明	最小値	最大値	単位
PWM6	t _w (SYNClN)	パルス幅、EHRPWM_SYNCI	2P ⁽¹⁾ + 2		ns
PWM7	t _w (TZ)	パルス幅、EHRPWM_TZn_IN low	3P ⁽¹⁾ + 2		ns

(1) P = FICLK 周期 (ns 単位)。

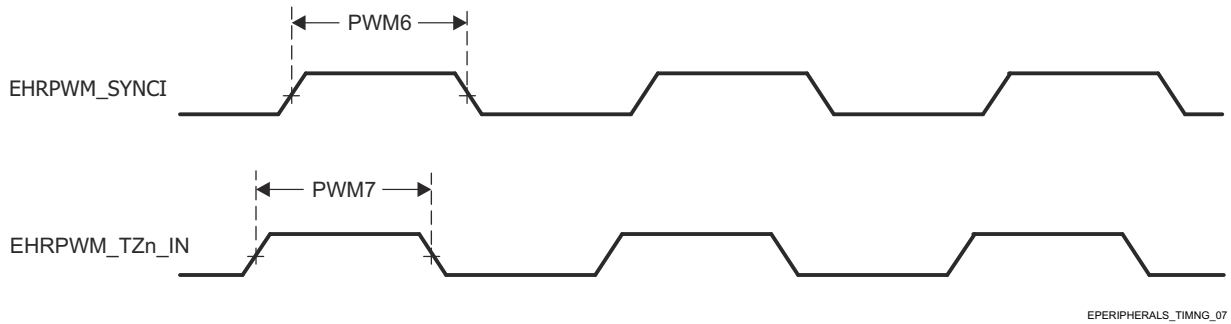


図 6-42. EPWM のタイミング要件

表 6-59. EPWM スイッチング特性

図 6-43、図 6-44、図 6-45 を参照

番号	パラメータ	説明	最小値	最大値	単位
PWM1	$t_w(\text{PWM})$	パルス幅、EHRPWM_A/B High または Low	$P^{(1)} - 3$		ns
PWM2	$t_w(\text{SYNCO})$	パルス幅、EHRPWM_SYNCO	$P^{(1)} - 3$		ns
PWM3	$t_d(\text{TZ-PWM})$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B が強制的に High/Low になるまで		11	ns
PWM4	$t_d(\text{TZ-PWMZ})$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B Hi-Z まで		11	ns
PWM5	$t_w(\text{SOC})$	パルス幅、EHRPWM_SOCA/B 出力	$P^{(1)} - 3$		ns

(1) P = FICLK 周期 (ns 単位)。

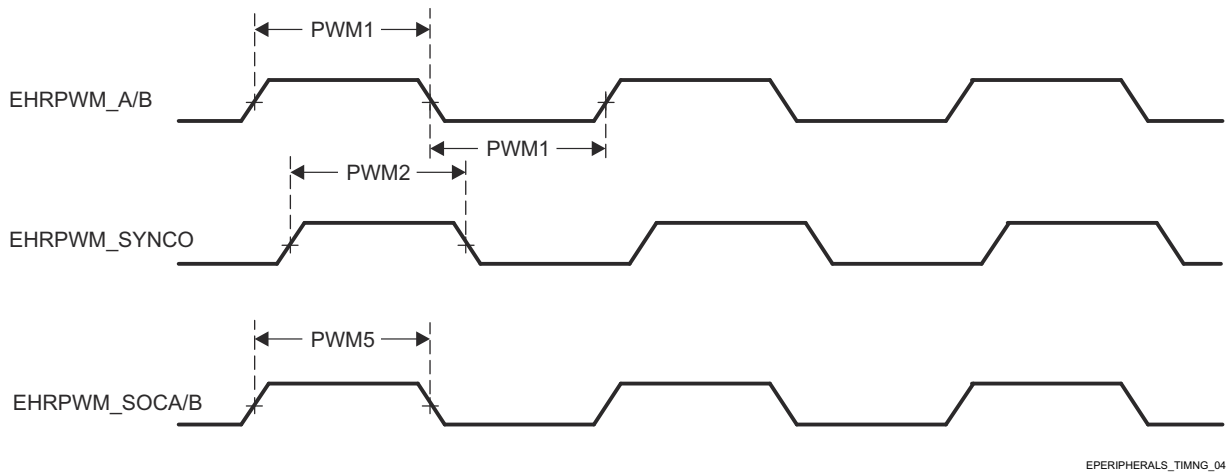


図 6-43. EHRPWM スイッチング特性

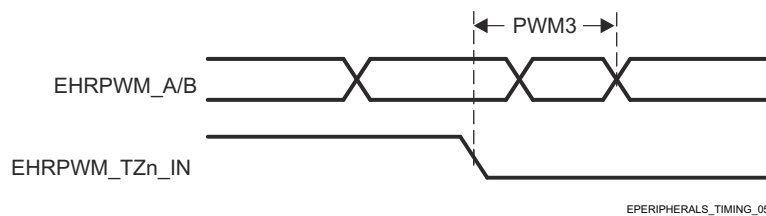


図 6-44. EHRPWM_TZn_IN から EHRPWM_A/B 強制へのスイッチング特性

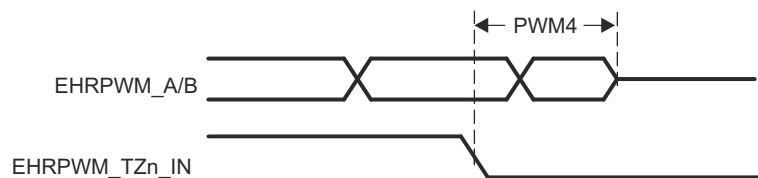


図 6-45. EHRPWM_TZn_IN から EHRPWM_A/B Hi-Z へのスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

6.11.5.12 EQEP

表 6-60、表 6-61、図 6-46、表 6-62 に、EQEP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-60. EQEP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	1	4	V/ns
出力条件				
C _L	出力負荷容量	2	7	pF

表 6-61. EQEP のタイミング要件

図 6-46 参照

番号	パラメータ	説明	最小値	最大値	単位
QEP1	t _w (QEP)	パルス幅、QEP_A/B	2P ⁽¹⁾ + 2		ns
QEP2	t _w (QEP _I H)	パルス幅、QEP_I high	2P ⁽¹⁾ + 2		ns
QEP3	t _w (QEP _I L)	パルス幅、QEP_I low	2P ⁽¹⁾ + 2		ns
QEP4	t _w (QEP _S H)	パルス幅、QEP_S high	2P ⁽¹⁾ + 2		ns
QEP5	t _w (QEP _S L)	パルス幅、QEP_S low	2P ⁽¹⁾ + 2		ns

(1) P = FICLK 周期 (ns 単位)。

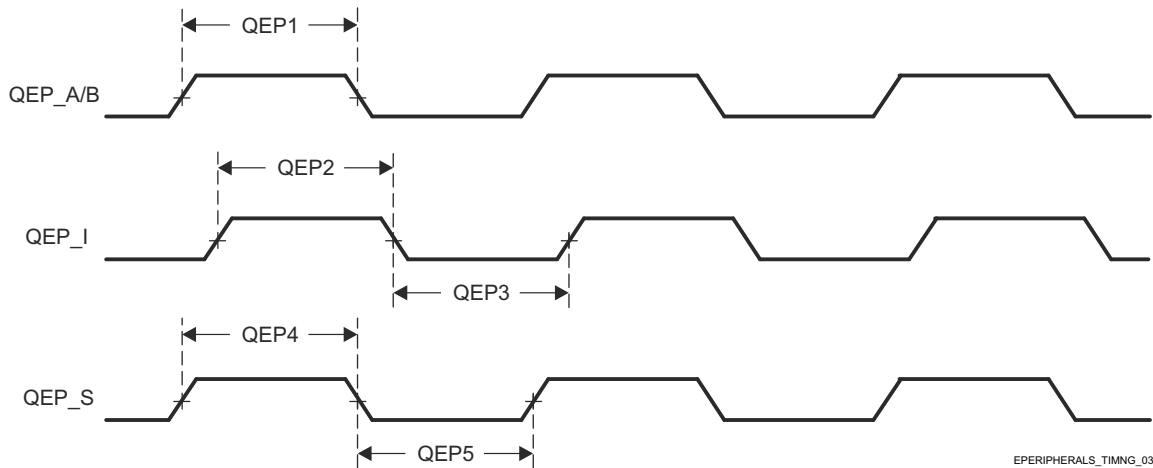


図 6-46. EQEP のタイミング要件

表 6-62. EQEP スwitching 特性

番号	パラメータ	説明	最小値	最大値	単位
QEP6	t _d (QEP-CNTR)	遅延時間、外部クロックからカウンタ インクリメントまで		24	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

6.11.5.13 GPIO

表 6-63、表 6-64、表 6-65 に、GPIO のタイミング条件、タイミング要件、スイッチング特性を示します。

このデバイスには、3 個の GPIO モジュール インスタンスがあります。

- MCU_GPIO0
- GPIO0
- GPIO1

注

GPIO_{n_x} は、GPIO 信号を記述するために使用される一般的な名前です。ここで、n は特定の GPIO モジュールを表し、x はモジュールに関連付けられた入出力信号の 1 つを表します。

本デバイスの GPIO の追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-63. GPIO のタイミング条件

パラメータ		バッファのタイプ	最小値	最大値	単位
入力条件					
SR _i	入力スループレート	LVC MOS (VDD ⁽¹⁾ = 1.8V)	0.0018	6.6	V/ns
		LVC MOS (VDD ⁽¹⁾ = 3.3V)	0.0033	6.6	V/ns
		I2C OD FS (VDD ⁽¹⁾ = 1.8V)	0.0018	6.6	V/ns
		I2C OD FS (VDD ⁽¹⁾ = 3.3V)	0.0033	0.08	V/ns
出力条件					
C _L	出力負荷容量	LVC MOS	3	10	pF
		I2C OD FS	3	100	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-64. GPIO のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
GPIO1	t _w (GPIO_IN)	パルス幅、GPIO _{n_x}	2P ⁽¹⁾ + 30		ns

(1) P = 機能クロック周期 (ns 単位)。

表 6-65. GPIO スwitchング特性

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
GPIO2	t _w (GPIO_OUT)	パルス幅、GPIO _{n_x}	LVC MOS	0.975P ⁽¹⁾ - 3.6		ns
			I2C OD FS	160		ns

(1) P = 機能クロック周期 (ns 単位)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

6.11.5.14 GPMC

本デバイスの汎用メモリコントローラの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-66 に、GPMC のタイミング条件を示します。

表 6-66. GPMC のタイミング条件

パラメータ		最小値	最大値	単位	
入力条件					
SR _i	入力スルーレート	1.65	4	V/ns	
出力条件					
C _L	出力負荷容量	2	20	pF	
PCB 接続要件					
t _d (Trace Delay)	各パターンの伝搬遅延	133MHz 同期モード	140	360	ps
		その他のすべてのモード	140	720	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		200	ps	

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用メモリコントローラ (GPMC)」セクションを参照してください。

6.11.5.14.1 GPMC および NOR フラッシュ — 同期モード

表 6-67 および 表 6-68 に、GPMC および NOR フラッシュ (同期モード) のタイミング要件とスイッチング特性を示します。

表 6-67. GPMC および NOR フラッシュのタイミング要件 — 同期モード

図 6-47、図 6-48、図 6-51 を参照

番号	パラメータ	説明	最小値	最大値	単位
F12	t _{su} (dV-clkH)	セットアップ時間、GPMC_CLK High の前に GPMC_AD[15:0] 有効	0.92		ns
F13	t _h (clkH-dV)	ホールド時間、GPMC_CLK High の後 GPMC_AD[15:0] 有効	2.09		ns
F21	t _{su} (waitV-clkH)	セットアップ時間、GPMC_CLK が High になる前に GPMC_WAIT[j] ^{(1) (2)} が有効	0.92		ns
F22	t _h (clkH-waitV)	ホールド時間、 ^{(1) (2)} GPMC_CLK が High になった後に GPMC_WAIT[j] が有効	2.09		ns

- (1) GPMC_WAIT[j] で、j は 0 または 1 です。
 (2) 待機モニタリングのサポートは、WaitMonitoringTime の値 > 0 に制限されます。待機監視機能の詳細な説明については、デバイスのテクニカル リファレンス マニュアルで「汎用メモリコントローラ (GPMC)」セクションを参照してください。

表 6-68. GPMC および NOR フラッシュのスイッチング特性 - 同期モード

図 6-47、図 6-48、図 6-49、図 6-50、図 6-51 を参照

番号	パラメータ	説明	最小値	最大値	単位
F0	t _c (clk)	サイクル時間、GPMC_CLK ⁽¹⁶⁾	7.52		ns
F1	t _w (clkH)	標準パルス期間、GPMC_CLK high	0.475P ⁽¹³⁾ - 0.3		ns
F1	t _w (clkL)	標準パルス期間、GPMC_CLK low	0.475P ⁽¹³⁾ - 0.3		ns
F2	t _d (clkH-csnV)	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_CSn[j] 遷移まで ⁽¹²⁾	F ⁽⁵⁾ - 2.2	F ⁽⁵⁾ + 3.75	ns

表 6-68. GPMC および NOR フラッシュのスイッチング特性 - 同期モード (続き)

図 6-47、図 6-48、図 6-49、図 6-50、図 6-51 を参照

番号	パラメータ	説明	最小値	最大値	単位
F3	$t_{d(\text{clkH-CSn}[i]V)}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_CS <i>n</i> [<i>i</i>] 無効まで ⁽¹²⁾	D ⁽⁴⁾ - 2.2	D ⁽⁴⁾ + 4.5	ns
F4	$t_{d(aV\text{-clk})}$	遅延時間、GPMC_A[27:1] が有効になってから GPMC_CLK 最初のエッジまで	B ⁽²⁾ - 2.3	B ⁽²⁾ + 4.5	ns
F5	$t_{d(\text{clkH-aIV})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_A[27:1] 無効まで	-2.3	4.5	ns
F6	$t_{d(\text{be}[x]nV\text{-clk})}$	遅延時間、GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> から GPMC_CLK の最初のエッジまで有効	B ⁽²⁾ - 2.3	B ⁽²⁾ + 1.9	ns
F7	$t_{d(\text{clkH-be}[x]nIV})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> 無効まで	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 1.9	ns
F8	$t_{d(\text{clkH-advn})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_ADV <i>n</i> _ALE 遷移まで	G ⁽⁶⁾ - 2.3	G ⁽⁶⁾ + 4.5	ns
F9	$t_{d(\text{clkH-advnIV})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_ADV <i>n</i> _ALE 無効まで	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 4.5	ns
F10	$t_{d(\text{clkH-oen})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_OE <i>n</i> _RE <i>n</i> 遷移まで	H ⁽⁷⁾ - 2.3	H ⁽⁷⁾ + 3.5	ns
F11	$t_{d(\text{clkH-oenIV})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_OE <i>n</i> _RE <i>n</i> 無効まで	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 3.5	ns
F14	$t_{d(\text{clkH-wen})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_WE <i>n</i> 遷移まで	I ⁽⁸⁾ - 2.3	I ⁽⁸⁾ + 4.5	ns
F15	$t_{d(\text{clkH-do})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_AD[15:0] 遷移まで ⁽⁹⁾	- 2.3	2.7	ns
F15	$t_{d(\text{clkL-do})}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データバス遷移まで ⁽¹⁰⁾	- 2.3	2.7	ns
F15	$t_{d(\text{clkL-do})}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データバス遷移まで ⁽¹¹⁾	- 2.3	2.7	ns
F17	$t_{d(\text{clkH-be}[x]n)}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> 遷移まで ⁽⁹⁾	- 2.3	1.9	ns
F17	$t_{d(\text{clkL-be}[x]n)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> 遷移まで ⁽¹⁰⁾	- 2.3	1.9	ns
F17	$t_{d(\text{clkL-be}[x]n)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> 遷移まで ⁽¹¹⁾	- 2.3	1.9	ns
F18	$t_{w(\text{csnV})}$	パルス幅、GPMC_CS <i>n</i> [<i>i</i>] ⁽¹²⁾ low	A ⁽¹⁾		ns
F19	$t_{w(\text{be}[x]nV)}$	パルス幅、GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> Low	C ⁽³⁾		ns
F20	$t_{w(\text{advnV})}$	パルス幅、GPMC_ADV <i>n</i> _ALE low	K ⁽¹⁴⁾		ns

- (1) 単一読み取りの場合: $A = (\text{CSRdOffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 単一書き込みの場合: $A = (\text{CSWrOffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 バースト読み取りの場合: $A = (\text{CSRdOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 バースト書き込みの場合: $A = (\text{CSWrOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 n はページバーストアクセス数。
- (2) アドレスバス/バイトイネーブルはサイクル開始時に有効となり、GPMC_CLK のアクティブ化タイミングはサイクル開始後に遅延する場合があります
 $B = \text{ClkActivationTime} \times \text{GPMC_FCLK}^{(15)}$
- (3) 単一読み取りの場合: $C = \text{RdCycleTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 単一書き込みの場合: $C = \text{WrCycleTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 バースト読み取りの場合: $C = (\text{RdCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 バースト書き込みの場合: $C = (\text{WrCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 n はページバーストアクセス数。
- (4) 単一読み取りの場合: $D = (\text{RdCycleTime} - \text{RdAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 単一書き込みの場合: $D = (\text{WrCycleTime} - \text{WrAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$

バースト読み取りの場合: $D = (\text{RdCycleTime} - \text{RdAccessTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$

バースト書き込みの場合: $D = (\text{WrCycleTime} - \text{WrAccessTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$

n はページバースト アクセス数。

(5) CSn 立ち下がりエッジ時 (CS 起動時):

- Case GPMCFCLKDIVIDER = 0:
 - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
 - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if (ClkActivationTime および CSOnTime が奇数) or (ClkActivationTime および CSOnTime が偶数)
 - $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $f = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if ((CSOnTime - ClkActivationTime) が 3 の倍数)
 - $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((CSOnTime - ClkActivationTime - 1) が 3 の倍数)
 - $F = (2 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((CSOnTime - ClkActivationTime - 2) が 3 の倍数)

CSn 立ち上がりエッジ時 CS 非アクティブ時、読み取りモード:

- Case GPMCFCLKDIVIDER = 0:
 - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
 - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ (ClkActivationTime と CSRdOffTime が奇数) または (ClkActivationTime と CSRdOffTime が偶数) の場合
 - $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ ((CSRdOffTime - ClkActivationTime) が 3 の倍数の場合)
 - $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ ((CSRdOffTime - ClkActivationTime - 1) が 3 の倍数の場合)
 - $F = (2 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ ((CSRdOffTime - ClkActivationTime - 2) が 3 の倍数の場合)

書き込みモードでの CSn 立ち上がりエッジ (CS が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
 - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ (ClkActivationTime と CSWrOffTime が奇数) または (ClkActivationTime と CSWrOffTime が偶数) の場合
 - $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ ((CSWrOffTime - ClkActivationTime) が 3 の倍数の場合)
 - $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ ((CSWrOffTime - ClkActivationTime - 1) が 3 の倍数の場合)
 - $F = (2 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ ((CSWrOffTime - ClkActivationTime - 2) が 3 の倍数の場合)

(6) ADV 立ち下がりエッジ (ADV がアクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if (ClkActivationTime および ADVOnTime が奇数) or (ClkActivationTime および ADVOnTime が偶数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if ((ADVOnTime - ClkActivationTime) が 3 の倍数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((ADVOnTime - ClkActivationTime - 1) が 3 の倍数)
 - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((ADVOnTime - ClkActivationTime - 2) が 3 の倍数)

読み取りモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:

- $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if (ClkActivationTime および ADVRdOffTime が奇数) or (ClkActivationTime および ADVRdOffTime が偶数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if ((ADVRdOffTime - ClkActivationTime) が 3 の倍数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((ADVRdOffTime - ClkActivationTime - 1) が 3 の倍数)
 - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((ADVRdOffTime - ClkActivationTime - 2) が 3 の倍数)

書き込みモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if (ClkActivationTime および ADVWrOffTime が奇数) または (ClkActivationTime および ADVWrOffTime が偶数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if ((ADVWrOffTime - ClkActivationTime) が 3 の倍数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((ADVWrOffTime - ClkActivationTime - 1) が 3 の倍数)
 - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((ADVWrOffTime - ClkActivationTime - 2) が 3 の倍数)
- (7) OE の立ち下がりエッジ (OE がアクティブ) および IO DIR の立ち上がりエッジ (データバスが入力方向) の場合:
- Case GPMCFCLKDIVIDER = 0:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if (ClkActivationTime および OEOnTime が奇数) または (ClkActivationTime および OEOnTime が偶数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if ((OEOnTime - ClkActivationTime) が 3 の倍数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((OEOnTime - ClkActivationTime - 1) が 3 の倍数)
 - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((OEOnTime - ClkActivationTime - 2) が 3 の倍数)

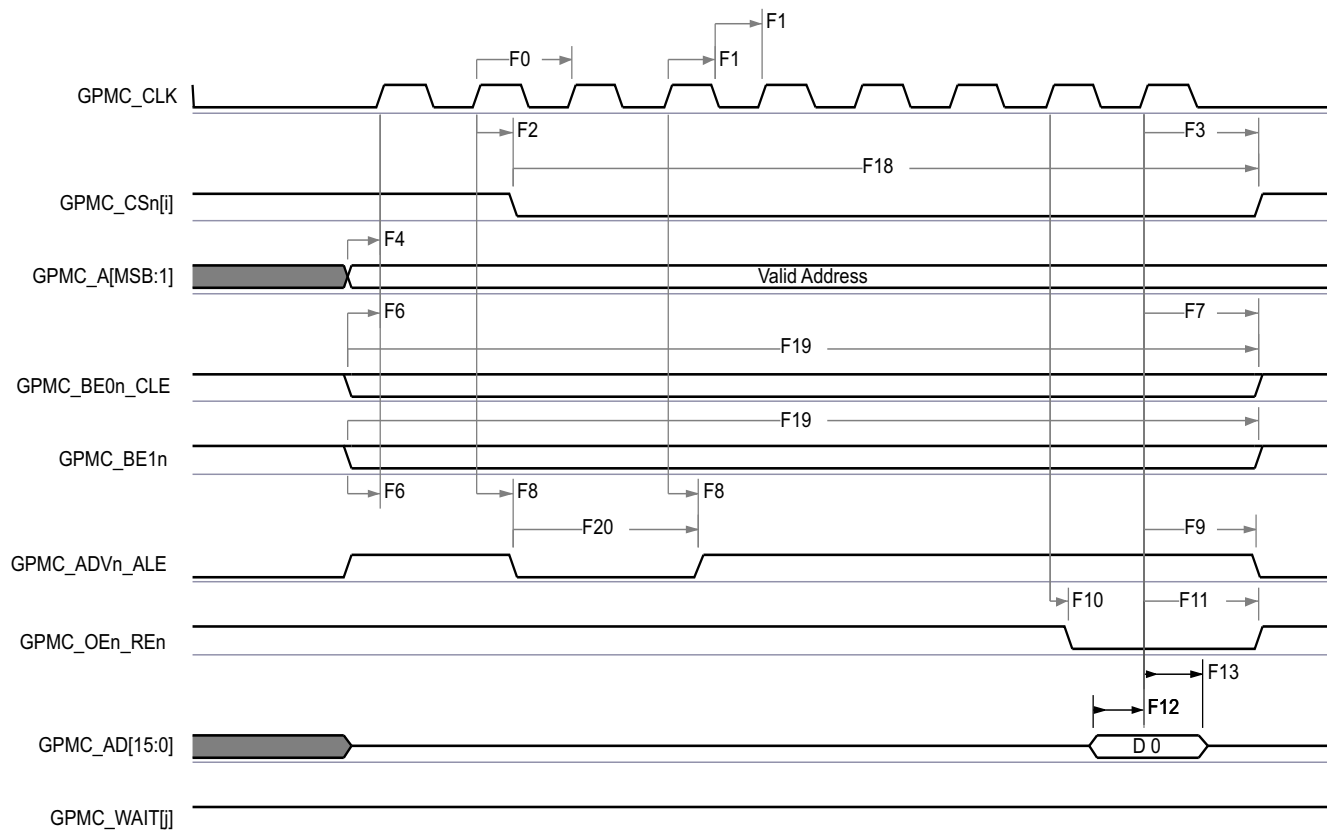
OE 立ち上がりエッジ (OE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if (ClkActivationTime および OEOffTime が奇数) または (ClkActivationTime および OEOffTime が偶数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if ((OEOffTime - ClkActivationTime) が 3 の倍数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((OEOffTime - ClkActivationTime - 1) が 3 の倍数)
 - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((OEOffTime - ClkActivationTime - 2) が 3 の倍数)
- (8) WE 立ち下がりエッジ (WE がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if (ClkActivationTime および WEOffTime が奇数) or (ClkActivationTime および WEOffTime が偶数)
 - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:

- $I = 0.5 \times WEEExtraDelay \times GPMC_FCLK^{(15)}$ if $((WEOnTime - ClkActivationTime)$ が 3 の倍数)
- $I = (1 + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(15)}$ if $((WEOnTime - ClkActivationTime - 1)$ が 3 の倍数)
- $I = (2 + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(15)}$ if $((WEOnTime - ClkActivationTime - 2)$ が 3 の倍数)

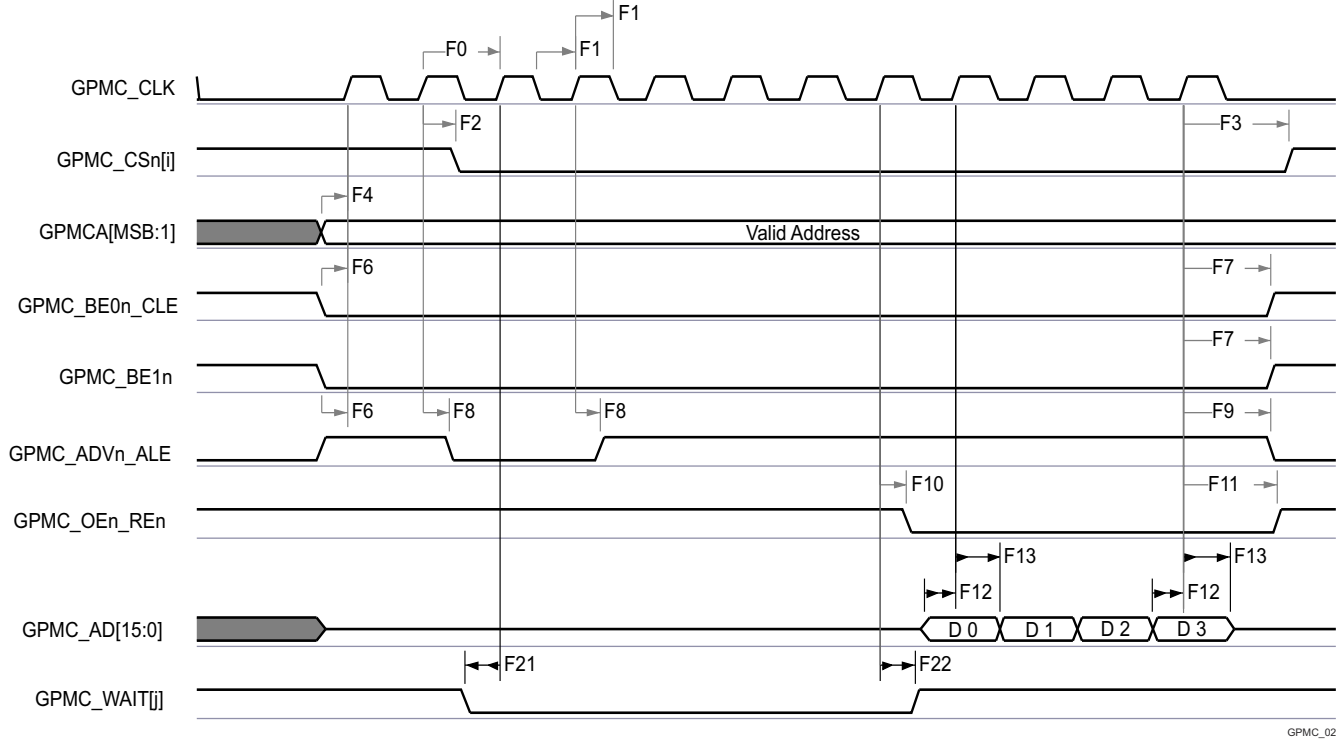
WE 立ち上がりエッジ (WE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $I = 0.5 \times WEEExtraDelay \times GPMC_FCLK^{(13)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $I = 0.5 \times WEEExtraDelay \times GPMC_FCLK^{(15)}$ if $(ClkActivationTime$ および $WEOffTime$ が奇数) or $(ClkActivationTime$ および $WEOffTime$ が偶数)
 - $I = (1 + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(15)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:
 - $I = 0.5 \times WEEExtraDelay \times GPMC_FCLK^{(15)}$ if $((WEOffTime - ClkActivationTime)$ が 3 の倍数)
 - $I = (1 + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(15)}$ if $((WEOffTime - ClkActivationTime - 1)$ が 3 の倍数)
 - $I = (2 + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(15)}$ if $((WEOffTime - ClkActivationTime - 2)$ が 3 の倍数)
- (9) ケース CLK DIV 1 モード、最初の転送のみの場合: データおよびバイト イネーブルは GPMC_CLK の立ち上がりエッジで遷移します
- 非多重化モード: サイクル開始時のデータ遷移
 - 多重化モード: $WRDATAONADMUXBUS \times (TimeParaGranularity + 1) \times GPMC_FCLK$ でのデータ遷移⁽¹⁵⁾
- (10) ケース: CLK DIV 1 モード、初回転送以降のすべてのデータおよびバイト イネーブル: データおよびバイト イネーブルは GPMC_CLK の立ち下がりエッジで遷移します(GPMC_CLK の半周期)
- (11) CLK DIV 1 モード以外のケースモード (GPMC_CLK を GPMC_FCLK から分周) : すべてのデータおよびバイトにより、GPMC_CLK の立ち下がりエッジ (GPMC_CLK の半周期) で遷移がイネーブルされます。ClkActivationTime、GPMCFCLKDIVIDER、RDACCESSTIME/WRACCESSTIME、および PAGEBURSTACCESSTIME の設定は、データおよびバイト イネーブルが GPMC_CLK の立ち下がりエッジで遷移し (GPMC_CLK の立ち上がりエッジでラッチされるように)、強制されるように構成する必要があります
- (12) GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。
- (13) P = GPMC_CLK 周期 (ns 単位)
- (14) 読み出しの場合: $K = (ADVrdOffTime - ADVOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(15)}$
書き込みの場合: $K = (ADVwrOffTime - ADVOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(15)}$
- (15) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
- (16) GPMC モジュールで、GPMC_CONFIG1_*i* 構成レジスタのビットフィールド GPMCFCLKDIVIDER の設定によりプログラム可能な、GPMC_CLK 出力クロックの最高および最低周波数に関連します。



- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。
- B. GPMC_WAIT[j] で、j は 0 または 1 です。

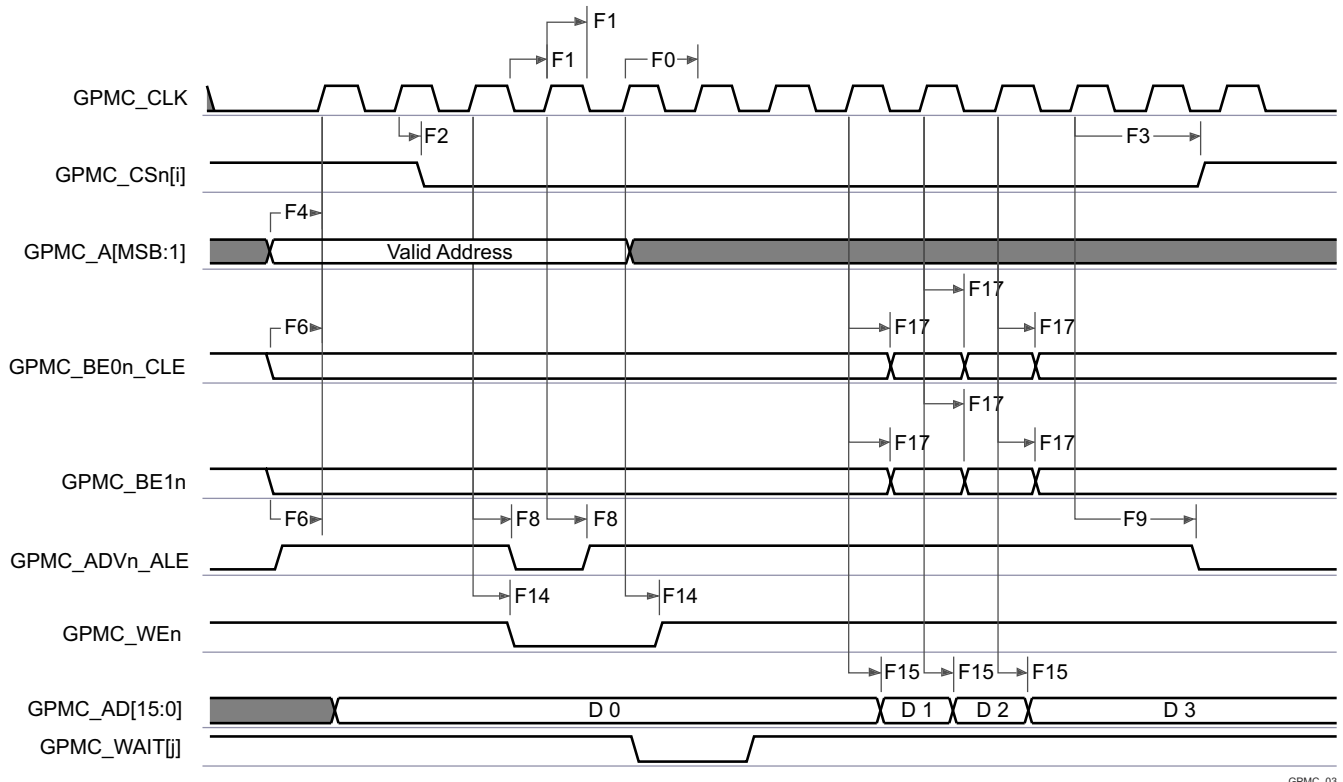
図 6-47. GPMC および NOR フラッシュ — 同期単一読み出し (GPMCFCLKDIVIDER = 0)



GPMC_02

- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。
- B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-48. GPMC および NOR フラッシュ — 同期バースト読み出し — 4x16 ビット (GPMCFCLKDIVIDER = 0)

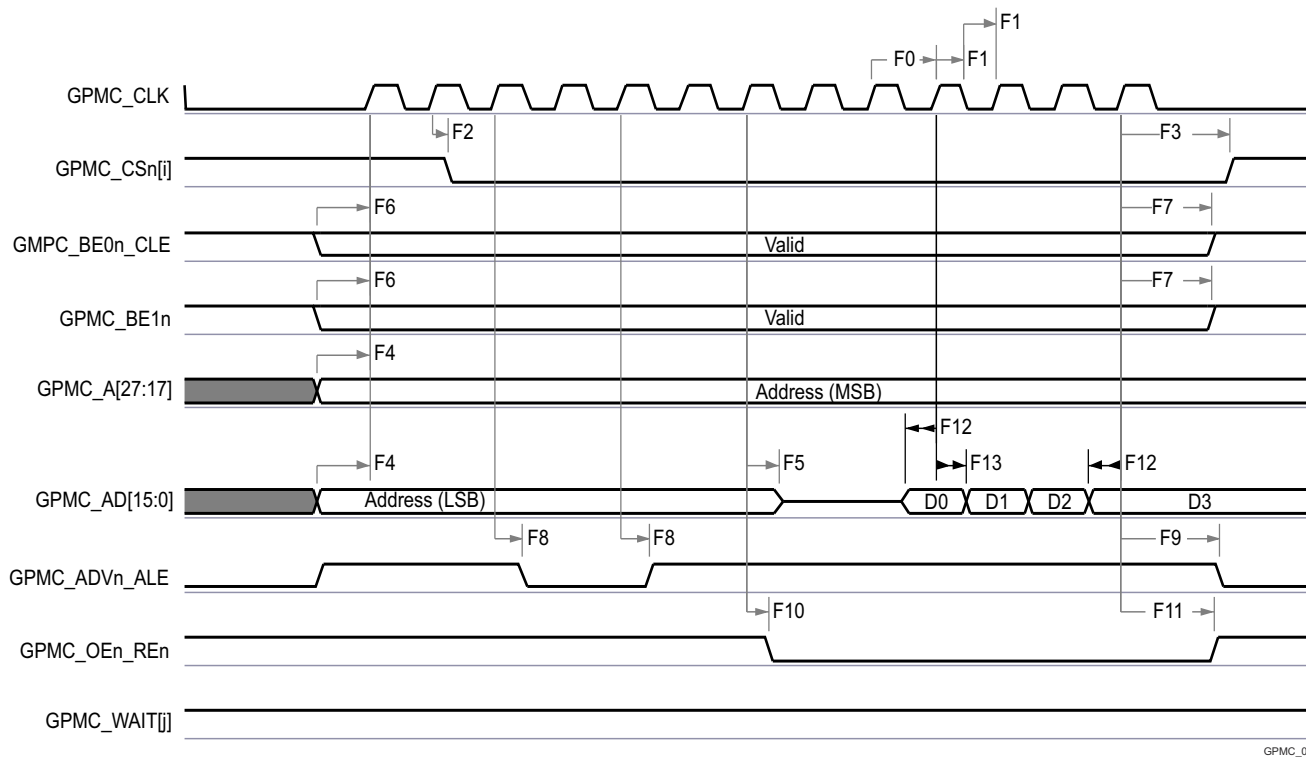


GPMC_03

- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。

B. GPMC_WAIT[j] で、j は 0 または 1 です。

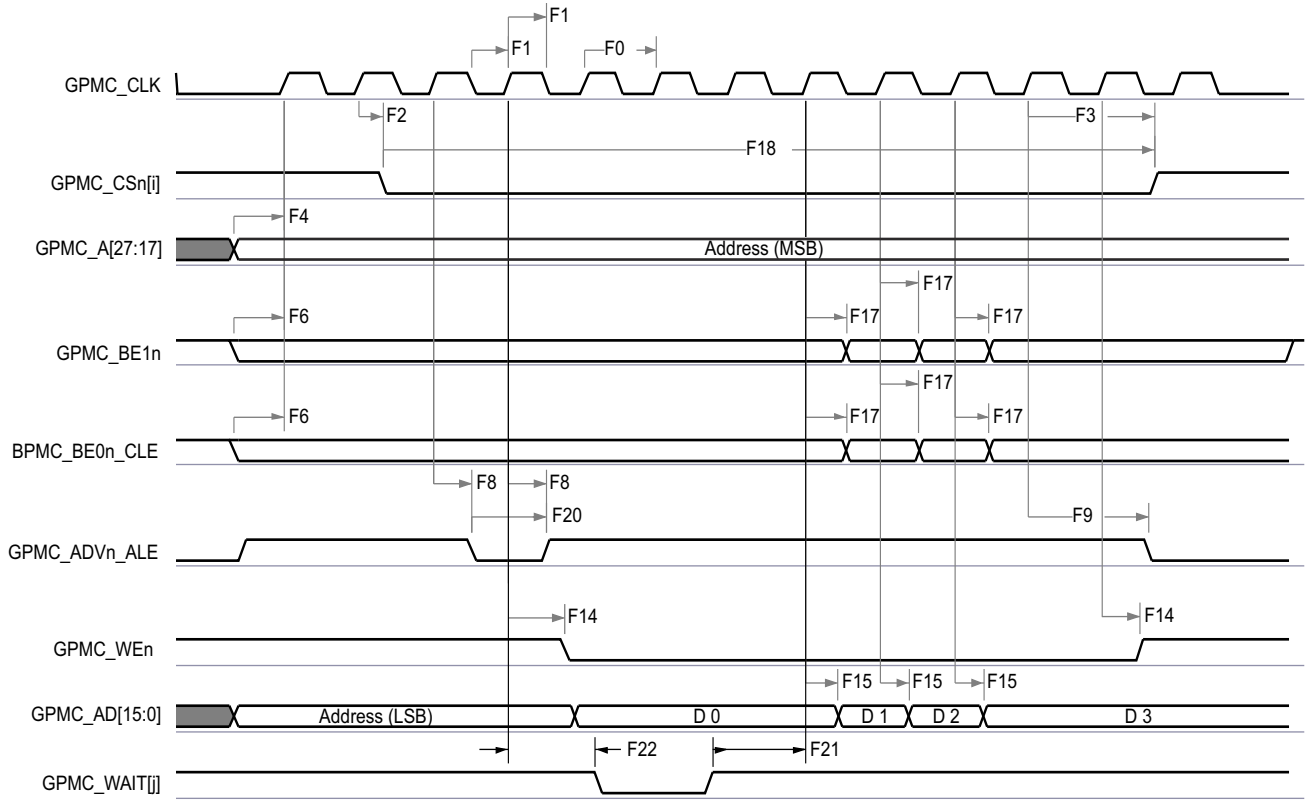
図 6-49. GPMC および NOR フラッシュ — 同期バースト書き込み (GPMCFCLKDIVIDER = 0)



GPMC_04

- A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
 B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-50. GPMC および多重化 NOR フラッシュ — 同期バースト読み出し



GPMC_05

- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。
- B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-51. GPMC および多重化 NOR フラッシュ — 同期バースト書き込み

6.11.5.14.2 GPMC および NOR フラッシュ – 非同期モード

表 6-69 および 表 6-70 に、GPMC および NOR フラッシュ - 非同期モードのタイミング要件とスイッチング特性を示します。

表 6-69. GPMC および NOR フラッシュのタイミング要件 – 非同期モード

図 6-52、図 6-53、図 6-54、図 6-56 を参照

番号	パラメータ	説明	最小値	最大値	単位
FA5 ⁽¹⁾	$t_{acc(d)}$	データ アクセス時間		H ⁽⁵⁾	ns
FA20 ⁽²⁾	$t_{acc1-pgmode(d)}$	ページ モードの連続データ アクセス時間		P ⁽⁴⁾	ns
FA21 ⁽³⁾	$t_{acc2-pgmode(d)}$	ページ モードの最初のデータ アクセス時間		H ⁽⁵⁾	ns

- (1) FA5 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
- (2) FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 の値は、PageBurstAccessTime レジスタのビット フィールドに保存する必要があります。
- (3) FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページ データが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
- (4) $P = \text{PageBurstAccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(6)}$
- (5) $H = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(6)}$
- (6) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

表 6-70. GPMC および NOR フラッシュのスイッチング特性 – 非同期モード

図 6-52、図 6-53、図 6-54、図 6-55、図 6-56、図 6-57 参照

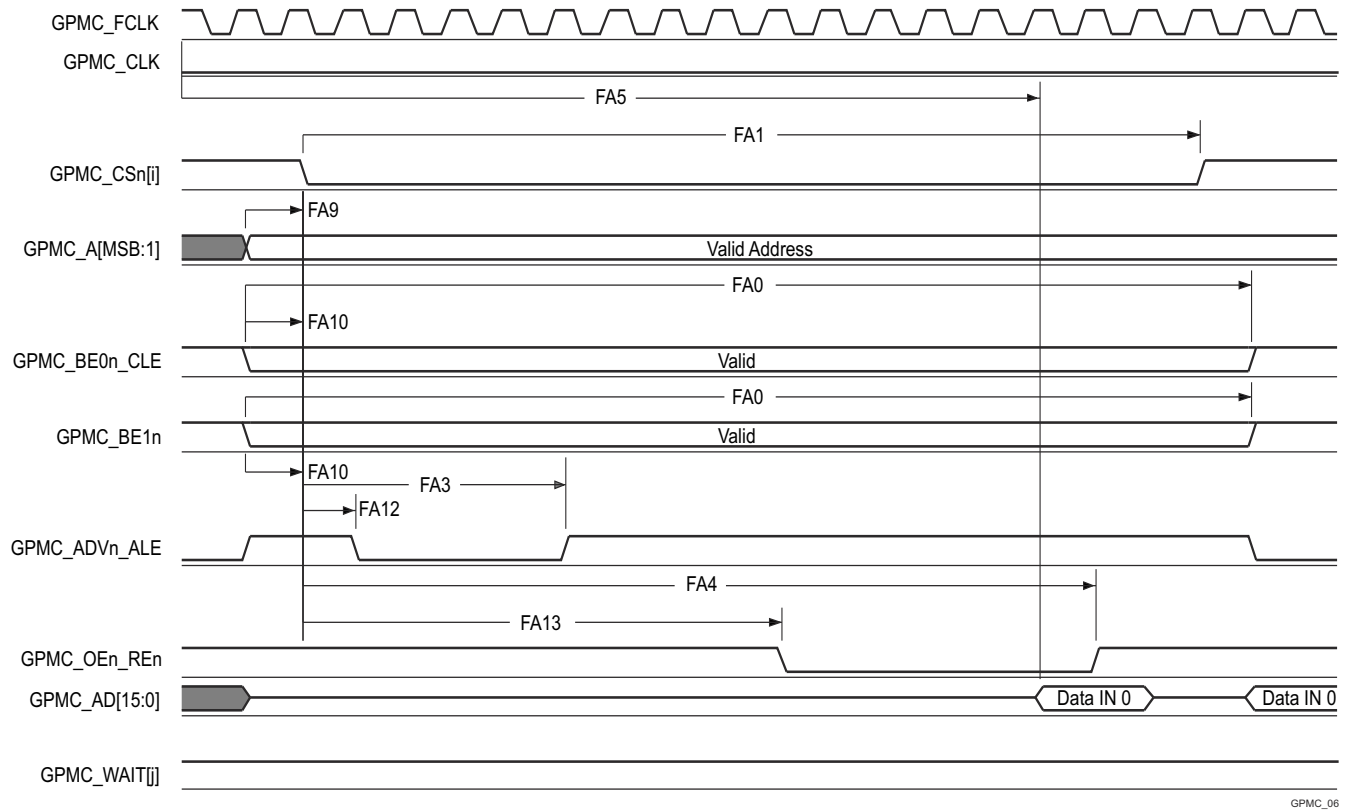
番号	パラメータ	説明	最小値	最大値	単位
FA0	$t_{w(\text{be}[x]nV)}$	パルス幅、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効時間		N ⁽¹²⁾	ns
FA1	$t_{w(\text{csn}V)}$	パルス幅、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ low		A ⁽¹⁾	ns
FA3	$t_{d(\text{csn}V\text{-advn}V)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE 無効まで	B ⁽²⁾ - 2	B ⁽²⁾ + 2	ns
FA4	$t_{d(\text{csn}V\text{-oen}V)}$	遅延時間、出力チップセレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から 出力イネーブル GPMC_OEn_RE <i>n</i> 無効まで (単一読み取り)	C ⁽³⁾ - 2	C ⁽³⁾ + 2	ns
FA9	$t_{d(\text{a}V\text{-csn}V)}$	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効まで	J ⁽⁹⁾ - 2	J ⁽⁹⁾ + 2	ns
FA10	$t_{d(\text{be}[x]nV\text{-csn}V)}$	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ まで	J ⁽⁹⁾ - 2	J ⁽⁹⁾ + 2	ns
FA12	$t_{d(\text{csn}V\text{-advn}V)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から出力アドレス有効、アドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE 有効まで	K ⁽¹⁰⁾ - 2	K ⁽¹⁰⁾ + 2	ns
FA13	$t_{d(\text{csn}V\text{-oen}V)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から出力イネーブル GPMC_OEn_RE <i>n</i> 有効まで	L ⁽¹¹⁾ - 2	L ⁽¹¹⁾ + 2	ns
FA16	$t_{w(\text{a}V)}$	2 つの連続する読み取りおよび書き込みアクセスの間で、出力アドレス GPMC_A[26:1] が無効になるパルス幅	G ⁽⁷⁾		ns
FA18	$t_{d(\text{csn}V\text{-oen}V)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から 出力イネーブル GPMC_OEn_RE <i>n</i> 無効まで (バースト読み取り)	I ⁽⁸⁾ - 2	I ⁽⁸⁾ + 2	ns
FA20	$t_{w(\text{a}V)}$	パルス幅、出力アドレス GPMC_A[27:1] 有効 - 2 回目、3 回目、4 回目のアクセス	D ⁽⁴⁾		ns
FA25	$t_{d(\text{csn}V\text{-wen}V)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から出力書き込みイネーブル GPMC_WEn 有効まで	E ⁽⁵⁾ - 2	E ⁽⁵⁾ + 2	ns
FA27	$t_{d(\text{csn}V\text{-wen}V)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から出力書き込みイネーブル GPMC_WEn 無効まで	F ⁽⁶⁾ - 2	F ⁽⁶⁾ + 2	ns

表 6-70. GPMC および NOR フラッシュのスイッチング特性 – 非同期モード (続き)

図 6-52、図 6-53、図 6-54、図 6-55、図 6-56、図 6-57 参照

番号	パラメータ	説明	最小値	最大値	単位
FA28	$t_{d(wenV-dV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 有効から出力データ GPMC_AD[15:0] 有効まで		2	ns
FA29	$t_{d(dV-csnV)}$	遅延時間、出力データ GPMC_AD[15:0] 有効から出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効まで	$J^{(9)} - 2$	$J^{(9)} + 2$	ns
FA37	$t_{d(oenV-aIV)}$	遅延時間、出力イネーブル GPMC_OEn_REn 有効から出力アドレス GPMC_AD[15:0] フェーズ終了まで		2	ns

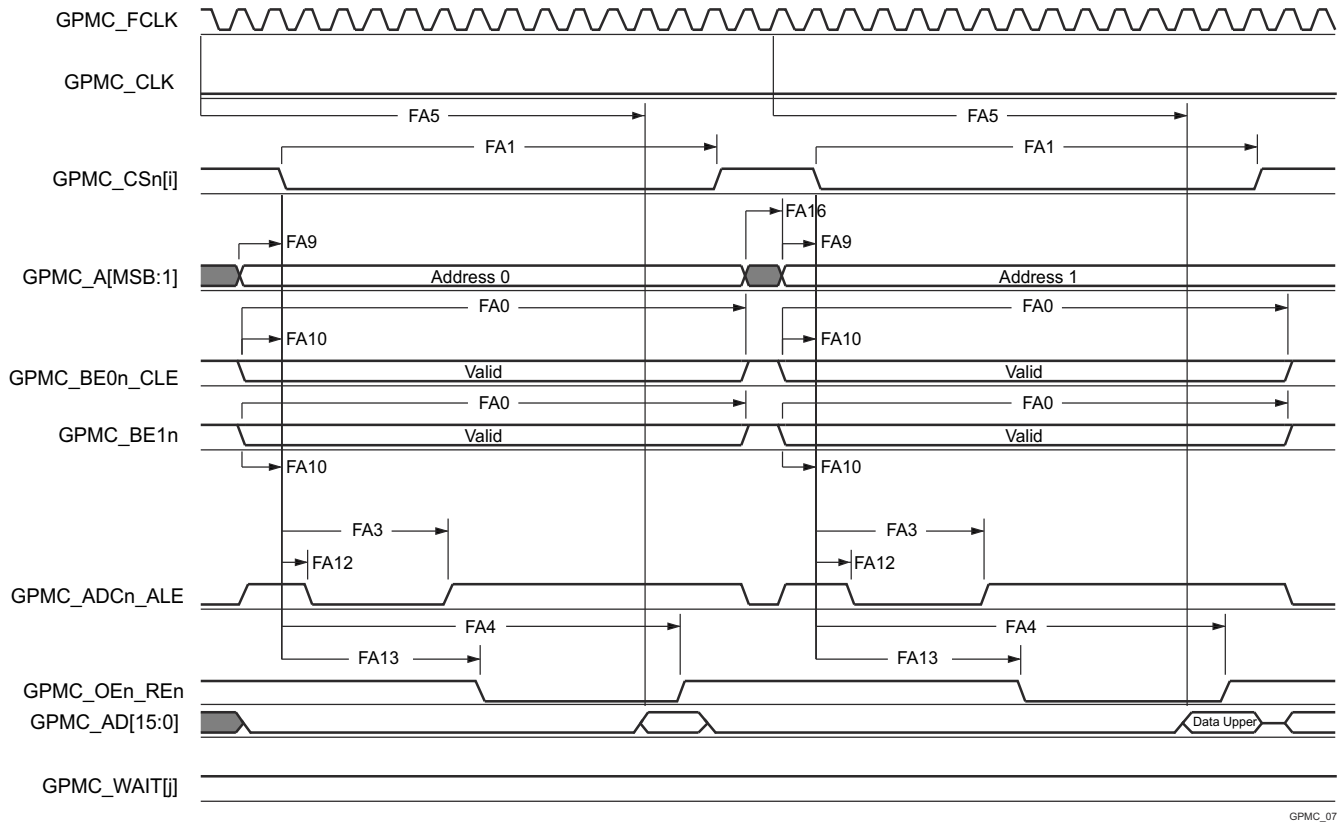
- (1) 単一読み取りの場合: $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 単一書き込みの場合: $A = (CSWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト読み取りの場合: $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト書き込みの場合: $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
n はページ バースト アクセス数
- (2) 読み取りの場合: $B = ((ADVrdOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 書き込みの場合: $B = ((ADVwrOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (3) $C = ((OEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (4) $D = PageBurstAccessTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 (5) $E = ((WEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (6) $F = ((WEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (7) $G = Cycle2CycleDelay \times GPMC_FCLK^{(14)}$
 (8) $I = ((OEOffTime + (n - 1) \times PageBurstAccessTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (9) $J = (CSOnTime \times (TimeParaGranularity + 1) + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(14)}$
 (10) $K = ((ADVOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (11) $L = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (12) 単一読み取りの場合: $N = RdCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 単一書き込みの場合: $N = WrCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト読み取りの場合: $N = (RdCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト書き込みの場合: $N = (WrCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
- (13) GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。
 (14) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。



GPMC_06

- A. GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。GPMC_WAIT[j] で、*j* は 0 または 1 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

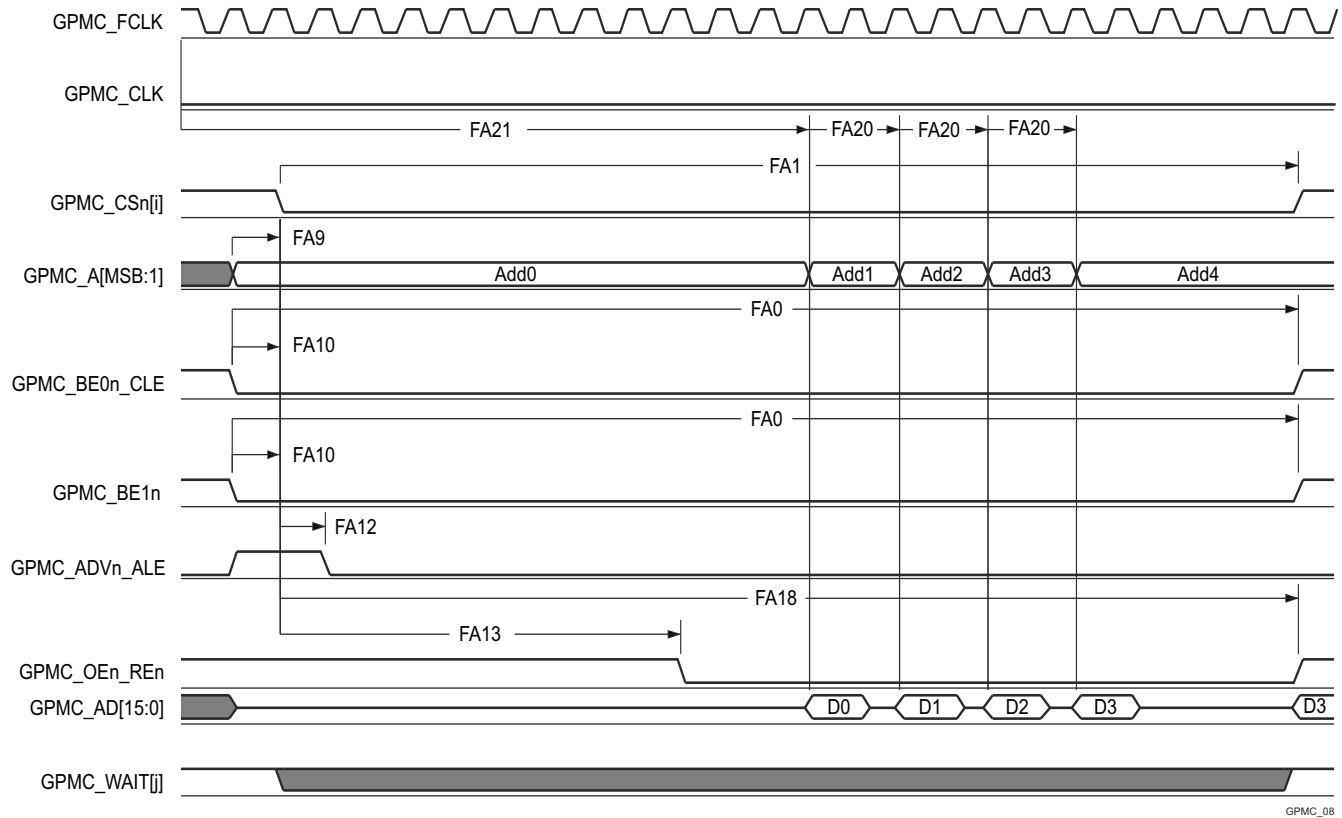
図 6-52. GPMC および NOR フラッシュ — 非同期読み取り — シングルワード



GPMC_07

- A. GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。GPMC_WAIT[j] で、*j* は 0 または 1 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

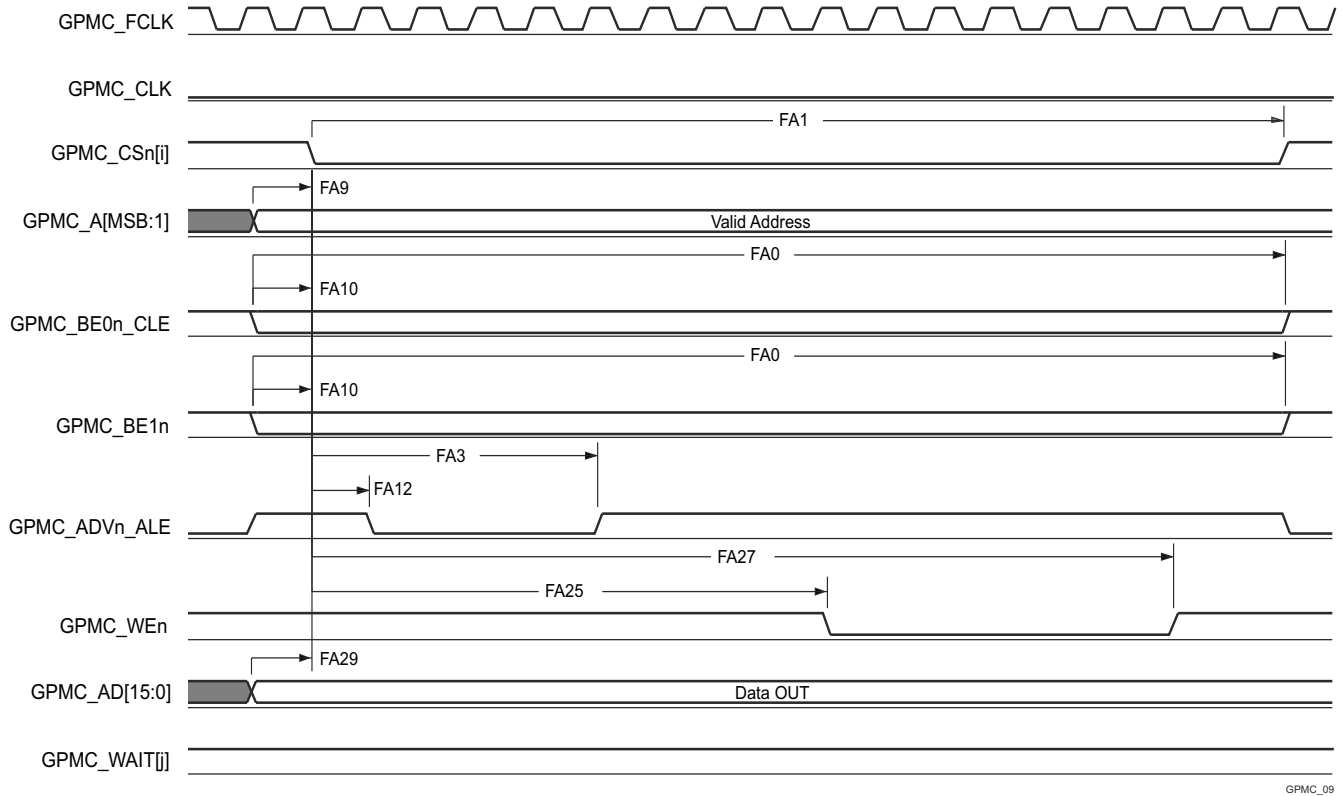
図 6-53. GPMC および NOR フラッシュ — 非同期読み取り — 32 ビット



GPMC_08

- GPMC_CS[n][i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。
- FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページのデータが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の計算値は、accessTime レジスタ ビット フィールド内に保存する必要があります。
- FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 は、連続する入力ページ データ (最初の入力ページ データを除く) のアドレス フェーズ期間でもあります。FA20 の値は、PageBurstAccessTime レジスタ ビット フィールドに保存する必要があります。
- GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

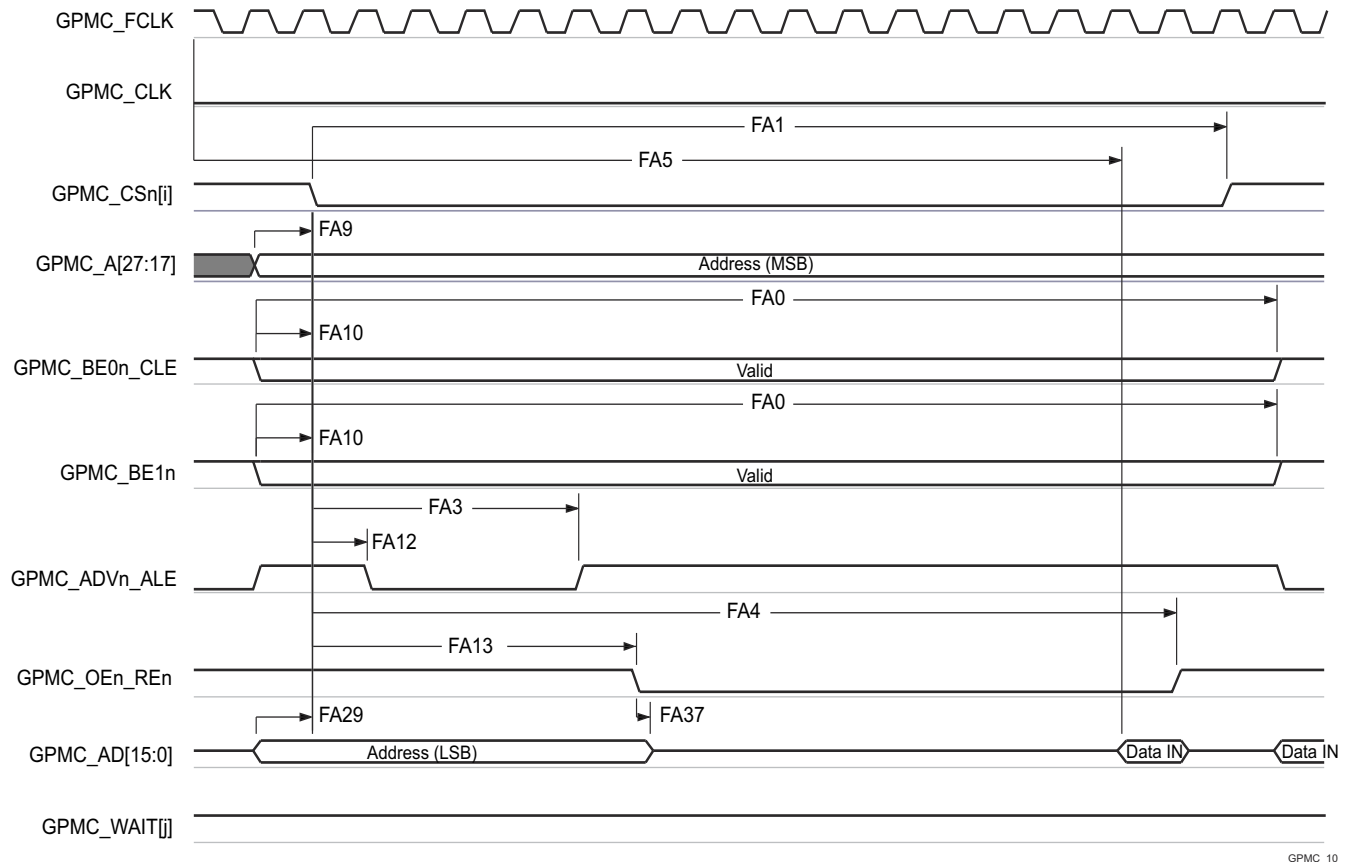
図 6-54. GPMC および NOR フラッシュ — 非同期読み取り — ページモード 4x16 ビット



GPMC_09

A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

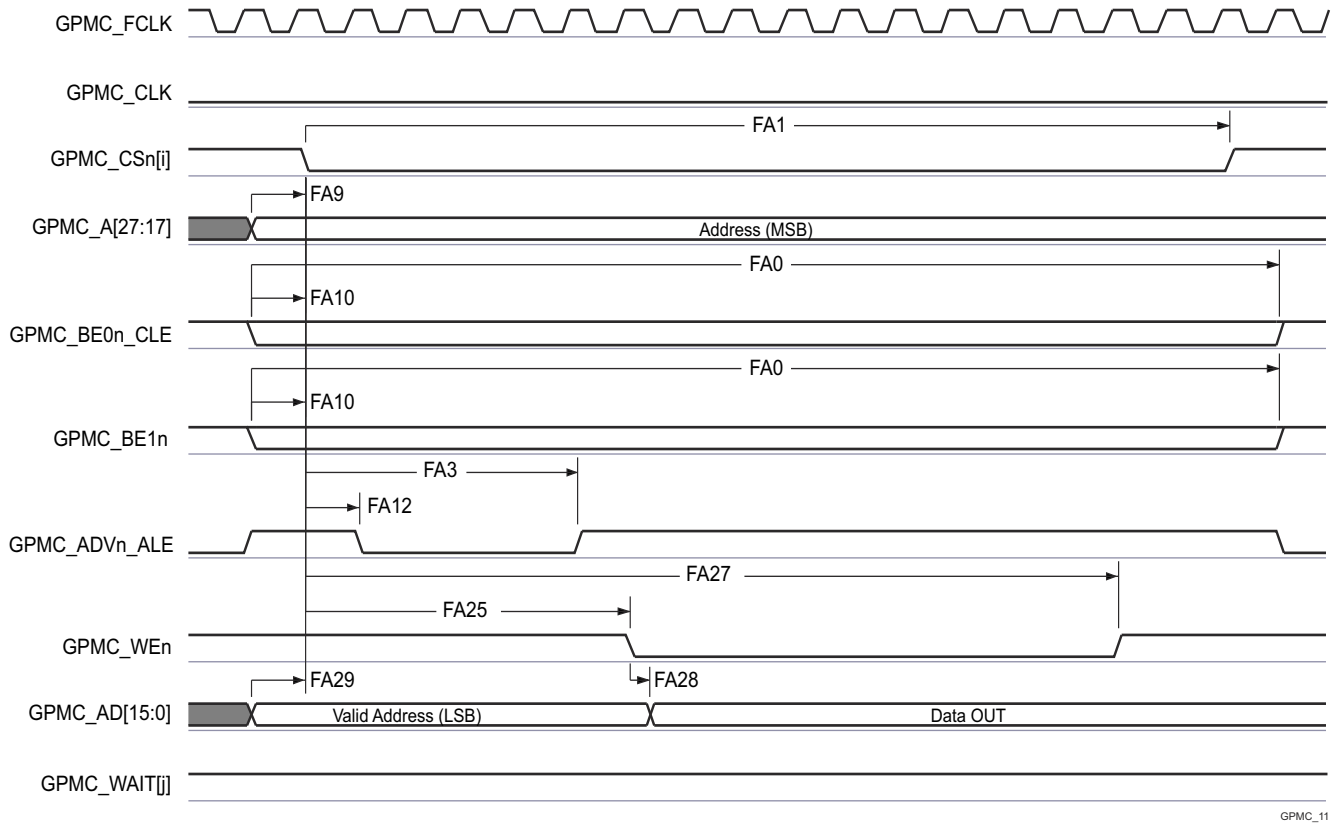
図 6-55. GPMC および NOR フラッシュ — 非同期書き込み — シングルワード



GPMC_10

- GPMC_CS[n] で、 i は 0、1、2、または 3 です。GPMC_WAIT[j] で、 j は 0 または 1 です。
- FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビットフィールド内に格納する必要があります。
- GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-56. GPMC および多重化 NOR フラッシュ — 非同期読み取り — シングルワード



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-57. GPMC および多重化 NOR フラッシュ — 非同期書き込み — シングルワード

6.11.5.14.3 GPMC および NAND フラッシュ – 非同期モード

表 6-71 および 表 6-72 に、GPMC および NAND フラッシュ - 非同期モードのタイミング要件とスイッチング特性を示します。

表 6-71. GPMC および NAND フラッシュのタイミング要件 – 非同期モード

図 6-60 参照

番号	パラメータ	説明	最小値	最大値	単位
GNF12 ⁽¹⁾	$t_{acc(d)}$	アクセス時間、入力データ GPMC_AD[15:0]		J ⁽²⁾	ns

(1) GNF12 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。

(2) $J = AccessTime \times (TimeParaGranularity + 1) \times GPMC_FCLK$ ⁽³⁾

(3) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

表 6-72. GPMC および NAND フラッシュのスイッチング特性 – 非同期モード

図 6-58、図 6-59、図 6-60、図 6-61 を参照

番号	パラメータ	説明	最小値	最大値	単位
GNF0	$t_{w(wenV)}$	パルス幅、出力書き込みイネーブル GPMC_WEn 有効	A ⁽¹⁾		ns
GNF1	$t_{d(csnV-wenV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から出力書き込みイネーブル GPMC_WEn 有効まで	B ⁽²⁾ - 2	B ⁽²⁾ + 2	ns
GNF2	$t_{w(cleH-wenV)}$	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0 <i>n</i> _CLE high から出力書き込みイネーブル GPMC_WEn 有効まで	C ⁽³⁾ - 2	C ⁽³⁾ + 2	ns
GNF3	$t_{w(wenV-dV)}$	遅延時間、出力データ GPMC_AD[15:0] 有効から出力書き込みイネーブル GPMC_WEn 有効まで	D ⁽⁴⁾ - 2	D ⁽⁴⁾ + 2	ns
GNF4	$t_{w(wenV-dIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力データ GPMC_AD[15:0] 無効まで	E ⁽⁵⁾ - 2	E ⁽⁵⁾ + 2	ns
GNF5	$t_{w(wenV-cleIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0 <i>n</i> _CLE 無効まで	F ⁽⁶⁾ - 2	F ⁽⁶⁾ + 2	ns
GNF6	$t_{w(wenV-CSn[j])V}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 無効まで	G ⁽⁷⁾ - 2	G ⁽⁷⁾ + 2	ns
GNF7	$t_{w(aleH-wenV)}$	遅延時間、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE high から出力書き込み イネーブル GPMC_WEn 有効まで	C ⁽³⁾ - 2	C ⁽³⁾ + 2	ns
GNF8	$t_{w(wenV-aleIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE 無効まで	F ⁽⁶⁾ - 2	F ⁽⁶⁾ + 2	ns
GNF9	$t_{c(wen)}$	サイクル時間、書き込み		H ⁽⁸⁾	ns
GNF10	$t_{d(csnV-oenV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から出力イネーブル GPMC_OEn_RE <i>n</i> 有効まで	I ⁽⁹⁾ - 2	I ⁽⁹⁾ + 2	ns
GNF13	$t_{w(oenV)}$	パルス幅、出力イネーブル GPMC_OEn_RE <i>n</i> 有効		K ⁽¹⁰⁾	ns
GNF14	$t_{c(oen)}$	サイクル時間、読み取り		L ⁽¹¹⁾	ns
GNF15	$t_{w(oenV-CSn[j])V}$	遅延時間、出力イネーブル GPMC_OEn_RE <i>n</i> 無効から出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 無効まで	M ⁽¹²⁾ - 2	M ⁽¹²⁾ + 2	ns

(1) $A = (WEOffTime - WEOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK$ ⁽¹⁴⁾

(2) $B = ((WEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK$ ⁽¹⁴⁾

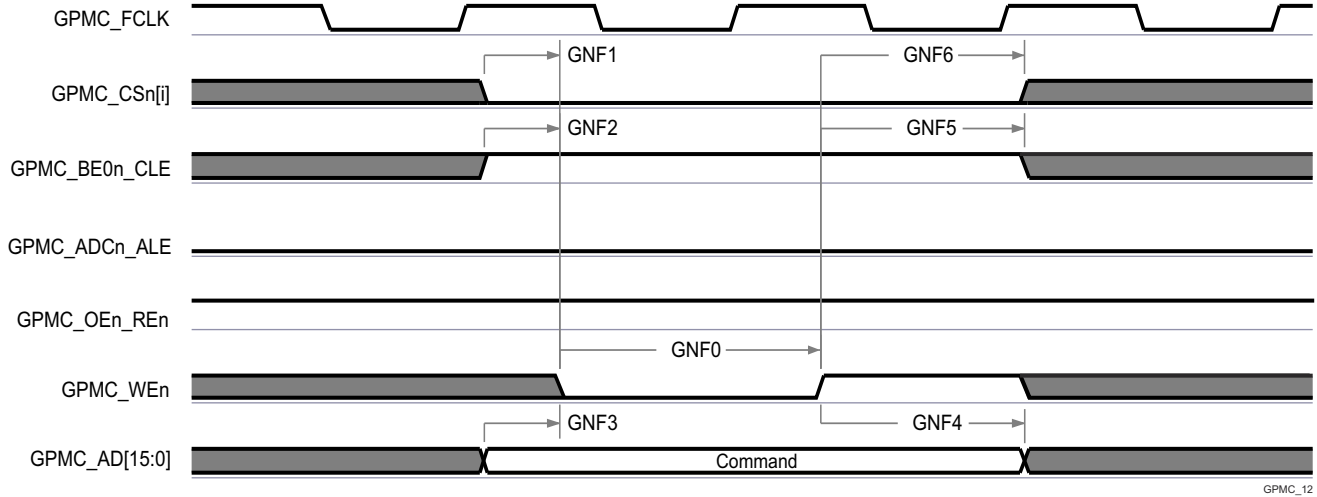
(3) $C = ((WEOnTime - ADVOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - ADVExtraDelay)) \times GPMC_FCLK$ ⁽¹⁴⁾ 注: DeviceType の場合: NAND

- コマンド ラッチ サイクル中: CLE 信号は、ADVOnTime および ADVWrOffTime のタイミング パラメータによって制御されます
- アドレス ラッチ サイクル中: ALE 信号は、ADVOnTime および ADVWrOffTime のタイミング パラメータで制御されます。

(4) $D = (WEOnTime \times (TimeParaGranularity + 1) + 0.5 \times WEEExtraDelay) \times GPMC_FCLK$ ⁽¹⁴⁾

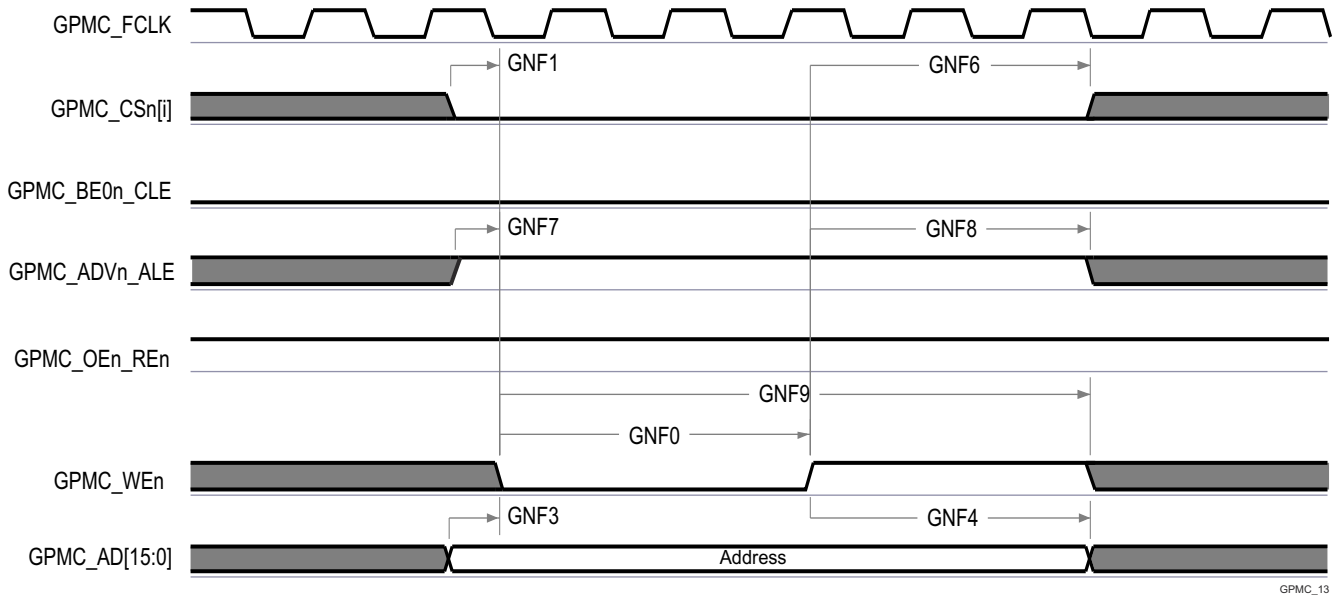
(5) $E = ((WrCycleTime - WEOffTime) \times (TimeParaGranularity + 1) - 0.5 \times WEEExtraDelay) \times GPMC_FCLK$ ⁽¹⁴⁾

- (6) $F = ((ADVWrOffTime - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - WEExtraDelay)) \times GPMC_FCLK^{(14)}$ 注:
DeviceType の場合: NAND
- コマンド ラッチ サイクル中: CLE 信号は、ADVOnTime および ADVWrOffTime のタイミング パラメータによって制御されます
 - アドレス ラッチ サイクル中: ALE 信号は、ADVOnTime および ADVWrOffTime のタイミング パラメータで制御されます。
- (7) $G = ((CSWrOffTime - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (CSEExtraDelay - WEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (8) $H = WrCycleTime \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
- (9) $I = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (10) $K = (OEOffTime - OEOnTime) \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
- (11) $L = RdCycleTime \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
- (12) $M = ((CSRdOffTime - OEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (CSEExtraDelay - OEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (13) GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。
- (14) GPMC_FCLK は、汎用メモリコントローラの内部機能クロック周期で、ns 単位です。



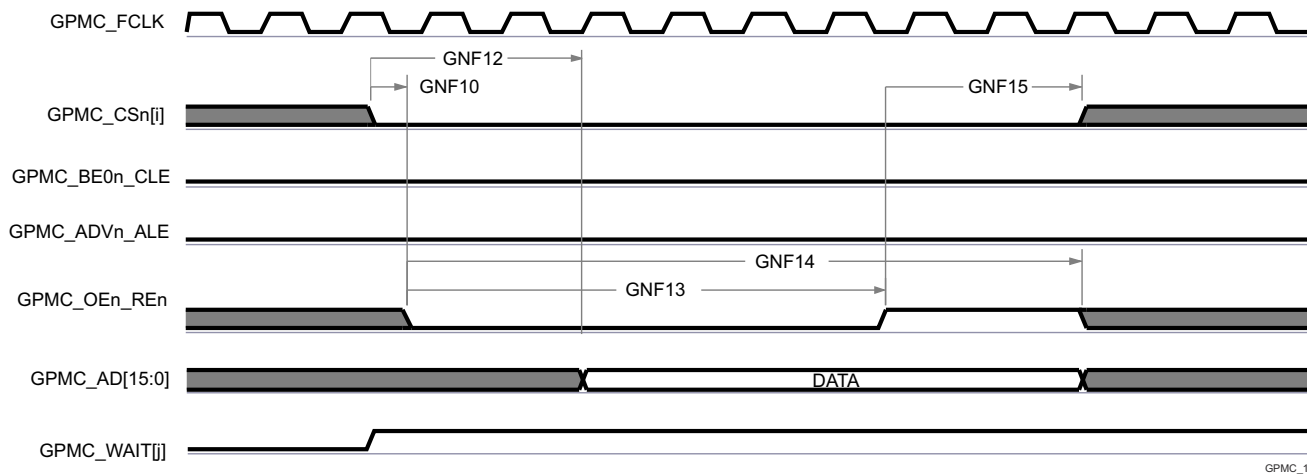
A. GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

図 6-58. GPMC および NAND フラッシュ — コマンド ラッチ サイクル



A. GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

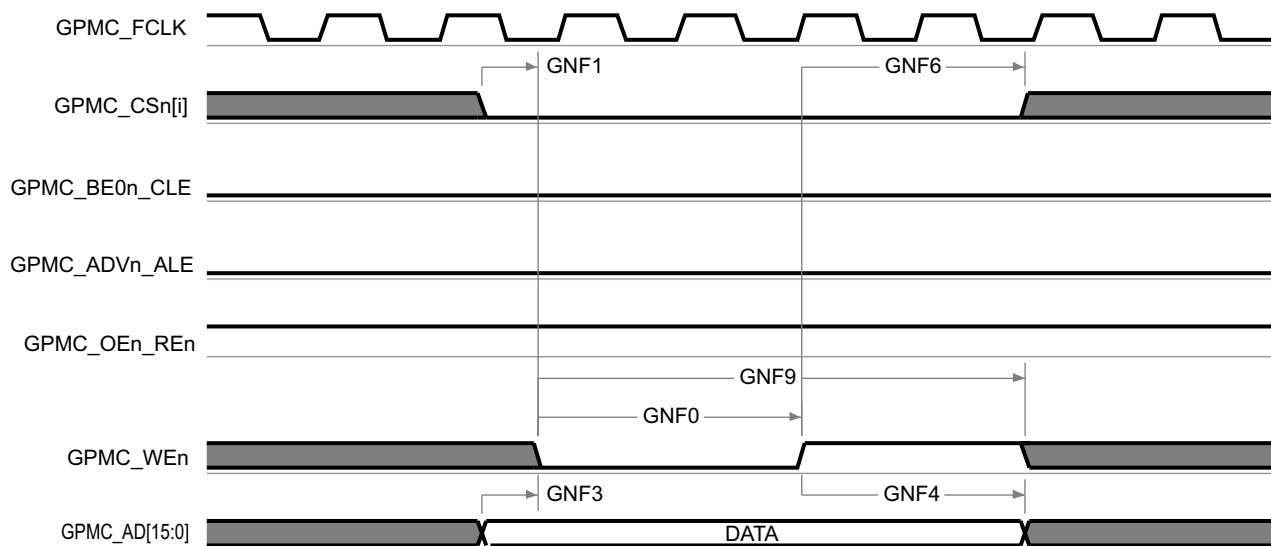
図 6-59. GPMC および NAND フラッシュ — アドレス ラッチ サイクル



GPMC_14

- A. GNF12 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタビット フィールド内に格納する必要があります。
- B. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。
- C. GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。GPMC_WAIT[*j*] で、*j* は 0 または 1 です。

図 6-60. GPMC および NAND フラッシュ — データ読み取りサイクル



GPMC_15

- A. In GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

図 6-61. GPMC および NAND フラッシュ — データ書き込みサイクル

6.11.5.15 I2C

このデバイスには、6 つの マルチコントローラ I2C (Inter-Integrated Circuit) コントローラが搭載されています。各 I2C コントローラは、Philips I²C-bus™ 仕様バージョン 2.1 に準拠するように設計されています。ただし、本デバイスの IO は、I2C の電氣的仕様には完全には準拠していません。サポートされる速度および例外については、IO バッファタイプごとに説明します。特定の I2C インスタンスにどの IO バッファタイプが関連付けられているかを確認するには、「ピン属性」表のバッファタイプ列を参照してください。

• LVCMOS または SDIO

– 速度:

- スタンダード モード (最大 100kbit/s)
 - 1.8V
 - 3.3V
- ファースト モード (最大 400kbit/s)
 - 1.8V
 - 3.3V

– 例外:

- これらのポートに関連付けられている IO は、I2C 仕様で定義されている立ち下がり時間要件に準拠していません。これらの I/O には、I2C 互換の IO では実装できなかった他の信号機能をサポートするように設計された、より高性能の LVCMOS プッシュプル IO が実装されているからです。これらのポートで使用されている LVCMOS IO は、オープンドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。
- I2C 仕様では、最大入力電圧 V_{IH} が $(V_{DD_{max}} + 0.5V)$ と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。

• I2C OD FS

– 速度:

- スタンダード モード (最大 100kbit/s)
 - 1.8V
 - 3.3V
- ファースト モード (最大 400kbit/s)
 - 1.8V
 - 3.3V
- Hs モード (最大 3.4Mbits/s)
 - 1.8V

– 例外:

- これらのポートに関連付けられている IO は、3.3V で動作しているときに Hs モードをサポートするには設計されていません。したがって、Hs モードは 1.8V 動作に限定されます。
- これらのポートに接続された I2C 信号の立ち上がりおよび立ち下がり時間は、スルーレート 0.08V/ns (すなわち 8E+7 V/s) を超えないようにする必要があります。この制限は、I2C 仕様で定義されている最小立ち下がり時間の制限よりも厳しいものです。したがって、立ち上がりおよび立ち下がり時間が 0.08V/ns のスルーレートを上回らないように、I2C 信号に容量を追加する必要がある場合があります。
- I2C 仕様では、最大入力電圧 V_{IH} が $(V_{DD_{max}} + 0.5V)$ と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。

注

I2C2 および I2C3 には、複数のピンに多重化可能な信号が 1 つ以上あります。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#) で定義されます。

タイミングの詳細については、**Philips I2C-bus 仕様バージョン 2.1** を参照してください。

本デバイスの **I2C (Inter-Integrated Circuit)** の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.11.5.16 MCAN

注

MCAN1 には、複数のピンに多重化可能な信号が 1 つ以上あります。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#)で定義されます。

表 6-73 および表 6-74 に、MCAN のタイミング条件、要件、スイッチング特性を示します。

本デバイスのコントローラ エリア ネットワーク インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

注

このデバイスは、複数の MCAN モジュールを備えています。MCANn は、MCAN 信号名に適用される全般的な接頭辞です。ここで、n は特定の MCAN モジュールを表します。

表 6-73. MCAN のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	2	15	V/ns
出力条件				
C _L	出力負荷容量	5	20	pF

表 6-74. MCAN スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
MCAN1	t _d (MCAN_TX)	遅延時間、送信シフトレジスタから MCANn_TX まで		10	ns
MCAN2	t _d (MCAN_RX)	遅延時間、MCANn_RX から受信シフトレジスタまで		10	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「モジュラー コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

6.11.5.17 MCASP

注

MCASP1 および MCASP2 には、複数のピンに多重化可能な信号が 1 つ以上あります。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、**SysConfig-PinMux ツール** で定義されます。

表 6-75、表 6-76、図 6-62、表 6-77、図 6-63 に、MCASP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-75. MCASP のタイミング条件

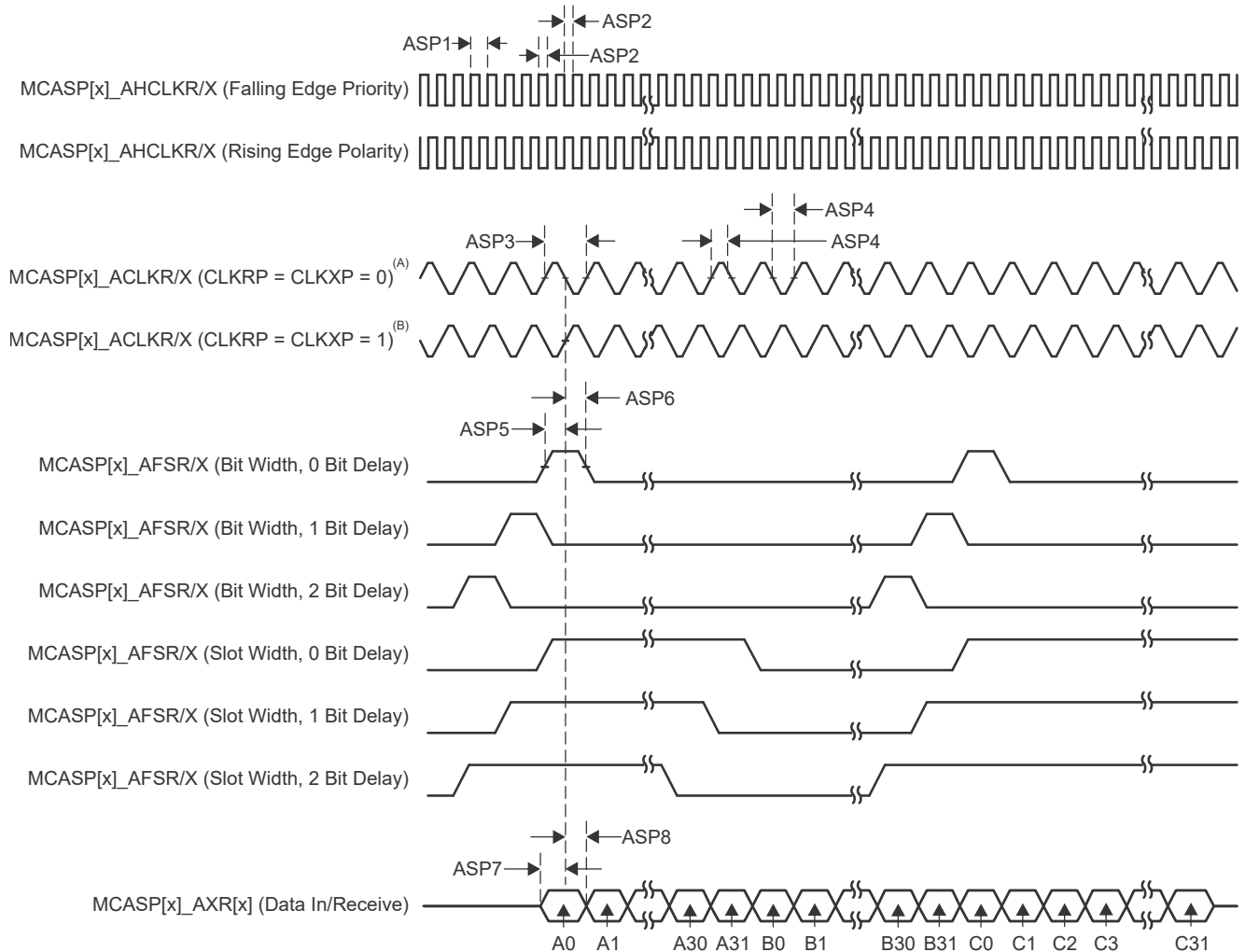
パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	0.7	5	V/ns
出力条件				
C _L	出力負荷容量	1	10	pF
PCB 接続要件				
t _d (Trace Delay)	各パターンへの伝搬遅延	100	1100	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

表 6-76. MCASP のタイミング要件

図 6-62 参照

番号	パラメータ	説明	モード ⁽¹⁾	最小値	最大値	単位
ASP1	t _c (AHCLKRX)	サイクル時間、MCASP[x]_AHCLKR/X ⁽⁴⁾		20		ns
ASP2	t _w (AHCLKRX)	パルス幅、MCASP[x]_AHCLKR/X ⁽⁴⁾ high または low		0.5P ⁽²⁾ - 1.53		ns
ASP3	t _c (ACLKRX)	サイクル時間、MCASP[x]_ACLKR/X ⁽⁴⁾		20		ns
ASP4	t _w (ACLKRX)	パルス幅、MCASP[x]_ACLKR/X ⁽⁴⁾ high または low		0.5R ⁽³⁾ - 1.53		ns
ASP5	t _{su} (AFSRX-ACLKRX)	セットアップ時間、MCASP[x]_AFSR/X ⁽⁴⁾ 入力有効から MCASP[x]_ACLKR/X ⁽⁴⁾ まで	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部入力 / 出力	4		
ASP6	t _h (ACLKRX-AFSRX)	ホールド時間、MCASP[x]_ACLKR/X ⁽⁴⁾ から MCASP[x]_AFSR/X ⁽⁴⁾ 入力有効まで	ACLKR/X 内部	-1		ns
			ACLKR/X 外部入力 / 出力	1.6		
ASP7	t _{su} (AXR-ACLKRX)	セットアップ時間、MCASP[x]_AXR ⁽⁴⁾ 入力有効から MCASP[x]_ACLKR/X ⁽⁴⁾ まで	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部入力 / 出力	4		
ASP8	t _h (ACLKRX-AXR)	ホールド時間、MCASP[x]_ACLKR/X ⁽⁴⁾ から MCASP[x]_AXR ⁽⁴⁾ 入力有効まで	ACLKR/X 内部	-1		ns
			ACLKR/X 外部入力 / 出力	1.6		

- (1) ACLKR 内部: ACLKRCTL.CLKRM = 1, PDIR.ACLKR = 1
 ACLKR 外部入力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 0
 ACLKR 外部出力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 1
 ACLKX 内部: ACLKXCTL.CLKXM = 1, PDIR.ACLKX = 1
 ACLKX 外部入力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 0
 ACLKX 外部出力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 1
- (2) P = AHCLKR/X 周期 (ns 単位)。AHCLKR/X クロックソース オプションの詳細については、テクニカルリファレンス マニュアルにある「モジュール統合」の章の「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションの「McASP クロック」表を参照してください。
- (3) R = ACLKR/X 周期 (ns 単位)。
- (4) MCASP[x]* の x は 0、1、または 2



- A. $CLKRP = CLKXP = 0$ の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。
- B. $CLKRP = CLKXP = 1$ の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。

図 6-62. MCASP のタイミング要件

表 6-77. MCASP スイッチング特性

図 6-63 参照

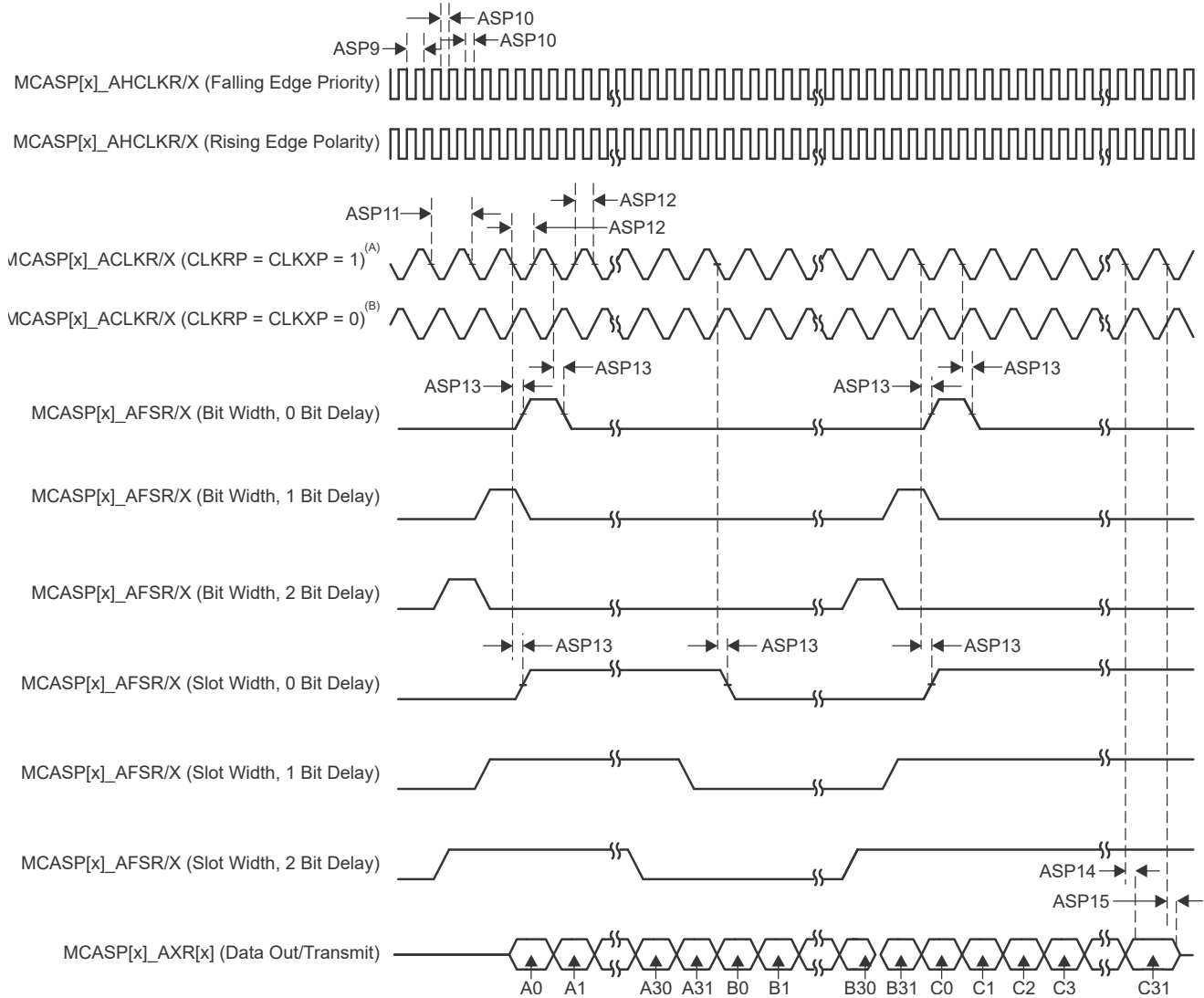
番号	パラメータ	説明	モード ⁽¹⁾	最小値	最大値	単位
ASP9	$t_{c(AHCLKRX)}$	サイクル時間、MCASP[x]_AHCLKR/X ⁽⁴⁾		20		ns
ASP10	$t_{w(AHCLKRX)}$	パルス幅、MCASP[x]_AHCLKR/X ⁽⁴⁾ high または low		0.5P ⁽²⁾ - 2		ns
ASP11	$t_{c(ACLKRX)}$	サイクル時間、MCASP[x]_ACLKRX/X ⁽⁴⁾		20		ns
ASP12	$t_{w(ACLKRX)}$	パルス幅、MCASP[x]_ACLKRX/X ⁽⁴⁾ high または low		0.5R ⁽³⁾ - 2		ns
ASP13	$t_{d(ACLKRX-AFSRX)}$	遅延時間、MCASP[x]_ACLKRX/X ⁽⁴⁾ 送信エッジから MCASP[x]_AFSR/X ⁽⁴⁾ 出力有効まで	ACLKRX 内部	-1	7.25	ns
			ACLKRX 外部入力 / 出力	-15.29	12.84	
ASP14	$t_{d(ACLKX-AXR)}$	遅延時間、MCASP[x]_ACLKX ⁽⁴⁾ 送信エッジから MCASP[x]_AXR ⁽⁴⁾ 出力有効まで	ACLKRX 内部	-1	7.25	ns
			ACLKRX 外部入力 / 出力	-15.29	12.84	
ASP15	$t_{dis(ACLKX-AXR)}$	ディセーブル時間、MCASP[x]_ACLKX ⁽⁴⁾ 送信エッジから MCASP[x]_AXR ⁽⁴⁾ 出力ハイインピーダンスまで	ACLKRX 内部	-1	7.25	ns
			ACLKRX 外部入力 / 出力	-14.9	14	

- (1) ACLKRX 内部: ACLKRXCTL.CLKRM = 1, PDIR.ACLKRX = 1
 ACLKRX 外部入力: ACLKRXCTL.CLKRM = 0, PDIR.ACLKRX = 0
 ACLKRX 外部出力: ACLKRXCTL.CLKRM = 0, PDIR.ACLKRX = 1
 ACLKX 内部: ACLKXCTL.CLKXM = 1, PDIR.ACLKX = 1
 ACLKX 外部入力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 0
 ACLKX 外部出力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 1

(2) P = AHCLKR/X 周期 (ns 単位)。AHCLKR/X クロックソース オプションの詳細については、テクニカルリファレンスマニュアルにある「モジュール統合」の章の「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションの「McASP クロック」表を参照してください。

(3) R = ACLKRX 周期 (ns 単位)。

(4) MCASP[x]_* の x は 0、1、または 2



- A. $CLKRP = CLKXP = 1$ の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。
- B. $CLKRP = CLKXP = 0$ の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。

図 6-63. MCASP スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションを参照してください。

6.11.5.18 MCSPI

注

MCSP11、MCSP12、MCU_MCSP10、MCU_MCSP11 は、複数のピンに多重化できる 1 つ以上の信号を持っています。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#) で定義されます。

本デバイスのシリアル ポート インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

表 6-78 に、MCSPI のタイミング条件を示します。

表 6-78. MCSPI のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	2	8.5	V/ns
出力条件				
C _L	出力負荷容量	6	12	pF

詳細については、デバイス TRM のテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

6.11.5.18.1 MCSPI – コントローラ モード

表 6-79、図 6-64、表 6-80、図 6-65 に、SPI –コントローラ モードのタイミング要件とスイッチング特性を示します。

表 6-79. MCSPI のタイミング要件 - コントローラ モード

図 6-64 参照

番号	パラメータ	説明	最小値	最大値	単位
SM4	$t_{su}(POCI-SPICLK)$	セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで	2.8		ns
SM5	$t_h(SPICLK-POCI)$	ホールド時間、SPIn_CLK のアクティブ エッジ後に SPIn_D[x] を有効に保持すべき時間	3		ns

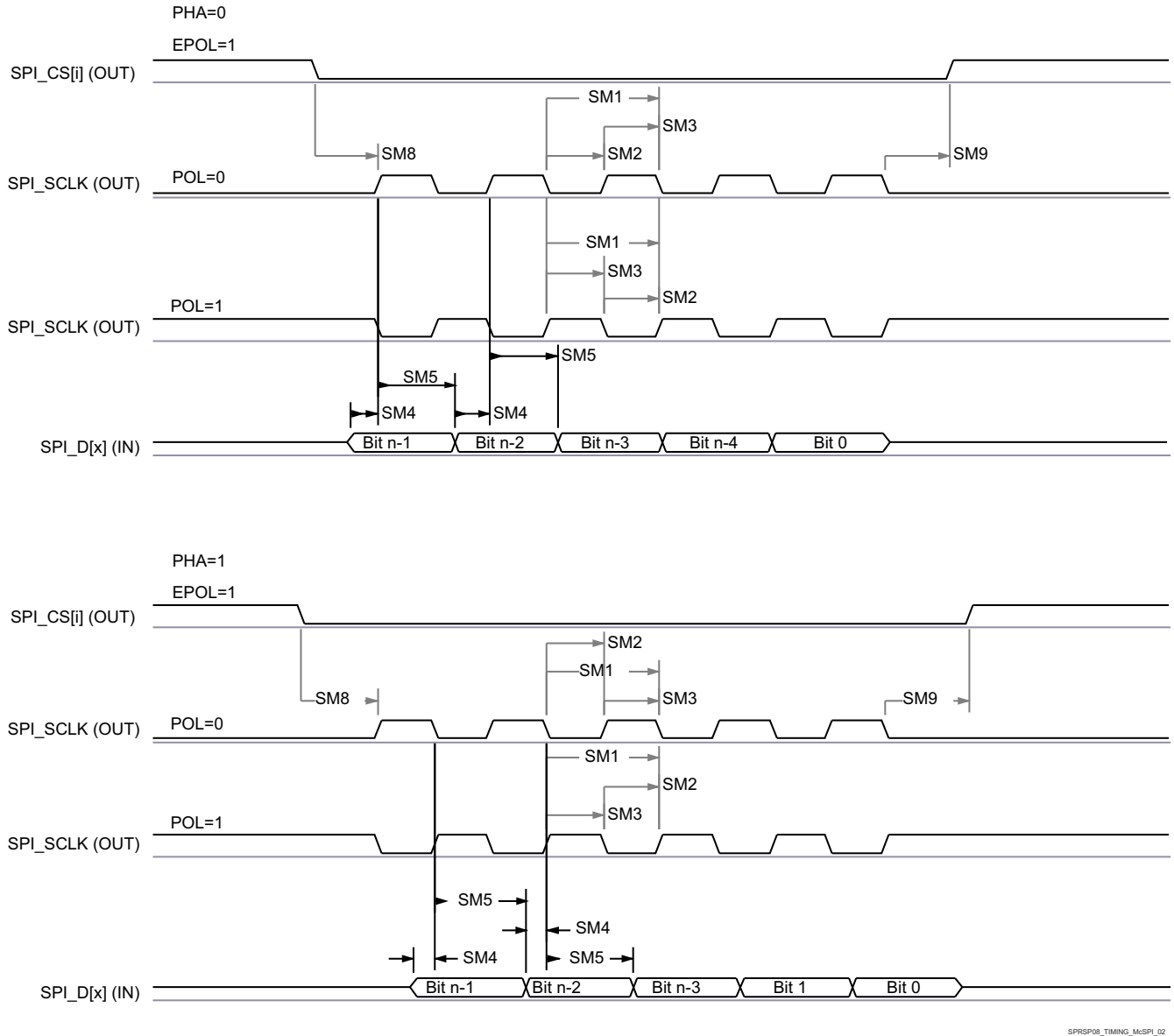


図 6-64. SPI コントローラ モードの受信タイミング

SPRSP08_TIMING_McSPI_02

表 6-80. MCSPI のスイッチング特性 - コントローラ モード

図 6-65 参照

番号	パラメータ		最小値	最大値	単位
SM1	$t_c(\text{SPICLK})$	サイクル時間、SPIn_CLK	20		ns
SM2	$t_w(\text{SPICLK})$	パルス幅、SPIn_CLK Low	$0.5P - 1^{(1)}$		ns
SM3	$t_w(\text{SPICLK})$	パルス幅、SPIn_CLK High	$0.5P - 1^{(1)}$		ns
SM6	$t_d(\text{SPICLK-PICO})$	遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで	-3	2.5	ns
SM7	$t_d(\text{CS-PICO})$	遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで	5		ns
SM8	$t_d(\text{CS-SPICLK})$	遅延時間、SPIn_CSi アクティブから SPIn_CLK の最初のエッジまで	PHA = 0	B - 4 ⁽²⁾	ns
			PHA = 1	A - 4 ⁽³⁾	ns
SM9	$t_d(\text{SPICLK-CS})$	遅延時間、SPIn_CLK の最後のエッジから SPIn_CSi 非アクティブまで	PHA = 0	A - 4 ⁽⁴⁾	ns
			PHA = 1	B - 4 ⁽⁵⁾	ns

(1) P = SPIn_CLK 周期 (ns 単位)。

(2) T_ref は、McSPI 機能クロックの周期です (ns 単位)。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MCSPI_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

- Fratio = 1 のとき、 $B = (\text{TCS}(i) + 0.5) * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 2$ かつ偶数のとき、 $B = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 3$ かつ奇数のとき、 $B = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} + 1) / 2)) * T_{\text{ref}}$ 。

(3) T_ref は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MCSPI_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

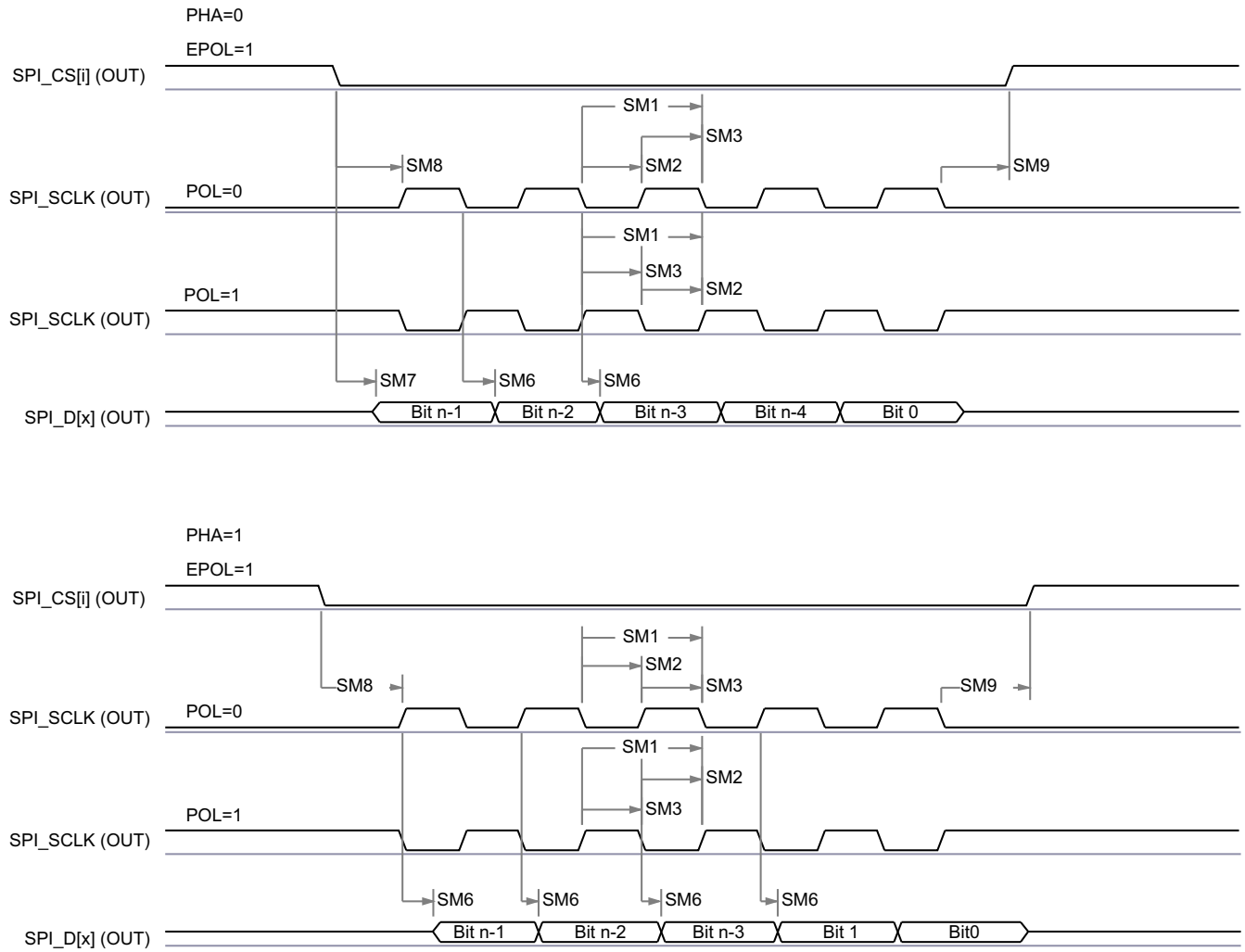
- Fratio = 1 のとき、 $A = (\text{TCS}(i) + 1) * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 2$ かつ偶数のとき、 $A = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 3$ かつ奇数のとき、 $A = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} - 1) / 2)) * T_{\text{ref}}$ 。

(4) T_ref は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MCSPI_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

- Fratio = 1 のとき、 $A = (\text{TCS}(i) + 1) * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 2$ かつ偶数のとき、 $A = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 3$ かつ奇数のとき、 $A = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} + 1) / 2)) * T_{\text{ref}}$ 。

(5) T_ref は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MCSPI_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

- Fratio = 1 のとき、 $B = (\text{TCS}(i) + 0.5) * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 2$ かつ偶数のとき、 $B = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 3$ かつ奇数のとき、 $B = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} - 1) / 2)) * T_{\text{ref}}$ 。



SPRSP08_TIMING_McSPI_01

図 6-65. SPI コントローラ モードの送信タイミング

6.11.5.18.2 MCSPI – パリフェラル モード

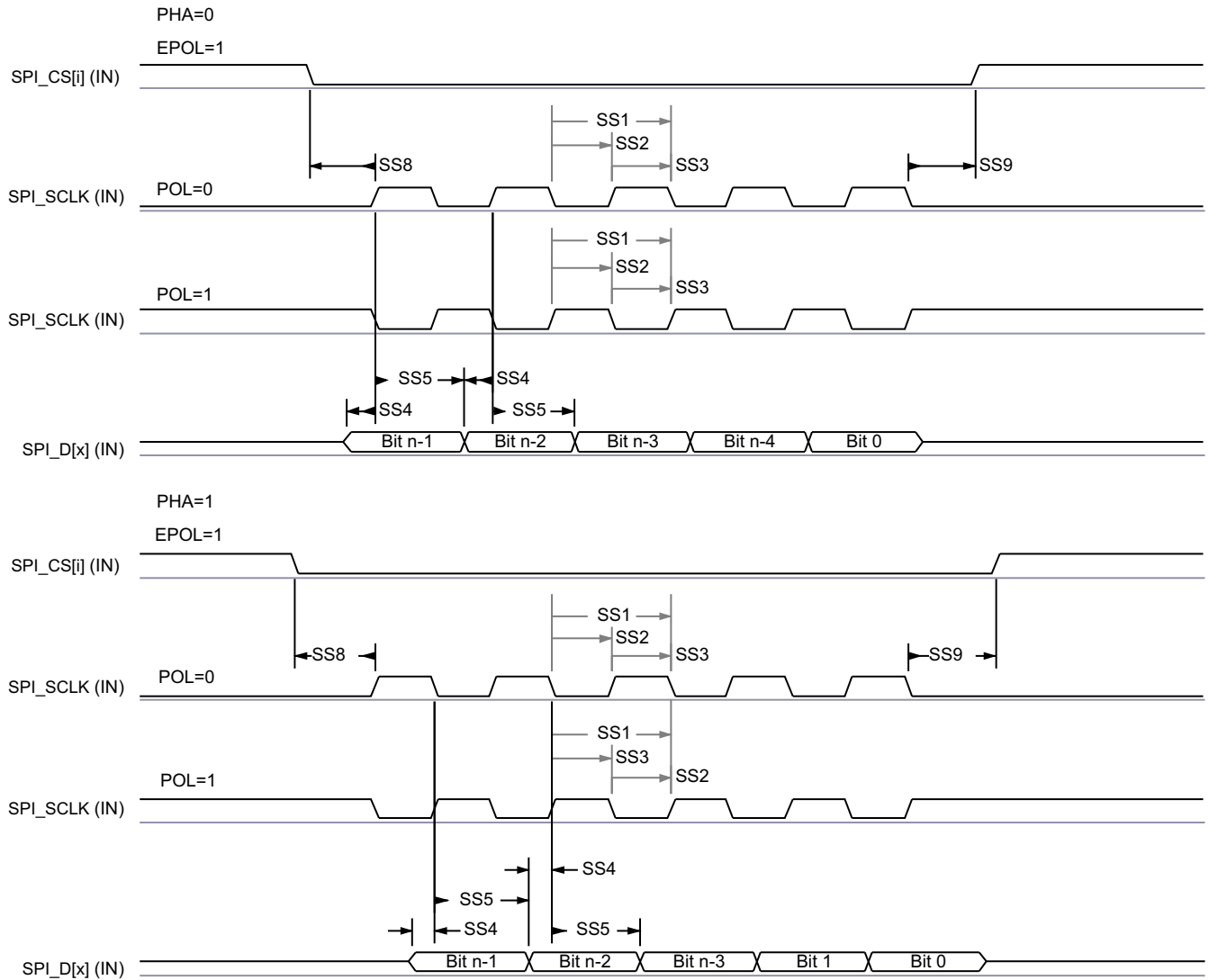
表 6-81、図 6-66、表 6-82、図 6-67 に、SPI – パリフェラル モードのタイミング要件とスイッチング特性を示します。

表 6-81. MCSPI のタイミング要件 - パリフェラル モード

図 6-66 参照

番号	パラメータ	説明	最小値	最大値	単位
SS1	$t_c(\text{SPICLK})$	サイクル時間、SPIn_CLK	20		ns
SS2	$t_w(\text{SPICLK}_L)$	パルス幅、SPIn_CLK Low	0.45P ⁽¹⁾		ns
SS3	$t_w(\text{SPICLK}_H)$	パルス幅、SPIn_CLK High	0.45P ⁽¹⁾		ns
SS4	$t_{su}(\text{PICO-SPICLK})$	セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで	5		ns
SS5	$t_h(\text{SPICLK-PICO})$	ホールド時間、SPIn_CLK のアクティブ エッジ後に SPIn_D[x] を有効に保持すべき時間	5		ns
SS8	$t_{su}(\text{CS-SPICLK})$	セットアップ時間、SPIn_CSi 有効から SPIn_CLK の最初のエッジまで	5		ns
SS9	$t_h(\text{SPICLK-CS})$	ホールド時間、SPIn_CLK の最後のエッジ後に SPIn_CSi 有効の時間	5		ns

(1) P = SPIn_CLK 周期 (ns 単位)。



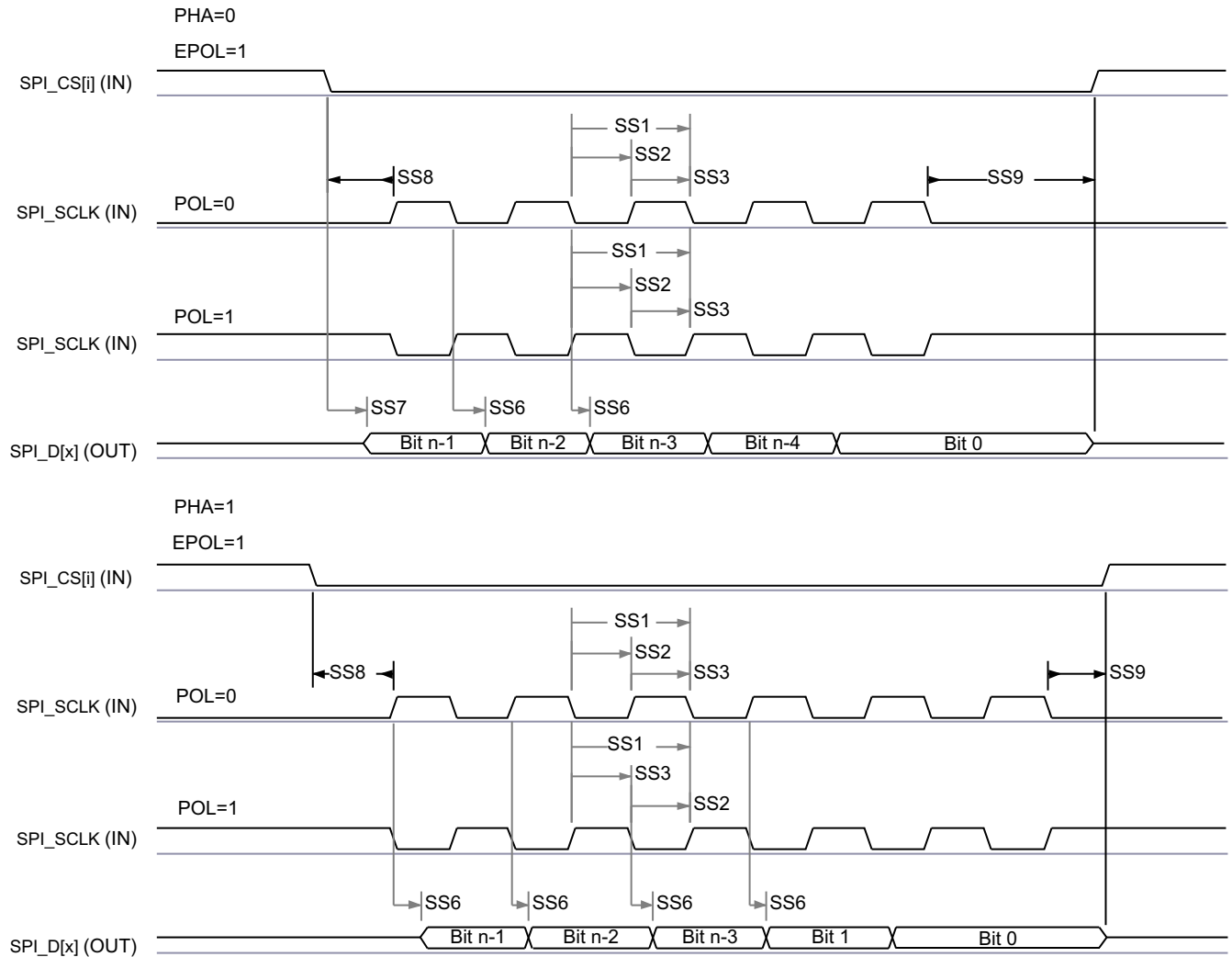
SPRSP08_TIMING_McSPI_04

図 6-66. SPI ペリフェラル モードの受信タイミング

表 6-82. MCSPI のスイッチング特性 - パリフェラル モード

図 6-67 参照

番号	パラメータ	説明	最小値	最大値	単位
SS6	$t_d(\text{SPICLK-POCI})$	遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで	2	17.12	ns
SS7	$t_{sk}(\text{CS-POCI})$	遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで	20.95		ns



SPRSP08_TIMING_McSPI_03

図 6-67. SPI パリフェラル モードの送信タイミング

6.11.5.19 MMCSDB

MMCSDB ホスト コントローラは、組み込みマルチメディア カード (MMC)、セキュア デジタル (SD)、セキュア デジタル IO (SDIO) デバイスへのインターフェイスとして機能します。MMCSDB ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

MMCSDB インターフェイスの詳細については、「信号説明」および「詳細説明」セクションの対応する MMC0、MMC1、MMC2 サブセクションを参照してください。

注

一部の動作モードでは、表 6-83 および 表 6-102 に示すように、MMC DLL 遅延設定のソフトウェア設定が必要です。

表 6-83 と表 6-102 で、ITAPDLYSEL 列に「チューニング」の値が表示されているモードでは、入力タイミングを最適化するためにチューニング アルゴリズムを使用する必要があります。入力タイミングを最適化するために必要なチューニング アルゴリズムと入力遅延の構成の詳細については、デバイス TRM の「MMCSDB プログラミング ガイド」を参照してください。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュア デジタル (MMCSDB) インターフェイス」セクションを参照してください。

6.11.5.19.1 MMC0 - eMMC インターフェイス

MMC0 インターフェイスは、JEDEC eMMC 電気規格 v5.1 (JESD84-B51) に準拠しており、以下に示す eMMC アプリケーションをサポートしています。

- レガシー SDR
- ハイスピード SDR
- ハイスピード DDR
- HS200
- HS400 (Q1 デバイスのみ)

表 6-83 に、MMC0 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-83. すべてのタイミング モードに対する MMC0 DLL 遅延マッピング

レジスタ名		MMCSD0_MMC_SSCFG_PHY_CTRL_x_REG								
		x = 1	x = 4				x = 5			
ビットフィールド		[1]	[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]
ビットフィールド名		ENDLL	STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL
モード	説明	イネーブル DLL	ストロープ 遅延	出力 遅延 イネーブル	出力 遅延 値	入力 遅延 イネーブル	入力 遅延 値	DLL 遅延チェーン 選択	DLL REF 周波数	遅延 バンプ 時間
レガシー SDR	8 ビット PHY 動作 1.8V, 25MHz	0x0	0x0	NA ⁽¹⁾	NA ⁽¹⁾	0x1	0x10	0x1 または 0x3 ⁽²⁾	NA ⁽³⁾	0x7
ハイスピー ード SDR	8 ビット PHY 動作 1.8V, 50MHz	0x0	0x0	NA ⁽¹⁾	NA ⁽¹⁾	0x1	0xA	0x1 または 0x3 ⁽²⁾	NA ⁽³⁾	0x7
ハイスピー ード DDR	8 ビット PHY 動作 1.8V, 50MHz	0x1	0x0	0x1	0x6	0x1	0x3	0x0	0x4	NA ⁽⁴⁾
HS200	8 ビット PHY 動作 1.8V, 200MHz	0x1	0x0	0x1	0x8	0x1	チューニング ⁽⁵⁾	0x0	0x0	NA ⁽⁴⁾
HS400	8 ビット PHY 動作 1.8V, 200MHz, VDD_CORE = 0.75V	0x1	0x66	0x1	0x6	0x1	チューニング ⁽⁵⁾	0x0	0x0	NA ⁽⁴⁾
	0x5									

- NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタ フィールドが機能しないことを意味します。
- SELDLYTXCLK は、このモードに必要なハーフサイクル タイミングで動作する場合、いかなる機能も持ちません。
- NA は、ENDLL が 0x0 に設定されている場合、このレジスタ フィールドがいかなる機能も持たないことを意味します。
- NA は、ENDLL が 0x1 に設定されている場合、このレジスタ フィールドがいかなる機能も持たないことを意味します。
- チューニングとは、このモードで最適な入力タイミングを決定するためにチューニング アルゴリズムを使用する必要があることを意味します。

表 6-84 に、MMC0 のタイミング条件を示します。

表 6-84. MMC0 のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR _i	入力スルーレート	レガシー SDR 高速 SDR	0.3	0.9	V/ns
		ハイスピード DDR (CMD)	0.3	0.9	V/ns
		ハイスピード DDR (DAT)	0.45	0.9	V/ns
出力条件					
C _L	出力負荷容量	HS400	1	6	pF
		その他のすべてのモード	1	12	pF
PCB 接続要件					
t _d (Trace Delay)	各パターンの伝搬遅延	すべてのモード	126	756	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	HS200 HS400		8	ps
		高速 DDR		20	ps
		その他のすべてのモード		100	ps

6.11.5.19.1.1 レガシー SDR モード

表 6-85、図 6-68、表 6-86、図 6-69 に、レガシー SDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-85. MMC0 のタイミング要件 – レガシー SDR モード

図 6-68 参照

番号			IO 動作 電圧	最小値	最大値	単位
LSDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	4.2		ns
			3.3 V	2.15		ns
LSDR2	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.8 V	0.87		ns
			3.3 V	1.67		ns
LSDR3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	4.2		ns
			3.3 V	2.15		ns
LSDR4	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	1.8 V	0.87		ns
			3.3 V	1.67		ns

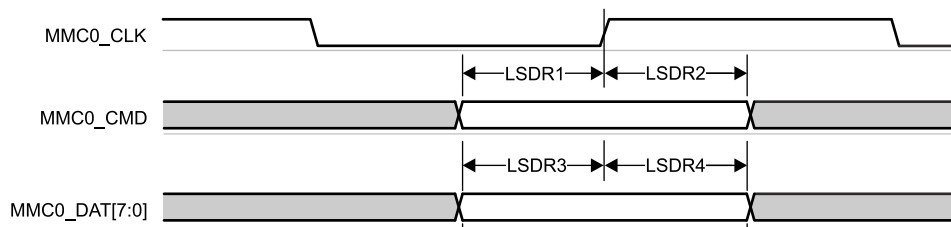


図 6-68. MMC0 – レガシー SDR – 受信モード

表 6-86. MMC0 のスイッチング特性 – レガシー SDR モード

図 6-69 参照

番号	パラメータ		IO 動作 電圧	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK			25	MHz
LSDR5	$t_c(clk)$	サイクル時間、MMC0_CLK		40		ns
LSDR6	$t_w(clkH)$	パルス幅、MMC0_CLK high		18.7		ns
LSDR7	$t_w(clkL)$	パルス幅、MMC0_CLK low		18.7		ns
LSDR8	$t_d(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	1.8 V	-2.1	2.1	ns
			3.3 V	-1.8	2.2	ns
LSDR9	$t_d(clkL-dV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移まで	1.8 V	-2.1	2.1	ns
			3.3 V	-1.8	2.2	ns

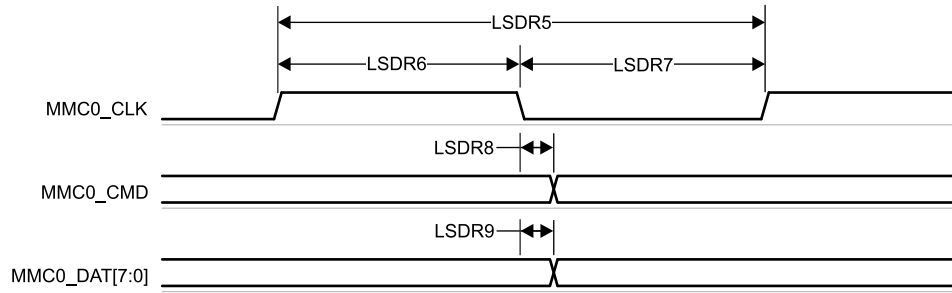


図 6-69. MMC0 – レガシー SDR – 送信モード

6.11.5.19.1.2 高速 SDR モード

表 6-87、図 6-70、表 6-88、および 図 6-71 に、高速 SDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-87. MMC0 のタイミング要件 – 高速 SDR モード

図 6-70 参照

番号	パラメータ	説明	IO 動作電圧	最小値	最大値	単位
HSSDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	2.15		ns
			3.3 V	2.24		ns
HSSDR2	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.8 V	1.27		ns
			3.3 V	1.66		ns
HSSDR3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	2.15		ns
			3.3 V	2.24		ns
HSSDR4	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	1.8 V	1.27		ns
			3.3 V	1.66		ns

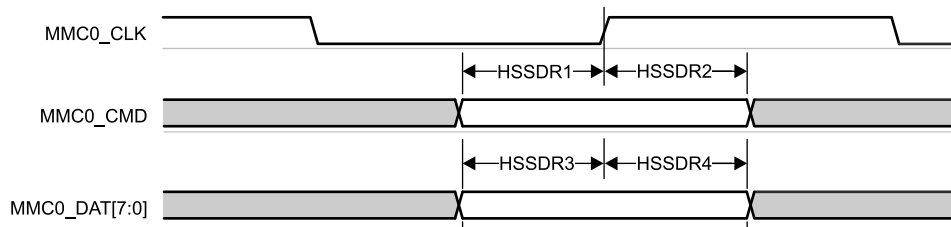


図 6-70. MMC0 – 高速 SDR モード – 受信モード

表 6-88. MMC0 のスイッチング特性 – 高速 SDR モード

図 6-71 参照

番号	パラメータ	説明	IO 動作電圧	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK			50	MHz
HSSDR5	$t_c(clk)$	サイクル時間、MMC0_CLK		20		ns
HSSDR6	$t_w(clkH)$	パルス幅、MMC0_CLK high		9.2		ns
HSSDR7	$t_w(clkL)$	パルス幅、MMC0_CLK low		9.2		ns
HSSDR8	$t_d(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	1.8 V	-1.55	3.05	ns
			3.3 V	-1.8	2.2	ns
HSSDR9	$t_d(clkL-dV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移まで	1.8 V	-1.55	3.05	ns
			3.3 V	-1.8	2.2	ns

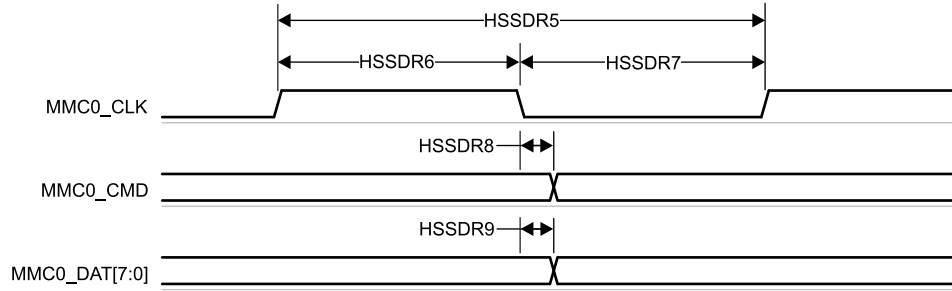


図 6-71. MMC0 – 高速 SDR モード – 送信モード

6.11.5.19.1.3 ハイスピード DDR モード

表 6-89、図 6-72、表 6-90、図 6-73 に、「MMC0 のタイミング要件とスイッチング特性 – ハイスピード DDR モード」を示します。

表 6-89. MMC0 のタイミング要件 – ハイスピード DDR モード

図 6-72 参照

番号			最小値	最大値	単位
HSDDR1	$t_{su(cmdV-clk)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	1.62		ns
HSDDR2	$t_{h(clk-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	2.52		ns
HSDDR3	$t_{su(dV-clk)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 遷移まで	0.83		ns
HSDDR4	$t_{h(clk-dV)}$	ホールド時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 有効の間	1.76		ns

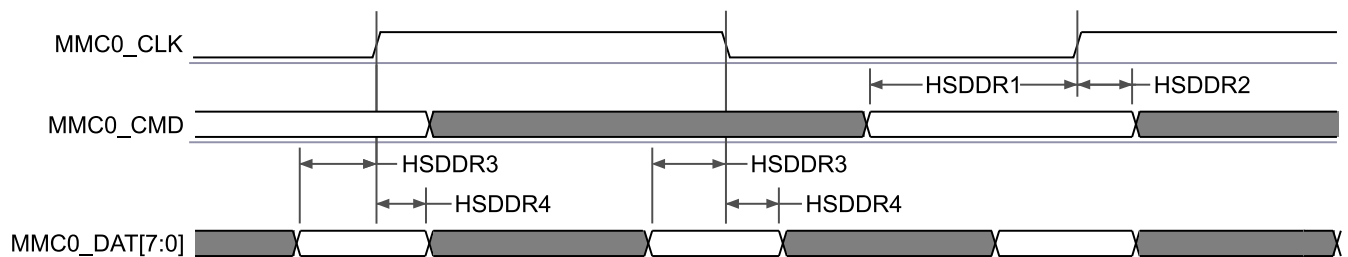


図 6-72. MMC0 – ハイスピード DDR モード – 受信モード

表 6-90. MMC0 のスイッチング特性 – ハイスピード DDR モード

図 6-73 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		50	MHz
HSDDR5	$t_{c(clk)}$	サイクル時間、MMC0_CLK	20		ns
HSDDR6	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	9.2		ns
HSDDR7	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	9.2		ns
HSDDR8	$t_{d(clk-cmdV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	3.31	7.65	ns
HSDDR9	$t_{d(clk-dV)}$	遅延時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 遷移まで	2.81	6.94	ns

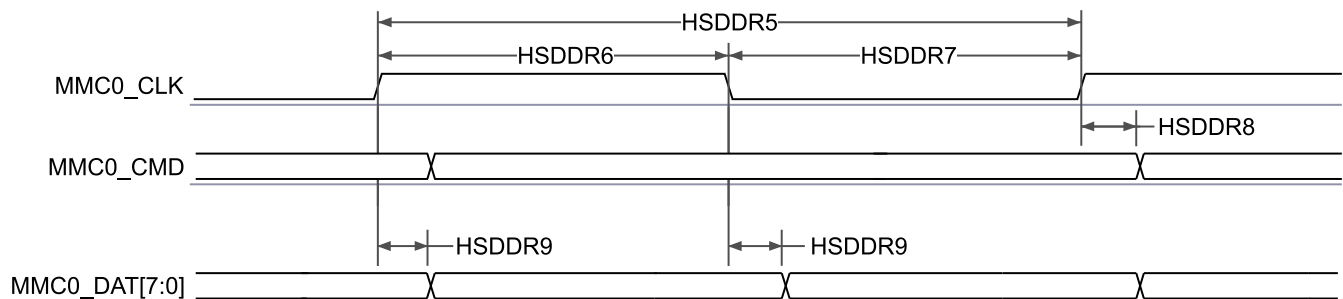


図 6-73. MMC0 – ハイスピード DDR モード – 送信モード

6.11.5.19.1.4 HS200 モード

表 6-91、図 6-74、表 6-92、図 6-75 に、MMC0 – HS200 モードでのタイミング要件とスイッチング特性の両方を示します。

表 6-91. MMC0 のタイミング要件 – HS200 モード

図 6-74 参照

番号	パラメータ	説明	最小値	最大値	単位
HS2004	t_{DvW}	入力データ有効ウィンドウ、MMC0_CMD および MMC0_DAT[7:0]	2.0 ⁽¹⁾		ns

- (1) このパラメータは、ホストが必要とする最小データ有効ウィンドウを定義します。このとき、ホストに提示されるデータ有効ウィンドウがこの値を超える場合、ホストが有効なデータをキャプチャできることが保証されます。このパラメータで定義される値は、HS200 モードで動作する eMMC デバイスに定義されている可能な最小データ有効ウィンドウよりも小さくなります。

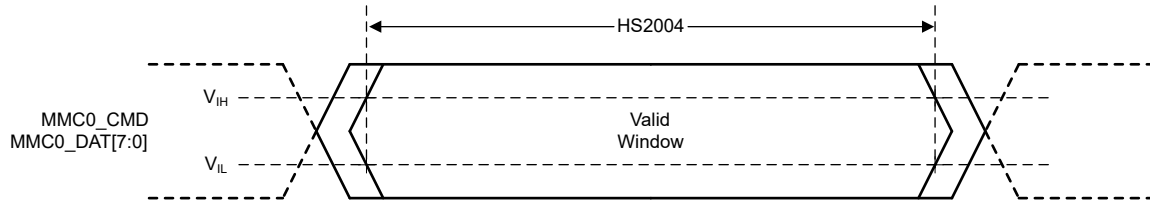


図 6-74. MMC0 – HS200 – 受信モード

表 6-92. MMC0 のスイッチング特性 – HS200 モード

図 6-75 参照

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		200	MHz
HS2005	$t_c(clk)$	サイクル時間、MMC0_CLK	5		ns
HS2006	$t_w(clkH)$	パルス幅、MMC0_CLK high	2.12		ns
HS2007	$t_w(clkL)$	パルス幅、MMC0_CLK low	2.12		ns
HS2008	$t_d(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	1.07	3.21	ns
HS2009	$t_d(clkL-dV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 遷移まで	1.07	3.21	ns

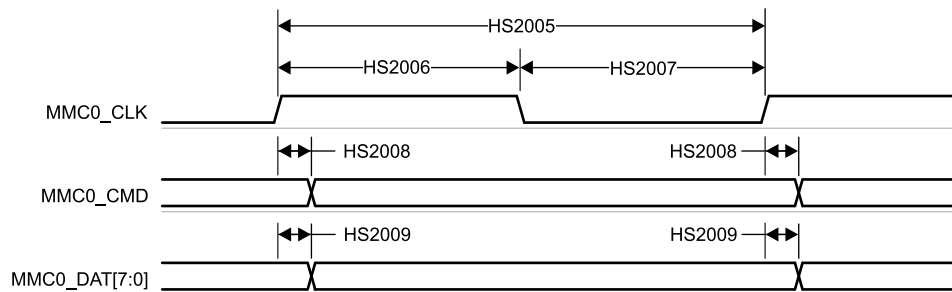


図 6-75. MMC0 – HS200 モード – 送信モード

6.11.5.19.1.5 HS400 モード

表 6-93、図 6-76、表 6-94、図 6-77 に、MMC0 – HS400 モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-93. MMC0 のタイミング要件 – HS400 モード

図 6-76 参照

番号			最小値	最大値	単位
HS4000	t_{DSMPW}	パルス幅、MMC0_DS	1.95		ns
HS4001	t_{RQ_DAT}	入力スキュー、MMC0_DS から MMC0_DAT 有効まで		475	ps
HS4002	t_{RQH_DAT}	入力スキュー ホールド、MMC0_DAT 無効から MMC0_DS まで		475	ps
HS4003	t_{RQ_CMD}	入力スキュー、MMC0_DS から MMC0_CMD 有効まで		NA ⁽¹⁾	ps
HS4004	t_{RQH_CMD}	入力スキュー ホールド、MMC0_CMD 無効から MMC0_DS まで		NA ⁽¹⁾	ps

(1) このパラメータは、このデバイスではサポートされていない拡張ストロープ モードで動作している場合にのみ適用されます。CMD 入力、拡張ストロープ モードで動作していない場合の CLK の内部遅延バージョンを使用してキャプチャされ、CMD 入力タイミングを最適化するチューニング アルゴリズムによって遅延が選択されます。したがって、CMD の特定のタイミング要件を定義することはできません。

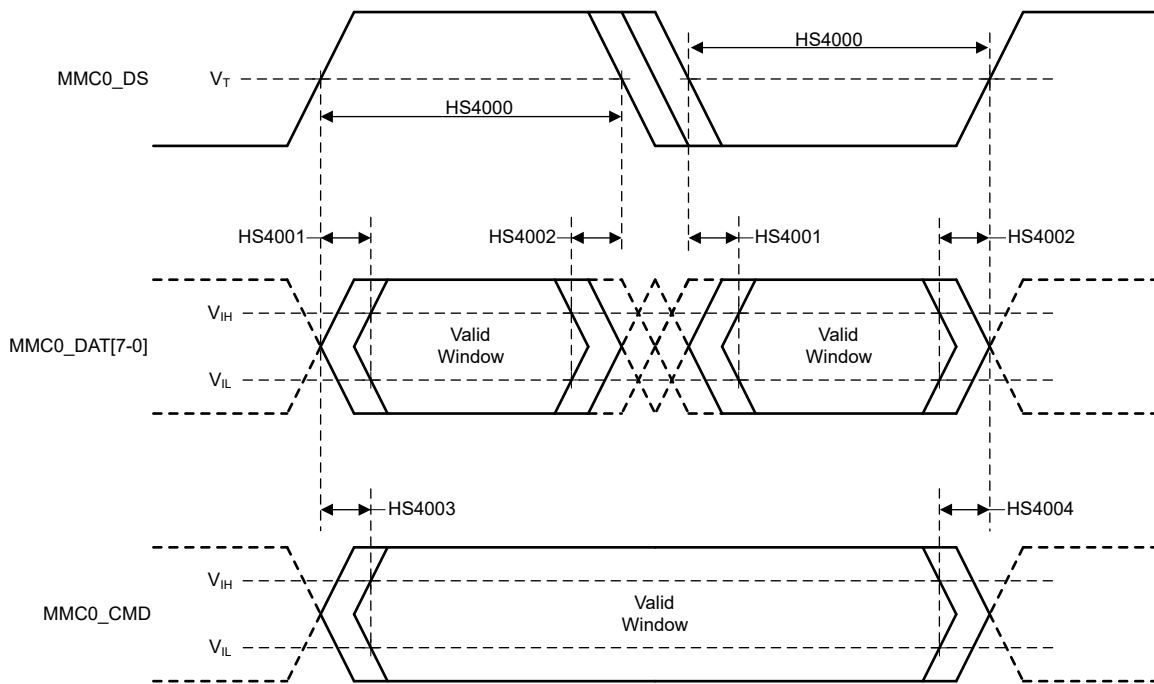


図 6-76. MMC0 – HS400 – 受信モード

表 6-94. MMC0 のスイッチング特性 – HS400 モード

図 6-77 参照

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		200	MHz
HS4005	$t_c(clkH)$	サイクル時間、MMC0_CLK	5.0		ns
HS4006	$t_w(clkH)$	パルス幅、MMC0_CLK high	2.30		ns
HS4007	$t_w(clkL)$	パルス幅、MMC0_CLK low	2.30		ns
HS4008	$t_{osu}(cmdV-clkH)$	出力セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで ⁽¹⁾	2.86		ns
HS4009	$t_{osu}(dV-clk)$	出力セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりまたは立ち下がりエッジまで ⁽¹⁾	0.700		ns
HS40010	$t_{oh}(clkH-cmdV)$	出力ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 無効まで ⁽²⁾	1.16		ns
HS40011	$t_{oh}(clk-dIV)$	出力ホールド時間、MMC0_CLK 立ち上がりまたは立ち下がりエッジから MMC0_DAT[7:0] 無効まで ⁽²⁾	0.760		ns

- (1) このパラメータは、接続されたデバイスに提供される出力セットアップ時間を定義します。この時間は次のキャプチャクロック エッジを基準としており、「MMC0 のタイミング条件」表に定義されている最大伝搬遅延不一致値をすでに含んでいます。このパラメータのタイミング基準は、DAT または CMD 信号遷移の中電圧から CLK 信号遷移の中電圧までです。eMMC 規格では、セットアップ タイミング基準は、DAT または CMD 信号遷移の VIL または VIH から CLK 信号遷移の中電圧までと定義されています。したがって、システム設計者は、PCB を設計するときに DAT 信号のスルー レートによる影響を考慮し、DAT 信号が中電圧から VIL または VIH までスルーするのにかかる時間によってセットアップ時間のマージンが失われないようにする必要があります。
- (2) このパラメータは、接続されたデバイスに提供される出力ホールド時間を定義します。この時間は前の起動クロック エッジを基準としており、「MMC0 のタイミング条件」表に定義されている最大伝搬遅延不一致値をすでに含んでいます。このパラメータのタイミング基準は、CLK 信号遷移の中電圧から DAT または CMD 信号遷移の中電圧までです。eMMC 規格では、ホールド タイミング基準は、CLK 信号遷移の中電圧から DAT または CMD 信号遷移の VIL または VIH までと定義されています。したがって、システム設計者は、PCB を設計するときに DAT 信号のスルー レートによる影響を考慮し、DAT 信号が VIL または VIH から中電圧までスルーするのにかかる時間によってホールド時間のマージンが失われないようにする必要があります。

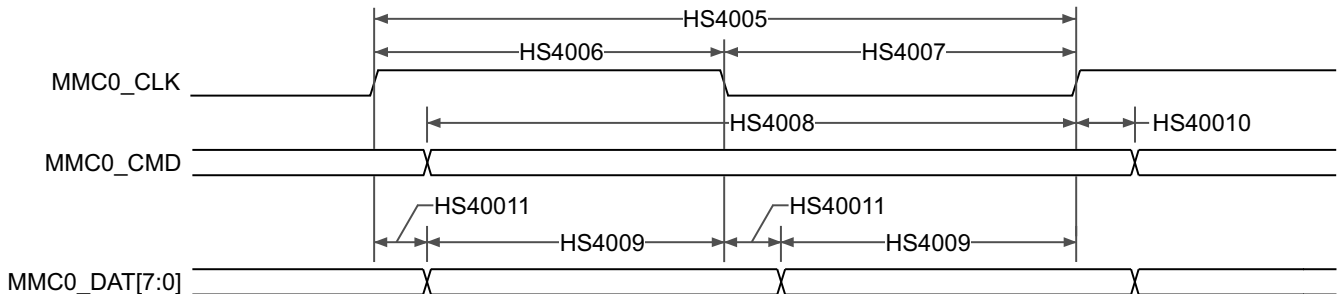


図 6-77. eMMC IN – HS400 モード – 送信モード

6.11.5.19.1.6 UHS-I SDR12 モード

表 6-95、図 6-78、表 6-96、図 6-79 に、「MMC0 のタイミング要件とスイッチング特性 – UHS-I SDR12 モード」を示します。

表 6-95. MMC0 – UHS-I SDR12 モードのタイミング要件

図 6-78 参照

番号			最小値	最大値	単位
SDR121	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	4.2		ns
SDR122	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	0.87		ns
SDR123	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[3:0] 有効から MMC0_CLK 立ち上がりエッジまで	4.2		ns
SDR124	$t_{h(clkH-dV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	0.87		ns

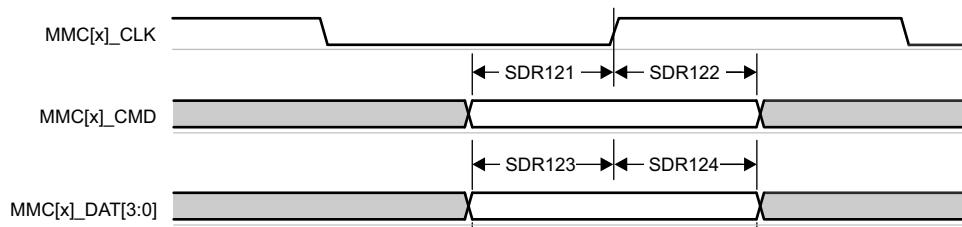


図 6-78. MMC0 – UHS-I SDR12 – 受信モード

表 6-96. MMC0 のスイッチング特性 – UHS-I SDR12 モード

図 6-79 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op(clk)}$		25	MHz
SDR125	$t_c(clk)$		40	ns
SDR126	$t_w(clkH)$		18.7	ns
SDR127	$t_w(clkL)$		18.7	ns
SDR128	$t_d(clkL-cmdV)$	1.5	8.6	ns
SDR129	$t_d(clkL-dV)$	1.5	8.6	ns

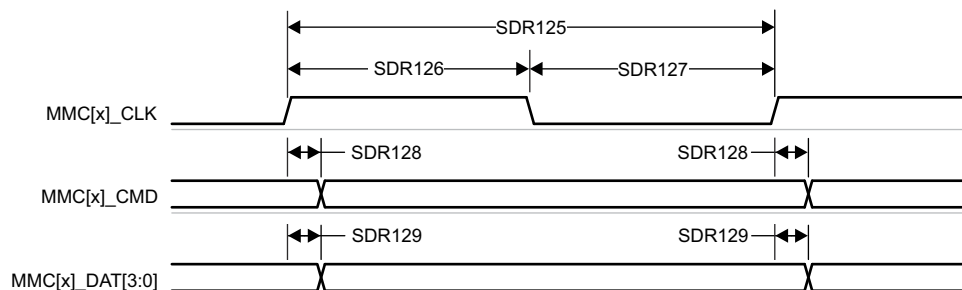


図 6-79. MMC0 – UHS-I SDR12 – 送信モード

6.11.5.19.1.7 UHS-I SDR25 モード

表 6-97、図 6-80、表 6-98、図 6-81 に、UHS-I SDR25 モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-97. MMC0 のタイミング要件 – UHS-I SDR25 モード

図 6-80 参照

番号			最小値	最大値	単位
SDR251	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
SDR252	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.27		ns
SDR253	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[3:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
SDR254	$t_{h(clkH-dV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	1.27		ns

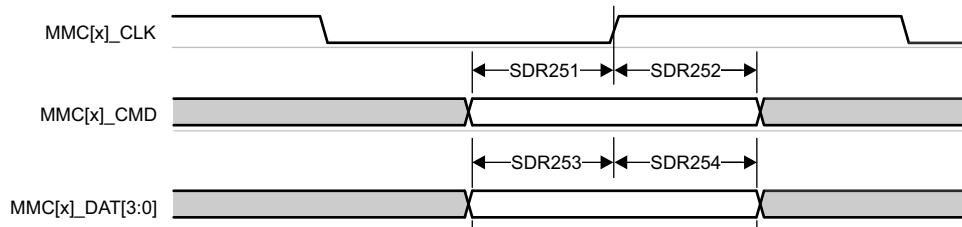


図 6-80. MMC0 – UHS-I SDR25 – 受信モード

表 6-98. MMC0 のスイッチング特性 – UHS-I SDR25 モード

図 6-81 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op(clk)}$		50	MHz
SDR255	$t_c(clk)$	20		ns
SDR256	$t_w(clkH)$	9.2		ns
SDR257	$t_w(clkL)$	9.2		ns
SDR258	$t_d(clkL-cmdV)$	2.4	8.1	ns
SDR259	$t_d(clkL-dV)$	2.4	8.1	ns

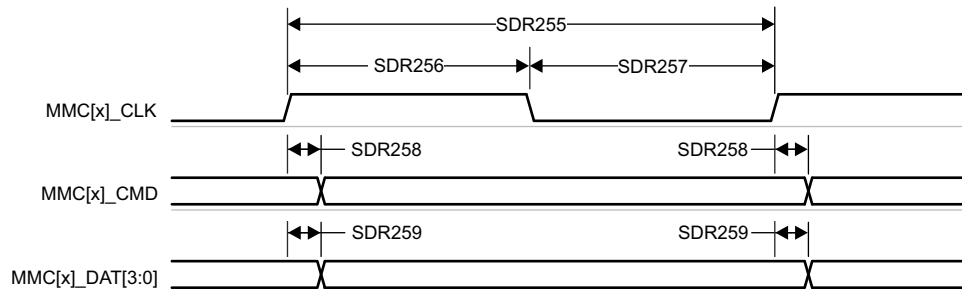


図 6-81. MMC0 – UHS-I SDR25 – 送信モード

6.11.5.19.1.8 UHS-I SDR50 モード

表 6-99 および 図 6-82 に、MMC0 – UHS-I SDR50 モードのスイッチング特性を示します。

表 6-99. MMC0 のスイッチング特性 – UHS-I SDR50 モード

図 6-82 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		100 MHz
SDR505	$t_c(clk)$	サイクル時間、MMC0_CLK		10 ns
SDR506	$t_w(clkH)$	パルス幅、MMC0_CLK high		4.45 ns
SDR507	$t_w(clkL)$	パルス幅、MMC0_CLK low		4.45 ns
SDR508	$t_d(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで		1.2 6.35 ns
SDR509	$t_d(clkL-dV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 遷移まで		1.2 6.35 ns

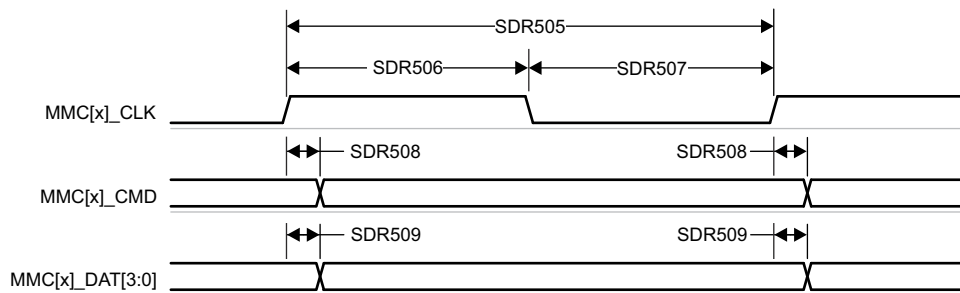


図 6-82. MMC0 – UHS-I SDR50 – 送信モード

6.11.5.19.1.9 UHS-I DDR50 モード

表 6-100 および 図 6-83 に、MMC0 – UHS-I DDR50 モードのスイッチング特性を示します。

表 6-100. MMC0 のスイッチング特性 – UHS-I DDR50 モード

図 6-83 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		50 MHz
DDR505	$t_c(clk)$	サイクル時間、MMC0_CLK		20 ns
DDR506	$t_w(clkH)$	パルス幅、MMC0_CLK high		9.2 ns
DDR507	$t_w(clkL)$	パルス幅、MMC0_CLK low		9.2 ns
DDR508	$t_d(clk-cmdV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで		1.12 6.43 ns
DDR509	$t_d(clk-dV)$	遅延時間、MMC0_CLK 遷移から MMC0_DAT[3:0] 遷移まで		1.12 6.43 ns

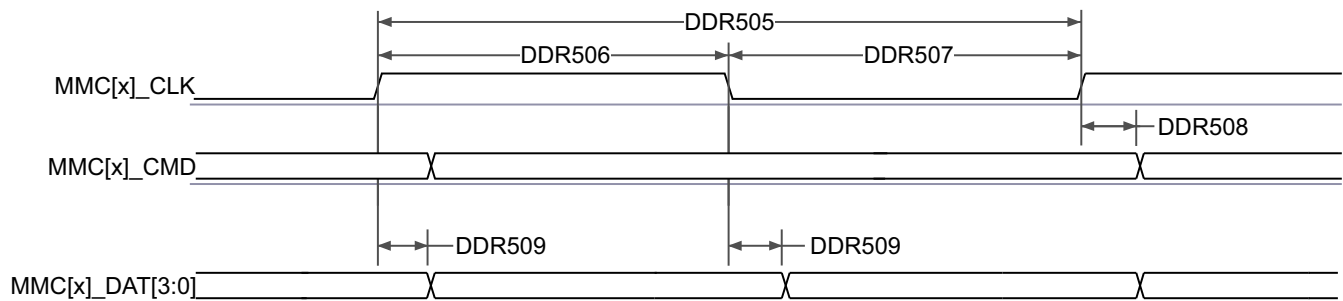


図 6-83. MMC0 – UHS-I DDR50 – 送信モード

6.11.5.19.1.10 UHS-I SDR104 モード

表 6-101 および 図 6-84 に、MMC0 – UHS-I SDR104 モードのスイッチング特性を示します。

表 6-101. MMC0 のスイッチング特性 – UHS-I SDR104 モード

図 6-84 参照

番号	パラメータ	最小値	最大値	単位		
	$f_{op}(clk)$	動作周波数、MMC0_CLK		200	MHz	
SDR1045	$t_{c}(clk)$	サイクル時間、MMC0_CLK		5	ns	
SDR1046	$t_{w}(clkH)$	パルス幅、MMC0_CLK high		2.12	ns	
SDR1047	$t_{w}(clkL)$	パルス幅、MMC0_CLK low		2.12	ns	
SDR1048	$t_{d}(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで		1.07	3.21	ns
SDR1049	$t_{d}(clkL-dV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 遷移まで		1.07	3.21	ns

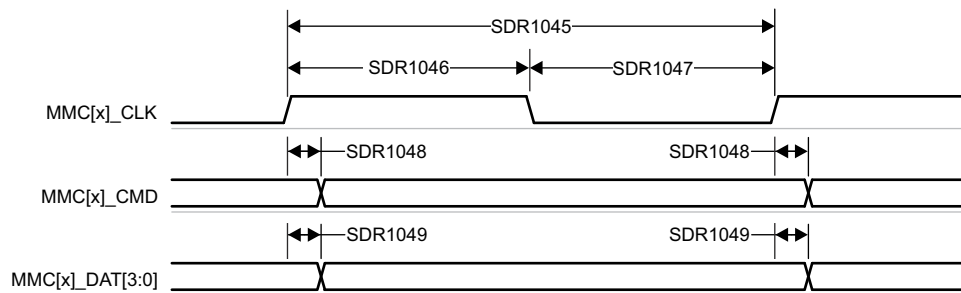


図 6-84. MMC0 – UHS-I SDR104 – 送信モード

6.11.5.19.2 MMC1/MMC2 - SD/SDIO インターフェイス

MMC1/MMC2 インターフェイスは、SD ホスト コントローラ標準仕様 4.10、SD 物理層仕様 v3.01、SDIO 仕様 v3.00 に準拠しており、以下の SD カード アプリケーションをサポートしています。

- デフォルト速度
- 高速
- UHS-I SDR12
- UHS-I SDR25
- UHS-I SDR50
- UHS-I DDR50
- UHS-I SDR104

表 6-102 に、MMC1/2 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-102. すべてのタイミング モードに対する MMC1/MMC2 DLL 遅延マッピング

レジスタ名		MMCS1D1_MMC_SSCFG_PHY_CTRL_4_REG MMCS1D2_MMC_SSCFG_PHY_CTRL_4_REG			
ビットフィールド		[20]	[15:12]	[8]	[4:0]
ビットフィールド名		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL
モード	説明	遅延 イネーブル	遅延 値	入力 遅延 イネーブル	入力 遅延 値
デフォルト 速度	4 ビット PHY 動作 3.3V、25MHz	NA ⁽¹⁾	NA ⁽¹⁾	0x1	0x0
高 速	4 ビット PHY 動作 3.3V、50MHz	NA ⁽¹⁾	NA ⁽¹⁾	0x1	0x0
UHS-I SDR12	4 ビット PHY 動作 1.8V、25MHz	0x1	0xF	0x1	0x0
UHS-I SDR25	4 ビット PHY 動作 1.8V、50MHz	0x1	0xF	0x1	0x0
UHS-I SDR50	4 ビット PHY 動作 1.8V、100MHz	0x1	0xC	0x1	チューニング ⁽²⁾
UHS-I DDR50	4 ビット PHY 動作 1.8V、50MHz	0x1	0x9	0x1	チューニング ⁽²⁾
UHS-I SDR104	4 ビット PHY 動作 1.8V、200MHz	0x1	0x6	0x1	チューニング ⁽²⁾

(1) NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタ フィールドが機能しないことを意味します。

(2) チューニングとは、このモードで最適な入力タイミングを決定するためにチューニング アルゴリズムを使用する必要があることを意味します。

表 6-103 に、MMC1 のタイミング条件を示します。

表 6-103. MMC1/MMC2 のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR _i	入力スルーレート	デフォルト速度 高速	0.69	2.06	V/ns
		UHS-I SDR12 UHS-I SDR25	0.34	1.34	V/ns
		UHS-I DDR50	1	2	V/ns
出力条件					
C _L	出力負荷容量	すべてのモード	1	10	pF
PCB 接続要件					
t _d (Trace Delay)	各パターンの伝搬遅延	UHS-I DDR50	239	1134	ps
		その他のすべてのモード	126	1386	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	高速 UHS-I SDR104		8	ps
		UHS-I DDR50		20	ps
		その他のすべてのモード		100	ps

6.11.5.19.2.1 デフォルト速度モード

表 6-104、図 6-85、表 6-105、図 6-86 に、MMC1/MMC2 – デフォルト速度モードのタイミング要件とスイッチング特性を示します。

表 6-104. MMC1/MMC2 のタイミング要件 – デフォルト速度モード

図 6-85 参照

番号			最小値	最大値	単位
DS1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
DS2	$t_h(clkH-cmdV)$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_CMD 有効の間	1.67		ns
DS3	$t_{su}(dV-clkH)$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
DS4	$t_h(clkH-dV)$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_DAT[3:0] 有効の間	1.67		ns

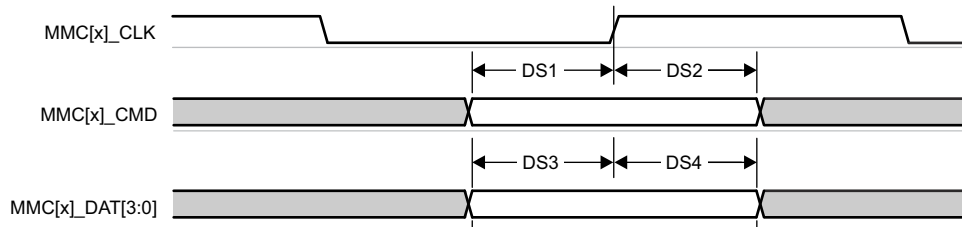


図 6-85. MMC1/MMC2 – デフォルト速度 – 受信モード

表 6-105. MMC1/MMC2 のスイッチング特性 - デフォルト速度モード

図 6-86 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMCx_CLK		25	MHz
DS5	$t_c(clk)$	サイクル時間、MMCx_CLK	40		ns
DS6	$t_w(clkH)$	パルス幅、MMCx_CLK high	18.7		ns
DS7	$t_w(clkL)$	パルス幅、MMCx_CLK low	18.7		ns
DS8	$t_d(clkL-cmdV)$	遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_CMD 遷移まで	- 1.8	2.2	ns
DS9	$t_d(clkL-dV)$	遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_DAT[3:0] 遷移まで	- 1.8	2.2	ns



図 6-86. MMC1/MMC2 – デフォルト速度 – 送信モード

6.11.5.19.2.2 高速モード

表 6-106、図 6-87、表 6-107、図 6-88 に、高速モードでの MMC1/MMC2 のタイミング要件とスイッチング特性を示します。

表 6-106. MMC1/MMC2 のタイミング要件 – 高速モード

図 6-87 参照

番号			最小値	最大値	単位
HS1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	2.24		ns
HS2	$t_h(clkH-cmdV)$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 有効の間	1.66		ns
HS3	$t_{su}(dV-clkH)$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち下がりエッジまで	2.24		ns
HS4	$t_h(clkH-dV)$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 有効の間	1.66		ns

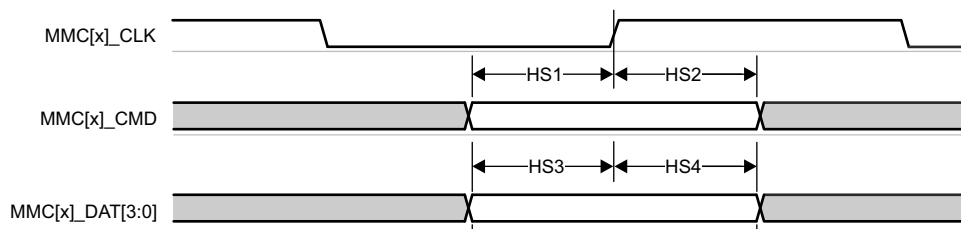


図 6-87. MMC1/MMC2 – 高速 – 受信モード

表 6-107. MMC1/MMC2 のスイッチング特性 – 高速モード

図 6-88 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMCx_CLK		50	MHz
HS5	$t_c(clk)$	サイクル時間、MMCx_CLK	20		ns
HS6	$t_w(clkH)$	パルス幅、MMCx_CLK High	9.2		ns
HS7	$t_w(clkL)$	パルス幅、MMCx_CLK Low	9.2		ns
HS8	$t_d(clkL-cmdV)$	遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_CMD 遷移まで	- 1.8	2.2	ns
HS9	$t_d(clkL-dV)$	遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_DAT[3:0] 遷移まで	- 1.8	2.2	ns

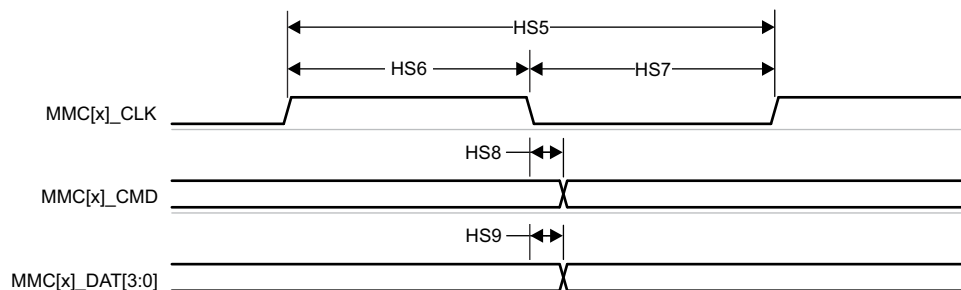


図 6-88. MMC1/MMC2 – 高速 – 送信モード

6.11.5.19.2.3 UHS-I SDR12 モード

表 6-108、図 6-89、表 6-109、および 図 6-90 に、MMC1/MMC2 – UHS-I SDR12 モードのタイミング要件とスイッチング特性を示します。

表 6-108. MMC1/MMC2 – UHS-I SDR12 モードのタイミング要件

図 6-89 参照

番号			最小値	最大値	単位
SDR121	$t_{su(cmdV-clkH)}$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	4.2		ns
SDR122	$t_h(clkH-cmdV)$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_CMD 有効の間	0.87		ns
SDR123	$t_{su(dV-clkH)}$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち上がりエッジまで	4.2		ns
SDR124	$t_h(clkH-dV)$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_DAT[3:0] 有効の間	0.87		ns

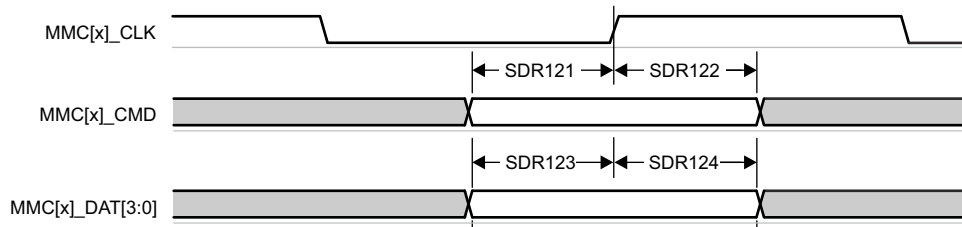


図 6-89. MMC1/MMC2 – UHS-I SDR12 – 受信モード

表 6-109. MMC1/MMC2 のスイッチング特性 – UHS-I SDR12 モード

図 6-90 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$		25	MHz
SDR125	$t_c(clk)$	40		ns
SDR126	$t_w(clkH)$	18.7		ns
SDR127	$t_w(clkL)$	18.7		ns
SDR128	$t_d(clkL-cmdV)$	1.5	8.6	ns
SDR129	$t_d(clkL-dV)$	1.5	8.6	ns

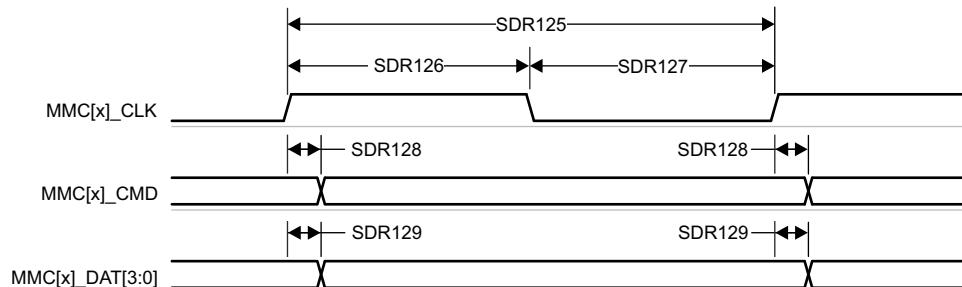


図 6-90. MMC1/MMC2 – UHS-I SDR12 – 送信モード

6.11.5.19.2.4 UHS-I SDR25 モード

表 6-110、図 6-91、表 6-111、図 6-92 に、UHS-I SDR25 モードでの MMC1/MMC2 のタイミング要件とスイッチング特性を示します。

表 6-110. MMC1/MMC2 のタイミング要件 – UHS-I SDR25 モード

図 6-91 参照

番号			最小値	最大値	単位
SDR251	$t_{su(cmdV-clkH)}$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
SDR252	$t_{h(clkH-cmdV)}$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 有効の間	1.27		ns
SDR253	$t_{su(dV-clkH)}$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
SDR254	$t_{h(clkH-dV)}$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	1.27		ns

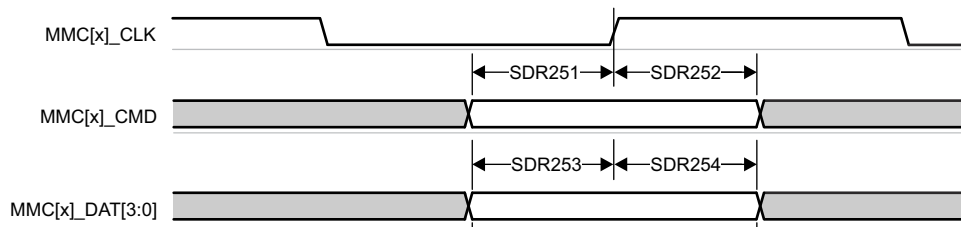


図 6-91. MMC1/MMC2 – UHS-I SDR25 – 受信モード

表 6-111. MMC1/MMC2 のスイッチング特性 – UHS-I SDR25 モード

図 6-92 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op(clk)}$		50	MHz
SDR255	$t_{c(clk)}$	20		ns
SDR256	$t_{w(clkH)}$	9.2		ns
SDR257	$t_{w(clkL)}$	9.2		ns
SDR258	$t_{d(clkL-cmdV)}$	2.4	8.1	ns
SDR259	$t_{d(clkL-dV)}$	2.4	8.1	ns

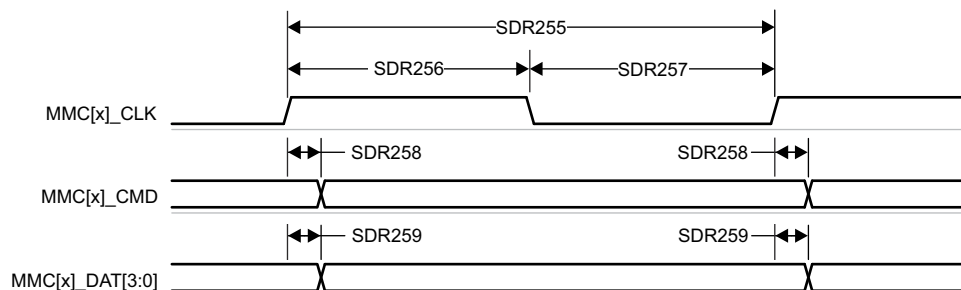


図 6-92. MMC1/MMC2 – UHS-I SDR25 – 送信モード

6.11.5.19.2.5 UHS-I SDR50 モード

表 6-112 および 図 6-93 に、UHS-I SDR50 モードでの MMC1/MMC2 のスイッチング特性を示します。

表 6-112. MMC1/MMC2 のスイッチング特性 – UHS-I SDR50 モード

図 6-93 参照

番号	パラメータ	最小値	最大値	単位		
	$f_{op}(clk)$	動作周波数、MMCx_CLK		100	MHz	
SDR505	$t_c(clk)$	サイクル時間、MMCx_CLK		10	ns	
SDR506	$t_w(clkH)$	パルス幅、MMCx_CLK High		4.45	ns	
SDR507	$t_w(clkL)$	パルス幅、MMCx_CLK Low		4.45	ns	
SDR508	$t_d(clkL-cmdV)$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 遷移まで		1.2	6.35	ns
SDR509	$t_d(clkL-dV)$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 遷移まで		1.2	6.35	ns

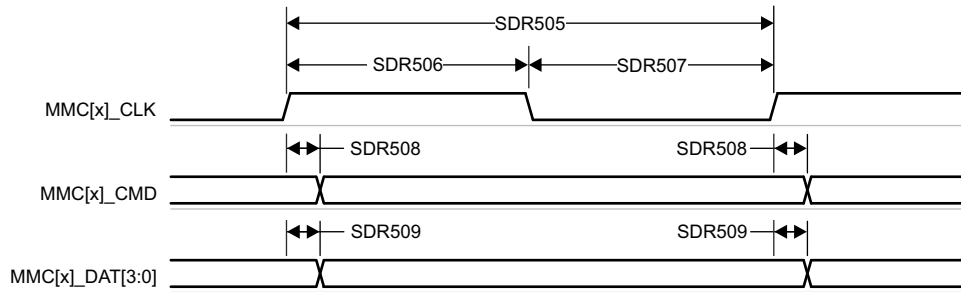


図 6-93. MMC1/MMC2 – UHS-I SDR50 – 送信モード

6.11.5.19.2.6 UHS-I DDR50 モード

表 6-113 および 図 6-94 に、MMC1/MMC2 – UHS-I DDR50 モードのスイッチング特性を示します。

表 6-113. MMC1/MMC2 – UHS-I DDR50 モードのスイッチング特性

図 6-94 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMCx_CLK		50 MHz
DDR505	$t_c(clk)$	20		ns
DDR506	$t_w(clkH)$	9.2		ns
DDR507	$t_w(clkL)$	9.2		ns
DDR508	$t_d(clk-cmdV)$	1.12	6.43	ns
DDR509	$t_d(clk-dV)$	1.12	6.43	ns

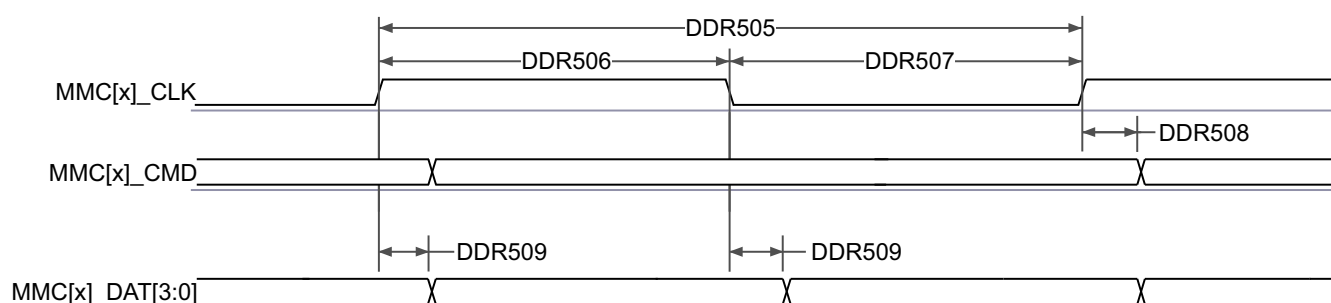


図 6-94. MMC1/MMC2 – UHS-I DDR50 – 送信モード

6.11.5.19.2.7 UHS-I SDR104 モード

表 6-114 および 図 6-95 に、MMC1/MMC2 – UHS-I SDR104 モードのスイッチング特性を示します。

表 6-114. MMC1/MMC2 – UHS-I SDR104 モードのスイッチング特性

図 6-95 参照

番号	パラメータ	最小値	最大値	単位		
	$f_{op}(clk)$	動作周波数、MMCx_CLK		200	MHz	
SDR1045	$t_c(clk)$	サイクル時間、MMCx_CLK		5	ns	
SDR1046	$t_w(clkH)$	パルス幅、MMCx_CLK High		2.12	ns	
SDR1047	$t_w(clkL)$	パルス幅、MMCx_CLK Low		2.12	ns	
SDR1048	$t_d(clkL-cmdV)$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 遷移まで		1.07	3.21	ns
SDR1049	$t_d(clkL-dV)$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 遷移まで		1.07	3.21	ns

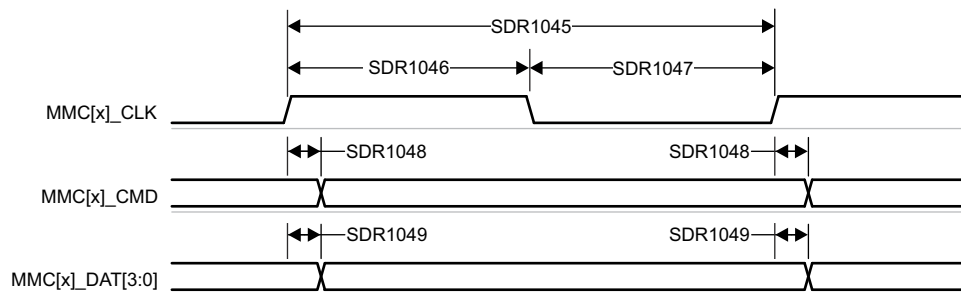


図 6-95. MMC1/MMC2 – UHS-I SDR104 – 送信モード

6.11.5.20 OLDI

6.11.5.20.1 OLDI0 のスイッチング特性

表 6-115 および 図 6-96 に、OLDI0 のスイッチング特性を示します。

表 6-115. OLDI0 のスイッチング特性

番号	パラメータ	モード	最小値	標準値	最大値	単位
OLDI1	$t_{(LHTT)}$	立ち上がり時間、OLDI0_CLK[1:0]P、 OLDI0_CLK[1:0]N、OLDI0_A[7:0]P、 OLDI0_A[7:0]N	低速 (1)		0.5	ns
			高速 (2)		0.25	ns
OLDI2	$t_{(HLTT)}$	立下り時間、OLDI0_CLK[1:0]P、 OLDI0_CLK[1:0]N、OLDI0_A[7:0]P、 OLDI0_A[7:0]N	低速 (1)		0.5	ns
			高速 (2)		0.25	ns
OLDI3	$t_{c(CLK)}$	サイクル時間、OLDI0_CLK[1:0]P および OLDI0_CLK[1:0]N	6.06		110.01	ns
OLDI4	$t_{w(BIT)}$	ビット幅、OLDI0_A[7:0]P および OLDI0_A[7:0]N		(1/7)OLDI3		ns
OLDI5	$t_{d(BIT1)}$	ビット 1 遅延時間、OLDI0_CLK[1:0]P および OLDI0_CLK[1:0]N から OLDI0_A[7:0]P および OLDI0_A[7:0]N まで	- (0.1)OLDI4		(0.1)OLDI4	ns
OLDI6	$t_{d(BIT0)}$	ビット 0 遅延時間、OLDI0_CLK[1:0]P および OLDI0_CLK[1:0]N から OLDI0_A[7:0]P および OLDI0_A[7:0]N まで	(1/7)OLDI3 - (0.1)OLDI4		(1/7) OLDI3 + (0.1)OLDI4	ns
OLDI7	$t_{d(BIT6)}$	ビット 6 遅延時間、OLDI0_CLK[1:0]P および OLDI0_CLK[1:0]N から OLDI0_A[7:0]P および OLDI0_A[7:0]N まで	(2/7)OLDI3 - (0.1)OLDI4		(2/7) OLDI3 + (0.1)OLDI4	ns
OLDI8	$t_{d(BIT5)}$	ビット 5 遅延時間、OLDI0_CLK[1:0]P および OLDI0_CLK[1:0]N から OLDI0_A[7:0]P および OLDI0_A[7:0]N まで	(3/7)OLDI3 - (0.1)OLDI4		(3/7) OLDI3 + (0.1)OLDI4	ns
OLDI9	$t_{d(BIT4)}$	ビット 4 遅延時間、OLDI0_CLK[1:0]P および OLDI0_CLK[1:0]N から OLDI0_A[7:0]P および OLDI0_A[7:0]N まで	(4/7)OLDI3 - (0.1)OLDI4		(4/7) OLDI3 + (0.1)OLDI4	ns
OLDI10	$t_{d(BIT3)}$	ビット 3 遅延時間、OLDI0_CLK[1:0]P および OLDI0_CLK[1:0]N から OLDI0_A[7:0]P および OLDI0_A[7:0]N まで	(5/7)OLDI3 - (0.1)OLDI4		(5/7) OLDI3 + (0.1)OLDI4	ns
OLDI11	$t_{d(BIT2)}$	ビット 2 遅延時間、OLDI0_CLK[1:0]P および OLDI0_CLK[1:0]N から OLDI0_A[7:0]P および OLDI0_A[7:0]N まで	(6/7)OLDI3 - (0.1)OLDI4		(6/7) OLDI3 + (0.1)OLDI4	ns
OLDI12	$t_{sk(TCCS)}$	スキュー、OLDI0_A[7:0]P および OLDI0_A[7:0]N、その 他あらゆる OLDI0_A[7:0]P および OLDI0_A[7:0]N に対 して相対的			50	ps

(1) 低速モード: TXDRV[3:0] = 0100b、バック終端なし (RTERM_EN = 0b で 100Ω 差動終端はファー エンドのみ)

(2) 高速モード: TXDRV[3:0] = 1000b、バック終端あり (RTERM_EN = 1b で遠端のみ 100Ω 差動終端、または RTERM_EN = 0b で近端と遠端で 100Ω 差動終端あり)

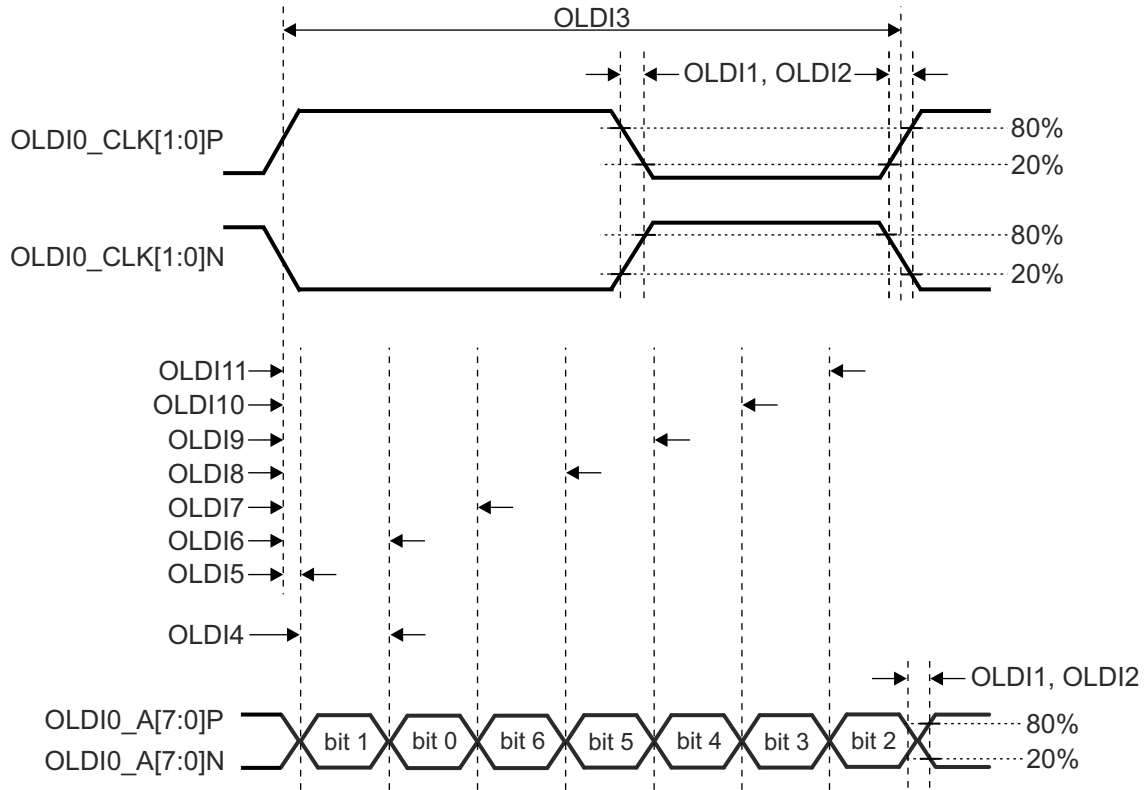


図 6-96. OLDIO のスイッチング特性

デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS) およびペリフェラル」セクションを参照してください。

6.11.5.21 OSPI

OSPI0 には、PHY モードと Tap モードの 2 つのデータ キャプチャ モードがあります。

PHY モードでは、内部基準クロックを使用して DLL ベースの PHY 経由でデータを送受信します。各基準クロック サイクルはシングル データレート (SDR) 転送の場合は OSPI0_CLK の 1 サイクル、ダブル データレート (DDR) 転送の場合は OSPI0_CLK の半サイクルを生成します。PHY モードは、受信データ キャプチャ クロックについて 4 つのクロック トポロジをサポートしています。内部 PHY ループバック - 内部基準クロックを PHY 受信データ キャプチャ クロックとして使用します。内部パッド ループバック - OSPI0_LBCLKO ピンから PHY にループバックされた OSPI0_LBCLKO を PHY 受信データ キャプチャ クロックとして使用します。外部ボード ループバック - OSPI0_DQS ピンから PHY にループバックされた OSPI0_LBCLKO を PHY 受信データ キャプチャ クロックとして使用します。DQS - 接続されたデバイスからの DQS 出力を PHY 受信データ キャプチャ クロックとして使用します。内部パッド ループバックおよび DQS クロッキング トポロジを使用する場合、SDR 転送はサポートされません。内部 PHY ループバックまたは内部パッド ループバック クロッキング トポロジを使用する場合、DDR 転送はサポートされません。

タップ モードは、選択可能なタップと共に内部基準クロックを使用して、OSPI0_CLK に対してデータの送受信キャプチャ 遅延を調整します。OSPI0_CLK は、SDR 転送では内部基準クロックの 4 分周、DDR 転送では内部基準クロックの 8 分周です。タップ モードは、受信データ キャプチャ クロックに対して 1 つのクロック トポロジのみをサポートします。ループバックなし - 内部基準クロックをタップ受信データ キャプチャ クロックとして使用します。このクロック トポロジは、最大 200MHz の内部リファレンス クロック レートをサポートし、SDR モードでは 50MHz、DDR モードでは 25MHz までの OSPI0_CLK レートを生成します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタール シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

オクタール シリアル ペリフェラル インターフェイスの機能の詳細および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

セクション 6.11.5.21.1 は PHY モードに関連する、セクション 6.11.5.21.2 はタップ モードに関連するタイミング要件とスイッチング特性を定義します。

表 6-116 に、OSPI0 のタイミング条件を示します。

表 6-116. OSPI0 のタイミング条件

パラメータ	モード	最小値	最大値	単位	
入力条件					
SR _i	入力スルーレート	1	6	V/ns	
出力条件					
C _L	出力負荷容量	3	10	pF	
PCB 接続要件					
t _d (Trace Delay)	OSPI0_CLK パターンの伝搬遅延	ループバックなし 内部 PHY ループバック 内部パッド ループバック	450	ps	
	OSPI0_LBCLKO パターンの伝搬遅延	外部ボードのループバック	2L ⁽¹⁾ - 30	2L ⁽¹⁾ + 30	ps
	OSPI0_DQS パターンの伝搬遅延	DQS	L ⁽¹⁾ - 30	L ⁽¹⁾ + 30	ps
t _d (Trace Mismatch Delay)	OSPI0_CLK に対する OSPI0_D[7:0] と OSPI0_CS _n [3:0] の伝搬遅延ミスマッチ	すべてのモード	60	ps	

(1) L = OSPI0_CLK パターンの伝搬遅延

6.11.5.21.1 OSPI0 PHY モード

6.11.5.21.1.1 PHY データ トレーニング付き OSPI0

読み出し / 書き込みデータ有効ウィンドウは、プロセス、電圧、温度、動作周波数の変動によって変化します。最適な読み出し / 書き込みタイミングを動的に構成するために、データトレーニング手法を実装することもできます。データトレーニングを実装すると、特定のプロセス、電圧、周波数の動作条件において、温度範囲全体にわたって適切な動作を実現すると同時に、より高い動作周波数を実現できます。

データの送受信タイミング パラメータは、動作条件に基づいて動的に調整されるため、データトレーニングの使用事例では定義されていません。

表 6-117 は、データトレーニング付きの OSPI0 に必要な DLL 遅延を定義しています。表 6-118、図 6-97 図 6-98、表 6-119、図 6-99、図 6-100 に、データトレーニング付き OSPI0 のタイミング要件とスイッチング特性を示します。

表 6-117. PHY データ トレーニング用の OSPI0 DLL 遅延マッピング

モード	レジスタ ビットフィールド	遅延値
OSPI_PHY_CONFIGURATION_REG		
送信		
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	(1)
受信		
すべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	(2)
PHY_MASTER_CONTROL_REG		
すべてのモード	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x1

- (1) トレーニングソフトウェアによって決定される送信 DLL 遅延の値
(2) トレーニングソフトウェアによって決定される受信 DLL 遅延の値

表 6-118. OSPI0 のタイミング要件 – PHY データ トレーニング

図 6-97、図 6-98 を参照

番号		モード	最小値	最大値	単位
O15	$t_{su}(D-LBCLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	(1)		ns
O16	$t_h(LBCLK-D)$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	(1)		ns
O21	$t_{su}(D-LBCLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	(1)		ns
O22	$t_h(LBCLK-D)$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	(1)		ns
	t_{DWW}	データ有効ウィンドウ (O15 + O16)	1.8V、DQS 付き DDR	1.6	ns
			3.3V、DQS 付き DDR	2.2	ns
		データ有効ウィンドウ (O21 + O22)	1.8V、外部ボード ループバック付き SDR	2.3	ns
			3.3V、外部ボード ループバック付き SDR	2.9	ns

- (1) データトレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0_D[7:0] 入力の最小セットアップ時間およびホールド時間の要件は定義されません。 t_{DWW} パラメータは、必要な最小データ無効ウィンドウを定義します。このパラメータは、最小セットアップ時間や最小ホールド時間の代わりに提供され、接続されているデバイスから提供されるデータ有効ウィンドウとの互換性を確認するために使用する必要があります。

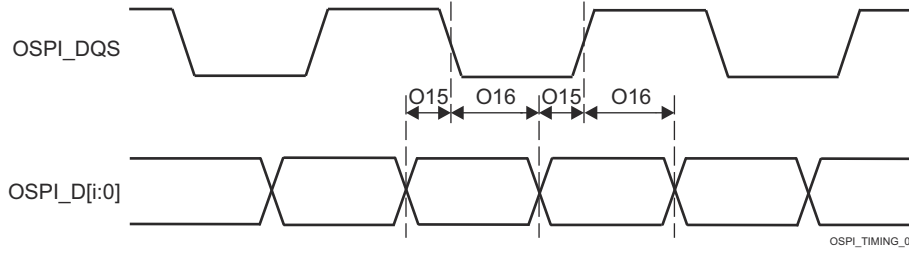


図 6-97. OSPI0 のタイミング要件 – PHY データ トレーニング、DQS 付き DDR

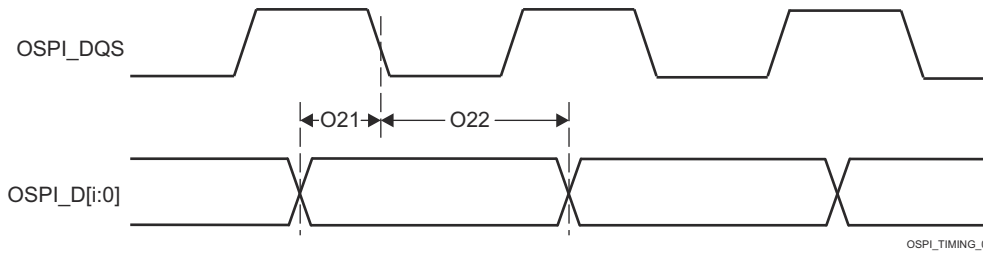


図 6-98. OSPI0 のタイミング要件 – PHY データ トレーニング、外部ボード ループバック付き SDR

表 6-119. OSPI0 のスイッチング特性 - PHY データ トレーニング

図 6-99 および 図 6-100 を参照

番号	パラメータ	モード	最小値	最大値	単位
O1	$t_{c(CLK)}$ サイクル時間、OSPI0_CLK	1.8V、DDR	6.0	10	ns
		3.3V、DDR	7.5	10	ns
O7		1.8V、SDR	6.0	10	ns
		3.3V、SDR	7.5	10	ns
O2	$t_{w(CLKL)}$ パルス幅、OSPI0_CLK low	DDR	((0.475P ⁽¹⁾) - 0.3)		ns
O8		SDR			
O3	$t_{w(CLKH)}$ パルス幅、OSPI0_CLK high	DDR	((0.475P ⁽¹⁾) - 0.3)		ns
O9		SDR			
O4	$t_{d(CSn-CLK)}$ 遅延時間、OSPI0_CSn[3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで	DDR	((0.475P ⁽¹⁾) + (0.975M ⁽²⁾ R ⁽⁴⁾) + (0.04TD ⁽⁵⁾) - 1)	((0.525P ⁽¹⁾) + (1.025M ⁽²⁾ R ⁽⁴⁾) + (0.11TD ⁽⁵⁾) + 1)	ns
O10		SDR			
O5	$t_{d(CLK-CSn)}$ 遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[3:0] 非アクティブ エッジまで	DDR	((0.475P ⁽¹⁾) + (0.975N ⁽³⁾ R ⁽⁴⁾) - (0.11TD ⁽⁵⁾) - 1)	((0.525P ⁽¹⁾) + (1.025N ⁽³⁾ R ⁽⁴⁾) - (0.04TD ⁽⁵⁾) + 1)	ns
O11		SDR			
O6	$t_{d(CLK-D)}$ 遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	DDR	(6)	(6)	ns
O12		SDR			
	t_{DIVW}	DDR	1.6		ns
		SDR			

- (1) P = SCLK サイクル時間 (ns) = OSPI0_CLK 周期 (ns)
- (2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
- (3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
- (4) R = リファレンス クロック サイクル時間 (ns 単位)
- (5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
- (6) データトレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0_D[7:0] 出力の最小および最大遅延時間は定義されません。 t_{DIVW} パラメータは、最大データ無効ウィンドウを定義します。このパラメータは、最小および最大遅延時間の代わりに提供され、接続されているデバイスのデータ有効ウィンドウ要件との互換性を確認するために使用する必要があります。

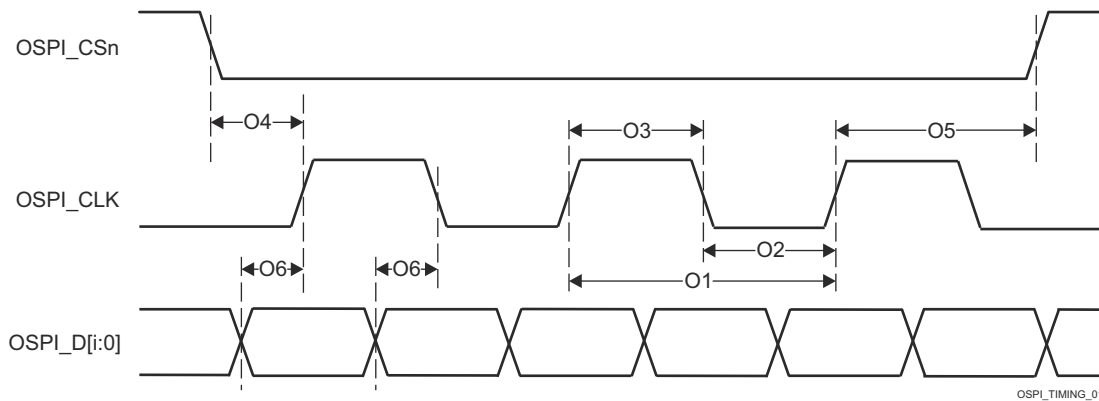


図 6-99. OSPI0 のスイッチング特性 - PHY DDR データ トレーニング

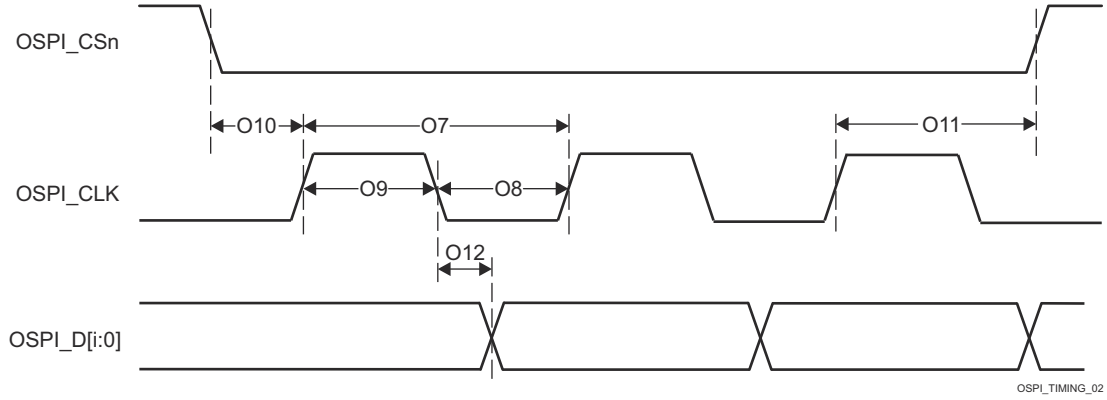


図 6-100. OSPI0 のスイッチング特性 - PHY SDR データ トレーニング

6.11.5.21.1.2 データ トレーニングなし OSPI0

注

このセクションで定義されるタイミング パラメータは、データ トレーニングが実装されておらず、かつセクション 6.11.5.21.1.2.1 とセクション 6.11.5.21.1.2.2 に示すように DLL 遅延が設定されている場合にのみ適用されます。

6.11.5.21.1.2.1 OSPI0 PHY SDR のタイミング

表 6-120 に、OSPI0 PHY SDR モードに必要な DLL 遅延を定義します。表 6-121、図 6-101、図 6-102、表 6-122、図 6-103 に、OSPI0 PHY SDR モードのタイミング要件とスイッチング特性を示します。

表 6-120. OSPI0 の DLL 遅延マッピング – PHY SDR タイミング モード

モード	レジスタ ビットフィールド	遅延値
OSPI_PHY_CONFIGURATION_REG		
送信		
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	0x0
受信		
すべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0
PHY_MASTER_CONTROL_REG		
すべてのモード	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x1

表 6-121. OSPI0 のタイミング要件 – PHY SDR モード

図 6-101 および 図 6-102 を参照

番号		モード	最小値	最大値	単位
O19	$t_{su(D-CLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	1.8V、PHY ループバック内蔵 SDR	4.8	ns
			3.3V、PHY ループバック内蔵 SDR	5.19	ns
O20	$t_h(CLK-D)$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	1.8V、PHY ループバック内蔵 SDR	-0.5	ns
			3.3V、PHY ループバック内蔵 SDR	-0.5	ns
O21	$t_{su(D-LBCLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	1.8V、外部ボード ループバック付き SDR	0.6	ns
			3.3V、外部ボード ループバック付き SDR	0.9	ns
O22	$t_h(LBCLK-D)$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	1.8V、外部ボード ループバック付き SDR	1.7	ns
			3.3V、外部ボード ループバック付き SDR	2.0	ns

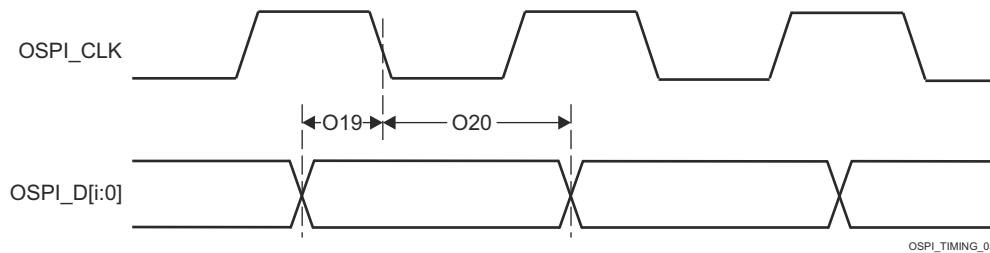


図 6-101. OSPI0 のタイミング要件 – PHY ループバック内蔵 PHY SDR

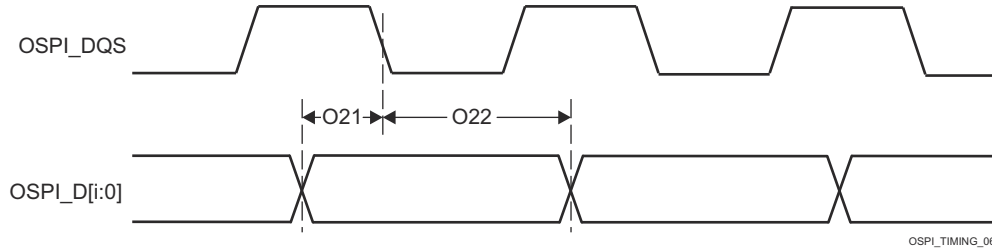


図 6-102. OSPI0 のタイミング要件 – 外部ボード ループバック付き PHY SDR

表 6-122. OSPI0 のスイッチング特性 – PHY SDR モード

図 6-103 参照

番号	パラメータ	モード	最小値	最大値	単位
O7	$t_{c(CLK)}$	1.8V	7		ns
		3.3V	6.03		ns
O8	$t_w(CLKL)$		$((0.475P^{(1)}) - 0.3)$		ns
O9	$t_w(CLKH)$		$((0.475P^{(1)}) - 0.3)$		ns
O10	$t_d(CSn-CLK)$		$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)}) + 1)$	ns
O11	$t_d(CLK-CSn)$		$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.11TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.04TD^{(5)}) + 1)$	ns
O12	$t_d(CLK-D)$	1.8V	-1.16	1.25	ns
		3.3V	-1.33	1.51	ns

- (1) P = SCLK サイクル時間 (ns) = OSPI0_CLK 周期 (ns)
- (2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
- (3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
- (4) R = リファレンス クロック サイクル時間 (ns 単位)
- (5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD

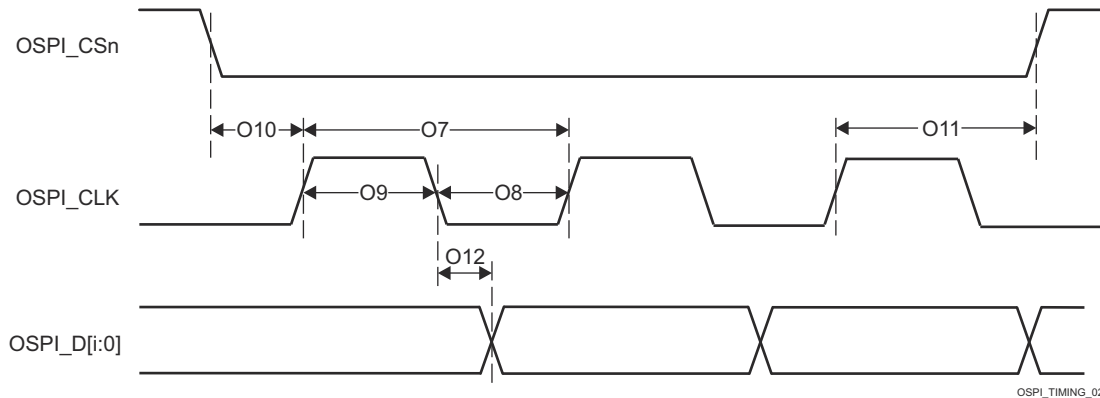


図 6-103. OSPI0 のスイッチング特性 – PHY SDR モード

6.11.5.21.1.2.2 OSPI0 PHY DDR のタイミング

表 6-123 に、OSPI0 PHY DDR モードに必要な DLL 遅延を定義します。表 6-124、図 6-104、表 6-125、図 6-105 に、OSPI0 PHY DDR モードのタイミング要件とスイッチング特性を示します。

表 6-123. OSPI0 の DLL 遅延マッピング – PHY DDR タイミング モード

モード	レジスタビットフィールド	遅延値
OSPI_PHY_CONFIGURATION_REG ビットフィールド		
送信		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x3E
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x3B
受信		
1.8V, DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x15
3.3V, DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x32
その他のすべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0
PHY_MASTER_CONTROL_REG		
すべてのモード	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x1

表 6-124. OSPI0 のタイミング要件 – PHY DDR モード

図 6-104 参照

番号		モード	最小値	最大値	単位
O15	$t_{su}(D-LBCLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	1.8V、外部ボード ループバック付き DDR	0.53	ns
			1.8V、DQS 付き DDR	-0.46	ns
			3.3V、外部ボード ループバック付き DDR	1.23	ns
			3.3V、DQS 付き DDR	-0.66	ns
O16	$t_h(LBCLK-D)$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	1.8V、外部ボード ループバック付き DDR	1.24 ⁽¹⁾	ns
			1.8V、DQS 付き DDR	3.59	ns
			3.3V、外部ボード ループバック付き DDR	1.44 ⁽¹⁾	ns
			3.3V、DQS 付き DDR	7.92	ns

- (1) このホールド時間の要件は、一般的な OSPI/QSPI/SPI デバイスのホールド時間よりも長いですが、SoC と、接続された OSPI/QSPI/SPI デバイスとの間のパターン長は、SoC でのホールド時間を確実に満たすのに十分な長さにする必要があります。補償のため、SoC の外部ループバッククロック (OSPI0_LBCLKO から OSPI0_DQS まで) の長さを短くする必要がある場合があります。

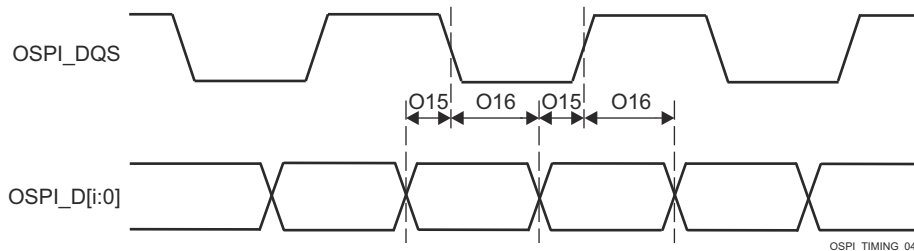


図 6-104. OSPI0 のタイミング要件 – 外部ボード ループバックまたは DQS 付き PHY DDR

表 6-125. OSPI0 のスイッチング特性 – PHY DDR モード

図 6-105 参照

番号	パラメータ	モード	最小値	最大値	単位
O1	$t_{c}(\text{CLK})$	サイクル時間、OSPI0_CLK	19		ns
O2	$t_{w}(\text{CLKL})$	パルス幅、OSPI0_CLK low	$((0.475P^{(1)}) - 0.3)$		ns
O3	$t_{w}(\text{CLKH})$	パルス幅、OSPI0_CLK high	$((0.475P^{(1)}) - 0.3)$		ns
O4	$t_{d}(\text{CSn-CLK})$	遅延時間、OSPI0_CS _n [3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)} - 1))$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)} + 1))$	ns
O5	$t_{d}(\text{CLK-CSn})$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CS _n [3:0] 非アクティブ エッジまで	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.11TD^{(5)} - 1))$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.04TD^{(5)} + 1))$	ns
O6	$t_{d}(\text{CLK-D})$	1.8V	-7.71	-1.56	ns
		3.3V	-7.71	-1.56	ns

- (1) P = SCLK サイクル時間 (ns) = OSPI0_CLK 周期 (ns)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = リファレンス クロック サイクル時間 (ns 単位)
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD

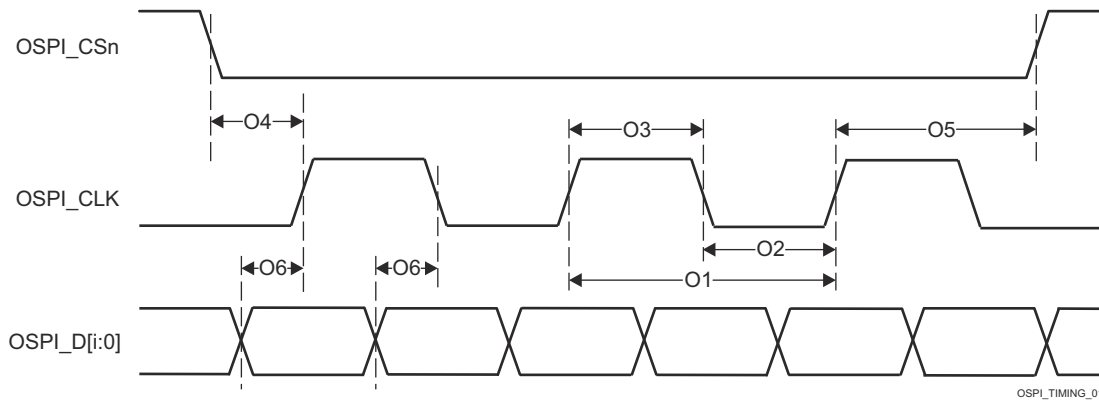


図 6-105. OSPI0 のスイッチング特性 – PHY DDR モード

6.11.5.21.2 OSPI0 タップモード

6.11.5.21.2.1 OSPI0 タップ SDR のタイミング

表 6-126、図 6-106、表 6-127、図 6-107 に、OSPI0 タップ SDR モードのタイミング要件とスイッチング特性を示します。

表 6-126. OSPI0 のタイミング要件 – タップ SDR モード

図 6-106 参照

番号		モード	最小値	最大値	単位
O19	$t_{su}(D-CLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	(15.4 - $(0.975T^{(1)}R^{(2)})$)		ns
O20	$t_h(CLK-D)$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	(- 4.3 + $(0.975T^{(1)}R^{(2)})$)		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]

(2) R = 基準クロック サイクル時間 (ns)

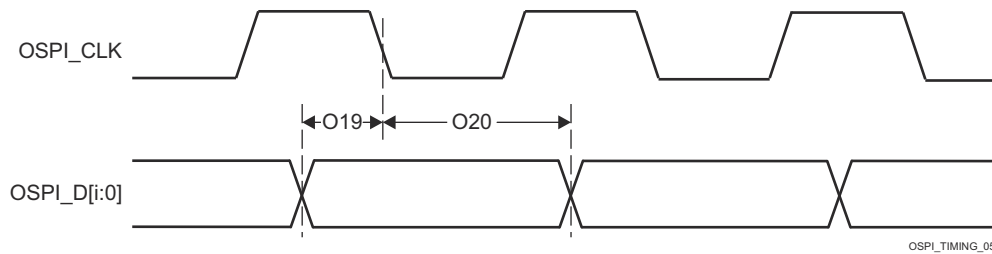


図 6-106. OSPI0 のタイミング要件 – タップ SDR、ループバックなし

表 6-127. OSPI0 のスイッチング特性 – タップ SDR モード

図 6-107 参照

番号	パラメータ	モード	最小値	最大値	単位
O7	$t_{c}(\text{CLK})$	サイクル時間、OSPI0_CLK	20		ns
O8	$t_{w}(\text{CLKL})$	パルス幅、OSPI0_CLK low	$((0.475P^{(1)}) - 0.3)$		ns
O9	$t_{w}(\text{CLKH})$	パルス幅、OSPI0_CLK high	$((0.475P^{(1)}) - 0.3)$		ns
O10	$t_{d}(\text{CSn-CLK})$	遅延時間、OSPI0_CS _n [3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)} - 1))$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)} + 1))$	ns
O11	$t_{d}(\text{CLK-CSn})$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CS _n [3:0] 非アクティブ エッジまで	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)} - 1))$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)} + 1))$	ns
O12	$t_{d}(\text{CLK-D})$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	- 4.25	7.25	ns

(1) P = SCLK サイクル時間 (ns) = OSPI0_CLK 周期 (ns)

(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]

(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

(4) R = 基準クロック サイクル時間 (ns)

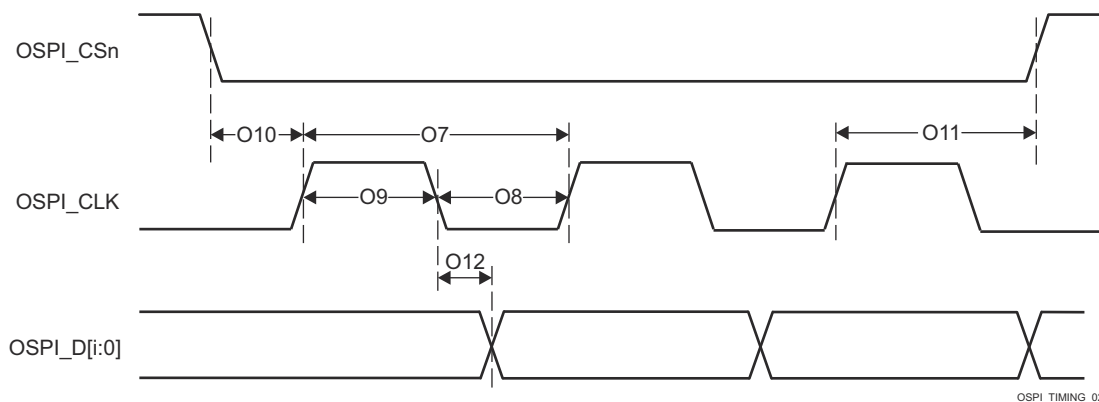


図 6-107. OSPI0 のスイッチング特性 – タップ SDR、ループバックなし

6.11.5.21.2.2 OSPI0 タップDDR のタイミング

表 6-128、図 6-108、表 6-129、図 6-109 に、OSPI0 タップ DDR モードのタイミング要件とスイッチング特性を示します。

表 6-128. OSPI0 のタイミング要件 – タップ DDR モード

図 6-108 参照

番号		モード	最小値	最大値	単位
O13	$t_{su}(D-CLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	ループバックなし	(17.04 - $(0.975T^{(1)}R^{(2)})$)	ns
O14	$t_h(CLK-D)$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	ループバックなし	(- 3.16 + $(0.975T^{(1)}R^{(2)})$)	ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]

(2) R = 基準クロック サイクル時間 (ns)

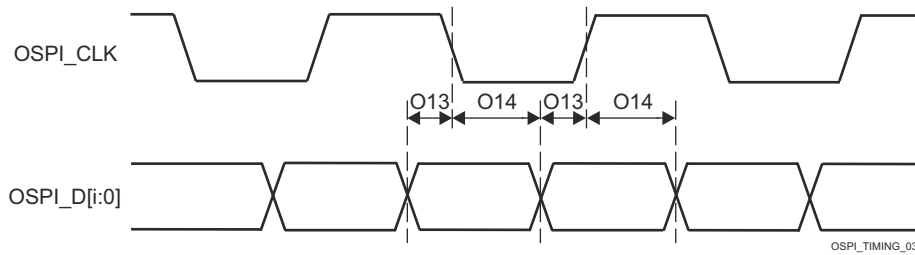


図 6-108. OSPI0 のタイミング要件 – タップ DDR、ループバックなし

表 6-129. OSPI0 のスイッチング特性 – タップ DDR モード

図 6-109 参照

番号	パラメータ	モード	最小値	最大値	単位
O1	$t_{c}(\text{CLK})$	サイクル時間、OSPI0_CLK	40		ns
O2	$t_{w}(\text{CLKL})$	パルス幅、OSPI0_CLK low	$((0.475P^{(1)}) - 0.3)$		ns
O3	$t_{w}(\text{CLKH})$	パルス幅、OSPI0_CLK high	$((0.475P^{(1)}) - 0.3)$		ns
O4	$t_{d}(\text{CSn-CLK})$	遅延時間、OSPI0_CS _n [3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで	$((0.475P^{(1)}) + ((0.975M^{(2)}R^{(5)}) - 1))$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(5)}) + 1)$	ns
O5	$t_{d}(\text{CLK-CSn})$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CS _n [3:0] 非アクティブ エッジまで	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(5)}) + 1)$	ns
O6	$t_{d}(\text{CLK-D})$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	$(- 5.04 + (0.975(T^{(4)} + 1)R^{(5)}) - (0.525P^{(1)}))$	$(3.64 + (1.025(T^{(4)} + 1)R^{(5)}) - (0.475P^{(1)}))$	ns

- (1) P = SCLK サイクル時間 (ns 単位) = OSPI0_CLK サイクル時間 (ns 単位)
- (2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
- (3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
- (4) T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD]
- (5) R = 基準クロック サイクル時間 (ns)

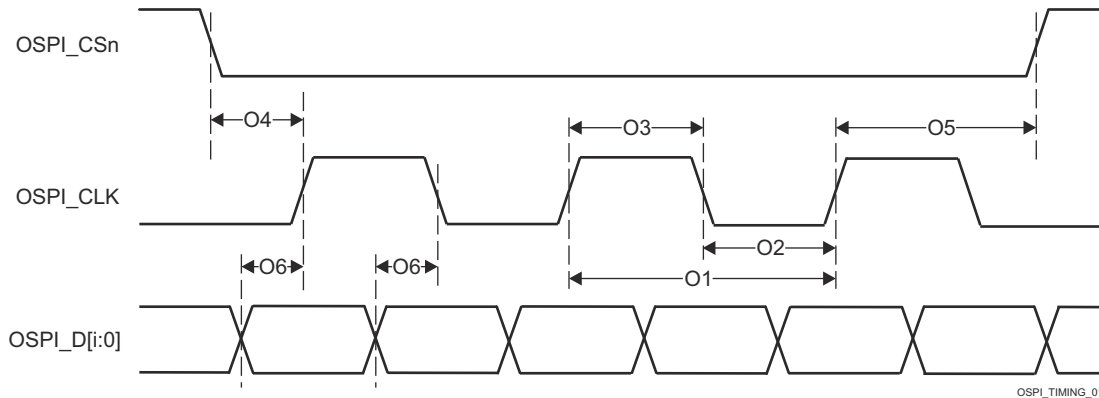


図 6-109. OSPI0 のスイッチング特性 – タップ DDR、ループバックなし

6.11.5.22 PCIe

PCI-Express サブシステムは、PCIe® ベース仕様、レビジョン 4.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

このデバイスの PCIe (Peripheral Component Interconnect Express) の機能の詳細と追加の説明情報については、「SERDES0 信号の説明」と、「詳細説明」の対応するサブセクションを参照してください。

詳細については、本デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「PCIe (Peripheral Component Interconnect Express) サブシステム」セクションを参照してください。

6.11.5.23 タイマ

タイマ デバイスの機能および追加の説明情報については、「信号の説明」、「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-130. タイマのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	0.5	5	V/ns
出力条件				
C _L	出力負荷容量	2	10	pF

表 6-131. タイマ入力のタイミング要件

図 6-110 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
T1	t _{w(TINPH)}	パルス幅、High	キャプチャ	4P ⁽¹⁾ + 2.5		ns
T2	t _{w(TINPL)}	パルス幅、Low	キャプチャ	4P ⁽¹⁾ + 2.5		ns

(1) P = 機能クロック周期 (ns 単位)。

表 6-132. タイマ出力のスイッチング特性

図 6-110 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
T3	t _{w(TOOUTH)}	パルス幅、High	PWM	4P ⁽¹⁾ - 2.5		ns
T4	t _{w(TOOUTL)}	パルス幅、Low	PWM	4P ⁽¹⁾ - 2.5		ns

(1) P = 機能クロック周期 (ns 単位)。

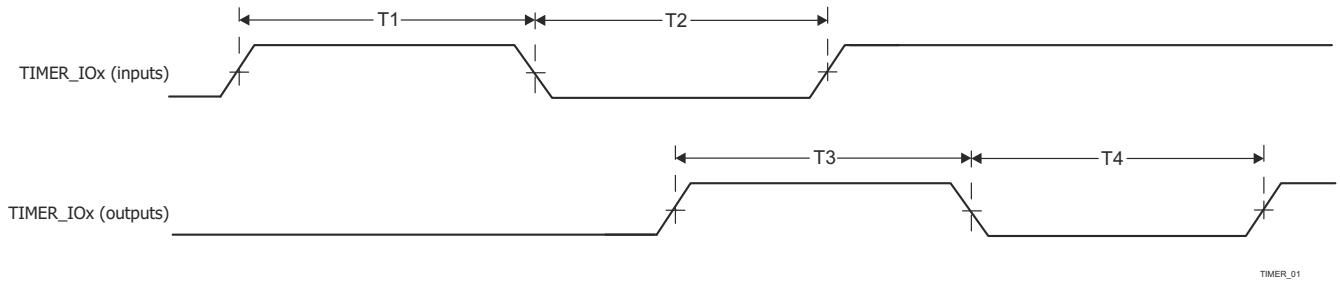


図 6-110. タイマのタイミング要件およびスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

6.11.5.24 UART

ユニバーサル非同期レシーバ / トランスミッタ デバイスの機能の詳細および追加説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

表 6-133. UART のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	0.5	5	V/ns
出力条件				
C _L	出力負荷容量	1	30 ⁽¹⁾	pF

(1) この値は、絶対最大負荷容量を表します。UART のボーレートが上昇するにつれて、接続されているデバイスに十分なタイミング マージンを確保するために、負荷容量をこの最大制限より小さい値に減らす必要がある場合があります。容量性負荷の増加に伴い、出力の立ち上がり / 立ち下がり時間が長くなり、接続されているデバイスのレシーバに対してデータが有効である時間が短くなります。したがって、接続されたデバイスが動作ボーレートで必要とする最小データ有効時間を理解することが重要です。次に、デバイス IBIS モデルを使用して、UART 信号上の実際の負荷容量によって、接続されているデバイスの最小データ有効時間を越えて立ち上がり / 立ち下がり時間が増加しないことを確認します。

表 6-134. UART のタイミング要件

図 6-111 参照

番号	パラメータ	説明	最小値	最大値	単位
1	t _w (RXD)	パルス幅、受信データビット High または Low	0.95U ⁽¹⁾ (2)	1.05U ⁽¹⁾ (2)	ns
2	t _w (RXDS)	パルス幅、受信スタートビット Low	0.95U ⁽¹⁾ (2)		ns

(1) U = UART のポー時間 (ns) = 1 / プログラムされたボーレート。
 (2) この値はデータ有効時間を規定します。ここで、入力電圧は V_{IH} を上回る、または V_{IL} を下回る必要があります。

表 6-135. UART スイッチング特性

図 6-111 参照

番号	パラメータ	説明	最小値	最大値	単位
	f _(baud)	メインドメイン UART のプログラム可能なボーレート		12	Mbps
		MCU および WKUP ドメイン UART 用のプログラム可能なボーレート		3.7	Mbps
3	t _w (TXD)	パルス幅、送信データビット High または Low	U ⁽¹⁾ - 2	U ⁽¹⁾ + 2	ns
4	t _w (TXDS)	パルス幅、送信スタートビット Low	U ⁽¹⁾ - 2		ns

(1) U = UART ポー時間 (ns) = 1 / 実際のボーレート。ここで、実際のボーレートはデバイス TRM の UART ポーレート設定表で規定されています。

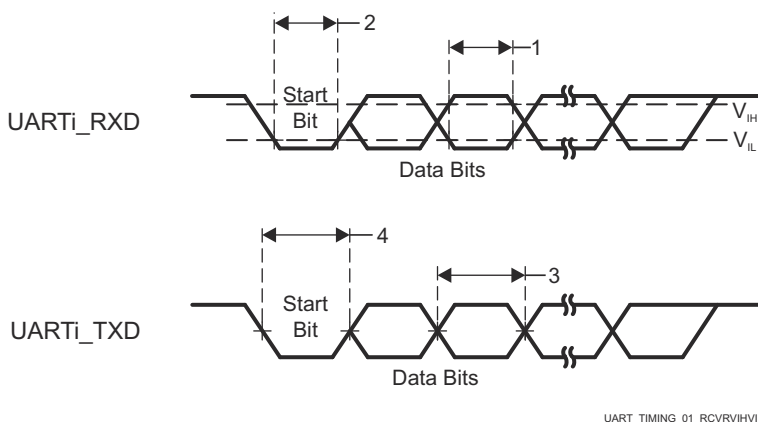


図 6-111. UART のタイミング要件およびスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル非同期レシーバ/トランスミッタ (UART)」セクションを参照してください。

6.11.5.25 USB

USB 2.0 サブシステムは、ユニバーサル シリアル バス (USB) 仕様、リビジョン 2.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

デバイス、ユニバーサル シリアル バス サブシステム (USB) の機能および追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブ セクションを参照してください。

7 詳細説明

7.1 概要

TDA4VEN/TDA4AEN (別名 TDA4-Entry) プロセッサ ファミリーは、Jacinto™ 7 車載グレード ファミリーのヘテロジニアス Arm® プロセッサを拡張したもので、先進運転支援システム (ADAS) アプリケーションを対象としています。TDA4VEN/TDA4AEN は、組み込みディープラーニング (DL)、ビデオ、ビジョン処理、3D グラフィックス アクセラレーション、ディスプレイ インターフェイス、広範な車載ペリフェラルおよびネットワーク オプションを備えており、NCAP フロント カメラやエン트리 レベルの駐車支援システムなど、コストと消費電力に制約のある一連の車載アプリケーション向けに構築されています。コストが最適化された TDA4VEN/TDA4AEN は、高いレベルのシステム統合によって、従来型とディープラーニングの両方のアルゴリズムで最適な性能の計算を業界最高の電力 / 性能比で実行し、スタンドアロン電子制御ユニット (ECU) の複数のセンサ モダリティをサポートする先進の車載用プラットフォームの拡張性とコスト低減を実現できます。

主な機能と特長:

- Linux® および Android™ SDK と、リアルタイムの機能安全およびセキュリティ SDK の組み合わせにより、革新と迅速な開発に注力できます。
- 新世代の 3D GPU と 4K ビデオ アクセラレーションにより、HMI の次世代設計に対応します。
- 次のような車載と高速の各 IO で構成された包括的なセットを活用して、設計のコネクティビティを強化しましょう。TSN サポート、および 2 個の USB2.0 ポートを搭載した 4 個の CAN-FD、3 ポートのギガビットイーサネットスイッチ (2 個の外部ポート)。
- 内蔵のハードウェア セキュリティ モジュール (HSM) により、最新のサイバーセキュリティ要件をサポートします。
- 複数の Arm® Cortex®-A53 CPU と、オープンソースの AI ソフトウェアやツールを活用して、顔認識や非接触式 HMI などのインテリジェント機能を提供します。

TDA4VEN/TDA4AEN プロセッサは AEC - Q100 車載規格に準拠しており、産業用グレードをサポートしています。ASIL-B および SIL-2 の機能安全要件は、内蔵された Arm Cortex-R5F コアと専用ペリフェラルを使用して満たすことができます。これらはすべて、プロセッサの残り部分から分離できます。

8 アプリケーション、実装、およびレイアウト

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 デバイスの接続およびレイアウトの基礎

8.1.1 電源

8.1.1.1 電源の設計

J722S/AM67x/TDA4VEN/TDA4AEN ファミリのプロセッサおよびペリフェラルに推奨されるパワー マネージメント IC (PMIC)、およびその動作の詳細については、『[TPS6522312-Q1 PMIC を使用した J722S/AM67x/TDA4VEN/TDA4AEN プロセッサの車載電源の設計](#)』製品概要を参照してください。

8.1.2 外部発振器

外部発振器の詳細については、『[クロック仕様](#)』セクションを参照してください。

8.1.3 JTAG、EMU、およびトレース

テキサス・インスツルメンツは、JTAG のサポートだけでなく、さまざまなデバッグ機能を備えた各種の拡張開発システム (XDS™) JTAG コントローラをサポートしています。この情報の概要については、『[XDS ターゲット接続ガイド](#)』を参照してください。

JTAG、EMU、およびトレース配線の推奨事項については、『[エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル](#)』を参照してください。

8.1.4 未使用のピン

未使用ピンの詳細については、『[ピン接続要件](#)』を参照してください。

8.2 ペリフェラルおよびインターフェイス固有の設計情報

8.2.1 LPDDR4 基板の設計およびレイアウトのガイドライン

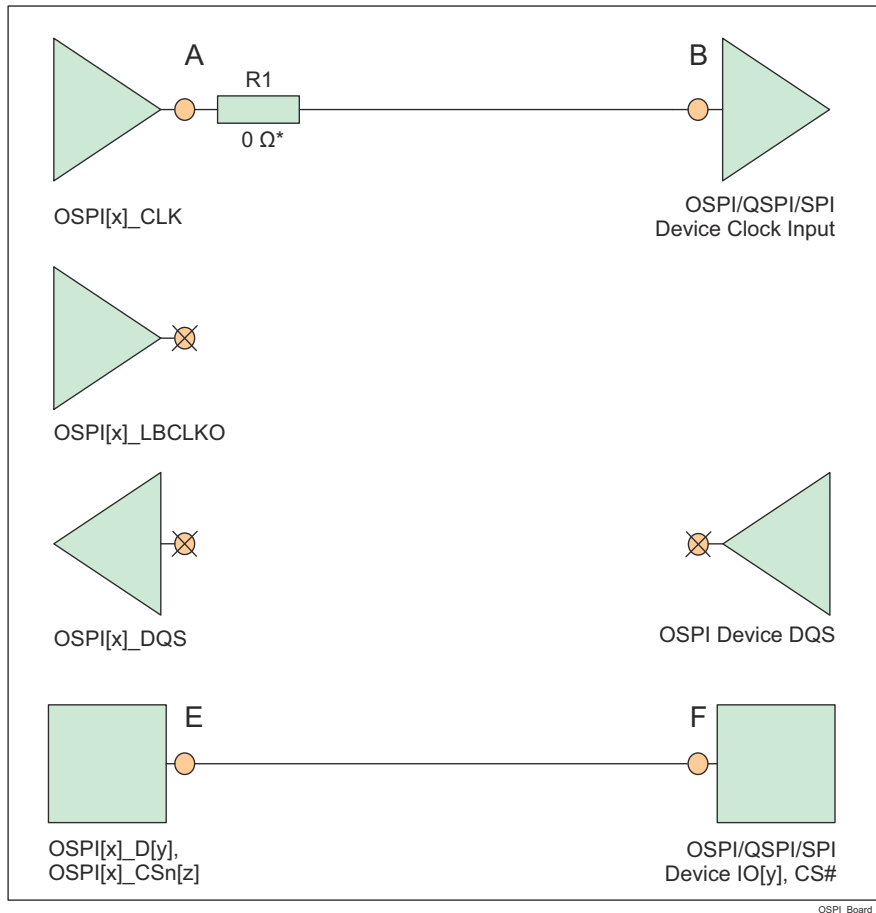
『[Jacinto 7 DDR 基板の設計およびレイアウトのガイドライン](#)』の目標は、すべての設計者に対して LPDDR4 システムの実装を明快にすることです。要件を一連のレイアウトおよび配線ルールに絞り込んで、設計者が、テキサス・インスツルメンツのサポートするトポロジに対応した堅牢な設計を正しく実装できるようにしています。テキサス・インスツルメンツは、LPDDR4 メモリを使用したボード設計において、このドキュメントのガイドラインに従ったものだけをサポートしています。

8.2.2 OSPI/QSPI/SPI 基板の設計およびレイアウトのガイドライン

以下のセクションでは、OSPI、QSPI および SPI デバイスの接続にあたって従うべき PCB の配線ガイドラインについて詳しく説明します。

8.2.2.1 ループバックなし、内部 PHY ループバックおよび内部パッド ループバック

- OSPI[x]_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- OSPI[x]_CLK ピンから接続されている OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延は 450ps 未満 (ストリップラインの場合は約 7cm、マイクロストリップの場合は約 8cm) とする必要があります。
- 各 OSPI[x]_D[y] および OSPI[x]_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくなる必要があります
- 図 8-1 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング：
 - (A から B) \leq 450ps
 - (E から F、または F から E) = ((A から B) \pm 60ps)



* 0Ω 抵抗 (R1) は、OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

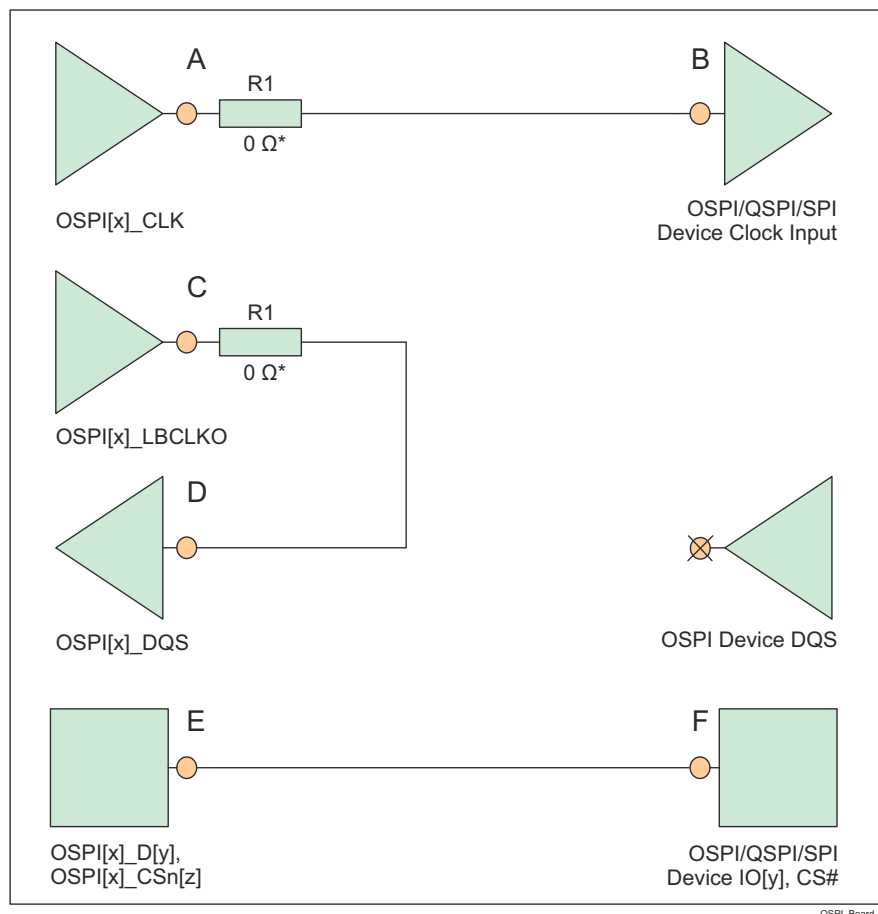
図 8-1. ループバックなし、内部 PHY ループバック、内部パッド ループバックの OSPI 接続回路図

8.2.2.2 外部ボードのループバック

- OSPI[x]_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- OSPI[x]_LBCLKO 出力ピンは、OSPI[x]_DQS 入力ピンにループバックする必要があります。
- OSPI[x]_LBCLKO ピンから OSPI[x]_DQS ピン (C から D) までの信号伝搬遅延は、OSPI[x]_CLK ピンから、接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの伝搬遅延の約 2 倍である必要があります。
- 各 OSPI[x]_D[y] および OSPI[x]_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 図 8-2 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング：
 - (C から D) = $2 \times ((A から B) \pm 30\text{ps})$ 、下の例外の注を参照してください。
 - (E から F、または F から E) = $((A から B) \pm 60\text{ps})$

注

外部ボード ループバック ホールド時間要件 (「OSPIO のタイミング要件 - PHY DDR モード」セクションのパラメータ番号 O16 で規定) は、標準的な OSPI/QSPI/SPI デバイスで提供されるホールド時間よりも長い場合があります。この場合、ホールド時間を増やすため、OSPI[x]_LBCLKO ピンから OSPI[x]_DQS ピン (C から D) までの伝搬遅延を短くすることができます。

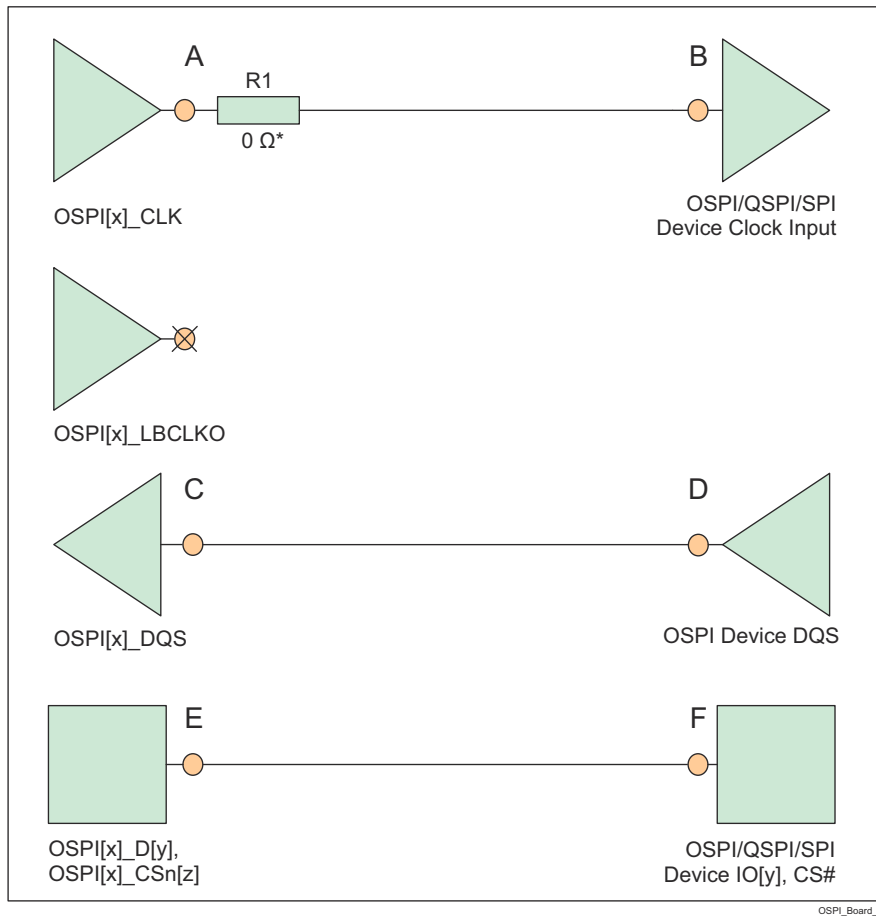


* OSPI[x]_CLK ピンおよび OSPI[x]_LBCLKO ピンのできるだけ近くに配置された 0Ω 抵抗 (R1) は、必要に応じて微調整するためのプレースホルダです。

図 8-2. 外部ボード ループバックの OSPI 接続回路図

8.2.2.3 DQS (オクタル SPI デバイスでのみ使用可能)

- OSPI[x]_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- 接続されている OSPI/QSPI/SPI デバイスの DQS ピンは、OSPI[x]_DQS ピンに接続する必要があります
- 接続された OSPI/QSPI/SPI デバイスの DQS ピンから OSPI[x]_DQS ピン (D から C) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 各 OSPI[x]_D[y] および OSPI[x]_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 図 8-3 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
 - (D から C) = ((A から B) ± 30ps)
 - (E から F、または F から E) = ((A から B) ± 60ps)



* 0Ω 抵抗 (R1) は、OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 8-3. DQS の OSPI 接続回路図

8.2.3 USB VBUS 設計ガイドライン

USB 3.1 仕様では、VBUS 電圧は通常動作で最大 5.5V であり、「パワー デリバリー」追補がサポートされている場合は最大 20V になることが許容されています。一部の車載アプリケーションは、最大電圧を 30V にする必要があります。

このデバイスでは、外付けの分圧抵抗を使用して VBUS 信号電圧を下げる必要があります (図 8-4 を参照)。これにより、実際のデバイスピン (USB0_VBUS) に印加される電圧が制限されます。これらの外部抵抗の許容誤差は 1% 以下、ツェナー ダイオードの 5V でのリーク電流は 100nA 未満の必要があります。

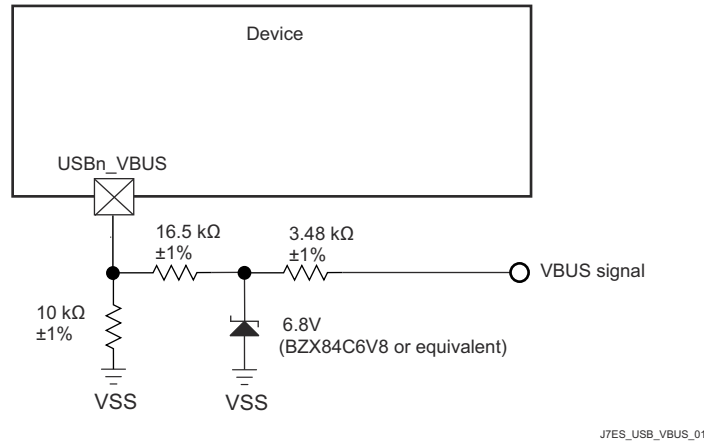


図 8-4. USB VBUS 検出分圧器 / クランプ回路

デバイスの電源がオフのときに VBUS が印加された場合、図 8-4 に示す外部回路によって実際のデバイスピンへの入力電流が制限されるため、USB0_VBUS ピンはフェイルセーフであると考えられます。

8.2.4 システム電源監視設計ガイドライン

VMON_VSYS ピンは、システム電源を監視する手段を提供します。このシステム電源は通常、システム全体に供給される事前に安定化された 1 つの電源であり、外付け分圧抵抗回路を介して VMON_VSYS ピンに接続できます。このシステム電源は、外部分圧器の出力電圧を内部基準電圧と比較することによって監視されます。VMON_VSYS に印加された電圧が内部基準電圧を下回ると、パワー フェイル イベントがトリガされます。実際のシステム電源電圧トリップ ポイントは、外付け抵抗による分圧回路の実装に使用する部品の値を選択するときに、システム設計者が決定します。

分圧抵抗回路を設計する際は、システム電源監視のトリップ ポイントの変動に寄与するさまざまな要因を理解する必要があります。最初に考慮するのは、VMON_VSYS 入力スレッショルドの初期精度です。このスレッショルドの公称値は 0.45V で、変動は ±3% です。分圧抵抗回路の実装には、同程度の熱係数で高精度の 1% 抵抗を推奨します。これにより、抵抗値の誤差に起因する変動を最小限に抑えることができます。VMON_VSYS に関連する入力リーク電流も考慮する必要があります。これは、ピンに流入する電流によって分圧器出力に負荷誤差が生じるためです。VMON_VSYS 入力のリーク電流は、0.45V 印加時に 10nA~2.5µA の範囲となる場合があります。

注

抵抗分圧器は、通常動作条件において、その出力電圧が「推奨動作条件」に定義された最大値を超えないように設計する必要があります。

システム電源が公称 5V で、最大トリガ スレッショルドが 5V - 10%、すなわち 4.5V の場合の例を図 8-5 に示します。

この例では、抵抗値を選択する際に、どの変数が最大トリガ スレッショルドに影響を与えるかを理解する必要があります。システム電源が 10% 低下するまでトリップしない分圧器を設計するには、VMON_VSYS 入力スレッショルドが 0.45V + 3% であるデバイスを検討する必要があります。抵抗の許容誤差と入力リーク電流の影響も考慮する必要がありますが、最大トリガ ポイントに対する寄与は明らかではありません。最大トリガ電圧を生成する部品値を選択するときは、VMON_VSYS ピンの入力リーク電流が 2.5µA であるという条件と、R1 の値が 1% 低く、R2 の値が 1% 高いという条件

を考慮する必要があります。R1 = 4.81kΩ および R2 = 40.2kΩ の抵抗分圧器を実装すると、結果として最大トリガ スレッショルドは 4.517V になります。

上記のように最大トリガ電圧を満たすように部品の値を選択すると、R1 の値が 1% 高く、R2 の値が 1% 低い場合、および入力リーク電流が 10nA またはゼロの場合、システム設計者は、出力電圧が 0.45V - 3% になる印加電圧を計算することにより、最小トリガ電圧を決定できます。上記の抵抗値とゼロの入力リーク電流を組み合わせた結果、最小トリガ スレッショルドは 4.013 V となります。

この例は、4.013V から 4.517V まで変動するシステム電源電圧トリップ ポイントを示しています。この範囲のうち約 250mV は VMON_VSYS の入力スレッショルド精度 ±3% によって発生し、約 150mV は抵抗の誤差 ±1% によって発生し、約 100mV は VMON_VSYS の入力リーク電流が 2.5μA である場合の負荷誤差により発生しています。

この例で選択した抵抗値を使うと、システム電源が 4.5V の場合、約 100μA のバイアス電流が抵抗分圧器を流れます。先に述べた 100mV の負荷誤差は、抵抗分圧器を流れるバイアス電流を約 1mA に増やすことで、約 10mV に低減できます。したがって、抵抗分圧器のバイアス電流と負荷誤差の関係は、部品の値を選択するときにシステム設計者が考慮する必要があります。

VMON_VSYS は、最小のヒステリシスで、過渡に対する高帯域応答を備えているため、システム設計者は分圧器出力にノイズ フィルタを実装することも考慮する必要があります。これは、図 8-5 に示すように、R1 の両端にコンデンサを取り付けることで実現できます。ただし、システム設計者は、システムの電源ノイズと、過渡現象に対して予測される応答に基づいて、このフィルタの応答時間を決定する必要があります。

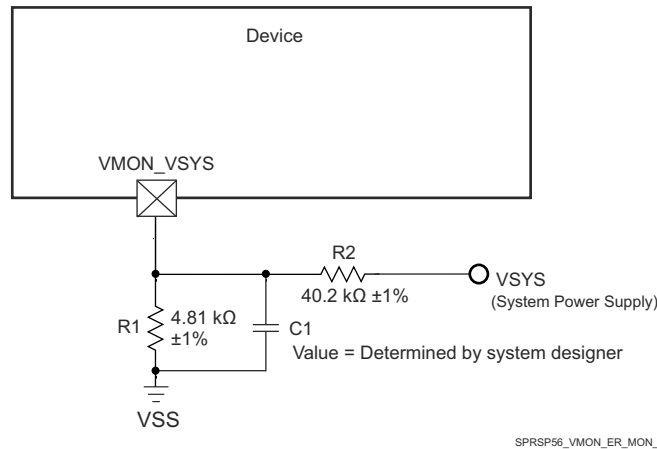


図 8-5. システム電源監視分圧回路

VMON_1P8_SOC ピンは、外部 1.8V 電源を監視する手段を提供します。このピンは、それぞれの電源に直接接続する必要があります。この SoC には、これらの各ピン用にソフトウェア制御の内部分圧抵抗が実装されています。ソフトウェアにより内部分圧抵抗回路をプログラミングすることで、適切な低電圧および過電圧の割り込みを生成できます。

VMON_3P3_SOC ピンは、外部 3.3V 電源を監視する手段を提供します。このピンは、それぞれの電源に直接接続する必要があります。この SoC には、これらの各ピン用にソフトウェア制御の内部分圧抵抗が実装されています。ソフトウェアにより内部分圧抵抗回路をプログラミングすることで、適切な低電圧および過電圧の割り込みを生成できます。

8.2.5 高速差動信号のルーティング ガイド

『高速インターフェイスのレイアウト ガイドライン』には、高速差動信号を正しく配線するためのガイダンスが示されています。これには、PCB スタックアップと材料のガイダンス、配線スキュー、長さ、間隔の制限が含まれます。テキサス・インスツルメンツは、このアプリケーション ノートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

8.3 クロック配線のガイドライン

8.3.1 発振器の配線

プリント基板を設計する際、以下のことに留意してください。

- 水晶振動子回路の部品はすべて、各デバイス ピンのできるだけ近くに配置します。
- 水晶振動子回路のパターンは PCB の外層に配線します。そして、寄生容量を減らし、その他の信号からのクロストークを最小化するため、パターン長を最小限に抑えます。
- すべての水晶振動子回路部品と水晶振動子回路パターンの下になるように、隣接する PCB 層に連続的なグランドプレーンを配置します。
- 水晶振動子回路部品の周囲にグランド ガードを配置し、水晶振動子回路パターンと同じ層に配線された隣接信号から、これらの部品をシールドします。グランド ガードが未終端のスタブを持たないように、複数のビアを挿入して、グランド ガードをグランド プレーンに接続します。
- MCU_OSC0_XI 信号と MCU_OSC0_XO 信号の間にグランド ガードを配置し、MCU_OSC0_XI 信号を MCU_OSC0_XO 信号からシールドします。グランド ガードが未終端のスタブを持たないように、複数のビアを挿入して、グランド ガードをグランドに接続します。
- 水晶振動子回路のすべてのグランド接続とグランド ガード接続は、隣接する層のグランド プレーンに直接接続します (PCB の異なる層に個別に実装されている場合、デバイス VSS グランド プレーンに接続します)。

注

MCU_OSC0_XI 信号と MCU_OSC0_XO 信号の間にグランド ガードを実装することは、2 つの信号間のシヤント容量を最小化するために重要です。これらの 2 つの信号の間にグランド ガードを配置しないで、これらの 2 つの信号を隣接して配線すると、発振器アンプのゲインが実質的に低下し、発振開始能力が低下します。

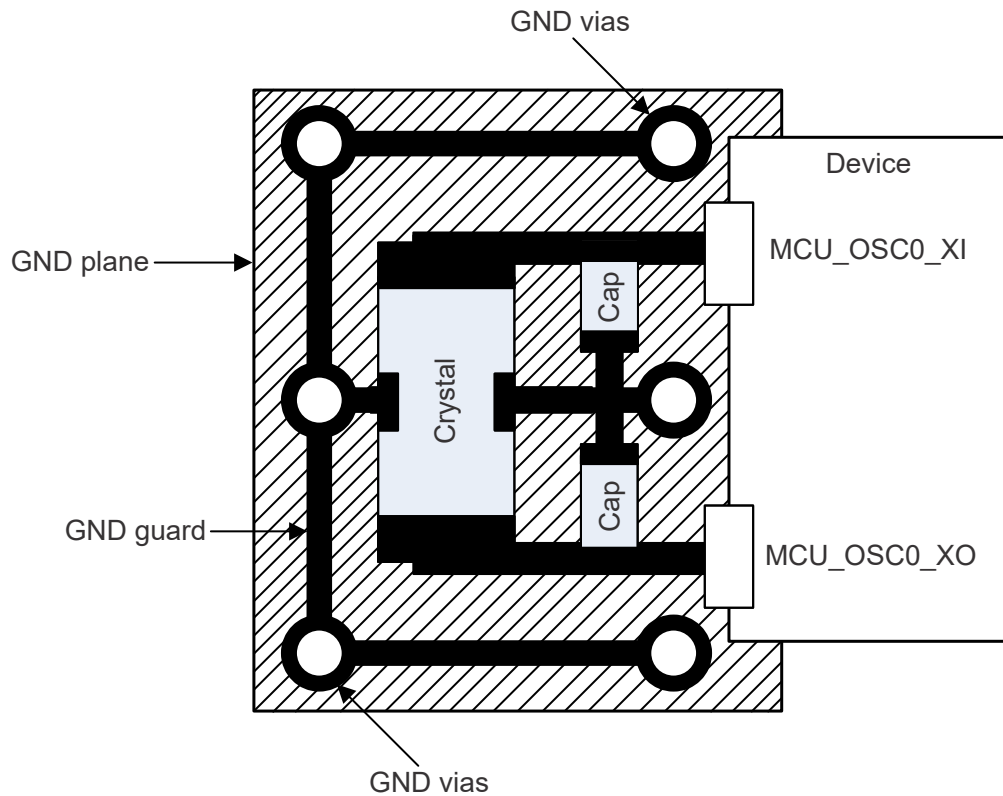


図 8-6. MCU_OSC0 の PCB の要件

9 デバイスおよびドキュメントのサポート

9.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポートツールのすべての型番に接頭辞が割り当てられています。各デバイスには、次の 3 つのいずれかの接頭辞が付けられます: **X**、**P**、空白 (接頭辞なし) (例: TDA4VENx)。テキサス インストルメンツでは、サポート ツールに対して、使用可能な 3 つの接頭辞のうち次の 2 つを推奨しています: **TMDX** および **TMDS**。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリングプロトタイプ (**TMDX**) から、完全認定済みの量産デバイス/ツール (**TMDS**) まであります。

デバイスの開発進展フロー:

- X** 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。
- P** プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。
- 空白 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

- TMDX** 開発サポート製品。テキサス・インストルメンツの社内認定試験はまだ完了していません。
- TMDS** 完全に認定済みの開発サポート製品です。

X および **P** デバイスと **TMDX** 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび **TMDS** 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インストルメンツの標準保証が適用されます。

プロトタイプ デバイス (**X** または **P**) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インストルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

AMW パッケージ タイプの **TDA4VEN/TDA4AEN** デバイスの注文可能な型番については、このドキュメントにある「付録: パッケージ オプション」または TI の Web サイト (ti.com) を参照するか、TI の販売代理店にお問い合わせください。

9.1.1 標準パッケージの記号化

注

一部のデバイスには、パッケージの上面に装飾的な円形のマーキングがあります。これは、量産テストプロセスの結果として添付されます。さらに、一部のデバイスでは、パッケージのサブストレートの製造元によって、パッケージのサブストレートに色のばらつきが見られる場合があります。このばらつきは外見上だけのものであって、信頼性には影響しません。

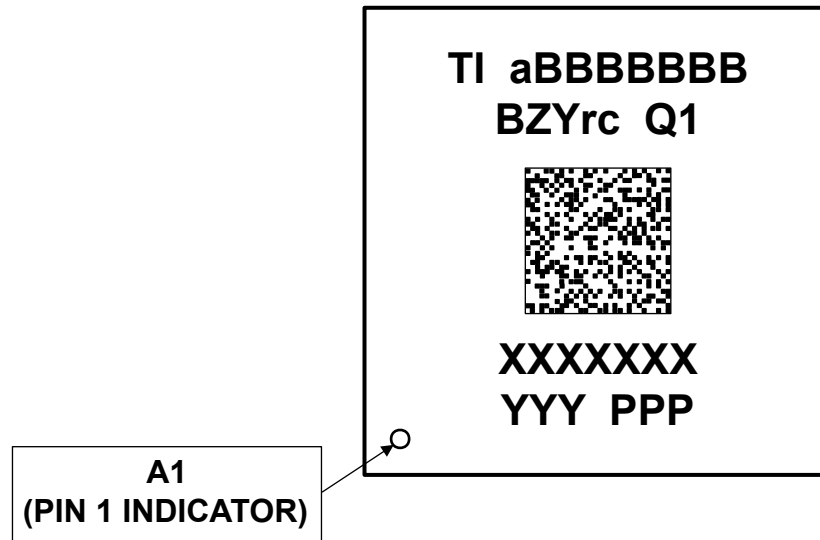


図 9-1. 印刷されたデバイス参照

9.1.2 デバイスの命名規則

表 9-1. 項目名の説明

フィールド パラメータ	フィールドの 説明	値		説明
		マーキング	注文可能製品	
x	デバイスの開発段階 ⁽¹⁾	X		プロトタイプ
		P		量産前(量産テストフロー、信頼性データなし)
		空白 (null)		量産出荷中
BBBBBBBB	基本量産型番	J722S ⁽²⁾		P/N の詳細については、「 デバイスの比較 」 "8=Superset デバイスを参照してください
		TDA4VEN8		
		TDA4AEN8		
Z	デバイス速度グレード	J		「 デバイス速度グレード 」表を参照
		K		
Y	デバイス タイプ	5		高度セキュリティ対応、安全性対応
r	デバイスリビジョン	A		SR 1.0
c	キャリア識別記号 (パッケージには表記されませ ん)	該当なし	空白	トレイ
		該当なし	R	テープ アンドリール
Q1	車載識別記号	空白		車載認定は受けていません。 T _J = -40°C ~ 105°C に対応
		Q1		このドキュメント (データシート) に記載されている例外を除き、 AEC-Q100 認定要件に適合。 T _J = -40°C ~ 125°C に対応
	2D バーコード	条件によって変化		オプションの 2D バーコードは、追加のデバイス情報を提供し ます
		空白		
XXXXXXX	ロットのトレースコード(LTC)			
YYY	量産コード、TI でのみ使用			
PPP	パッケージ指定子	AMW		AMW FCBGA (18mm × 18mm)
O	ピン 1 の指定子			

- (1) 製品開発サイクルの段階を示すために、TI では型番に接頭辞を割り当てます。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプから、完全認定済みの量産デバイスまであります。プロトタイプ デバイスは、次の免責事項付きで出荷されます。「この製品はまだ開発中であり、社内での評価を目的としています」。テキサス・インスツルメンツはこれらのデバイスについて、これに反するような条項が存在していても、明示的、暗黙的、法定にかかわらず、商用性や特定目的への適合性への暗黙的な保証も含め、一切の責任を負いません。
- (2) J722S は、量産開始前のスーパーセット デバイスの基本型番です。ソフトウェアは、目的の量産デバイスに合わせて、使用する機能に制約を加える必要があります。

注

記号または型番の空白は省略されるため、前後の文字は連続して表記されます。

9.2 ツールとソフトウェア

以下の開発ツールは、テキサス・インスツルメンツの組み込みプロセッシング プラットフォームの開発をサポートしています。

開発ツール

Code Composer Studio™ 統合開発環境 Code Composer Studio (CCS) 統合開発環境 (IDE) は、テキサス・インスツルメンツのマイクロコントローラと組み込みプロセッサのポートフォリオをサポートする開発環境です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++ コンパイラ、ソースコードエディタ、プロジェクトビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー インターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア フレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

SysConfig-PinMux ツール SysConfig-PinMux ツールは、テキサス・インスツルメンツの組み込みプロセッサ デバイスのピン多重化設定を構成し、競合を解決し、I/O セルの特性を指定するためのグラフィカル ユーザー インターフェイスを提供するソフトウェア ツールです。このツールを使用すると、入力したシステム要件を満たすために最適なピン マルチプレクサ構成を自動的に計算できます。このツールは C ヘッダ / コード ファイルを出力し、これらのファイルをソフトウェア開発キット (SDK) にインポートしたり、カスタム ハードウェア要件を満たすためにカスタム ソフトウェアを構成したりするために使用できます。クラウド ベースの **SysConfig-PinMux ツール** も利用できます。

プロセッサ プラットフォーム用の開発サポート ツールすべての一覧については、テキサス・インスツルメンツの Web サイト (ti.com) を参照してください。価格と在庫状況については、お近くのフィールド セールス オフィスまたは認可代理店にお問い合わせください。

9.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントは、TDA4VEN/TDA4AEN デバイスについて記載しています。

テクニカル リファレンス マニュアル

『J722S TDA4VEN TDA4AEN AM67 プロセッサ シリコン リビジョン 1.0 テクニカル リファレンス マニュアル』: TDA4VEN/TDA4AEN デバイス ファミリーに含まれる各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

エラッタ

『J722S TDA4VEN TDA4AEN AM67 プロセッサ シリコン リビジョン 1.0 エラッタ』: このデバイスの機能仕様に関する既知の例外が記載されています。

9.4 サポート リソース

TI E2E™ サポート フォーラム は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

9.5 商標

Jacinto™, XDS™, Code Composer Studio™, and TI E2E™ are trademarks of Texas Instruments.
Android™ is a trademark of Google LLC.

Arm®, Cortex®, and TrustZone® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

MIPI® is a registered trademark of Mobil Industry Processor Interface Alliance.

PCI-Express® is a registered trademark of PCI-SIG.

セキュア デジタル® and SD® are registered trademarks of SD Card Association.

Linux® is a registered trademark of Linus Torvalds.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from SEPTEMBER 30, 2024 to MARCH 27, 2026 (from Revision A (September 2024) to Revision B (March 2026))

	Page
• (特長、ディープ ラーニング アクセラレータ): 入れ替えられた C7x DSP の L1 D キャッシュと L1 I キャッシュ メモリ サイズを更新.....	1
• (特長): デコード / エンコードのサポートを最大 500MP/s に更新.....	1
• (デバイスの比較): JTAG ユーザー ID レジスタ ビット フィールド [WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:16] "DEVICE_ID"] を追加しました。GPN ごとに DEVICE_ID ビット フィールド値を関連付けました。さらに、関連する脚注を追加/変更しました.....	8
• (ピン属性): MMC1_* ピンの「タイプ」列の情報を更新.....	14
• (ピン属性): PCIE0_CLKREQn ピンから、サポートされていない GPIO1_72 マルチプレクサ モードを削除.....	14
• (ピン属性): 「4L_PHY」の IO バッファ タイプを「SERDES」に更新.....	14
• (信号の説明 — グローバル): 各信号説明の表のヘッダーで「ピンの種類」を「信号の種類」に変更.....	50
• (GPIO1 信号の説明): サポートされていない GPIO1_72 信号を削除.....	62
• (MMC2 信号の説明): MMC2_SDCSD および MMC2_SDWP 信号の脚注を追加.....	72
• (OLDI0 信号の説明): OLDI ピンの GPIO 機能の脚注を追加.....	72
• (システム信号の説明): OBSCLK0 および OBSCLK1 の信号の説明を更新.....	78
• (MCU システム信号の説明): MCU_OBSCLK0 の信号の説明を更新.....	78
• (UART1 信号の説明): UART1_DCDn 信号の説明を機能に合わせて更新.....	80
• (接続要件): 接続要件表を更新し、信号名と、未接続ボールに対する固有の接続要件を追加.....	82
• (仕様): 記載されている仕様は暫定的であるという注を削除.....	88
• (AMW パッケージの AEC-Q100 認定デバイスの ESD 定格): 表のコーナー ピンを更新.....	90
• (推奨動作条件): VDDA_3P3_USB1 の値を追加.....	91
• (デバイス速度グレード): C7/MMA の J 周波数速度グレードを 912.5MHz から 1000MHz に更新し、ロットトレースコード (LTC) の定義に関する脚注 (3) を追加.....	93
• (デバイスの動作性能ポイント): DDR PLL バイパスに関する表の注を追加.....	93
• (消費電力の概略): 電力推定ツールおよび対応する電力推定ツール ユーザー ガイドへのリンクを含むセクションを追加.....	93
• (I2C オープンドレインおよびフェイルセーフの電気的特性): 入力リーク電流パラメータに表の注を追加.....	94
• (I2C オープンドレインおよびフェイルセーフの電気的特性): 入力リーク電流テスト条件を 2 行に分割.....	94
• (フェイルセーフリセットの電気的特性) 入力リーク電流パラメータに表の注を追加.....	95

• (フェイルセーフリセットの電気的特性) 入力リーク電流テスト条件を 2 行に分割.....	95
• (高周波発振器の電気的特性): 入力リーク電流パラメータに表の注を追加.....	95
• (高周波発振器の電気的特性): 入力リーク電流テスト条件を 2 行に分割.....	95
• (低周波数発振器の電気的特性): 入力リーク電流パラメータに表の注を追加.....	95
• (低周波数発振器の電気的特性): 入力リーク電流テスト条件を 2 行に分割.....	95
• (eMMCPHY の電気的特性): eMMCPHY の電気的特性セクションを追加.....	96
• (SDIO の電気的特性) 入力リーク電流パラメータに表の注を追加.....	97
• (SDIO の電気的特性) 入力リーク電流テスト条件を 2 行に分割.....	97
• (LVCMOS の電気的特性) 入力リーク電流パラメータに表の注を追加.....	98
• (LVCMOS の電気的特性) 入力リーク電流テスト条件を 2 行に分割.....	98
• (OLDI LVDS (OLDI) の電気的特性): 「OLDI LVDS (OLDI) の電気的特性」セクションを追加.....	99
• (DSI (D-PHY) の電気的特性): DSI (D-PHY) の電気的特性セクションを追加.....	99
• (SerDes PHY の電気的特性): 関連する表を含む新しいセクションを追加.....	99
• (OTP eFuse プログラミングの推奨動作条件): VDD_CORE パラメータの説明から OPP NOM (BOOT) への参照を削除.....	101
• (ハードウェア保証への影響): 段落の「その結果、TI には.....」の文を更新/変更.....	101
• (AMW パッケージの熱抵抗特性): テーブル名から「TBD」を削除.....	102
• (温度センサの特性): ダイ温度センサの特性に関する電圧および温度モジュール (VTM) を規定する荒らしいセクションを追加.....	103
• (パワーアップシーケンス - 電源 / 信号の割り当て) 不足していた電源レール VDDA_PLL3、VDDA_PLL4、VDDA_TEMP2 を追加.....	107
• (パワーダウンシーケンス - 電源 / 信号の割り当て): 不足していた電源レール VDDA_PLL3、VDDA_PLL4、VDDA_TEMP2 を追加.....	110
• (入力クロック / 発振器): VOUT0_EXTCLKIN を追加.....	121
• (MCU_OSC0 のスイッチング特性 - 水晶振動子モード [表]): XI および XO 容量の最大値を更新 / 変更.....	122
• (出力クロック): OBSCLK 信号の説明を更新.....	130
• (PLL): TRM で使用される番号参照が含まれるように PLL 名を更新。MAIN_PLL5 (VIDEO PLL) と MAIN_PLL7 (C7x PLL) を追加.....	130
• (CPTS): タイミング表の下にあるテクニカル リファレンス マニュアル セクションの参照名を更新.....	140
• (CSI-2): CSI-2 のデータレートを 1.5Gbps から 2.5Gbps に向上.....	141
• (CSI-2 TX): 「TBD」を CSI-2 TX コンテンツに更新 / 変更.....	141
• (DSI): DSI セクションを追加.....	143
• (ECAP – タイミング要件およびスイッチング特性): 表の注 1 のクロックソースを更新.....	146
• (EPWM – タイミング要件およびスイッチング特性): 表の注 1 のクロックソースを更新.....	149
• (EQEP – タイミング要件): 表の注 1 のクロックソースを更新.....	151
• (GPMC および NOR フラッシュのタイミング要件 – 同期モード): GPMC_FCLK=100MHz の列に対応するタイミング値および、GPMC_FCLK=133MHz における not_div_by_1_mode の関連タイミング値を削除しました。また、複数のパラメータ記述を簡略化しました。さらに、GPMC_FCLK の選択に関するレジスタ設定を説明した注記と、div_by_1_mode のレジスタ設定を説明した注記の 2 つの表注も削除しました.....	153
• (GPMC および NOR フラッシュのスイッチング特性 - 同期モード): GPMC_FCLK=100MHz の列に対応するタイミング値および、GPMC_FCLK=133MHz における not_div_by_1_mode の関連タイミング値を削除しました。また、複数のパラメータ記述を簡略化しました。パラメータ F3 および F11 内のタイミング変数を「D」に変更しました。F15 および F17 パラメータから「J」タイミング変数を削除しました。テーブル注記を更新しました.....	153
• (GPMC および NOR フラッシュのタイミング要件 – 非同期モード): div_by_1_mode のレジスタ構成を説明していた MODE 列と表の注を削除。パラメータ FA21 の正しい表の注を追加.....	162
• (GPMC および NOR フラッシュのスイッチング特性 – 非同期モード): MODE の列と冗長行を削除。div_by_1_mode のレジスタ構成について説明した表の注も削除.....	162
• (GPMC および NAND フラッシュのタイミング要件 – 非同期モード): div_by_1_mode のレジスタ構成を説明していた MODE 列と表の注を削除.....	170

- (GPMC および NAND フラッシュのスイッチング特性 – 非同期モード): div_by_1_mode のレジスタ構成を説明していた MODE 列と表の注を削除。タイミング変数 B、C、D、E、F、G、H、I、K、L、M に表の注と関連する参照リンクを追加..... 170
- (I2C): サポートされている速度と例外の説明を変更し、I2C ポートインスタンスではなく IO バッファタイプに基づいて編成されています..... 173
- (MCAN): タイミング表の下にある TRM セクションの参照名を更新。..... 175
- (MCASP): 有効なピンの組み合わせに関連するタイミング制限について説明する IOSET の注を変更..... 176
- (MCSPi): 有効なピンの組み合わせに関連するタイミング制限について説明する、IOSET の注を変更..... 180
- (MCSPi のスイッチング特性 - コントローラ モード): 表の注 2、3、4、5 で、MSPI のすべてのインスタンスを MCSPi に変更..... 181
- (すべてのタイミング モードに対する MMC0 DLL 遅延マッピング): レジスタ名を変更。レガシー SDR および高速 SDR モードの OTAPDLYEN、OTAPDLYSEL、SELDLYTXCLK の値を変更 HS400 モードを VDD_CORE 電圧に基づいて 2 つの動作条件に分割します。HS400 モードの STRBSEL および OTAPDLYSEL 遅延値を変更..... 188
- (HS200 モード): MMC0 タイミング要件を追加..... 195
- (MMC0 のタイミング要件 – HS400 モード): パラメータ HS2003 および HS2004 に関連する最大値を削除し、これらのパラメータが適用できない理由を説明する注を追加..... 196
- (MMC0 のスイッチング特性 – HS400 モード): HS4006、HS4007、HS4008、HS4009、HS40010、HS40011 のパラメータ値を変更..... 196
- (すべてのタイミング モードに対する MMC1/MMC2 DLL 遅延マッピング): レジスタ名を変更し、デフォルトの速度および高速モードで OTAPDLYENA および OTAPDLYSEL の値を変更..... 203
- (すべてのタイミング モードに対する MMC1/MMC2 DLL 遅延マッピング): このレジスタ ビット フィールドはいかなる機能ももたらさないため、CLKBUFSEL 列を削除..... 203
- (OLDI): 「OLDI」セクションを追加し、その中に「OLDI0 のスイッチング特性」のサブセクションを追加..... 212
- (PHY データトレーニング用の OSPI0 DLL 遅延マッピング): 「PHY_MASTER_PHASE_DETECT_SELECTOR_FLD」レジスタ ビット フィールドに遅延値を追加..... 215
- (OSPI のスイッチング特性 – PHY データトレーニング): タイミング パラメータ O5 および O11 に関連する式を訂正。..... 215
- (OSPI0 の DLL 遅延マッピング – PHY SDR タイミング モード): 「PHY_MASTER_PHASE_DETECT_SELECTOR_FLD」レジスタ ビット フィールドに遅延値を追加..... 219
- (OSPI0 のスイッチング特性 – PHY SDR モード): タイミング パラメータ O10 および O11 に関連する式を訂正。.. 219
- (OSPI0 の DLL 遅延マッピング – PHY DDR タイミング モード): 「PHY_MASTER_PHASE_DETECT_SELECTOR_FLD」レジスタ ビット フィールドに遅延値を追加。PHY_CONFIG_TX_DLL_DELAY_FLD および PHY_CONFIG_RX_DLL_DELAY_FLD の遅延値を更新..... 221
- (OSPI0 のスイッチング特性 – PHY DDR モード): タイミング パラメータ O4 および O5 に関連する式を訂正。..... 221
- (アプリケーション、実装、およびレイアウト): 廃止された「熱ソリューション ガイダンス」セクションを削除..... 231
- (電源の設計): 「電源の設計」セクションを追加..... 231
- (電源供給回路の実装ガイド): セクションを削除..... 231
- (デバイスの命名規則): デバイス名から「TBD」を削除..... 239

11 メカニカル、パッケージ、および注文情報

11.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TDA4AEN8J5AAMWRQ1	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	TDA4AEN 8J5A Q1
TDA4AEN8J5AAMWRQ1.B	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	TDA4AEN 8J5A Q1
TDA4AEN8K5AAMWRQ1	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	TDA4AEN 8K5A Q1
TDA4AEN8K5AAMWRQ1.B	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	TDA4AEN 8K5A Q1
TDA4VEN8J5AAMWRQ1	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	TDA4VEN 8J5A Q1
TDA4VEN8J5AAMWRQ1.B	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	TDA4VEN 8J5A Q1
TDA4VEN8K5AAMWRQ1	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	TDA4VEN 8K5A Q1
TDA4VEN8K5AAMWRQ1.B	Active	Production	FCBGA (AMW) 594	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	TDA4VEN 8K5A Q1

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

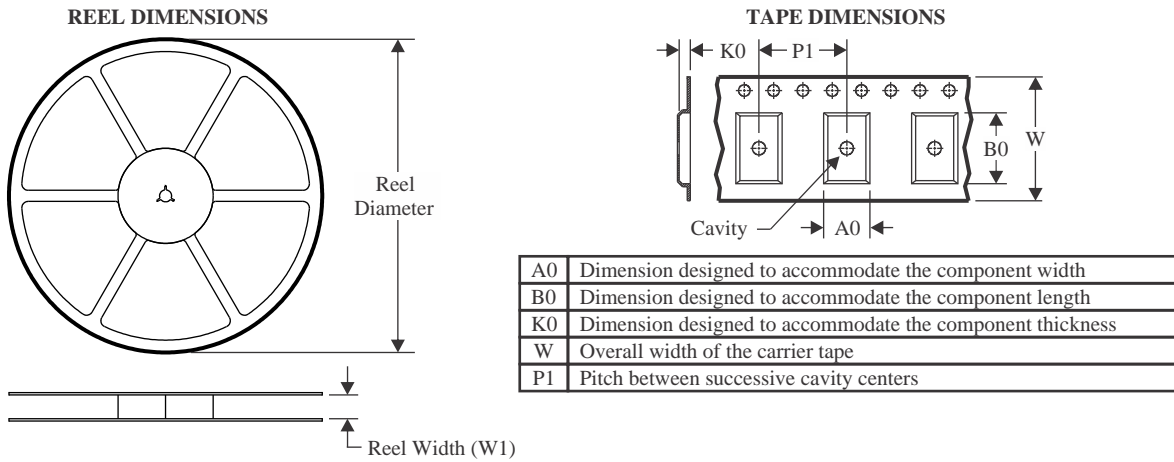
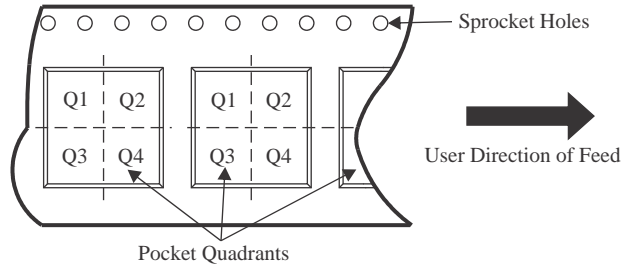
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

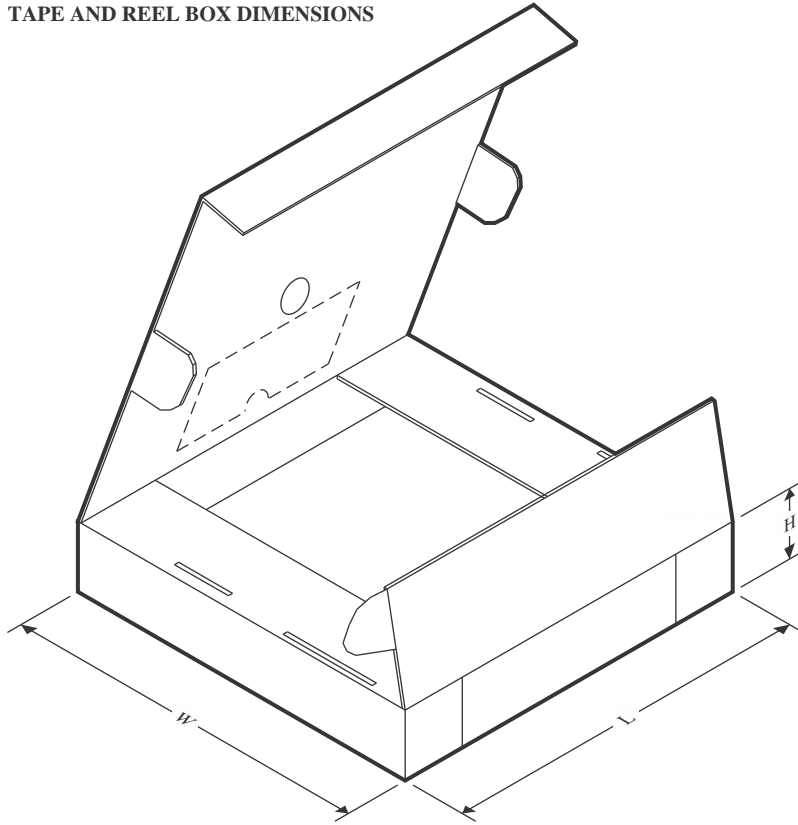
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TDA4AEN8J5AAMWRQ1	FCBGA	AMW	594	500	330.0	32.4	18.35	18.35	3.3	24.0	32.0	Q1
TDA4AEN8K5AAMWRQ1	FCBGA	AMW	594	500	330.0	32.4	18.35	18.35	3.3	24.0	32.0	Q1
TDA4VEN8J5AAMWRQ1	FCBGA	AMW	594	500	330.0	32.4	18.35	18.35	3.3	24.0	32.0	Q1
TDA4VEN8K5AAMWRQ1	FCBGA	AMW	594	500	330.0	32.4	18.35	18.35	3.3	24.0	32.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

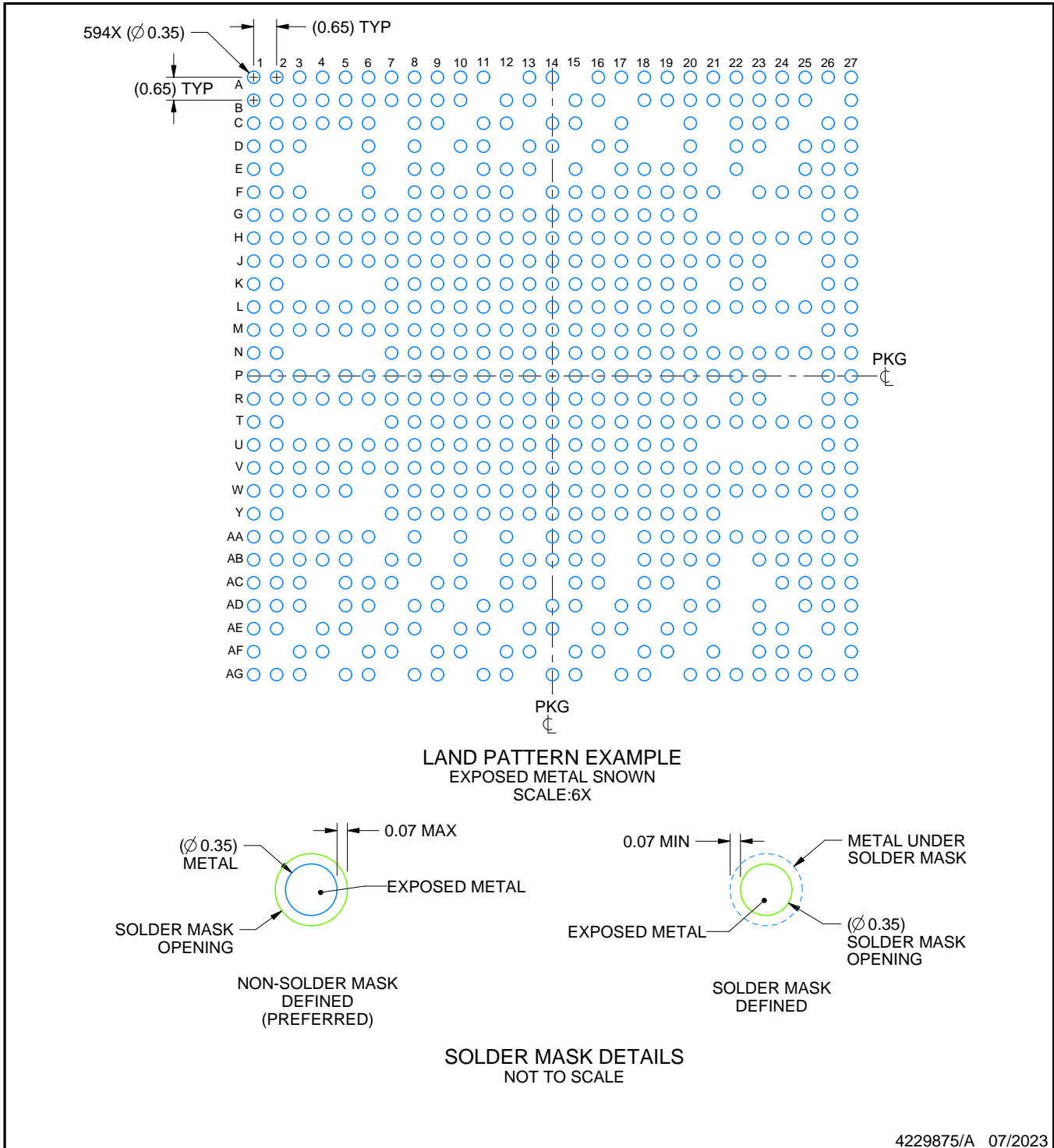
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TDA4AEN8J5AAMWRQ1	FCBGA	AMW	594	500	336.6	336.6	41.3
TDA4AEN8K5AAMWRQ1	FCBGA	AMW	594	500	336.6	336.6	41.3
TDA4VEN8J5AAMWRQ1	FCBGA	AMW	594	500	336.6	336.6	41.3
TDA4VEN8K5AAMWRQ1	FCBGA	AMW	594	500	336.6	336.6	41.3

EXAMPLE BOARD LAYOUT

AMW0594A

FCBGA - 2.473 mm max height

BALL GRID ARRAY



4229875/A 07/2023

NOTES: (continued)

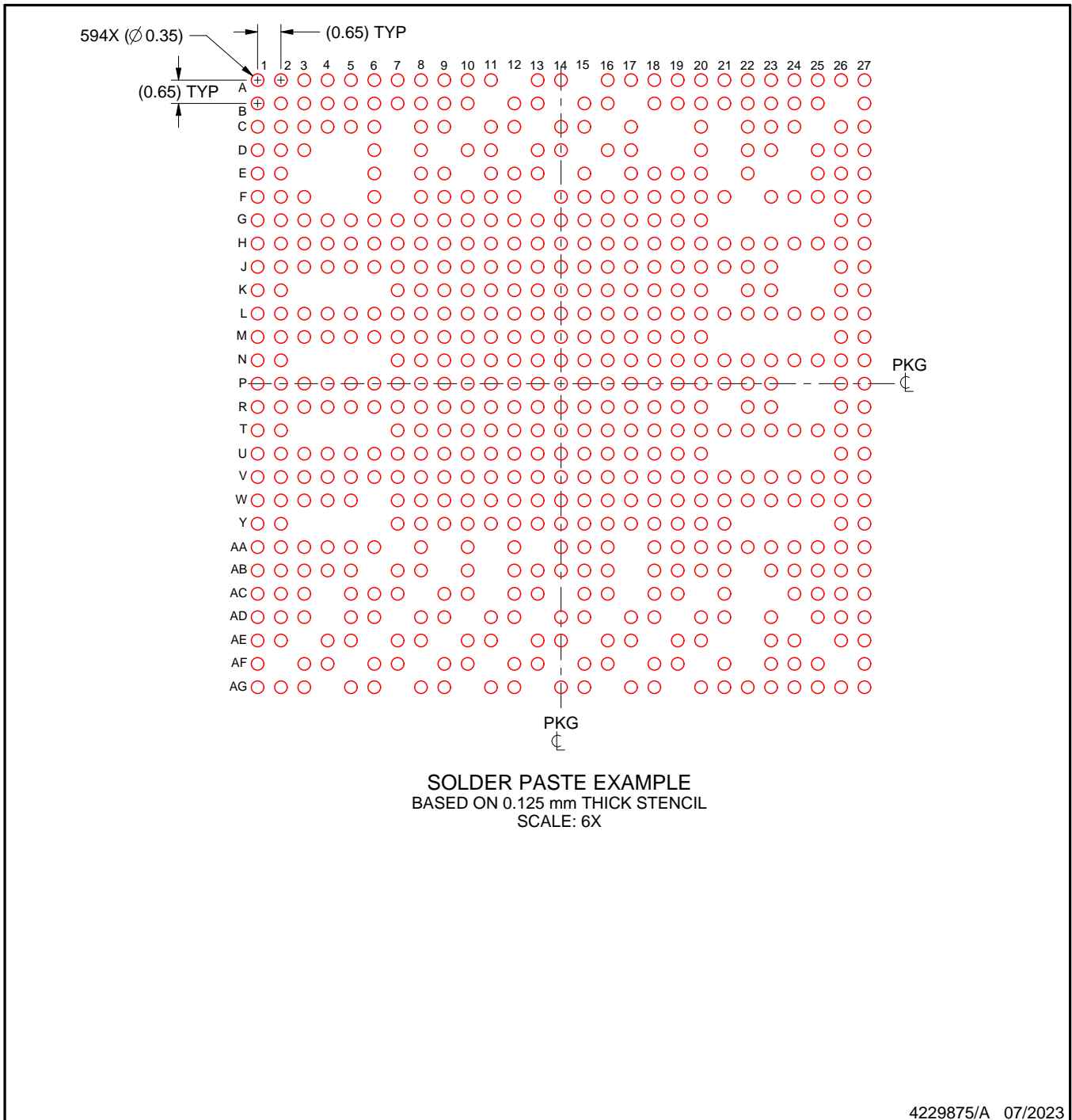
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

AMW0594A

FCBGA - 2.473 mm max height

BALL GRID ARRAY



NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月