

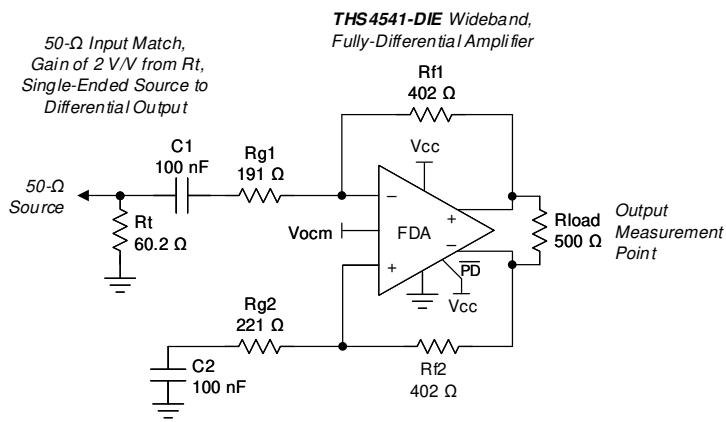
THS4541-DIE 負レール入力、レール・ツー・レール出力、高精度、850MHz 完全差動アンプ

1 特長

- 帯域幅: 500MHz ($G = 2V/V$)
- ゲイン帯域幅積: 850MHz
- スルーレート: 1500V/ μ s
- HD_2 : -95dBc (10MHz, 2V_{PP}, $R_L = 500\Omega$)
- HD_3 : -90dBc (10MHz, 2V_{PP}, $R_L = 500\Omega$)
- 入力電圧ノイズ: $2.2nV/\sqrt{Hz}$ ($f > 100kHz$)
- 小さいオフセット・ドリフト: $\pm 0.5\mu V^{\circ}C$ (標準値)
- 負のレール入力 (NRI)
- レール・ツー・レール出力 (RRO)
- 電源:
 - 単電源電圧範囲: 2.7V ~ 5.4V
 - 両電源電圧範囲: $\pm 1.35V \sim \pm 2.7V$
 - 静止電流: 10.1mA (5V 電源)
- パワーダウン機能: 2 μ A (標準値)

2 アプリケーション

- 低消費電力、高性能の ADC ドライバ:
 - SAR, $\Delta\Sigma$, パイプライン
- 低消費電力、高性能 (DC または AC 結合):
 - シングルエンド入力 / 差動出力アンプ
 - 差動 / 差動アンプ
- 差動アクティブ・フィルタ
- DAC 出力の差動トランシスインピーダンス
- **ADC3xxx** 低消費電力、高性能 ADC ファミリとの DC または AC 結合インターフェイス



概略回路図

3 概要

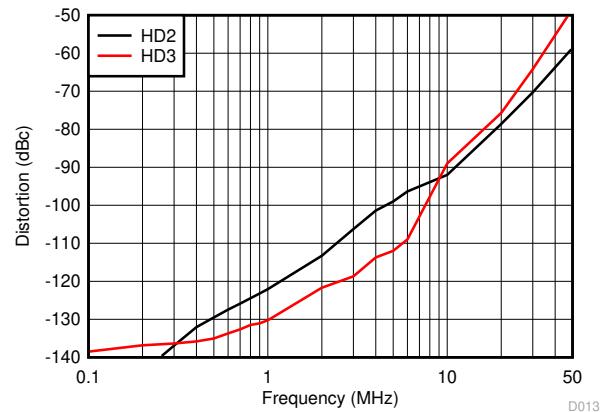
THS4541-DIE は、負のレールおよびレール・ツー・レール出力未満の入力同相範囲を備えた、低消費電力、電圧フィードバック、全差動アンプ (FDA) です。これは、マルチチップ・モジュール (MCM)、システム・イン・パッケージ (SiP)、チップ・オン・ボード (COB)、ハイブリッド、および極小サイズが必要とされるシステムで使用可能なベア・ダイ製品です。THS4541-DIE は、高性能な A/D コンバータ (ADC) または D/C コンバータ (DAC) のインターフェイス設計において高密度が重要となる低消費電力のデータ・アクイジション・システム向けに設計されています。

THS4541-DIE の特長は、DC 結合、グランド中心、ソース信号のインターフェイスに必要とされる負のレール入力です。このレール・ツー・レール出力を備えた負のレール入力を使うことで、シングルエンド、グランド基準のバイポーラ信号源とさまざまな逐次比較レジスタ (SAR)、デルタ・シグマ ($\Delta\Sigma$)、またはパイプライン ADC との間を 2.7V ~ 5.4V の単一電源を使用して簡単に接続できます。

デバイス情報⁽¹⁾

部品番号	パッケージ	ダイサイズ
THS4541-DIE	テープ・アンド・リール形式のベア・ダイ	1198 μ m × 1006 μ m

(1) 利用可能なパッケージについては、このデータシートの末尾にあるパッケージ・オプションの付録を参照してください。



2.2V 出力の差動ゲインに対するシングル



英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、必ず最新版の英語版をご参照ください。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照ください。

目次

1 特長.....	1	8.4 デバイスの機能モード.....	15
2 アプリケーション.....	1	9 アプリケーションと実装.....	16
3 概要.....	1	9.1 アプリケーション情報.....	16
4 改訂履歴.....	2	9.2 代表的なアプリケーション.....	16
5 ベア・ダイの情報.....	3	10 電源に関する推奨事項.....	18
6 ピン構成および機能.....	4	11 レイアウト.....	18
7 仕様.....	5	11.1 レイアウトのガイドライン.....	18
7.1 絶対最大定格.....	5	12 デバイスおよびドキュメントのサポート.....	19
7.2 推奨動作条件.....	5	12.1 デバイスのサポート.....	19
7.3 電気的特性: $(Vs+) - Vs- = 5V$	5	12.2 ドキュメントのサポート.....	19
7.4 代表的特性 (5V 単一電源).....	8	12.3 Receiving Notification of Documentation Updates.....	19
7.5 代表的特性: 電源電圧範囲:3V~5V.....	10	12.4 サポート・リソース.....	20
8 詳細説明.....	13	12.5 商標.....	20
8.1 概要.....	13	12.6 Electrostatic Discharge Caution.....	20
8.2 機能ブロック図.....	14	12.7 Glossary.....	20
8.3 機能説明.....	14	13 メカニカル、パッケージ、および注文情報.....	20

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (November 2021) to Revision A (March 2022)	Page
• ダイサイズの単位を mm から μm に更新.....	1

5 ベア・ダイの情報

ダイの厚さ	裏面加工	裏面電位	接着パッド・メタライゼーション	接着パッドの寸法 (X x Y)
15 ミル (381μm)	シリコン (バックグラインドあり)	裏面ウェハーは、アクティブ回路から電気的に絶縁されています	AlCu	85.0μm x 85.0μm

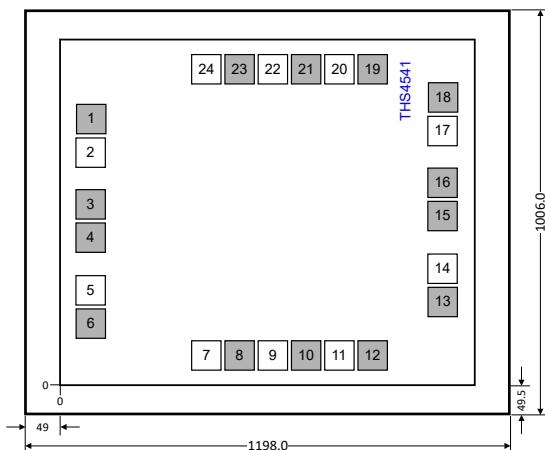


図 5-1. THS4541-DIE の 24 パッド・ダイの図

表 5-1. 接着パッドの座標 (単位 μ)

パッド番号	パッド名	X- 最小	Y- 最小	X- 最大	Y- 最大
1	DNC ⁽¹⁾	4.50	686.50	89.50	771.50
2	IN+	4.50	590.50	89.50	675.50
3	DNC ⁽¹⁾	4.50	458.50	89.50	543.50
4	DNC ⁽¹⁾	4.50	363.50	89.50	448.50
5	IN-	4.50	231.50	89.50	316.50
6	DNC ⁽¹⁾	4.50	135.50	89.50	220.50
7	VOCM	283.85	4.50	368.85	89.50
8	DNC ⁽¹⁾	378.85	4.50	463.85	89.50
9	VS+	473.85	4.50	558.85	89.50
10	DNC ⁽¹⁾	568.85	4.50	653.85	89.50
11	VS+	663.85	4.50	748.85	89.50
12	DNC ⁽¹⁾	758.85	4.50	843.85	89.50
13	DNC ⁽¹⁾	1010.50	92.65	1095.50	177.65
14	OUT+	1010.50	188.65	1095.50	273.65
15	DNC ⁽¹⁾	1010.50	363.50	1095.50	448.50
16	DNC ⁽¹⁾	1010.50	458.50	1095.50	543.50
17	OUT-	1010.50	633.35	1095.50	718.35
18	DNC ⁽¹⁾	1010.50	729.35	1095.50	814.35
19	DNC ⁽¹⁾	758.85	817.50	843.85	902.50
20	VS-	663.85	817.50	748.85	902.50
21	DNC ⁽¹⁾	568.85	817.50	653.85	902.50
22	VS-	473.85	817.50	558.85	902.50
23	DNC ⁽¹⁾	378.85	817.50	463.85	902.50
24	PD	283.85	817.50	368.85	902.50

(1) DNC パッドはパッシベーション膜で覆われているため、使用できません。

6 ピン構成および機能

表 6-1. 端子機能

端子		I/O	説明
名前	パッド番号		
IN+	2	I	非反転(正)アンプ入力
IN-	5	I	反転(負)アンプ入力
OUT+	14	O	非反転(正)アンプ出力
OUT-	17	O	反転(負)アンプ出力
PD	24	I	パワーダウン。 \overline{PD} = 論理 Low = 電源オフ・モード、 \overline{PD} = 論理 High = 通常動作。
Vcom	7	I	同相モード電圧入力
Vs+	9	I	正電源入力
	11		
Vs-	20	I	負電源入力
	22		

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小	最大	単位
電圧	電源電圧、(V_{S+}) – V_{S-}		5.5	V
	入力 / 出力電圧範囲	(V_{S-}) – 0.5	(V_{S+}) + 0.5	
	差動入力電圧		±1	
電流	連続入力電流		±20	mA
	連続出力電流		±80	
	連続消費電力			
温度	最大接合部		150	°C
	動作時自由気流	-40	125	
	保存、 T_{STG}	-65	150	

- (1) 絶対最大定格を超えるストレスが加わった場合、デバイスに永続的な損傷が発生するおそれがあります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

7.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小	公称	最大	単位
V_{S+}	単一電源電圧	2.7	5	5.4	V
T_J	ジヤンクション温度	-40	25	125	°C

7.3 電気的特性 : (V_{S+}) – V_{S-} = 5V

$T_A \approx 25^\circ\text{C}$ 、 V_{OCM} = オープン (デフォルトは中間電位)、 $V_{OUT} = 2\text{V}$ 、 V_{PP} 、 $R_f = 402\Omega$ 、 $R_{LOAD} = 499\Omega$ 、 50Ω 入力マッチング、 $G = 2\text{V/V}$ 、シングルエンド入力、差動出力、および $\overline{PD} = +V_S$ (特段の記載がない限り)

パラメータ	テスト条件	最小	標準	最大	単位
AC 特性					
小信号帯域幅	$V_{OUT} = 100\text{mV}_{PP}$ 、 $G = 1$		620		MHz
	$V_{OUT} = 100\text{mV}_{PP}$ 、 $G = 2$		500		MHz
	$V_{OUT} = 100\text{mV}_{PP}$ 、 $G = 5$		210		MHz
	$V_{OUT} = 100\text{mV}_{PP}$ 、 $G = 10$		125		MHz
ゲイン帯域幅積	$V_{OUT} = 100\text{mV}_{PP}$ 、 $G = 20$		850		MHz
大信号帯域幅	$V_{OUT} = 2\text{V}_{PP}$ 、 $G = 2$		340		MHz
0.1dB 平坦度の帯域幅	$V_{OUT} = 2\text{V}_{PP}$ 、 $G = 2$		100		MHz
スルーレート ⁽¹⁾	$V_{OUT} = 2\text{V}_{PP}$ 、FPBW		1500		V/ μ s
立ち上がり / 立ち下がり時間	$V_{OUT} = 2\text{V}$ ステップ、 $G = 2$ 入力 $\leq 0.3\text{ns}$ t_r		1.4		ns
セッティング・タイム	$\sim 1\%$ 、 $V_{OUT} = 2\text{V}$ ステップ、 $t_r = 2\text{ns}$ 、 $G = 2$		4		ns
	$\sim 0.1\%$ 、 $V_{OUT} = 2\text{V}$ ステップ、 $t_r = 2\text{ns}$ 、 $G = 2$		8		ns
オーバーシュートとアンダーシュート	$V_{OUT} = 2\text{V}$ ステップ $G = 2$ 、入力 $\leq 0.3\text{ns}$ t_r		10%		
100kHz の高調波歪み	$V_{OUT} = 2\text{V}_{PP}$ 、 $G = 2$ 、HD2		-140		dBc
	$V_{OUT} = 2\text{V}_{PP}$ 、 $G = 2$ 、HD3		-140		dBc

7.3 電気的特性 : (V_{S+}) – V_{S-} = 5V (continued)

$T_A \approx 25^\circ\text{C}$ 、 $V_{OCM} = \text{オープン}$ (デフォルトは中間電位)、 $V_{OUT} = 2\text{V}$ 、 V_{PP} 、 $R_f = 402\Omega$ 、 $R_{LOAD} = 499\Omega$ 、 50Ω 入力マッチング、 $G = 2\text{V/V}$ 、シングルエンド入力、差動出力、および $\overline{PD} = +V_S$ (特段の記載がない限り)

パラメータ		テスト条件	最小	標準	最大	単位
10MHz の高調波歪み	Vout = 2V _{PP} 、G = 2, HD2			-95		dBc
	Vout = 2V _{PP} 、G = 2, HD3			-90		dBc
2 次相互変調歪	f = 10MHz、100kHz トーン間隔、Vout エンベロープ = 2V _{PP} (トーンあたり 1V _{PP})			-90		dBc
				-85		dBc
入力電圧ノイズ	f > 100kHz			2.2		nV/ $\sqrt{\text{Hz}}$
入力電流ノイズ	f > 1MHz			1.9		pA/ $\sqrt{\text{Hz}}$
オーバードライブの復帰時間	2 倍の出力オーバードライブ、どちらの極性にも対応			20		ns
閉ループ出力インピーダンス	f = 10MHz (差動)			0.1		Ω
DC 特性						
A _{OL}	開ループ電圧ゲイン		100	119		dB
	入力換算オフセット電圧		-900	± 100	900	μV
	入力オフセット電圧ドリフト ⁽²⁾	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		± 0.5		$\mu\text{V}/^\circ\text{C}$
	入力バイアス電流 (ノードから外方向を正とする)			10	15	μA
	入力バイアス電流ドリフト ⁽²⁾	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		6		$\text{nA}/^\circ\text{C}$
	入力オフセット電流		-650	± 150	650	nA
	入力オフセット電流ドリフト ⁽²⁾	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		± 0.3		$\text{nA}/^\circ\text{C}$
入力						
	コモン・モード入力 Low	中間電位からの同相信号除去比の劣化は 3dB 未満です	(V_{S-}) – 0.2	(V_{S-}) – 0.1		V
	コモン・モード入力 High		(V_{S+}) – 1.3	(V_{S+}) – 1.2		V
	同相信号除去比		85	100		dB
	入力インピーダンス差動モード	((V_{S+}) – V_{S-}) / 2 の入力ピン		110 0.85		k Ω pF
出力						
	出力電圧 Low		(V_{S-}) + 0.2	(V_{S-}) + 0.25		V
	出力電圧 High		(V_{S+}) – 0.25	(V_{S+}) – 0.2		V
	出力電流駆動		± 75	± 100		mA
電源						
	仕様動作電圧		2.7	5	5.4	V
	静止時動作電流	$V_{S+} = 5\text{V}$	9.7	10.1	10.5	mA
$\pm PSRR$	電源電圧変動除去比	どちらかの電源ピンから差動 Vout まで	85	100		dB
パワーダウン						
	電圧スレッショルド有効化		(V_{S-}) + 1.7			V
	電圧スレッショルド無効化			(V_{S-}) + 0.7		V
	ディスエーブルピンのバイアス電流	$\overline{PD} = V_{S-} \rightarrow V_{S+}$		20	50	nA
	パワーダウン静止時電流	PD = (V_{S-}) + 0.7V		6	30	μA
		$\overline{PD} = V_{S-}$		2	8	μA
	ターンオン時間の遅延	$\overline{PD} = \text{Low} \text{ から } V_{out} = \text{最終値の } 90\% \text{ になるまでの時間}$		100		ns
	ターンオフ時間の遅延			60		ns
出力コモン・モード電圧制御⁽³⁾						
	小信号帯域幅	$V_{OCM} = 100\text{mV}_{PP}$		150		MHz

7.3 電気的特性 : (V_{S+}) – V_{S-} = 5V (continued)

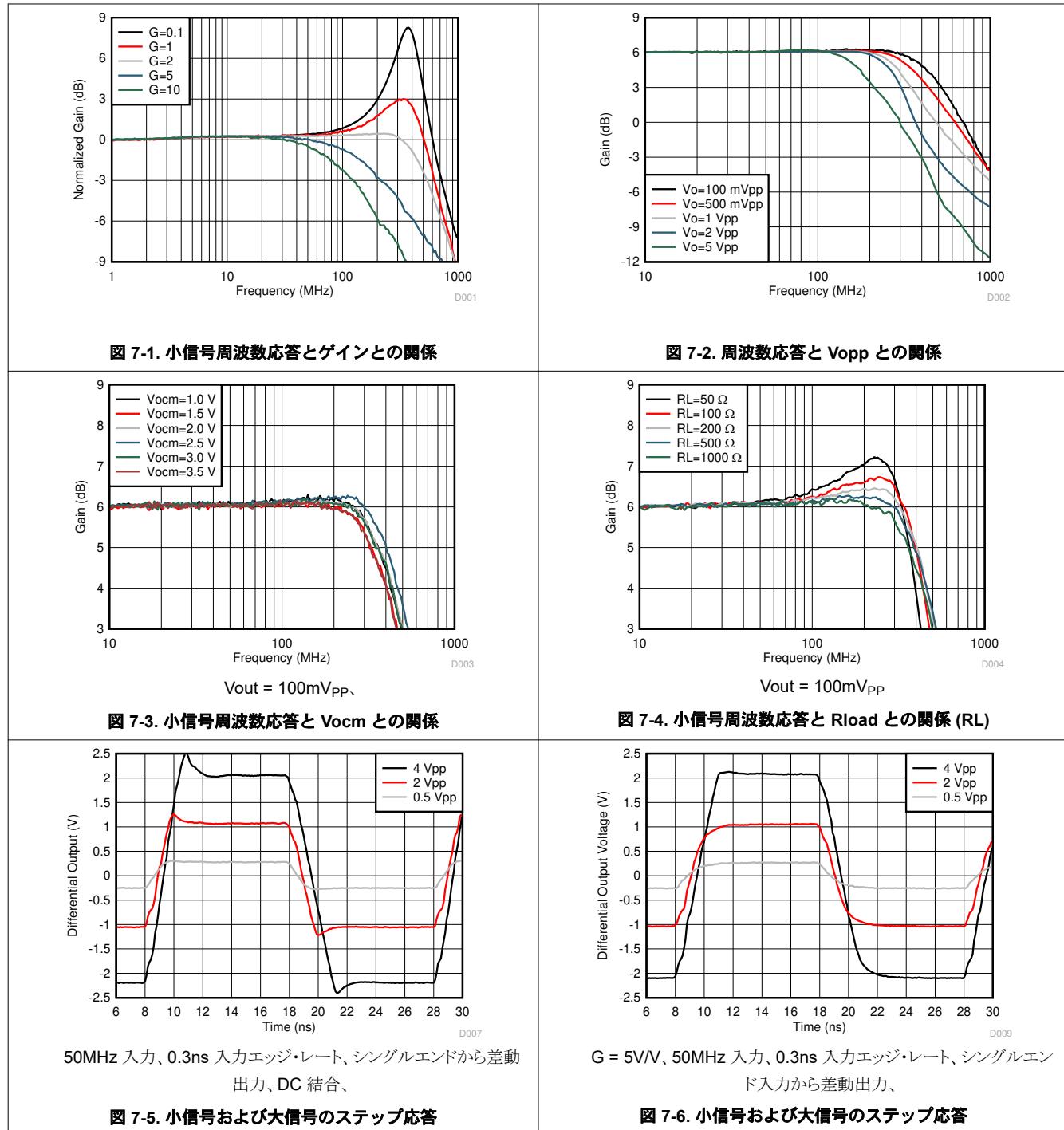
$T_A \approx 25^\circ\text{C}$ 、 $V_{OCM} = \text{オープン}$ (デフォルトは中間電位)、 $V_{OUT} = 2\text{V}$ 、 $V_{PP} = 402\Omega$ 、 $R_{LOAD} = 499\Omega$ 、 50Ω 入力マッチング、 $G = 2\text{V/V}$ 、シングルエンド入力、差動出力、および $\overline{PD} = +V_S$ (特段の記載がない限り)

パラメータ		テスト条件	最小	標準	最大	単位
	スルーレート ⁽¹⁾	$V_{OCM} = 2\text{V}$ ステップ		400		$\text{V}/\mu\text{s}$
	ゲイン		0.975	0.982	0.995	V/V
	入力バイアス電流	ノードから外方向を正とする	-0.8	0.1	0.8	μA
	入力インピーダンス	((V_{S+}) – V_{S-}) / 2 に駆動される V_{OCM} 入力		47 1.2		$\text{k}\Omega \text{pF}$
	((V_{S+}) – V_{S-}) / 2 からのデフォルト電圧オフセット	V_{OCM} ピンはオープン	-40	±8	40	mV
CM Vos	コモン・モード・オフセット電圧		-5	±2	5	mV
	コモン・モード・オフセット電圧ドリフト ⁽²⁾	((V_{S+}) – V_{S-}) / 2 に駆動される V_{OCM} 入力		±4		$\text{mV}/^\circ\text{C}$
	負電源までのコモン・モード・ループ電源のヘッドルーム	中間電位 CM Vos から ±12mV 未満のシフト	0.88			V
	正電源までのコモン・モード・ループ電源のヘッドルーム		1.1			V

- (1) このスルーレートは、大信号帯域幅から以下の式によって推定される立ち上がり時間と立ち下がり時間の平均です。 $(V_P / \sqrt{2}) \cdot 2\pi \cdot f_{-3\text{dB}}$
- (2) 入力オフセット電圧ドリフト、入力バイアス電流ドリフト、入力オフセット電流ドリフト、および V_{OCM} ドリフトは、環境温度エンドポイントの最大範囲で取得したデータを使用して差を算出し、温度範囲で割った平均値です。
- (3) 仕様は、入力 V_{OCM} ピンから差動出力の平均電圧までです。

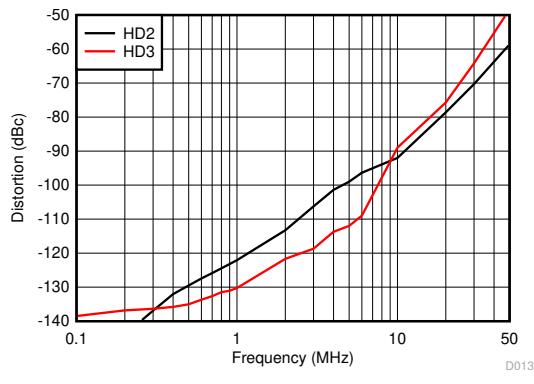
7.4 代表的特性 (5V 単一電源)

$V_{S+} = 5V$, $V_{S-} = GND$, V_{OCM} はオープン、 50Ω シングルエンド入力から差動出力、 $R_F = 402\Omega$ 、ゲイン = 2V/V、 $R_{LOAD} = 500\Omega$ 、 $T_A \approx 25^\circ C$ (特に記述のない限り)



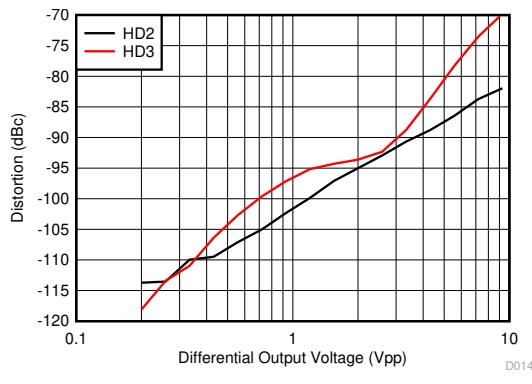
7.4 代表的特性 (5V 単一電源) (continued)

$V_{s+} = 5V$ 、 $V_{s-} = GND$ 、 V_{ocm} はオープン、 50Ω シングルエンド入力から差動出力、 $R_F = 402\Omega$ 、ゲイン = $2V/V$ 、 $R_{load} = 500\Omega$ 、 $T_A \approx 25^\circ C$ (特に記述のない限り)



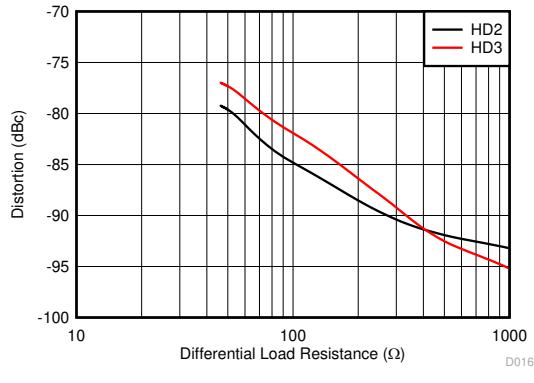
$V_o = 2V_{pp}$

図 7-7. 全周波数帯域の高調波歪み



$f = 10MHz$

図 7-8. 高調波歪みと出力スイングとの関係



$f = 10MHz$

図 7-9. 高調波歪みと R_{load} との関係

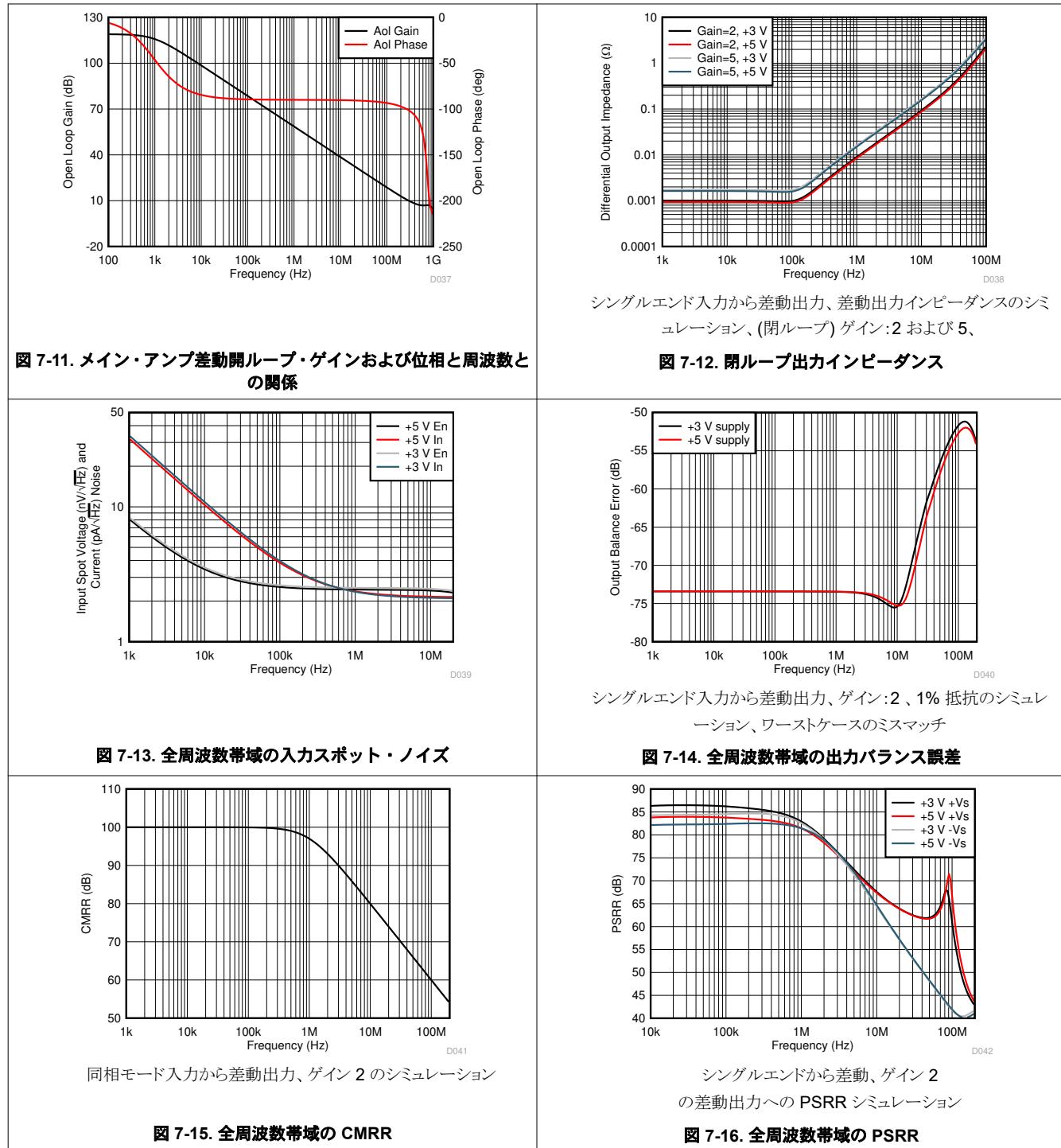


$f = 10MHz, 2V_{pp}$

図 7-10. 高調波歪みとゲインとの関係

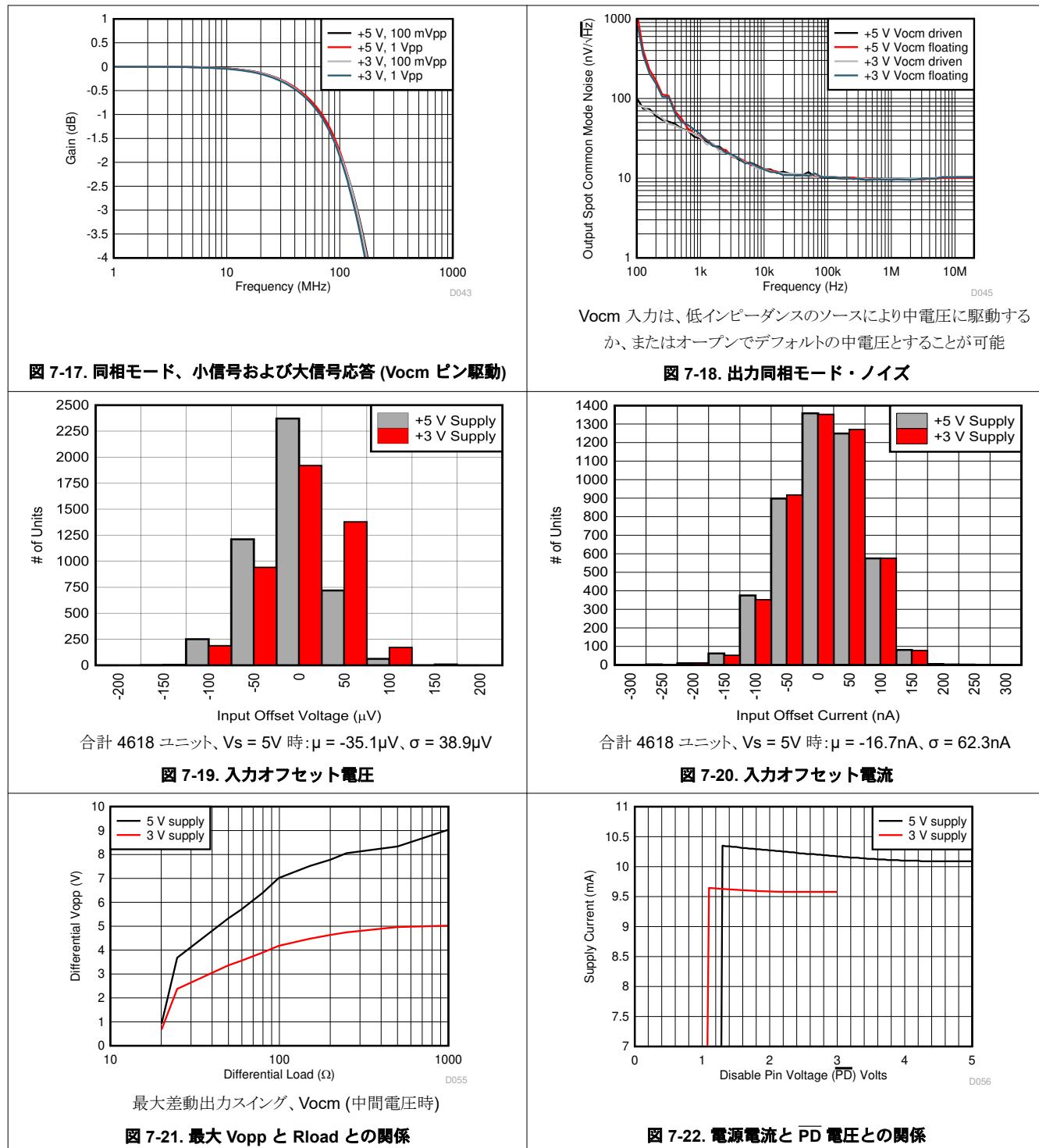
7.5 代表的特性：電源電圧範囲：3V～5V

$V_{S+} = 3V$ および $V_{S-} = GND$ 、 V_{OCM} はオープン、 50Ω シングルエンド入力から差動出力、 $R_F = 402\Omega$ 、ゲイン = 2V/V、 $R_{LOAD} = 500\Omega$ 、 $T_A \approx 25^\circ C$ (特に記述のない限り)



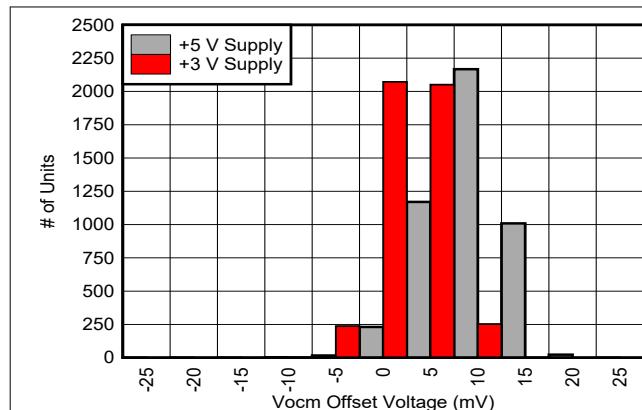
7.5 代表的特性：電源電圧範囲：3V～5V (continued)

$V_{S+} = 3V$ および $V_{S-} = GND$ 、 V_{OCM} はオープン、 50Ω シングルエンド入力から差動出力、 $R_F = 402\Omega$ 、ゲイン = 2V/V、 $R_{LOAD} = 500\Omega$ 、 $T_A \approx 25^\circ C$ (特に記述のない限り)



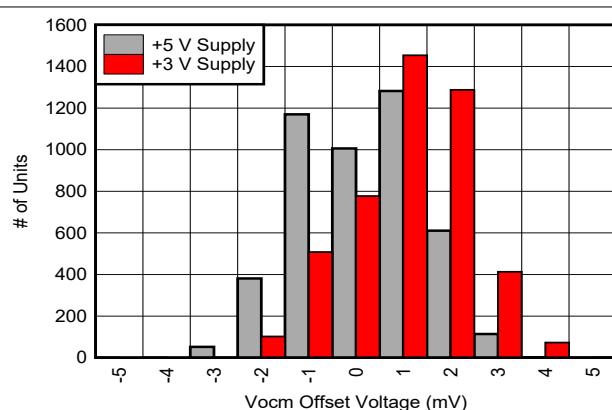
7.5 代表的特性：電源電圧範囲：3V～5V (continued)

$V_{S+} = 3V$ および $V_{S-} = GND$ 、 V_{OCM} はオープン、 50Ω シングルエンド入力から差動出力、 $R_F = 402\Omega$ 、ゲイン = 2V/V、 $R_{LOAD} = 500\Omega$ 、 $T_A \approx 25^\circ C$ (特に記述のない限り)



V_{OCM} 入力オープン、合計 4618 ユニット、
 $V_S = 5V$ 時: $\mu = 6.8mV$ 、 $\sigma = 3.9mV$

図 7-23. $V_{S+}/2$ デフォルト値からの同相モード出力オフセット



合計 4618 ユニット、 $V_S = 5V$ 時: $\mu = -0.3mV$ 、 $\sigma = 1.3mV$

図 7-24. 駆動された V_{OCM} からの同相モード出力オフセット

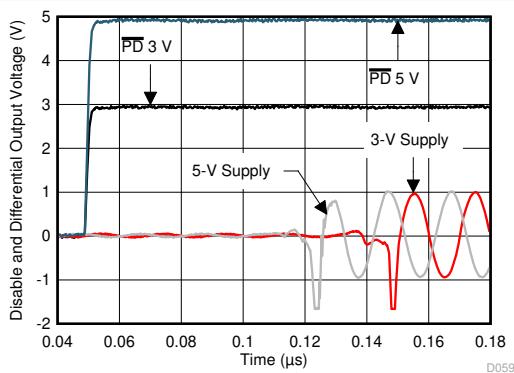


図 7-25. \overline{PD} ターン・オン波形

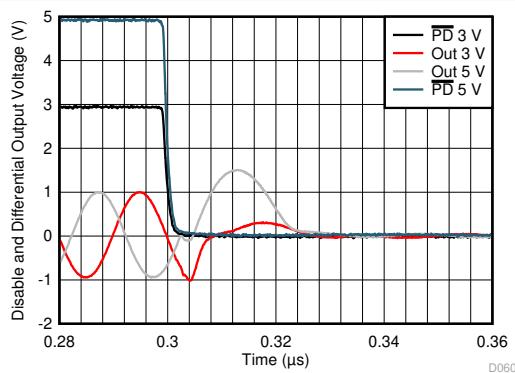


図 7-26. \overline{PD} ターン・オフ波形

8 詳細説明

8.1 概要

THS4541-DIE は、電圧帰還 (VFA) ベースの完全差動アンプ (FDA) で、トリムされた電源電流と入力オフセット電圧により、 2V/V ゲインの 500MHz を超える小信号帯域幅を実現します。コアの差動アンプは、スルー・レートが高く、高精度の入力段を備えた、わずかに非補償型の電圧帰還設計です。この設計により、特性曲線に示す 2V/V の小信号帯域幅の 500MHz ゲインが得られ、同じ回路構成で $1500\text{V}/\mu\text{s}$ のスルー・レート、約 340MHz 、 2V_{PP} 、大信号帯域幅を実現しています。

出力はレール・ツー・レールに近い出力スイング (どちらの電源にも 0.2V のヘッドルーム) が得られ、デバイスの入力は正の電源に必要なヘッドルームが約 1.2V の負のレール入力となります。この負のレール入力は、DC 結合、単一電源設計で、グランド周辺のバイポーラ入力を直接サポートしています。すべての FDA デバイスと同様に、出力平均電圧 (同相モード) は、別々の同相ループによって制御されます。この出力平均の目標は、 V_{com} の入力ピンにより設定されます。このピンはデフォルトの中間電圧付近でオープンにするか、目的の出力同相モード電圧に駆動します。THS4541-DIE の単一 $2.7\text{V} \sim 5.4\text{V}$ の電源電圧範囲を使用する V_{com} の範囲は、負電源よりも 0.91V 高い非常に低い値から、正電源よりも 1.1V 低い値まで拡張されており、最新の A/D コンバータ (ADC) の入力同相要件に対応しています。

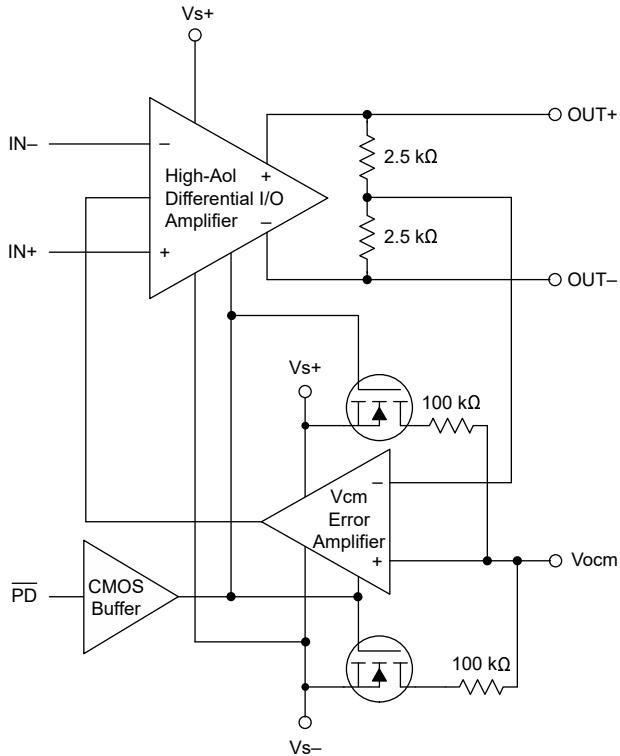
パワーダウン・ピン ($\overline{\text{PD}}$) が搭載されています。 $\overline{\text{PD}}$ ピンの電圧を負電源レベルになるとデバイスがオフになります。THS4541-DIE は非常に低い無信号時電流状態になります。通常動作時は、 $\overline{\text{PD}}$ ピンを High レベルにする必要があります。デバイスを無効化するときは、受動の外部抵抗を介する信号路が依然として存在することに注意してください。無効化した THS4541-DIE に適用された入力信号は、すべての無効化した FDA デバイスと同様に、この受動の抵抗パスを経由して、出力に一定のレベルで現れます。

8.1.1 用語とアプリケーションの前提条件

広く使用されているすべてのデバイスと同様に、このタイプのデバイス固有の一般的な用語がたくさん使用されています。主な用語は次のとおりです。

- 完全差動アンプ (FDA) - このドキュメントでは、この用語は、入力抵抗 (高インピーダンス入力ではない) を必要とし、出力平均電圧 (V_{com}) をデフォルトまたは設定ポイントに設定する 2 番目の内部制御ループを含む差動反転オペアンプの設計素子に類似の機能を提供するデバイスに限定されます。この 2 番目のループは、一部の構成では差動ループと互いに影響し合います。
- 2 つの出力ピンの目的の出力信号は、同相モード電圧 (2 つの出力の平均電圧) 近くで対称的に変化する差動信号です。
- シングルエンドからの差動構成 - FDA では常に、出力を差動的に使用します。ただし、ソース信号はシングルエンド・ソースと差動のどちらにもすることができます、どちらの場合も実装の詳細はさまざまです。FDA の動作がシングルエンドから差動になる場合、2 つの入力抵抗のうち一方のみが、ソース信号を受け取り、もう一方の入力抵抗は DC 基準電圧 (多くの場合はグランド) に接続するか、コンデンサを介してグランドへ接続します。

8.2 機能ブロック図



8.3 機能説明

8.3.1 差動 I/O

THS4541-DIE は、コアの差動 I/O、高ゲインブロックに、リファレンス電圧と比較される出力コモン・モード検出を組み合わせたもので、メイン・アンプ・ブロックに帰還して平均出力をそのリファレンスになるよう制御します。差動 I/O ブロックは、約 900Hz のドミナント・ポールを持つ、従来型の高い開ループ・ゲイン段です。この電圧フィードバック構造は、850MHz (ゲイン帯域幅積) でシングル・ポールのユニティ・ゲイン AOL を提供します。高速差動出力には、出力コモン・モード電圧を検出するための平均抵抗ネットワークが内蔵されています。この電圧は、個別の V_{cm} のエラー・アンプによって、 V_{pcm} ピンの電圧と比較されます。オープンになっている場合、このリファレンス電圧は、2 つの 100kΩ 抵抗を使用して、デバイス全体に供給される電源電圧の半分になります。この V_{cm} のエラー・アンプは、 V_{ocm} ピンにおける出力平均電圧が目標の電圧になるように訂正信号をメイン・アンプに送信します。このエラー・アンプの帯域幅は、メイン差動 I/O アンプとほぼ同じです。

差動出力はコレクタ出力で、レール・ツー・レール出力スイングを行います。これらの出力は比較的高インピーダンスの開ループ・ソースですが、ループを閉じると負荷ドライビングに対する出力インピーダンスは非常に低くなります。この低消費電力デバイスには、出力電流制限、またはサーマル・シャットダウン機能がありません。差動入力は、負のレール入力範囲で動作可能な PNP 入力です。

THS4541-DIE を RGT パッケージで動作させるには、 R_f 経由で OUT- ピンを IN+ ピンに、そして、同じ値の R_f を経由させて OUT+ ピンを IN- ピンに接続します。追加した抵抗を経由させて、入力を IN+ ピンと IN- ピンに供給します。差動 I/O オペアンプは反転オペアンプ構造と同じように動作し、ソースで入力抵抗を駆動する必要があります、ゲインは入力抵抗に対するフィードバック比になります。

8.3.2 パワーダウン制御ピン (PD)

THS4541-DIE にはパワーダウン制御ピン PD が搭載されています。正しいアンプ動作のためには、このピンを High にする必要があります。このピンには内部プルアップまたはプルダウン抵抗がないため、無効化時の消費電力を低減するために PD ピンをオープンにすることはできません。このピンを Low レベルにすると (負電源から 0.7V 以内)、THS4541-

DIE は非常に低い無信号時電流状態 (約 $2\mu\text{A}$) になります。デフォルトの Vocm 抵抗列をオープンにすることで、この $200\text{k}\Omega$ 電圧デバイダの電源から中電圧の範囲の固定バイアス電流 ($25\mu\text{A}$) が除去されます。

8.3.2.1 電源シャットダウン動作時の特長

この CMOS 入力ピンを、必要な動作電圧になるようアサートします。電源が供給されているときにのみデバイスの電源をオンにする必要があるアプリケーションでは、 $\overline{\text{PD}}$ ピンを正の電源電圧に接続してください。

$\overline{\text{PD}}$ ピンが正電源ピンよりも多少低い場合は、静止時電流が少し大きくなります。[図 7-22](#) を参照してください。最小オン電力の場合は、このピンを正の電源電圧にアサートします。

ディスエーブル動作は負電源を基準としており、通常はグランドです。分割電源動作の場合、グランド以下の負電源で、負電源が -0.7V を超えるときは、THS4541-DIE をオフにするためにディスエーブル制御電圧をグランド以下にする必要があります。

単一電源動作の場合は、動作を保証するために、最小で負電源 (この場合はグランド) より 1.7V 以上の電圧が必要です。この最小ロジック High レベルにより、 1.8V の電源ロジックから直接動作します。

8.3.3 入力オーバードライブ動作

THS4541-DIE の入力段アーキテクチャは、すべてのアプリケーションで必要とされる直列入力抵抗を使用しており、入力オーバードライブに対して本質的に堅牢です。高い入力オーバードライブにより、最大スイングへの制限に対する出力が発生します。このため、入力電流は、2 入力間にある内部のバック・ツー・バック保護ダイオードによって吸収される Rg 抵抗を介して維持されます。これらのダイオードは通常、アプリケーションでオフになっており、大きな入力オーバードライブが原因で、ソース・インピーダンスやすべての設計に必要な直列の Rg 素子から生じる電流を吸収する場合にのみオンになります。

内部入力ダイオードは、オーバードライブ状況で最大 $\pm 15\text{mA}$ まで安全に吸収できます。さらに多くの電流を吸収する必要がある設計の場合は、[図 9-1](#) の ADC インターフェイスの設計例で使用されている BAV99 デバイスなどの外部保護ダイオードを追加することを検討してください。

8.4 デバイスの機能モード

この広帯域 FDA は、正しい信号パス動作のために外部抵抗を必要とします。これらの外部抵抗で目的の入力インピーダンスとゲインを設定するよう構成されている場合、 $\overline{\text{PD}}$ ピンを $(\text{Vs}-) + 1.7\text{V}$ 以上の電圧にアサートしてオンにすることも、または $\overline{\text{PD}}$ を Low にアサートしてオフにすることも可能です。アンプを無効にすると、静止時電流がシャットオフされ、アンプの訂正動作が停止します。外部抵抗を通過するソース信号の信号路はまだ存在しています。

Vocm の制御ピンにより、出力の平均電圧が設定されます。オープンの状態では、 Vocm のデフォルト値は内部の中間電位値になります。電圧リファレンスを使用してこの高インピーダンス入力を有効範囲内で駆動すると、内部の Vcm エラー・アンプの目標が設定されます。

8.4.1 シングルエンド・ソースから差動出力への動作

FDA デバイスがサポートする最も有用な機能の 1 つは、シングルエンド入力から差動出力へ、コモン・モード・レベルでユーザー制御を中心に簡単に変換できることです。出力側は比較的簡単ですが、デバイスの入力ピンは入力信号とともにコモン・モード検出で変化します。入力信号とともに入力ピンで動いているこのコモン・モード電圧は、見かけ上の入力インピーダンスを増加させて、 Rg 値より大きくなるように動作します。この入力アクティブ・インピーダンスの問題は、AC 結合と DC 結合の設計の両方に適用されます。このアクティブ・インピーダンスについては、以下のサブセクションに示すように、抵抗についてある程度複雑な解決策が必要です。

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

THS4541-DIE は、さまざまなアプリケーションに対して効果的なソリューションを提供します。ここで示す例は、2V/V のゲインであり、0.95V のコモン・モードに設定された出力にマッチした 50Ω の入力です。ここに接続されているのは約 20MHz の帯域幅を持つ 3 次ベッセル・フィルタで、ここからローパワーの 12 ビット、クワッド、50MSPS JESD 204B ADC である [ADC34J22](#) に流れます。

9.2 代表的なアプリケーション

9.2.1 高性能 ADC とのインターフェイス

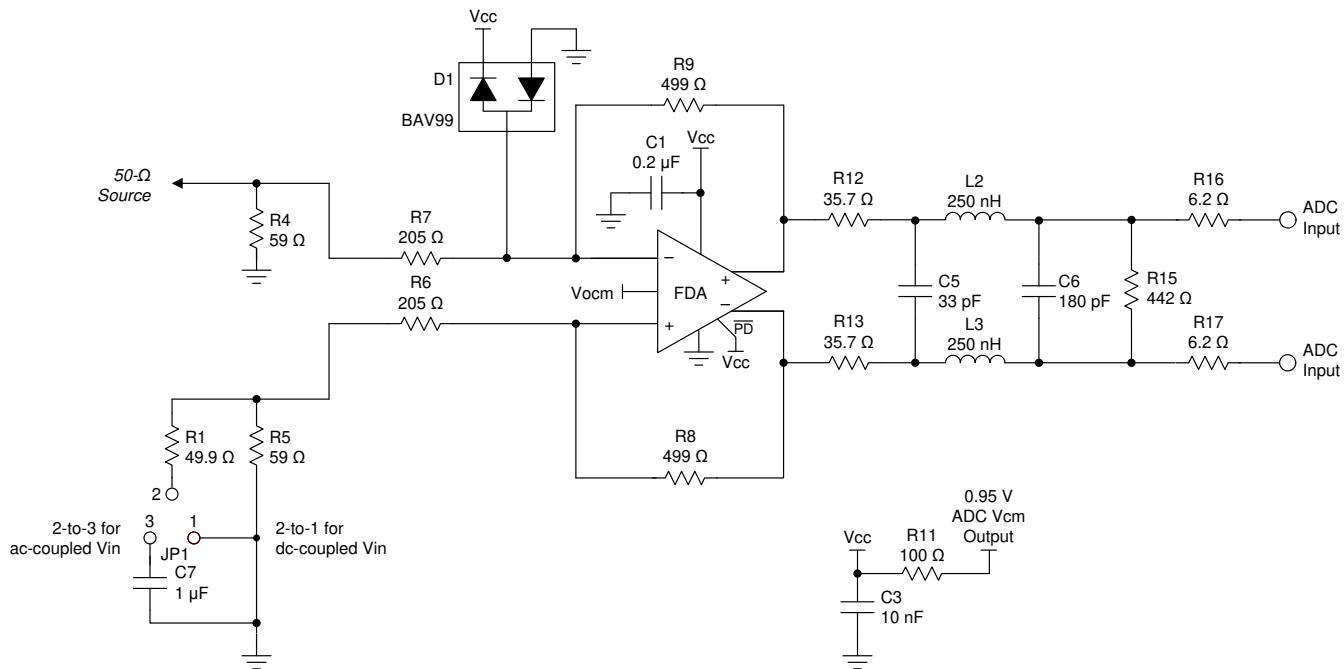


図 9-1. DC 結合、バイポーラ入力ゲイン 2V/V シングルエンドから差動への ADC とのインターフェイス

9.2.1.1 設計要件

この設計例では、 50Ω のソースが ADC に 2V/V の DC 結合ゲインで実装されていると仮定したインピーダンス一致入力を示します。この構成により、 $2V_{pp}$ のフルスケール入力 ADC の場合は、 $\pm 0.5V$ への必要なフルスケール入力が低減されます。ADC に挿入損失の少ない段間フィルタを追加して、広帯域ノイズを制御します。ここでの目標は、FFT における SNR の低下を最小限に抑えると同時に、SFDR 性能の劣化を最小限に抑えることです。

9.2.1.2 詳細な設計手順

THS4541-DIE は、さまざまなソースから幅広い範囲の ADC まで、インターフェイスに対して非常に柔軟性の高い素子を提供します。すべての精度と高速 ADC にはコモン・モード電圧での差動入力が必要となるため、この設計は THS4541-DIE の基本的なアプリケーションとなります。

THS4541-DIE は、広範な精度の逐次比較型、 $\Delta\Sigma$ 、または高速パイプライン ADC にシンプルなインターフェイスを提供します。出力ピンに非常に優れた歪みを実現するには、信号路で ADC 入力に標準的に必要とされるよりも大幅に広い帯域幅を THS4541-DIE によって供給します。たとえば、差動設計の例に対しては、2つのシングルエンドのゲインによって約 500MHz の小信号帯域幅が提供されます。ソース信号がナイキスト帯域制限されている場合でも、アンプと ADC 間の広帯域ノイズが帯域制限されなければ、この広帯域幅により THS4541-DIE のノイズを充分に一体化して、ADC を介して SNR を低下させることができます。

図 9-1 に、JESD デジタル出力インターフェイス、ADC34J22 (50MSPS、クワッド、12 ビット ADC) のデモボード上に DC 結合、制御付き、段間の帯域幅フィルタを実装した 2 つのインターフェイスのゲインの例を示します。このボードはパッケージされた THS4541 を使用しており、dallaslogic.com の完全なマニュアルでは DEV-ADC34J22 ADC HSMC MODULE と呼ばれています。

この設計は DC 結合、 50Ω 入力マッチ用のため、 499Ω フィードバック抵抗で開始して、THS4541 の出力ピンに 2.35V/V のゲインを供給します。3 次段間ローパス・フィルタは、ADC に対する 0.85V/V の挿入損失で 20MHz のベッセル応答が供給され、ボードの端から ADC 入力まで正味 2V/V のゲインを実現します。THS4541 はオーバードライブを吸収できますが、図 9-1 に示すように、BAV99 低容量デバイスを使用して、外付けの保護用素子が追加されています。DC 結合テストでは、ピン 1 と 2 をジャンパで接続します。ソースが AC 結合された 50Ω ソースの場合、ピン 2 と 3 をジャンパで接続して差動バランスを維持します。FFT テストは通常、バンドパス・フィルタを AC 結合されたソースであるボードに使用します。標準的な 5MHz のフルスケール、シングルトーン FFT を 図 9-2 に示します。ここでは、ジャンパはピン 2 と 3 が接続されています。報告されている 70.09dBFS の信号対雑音比は、テストを行った ADC のみの性能である 70.42dBFS からわずかに低減されており、段間ノイズ帯域幅の制限フィルタの値を示しています。THS4541 の非常に低い高調波歪みにより、図 9-2 に示すように SFDR および THD も非常に低くなります。この 96dB の SFDR および 92.83dB の THD は、ADC のみのテスト結果と比較することができます。

9.2.1.3 アプリケーション曲線

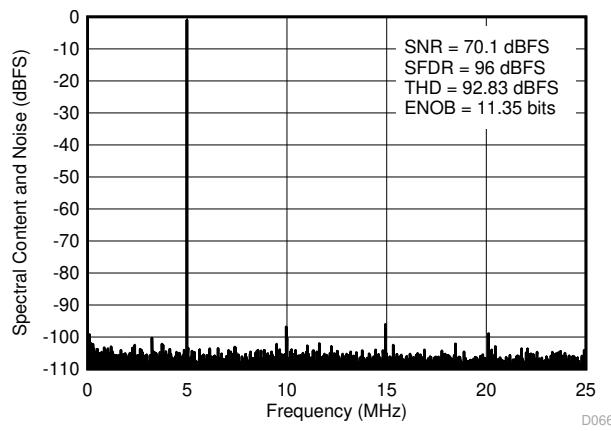


図 9-2. 図 9-1 の 2 つのインターフェイスのゲインに対する 5MHz FFT、50MSPS の試験

10 電源に関する推奨事項

THS4541-DIE は、主に +3V～+5V の公称単一電源の電圧で動作することを想定しています。電源電圧許容範囲は、2.7V (3V 公称電源で 10% 低下) と 5.4V (5V 公称電源で 8% 上昇) の指定動作範囲に対応します。[セクション 8.1.1](#) で説明されているように、電源デカップリングが必要です。THS4541-DIE では、デバイスの両端の合計値が 5.5V 未満 (絶対最大値) であれば、分割 (またはバイポーラ) 電源を使用できます。

逐次比較型 ADC の駆動では、負電源を使用して忠実なスイング・ツー・グランド出力を実現することが必要な場合があります。THS4541-DIE では、レール・ツー・レール出力が示されていますが、リニア動作では電源レールに対して約 200mV のヘッドルームが必要です。リニア出力スイングをグランドまで拡張するための簡単なオプションの 1 つは、[LM7705](#) の固定 -230mV 負電源ジェネレータを使用して、必要とされる小さな負電源電圧を供給することです。この低コスト固定負電源ジェネレータは、THS4541-DIE で使用する 3V～5V の正電源入を受け付け、負のレールに -230mV の電源を供給します。[LM7705](#) を使用することで、[完全差動アンプで真の 0 ボルトに対応するために拡張されたレール・ツー・レール出力範囲](#)で説明されている効果的なソリューションが実現できます。

11 レイアウト

11.1 レイアウトのガイドライン

すべての高速デバイスと同様に、基板レイアウトに細心の注意を払うことで最良のシステム性能を実現しています。THS4541-DIE について、一般的な高速の信号路レイアウトの提案を以下に示します。

- デバイスの電源ピンには、グランド・プレーン上に良質な高周波デカップリング・コンデンサ (0.1μF) を使用します。さらに大きな値のコンデンサ (2.2μF) が必要ですが、デバイスの電源ピンから離して配置することで、デバイス間で共有することができます。2 つの電源 (バイポーラ動作用) 間に電源デカップリング・コンデンサも追加する必要があります。最高の高周波デカップリングを実現するために、標準コンデンサよりも非常に高い自己共振周波数を提供する X2Y 電源デカップリング・コンデンサを使用します。
- 各 THS4541-DIE には、グランドプレーン付近に個別の 0.1μF コンデンサを接続します。大容量コンデンサのフェライト・ビーズなど、カスケード接続、または複数の並列チャネルは、多くの場合でローカル高周波数デカップリング・コンデンサに役立ちます。
- 感知可能な距離で差動信号を配線する場合は、インピーダンスのパターンが一致しているマイクロストリップ・レイアウト技術を使用します。
- 入力加算接合部は、寄生容量の影響を大きく受けます。したがって、抵抗のデバイス・ピン側にある加算接合部には最短のパターン長で Rg 素子を接続します。Rg 素子の反対側は、ソースとグランドに必要な場合は、より長いパターン長を使用することができます。

12 デバイスおよびドキュメントのサポート

12.1 デバイスのサポート

12.1.1 開発サポート

12.1.1.1 TINA シミュレーション・モデルの機能

このデバイス・モデルは、TINA モデル・ライブラリの一部として利用できます。このモデルには、広範なアプリケーションの要件に応じて設計を迅速に行うための、多くの機能が含まれています。以下のリストは、モデルに含まれている性能パラメータです。

- 任意の外部回路における小信号応答形状:
 - 差動開ループ・ゲインおよび位相
 - 寄生入力容量
 - オープン・ループの差動出力インピーダンス
- ノイズ・シミュレーション:
 - 入力差動スポット電圧ノイズおよび 100kHz の 1/f コーナー
 - 各入力における入力電流ノイズ、1MHz 1/f コーナー
- 時間ドメイン、ステップ応答シミュレーション:
 - 差動スルー・レート
 - I/O ヘッドルーム・モデルによるクリッピングの予測
- 精細スケールの DC 精度項:
 - PSRR
 - CMRR

代表的特性の曲線では、マクロモデルよりも詳細に説明しています。モデル化されていない機能の一部を以下に示します。

- 高調波歪み
- DC 誤差項における温度ドリフト (V_{IO} および I_{OS})

12.2 ドキュメントのサポート

12.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『ADC34J2x Quad-Channel, 12-Bit, 50-MSPS to 160-MSPS, Analog-to-Digital Converter with JESD204B Interface』データシート (英語)
- テキサス・インスツルメンツ、『Design for Wideband Differential Transimpedance DAC Output』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『真のゼロボルトを含めるために完全差動アンプのレール・ツー・レール出力範囲を拡張』リファレンス・ガイド
- テキサス・インスツルメンツ、『LM7705 低ノイズ、負のバイアス・ジェネレータ』データシート
- テキサス・インスツルメンツ、『LMH6554 2.8GHz、超高直線性完全差動アンプ』データシート
- テキサス・インスツルメンツ、『THS451RG EVM』ユーザー・ガイド (英語)
- テキサス・インスツルメンツ、『Maximizing the dynamic range of analog front ends having a transimpedance amplifier』テクニカル・ブリーフ (英語)

12.3 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

12.4 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

12.5 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

12.6 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

12.7 Glossary

[TI Glossary](#) This glossary lists and explains terms, acronyms, and definitions.

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあります。ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
THS4541YR	Active	Production	DIESALE (Y) 0	3000 LARGE T&R	Yes	Call TI	N/A for Pkg Type	-40 to 125	
THS4541YR.B	Active	Production	DIESALE (Y) 0	3000 LARGE T&R	Yes	Call TI	N/A for Pkg Type	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

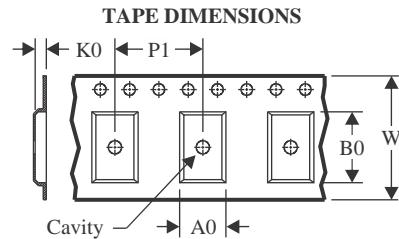
OTHER QUALIFIED VERSIONS OF THS4541-DIE :

- Automotive : [THS4541-Q1](#)

NOTE: Qualified Version Definitions:

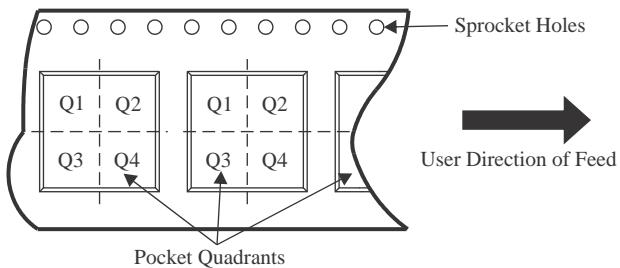
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION



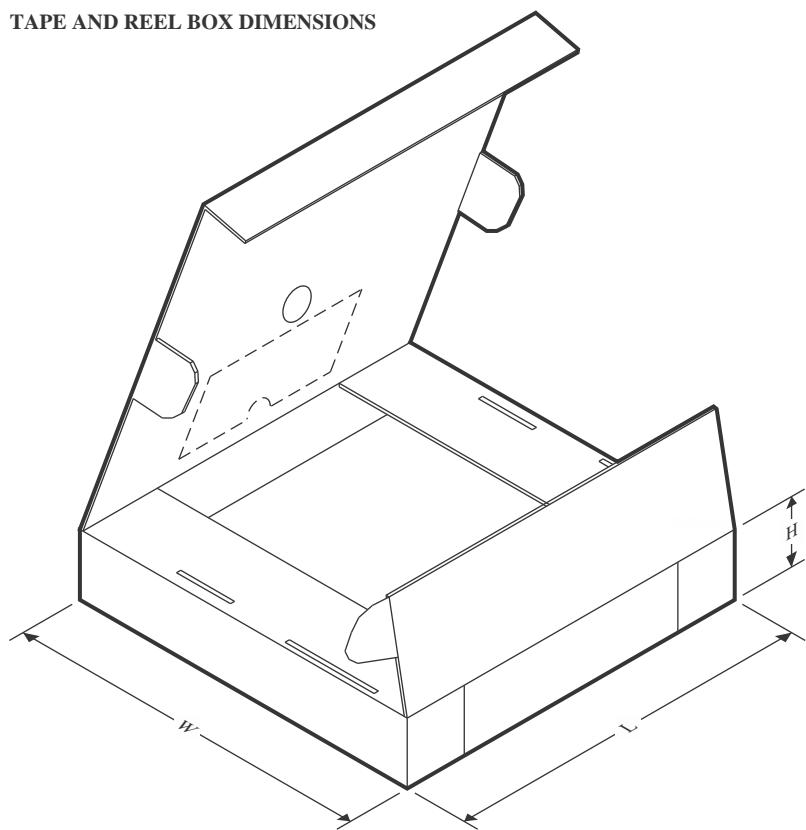
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
THS4541YR	DIESALE	Y	0	3000	180.0	8.4	1.07	1.26	0.54	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
THS4541YR	DIESALE	Y	0	3000	210.0	185.0	35.0

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月