

TLC372-EP デュアル差動コンパレータ

1 特長

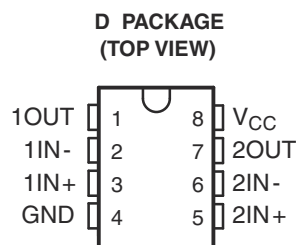
- 管理されたベースライン
 - 1つのアセンブリ/テスト拠点と1つの製造拠点
- 拡張温度範囲: $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$
- MIL-STD-883、手法 3015 に従い 2000V を超える ESD 保護、マシン モデルで 100V 超 ($C = 200\text{pF}$ 、 $R = 0$)
- シングルまたはデュアル電源動作
- 広い電源電圧範囲 ...4V \sim 16V
- 超低電源電流ドレイン ...10 μA (標準値)
- 迅速な応答時間 ...TTL レベル入力ステップで標準値 420ns
- 内蔵 ESD 保護機能
- 高い入力インピーダンス ...10¹² Ω (標準値)
- 非常に低い入力バイアス電流...5pA (標準値)
- 超安定小さい入力オフセット電圧
- 同相入力電圧範囲にグランドを含む
- TTL、MOS、CMOS 互換出力
- LM393 とピン互換

2 説明

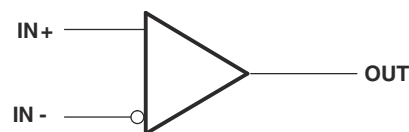
このデバイスは CMOS テクノロジを使用して製造されており、それぞれ単一電源で動作するように設計された 2 つの独立した電圧コンパレータで構成されています。デュアル電源での動作も可能です。この場合、2 つの電源電圧の差が 4V \sim 16V である場合です。各デバイスは入力インピーダンスが非常に高く (通常 10¹² Ω 超)、ハイインピーダンスのソースと直接接続できます。出力は N チャネルのオープンドレイン構成であり、接続することで正ロジックのワイヤード AND 関係を形成できます。

TLC372 には静電放電 (ESD) 保護回路が内蔵されており、人体モデル テスト (HBM) により 2000V の ESD レーティングに分類されています。ただし、ESD にさらされるとデバイス パラメトリック性能が低下する可能性があるため、このデバイスを取り扱う際には注意を払う必要があります。

TLC372 は、 $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$ で動作特性が規定されています。



SYMBOL (each comparator)



目次

| | | | |
|---------------------|----------|------------------------------------|-----------|
| 1 特長 | 1 | 5 アプリケーションと実装 | 8 |
| 2 説明 | 1 | 5.1 アプリケーション情報..... | 8 |
| 注文情報 | 2 | 5.2 代表的なアプリケーション..... | 9 |
| 3 仕様 | 3 | 5.3 電源に関する推奨事項..... | 10 |
| 3.1 絶対最大定格..... | 3 | 5.4 レイアウト..... | 10 |
| 3.2 推奨動作条件..... | 3 | 6 デバイスおよびドキュメントのサポート | 12 |
| 3.3 電気的特性..... | 4 | 6.1 ドキュメントのサポート..... | 12 |
| 3.4 スイッチング特性..... | 4 | 6.2 ドキュメントの更新通知を受け取る方法..... | 12 |
| 3.5 代表的特性..... | 5 | 6.3 サポート・リソース..... | 12 |
| 4 詳細説明 | 6 | 6.4 商標..... | 12 |
| 4.1 概要..... | 6 | 6.5 静電気放電に関する注意事項..... | 12 |
| 4.2 機能ブロック図..... | 6 | 6.6 用語集..... | 12 |
| 4.3 機能説明..... | 6 | 7 改訂履歴 | 12 |
| 4.4 デバイスの機能モード..... | 6 | 8 メカニカル、パッケージ、および注文情報 | 12 |

注文情報

| T _A ⁽¹⁾ | パッケージ ⁽²⁾ | | 発注用製品型番 | 上面のマーキング |
|-------------------------------|----------------------|------------|-------------|----------|
| -55°C ~ 125°C | SOP-(D) | テープ アンドリール | TLC372MDREP | 372MEP |

- (1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「付録: パッケージ オプション」を参照するか、テキサス・インスツルメンツの Web サイト www.ti.com または www.tij.co.jp を参照してください。
- (2) パッケージ図、標準梱包数量、熱データ、記号、PCB 設計ガイドラインは、www.tij.co.jp/sc/package で入手できます。

3 仕様

3.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)⁽¹⁾

| | 最小値 | 最大値 | 単位 |
|---|------|------------------|------|
| V _{DD} 電源電圧 ⁽²⁾ | | 18 | V |
| V _{ID} 差動入力電圧 ⁽³⁾ | | ±V _{DD} | V |
| V _I 入力電圧範囲 | -0.3 | V _{DD} | V |
| V _O 出力電圧 | | 18 | V |
| I _I 入力電流 | | ±5 | mA |
| I _O 出力電流 | | 20 | mA |
| 出力のグランドへの短絡時間 ⁽⁴⁾ | | | 制限なし |
| T _A 動作温度範囲 | -55 | 125 | °C |
| T _{stg} 保管温度範囲 | -65 | 150 | °C |
| ケースから 1.6mm (1/16 インチ) の距離で 10 秒間のリード温度 | | 260 | °C |

- (1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗示するものではありません。絶対最大定格の状態に長時間置くと、デバイスの信頼性に影響を及ぼす場合があります。
- (2) 差動電圧を除くすべての電圧値は、ネットワークアースを基準にしています。
- (3) 差動電圧は、IN₋ を基準とする IN₊ です。
- (4) 出力から V_{DD} への短絡が発生すると、過熱やデバイスの最終的な破壊につながる可能性があります。

3.2 推奨動作条件

| | 最小値 | 最大値 | 単位 |
|---------------------------|-----------------------|-----|-----|
| V _{DD} 電源電圧 | 4 | 16 | V |
| V _{IC} 同相入力電圧 | V _{DD} = 5V | 0 | 3.5 |
| | V _{DD} = 10V | 0 | |
| T _A 自由空気での動作温度 | -55 | 125 | °C |

3.3 電気的特性

指定された自由空気温度で、 $V_{DD} = 5V$ (特に記述のない限り)

| パラメータ | | テスト条件 | | T _A ⁽¹⁾ | 最小値 | 標準値 | 最大値 | 単位 |
|------------------|-------------------|--|-------------------------|-------------------------------|---------------------------|-----|-----|----|
| V _{IO} | 入力オフセット電圧 | V _{IC} = V _{ICRmin} ⁽²⁾ | | 25°C | | 1 | 5 | mV |
| | | | | フルレンジ | | | 10 | |
| I _{IO} | 入力オフセット電流 | | | 25°C | | 1 | | pA |
| | | | | 最大値 | | | 10 | nA |
| I _{IB} | 入力バイアス電流 | | | 25°C | | 5 | | pA |
| | | | | 最大値 | | | 20 | nA |
| V _{ICR} | 同相入力電圧範囲 | | | 25°C | 0 ~ V _{DD} - 1 | | | V |
| | | | | フルレンジ | 0 ~ V _{DD} - 1.5 | | | |
| I _{OH} | High レベル出力電流 | V _{ID} = 1V | V _{OH} = 5V | 25°C | 0.1 | | | nA |
| | | | V _{OH} = 15V | フルレンジ | 3 | | | μA |
| V _{OL} | Low レベル出力電圧 | V _{ID} = -1V、 | I _{OL} = 4mA | 25°C | | 150 | 400 | mV |
| | | | | フルレンジ | | | 700 | |
| I _{OL} | Low レベル出力電流 | V _{ID} = -1V、 | V _{OL} = 1.5 V | 25°C | 6 | 16 | | mA |
| I _{DD} | 電源電流 (2 つのコンパレータ) | V _{ID} = -1V、 | 無負荷 | 25°C | | 10 | 20 | μA |
| | | | | フルレンジ | | | 30 | |

- (1) 特に記述のない限り、すべての特性はゼロ同相入力電圧で測定されます。フルレンジは -55°C ~ 125°C です。
重要:「パラメータ測定情報」を参照してください。
- (2) ここに示すオフセット電圧の制限値は、出力と V_{DD} との間にある 10kΩ 抵抗を使って、出力を 4V 以上または 400mV 未満に駆動するために必要な最大値です。入力に制限値の電圧を印加し、適切な出力状態をチェックすることで、これらを検証可能です。

3.4 スイッチング特性

$V_{DD} = 5V$ 、 $T_A = 25^\circ C$

| パラメータ | テスト条件 | 標準値 | 単位 |
|-------|--|------------------------------|----|
| 応答時間 | R_L は 5.1kΩ 経由で 5V に接続、 $C_L = 15pF$ ^{(1) (2)} | 10mV オーバードライブで 100mV の入力ステップ | ns |
| | | 100mV オーバードライブ | |

- (1) C_L にはプローブと治具の容量が含まれます。
- (2) 記載されている応答時間は、入力ステップの動作から、出力が 1.4V を超える瞬間までの時間です。

3.5 代表的特性

$T_A = 25^\circ\text{C}$, $V_S = 12\text{V}$, $R_{\text{PULLUP}} = 2.5\text{k}$, $C_L = 20\text{pF}$, $V_{\text{CM}} = 0\text{V}$, $V_{\text{UNDERDRIVE}} = 100\text{mV}$, $V_{\text{OVERDRIVE}} = 100\text{mV}$ (特に記述のない限り)。

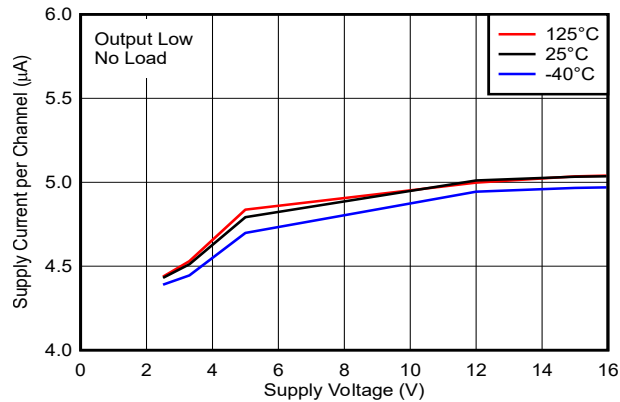


図 3-1. チャンネルごとの電源電流と電源電圧の関係 (出力 "Low")

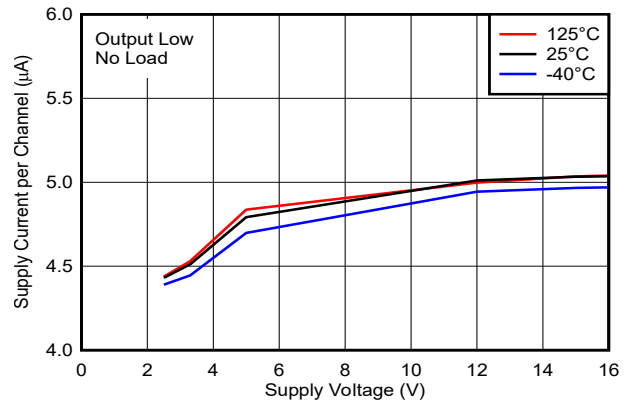


図 3-2. チャンネルごとの電源電流と電源電圧の関係 (出力 "High")

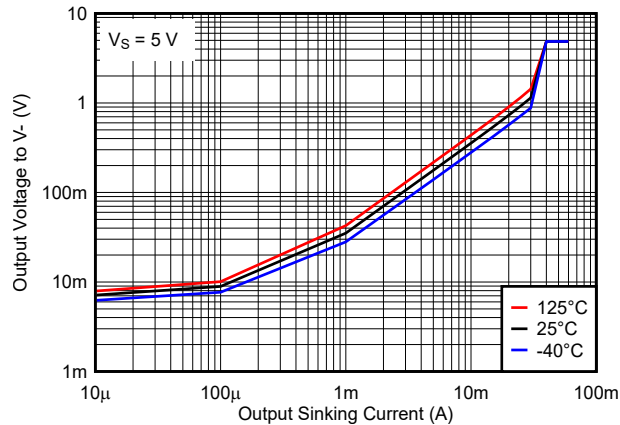


図 3-3. 出力電圧と出力シンク電流の関係、5V

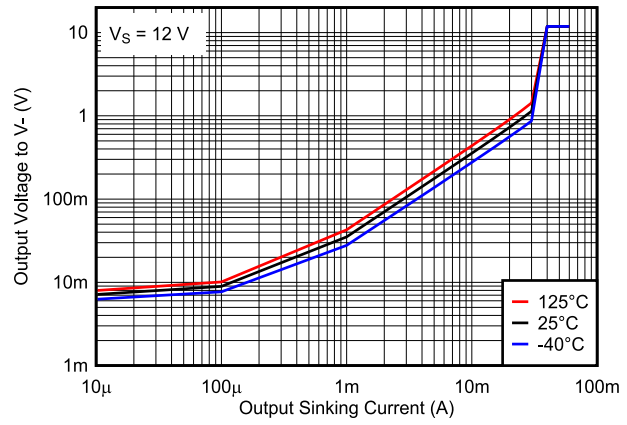


図 3-4. 出力電圧と出力シンク電流の関係、12V

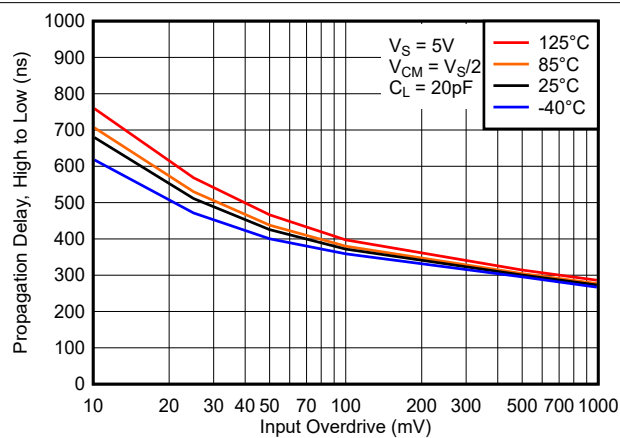


図 3-5. 伝搬遅延、"High" から "Low"、5V

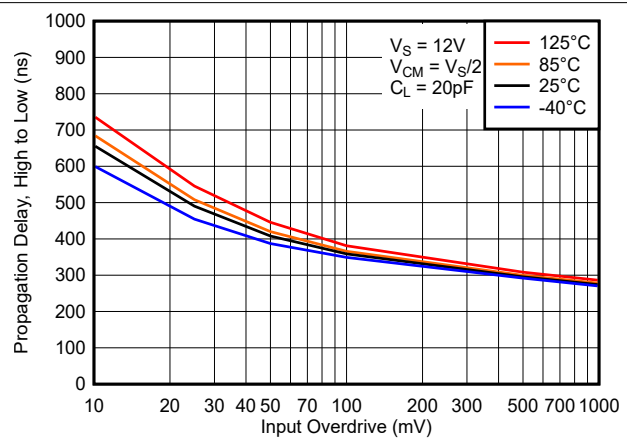


図 3-6. 伝搬遅延、"High" から "Low"、12V

4 詳細説明

4.1 概要

TLC372-EP デバイスは、オープン ドレイン出力のマイクロパワー コンパレータです。TLC372-EP はチャンネルあたりの 5 μ A のみの消費電力で、最低 4V で動作し、消費電力の制約が厳しいアプリケーションに最適です。

4.2 機能ブロック図

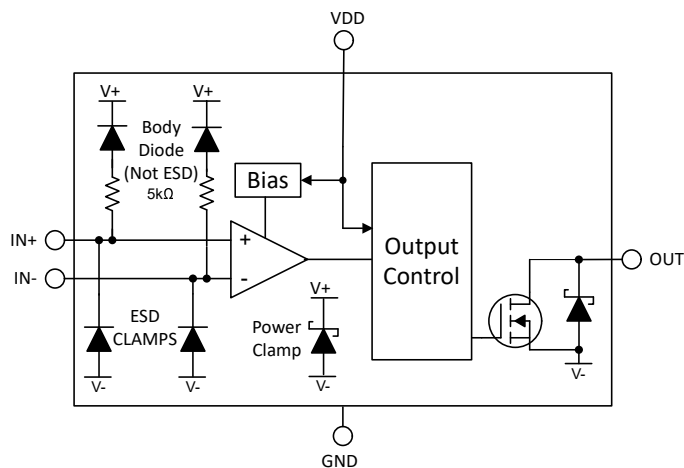


図 4-1. ブロック図

4.3 機能説明

この TLC372-EP コンパレータは CMOS 差動ペア入力で構成されており、入力バイアス電流を最小限に抑えながら、非常に高いゲインと高速な応答で動作できます。出力は、負の差動入力電圧で電流をシンクできるオープン ドレイン出力段で構成されています。

4.4 デバイスの機能モード

4.4.1 入力

TLC372-EP の入力電圧範囲は、全温度範囲にわたって、V- より V+ から 1.5V 下までです。差動入力電圧 (V_{ID}) は、これらの制限値の範囲内で自由に設定できます。入力電圧が指定された範囲内にある場合、コンパレータ出力の位相反転は発生しません。

4.4.2 ESD 保護

TLC372-EP オープン ドレイン出力 ESD 保護は、出力と GND との間のスナップバック ESD クランプで構成されているため、出力を VCC よりも最大 16V 上にプルアップできます。入力では、GND と入力の上に「下側」の ESD クランプがあり、入力と VCC の間に 5k Ω 等価抵抗を持つ寄生「上側」ESD ソフト クランプ ダイオードもあります。電源電圧なしで入力に信号を印加することは推奨しません。

入力が電源やバッファ付きリファレンスラインなどの低インピーダンス電源に接続されている場合は、入力と直列に電流制限抵抗を追加して、クランプが導通しているときに電流を制限します。電流は 10mA 以下で制限する必要がありますが、電流は 1mA 以下に制限することを推奨します。この直列抵抗は、任意の抵抗入力分圧器またはネットワークの一部として使用できます。

4.4.3 未使用入力

チャンネルを使用しない場合、入力を互いに接続しないでください。等価帯域幅が高く、オフセット電圧が低いため、入力を互いに直接接続すると、デバイスが独自の内部広帯域ノイズでトリガされ、高周波のチャタリングが発生する可能性があります。

ます。使用しない入力は、規定の入力電圧範囲内で使用可能な任意の電圧に接続し、50mV 以上の差動電圧を確保する必要があります。たとえば、一方の入力を接地し、もう一方の入力を基準電圧に接続できます。

4.4.4 オープン ドレイン出力

TLC372-EP はオープン ドレイン (一般にオープン コレクタとも呼ばれる) シンク専用出力段を備えているため、コンパレータの電源電圧 (VDD) とは関係なく、出力ロジック レベルを 0V から最大 16V までの外部電圧にプルアップできます。オープン ドレイン出力により、複数のオープン ドレイン出力の論理 OR 接続と論理レベルの変換が可能になります。プルアップ抵抗電流は 100μA ~ 1mA の範囲で設定することを TI では推奨しています。プルアップ抵抗値を低くすると、立ち上がりエッジの立ち上がり時間を長くすることができますが、VOL が上昇し、消費電力が増大します。立ち上がり時間は、総プルアップ抵抗と総負荷容量の時定数に左右されます。プルアップ抵抗の値が大きい (>1MΩ)、出力 RC 時定数が原因で指数関数的な立ち上がりエッジが発生し、立ち上がり時間が長くなります。

出力を VDD に直接短絡すると、熱暴走が発生し、高い (> 12V) プルアップ電圧で最終的にデバイスが破壊される可能性があります。出力が短絡する可能性がある場合は、消費電力を制限するために直列の電流制限抵抗を使用することを推奨します。

使用されていないオープン ドレイン出力はフローティングのままにしておくこともでき、フローティング ピンが不要な場合は GND ピンに接続することもできます。

4.4.5 ヒステリシス

基本的なコンパレータ構成では、印加された差動入力電圧がコンパレータのオフセット電圧に近いときに、発振 (ノイズの多い「チャタリング」出力) が発生する場合があります。これは、通常、入力信号がコンパレータのスイッチングしきい値を非常にゆっくりと通過するときに発生します。

ヒステリシスまたは正のフィードバックを追加することで、この問題を防止できます。

図 4-2 に、ヒステリシスの伝達曲線を示します。この曲線は、 V_{TH} 、 V_{OS} 、 V_{HYST} の 3 つの構成要素の関数です。

- V_{TH} は、実際に設定された電圧またはスレッシュホールドのトリップ電圧です。
- V_{OS} は、 V_{IN+} と V_{IN-} の間の内部オフセット電圧です。この電圧を V_{TH} に追加することで、コンパレータが出力状態の変化に応答する必要がある実際のトリップ ポイントを形成します。
- V_{HYST} はヒステリシス (トリップ ウィンドウ) で、コンパレータのノイズ感度を低減するように設計されています。

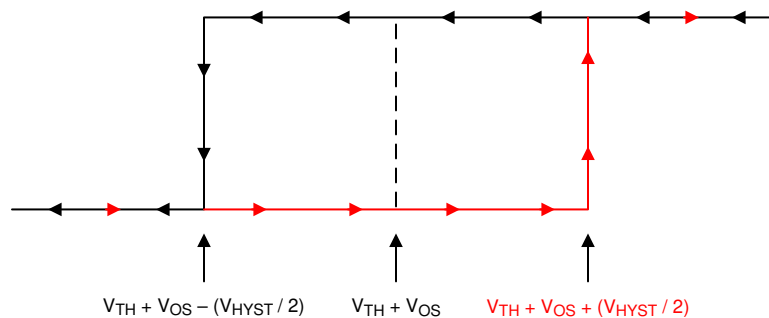


図 4-2. ヒステリシスの伝達曲線

詳細については、アプリケーション ノート SBOA219「ヒステリシス回路付き / なしのコンパレータ」を参照してください。

5 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

5.1 アプリケーション情報

5.1.1 基本的なコンパレータの定義

5.1.1.1 動作

基本コンパレータは、一方の入力の入力電圧 (V_{IN}) を、もう一方の入力の基準電圧 (V_{REF}) と比較します。以下の図 5-1 の例で、 V_{IN} が V_{REF} より低くなると、出力電圧 (V_O) は論理 "Low" (V_{OL}) になります。 V_{IN} が V_{REF} より高くなると、出力電圧 (V_O) は論理 "High" (V_{OH}) になります。表 5-1 に、出力の条件のまとめを示します。入力ピンを入れ替えることにより、出力ロジックを反転できます。

表 5-1. 出力条件

| 入力の条件 | 出力 |
|-------------|---------------------------|
| $IN+ > IN-$ | "High" (V_{OH}) |
| $IN+ = IN-$ | 不定 (チャタリング - 「ヒステリシス」を参照) |
| $IN+ < IN-$ | "Low" (V_{OL}) |

5.1.1.2 伝搬遅延

入力が基準電圧を超えてから出力が応答するまでの間には、遅延があります。これを伝搬遅延と呼びます。伝搬遅延は、"High" から "Low" への入力遷移と "Low" から "High" への入力遷移で異なることがあります。図 5-1 では、伝搬遅延を t_{pLH} と t_{pHL} として示し、入力の中間点から出力の中間点までで測定しています。同様に、伝搬遅延はオーバードライブ (V_{OD}) およびアンダードライブ (V_{UD}) 電圧レベルと呼ばれるものによって異なります (以下のセクションを参照)。

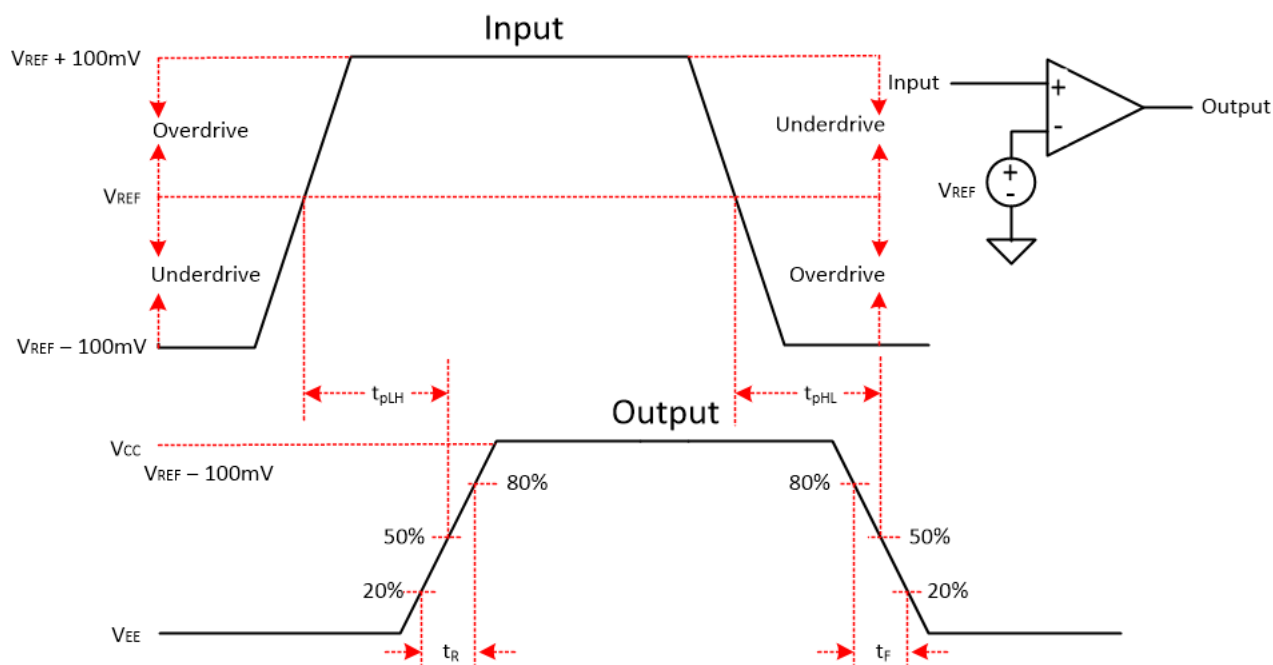


図 5-1. コンパレータのタイミング図

5.1.1.3 オーバードライブおよびアンダードライブ電圧

オーバードライブ電圧 (V_{OD}) は、基準電圧を超える入力電圧の大きさです。入力ピーク ツー ピーク電圧の合計ではありません。図 5-1 の例に示したオーバードライブ電圧は 100mV です。同様に、低駆動電圧 V_{UD} は、入力が始まる REF をどれだけ下回っているかを示します。オーバードライブ電圧とアンダードライブ電圧は、伝搬遅延 (t_p) に影響を及ぼします。詳細については、「標準特性」セクションの曲線を参照してください。オーバードライブ電圧が小さいほど、特に 100mV 未満の場合、伝搬遅延時間が長くなります。高速で応答させたい場合は、できる限り大きなオーバードライブ電圧を印加します。オーバードライブ電圧とは逆に、アンダードライブ電圧が大きいほど伝搬遅延が増加します。これは、コンパレータの入力にレール ツー レールの入力スイングが存在するアプリケーションでは、特に重要です。伝搬遅延スキューが発生する可能性があります (t_{pLH} と t_{pHL} の差)。伝搬遅延の変動が問題となる場合は、このコンパレータ ファミリーを低消費電力コンパレータとして使用しないでください。

立ち上がり時間 (t_r) は出力波形の 20% から 80% のポイントまでの時間、立ち下がり時間 (t_f) は 80% から 20% のポイントまでの時間です。

5.2 代表的なアプリケーション

5.2.1 ウィンドウ コンパレータ

ウィンドウ コンパレータは、一般的に低電圧および過電圧状態を検出するために使用されます。次の図は、24V PLC 電源を監視する簡単なウィンドウ コンパレータ回路を示しています。

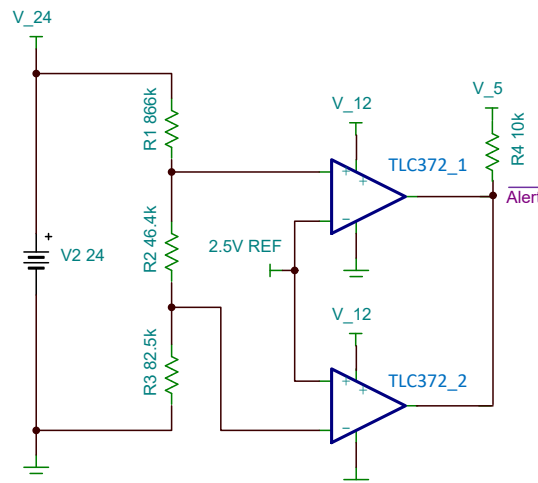


図 5-2. ウィンドウ コンパレータ

5.2.1.1 設計要件

この設計については、以下の設計要件に従ってください。

- 24V 電源が 19.2V を下回る場合の UV_Alert (論理低出力)
- 24V 電源が 30V を上回る場合の OV_Alert (論理低出力)
- 抵抗ストリングで消費される電流は、30μA です
- コンパレータは、12V 電源で動作します
- 2.5V の外部参照を使用します

5.2.1.2 詳細な設計手順

上の回路に示すように回路を構成すると TLC372-EP からの 2.5V REF がリファレンス電圧として使用され、R1、R2、R3 の抵抗列により 24V PLC 電源の上限 / 下限スレッショルド電圧が定義されます。コンパレータにより 24V 電源が最大電圧 30V を超えたこと、または最小電圧 19.2V を下回ったことが検出されると、OV_Alert および UV_Alert ネットはロジック "Low" 状態になります。

最初のステップとして、30 μ A の消費電力制限を使用して抵抗列 (R1、R2、R3) の合計抵抗を決定します。最大動作電圧 30V で、R1 + R2 + R3 の合計抵抗が 1m Ω である場合、抵抗列は 30 μ A を消費します。

2 番目のステップでは、24V 電源が 30V に達したときに、下側コンパレータの出力状態が "High" から "Low" に変化するよう R3 の値を設定します。これは、R2 と R3 の接合部の電圧が 2.5V のリファレンス電圧と等しいときに実現されます。30 μ A が 30V で抵抗列を通過するため、R3 は $2.5V/30\mu A$ から約 83.3k Ω と算出できます。

3 番目のステップでは、24V 電源が 19.2V に達したときに、上側コンパレータの出力状態が "High" から "Low" に変化するよう R2 の値を設定します。これは、R1 と R2 の接合部の電圧が 2.5V のリファレンス電圧と等しいときに実現されます。19.2 μ A は抵抗列を 19.2V で通過するため、R2 は $(2.5V/19.2\mu A) - R3$ から約 46.9k Ω と算出できます。

最後に、R1 の値は $1m\Omega - (R2 + R3)$ から約 870k Ω と算出されます。この回路には標準抵抗値 1% が選択されていることに注意してください。

24V PLC 電源が 19.2V 未満または 30V 超の場合、それぞれのコンパレータ出力 (OV_Alert と UV_Alert) は "Low" になります。同様に、24V 電源が 19.2V ~ 30V の範囲内 (「ウィンドウ」内) の場合、それぞれのコンパレータ出力が "High" になることが下に示されています。

5.2.1.3 アプリケーション曲線

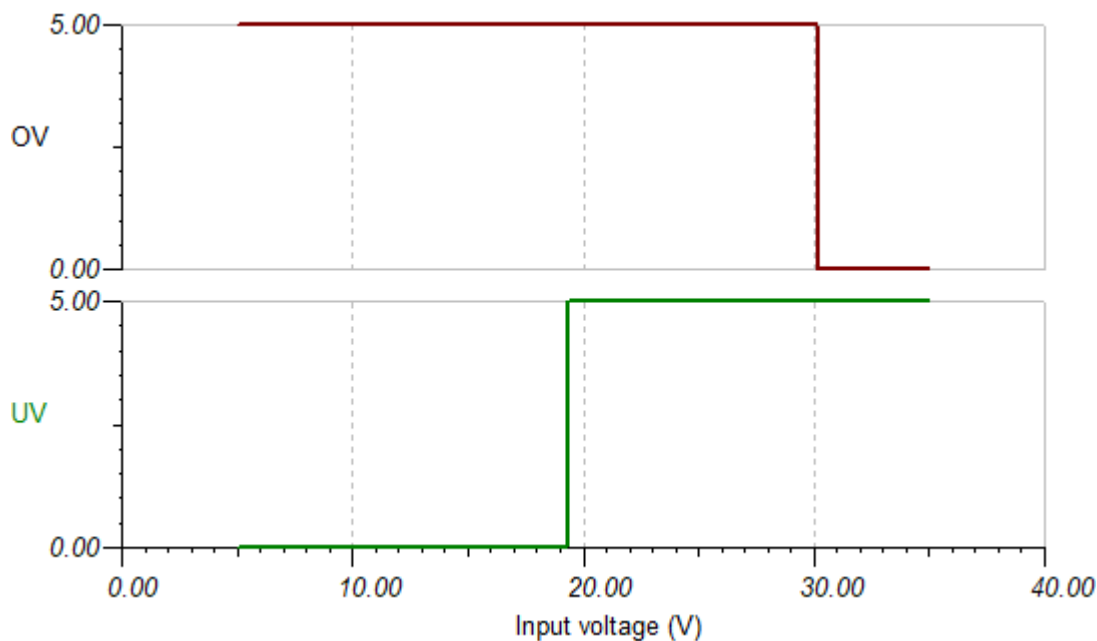


図 5-3. ウィンドウ コンパレータの結果

5.3 電源に関する推奨事項

出力エッジが高速であるため、電源リンギングおよび誤トリガーや発振を防ぐために、電源ピンのバイパス コンデンサを配置することが重要です。V+ ピンとグランド ピンの間に低 ESR の 0.1 μ F セラミック バイパス コンデンサを直接接続して、それぞれのデバイスの電源を直接バイパスします。出力遷移時間中に、特にプッシュプル出力デバイスの場合、狭いピーク電流が流れる場合があります。これらの狭いパルスにより、バイパスされない電源ラインや品質の低いグランドにリンギングが発生する可能性があり、これが入力電圧範囲に影響を与えて、不正確な比較や発振を引き起こす場合があります。

5.4 レイアウト

5.4.1 レイアウトのガイドライン

高精度のコンパレータ アプリケーションには、出力グリッチを最小限に抑えるためのクリーンで安定した電源が必要です。出力の立ち上がり時間と立ち下がり時間は数十ナノ秒であり、高速ロジック デバイスとして扱う必要があります。バイパス

コンデンサは電源ピンにできる限り近づけて配置し、ソリッドなグラウンド プレーンに接続する必要があります。また、可能であれば **VCC** ピンと **GND** ピンの間に直接接続する必要があります。

出力の発振を防ぐため、出力と入力間のカップリングを最小限に抑えてください。カップリングを低減するために、出力間に **VCC** または **GND** のパターンが存在する場合を除いて、出力パターンと入力パターンを並列に配置しないでください。入力に直列抵抗を追加する場合、デバイスの近くに抵抗を配置します。出力と直列に小さい値 (100Ω 以下) の抵抗を追加すると、長い非インピーダンス制御パターン上のリングングや反射の減衰も可能です。エッジの形状を最適化するには、長距離の配線にはバック終端を持つ制御されたインピーダンストレースを使用する必要があります。

5.4.2 レイアウト例

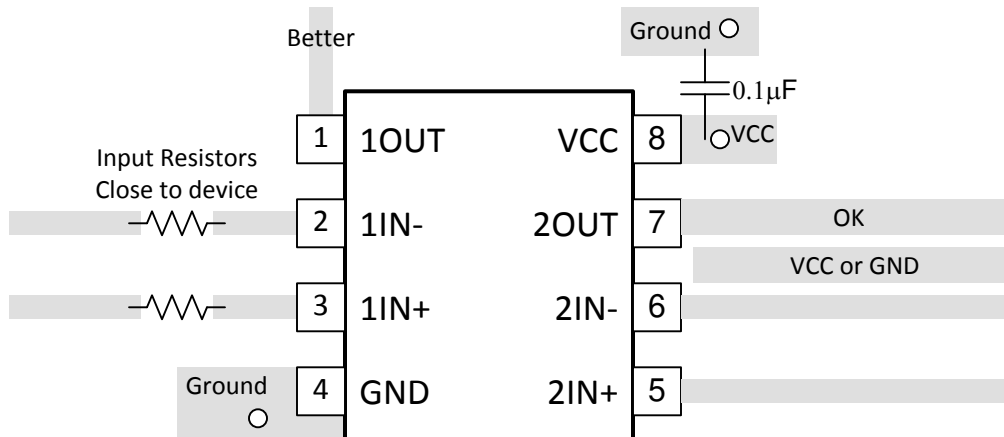


図 5-4. デュアル レイアウトの例

6 デバイスおよびドキュメントのサポート

6.1 ドキュメントのサポート

6.1.1 関連資料

6.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

6.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

6.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

6.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

6.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| Changes from Revision * (March 2007) to Revision A (June 2025) | Page |
|--|------|
| • 新設計の性能をデータシート全体に反映して更新..... | 1 |
| • ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... | 1 |

8 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package Pins | Package qty Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|--------------------------------|---------------|----------------------|----------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------|
| TLC372MDREP | Active | Production | SOIC (D) 8 | 2500 LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -55 to 125 | 372MEP |
| TLC372MDREP.A | Active | Production | SOIC (D) 8 | 2500 LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -55 to 125 | 372MEP |
| V62/06675-01XE | Active | Production | SOIC (D) 8 | 2500 LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -55 to 125 | 372MEP |

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLC372-EP :

- Catalog : [TLC372](#)

- Military : [TLC372M](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月