

TLC6989 TLC698x デバイス ファミリ向け、 SPI 互換接続機能

1 特長

- 動作電圧 V_{CC} 範囲: 2.5V~5.5V
- SPI ペリフェラル
 - 最大 20MHz のデータ転送レート
 - 1 つのコントローラで複数のペリフェラルをサポート
- 連続クロックシリアルインターフェイス (CCSI) コントローラおよびペリフェラル
 - 最大 20MHz のデータ転送レート
 - EMI 耐性を強化できるプログラマブルなクロックジッタ
- 診断
 - オープンドレインの FAULT ピン
 - SPI 通信喪失検出
 - SPI 通信用 CRC
 - CCSI のデータ整合性
- データが利用可能かどうかを確認するためのデータレディ割り込み

2 アプリケーション

- TLC6983 および TLC6984 のための SPI 互換接続機能

3 概要

TLC6989 SPI 互換接続機能を使うと、標準 SPI コントローラを使用して、TLC698x デバイス ファミリを制御できます。本デバイスには、TLC698x デバイス ファミリが必要とする連続クロックを生成するための内部発振器が備わっています。EMI 耐性を強化するため、連続クロックにジッタを付加できます。送信データは、CCSI インターフェイスのタイミング要件を維持するため、連続クロックに合わせて調整されます。

TLC6989 には、TLC698x のデイジーチェーンと TLC6989 内部の両方のフォルトの報告機能が内蔵されています。レジスタと VSYNC コマンドの、TLC698x デイジーチェーンへのデータ転送は、TLC6989 によって CRC 保護されます。また、データ ラインは固着障害に対して TLC6989 によって保護されます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TLC6989	SOT-23-THN (14)	4.20 mm × 2.00mm
	WSON (12)	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値です。

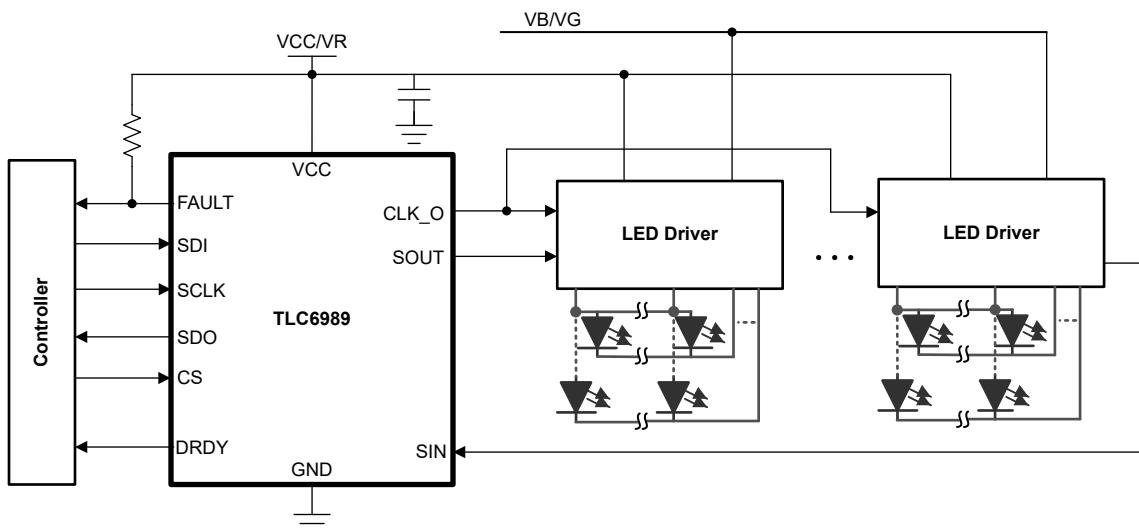


図 3-1. 代表的なアプリケーションの図

目次

1 特長	1	7.5 プログラミング	23
2 アプリケーション	1	7.6 デバイスのレジスタ	33
3 概要	1	8 アプリケーションと実装	46
4 デバイスの比較	3	8.1 アプリケーション情報	46
5 ピン構成および機能	3	8.2 代表的なアプリケーション	46
6 仕様	4	8.3 電源に関する推奨事項	50
6.1 絶対最大定格	4	8.4 レイアウト	50
6.2 ESD 定格	4	9 デバイスおよびドキュメントのサポート	52
6.3 熱に関する情報	4	9.1 デバイス サポート	52
6.4 推奨動作条件	4	9.2 ドキュメントのサポート	52
6.5 電気的特性	5	9.3 ドキュメントの更新通知を受け取る方法	52
6.6 タイミング要件	6	9.4 サポート・リソース	52
6.7 スイッチング特性	6	9.5 商標	52
6.8 タイミング図	7	9.6 静電気放電に関する注意事項	52
6.9 代表的特性	8	9.7 用語集	52
7 詳細説明	9	10 改訂履歴	52
7.1 概要	9	11 メカニカル、パッケージ、および注文情報	52
7.2 機能ブロック図	9	11.1 テープおよびリール情報	53
7.3 機能説明	10	11.2 メカニカル データ	55
7.4 デバイスの機能モード	22		

4 デバイスの比較

部品番号	材料	パッケージ
TLC6989	TLC6989DYYR	SOT-23-THN (14)
	TLC6989DRRR	WSON (12)

5 ピン構成および機能

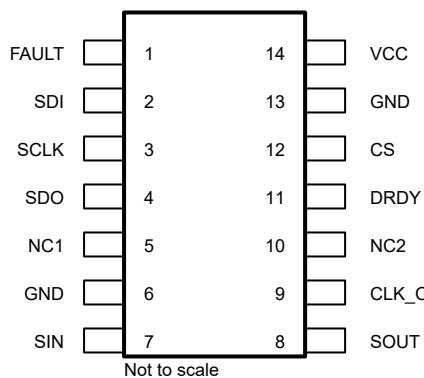


図 5-1. TLC6989 DYY パッケージ 14 ピン SOT-23-THN 上面図

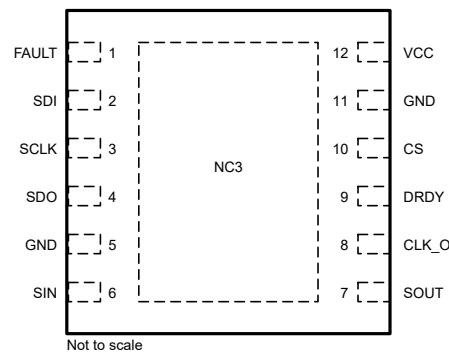


図 5-2. TLC6989 DRR パッケージ 12 ピン WSON (露出サーマルパッド付き) 上面図

表 5-1. ピンの機能

名称	ピン DYY 番号	ピン DRR 番号	種類 ⁽¹⁾	説明
フォルト	1	1	O	フォルト通知ピン
SDI	2	2	I	SPI シリアル データ入力
SCLK	3	3	I	SPI シリアル クロック入力
SDO	4	4	O	SPI シリアル データ出力
NC1	5	-	NC	接続なし。信号の配線に使用できます。
GND	6	5	G	グランドピン (グランドに接続する必要があります。)
SIN	7	6	I	CCSI シリアル データ入力
SOUT	8	7	O	CCSI シリアル データ出力
CLK_O	9	8	O	CCSI シリアル クロック出力
NC2	10	-	NC	接続なし。信号の配線に使用できます。
DRDY	11	9	O	データレディ割り込み
CS	12	10	I	SPI チップセレクト
GND	13	11	G	グランドピン (グランドに接続する必要があります。)
VCC	14	12	P	VCC 電源入力
NC3	-	露出パッド付き	NC	接続なし。グランドを除くすべての信号から電気的に絶縁する必要があります。

(1) I = 入力、O = 出力、G = グランド、P = 電源、NC = 未接続。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
ピンの電圧	VCC	-0.3	6	V
	SDI, SCLK, CS, SIN	-0.3	VCC + 0.3	V
	SDO, DRDY, SOUT, CLK_O	-0.3	VCC + 0.3	V
	フォルト	-0.3	6	V
T _J	接合部温度	-40	150	°C
T _{stg}	保存温度	-55	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 ⁽¹⁾	±4000	V
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1000	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
 (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 热に関する情報

熱評価基準 ⁽¹⁾		DRR (SON)	DYY (SOT)	単位
		12 ピン	14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	66.6	127.7	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	57.1	58.9	°C/W
R _{θJB}	接合部から基板への熱抵抗	37.1	54.6	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	2.3	3.2	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	36.9	54.1	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	12.7		°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{CC}	電源電圧	2.5		5.5	V
ピンの電圧	SDI, SCLK, CS, SIN	0		V _{CC}	V
	SDO, DRDY, SOUT, CLK_O	0		V _{CC}	V
	フォルト	0		V _{CC}	V
f _{SCLK}	SPI クロック周波数			20	MHz
C _{VCC}	V _{CC} デカップリング コンデンサ	100			nF
T _A	周囲温度	-40		85	°C

6.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)、 $2.5V < V_{CC} < 5.5V$

パラメータ	テスト条件	最小値	標準値	最大値	単位
入力電源					
V_{CC}	デバイス電源電圧			5.5	V
V_{UVR}	低電圧再起動	V_{CC} 立ち上がり		2.3	V
V_{UVF}	低電圧シャットダウン	V_{CC} 立ち下がり	2		V
$V_{UV,HYS}$	低電圧シャットダウン、ヒステリシス			0.12	V
I_{CC}	デバイス電源電流	$V_{CC} = 3.3V$ 、CCSI_DATA_RATE[3:0] = 4b'1110		3.1	mA
発振器					
f_{osc}	内部発振器周波数		-3%	40	3% MHz
$t_{WD,OSC}$	内部発振器ウォッチドッグ		0.66	1.45	2.48 μ s
デジタル IO					
V_{IH}	High レベル入力電圧 (SCLK、SDI、CS、SIN)			1.05	V
V_{IL}	Low レベル入力電圧 (SCLK、SDI、CS、SIN)			0.45	V
V_{OH}	High レベル出力電圧 (SOUT、CLK_O、SDO、DRDY)	$I_{OH} = -3mA$	$V_{CC} - 0.4$	V_{CC}	V
V_{OL}	Low レベル出力電圧 (SOUT、CLK_O、SDO、DRDY)	$I_{OL} = 3mA$		0.4	V
I_{LOGIC}	ロジック ピン電流 (SCLK、SDI、CS、SIN)	$SCLK/SDI/CS/SIN = V_{CC}$ または GND	-1	1	μ A
フォルト					
$I_{PD,FAULT}$	FAULT プルダウン電流能力	$V_{FAULT} = 0.4V$	22	59	mA
$I_{LKG,FAULT}$	FAULT のリーキ電流			1	μ A
$V_{OH,FAULT}$	High レベル出力電圧 (FAULT)	外部プルアップ抵抗経由で FAULT ピンに印加される電圧		V_{CC}	V
$V_{OL,FAULT}$	Low レベル出力電圧 (FAULT)	$I_{OL} = 3mA$ 、外付けプルアップ抵抗により制限する必要あり		0.4	V
診断					
$t_{WD,SIN}$	SIN ウォッチドッグ		5		ms

6.6 タイミング要件

パラメータ		テスト条件	最小値	公称値	最大値	単位
$f_{SCLK,NORMAL}$	NORMAL 状態での SCLK クロック周波数			20		MHz
$f_{SCLK,INIT}$	INIT 状態での SCLK クロック周波数			5		MHz
$t_{LEAD,CS}$	遅延時間、CS 立ち下がりエッジから最初の SCLK 立ち上がりエッジまで		15			ns
$t_{LAG,CS}$	遅延時間、最後の SCLK 立ち下がりエッジから CS 立ち上がりエッジまで		5			ns
$t_{SU,SDI}$	SCLK 立ち上がりエッジまでの SDI 入力データ セットアップ時間		10			ns
$t_{HD,SDI}$	SCLK 立ち上がりエッジ後の SDI 入力データ ホールド時間		5			ns
$t_{wh,CS}$	パルス幅、CS high		40			ns
$t_{SU,SIN}$	CLK_O 立ち上がりエッジと立ち下がりエッジまでの SIN 入力データ セットアップ時間		10			ns
$t_{HD,SIN}$	CLK_O 立ち上がりエッジと立ち下がりエッジ後の SIN 入力データ ホールド時間		2			ns

6.7 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{ACC,CS}$	伝搬遅延時間、CS 立ち下がりエッジから SDO 駆動まで			50		ns
$t_{DIS,CS}$	伝搬遅延時間、CS 立ち上がりエッジから SDO 高インピーダンスまで			75		ns
$t_{VALID,SDO}$	伝搬遅延時間、SCLK 立ち下がりエッジから有効な新しい SDO まで			22		ns
$t_{r,SOUT}$	立ち上がり時間 (SOUT) - V_{CC} の 10%~ V_{CC} の 90% まで	$V_{CC} = 3.3V, C_{SOUT} = 30pF$	2	10		ns
$t_{f,SOUT}$	立ち下がり時間 (SOUT) - V_{CC} の 90%~ V_{CC} の 10% まで	$V_{CC} = 3.3V, C_{SOUT} = 30pF$	2	10		ns
f_{CLK_O}	CLK_O 出力周波数。出力電圧は、指定されたトグル周波数で 10% 以上、90% V_{CC} に達します。	$V_{CC} = 3.3V, C_{CLK_O} = 30pF$		10.3		MHz

6.8 タイミング図

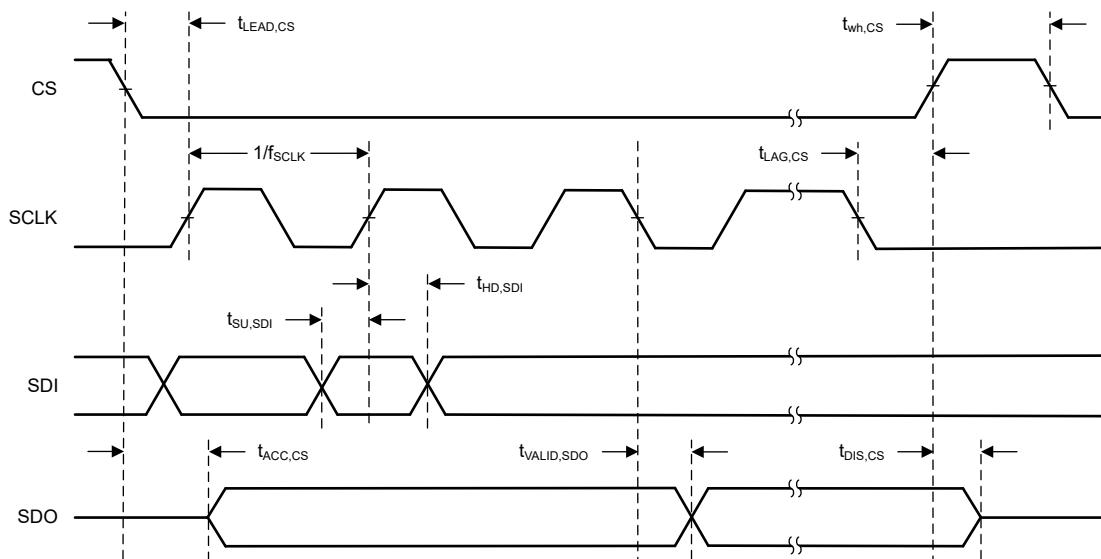


図 6-1. SPI ペリフェラルのタイミング図

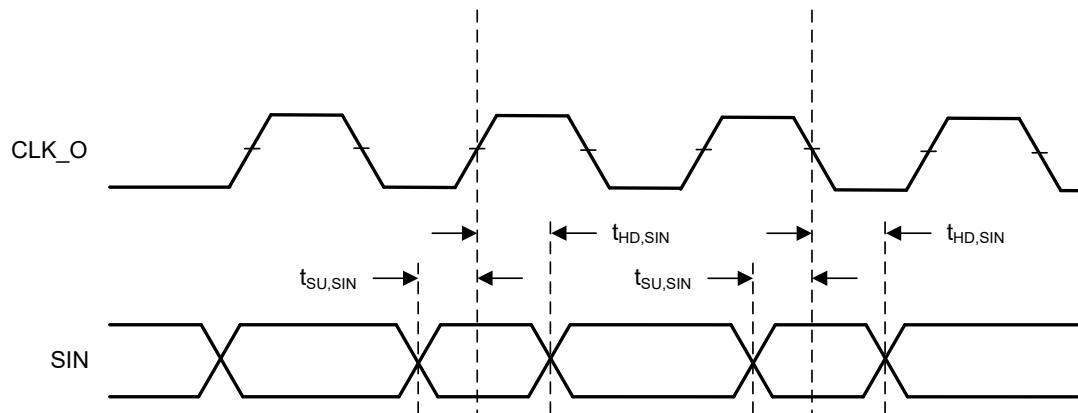


図 6-2. CCSI ペリフェラルのタイミング図

6.9 代表的特性

特に記述のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 3.3\text{V}$

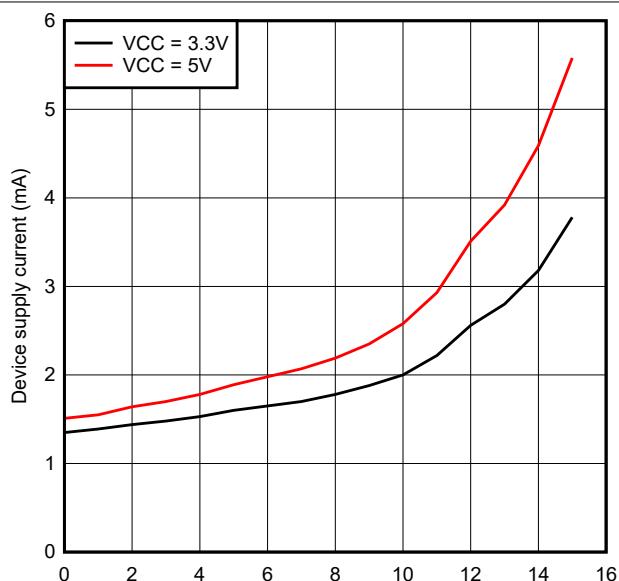


図 6-3. デバイス電源電流と CCSI_DATA_RATE との関係

7 詳細説明

7.1 概要

TLC6989 は、SPI と連続クロック シリアル インターフェイス (CCSI) 間の SPI 互換接続を提供します。本デバイスは、TLC698x ファミリのカスケード接続された LED ドライバを任意の数だけ駆動できます。カスケード接続されたデバイスの最大数は、LED ドライバによって制限されます。

TLC6989 は、内部発振器とクロック分周器を使用して、CCSI にプログラム可能な連続クロック周波数を提供します。SPI ペリフェラルによって受信されたデータワードは、連続クロックに整合された状態で CCSI コントローラによって転送されます。CCSI ペリフェラルによって受信されたデータワードは、TLC6989 によって保存され、SPI を使用してコントローラによって読み取られます。連続クロックには、EMI 放射を低減するために、プログラマブル疑似ランダム ジッタ (スペクトラム拡散) 機能が組み込まれています。

TLC6989 は、SPI ペリフェラルによって受信されたデータワードを転送する際に、必要なスタートビットと検査ビットを自動的に挿入します。CCSI ペリフェラルによって受信されたデータワードについて、TLC6989 は検査ビットを自動的に分析し、エラーが検出されると通知します。データワードが SPI で読み取るために格納されるとき、スタートビットと検査ビットはデータ文字列から取り除かれます。

TLC6989 は、SPI ペリフェラルによって受信されたデータワードを転送する際に、必要な END バイトを自動的に挿入し、異なる SPI コマンドが異なる CCSI コマンドとして認識されるようにします。データワードが SPI で読み取るために格納されるとき、END バイトはデータ文字列から取り除かれます。

TLC6989 の SPI ペリフェラルは、クロックの立ち上がりエッジを使用してデータシフトします。CCSI の場合、連続クロックの立ち上がりエッジと立ち下がりエッジの両方で、TLC6989 によってデータがシフトアウトされます。

7.2 機能ブロック図

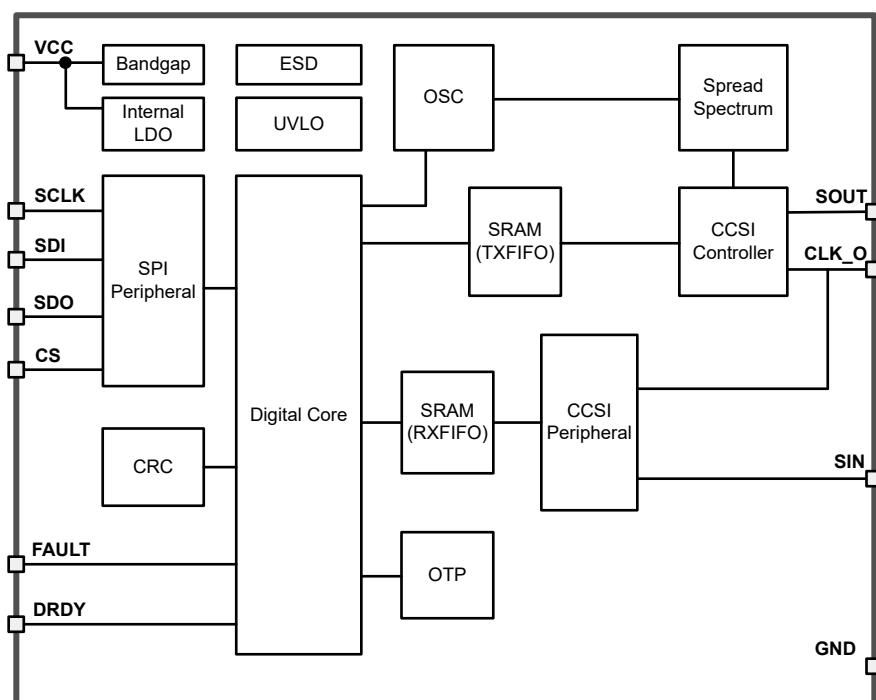


図 7-1. 機能ブロック図

7.3 機能説明

7.3.1 内部発振器およびクロック

7.3.1.1 システム クロック

TLC6989 は、デバイスに対する 40MHz システム クロックを提供する内部発振器を内蔵しています。システム クロックは、デジタル ロジックの動作に使用できます。

内部発振器ウォッチドッグ

POR が完了した後に、内部発振器ウォッチドッグ タイマ ($t_{WD,osc}$) は自動的に有効になります。内部発振器が $t_{WD,osc}$ より長い間トグルを停止すると、ウォッチドッグがタイムアウトし、発振器が再びトグルを開始するまでロジックをリセット (POR) 状態に保持します。内部発振器は、システム クロックとして使用されます。

7.3.1.2 連続クロック シリアル インターフェイス (CCSI) クロック

CCSI コントローラがデータを送信するためのクロックは、システム クロックから生成されます。LED ドライバのデイジーチェーンで目的のクロック周波数を実現するために、16 の分周器オプション (CCSICTRL レジスタの CCSI_DATA_RATE) が利用可能です。

CCSI クロックはプログラマブル デジタル スペクトラム拡散によって変調され、システム レベルの EMI 性能を向上させることができます。CCSICTRL レジスタの CCSI_SS_CLKO フィールドによって、スペクトラム拡散が有効かどうかが決まります。CCSI_DATA_RATE * CCSI_SS_CLKO * 2 が 120kBit/s より小さい場合、変調周波数 30kHz が使用されます。それ以外の場合、変調周波数は 120kHz です。

7.3.2 連続クロック シリアル インターフェイス (CCSI)

連続クロック シリーズ インターフェイス (CCSI) を使用すると、CCSI コントローラと CCSI ペリフェラル間のデイジーチェーンで接続されている LED ドライバのプログラマブルな機能とレジスタにアクセスできます。CCSI コントローラでは、シリアル データ出力 (SOUT) とシリアル クロック出力 (CLK_O) を使用します。CCSI コントローラが送信していないとき、SOUT はロジック HIGH に設定され、CLK_O はアクティブで連続的な状態を維持します。連続クロックは、デバイスの電源投入後に開始されます。CCSI コントローラによる送信を開始するには、デバイスが NORMAL 状態になっており、FLAG_POR フラグがクリアされている必要があります。

CCSI ペリフェラルは、シリアル データ入力 (SIN) の 1 線で構成されています。データは、CLK_O と同じクロック ソースを使用してシフト インされます。

7.3.2.1 コマンドフォーマット

コマンドフォーマットは、CCSI ペリフェラルの視点から見た場合のものです。図 7-2 に、コマンド送信のフォーマットを定義します。1 つのコマンドには 3 つの状態があります。

- **IDEL:CLK_O** は常にアクティブで連続的に動作しています。SIN は常に HIGH です。
- **START:SIN** は IDLE 状態の後に HIGH から LOW に変わります。
- **DATA:**
 - **Head_byte:** コマンド識別子には、1 つの 16 ビットデータと 1 つの検査ビットが含まれています。
 - **Data_bytes_N-1:** 各データバイトには 3×17 ビットデータが含まれ、各 17 ビットのデータは 1 つの 16 ビットデータワードと 1 つの検査ビットで構成されています。
- **END:** デバイスは、SIN の連続した 18 ビットの HIGH を認識してから、IDLE 状態に戻ります。
- **CHECK BIT:** 検査ビット(17 番目のビット)の値は、連続した 18 ビットの HIGH を回避するため (END と区別するため)、16 番目のビット値の NOT となります。

IDLE 状態は必要なく、次のコマンドの START 状態を現在のコマンドの END 状態に接続できることを意味します。

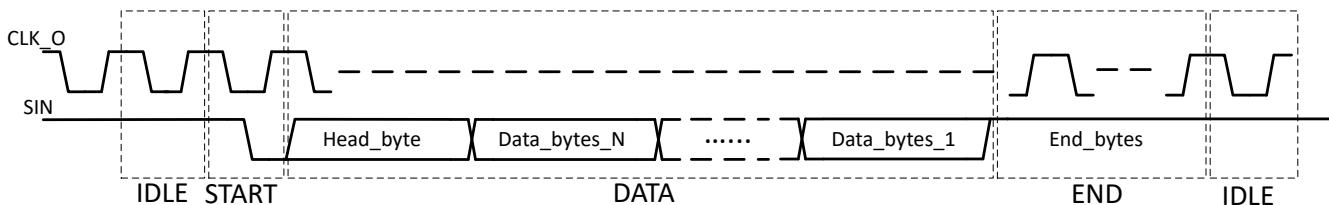


図 7-2. コマンドフォーマット

7.3.2.2 コマンドの認識および同期化

2 つの異なる CCSI コマンドを別々のコマンドとして認識できるようにするには、コマンド間に少なくとも 1 つの END バイトが必要です。TLC6989 は、1 つの SPI コマンドからの全データが送信された後、自動的に 1 つの END バイトを挿入します。ただし、特定の CCSI コマンドの場合、LED ドライバはデータストリームにデータを追加します。この場合、CCSI ペリフェラルが 2 つの CCSI コマンドを区別するには、送信中の 1 つの END バイトでは不十分です。十分な END バイトがないと、CCSI コントローラと CCSI ペリフェラルは同期を失います。同期化は、いくつかのアクションに必要なものです。たとえば、受信データを RXFIFO に格納する必要があるかどうか、または受信データに対して CRC を計算し、送信データに対する CRC と比較する必要があるかどうかを決める場合などに必要です。同期が失われた場合、SPI コマンド SOFTRESET_CRC を使用して CCSI コントローラと CCSI ペリフェラルの同期を戻すことができます。SPI コントローラは、追加の END バイトを挿入する専用の SPI コマンドを使用することで、CCSI コマンド間に十分な END バイトがあるようにして同期を維持します。

7.3.2.3 CCSI コマンド キュー

CCSI コントローラは、複数の SPI コマンドをキューイングできる機能を備えています。つまり、CCSI コントローラがまだ送信中であるときに、SPI ペリフェラルによって新しい SPI 転送コマンドが受信可能であることを意味します。この新しいコマンドは、古いコマンドの送信が終了すると自動的に送信されます。図 7-3 に、例を示します。この図では、すべてのデータワードは 16 ビットです。つまり、ロックの幅が大きいほどクロック周波数は低くなることを意味しています。この例では、CCSI 周波数が SPI 周波数より低くなっています。

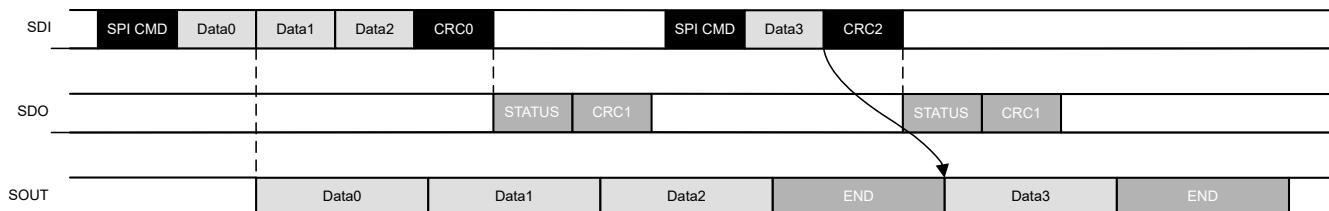


図 7-3. CCSI コマンドのキューイングの例

7.3.2.4 CCSI のスタート ビットと検査ビットの挿入と除去

TLC6989 は、CCSI に必要なスタートビットと検査ビットを自動的に挿入および削除します。つまり、コントローラによって送信されたときに、これらのビットを SPI データワードに挿入する必要はありません。さらに、SPI を使用してデータを読み取る際には、スタートビットと検査ビットは取り除かれます。これにより、標準の 16 ビット SPI データワードが得られます。図 7-4 に、その例を示します。本書の残りの部分では、スタートビットと検査ビットは明示的に示されません。

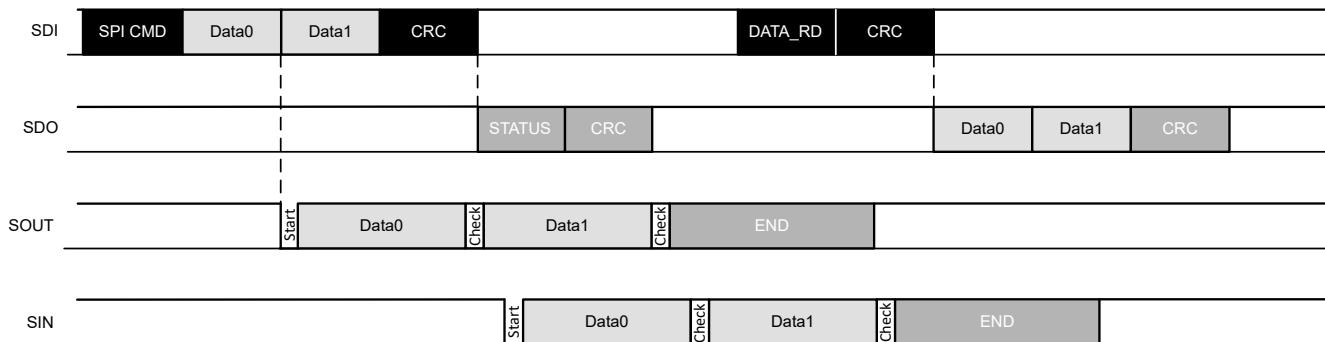


図 7-4. スタート ビットと検査ビットの挿入と除去の例

7.3.3 FIFO

TLC6989 は、送信 FIFO と受信 FIFO の両方を搭載しています。FIFO の名前は、連続クロック シリアル インターフェイス (CCSI) の視点から見た場合のものです。つまり、送信 FIFO (TXFIFO) とは、SPI ペリフェラルによって受信され、CCSI コントローラによって送信されるデータです。受信 FIFO (RXFIFO) は、CCSI ペリフェラルによって受信されたデータであり、SPI ペリフェラル経由でコントローラによって読み取り可能です。

どちらの FIFO も、16 ビット幅の先入れ先出しメモリ バッファです。FIFO は、データが SPI クロック ドメインと CCSI クロック ドメインの間でクロスする間のタイミング要件を満たすために、データ ワードの格納に使用されます。TXFIFO は、SPI クロック ドメインから CCSI クロック ドメインへのクロスオーバー中にデータを保持します。RXFIFO は、CCSI クロック ドメインから SPI クロック ドメインへのクロスオーバー中に、データを保持します。

SPI クロック ドメインが CCSI クロック ドメインよりも高い周波数で動作する場合、TXFIFO は、CCSI コントローラによってまだ送信されていない、SPI ペリフェラルによってすでに受信されたデータを格納します。カウンタ (TXFFST) は、TXFIFO に現在格納されているワード数を追跡します。SPI ペリフェラルが CCSI コントローラよりも高いクロック周波数で動作する例を、図 7-5 に示します。この図では、すべてのデータ ワードは 16 ビットです。つまり、ブロックの幅が大きいほどクロック周波数は低くなることを意味しています。

SDI	SPI CMD	Data0	Data1	Data2	Data3	CRC			
TXFFST	0	1	0	1	2	1	2	1	0
SOUT		Data0		Data1		Data2		Data3	

図 7-5. CCSI コントローラより高い周波数で動作する SPI ペリフェラルの例

SPI ペリフェラルが CCSI コントローラよりも低いクロック周波数で動作する場合、CCSI コントローラによる送信が開始される前に、TXFIFO は最初に SPI ペリフェラルによって受信された多数のデータ ワードを格納するために使用されます。この方法に従うことで、データ ワードが SPI ペリフェラルによってまだ受信されていないため、CCSI のデータ ストリームは連続クロックを停止させることなく、連続させることができます。図 7-6 に、この状況の例を示します。

SDI	SPI CMD	Data0	Data1	Data2	Data3	CRC			
TXFFST	0		1	2	3	2	1	1	0
SOUT					Data0	Data1	Data2	Data3	

図 7-6. CCSI コントローラより低い周波数で動作する SPI ペリフェラルの例

RXFIFO の場合、CCSI ペリフェラルはデータを受信して、RXFIFO に格納します。SPI ペリフェラルは RXFIFO からデータを読み取り、SPI コントローラに送信します。また、RXFIFO には、現在格納されているデータ ワードの数を追跡するためのカウンタ (RXFFST) が存在します。

END バイトが受信されると、格納は停止します。END バイト自体は RXFIFO に格納されません。また、START ビットと CHECK ビットは格納されません。

7.3.3.1 FIFO レベルおよびデータ レディ (DRDY) 割り込み

TXFIFO レベル (TXFFLVL) は、SPI CRC に依存しない SPI 転送コマンドに対する CCSI コントローラの送信開始を制御します。FIFO レベルを正しく設定すると、FIFO のオーバーフローとアンダーフローを防止できます。この設定は、SPI クロック周波数と CCSI クロック周波数の差、SPI ペリフェラルに供給されるクロックの精度、CCSI コントローラのクロックの精度、転送されるデータの最大長によって異なります。

RXFIFO レベル (RXFFLVL) は、データ レディ (DRDY) 割り込みを制御します。RXFIFO のデータ ワード数が RXFFLVL を上回ると、DRDY ピンはロジック Low になります。この DRDY ピンは、RXFIFO にワードがなくなるまでロジック Low のままでです。RXFFLVL 設定は、転送されるデータの最大長が CCSI ペリフェラルによって受信されるデータワードの最大数に置き換えられることを除き、TXFFLVL と同じ依存関係を持ちます。図 7-7 に、DRDY ピンの動作の例を示します。

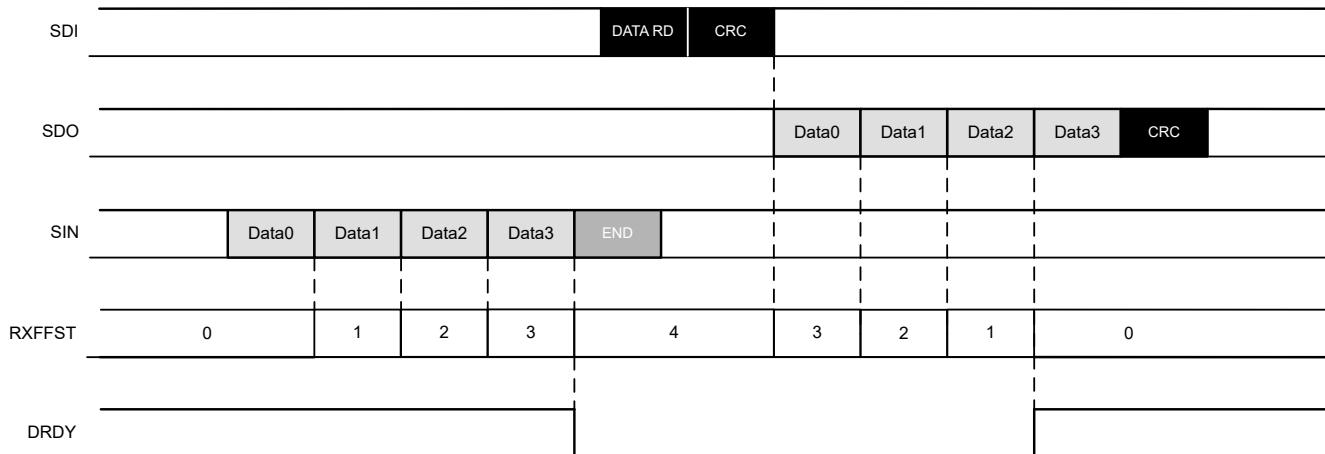


図 7-7. RXFFLVL レジスタが 3 に設定された状態の DRDY ピンの例

DRDY ピンは、END バイトが検出され、RXFIFO のワード数がまだ RXFFLVL に達していない場合にもロジック Low になります。

7.3.3.2 FIFO クリアランス

実行中の CCSI 送信を停止するには、TXFFLVL レジスタの TXFFCLR ビットで TXFIFO をクリアできます。これにより、TXFIFO カウンタ (TXFFST) が 0 にリセットされます。キュー内のすべてのコマンドがクリアされます。CCSI コントローラは、自動的に END バイトを挿入し、LED ドライバをリセットします。CCSI ペリフェラルは通常どおり動作し続けます。TXFFCLR ビットは自動的に 0 に戻ります。

RXFIFO のデータは、RXFFLVL レジスタの RXFFCLR ビットでクリアできます。これにより、RXFIFO カウンタ (RXFFST) が 0 にリセットされます。CCSI ペリフェラルが RXFIFO に格納する必要のあるデータを受信している場合、このコマンドに対して格納が停止されます。CCSI ペリフェラルによって受信された次の CCSI コマンドは、SPI コマンドの元の要求に基づいて処理されます。CCSI コントローラは通常どおり動作し続けます。RXFFCLR ビットは自動的に 0 に戻ります。

7.3.4 診断

TLC6989 には、デバイスの内部診断と外部診断があります。デバイスは障害を検出し、FAULT ピンとステータス レジスタを介してステータスを通知します。デバイスを正常な動作状態にするためには、SPI コントローラがアクションを起こす必要があります。�ルトは、STATUS レジスタに CLR_FLAG ビットを書き込むことでクリアできます。このビットでクリアできないのは、OTP CRC エラーと FAILSAFE 状態のフラグのみです。CLR_FLAG ビットは自動的に 0 に戻ります。�ルトが残っている場合、次の検出の後にエラー フラグが設定されます。

7.3.4.1 低電圧誤動作防止

VCC 電圧が UVLO スレッショルドを下回ると、デバイスは電源が供給されていない状態になります。電圧が回復すると、デバイスは、FLAG_POR と FLAG_ERR が 1 に設定された状態で、自動的に初期化状態に切り替わります。SPI コントローラは、CLR_FLAG レジスタに 1 を書き込むことでフラグをクリアできます。

7.3.4.2 発振器�ルト診断

POR が完了した後に、内部クロック ウオッチドッグ タイマ ($t_{WD,osc}$) は自動的に有効になります。内部発振器が $t_{WD,osc}$ より長い時間トグルを停止すると、ウォッチドッグがタイムアウトし、FAULT ピンが Low になります。�ルトがラッチされ、発振器が再びトグルを開始すると、FLAG_OSC と FLAG_ERR が 1 に設定されます。SPI コントローラは TLC6989 にアクセスし、CLR_FLAG に 1 を書き込むことでフラグをクリアできます。

7.3.4.3 SPI 通信喪失

TLC6989 は、内部ウォッチドッグ タイマで SPI の通信を監視しています。デバイスは、通信喪失の間に有効な SPI コマンドを受信することを想定しています。デバイスが NORMAL 状態に移行すると、タイマはカウントを開始します。有効な SPI コマンドが検出されると、タイマはリセットされます。ウォッチドッグタイマがオーバーフローすると、デバイスは自動的に FAILSAFE 状態に切り替わり、DEV_STATE を 0x3 に、FLAG_ERR を 1 に設定します。SPI コントローラは TLC6989 にアクセスし、DEVCTRL レジスタの EXIT_FS に 1 を書き込むことで、通信が回復したときにデバイスを NORMAL 状態に戻すことができます。ウォッチドッグ タイマは、SPICTRL レジスタの 2 ビット フィールド SPI_WDT_CFG でプログラム可能です。SPI_WDT_CFG を 0x3 に設定してウォッチドッグ タイマを無効にすると、デバイスが自動的に FAILSAFE 状態に移行するのを防ぐことができます。

7.3.4.4 SPI 通信エラー

7.3.4.4.1 リセット タイマー

TLC6989 は、内部 SPI リセット タイマで SPI の通信を監視しています。SPI コマンドが開始されるとタイマが起動し、デバイスはタイマがオーバーフローする前にコマンド全体（データの読み取りを含む）が完了することを想定しています。タイマは、デバイスが SPI コマンド ワードの検出を試みているときに、SCLK ピンの最初のクロック パルス（CS ピンがアクティブ状態）からカウントを開始します。タイマは、デバイスが次の SPI コマンド ワードの待機を開始するとリセットされます。ウォッチドッグ タイマがオーバーフローすると、SPI ペリフェラルはリセットされ、次の SPI コマンド ワードの受信待機を始めます。さらに、FLAG_SPI_TIMEOUT、FLAG_SPI、FLAG_ERR が 1 に設定されます。SPI コントローラは TLC6989 にアクセスし、CLR_FLAG に 1 を書き込むことでフラグをクリアできます。SPI リセット タイマは、SPICTRL レジスタの 4 ビット フィールド SPI_RST_TIMEOUT_CFG でプログラム可能です。テキサス・インスツルメンツでは、CS ピンが常にアクティブ状態に保たれている場合、このタイマを有効にすることを推奨しています。

7.3.4.4.2 チップセレクト (CS) リセット

SPI ペリフェラルは、CS ピンをロジック High にすることでリセットされます。これは通常、SPI コマンドがすべて完了し、SPI ペリフェラルが次のコマンドを待機しているときに実行されます。SPI ペリフェラルが SPI コマンド ワードを受信した後、コマンド全体が受信される前に CS ピンが High になると、FLAG_SPI_CS、FLAG_SPI、FLAG_ERR が 1 に設定されます。SPI コントローラは TLC6989 にアクセスし、CLR_FLAG に 1 を書き込むことでフラグをクリアできます。

7.3.4.4.3 CRC 錯差

CRC ワードは、TLC6989 が SPI コントローラからすべてのワードを正しく受信したことを確認するために、SPI コントローラが送信するコマンドの最後のワードです。SPI コントローラは、SPI コマンド ワードとデータワードを含むすべてのワードの CRC 値を計算する必要があります。TLC6989 はすべてのワードを受信し、CRC ワードを計算して、計算された CRC ワードを受信された CRC ワードと比較します。2 つの CRC ワードが一致しない場合、TLC6989 は FLAG_SPI_CRC と FLAG_ERR を 1 に設定します。受信されたコマンドに応じて、TLC6989 はコマンドを無視するか、コマンドの処理を継続します。SPI コントローラはデバイスにアクセスし、CLR_FLAG に 1 を書き込むことでフラグをクリアできます。2 つの異なる CRC アルゴリズムがサポートされています。デフォルトのアルゴリズムは CCITT-FALSE です。これは、REG_WR SPI コマンドを使用して CRC-16/XMODEM アルゴリズムに変更できます。CRC アルゴリズムを変更すると、次の SPI コマンドから新しいアルゴリズムが使用されます。

7.3.4.4.4 レジスタ書き込みエラー

CCSI コントローラが送信中または CCSI ペリフェラルが受信中は、CCSICTRL レジスタへの書き込みは禁止されています。これにより、CLK_O の連続クロック出力は、SOUT で送信され SIN で受信されるデータと一致した状態を維持します。CCSI コントローラや CCSI ペリフェラルの動作中に CCSICTRL レジスタへの書き込みを試みると、デバイスは自動的にこれを検出し、FLAG_SPI_REG_WRITE を 1 に設定します。SPI コントローラはデバイスにアクセスし、CLR_FLAG に 1 を書き込むことでフラグをクリアできます。

7.3.4.5 CCSI 通信喪失

7.3.4.5.1 SIN 固着診断

CCSI ペリフェラルのデータ入力 (SIN) ピンは監視されています。CCSI コントローラが送信を開始（SOUT ピンがロジック High から Low に遷移）した後、タイマはカウントを開始します。タイマがオーバーフローする前（5 ミリ秒後）に SIN ピンでトグルが検出されなかった場合、FLAG_CCSI_SIN、FLAG_CCSI、FLAG_ERR は 1 に設定されます。SPI コントローラは TLC6989 にアクセスし、CLR_FLAG に 1 を書き込むことでフラグをクリアできます。

FLAG_CCSI_SIN が設定されると、CCSI コントローラと CCSI ペリフェラルは同期を失う可能性が高くなります。そのため、テキサス・インスツルメンツでは、このフラグが設定された後で SOFTRESET コマンドの実行を推奨しています。

7.3.4.6 CCSI 通信エラー

CCSI ペリフェラルは、受信データの診断を行います。検査ビットの検出は、受信されたすべてのデータに対してチェックされますが、データ整合性は、CCSI コントローラによって送信されたデータを追加または変更していない CCSI コマンドに対してのみチェックされます。

7.3.4.6.1 CHECK ビット エラー

各 CCSI データ バイトの CHECK (17 番目) ビットは、16 番目のビットの NOT である必要があります。CHECK ビットが 16 番目のビットと同じである場合、FLAG_CCSI_CHECK_BIT、FLAG_CCSI、FLAG_ERR が 1 に設定されます。SPI コントローラは TLC6989 にアクセスし、CLR_FLAG に 1 を書き込むことでフラグをクリアできます。CCSI ペリフェラルは現在の CCSI コマンドの受信を停止し、END バイトが受信されるまで待機します。その後、CCSI ペリフェラルは、エラー フラグのステータスとは無関係に正常に動作します。

7.3.4.6.2 データ整合性診断

CCSI コントローラによって送信されるデータは、LED ドライバのデイジーチェーン内で変更または拡張されないので、TLC6989 デバイスによって CRC で保護されます。CCSI コマンドの送信された全ワードに対して、CRC 値が計算されます。CCSI ペリフェラルによってコマンドが受信されると、受信された全ワードについて別の CRC が計算されます。送信されたワードに対する CRC が受信されたワードに対する CRC と一致しない場合、FLAG_CCSI_CRC、FLAG_CCSI、FLAG_ERR が 1 に設定されます。SPI コントローラは TLC6989 にアクセスし、CLR_FLAG に 1 を書き込むことでフラグをクリアできます。

SPI コマンドが FWD (コマンド 0x2~0x7) で始まると、SPI コマンドの最初のデータ ワードがチェックされます。このワードが FC0~FC15 (0xAA00~0xAA0F) または VSYNC (0xAA0F) CCSI 書き込みコマンドと一致すると、データ整合性診断が実行されます。

このエラー フラグが連続してトリガされると、CCSI コントローラと CCSI ペリフェラルは同期を失う可能性が高くなります。この場合、テキサス・インスツルメンツでは、SOFTRESET コマンドの実行を推奨しています。

7.3.4.6.3 CCSI コマンド キュー オーバーフロー

TLC6989 は、CCSI コントローラによって送信されるコマンドまたは CCSI ペリフェラルによって受信が予想されるコマンドがキュー内に多過ぎる場合、検出を行います。コマンド キューが満杯のときに SPI ペリフェラルによって新しい CCSI コマンドが受信されると、FLAG_CCSI_CMD_QUEUE_OVF、FLAG_CCSI、FLAG_ERR が 1 に設定されます。さらに、CCSI コマンド キューと TXFIFO は、TXFFCLR と同じ方法でクリアされます。SPI コントローラは TLC6989 にアクセスし、CLR_FLAG に 1 を書き込むことでフラグをクリアできます。新しい CCSI コマンドを格納し、CCSI コントローラが送信を開始できるようにするには、エラー フラグをクリアする必要があります。

FLAG_CCSI_CMD_QUEUE_OVF が設定されると、CCSI コントローラと CCSI ペリフェラルは同期を失う可能性が高くなります。そのため、テキサス・インスツルメンツでは、このフラグが設定された後で SOFTRESET コマンドの実行を推奨しています。

7.3.4.7 FIFO 診断

TXFIFO と RXFIFO はどちらも、独自のオーバーフロー診断とアンダーフロー診断を備えています。以下のセクションでは、これらをより詳細に説明します。

7.3.4.7.1 TXFIFO オーバーフロー

TXFIFO が満杯になり (TXFFST = 0x1FF)、TXFIFO に格納されなければならない新しいデータ ワードが SPI ペリフェラルによって受信されると、FLAG_TXFFOVF、FLAG_TXFF、FLAG_ERR が 1 に設定されます。さらに、TXFIFO は TXFFCLR と同じ方法でクリアされます。SPI コントローラは TLC6989 にアクセスし、CLR_FLAG に 1 を書き込むことでフラグをクリアできます。新しい CCSI データ ワードを TXFIFO に格納し、CCSI コントローラが送信を開始できるようにするには、エラー フラグをクリアする必要があります。

7.3.4.7.2 TXFIFO アンダーフロー

FIFO が空 (TXFFST = 0x0) の場合、CCSI コントローラが TXFIFO から新しいワードの読み取りを試みると、FLAG_TXFFUVF、FLAG_TXFF、FLAG_ERR が 1 に設定されます。CCSI コントローラによる実行中の送信が停止されます。SPI コントローラは TLC6989 にアクセスし、CLR_FLAG に 1 を書き込むことでフラグをクリアできます。新しい CCSI データ ワードを TXFIFO に格納し、CCSI コントローラが送信を開始できるようにするには、エラー フラグをクリアする必要があります。

7.3.4.7.3 TXFIFO シングル エラー検出 (SED)

TXFIFO は、パリティビットで保護されます。TXFIFO からの読み取り動作中にシングルビットエラーが検出されると、FLAG_TXFFSED、FLAG_RXFF、FLAG_ERR が 1 に設定されます。CCSI コントローラによる実行中の送信が停止されます。ただし、TXFIFO は自動的にはクリアされません。SPI コントローラは TLC6989 にアクセスし、CLR_FLAG に 1 を書き込むことでフラグをクリアできます。新しいCCSI データワードを TXFIFO に格納し、CCSI コントローラが送信を開始できるようにするには、エラー フラグをクリアする必要があります。

7.3.4.7.4 RXFIFO オーバーフロー

RXFIFO が満杯になり (RXFFST = 0x0FF)、RXFIFO に格納されなければならない新しいデータワードが CCSI ペリフェラルによって受信されると、FLAG_RXFFOVF、FLAG_RXFF、FLAG_ERR が 1 に設定されます。RXFIFO はクリアされないため、SPI コントローラからデータにアクセスできます。SPI コントローラは TLC6989 にアクセスし、CLR_FLAG に 1 を書き込むことでフラグをクリアできます。CCSI ペリフェラルは、エラー フラグがクリアされた後でのみ、RXFIFO への新しいデータの格納を開始できます。格納は、FWD_RD_END または FWD_RD_END_CRC の SPI コマンドから受信された最初の CCSI head_byte から開始されます。

7.3.4.7.5 RXFIFO アンダーフロー

RXFIFO が空 (RXFFST = 0x0) の場合、SPI ペリフェラルが RXFIFO から新しいデータワードの読み取りを試みると、FLAG_RXFFUVF、FLAG_RXFF、FLAG_ERR が 1 に設定されます。SPI コントローラは TLC6989 にアクセスし、CLR_FLAG に 1 を書き込むことでフラグをクリアできます。CCSI ペリフェラルは、エラー フラグがクリアされた後でのみ、RXFIFO への新しいデータの格納を開始できます。格納は、FWD_RD_END または FWD_RD_END_CRC の SPI コマンドから受信された最初の CCSI head_byte から開始されます。

7.3.4.7.6 RXFIFO シングル エラー検出 (SED)

RXFIFO は、パリティビットで保護されます。RXFIFO からの読み取り動作中にシングルビットエラーが検出されると、FLAG_RXFFSED、FLAG_RXFF、FLAG_ERR が 1 に設定されます。SPI コントローラは TLC6989 にアクセスし、CLR_FLAG に 1 を書き込むことでフラグをクリアできます。

7.3.4.8 OTP CRC エラー

内部 OTP は、多項式 $X^8 + X^2 + X + 1$ に基づく 8 ビット CRC で保護されています。デバイスが起動すると OTP が読み取られ、読み取られた CRC は、読み取られた全 OTP バイトに対して計算された CRC と比較されます。CRC が一致しない場合、FLAG_OTP_CRC および FLAG_ERR は 1 に設定されます。このフラグは、SPI コントローラでクリアすることはできません。デバイスは初期化状態のままで、VCC をパワーダウンし再度アップするだけで、OTP の読み取りを再開できます。

7.3.4.9 フォルトマスク

TLC6989 には、マスク レジスタを使ったフォルト マスク機能があります。本デバイスでは、フォルト タイプ別のフォルト マスクが可能です。フォルト マスクは、診断機能を無効にするのではなく、**FLAG_ERR** レジスタと **FAULT** 出力へのフォルト 通知を行わないようにするだけです。下表に、各フォルト マスク レジスタの詳細な説明を示します。

フォルト検出	マスク ビット	フラグ名	FAULT ピン
SPI CRC エラー	MASK_SPI_CRC = 1	FLAG_SPI_CRC = 1 FLAG_ERR = 0	何も起こらない
	MASK_SPI_CRC = 0	FLAG_SPI_CRC = 1 FLAG_ERR = 1	常時プルダウン
SIN 固着エラー	MASK_CCSI_SIN = 1	FLAG_CCSI_SIN = 1 FLAG_CCSI = 1 FLAG_ERR = 0	何も起こらない
	MASK_CCSI_SIN = 0	FLAG_CCSI_CC = 1 FLAG_CCSI = 1 FLAG_ERR = 1	常時プルダウン
CCSI 検査ビット エラー	MASK_CCSI_CHECK_BIT = 1	FLAG_CCSI_CHECK_BIT = 1 FLAG_CCSI = 1 FLAG_ERR = 0	何も起こらない
	MASK_CCSI_CHECK_BIT = 0	FLAG_CCSI_CHECK_BIT = 1 FLAG_CCSI = 1 FLAG_ERR = 1	常時プルダウン
CCSI CRC エラー	MASK_CCSI_CRC = 1	FLAG_CCSI_CRC = 1 FLAG_CCSI = 1 FLAG_ERR = 0	何も起こらない
	MASK_CCSI_CRC = 0	FLAG_CCSI_CRC = 1 FLAG_CCSI = 1 FLAG_ERR = 1	常時プルダウン

7.3.4.10 診断表

表 7-1. 診断表

フォルトタイプ	検出基準	条件	フォルト検出時の動作	フォルト出力	フォルトピン
VCC UVLO	$V_{CC} < V_{UVF}$		デバイスが電源が供給されていない状態に切り替わる	FLAG_POR FLAG_ERR	常時プルダウン
発振器エラー	$t_{WD,OSC}$ オーバーフロー		何も起こらない	FLAG_OSC FLAG_ERR	常時プルダウン
SPI 通信喪失フォルト	t_{SPI_WDT} オーバーフロー		デバイスが FAILSAFE 状態に移行する	DEV_STATE = FAILSAFE FLAG_ERR	常時プルダウン
SPI コマンド タイムアウト フォルト	$t_{SPI_RST_TIMEOUT}$ オーバーフロー		SPI ロジックをリセットする	FLAG_SPI_TIMEOUT FLAG_SPI FLAG_ERR	常時プルダウン
SPI チップ セレクト (CS) フォルト	SPI コマンドの途中で CS ピンが High になる		SPI ロジックをリセットする	FLAG_SPI_CS FLAG_SPI FLAG_ERR	常時プルダウン
SPI CRC エラー	計算された CRC と受信された CRC が異なる		何も起こらない	FLAG_SPI_CRC FLAG_ERR (マスク可能)	常時プルダウン (マスク可能)
レジスタ書き込みエラー	CCSICTRL が CCSI コントローラ / ベリフェラル動作中に書き込まれる		何も起こらない	FLAG_SPI_REG_WRITE	何も起こらない
SIN 固着エラー	$t_{WD,SIN}$ オーバーフロー		何も起こらない	FLAG_CCSI_SIN FLAG_CCSI FLAG_ERR (マスク可能)	常時プルダウン (マスク可能)
CCSI 検査ビット エラー	検査ビットが 16 番目のビット値の反転ではない		何も起こらない	FLAG_CCSI_CHECK_BIT FLAG_CCSI FLAG_ERR (マスク可能)	常時プルダウン (マスク可能)
CCSI CRC エラー	CCSI の SOUT Head_bytes と Data_bytes_N が SIN で受信された CRC 値とは異なる結果である	Head_bytes = VSYNC (0xAA0F) または FCx に書き込み (0xAA00~0xAA0F)	何も起こらない	FLAG_CCSI_CRC FLAG_CCSI FLAG_ERR (マスク可能)	常時プルダウン (マスク可能)
CCSI コマンド キュー オーバーフロー	コマンド キューが満杯になりかつ SPI が新しい CCSI コマンドを受信している		CCSI コントローラが停止し (実行中の場合)、TXFFST が 0 に設定される	FLAG_CCSI_CMD_QUEUE_OVF FLAG_CCSI FLAG_ERR	常時プルダウン
TXFIFO オーバーフロー	TXFFST = 511 かつ SPI データワードを格納する必要がある	SPI コマンド タイプが FWD で始まっている	CCSI コントローラが停止し (実行中の場合)、TXFFST が 0 に設定される	FLAG_TXFFOVF FLAG_TXFF FLAG_ERR	常時プルダウン

表 7-1. 診断表 (続き)

フォルトタイプ	検出基準	条件	フォルト検出時の動作	フォルト出力	フォルトピン
TXFIFO アンダーフロー	TXFFST = 0 かつ CCSI コントローラが新しいワードの送信を要求している		CCSI コントローラが停止する	FLAG_TXFFUVF FLAG_TXFF FLAG_ERR	常時プルダウン
TXFIFO シングル エラー検出	CCSI コントローラが新しいワードの送信を要求し、TXFIFO パリティ エラーが発生した		CCSI コントローラが停止する	FLAG_TXFFSED FLAG_TXFF FLAG_ERR	常時プルダウン
RXFIFO オーバーフロー	RXFFST = 255 かつ CCSI データ ワードを格納する必要がある		CCSI ペリフェラルが RXFIFO にワードを格納しない	FLAG_RXFFOVF FLAG_RXFF FLAG_ERR	常時プルダウン
RXFIFO アンダーフロー	RXFFST = 0 かつ SPI ペリフェラルが新しいワードの送信を要求している	SPI コマンド タイプが DATA_READ で始まっている	CCSI ペリフェラルが RXFIFO にワードを格納しない	FLAG_RXFFUVF FLAG_RXFF FLAG_ERR	常時プルダウン
RXFIFO シングル エラー検出	SPI ペリフェラルが新しいワードの送信を要求し、RXFIFO パリティ エラーが発生した	SPI コマンド タイプが DATA_READ で始まっている	何も起こらない	FLAG_RXFFSED FLAG_RXFF FLAG_ERR	常時プルダウン
OTP CRC エラー	CALC_OTPCRC が異なる OTPCRC である		何も起こらない	FLAG_OTP_CRC FLAG_ERR	常時プルダウン

7.4 デバイスの機能モード

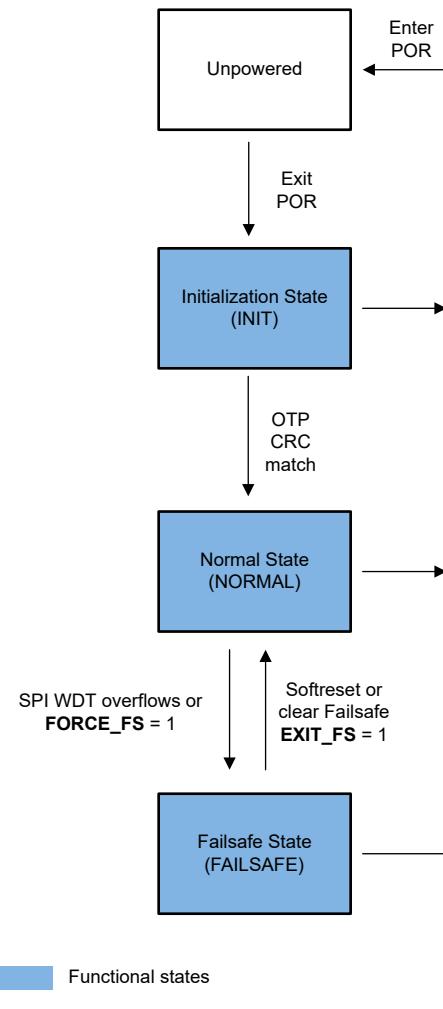


図 7-8. デバイスの機能モード

7.4.1 電源なし

VCC が UVLO スレッショルドを下回っている限り、デバイスは POR 状態に維持されます。すべてのレジスタがリセット状態に維持されます。VCC がその他の状態で UVLO スレッショルドを下回ると、デバイスは直ちに POR 状態に維持されます。

7.4.2 初期化状態

VCC が UVLO スレッショルドを上回ると、デバイスは初期化状態に移行します。この状態では SPI ペリフェラルは有効ですが、サポートされている最大周波数は NORMAL 状態より低くなります。CCSI コントローラの連続クロックは有効ですが、送信が開始できるのは NORMAL 状態でのみになります。また、OTP が読み取られ、読み取られた CRC が、読み取られたすべての OTP バイトの計算された CRC と比較されます。CRC が一致すると、OTP レジスタが更新され、デバイスは NORMAL 状態に移行します。

7.4.3 NORMAL 状態

CCSI コントローラによる送信を可能にするには、FLAG_POR がクリアされる必要があります。通信ウォッチドッグ タイマが有効で、通信がないためにタイマがタイムアウトすると、デバイスは FAILSAFE 状態に移行します。また、DEVCTRL レジスタの FORCE_FS ビットを 1 に設定することで、NORMAL 状態のときはいつでも、デバイスを強制的に FAILSAFE 状態にすることもできます。FORCE_FS ビットは自動的に 0 に戻ります。

7.4.4 FAILSAFE 状態

デバイスが FAILSAFE 状態に移行すると、TXFFCLR ビットが設定されて、実行中の CCSI 送信が停止します。

FAILSAFE 状態に移行すると、SPI ペリフェラルは最初にリセットされます。その後、SPI ペリフェラルはデバイスとの通信が可能な状態に維持されます。ただし、CCSI コントローラと CCSI ペリフェラルの制御はできません。つまり、SPI コマンドが FWD で始まるとき、データは無視され、TXFIFO に格納されないことを意味します。

DEVCTRL レジスタの EXIT_FS ビットを 1 にセットすることで、デバイスを FAILSAFE 状態から NORMAL 状態に移行することができます。EXIT_FS ビットは自動的に 0 に戻ります。SOFTRESET_CRC SPI コマンドを送信することでデバイスを NORMAL 状態にする方法もあります。

7.5 プログラミング

TLC6989 は、高速な同期シリアル入出力 (I/O) ポートであるシリアル ペリフェラル インターフェイス (SPI) のペリフェラルを搭載しており、外部から供給されるクロック レートに基づいて、16 ビット長のシリアル ビット ストリームをデバイスにシフトインおよびシフト アウトできます。デバイスにシフトインされたビット ストリームにより、プログラマブルな機能とレジスタにアクセスできます。4 本の信号線から構成されるインターフェイスになります。

- シリアル データ入力 (SDI)
- シリアル データ出力 (SDO)
- シリアル クロック (SCLK)
- チップ セレクト (CS)

7.5.1 SPI データの有効性

SDI 線のデータは、SCLK 線の立ち上がりエッジで安定している必要があります。SDO のデータは、SCLK 線の立ち下がりエッジでシフト アウトします。SDO は、SPICTRL レジスタの SPI_SDO_DIS ビットを使用して強制的に無効にできます。これは、単一の SPI バスで複数の TLC6989 デバイスに同じコマンドがブロードキャストされる場合に便利です。デバイスにデータがシフトされない場合、SCLK 線はロジック Low である必要があります。

7.5.2 チップ セレクト (CS) および SPI リセット制御

CS 信号は、スプリアス クロック パルスやデータ パルスをゲート処理する能力を備えています。CS 上の HIGH ロジック信号は、ペリフェラルがデータを受信するのをブロックします。これにより、SPI ペリフェラルがコントローラとの同期を失うことを防止できます。テキサス・インスツルメンツでは、CS を常にアクティブ状態にすることは推奨していません。

SPI ペリフェラルがコントローラとの同期を失うことがあれば、CS に HIGH ロジック信号を供給することで、ビット カウンタを含む SPI ペリフェラルをリセットします。別の方法として、SCLK を停止し、SPICTRL レジスタの SPI_RST_TIMEOUT_CFG フィールドの設定よりも長い時間待機することができます。このタイムアウトは、SPI ペリフェラルがコマンド ワードを待機している際の SCLK の最初の立ち上がりクロック エッジからカウントを開始します。

7.5.3 SPI コマンドフォーマット

図 7-9 と表 7-2 に、SPI コマンドの送信フォーマットの定義を示します。各 SPI コマンドには複数の 16 ビットワードが含まれています。ワードのタイプは次のとおりです。

- **コマンドワード:**コマンドワードには、常にコマンドタイプの識別子が含まれます。タイプに応じて、コマンドワードには以下も含まれます。
 - 書き込みまたは読み取り対象の開始アドレス。フィールドアドレス = 0 の場合はアドレス 0x00 を意味します。
 - 送信される、または読み取りが予想されるデータの長さ。長さフィールドが opt で始まる場合はデータはオプションです。したがって、opt_data_length = 0 は 0 データワードを意味します。opt で始まらないフィールドの場合、data_length = 0 は 1 データワードを意味します。
 - データ転送時に付加される追加の END バイト数。extra_end_bytes フィールド = 0 は、追加の END バイト 0 を意味します。1 つの SPI コマンドで最大 127 の追加 END バイトを付加できます。
 - 固定データ (SOFTRESET_CRC コマンドの場合)
- **データワード:**コマンドタイプに応じて、転送が必要なデータ (0~N)、デバイスに書き込まれたレジスタデータ (0~N)、デバイスから読み取られたレジスタデータ (N+1~M)、RXFIFO から読み取られたデータ (N+1~M) になります。
- **CRCワード:**各コマンドには、次の 2 つの異なる CRC ワードが含まれます。
 - SPI コントローラによって生成された CRC ワード。この CRC は、SPI コマンドワードとすべての送信データワード (0~N) に対して計算されています。
 - SPI ペリフェラルによって生成された CRC ワード。この CRC は、返されたすべてのデータワード (N+1~M) に対して計算されています。

2 つの異なる CRC アルゴリズムがサポートされています。デフォルトのアルゴリズムは CCITT-FALSE です。これは、REG_WR コマンドを使用して CRC-16/XMODEM アルゴリズムに変更できます。CRC アルゴリズムを変更すると、次の SPI コマンドから新しいアルゴリズムが使用されます。どちらのアルゴリズムも、多項式 $X^{16} + X^{12} + X^5 + 1$ に基づいています。

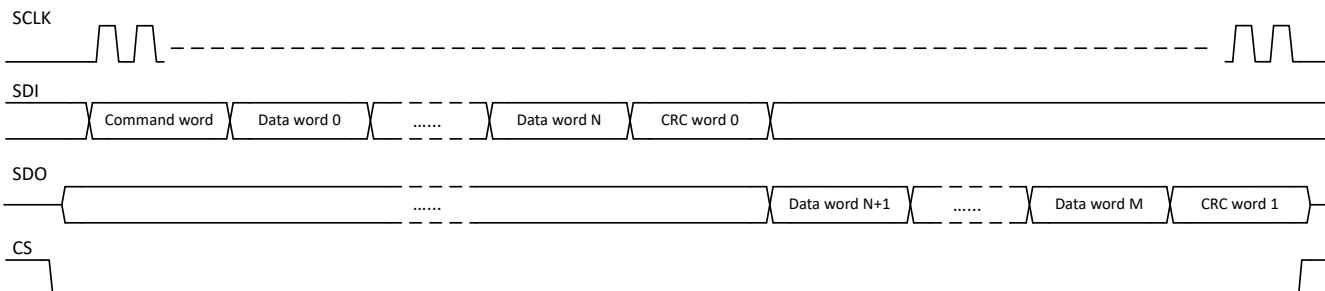


図 7-9. SPI コマンド フォーマット

表 7-2. SPI コマンドの詳細

コマンド タイプ	コマンド ワード											データ ワード	CRC ワード				
	CMD[15:12]	11	10	9	8	7	6	5	4	3	2	1	0				
FWD_WR_CRC	0x2	0x0	data_length[8:0]											データ ワード 0- data_length	CRC		
FWD_WR	0x3	data_length[11:0]											データ ワード 0- data_length	CRC			
FWD_WR_END_CRC	0x4	opt_data_length[4:0]			extra_end_bytes[6:0]											データ ワード 0- (opt_data_length-1)	CRC
FWD_WR_END	0x5	opt_data_length[4:0]			extra_end_bytes[6:0]											データ ワード 0- (opt_data_length-1)	CRC
FWD_RD_END_CRC	0x6	data_length[4:0]			extra_end_bytes[6:0]											データ ワード 0- data_length	CRC
FWD_RD_END	0x7	data_length[4:0]			extra_end_bytes[6:0]											データ ワード 0- data_length	CRC
DATA_RD_CRC	0x8	0x0		data_length[7:0]											該当なし	CRC	
DATA_RD	0x9	0x0		data_length[7:0]											該当なし	CRC	
REG_WR_CRC	0xA	0x0	address[3:0]			0x0	data_length[3:0]							データ ワード 0- data_length	CRC		
REG_WR	0xB	0x0	address[3:0]			0x0	data_length[3:0]							データ ワード 0- data_length	CRC		
REG_RD_CRC	0xC	0x0	address[3:0]			0x0	data_length[3:0]							該当なし	CRC		
REG_RD	0xD	0x0	address[3:0]			0x0	data_length[3:0]							該当なし	CRC		
SOFTRESET_CRC	0xE	0x1E1											該当なし	CRC			

7.5.4 SPI コマンドの詳細

SOFTRESET_CRC を除いて、各コマンドには 2 つのバージョンがあります。タイプ名の末尾に CRC を含まないバージョンは、CRC 値が正しくない場合でも常に実行されます。タイプ名の末尾に CRC を含むバージョンは、受信された CRC がコマンドワードとデータワードに対して計算された CRC と一致する場合にのみ実行されます。

FWD で始まるコマンドは、CCSI コントローラによって受信されたデータワードを転送します。データ長が 0 より大きい限り、CCSI コントローラは自動的に 1 つのスタートビット、検査ビット、および 1 つの END バイトを挿入します。したがって、1 つの SPI コマンドの SPI データワードは、最初の SPI データワードの前に 1 つのスタートビットがあり、各データワードの後に 1 つの検査ビットがあり、最後の SPI データワードの後に 1 つの END バイトがある CCSI コマンドとみなされます。

REG で始まるコマンドは、TLC6989 デバイスのレジスタの書き込みと読み取りに使用されます。DATA_RD コマンドは、RXFIFO に格納されているデータを返します。

FWD、REG_WR、SOFTRESET_CRC で始まるコマンドは、STATUS レジスタと STATUS レジスタに対して計算された CRC を返します。この アクノリッジ (受信確認) は、SPICTRL レジスタの SPI_ACK_DIS ビットで無効にできます。アクノリッジが無効にされている間に SOFTRESET_CRC を実行する場合は、注意が必要です。この場合、テキサス・インストルメンツでは、次のコマンドを送信する前に、少なくとも 1 つの SPI ワードの待機を推奨しています。

TLC6989 デバイスが SDO ピンでデータをコントローラに返すたびに、コントローラはデータをシフトアウトするのに十分なクロック パルスを SCLK ピンに供給する必要があります。テキサス・インストルメンツでは、クロック パルスを供給してデータをシフトアウトする間、SDI ピンをロジック HIGH に維持することを推奨しています。

FWD_WR_CRC (CRC 書き込みコマンドの転送)

[SPI コマンド表](#)を参照してください。

FWD_WR_CRC コマンドは、デバイス内の CCSI コントローラによってデータワードを送信するために使用されます。SPI ペリフェラルによって受信されたすべてのデータワードは、TXFIFO に格納されます。受信された CRC がコマンドワードとデータワードに対して計算された CRC と一致した場合にのみ、CCSI コントローラは送信を開始します。これは、TXFFLVL がこの送信の開始には影響しないことを意味しています。SPI コントローラは、データ長が TXFIFO のサイズよりも短いことに注意する必要があります。この SPI コマンドは、最大 512 のデータワードをサポートし、STATUS レジスタと STATUS レジスタに対して計算された CRC を返します。図 7-10 に、2 つのデータワードを転送する FWD_WR_CRC コマンドの例を示します。

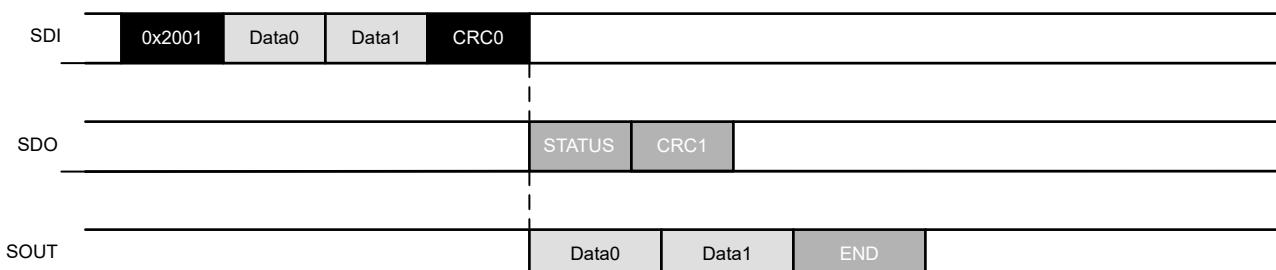


図 7-10. FWD_WR_CRC コマンドの例

FWD_WR (書き込みコマンドの転送)

SPI コマンド表を参照してください。

FWD_WR コマンドは、デバイス内の CCSI コントローラによってデータワードを送信するために使用されます。SPI ペリフェラルによって受信されたすべてのデータワードは、TXFIFO に格納されます。次の条件が 1 つ以上満たされると、CCSI コントローラは送信を開始します。

- TXFIFO に格納されたワード数が TXFFLVL に達する
- SPI コマンドのデータワードをすべて受信した

これは、CRC がこの送信の開始に影響しないことを意味しています。受信された CRC がコマンドワードとデータワードに対して計算された CRC と一致しない場合、FAULT ピン (マスクされていない場合) は Low になり、FLAG_SPI_CRC フラグが設定されます。この SPI コマンドは、最大 4096 のデータワードをサポートし、STATUS レジスタと STATUS レジスタに対して計算された CRC を返します。図 7-11 に、TXFFLVL が 2 つのデータワードに設定された状態で 3 つのワードを転送する FWD_WR コマンドの例を示します。

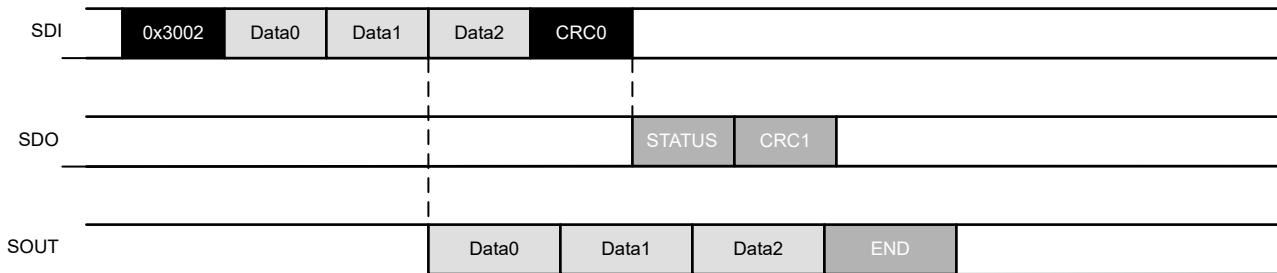


図 7-11. FWD_WR コマンドの例

FWD_WR_END_CRC (END バイトを含む CRC 書き込みコマンドの転送)

SPI コマンド表を参照してください。

FWD_WR_END_CRC コマンドは、デバイス内の CCSI コントローラによってデータワードを送信するために使用されます。SPI ペリフェラルによって受信されたすべてのデータワードは、TXFIFO に格納されます。受信された CRC がコマンドワードとデータワードに対して計算された CRC と一致した場合にのみ、CCSI コントローラは送信を開始します。これは、TXFFLVL がこの送信の開始には影響しないことを意味しています。データワードがすべて CCSi コントローラによって送信された後、指定された数の追加の END バイトが付加されます。データワードの送信と追加の END バイトの送信は、2 つの別々の CCSI コマンドとみなされます。この SPI コマンドは、最大 31 のデータワードをサポートし、STATUS レジスタと STATUS レジスタに対して計算された CRC を返します。図 7-12 に、0 データワード (つまり 1 つの END バイトを挿入しない) と 3 つの追加の END バイトを転送する FWD_WR_END_CRC コマンドの例を示します。

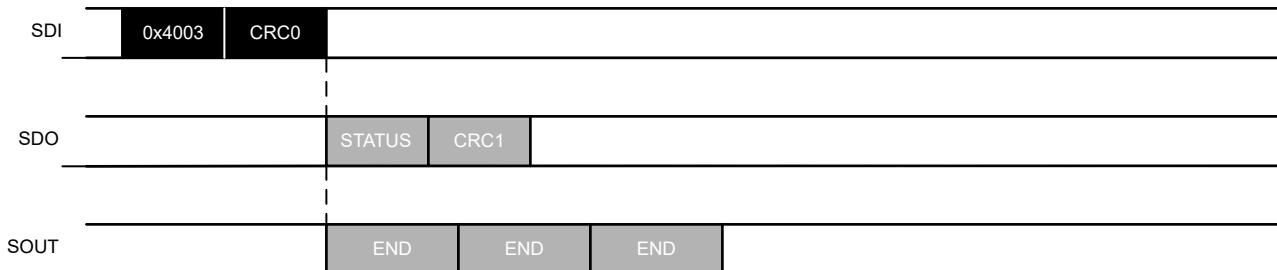


図 7-12. FWD_WR_END_CRC コマンドの例

FWD_WR_END (END バイトを含む書き込みコマンドの転送)

SPI コマンド表を参照してください。

FWD_WR_END コマンドは、デバイス内の CCSi コントローラによってデータワードを送信するために使用されます。SPI ペリフェラルによって受信されたすべてのデータワードは、TXFIFO に格納されます。次の条件が 1 つ以上満たされると、CCSi コントローラは送信を開始します。

- TXFIFO に格納されたワード数が TXFFLVL に達する
- SPI コマンドのデータワードをすべて受信した

これは、CRC がこの送信の開始に影響しないことを意味しています。受信された CRC がコマンドワードとデータワードに対して計算された CRC と一致しない場合、FAULT ピン（マスクされていない場合）は Low になり、FLAG_SPI_CRC フラグが設定されます。データワードがすべて CCSi コントローラによって送信された後、指定された数の追加の END バイトが付加されます。データワードの送信と追加の END バイトの送信は、2 つの別々の CCSi コマンドとみなされます。この SPI コマンドは、最大 31 のデータワードをサポートし、STATUS レジスタと STATUS レジスタに対して計算された CRC を返します。図 7-13 に、2 つのデータワードと 1 つの追加の END バイトを転送する FWD_WR_END コマンドの例を示します。この例では、TXFFLVL が 2 ワード以上に設定されています。

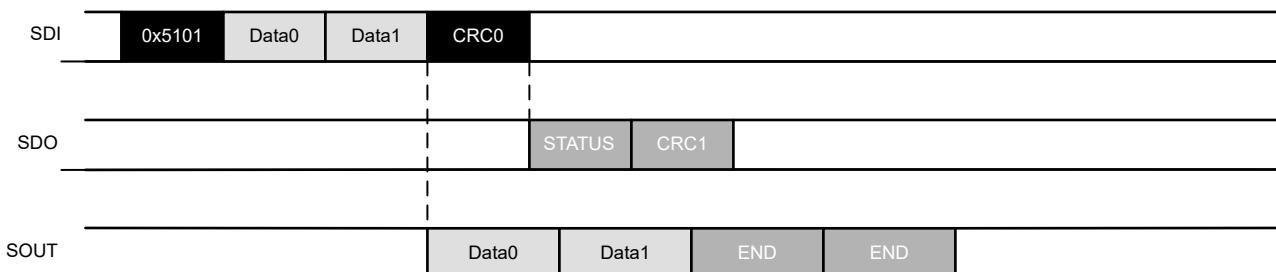


図 7-13. FWD_WR_END コマンドの例

FWD_RD_END_CRC (END バイトを含む CRC 読み取りコマンドの転送)

SPI コマンド表を参照してください。

FWD_RD_END_CRC コマンドは、デバイス内の CCSi コントローラによってデータワードを送信するために使用されます。SPI ペリフェラルによって受信されたすべてのデータワードは、TXFIFO に格納されます。受信された CRC がコマンドワードとデータワードに対して計算された CRC と一致した場合にのみ、CCSi コントローラは送信を開始します。これは、TXFFLVL がこの送信の開始には影響しないことを意味しています。データワードがすべて CCSi コントローラによって送信された後、指定された数の追加の END バイトが付加されます。データワードの送信と追加の END バイトの送信は、2 つの別々の CCSi コマンドとみなされます。このコマンドで CCSi ペリフェラルによって受信されたすべてのデータワードは、RXFIFO に格納されます。この SPI コマンドは、最大 32 のデータワードをサポートし、STATUS レジスタと STATUS レジスタに対して計算された CRC を返します。図 7-14 に、2 つのデータワードと 1 つの追加の END バイトを転送する FWD_RD_END_CRC コマンドの例を示します。

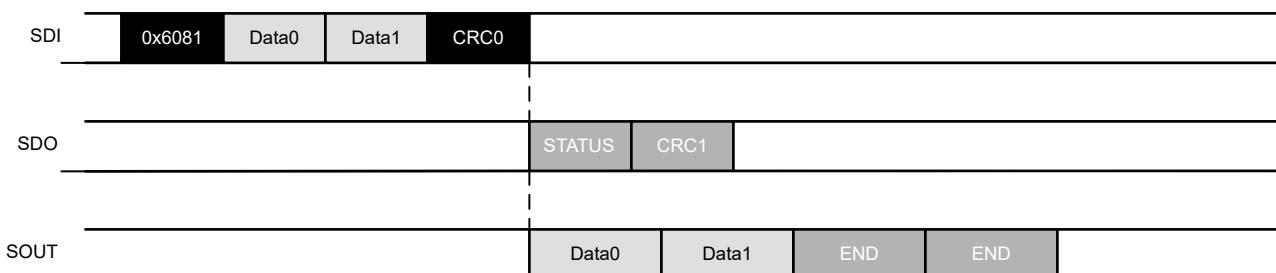


図 7-14. FWD_RD_END_CRC コマンドの例

FWD_RD_END (END バイトを含む読み取りコマンドの転送)

[SPI コマンド表](#)を参照してください。

FWD_RD_END コマンドは、デバイス内の CCS1 コントローラによってデータワードを送信するために使用されます。SPI ペリフェラルによって受信されたすべてのデータワードは、TXFIFO に格納されます。次の条件が 1 つ以上満たされたら、CCS1 コントローラは送信を開始します。

- TXFIFO に格納されたワード数が TXFFLVL に達する
- SPI コマンドのデータワードをすべて受信した

これは、CRC がこの送信の開始に影響しないことを意味しています。受信された CRC がコマンドワードとデータワードに対して計算された CRC と一致しない場合、FAULT ピン（マスクされていない場合）は Low になり、FLAG_SPI_CRC フラグが設定されます。データワードがすべて CCS1 コントローラによって送信された後、指定された数の追加の END バイトが付加されます。データワードの送信と追加の END バイトの送信は、2 つの別々の CCS1 コマンドとみなされます。このコマンドで CCS1 ペリフェラルによって受信されたすべてのデータワードは、RXFIFO に格納されます。この SPI コマンドは、最大 32 のデータワードをサポートし、STATUS レジスタと STATUS レジスタに対して計算された CRC を返します。図 7-15 に、TXFFLVL が 2 つのデータワードに設定された状態の 3 つのデータワードおよび 2 つの追加の END バイトを転送する FWD_RD_END コマンドの例を示します。

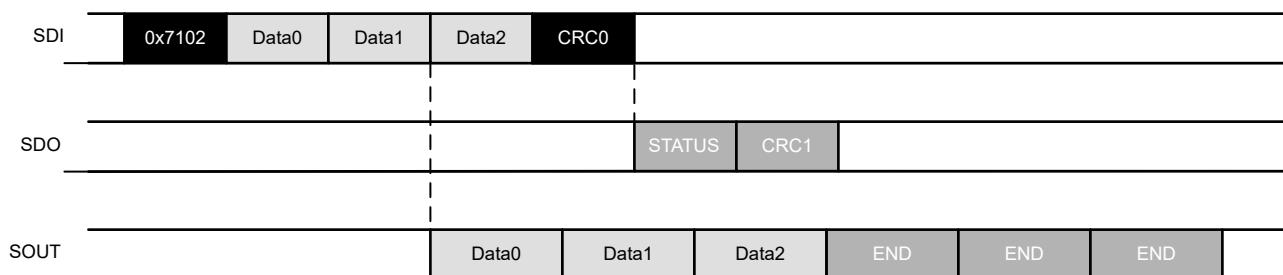


図 7-15. FWD_RD_END コマンドの例

DATA_RD_CRC (CRC データ読み取りコマンド)

[SPI コマンド表](#)を参照してください。

DATA_RD_CRC コマンドは、RXFIFO からデータワードを読み取るために使用されます。受信された CRC がコマンドワードに対して計算された CRC と一致している場合のみ、デバイスは要求された数のデータワードと、データワードに対して計算された CRC を返します。CRC が失敗すると、SDO はロジック HIGH に維持されます。図 7-16 に、4 つのデータワードを要求する DATA_RD_CRC コマンドの例を示します。

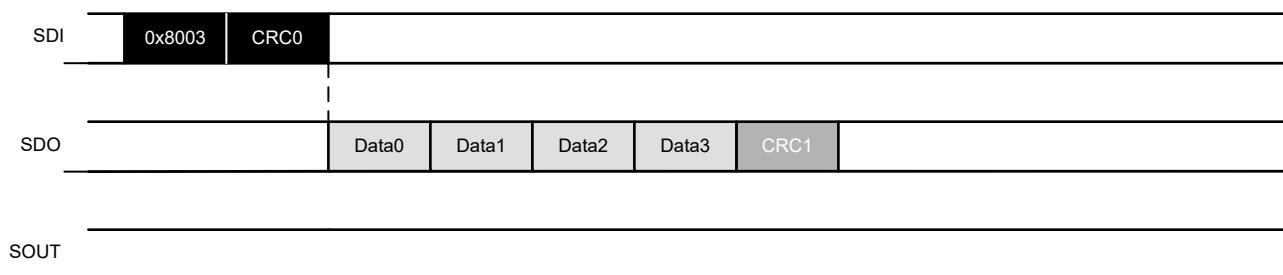


図 7-16. DATA_RD_CRC コマンドの例

DATA_RD (データ読み取りコマンド)

SPI コマンド表を参照してください。

DATA_RD コマンドは、RXFIFO からデータワードを読み取るために使用されます。受信された CRC がコマンドワードに対して計算された CRC と一致しない場合でも、デバイスは要求された数のデータワードと、データワードに対して計算された CRC を返します。受信された CRC がコマンドワードに対して計算された CRC と一致しない場合、FAULT ピン（マスクされていない場合）は Low になり、FLAG_SPI_CRC フラグが設定されます。図 7-17 に、3 つのデータワードを要求する DATA_RD コマンドの例を示します。

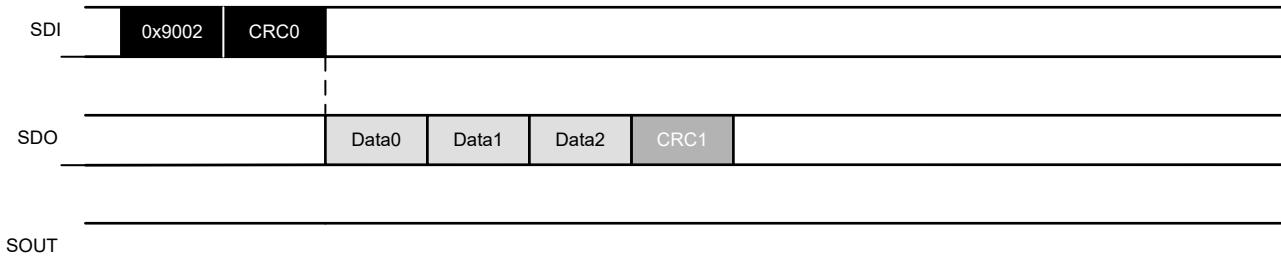


図 7-17. DATA_RD コマンドの例

REG_WR_CRC (CRC レジスタ書き込みコマンド)

SPI コマンド表を参照してください。

REG_WR_CRC コマンドは、TLC6989 デバイスの内部レジスタに書き込むために使用されます。このコマンドには、最初に書き込まれるレジスタのアドレスを示すフィールドが含まれています。SPI ペリフェラルによって受信されたすべてのデータワードは、シャドウ レジスタに格納されます。受信された CRC がコマンドワードとデータワードに対して計算された CRC と一致した場合にのみ、レジスタが更新されます。このコマンドは、STATUS レジスタと STATUS レジスタに対して計算された CRC を返します。図 7-18 に、3 つのレジスタを書き込む REG_WR_CRC コマンドの例を示します。

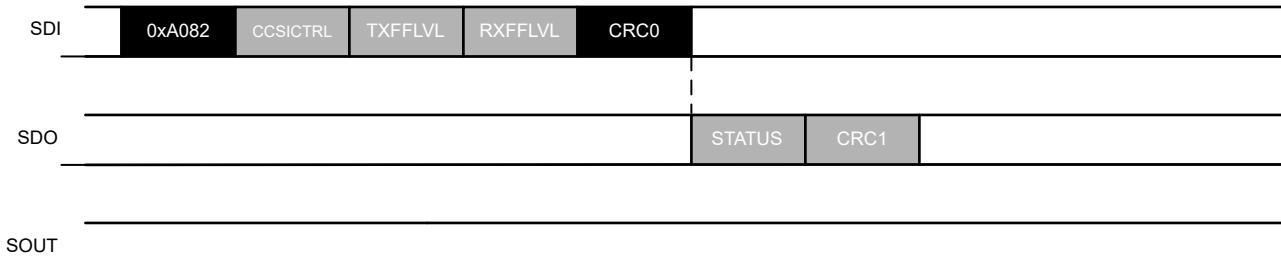


図 7-18. REG_WR_CRC コマンドの例

REG_WR (レジスタ書き込みコマンド)

[SPI コマンド表](#)を参照してください。

REG_WR コマンドは、TLC6989 デバイスの内部レジスタに書き込むために使用されます。このコマンドには、最初に書き込まれるレジスタのアドレスを示すフィールドが含まれています。SPI ペリフェラルによって受信されたすべてのデータワードは、レジスタに直接書き込まれます。これは、CRC がレジスタの書き込みに影響しないことを意味しています。受信された CRC がコマンド ワードに対して計算された CRC と一致しない場合、FAULT ピン (マスクされていない場合) は Low になり、FLAG_SPI_CRC フラグが設定されます。このコマンドは、STATUS レジスタと STATUS レジスタに対して計算された CRC を返します。図 7-19 に、2 つのレジスタを書き込む REG_WR_CRC コマンドの例を示します。

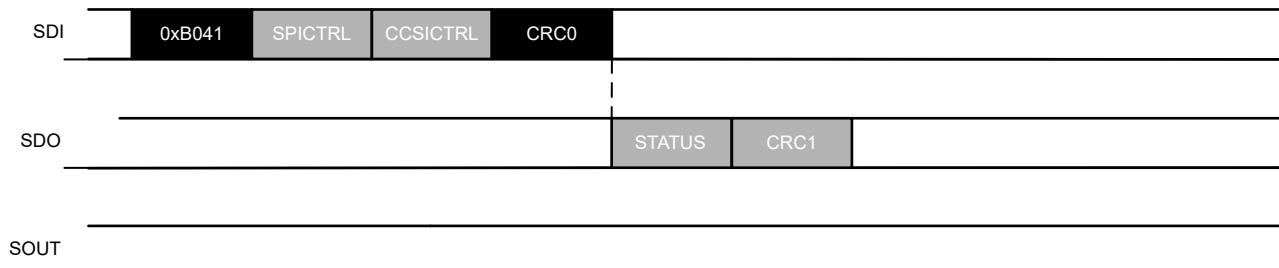


図 7-19. REG_WR コマンドの例

REG_RD_CRC (CRC レジスタ読み取りコマンド)

[SPI コマンド表](#)を参照してください。

REG_RD_CRC コマンドは、TLC6989 デバイスの内部レジスタを読み取るために使用されます。このコマンドには、最初に読み取られるレジスタのアドレスを示すフィールドが含まれています。受信された CRC がコマンド ワードに対して計算された CRC と一致している場合のみ、デバイスは要求された数のレジスタ ワードと、レジスタ ワードに対して計算された CRC を返します。CRC が失敗すると、SDO はロジック HIGH に維持されます。図 7-20 に、1 つのレジスタを読み取る REG_RD_CRC コマンドの例を示します。

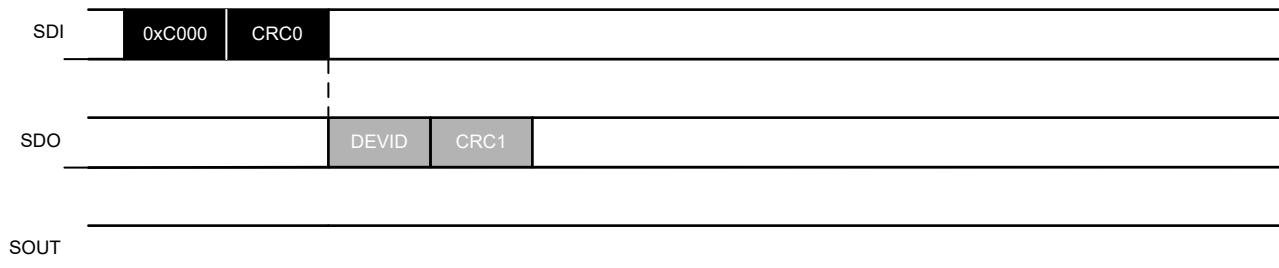


図 7-20. REG_RD_CRC コマンドの例

REG_RD (レジスタ読み取りコマンド)

[SPI コマンド表](#)を参照してください。

REG_RD コマンドは、TLC6989 デバイスの内部レジスタを読み取るために使用されます。このコマンドには、最初に読み取られるレジスタのアドレスを示すフィールドが含まれています。受信された CRC がコマンド ワードに対して計算された CRC と一致しない場合でも、デバイスは要求された数のレジスタワードと、レジスタ ワードに対して計算された CRC を返します。受信された CRC がコマンド ワードに対して計算された CRC と一致しない場合、FAULT ピン (マスクされていない場合) は Low になり、FLAG_SPI_CRC フラグが設定されます。図 7-21 に、3 つのレジスタを読み取る REG_RD コマンドの例を示します。

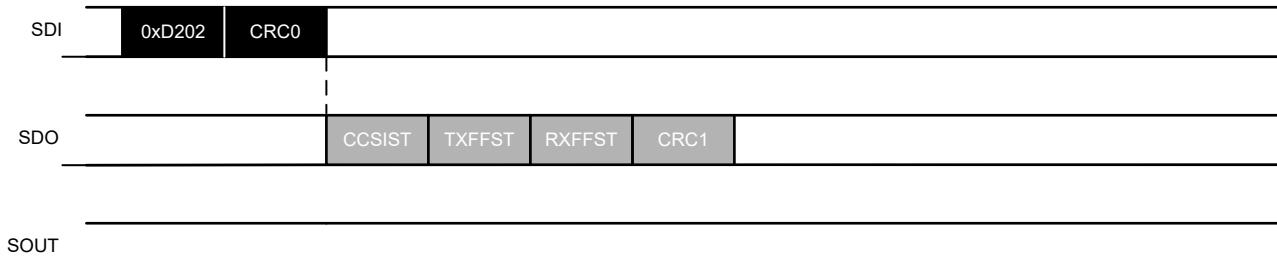


図 7-21. REG_RD コマンドの例

SOFTRESET_CRC (SOFTRESET_CRC コマンド)

[SPI コマンド表](#)を参照してください。

SOFTRESET_CRC コマンドは、すべての内部レジスタをデフォルト値にリセットし、CCSI コントローラと CCSI ペリフェラルを同期させるために使用されます。このコマンドは、次の場合に実行されます。

- 受信された CRC がコマンド ワードに対して計算された CRC と一致している
- CCSI コントローラが送信していない

CCITT-FALSE アルゴリズムを使用した SOFTRESET_CRC コマンドの CRC 値は 0xD383 で、CRC-16/XMODEM アルゴリズムを使用した場合の CRC 値は 0xCE8C です。

すべての内部レジスタがリセットされると、それまでに設定されていたフォルト フラグのほとんどがクリアされます。FLAG_POR と FLAG_ERR のみが HIGH にリセットされます。さらに、RXFIFO に格納されたすべてのデータにアクセスできなくなります。CCSI ペリフェラルによってまだ受信されていない CCSI コマンドが LED デイジーチェーン内にある場合、CCSI コントローラと CCSI ペリフェラル間の同期のために計算された CRC 値がクリアされているため、CCSI CRC 診断をチェックできなくなります。テキサス・インスツルメンツでは、SOFTRESET_CRC コマンドを送信した後、デイジーチェーン内の LED ドライバの数と同じ数の END バイトを送信することを推奨しています。これにより、すでに送信されている CCSI コマンドがすべてクリアされ、同期が維持されます。デバイスが FAILSAFE モードの場合、SOFTRESET_CRC コマンドはデバイスを NORMAL モードに移行させます。失敗した SOFTRESET_CRC コマンドが、STATUS レジスタの FLAG_SRST ビットに記録されます。図 7-22 に、SOFTRESET_CRC コマンドの例を示します。

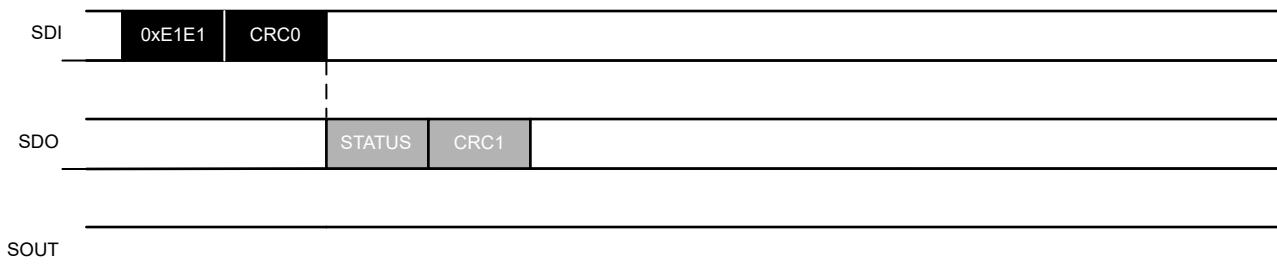


図 7-22. SOFTRESET_CRC コマンドの例

7.6 デバイスのレジスタ

デバイスのレジスタの概要表 に、デバイスのレジスタ用のメモリ マップト レジスタを示します。デバイスのレジスタの概要表 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-3. デバイスのレジスタの概要表

アドレス	略称	概要	セクション
0x0	DEVID	デバイス識別情報	セクション 7.6.1
0x1	SPICTRL	SPI の制御	セクション 7.6.2
0x2	CCSICTRL	連続クロック シリアル インターフェイス (CCSI) の制御	セクション 7.6.3
0x3	TXFFLVL	送信 FIFO レベルの制御	セクション 7.6.4
0x4	RXFFLVL	受信 FIFO レベルの制御	セクション 7.6.5
0x5	DEVCTRL	デバイスの制御レジスタ	セクション 7.6.6
0x6	DIAGMASK	診断マスク	セクション 7.6.7
0x7	STATUS	グローバル デバイス ステータス	セクション 7.6.8
0x8	IFST	インターフェイス ステータスの詳細	セクション 7.6.9
0x9	TXFFST	送信 FIFO ステータスの詳細	セクション 7.6.10
0xA	RXFFST	受信 FIFO ステータスの詳細	セクション 7.6.11

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-4 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-4. デバイスのアクセス タイプ コード

アクセス タイプ	表記	概要
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.6.1 DEVID レジスタ (アドレス = 0x0) [リセット = 0xEDD9]

図 7-23 に DEVID を示し、表 7-5 でその説明を示します。

デバイスのレジスタの概要表 を参照してください。

図 7-23. DEVID レジスタ

15	14	13	12	11	10	9	8
DEVID							
R-0xEDD9							
7	6	5	4	3	2	1	0
DEVID							
R-0xEDD9							

表 7-5. DEVID レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	概要
15-0	DEVID	R	0xEDD9	デバイス識別情報

7.6.2 SPICTRL レジスタ (アドレス = 0x1) [リセット = 0x00A0]

図 7-24 に SPICTRL を示し、表 7-6 でその説明を示します。

デバイスのレジスタの概要表 を参照してください。

図 7-24. SPICTRL レジスタ

15	14	13	12	11	10	9	8
RESERVED		SPI_WDT_CFG	RESERVED				
R/W-0x0		R/W-0x0				R/W-0x0	
7	6	5	4	3	2	1	0
SPI_RST_TIMEOUT_CFG				RESERVED	SPI_CRC_ALG	SPI_SDO_DIS	SPI_ACK_DIS
R/W-0xA				R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0

表 7-6. SPICTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-14	RESERVED	R/W	0x0	予約済み
13-12	SPI_WDT_CFG	R/W	0x0	FAILSAFE 状態に移行するための SPI のウォッチドッグ 0x0 = 40ms 0x1 = 20ms 0x2 = 10ms 0x3 = 無効
11-8	RESERVED	R/W	0x0	予約済み
7-4	SPI_RST_TIMEOUT_CFG	R/W	0xA	タイムアウト後に SPI をリセットするための SCLK のウォッチドッグ 0x0 = 無効 0x1 = 500us 0x2 = 1ms 0x3 = 2ms 0x4 = 3ms 0x5 = 4ms 0x6 = 5ms 0x7 = 10ms 0x8 = 15ms 0x9 = 20ms 0xA = 30ms 0xB = 40ms 0xC = 50ms 0xD = 85ms 0xE = 100ms 0xF = 200ms
3	RESERVED	R/W	0x0	予約済み
2	SPI_CRC_ALG	R/W	0x0	SPI 通信に使用される CRC アルゴリズム 0x0 = CCITT-FALSE を使用 0x1 = CRC-16/XMODEM を使用
1	SPI_SDO_DIS	R/W	0x0	SPI SDO 用ビットを無効化 0x0 = CS が Low のとき SDO を駆動 0x1 = SDO は常に高インピーダンス
0	SPI_ACK_DIS	R/W	0x0	STATUS レジスタの SPI 自動応答用ビットを無効化 0x0 = 自動応答が有効 0x1 = 自動応答が無効

7.6.3 CCSICTRL レジスタ (アドレス = 0x2) [リセット = 0x0000]

図 7-25 に CCSICTRL を示し、表 7-7 でその説明を示します。

デバイスのレジスタの概要表 を参照してください。

図 7-25. CCSICTRL レジスタ

15	14	13	12	11	10	9	8
RESERVED						CCSI_SS_CLKO	
R/W-0x0						R/W-0x0	
7	6	5	4	3	2	1	0
RESERVED						CCSI_DATA_RATE	
R/W-0x0						R/W-0x0	

表 7-7. CCSICTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-10	RESERVED	R/W	0x0	予約済み
9-8	CCSI_SS_CLKO	R/W	0x0	CLK_O ピンの拡散スペクトラム設定 0x0 = 無効 0x1 = 2% 0x2 = 4% 0x3 = 8%
7-4	RESERVED	R/W	0x0	予約済み
3-0	CCSI_DATA_RATE	R/W	0x0	CCSI のデータレート 0x0 = 1Mbit/s 0x1 = 1.25Mbit/s 0x2 = 1.43Mbit/s 0x3 = 1.67Mbit/s 0x4 = 2Mbit/s 0x5 = 2.22Mbit/s 0x6 = 2.5Mbit/s 0x7 = 2.86Mbit/s 0x8 = 3.33Mbit/s 0x9 = 4Mbit/s 0xA = 5Mbit/s 0xB = 6.67Mbit/s 0xC = 8Mbit/s 0xD = 10Mbit/s 0xE = 13.33Mbit/s 0xF = 20Mbit/s

7.6.4 TXFFLVL レジスタ (アドレス = 0x3) [リセット = 0x01FF]

図 7-26 に TXFFLVL を示し、表 7-8 でその説明を示します。

デバイスのレジスタの概要表 を参照してください。

図 7-26. TXFFLVL レジスタ

15	14	13	12	11	10	9	8
TXFFCLR		RESERVED				TXFFLVL	
R/W1C-0x0		R/W-0x0				R/W-0x1FF	
7	6	5	4	3	2	1	0
		TXFFLVL					
		R/W-0x1FF					

表 7-8. TXFFLVL レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	概要
15	TXFFCLR	R/W1C	0x0	送信 FIFO のすべてのデータをクリア
14-9	RESERVED	R/W	0x0	予約済み
8-0	TXFFLVL	R/W	0x1FF	CCSI で送信を開始するための TX FIFO レベル (ワード単位、0x0 は 1 ワードを意味する)

7.6.5 RXFFLVL レジスタ (アドレス = 0x4) [リセット = 0x00FF]

図 7-27 に RXFFLVL を示し、表 7-9 でその説明を示します。

デバイスのレジスタの概要表 を参照してください。

図 7-27. RXFFLVL レジスタ

15	14	13	12	11	10	9	8
RXFFCLR	RESERVED						
R/W1C-0x0	R/W-0x0						
7	6	5	4	3	2	1	0
RXFFLVL							R/W-0xFF

表 7-9. RXFFLVL レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	概要
15	RXFFCLR	R/W1C	0x0	受信 FIFO のすべてのデータをクリア
14-8	RESERVED	R/W	0x0	予約済み
7-0	RXFFLVL	R/W	0xFF	ワード数を超えたときに DRDY ピンをプルダウンする RX FIFO レベル (0x0 は 1 ワードを意味する)

7.6.6 DEVCTRL レジスタ (アドレス = 0x5) [リセット = 0x0000]

図 7-28 に DEVCTRL を示し、表 7-10 でその説明を示します。

デバイスのレジスタの概要表 を参照してください。

図 7-28. DEVCTRL レジスタ

15	14	13	12	11	10	9	8
RESERVED							
R/W-0x0							
7	6	5	4	3	2	1	0
RESERVED				FORCE_FS	RESERVED	EXIT_FS	
R/W-0x0				R/W1C-0x0	R/W-0x0	R/W1C-0x0	

表 7-10. DEVCTRL レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	概要
15-3	RESERVED	R/W	0x0	予約済み
2	FORCE_FS	R/W1C	0x0	デバイスの NORMAL 状態から FAILSAFE 状態への切り替え 0x0 = 現在の状態を維持する。 0x1 = デバイスを FAILSAFE 状態に移行する。
1	RESERVED	R/W	0x0	予約済み
0	EXIT_FS	R/W1C	0x0	デバイスを FAILSAFE モードから NORMAL に移行する

7.6.7 DIAGMASK レジスタ (アドレス = 0x6) [リセット = 0x0000]

図 7-29 に DIAGMASK を示し、表 7-11 でその説明を示します。

デバイスのレジスタの概要表 を参照してください。

図 7-29. DIAGMASK レジスタ

15	14	13	12	11	10	9	8
RESERVED				MASK_CCSI_CHECK_BIT	RESERVED	MASK_CCSI_CRC	MASK_CCSI_SIN
R/W-0x0				R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0
7	6	5	4	3	2	1	0
				RESERVED		MASK_SPI_CRC	
				R/W-0x0			R/W-0x0

表 7-11. DIAGMASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-12	RESERVED	R/W	0x0	予約済み
11	MASK_CCSI_CHECK_BIT	R/W	0x0	CCSI 検査ビット フォルトをマスクして FLAG_ERR を設定し、FAULT ピンをプルダウンする。 0x0 = フォルト通知が有効 0x1 = フォルト通知が無効
10	RESERVED	R/W	0x0	予約済み
9	MASK_CCSI_CRC	R/W	0x0	CCSI CRC フォルトをマスクして FLAG_ERR を設定し、FAULT ピンをプルダウンする。 0x0 = フォルト通知が有効 0x1 = フォルト通知が無効
8	MASK_CCSI_SIN	R/W	0x0	CCSI SIN 固着 フォルトをマスクして FLAG_ERR を設定し、FAULT ピンをプルダウンする。 0x0 = フォルト通知が有効 0x1 = フォルト通知が無効
7-1	RESERVED	R/W	0x0	予約済み
0	MASK_SPI_CRC	R/W	0x0	SPI CRC フォルトをマスクして FLAG_ERR を設定し、FAULT ピンをプルダウンする。 0x0 = フォルト通知が有効 0x1 = フォルト通知が無効

7.6.8 STATUS レジスタ (アドレス = 0x7) [リセット = 0x0403]

図 7-30 に STATUS を示し、表 7-12 でその説明を示します。

デバイスのレジスタの概要表 を参照してください。

図 7-30. STATUS レジスタ

15	14	13	12	11	10	9	8
CLR_FLAG	FLAG_CCSI	RESERVED	FLAG_TXFF	FLAG_RXFF	DRDYST	FLAG_SRST	FLAG_SPI
R/W1C-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x1	R-0x0	R-0x0
7	6	5	4	3	2	1	0
FLAG_SPI_REG_WRITE	FLAG_SPI_CRC	DEV_STATE	FLAG OTP_CRC	FLAG_OSC	FLAG_POR	FLAG_ERR	
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x1	R-0x1	

表 7-12. STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	CLR_FLAG	R/W1C	0x0	すべてのフラグをクリアする書き込み 0x0 = フラグをクリアしない。 0x1 = すべてのフラグをクリアする。
14	FLAG_CCSI	R	0x0	CCSI エラー フラグ 0x0 = デバイス エラーは検出されなかった。 0x1 = デバイス エラーが検出された。詳細については IFST を参照。
13	RESERVED	R	0x0	予約済み
12	FLAG_TXFF	R	0x0	送信 FIFO エラーの検出 0x0 = 送信 FIFO エラーは検出されなかった。 0x1 = 送信 FIFO エラーが検出された。詳細については TXFFST を参照。
11	FLAG_RXFF	R	0x0	受信 FIFO エラーの検出 0x0 = 受信 FIFO エラーは検出されなかった。 0x1 = 受信 FIFO エラーが検出された。詳細については RXFFST を参照。
10	DRDYST	R	0x1	DRDY ピンのステータス 0x0 = DRDY ピンはロジック Low 0x1 = DRDY ピンはロジック High
9	FLAG_SRST	R	0x0	正常に実行されなかった SOFTRESET。CCSI の送信中は SOFTRESET は実行できない。 0x0 = SOFTRESET エラーは検出されなかった。 0x1 = SOFTRESET エラーが検出された。
8	FLAG_SPI	R	0x0	SPI エラー フラグ 0x0 = デバイス エラーは検出されなかった。 0x1 = デバイス エラーが検出された。詳細については IFST を参照。
7	FLAG_SPI_REG_WRITE	R	0x0	正常に実行されなかった SPI レジスタ書き込みコマンド。CCSI の送受信中は CCSICTRL の書き込みはできない。 0x0 = SPI レジスタ書き込みエラーは検出されなかった。 0x1 = SPI レジスタ書き込みエラーが検出された。
6	FLAG_SPI_CRC	R	0x0	SPI 通信の CRC エラーが検出された。 0x0 = CRC エラーは検出されなかった。 0x1 = CRC エラーが検出された。
5-4	DEV_STATE	R	0x0	デバイスの状態 0x0 = デバイスは NORMAL 状態 0x1 = デバイスは INIT 状態 0x2 = デバイスは INIT 状態 0x3 = デバイスは FAILSAFE 状態

表 7-12. STATUS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
3	FLAG OTP_CRC	R	0x0	OTP CRC エラーの検出 0x0 = OTP CRC エラーは検出されなかった。 0x1 = OTP CRC エラーが検出された。
2	FLAG_OSC	R	0x0	発振器の範囲外検出 0x0 = 発振器エラーは検出されなかった。 0x1 = 発振器エラーが検出された。
1	FLAG_POR	R	0x1	パワーオンリセットフラグ 0x0 = POR はトリガされていない。 0x1 = デバイスが POR をトリガした。
0	FLAG_ERR	R	0x1	グローバル エラー フラグ。これは FAULT ピンの反転ステータス。 0x0 = エラーは検出されなかった。 0x1 = 1 つ以上のエラーが検出された。

7.6.9 IFST レジスタ (アドレス = 0x8) [リセット = 0x0000]

図 7-31 に IFST を示し、表 7-13 でその説明を示します。

デバイスのレジスタの概要表 を参照してください。

図 7-31. IFST レジスタ

15	14	13	12	11	10	9	8
RESERVED						FLAG_SPI_CS	FLAG_SPI_TIMEOUT
R-0x0						R-0x0	R-0x0
7	6	5	4	3	2	1	0
RESERVED		FLAG_CCSI_CMD_QUEUE_OVF	FLAG_CCSI_CHECK_BIT	RESERVED	FLAG_CCSI_CRC	FLAG_CCSI_SIN	
R-0x0		R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	

表 7-13. IFST レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15-10	RESERVED	R	0x0	予約済み
9	FLAG_SPI_CS	R	0x0	コマンド受信の途中で SPI チップ セレクト ビンが High になった。 0x0 = CS エラーは検出されなかった。 0x1 = CS エラーが検出された。
8	FLAG_SPI_TIMEOUT	R	0x0	SPI タイムアウト エラーが検出された。 SPI_RST_TIMEOUT_CFG が有効なときのみ設定される。 0x0 = SPI タイムアウトが検出されなかった。 0x1 = SPI タイムアウトが検出された。
7-5	RESERVED	R	0x0	予約済み
4	FLAG_CCSI_CMD_QUEUE_OVF	R	0x0	CCSI コマンド キュー オーバーフロー エラーが検出された。 0x0 = オーバーフロー エラーは検出されなかった。 0x1 = オーバーフロー エラーが検出された。
3	FLAG_CCSI_CHECK_BIT	R	0x0	CCSI 受信データに CCSI 検査ビット エラーが検出された。 0x0 = 検査ビット エラーは検出されなかった。 0x1 = 検査ビット エラーが検出された。
2	RESERVED	R	0x0	予約済み
1	FLAG_CCSI_CRC	R	0x0	CCSI データに CRC エラーが検出された。 0x0 = CRC エラーは検出されなかった。 0x1 = CRC エラーが検出された。
0	FLAG_CCSI_SIN	R	0x0	SIN のトグル欠落 0x0 = SIN のトグル欠落エラーは検出されなかった。 0x1 = SIN のトグル欠落エラーが検出された。

7.6.10 TXFFST レジスタ (アドレス = 0x9) [リセット = 0x0000]

図 7-32 に TXFFST を示し、表 7-14 でその説明を示します。

デバイスのレジスタの概要表 を参照してください。

図 7-32. TXFFST レジスタ

15	14	13	12	11	10	9	8
FLAG_TXFFOVF	FLAG_TXFFUVF	FLAG_TXFFSED		RESERVED			TXFFST
R-0x0	R-0x0	R-0x0		R-0x0			R-0x0
7	6	5	4	3	2	1	0
			TXFFST				
				R-0x0			

表 7-14. TXFFST レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	FLAG_TXFFOVF	R	0x0	送信 FIFO のオーバーフロー エラー
14	FLAG_TXFFUVF	R	0x0	送信 FIFO のアンダーフロー エラー
13	FLAG_TXFFSED	R	0x0	送信 FIFO のシングル エラー検出
12-9	RESERVED	R	0x0	予約済み
8-0	TXFFST	R	0x0	TX FIFO ステータス 0x0 = 送信 FIFO が空 0x1 = 送信 FIFO に 1 ワードある。 0x2 = 送信 FIFO に 2 ワードある。 ... 0x1FE = 送信 FIFO に 510 ワードある。 0x1FF = 送信 FIFO に 511 ワードまたは 512 ワードある。

7.6.11 RXFFST レジスタ (アドレス = 0xA) [リセット = 0x0000]

図 7-33 に RXFFST を示し、表 7-15 でその説明を示します。

デバイスのレジスタの概要表 を参照してください。

図 7-33. RXFFST レジスタ

15	14	13	12	11	10	9	8
FLAG_RXFFOVF	FLAG_RXFFUVF	FLAG_RXFFSED	RESERVED				
R-0x0	R-0x0	R-0x0	R-0x0				
7	6	5	4	3	2	1	0
RXFFST							
R-0x0							

表 7-15. RXFFST レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	概要
15	FLAG_RXFFOVF	R	0x0	受信 FIFO のオーバーフロー エラー
14	FLAG_RXFFUVF	R	0x0	受信 FIFO のアンダーフロー エラー
13	FLAG_RXFFSED	R	0x0	受信 FIFO のシングル エラー検出
12-8	RESERVED	R	0x0	予約済み
7-0	RXFFST	R	0x0	RX FIFO ステータス 0x0 = 受信 FIFO が空 0x1 = 受信 FIFO に 1 ワードある。 0x2 = 受信 FIFO に 2 ワードある。 ... 0xFE = 受信 FIFO に 254 ワードある。 0xFF = 受信 FIFO に 255 ワードまたは 256 ワードある。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TLC6989 の制御は、標準の SPI を使用して行われます。このデバイスは、TLC6989 デバイスによって提供される連続クロックシリアルインターフェイス (CCSI) を使用して制御される TLC698x デバイスのデジーチェーンに接続されています。TLC6989 のすべての機能には、プログラマブルレジスタからアクセスできます。

8.2 代表的なアプリケーション

図 8-1 に、1 つの SPI バスで 1 つの TLC6989 だけをコントローラに接続し、1 つの CCSI バスで多数の TLC698x をデイジーチェーン接続した代表的なアプリケーションを示します。

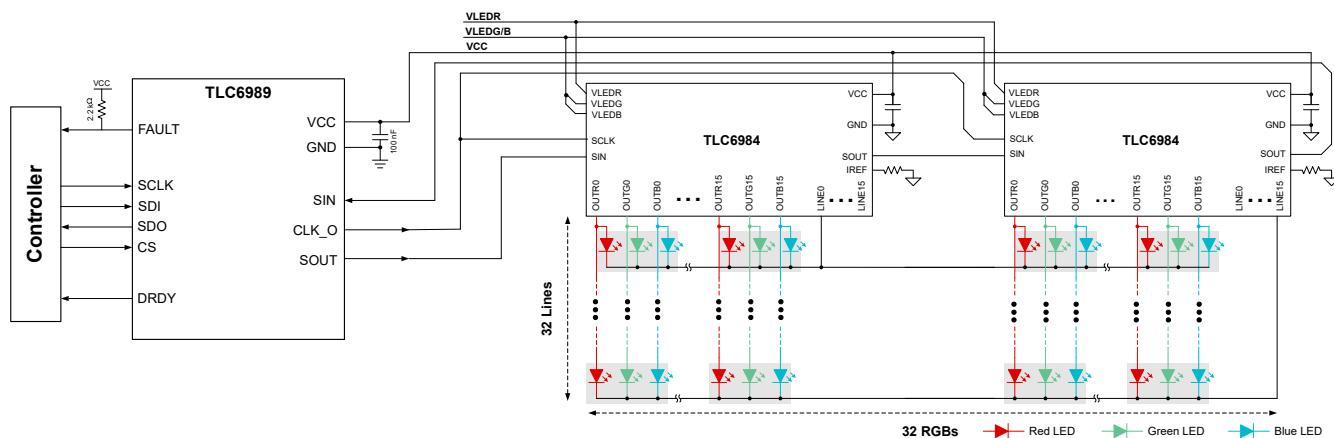


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

表 8-1. 設計パラメータ

パラメータ	値
V_{CC}	2.8 V
フレームレート	30Hz
輝度分解能	16ビット
カスケード接続されたデバイス数	6
スキャンライン数	30
f_{SPI}	8MHz

8.2.2 詳細な設計手順

設計者は最初に、アプリケーションに必要な CCSI データ レートを決める必要があります。CCSI データ レートの最小値は輝度情報に基づいており、1 フレーム期間内にすべての LED ドライバに送信される必要があります。選択された LED ドライバのデータシートには、必要な CCSI データ レートの最小値に関する詳細が含まれています。このアプリケーション例では、フレーム期間は 33.33ms です。デイジーチェーンには、30 のスキャン ラインを持つ 6 つのデバイス (2 つのスタッカブル モードのグループが 3 つ) があります。データ送信効率を 70% と仮定した場合 (CCSI コマンドの送信間にアイドル時間が発生する可能性があるため)、必要な CCSI データ レートの最小値は 7.04Mbit/s です。したがって、CCSICTRL レジスタの CCSI_DATA_RATE は 8Mbit/s に設定されます。

SPI 周波数は、一般的に CCSI データ レートと同じような範囲に設定されます。したがって、このアプリケーション例では、SPI 周波数が 8MHz に設定されています。次のステップは TXFFLVL の決定です。テキサス・インスツルメントでは、TXFFLVL を 1 つの CCSI コマンドに対して転送される最大ワード数よりも大きく設定することを推奨しています。非ブロードキャストのデータ書き込みコマンド (例: SRAM 書き込みコマンド) では、最大ワード数が発生します。このコマンドのワード数は、カスケード接続デバイスの数の 3 倍に 1 ヘッド バイトを加えた値になります。このアプリケーション例では、最大ワード数は 19 ワード ($3 \times 6 + 1$) です。SPI コマンド FWD_WR_CRC が使用される場合、TXFFLVL は無視され、CRC ワードが正しい場合のみ転送が開始されます。さらに、CCSI コントローラによる転送中は、TLC6989 の CCSI コマンド キューにより、次の SPI 転送コマンドは SPI コントローラによってすでに送信されています。

8.2.2.1 プログラミング手順

図 8-2 に、代表的なデバイスのプログラミング フローを示します。このフローは TLC698x デバイス ファミリと類似しており、TLC6989 を構成するための追加初期化手順がいくつか含まれています。VCC に電源を投入し、デバイスが NORMAL 状態 (OTP CRC が正しい状態) になるまで待機すると、TLC6989 が初期化され、コマンドを転送できるようにするために (CLR_FLAG を設定することで) FLAG_POR がクリアされなければなりません。その後、コマンドは、TLC698x のデジ털 チェーンに転送されます。

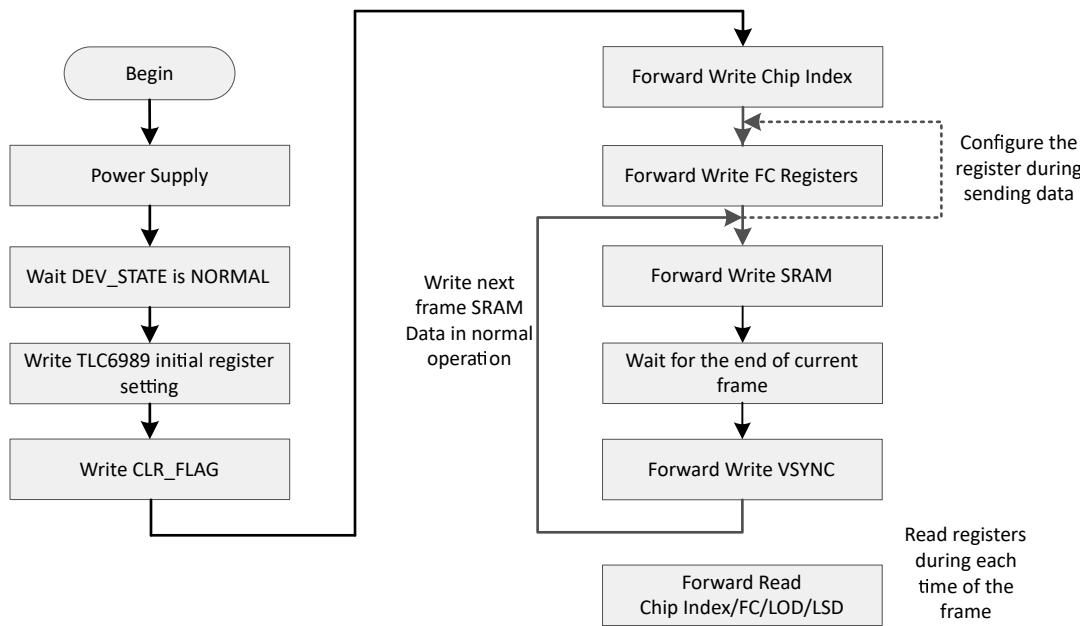


図 8-2. プログラミング手順

8.2.3 アプリケーション曲線

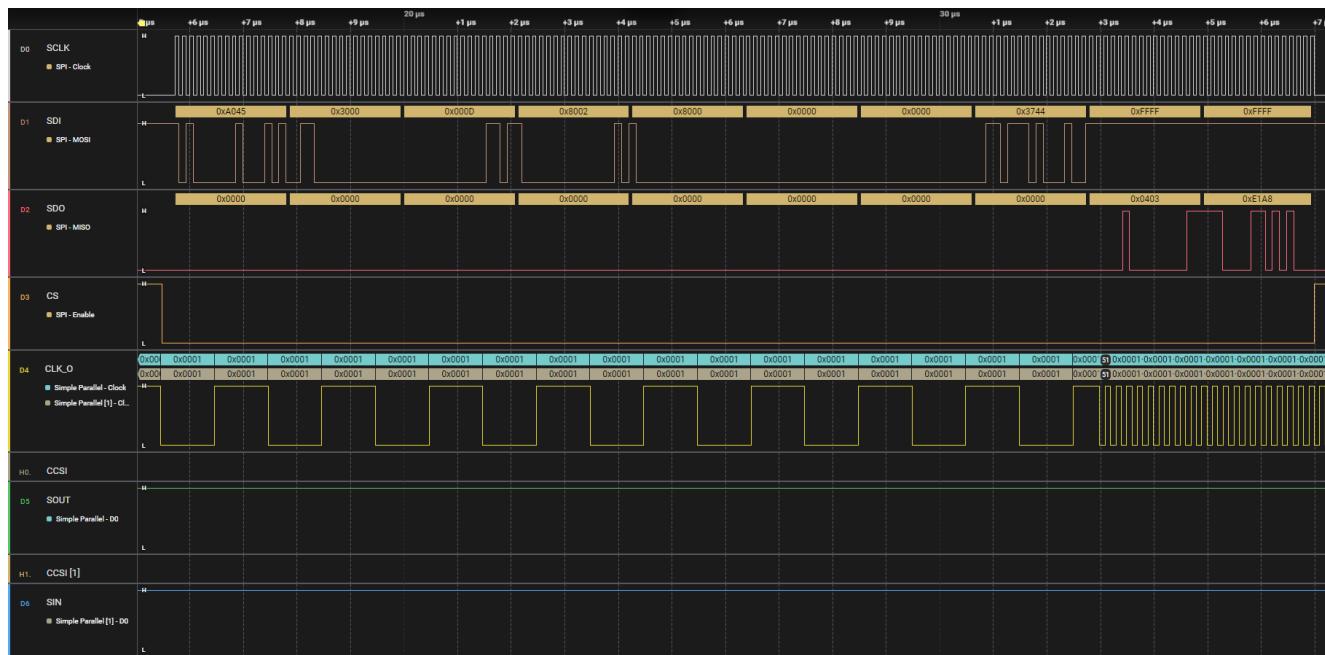


図 8-3. 初期レジスタ設定の書き込み例

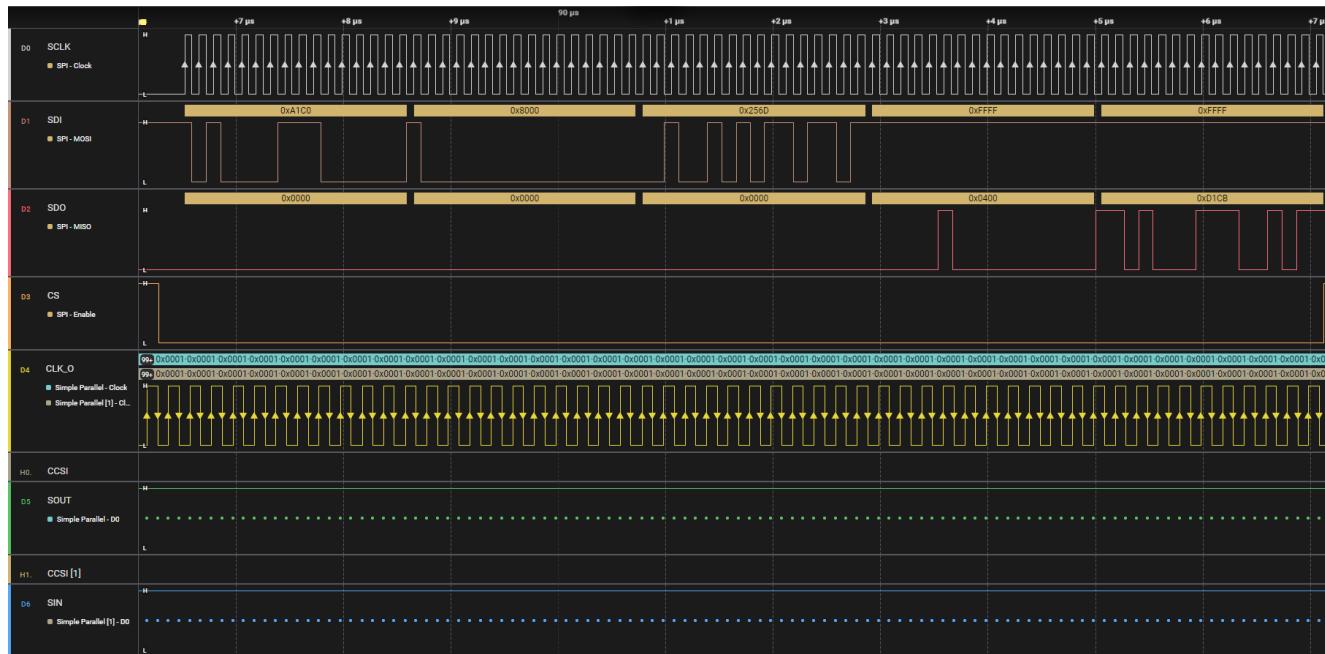


図 8-4. CLR_FLAG 書き込み例

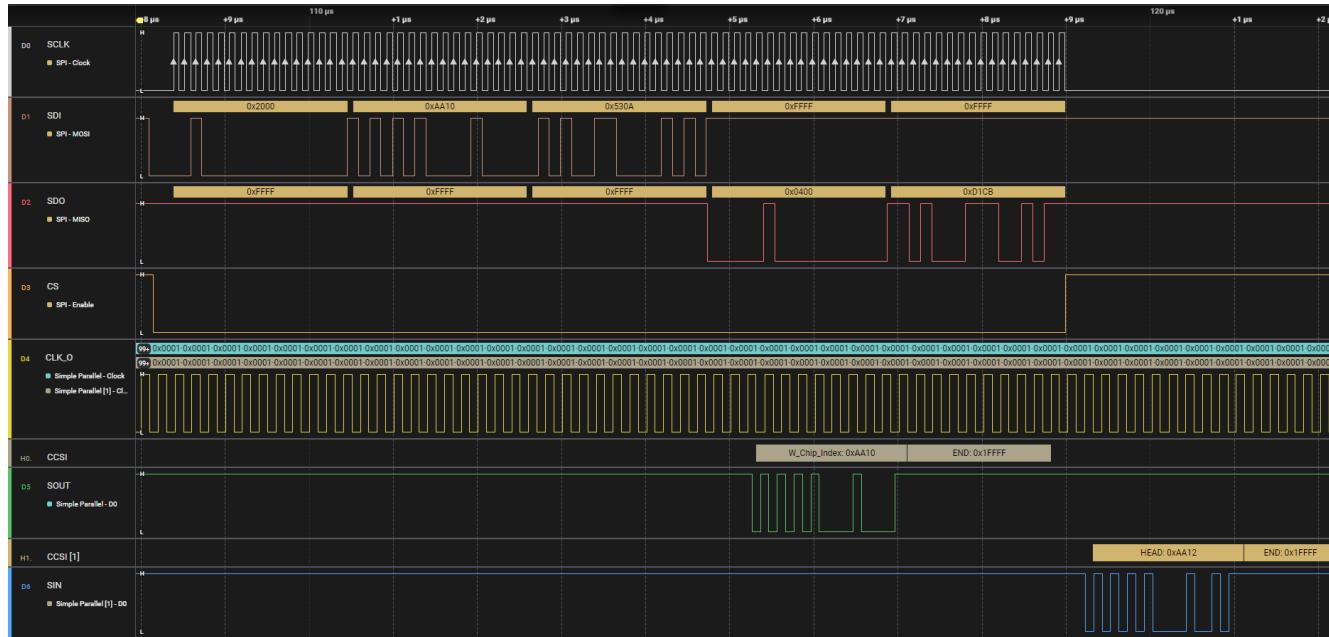


図 8-5. デイジーチェーンの 2 つの LED ドライバに対するチップ インデックス書き込みコマンドの送信例

8.3 電源に関する推奨事項

本デバイスは、2.5V~5.5V VCC 電圧電源で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力過渡電流の影響でデバイスの VCC 電源電圧が最大 V_{UVR} 電圧を下回ることがないように、VCC 電源レールの抵抗を十分小さい値にする必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

TLC6989 に必要な外付け部品は 2 個だけです。VCC 入力用コンデンサは、VCC ピンのできるだけ近くに配置してください。FAULT ピンは、オープンドレイン出力です。FAULT ピンがコントローラに接続されている場合、外付けのプルアップ抵抗が必要です。

8.4.2 レイアウト例

図 8-6 に、DYY パッケージのレイアウト例を示します。両方の GND ピンは互いに接続されています。このレイアウトから、ピン 10 を配線に使用できることがわかります。ピン 5 も使用できますが、この例では示していません。

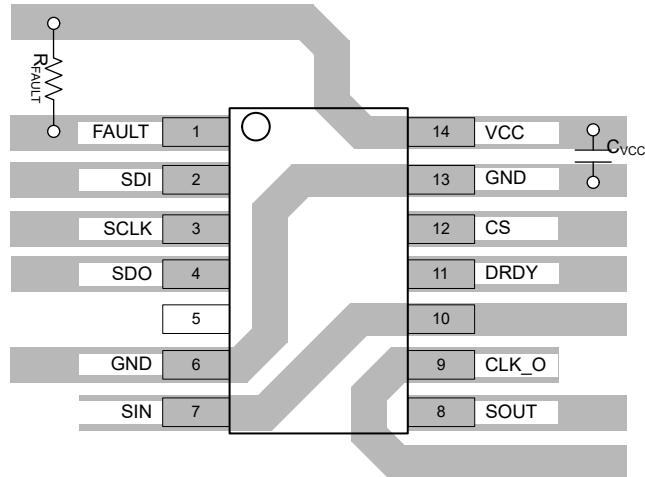


図 8-6. TLC6989 レイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 デバイス サポート

9.2 ドキュメントのサポート

9.2.1 関連資料

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

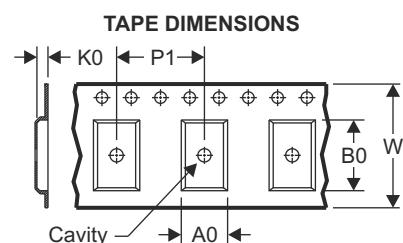
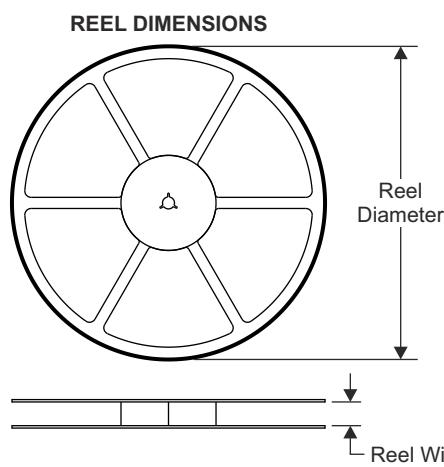
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
2024 年 11 月	*	初版

11 メカニカル、パッケージ、および注文情報

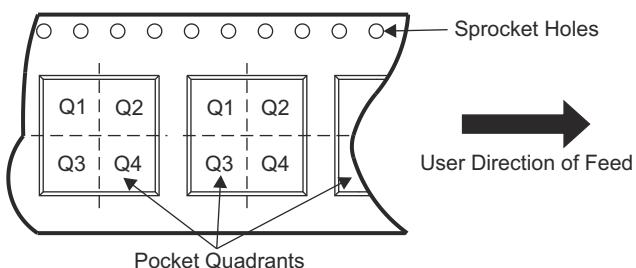
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 テープおよびリール情報



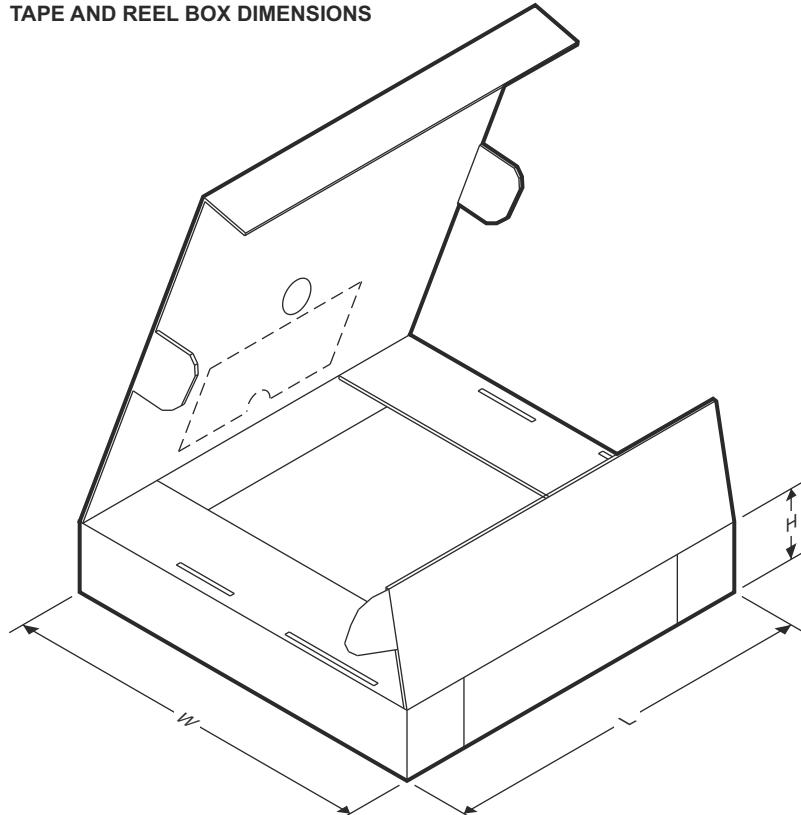
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン数	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
TLC6989DYYR	SOT-23-THN	DYY	14									
TLC6989DRRR	WSON	DRR	12									

TAPE AND REEL BOX DIMENSIONS



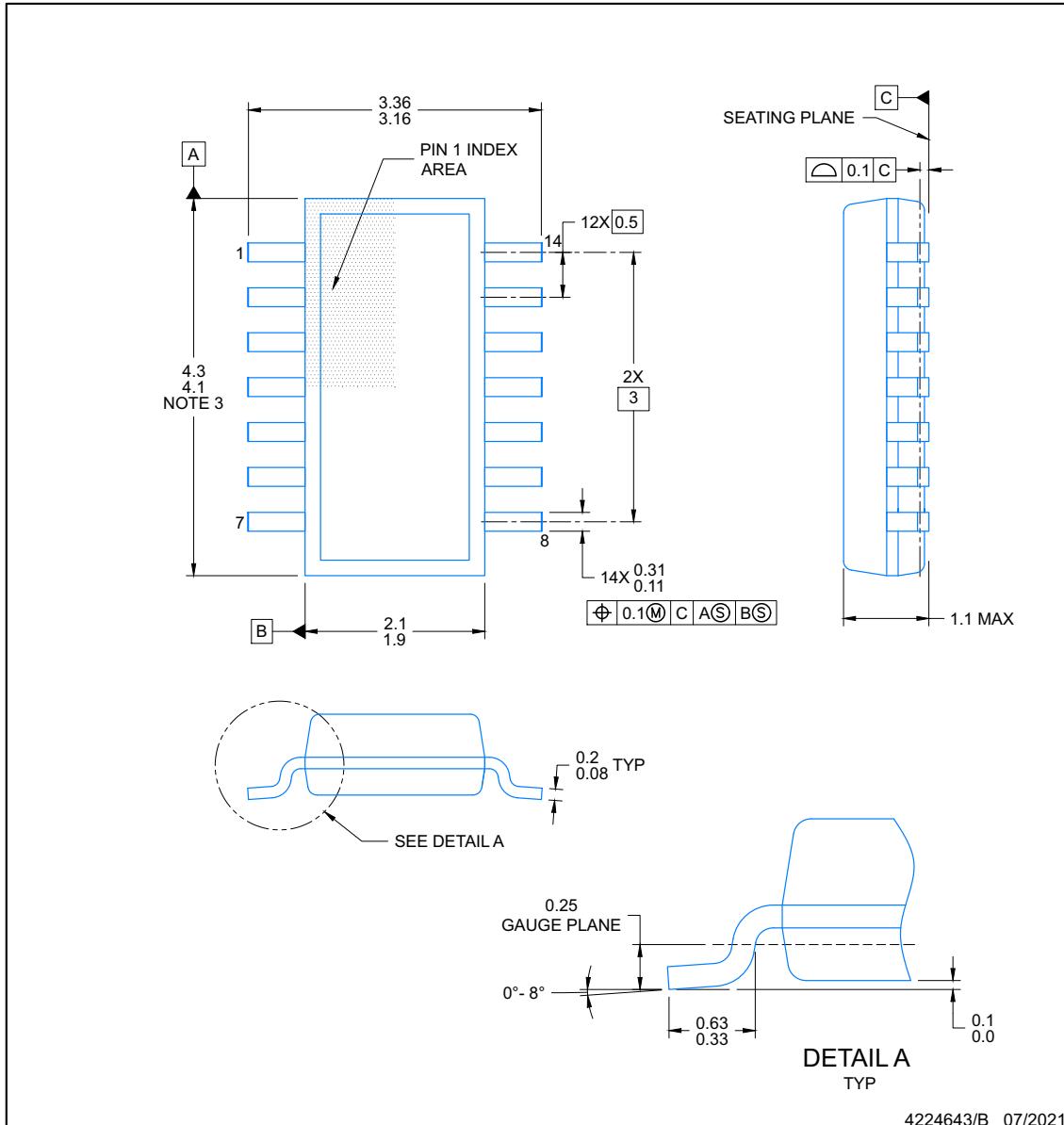
デバイス	パッケージタイプ	パッケージ図	ピン数	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
TLC6989DYYR	SOT-23-THN	DYY	14				
TLC6989DRRR	WSON	DRR	12				

11.2 メカニカル データ

DYY0014A

PACKAGE OUTLINE

PLASTIC SMALL OUTLINE

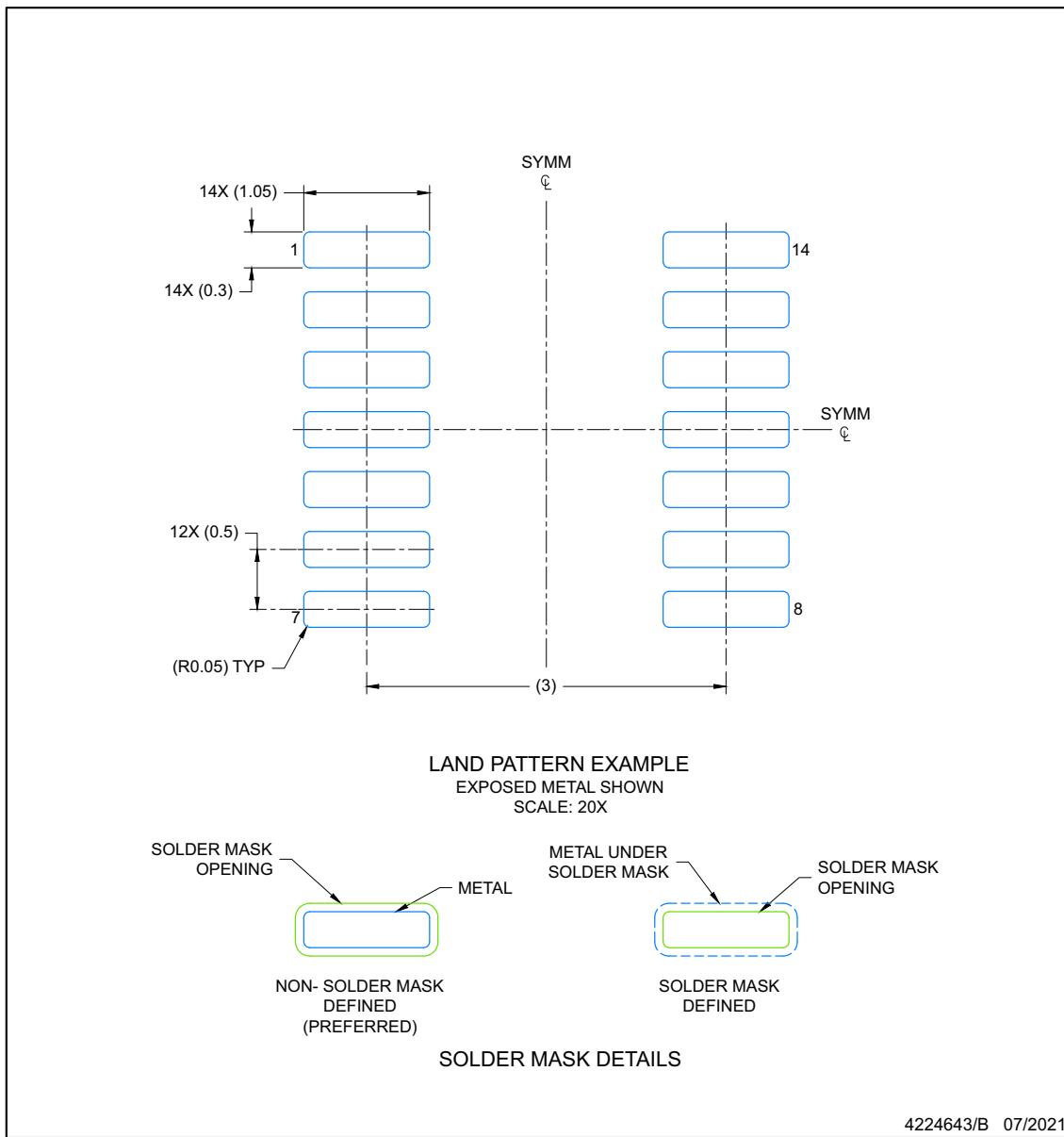


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
 4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
 5. Reference JEDEC Registration MO-345, Variation AB

DYY0014A**EXAMPLE BOARD LAYOUT****SOT-23-THIN - 1.1 mm max height**

PLASTIC SMALL OUTLINE



NOTES: (continued)

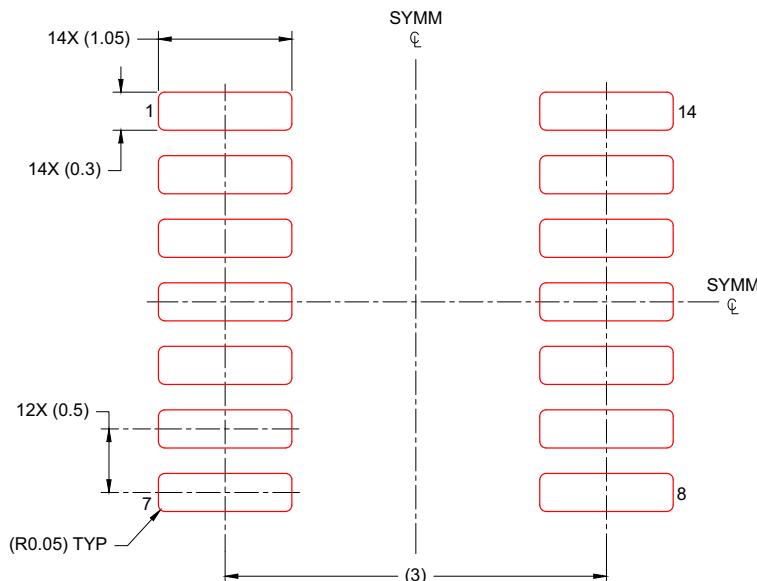
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

SOT-23-THIN - 1.1 mm max height

DYY0014A

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/B 07/2021

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

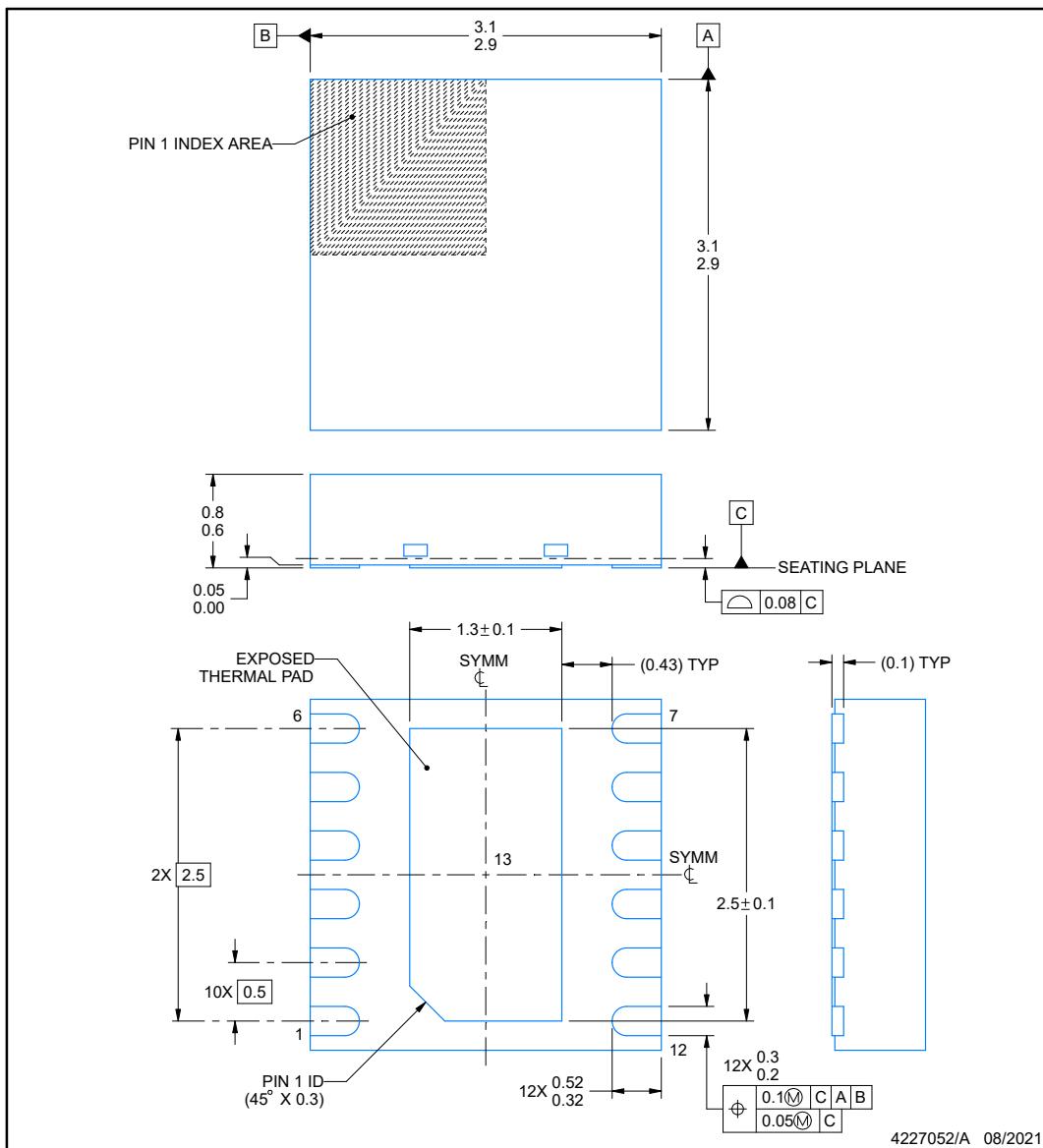
DRR0012G



PACKAGE OUTLINE

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

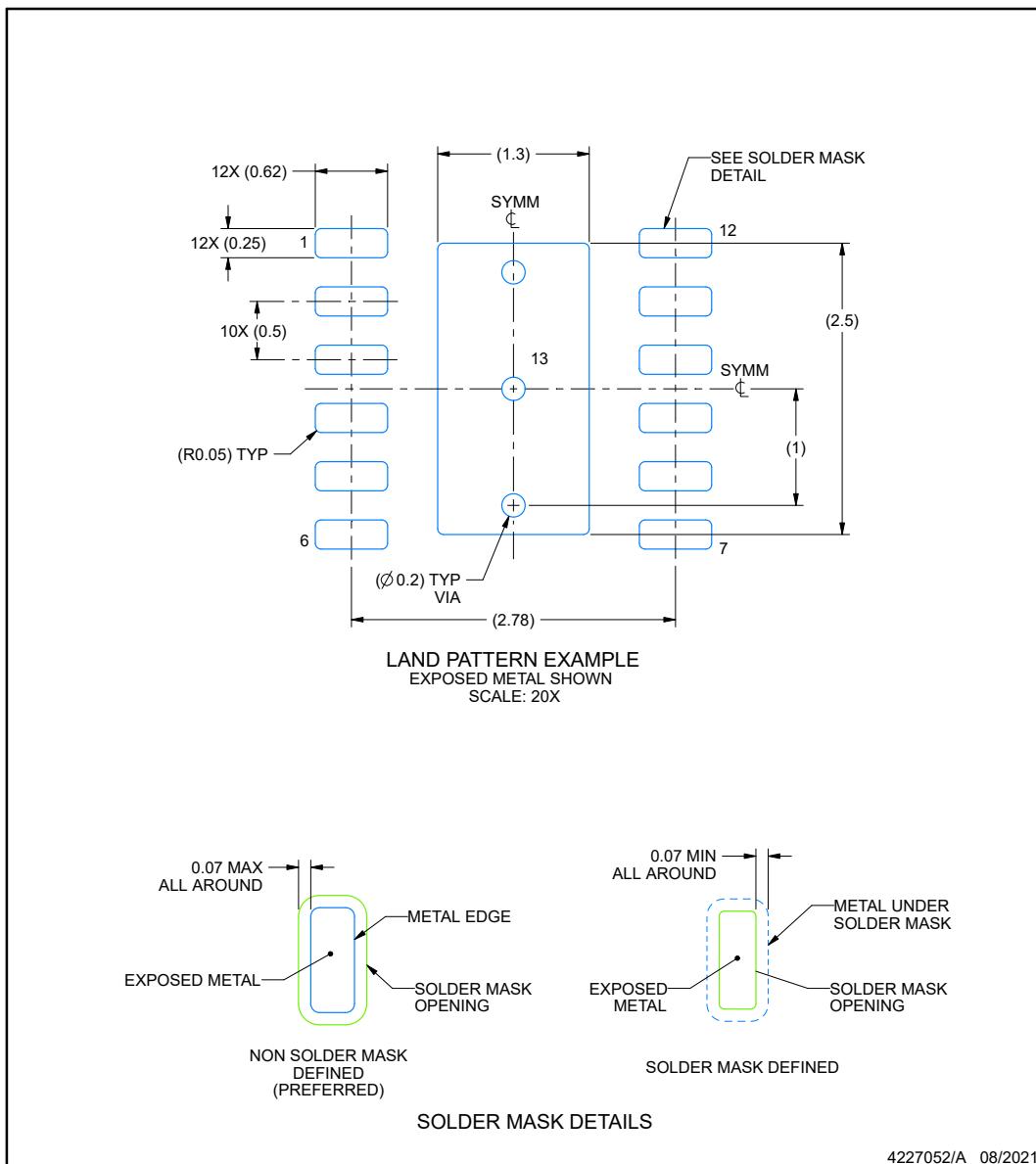


EXAMPLE BOARD LAYOUT

DRR0012G

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

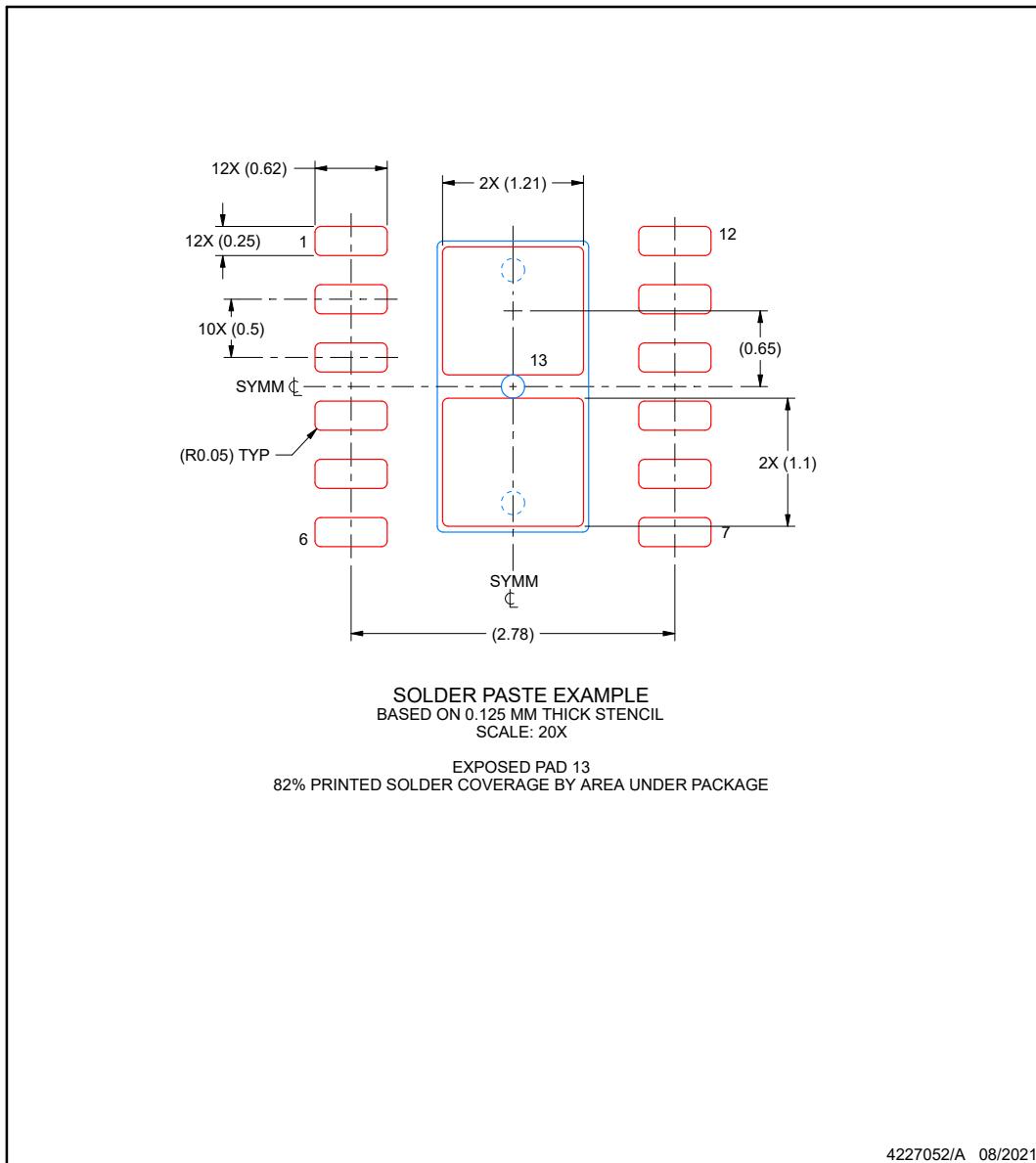


EXAMPLE STENCIL DESIGN

DRR0012G

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](#) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLC6989DRRR	Active	Production	WSON (DRR) 12	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	L6989N
TLC6989DRRR.A	Active	Production	WSON (DRR) 12	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	L6989N
TLC6989DYYR	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	L6989T
TLC6989DYYR.A	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	L6989T

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

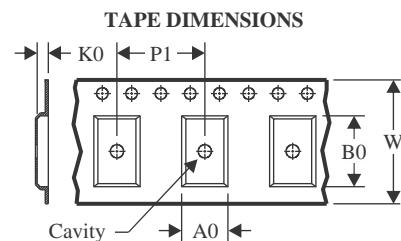
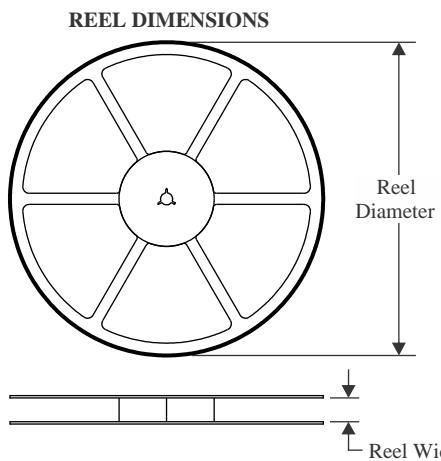
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

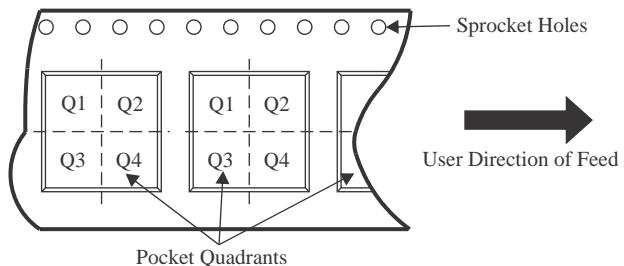
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

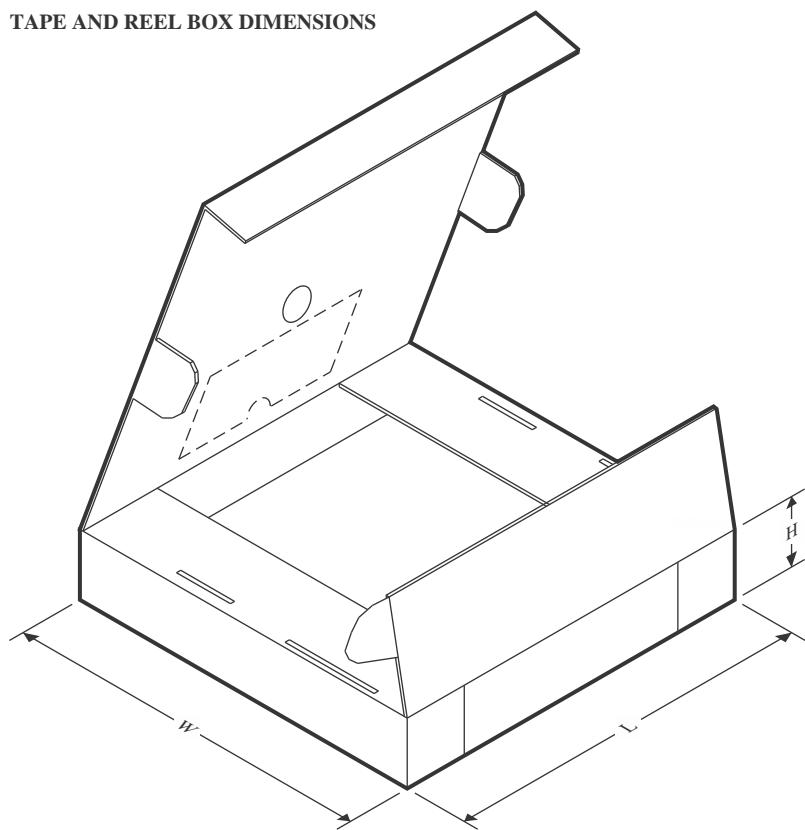
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLC6989DRRR	WSON	DRR	12	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TLC6989DYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLC6989DRRR	WSON	DRR	12	3000	367.0	367.0	35.0
TLC6989DYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8

GENERIC PACKAGE VIEW

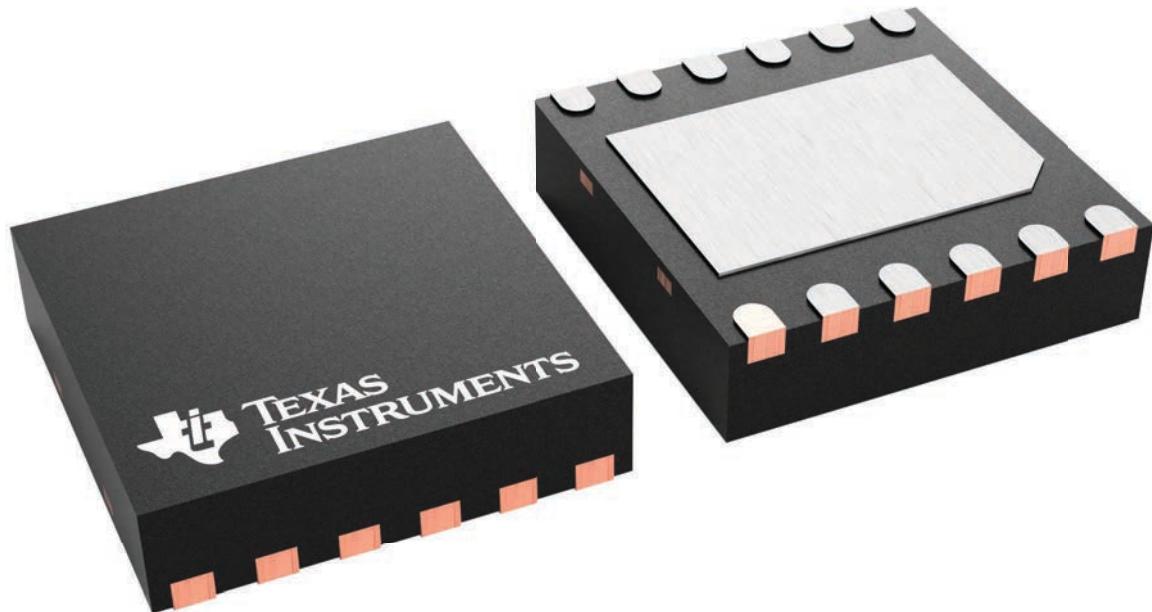
DRR 12

WSON - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

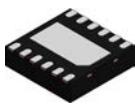
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4223490/B

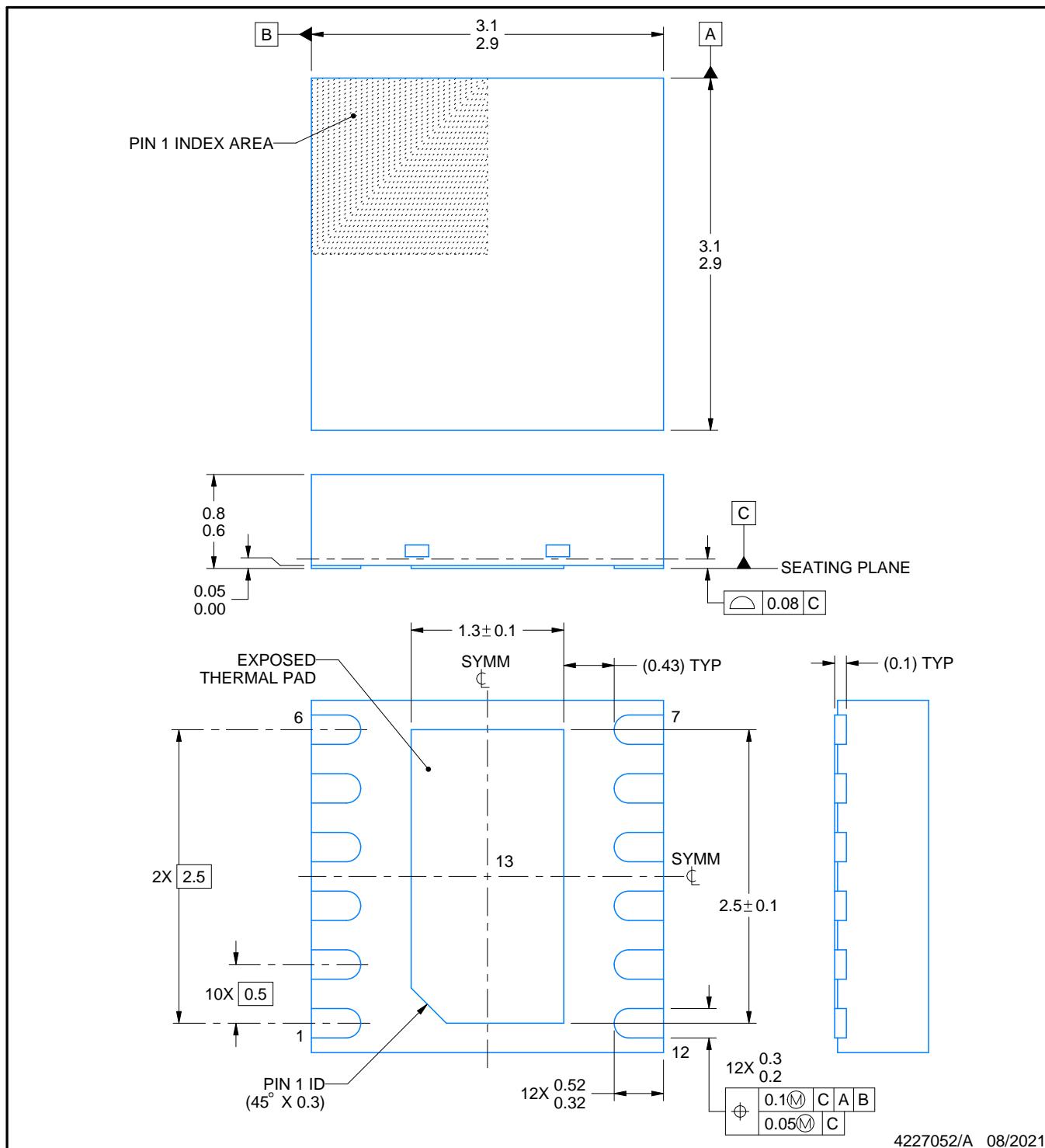
PACKAGE OUTLINE

DRR0012G



WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4227052/A 08/2021

NOTES:

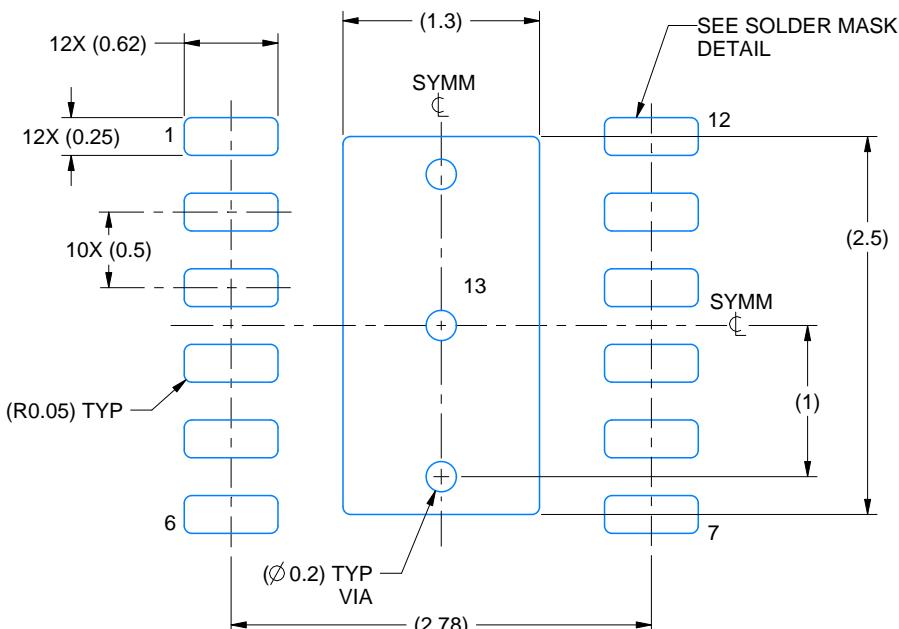
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

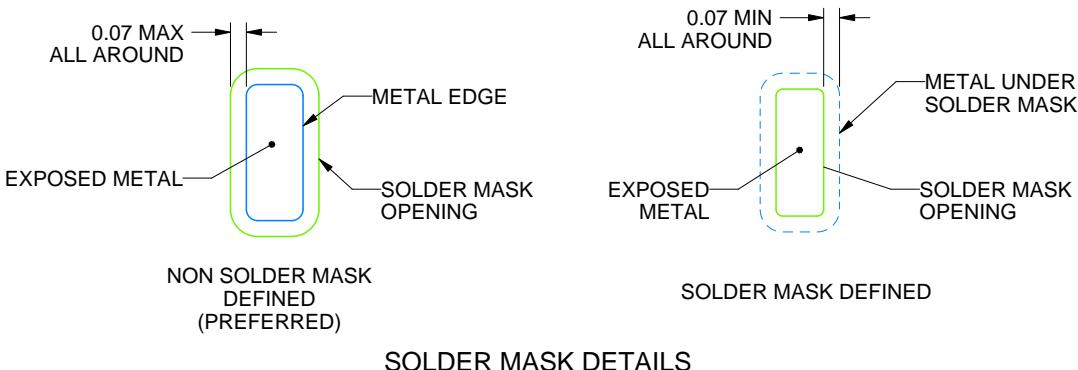
DRR0012G

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4227052/A 08/2021

NOTES: (continued)

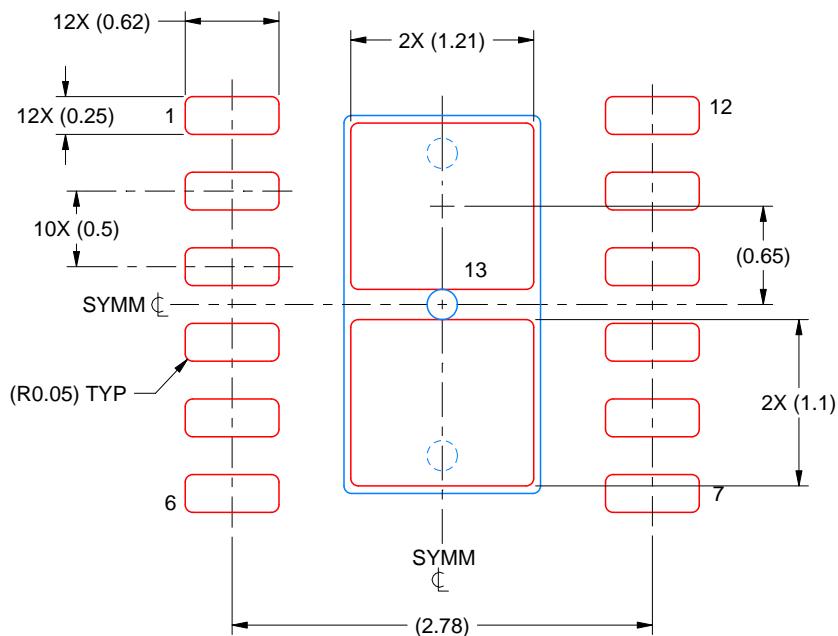
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRR0012G

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 13
82% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227052/A 08/2021

NOTES: (continued)

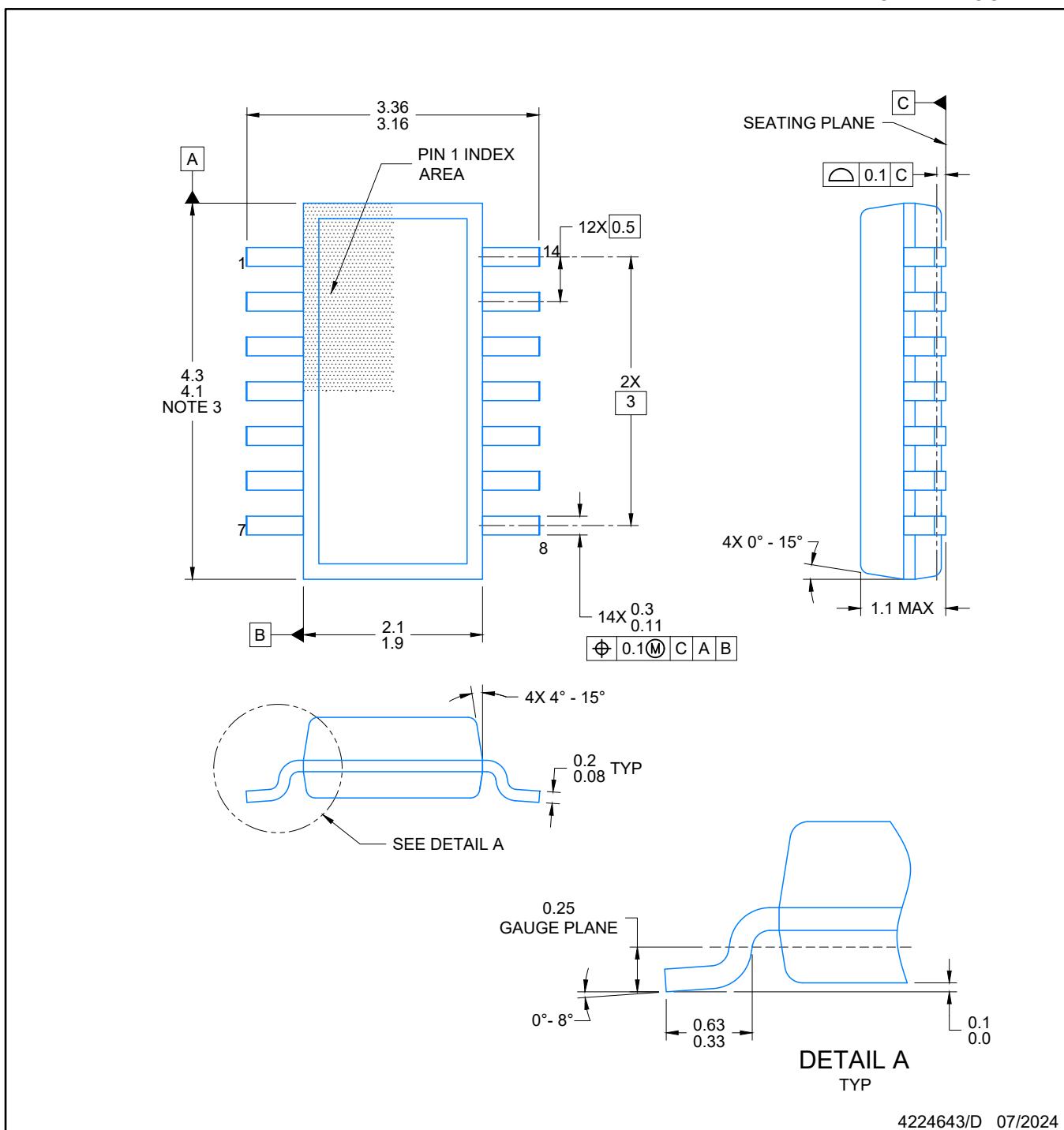
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DYY0014A

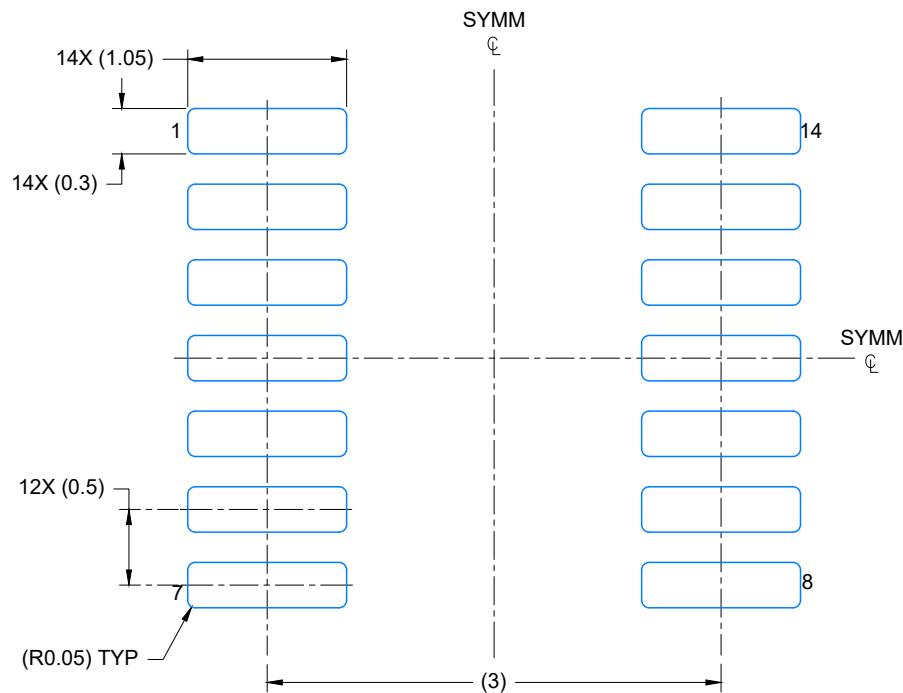
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

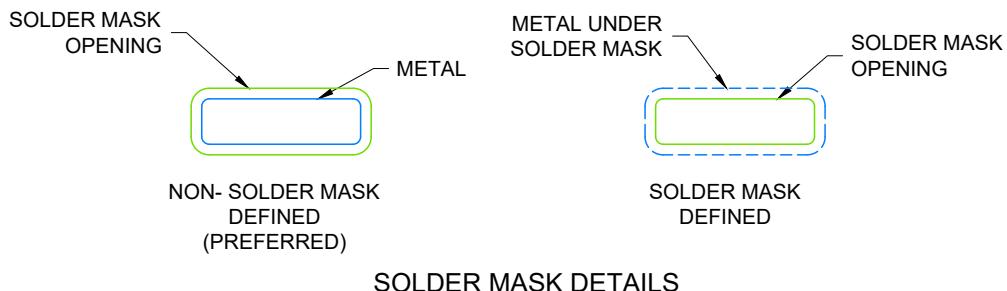


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224643/D 07/2024

NOTES: (continued)

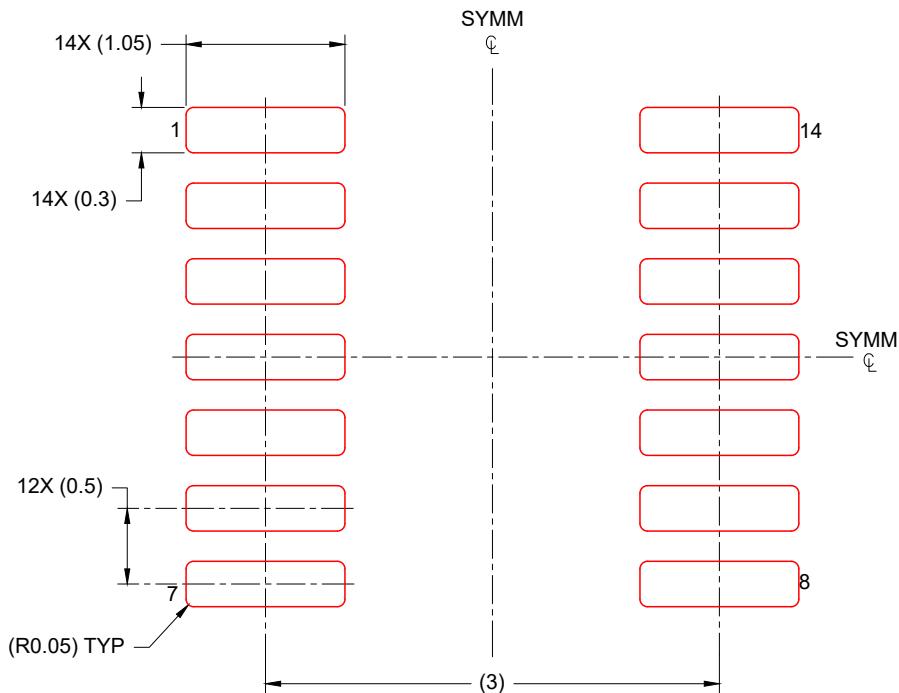
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

SOT-23-THIN - 1.1 mm max height

DYY0014A

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月