

TLIN4029A-Q1 ドミナント状態タイムアウト機能および拡張フォルト保護機能付き車載用 LIN トランシーバ

1 特長

- 車載アプリケーション向けに AEC-Q100 認定済み
- LIN 2.0、LIN 2.1、LIN 2.2、
LIN 2.2A、ISO 17987-4 電気的物理層 (EPL) 仕様に
準拠
- SAE J2602-1 車載用途向け LIN ネットワークに準拠
- 機能安全対応**
 - 機能安全システムの設計に役立つ資料を利用可
能
- 12V LIN および 24V LIN バッテリーアプリケーションを
サポート
- 48V システムをサポートするために拡張されたバス障
害保護範囲
- 最高 20kbps の LIN 送信データレート
- 最高 100kbps の LIN 受信データレート
- 広い動作電源電圧範囲: 4V ~ 48V
- スリープ モード: 超低消費電流で、次のウェイクアップ
イベントに対応
 - LIN バス
 - EN 経由のローカル ウェイクアップ
- LIN バスと RXD 出力は電源オン / オフ時にグリッチ
フリーで動作
- 保護機能:
 - LIN バスの障害耐性: $\pm 70V$
 - V_{SUP} の低電圧保護
 - TXD ドミナント タイムアウト保護 (DTO)
 - サーマル シャットダウン保護機能
 - 電源なしノードまたはグランド切断に対するシス
テム レベルのフェイルセーフ
- SOIC (8) とウェッタブル フランク付きリードレス VSON
(8) で供給

2 アプリケーション

- ボディ エレクトロニクスおよび照明
- インフォテインメントおよびクラスタ
- ハイブリッド電気自動車およびパワートレイン システム
- パッシブ型安全運転支援システム
- 電化製品

3 説明

TLIN4029A-Q1 は、ウェークアップおよび保護機能を内
蔵し、LIN 2.0、LIN 2.1、LIN 2.2、LIN 2.2 A、および ISO
17987-4 規格に準拠したローカル相互接続ネットワーク
(LIN) 物理層トランシーバです。LIN は、データ レートが
最高 20kbps の車載ネットワークで一般に使用されている
単線式双方向バスです。TLIN4029A-Q1 は、より広い動作
電圧範囲と $\pm 70V$ の拡張バスフォルト保護機能を備えた
12V LIN および 24V LIN アプリケーションに対応する
よう設計されています。

LIN レシーバは、高速インライン プログラミング用に最大
100kbps のデータ レートをサポートしています。
TLIN4029A-Q1 は、電磁放射 (EME) を低減する電流制
限波形整形ドライバを使用して、TXD 入力のデータストリーム
を LIN バス信号に変換します。本レシーバは、データ
ストリームを論理レベル信号に変換し、オープンドレイン
の RXD ピンを経由してマイクロプロセッサに送信します。
スリープ モードから LIN バスや EN ピンによるウェイクアップ
が可能なため、非常に低い消費電流を実現できます。

TLIN4029A-Q1 には LIN レスポンダ ノード アプリケーション
用の抵抗、ESD 保護、フォルト保護が内蔵されている
ため、アプリケーションの外付け部品数を減らせます。この
デバイスでは、グランドのシフトまたは電源電圧の切断が
発生しても、電流が LIN 経由で電源入力に逆流すること
はありません。TLIN4029A-Q1 は、低電圧検出、サーマル
シャットダウン保護、グランド喪失保護機能も内蔵して
います。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TLIN4029A-Q1	SOIC (D, 8)	4.9mm × 6mm
	VSON (DRB, 8)	3mm × 3 mm

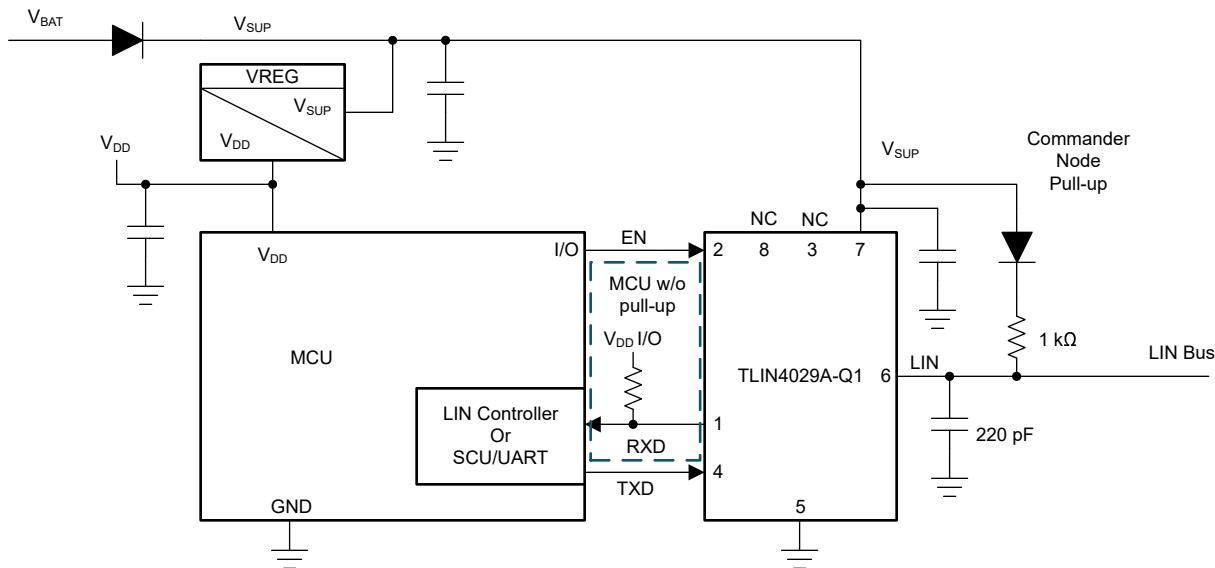
(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はビ
ンを含みます。

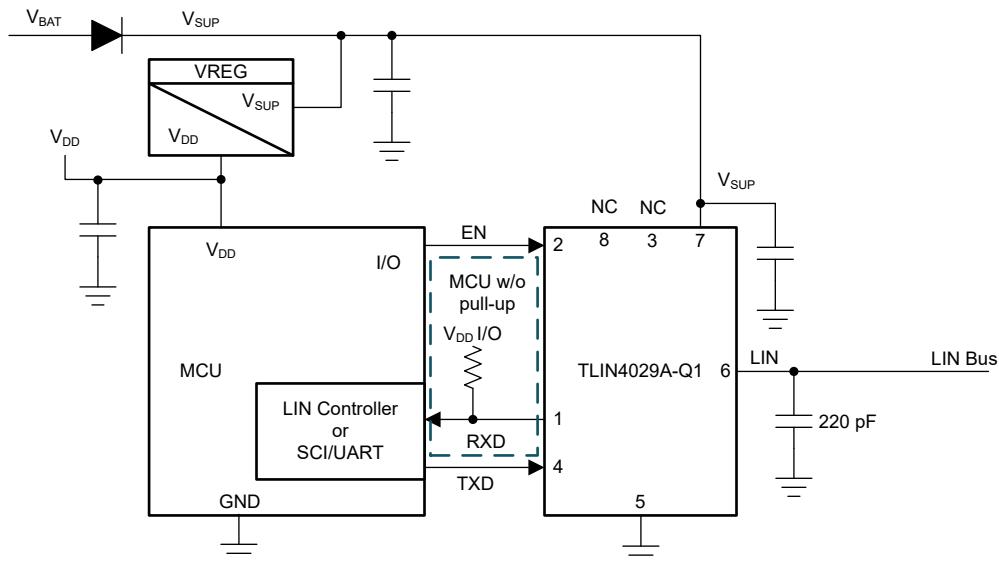


このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥
当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SLLSG48](#)



概略回路図、コマンダ モード



概略回路図、レスポンダ モード

目次

1 特長	1	7.2 機能ブロック図	23
2 アプリケーション	1	7.3 機能説明	24
3 説明	1	7.4 デバイスの機能モード	27
4 ピン構成および機能	4	8 アプリケーション情報に関する免責事項	30
5 仕様	5	8.1 アプリケーション情報	30
5.1 絶対最大定格	5	8.2 代表的なアプリケーション	30
5.2 ESD 定格	5	8.3 電源に関する推奨事項	31
5.3 ESD 定格 - IEC	5	8.4 レイアウト	32
5.4 熱に関する情報	6	9 デバイスおよびドキュメントのサポート	34
5.5 推奨動作条件	7	9.1 ドキュメントのサポート	34
5.6 電気的特性	7	9.2 ドキュメントの更新通知を受け取る方法	34
5.7 デューティ サイクル特性	9	9.3 サポート・リソース	34
5.8 タイミング要件	11	9.4 商標	34
5.9 代表的特性	13	9.5 静電気放電に関する注意事項	34
6 パラメータ測定情報	15	9.6 用語集	35
7 詳細説明	23	10 改訂履歴	35
7.1 概要	23	11 メカニカル、パッケージ、および注文情報	35

4 ピン構成および機能

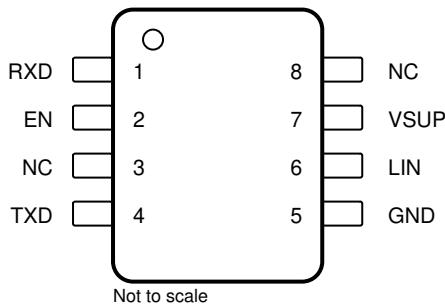


図 4-1. D パッケージ、8 ピン (SOIC)
(上面図)

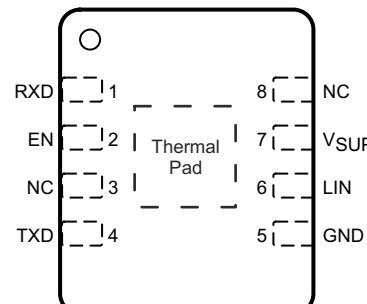


図 4-2. DRB パッケージ、8 ピン (VSON)
(上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
RXD	1	DO	LIN バス電圧の状態を報告する RXD 出力 (オープンドレイン) インターフェイス
EN	2	DI	イネーブル入力 - High は本デバイスを通常動作モードにし、Low は本デバイスをスリープ モードにします。
NC	3	-	未接続
TXD	4	DI	LIN 出力の状態を制御する TXD 入力インターフェイス - 内部的にグランドにプルされています。
GND	5	GND	グランド
LIN	6	HV I/O	LIN バスの単線式トランスマッタおよびレシーバ
V _{SUP}	7	HV サプライ	デバイスの電源電圧 (外付けの逆流防止ダイオードを直列に介してバッテリまたは他の電源レールに接続)
NC	8	-	未接続
サーマル パッド		-	熱的結合を改善するため PCB グランド プレーンに接続可能 (DRB パッケージのみ)

5 仕様

5.1 絶対最大定格

(1) (2)

記号	パラメータ	最小値	最大値	単位
V_{SUP}	電源電圧範囲 (ISO 17987)	-0.3	70	V
V_{LIN}	LIN バス入力電圧 (ISO 17987)	-70	70	V
V_{LOGIC}	ロジック ピン電圧 (RXD, TXD, EN)	-0.3	6	V
I_o	デジタルピン出力電流		8	mA
T_J	接合部温度範囲	-55	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) すべての電圧値は、グランド端子を基準としたものです。

5.2 ESD 定格

ESD 定格			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM) 分類レベル 3A: TXD, RXD, EN ピン、AEC Q100-002 準拠 ⁽¹⁾	±4000	V
		人体モデル (HBM) 分類レベル 3B: グランドを基準とした LIN および V_{SUP} ピン	±8000	
		デバイス帶電モデル (CDM)、分類レベル C5, AEC Q100-011 準拠	±1500	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 ESD 定格 - IEC

			値	単位
$V_{(ESD)}$	静電放電	LIN, V_{SUP} ~ GND ⁽¹⁾	IEC 62228-2 (ISO 10605 に準拠) 接触放電 $R = 330\Omega$, $C = 150\text{pF}$	±8000 V

5.3 ESD 定格 - IEC (続き)

			値	単位	
V _{TRAN}	非同期過渡注入	LIN、V _{SUP} から GND	IEC 62228-2 (IEC 62215-3 に 準拠) 12V 電気システム パルス 1	-100	V
			IEC 62215-3 24V 電気システム (2) パルス 1	-450	
			IEC 62228-2 (IEC 62215-3 に 準拠) 12V 電気システム 、24V 電気システム、(2) パルス 2	75	
			IEC 62228-2 (IEC 62215-3 に 準拠) 12V 電気システム パルス 3a	-150	
			IEC 62215-3 24V 電気システム (2) パルス 3a	-225	
			IEC 62228-2 (IEC 62215-3 に 準拠) 12V 電気システム パルス 3b	100	
			IEC 62215-3 24V 電気システム (2) パルス 3b	225	

- (1) ここに示す結果は、IEC 62228-2 IC – ランシーバの EMC 評価 – パート 2 に固有のものです。LIN ランシーバ。
OEM 承認の独立系サードパーティが実施したテストで、要求に応じて EMC レポートを入手できます。
- (2) 特性評価時に検証済み

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TLIN4029AD-Q1	TLIN4029ADRB-Q1	単位
		D (SOIC)	DRB (VSON)	
		8-PINS	8-PINS	
R _{θJA}	接合部から周囲への熱抵抗	115.5	48.5	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	58.7	55.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	58.9	22.2	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	14.1	1.2	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	58.2	22.2	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	--	4.8	°C/W

- (1) 従来および新しい熱評価基準値の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準値』、SPRA953 を参考してください。

5.5 推奨動作条件

パラメータは $-40^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$ で有効 (特に記述のない限り)

パラメータ - 定義		最小値	公称値	最大値	単位
V_{SUP}	電源電圧	4	48	V	
V_{LIN}	LIN パス入力電圧	0	48	V	
V_{LOGIC}	ロジック ピン電圧 (RXD, TXD, EN)	0	5.25	V	
T_A	周囲温度範囲	-40	125	$^{\circ}\text{C}$	

5.6 電気的特性

パラメータは $-40^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$ で有効 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
電源					
V_{SUP}	動作電源電圧 (ISO 17987 Param 10)	本デバイスは、LIN で定義された公称電源電圧範囲外でも動作可能です。 図 6-1 および 図 6-2 を参照してください	4	48	V
V_{SUP}	公称電源電圧 (ISO 17987 Param 10)	通常モードおよびスタンバイ モード: LIN 信号として 50% デューティ サイクル、36V 振幅の 10kHz 方形波を印加しながら、 V_{SUP} を立ち上げます。 図 6-1 および 図 6-2 を参照してください	4	48	V
	スリープ モード	4	48	V	
UV_{SUP}	V_{SUP} 低電圧スレッショルド	最小値は立ち下がりエッジ、最大値は立ち上がりエッジ	2.9	3.85	V
UV_{HYS}	V_{SUP} 低電圧スレッショルドのヒステリシス電圧差		0.2		V
I_{SUP}	電源電流	通常モード: EN = High、バスドミナント: $R_{\text{LIN}} 500\Omega$ かつ $C_{\text{LIN}} < 10\text{nF}$ での総バス負荷	1.2	5	mA
		スタンバイ モード: EN = Low、バスドミナント: $R_{\text{LIN}} 500\Omega$ かつ $C_{\text{LIN}} < 10\text{nF}$ での総バス負荷 (を参照)	1	2.1	mA
I_{SUP}	電源電流	通常モード: EN = High、バスリセッショブ: LIN = V_{SUP} 、	400	700	μA
		スタンバイ モード: EN = Low、バスリセッショブ: LIN = V_{SUP} 、	20	35	μA
		スリープ モード: $4\text{V} < V_{\text{SUP}} \leq 27\text{V}$ 、LIN = V_{SUP} 、EN = 0V、TXD と RXD はフローティング	9	15	μA
		スリープ モード: $27\text{V} < V_{\text{SUP}} \leq 48\text{V}$ 、LIN = V_{SUP} 、EN = 0V、TXD と RXD はフローティング		30	μA
TSD	サーマル シャットダウン		165		$^{\circ}\text{C}$
TSD _(HYS)	サーマル シャットダウンヒステリシス		15		$^{\circ}\text{C}$
RXD 出力ピン (オープンドレイン)					
V_{OL}	出力 LOW 電圧	V_{CC} (4) への外部プルアップに基づいています		0.6	V
I_{OL}	Low レベル出力電流、オープンドレイン	LIN = 0V、RXD = 0.4V	1.5		mA
I_{ILG}	リーコ電流、High レベル	LIN = V_{SUP} 、RXD = 5V	-5	0	5 μA
TXD 入力ピン					

5.6 電気的特性 (続き)

パラメータは $-40^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$ で有効 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL}	Low レベル入力電圧		-0.3	0.8	0.8	V
V_{IH}	High レベル入力電圧		2	5.25	5.25	V
I_{ILG}	Low レベル入力リーク電流	$\text{TXD} = \text{Low}$	-5	0	5	μA
R_{TXD}	内部プルダウン抵抗値		125	350	800	$\text{k}\Omega$
LIN ピン						
V_{OH}	HIGH レベル出力電圧 ⁽³⁾	LIN リセッショ、 $\text{TXD} = \text{High}$ 、 $I_O = 0\text{mA}$ 、 $7\text{V} \leq V_{\text{SUP}} \leq 48\text{V}$	0.85			V_{SUP}
V_{OH}	LIN リセッショの High レベル出力電圧 ⁽¹⁾ ⁽²⁾	$\text{TXD} = \text{High}$ 、 $I_O = 0\text{mA}$ 、 $7\text{V} \leq V_{\text{SUP}} \leq 18\text{V}$	0.8			V_{SUP}
V_{OH}	HIGH レベル出力電圧 ⁽³⁾	LIN リセッショ、 $\text{TXD} = \text{High}$ 、 $I_O = 0\text{mA}$ 、 $V_{\text{SUP}} = 4\text{V} \leq V_{\text{SUP}} < 7\text{V}$	3			V
V_{OL}	LOW レベル出力電圧 ⁽³⁾	LIN ドミナント、 $\text{TXD} = \text{Low}$ 、 $V_{\text{SUP}} = 7\text{V} \sim 48\text{V}$		0.2		V_{SUP}
V_{OL}	LIN ドミナント低レベル出力電圧 ⁽¹⁾ ⁽²⁾	$\text{TXD} = \text{Low}$ 、 $7\text{V} \leq V_{\text{SUP}} \leq 18\text{V}$		0.2		V_{SUP}
V_{OL}	LOW レベル出力電圧 ⁽³⁾	LIN ドミナント、 $\text{TXD} = \text{Low}$ 、 $V_{\text{SUP}} = 4\text{V} \leq V_{\text{SUP}} < 7\text{V}$		1.2		V
$V_{\text{SUP_NON_OP}}$	V_{SUP} (LIN バス影響が 5% 未満の領域) (ISO 17987 Param 11)	$\text{TXD \& RXD} = \text{Open}$ 、 $\text{LIN} = 4\text{V} \sim 58\text{V}$	-0.3	58	58	V
$I_{\text{BUS_LIM}}$	制限電流 (ISO/ 17987 Param 57)	$\text{TXD} = 0\text{V}$ 、 $V_{\text{LIN}} = 36\text{V}$ 、 $R_{\text{MEAS}} = 440\Omega$ 、 $V_{\text{SUP}} = 3\text{V}$ 、 $V_{\text{BUSdom}} < 4.518\text{V}$	75	120	300	mA
$I_{\text{BUS_PAS_DOM}}$	レシーバのリーク電流、ドミナント (ISO 17987 Param 13, 58)	$\text{LIN} = 0\text{V}$ 、 $V_{\text{SUP}} = 24\text{V}$ ドライバ オフ / リセッショ、 図 6-6	-1			mA
$I_{\text{BUS_PAS_rec1}}$	レシーバのリーク電流、リセッショ (ISO 17987 Param 14, 59)	$\text{LIN} > V_{\text{SUP}}$ 、 $4\text{V} \leq V_{\text{SUP}} \leq 45\text{V}$ ドライバ オフ、 図 6-7		20		μA
$I_{\text{BUS_PAS_rec2}}$	レシーバのリーク電流、リセッショ (ISO 17987 Param 14, 59)	$\text{LIN} = V_{\text{SUP}}$ 、ドライバオフ、 図 6-7	-5	5		μA
$I_{\text{BUS_NO_GND}}$	リーク電流、グランド喪失 (ISO 17987 Param 15, 60)	$\text{GND} = V_{\text{SUP}}$ 、 $V_{\text{SUP}} = 27\text{V}$ 、 $\text{LIN} = 0\text{V}$ 、 図 6-8	-1	1		mA
$I_{\text{BUS_NO_GND}}$	リーク電流、グランド喪失 (ISO 17987 Param 15, 60)	$\text{GND} = V_{\text{SUP}}$ 、 $V_{\text{SUP}} \geq 36\text{V}$ 、 $\text{LIN} = 0\text{V}$ 、 図 6-8	-1.5	1.5		mA
$I_{\text{leak gnd(dom)}}$	リーク電流、グランド喪失 ⁽⁵⁾	$V_{\text{SUP}} = 8\text{V}$ 、 $\text{GND} = \text{Open}$ 、 $V_{\text{SUP}} = 18\text{V}$ 、 $\text{GND} = \text{Open}$ 、 $R_{\text{Commander}} = 1\text{k}\Omega$ 、 $C_L = 1\text{nF}$ $R_{\text{Responder}} = 20\text{k}\Omega$ 、 $C_L = 1\text{nF}$ $\text{LIN} = \text{Dominant}$	-1	1		mA
$I_{\text{leak gnd(rec)}}$	リーク電流、グランド喪失 ⁽⁵⁾	$V_{\text{SUP}} = 8\text{V}$ 、 $\text{GND} = \text{Open}$ 、 $V_{\text{SUP}} = 18\text{V}$ 、 $\text{GND} = \text{Open}$ 、 $R_{\text{Commander}} = 1\text{k}\Omega$ 、 $C_L = 1\text{nF}$ $R_{\text{Responder}} = 20\text{k}\Omega$ 、 $C_L = 1\text{nF}$ $\text{LIN} = \text{Reception}$	-100	100		μA
$I_{\text{BUS_NO_BAT}}$	リーク電流、電源喪失 (ISO 17987 Param 16, 61)	$\text{LIN} = 48\text{V}$ 、 $V_{\text{SUP}} = \text{GND}$ 、 図 6-9		5		μA
V_{BUSdom}	Low レベル入力電圧 (ISO 17987 Param 17, 62)	LIN ドミナント (ウェーカアップの LIN ドミナントを含む) 図 6-4 、 図 6-3 を参照してください		0.4		V_{SUP}
V_{BUSrec}	High レベル入力電圧 (ISO 17987 Param 18, 63)	LIN リセッショ 図 6-4 、 図 6-3 を参照してください	0.6			V_{SUP}

5.6 電気的特性 (続き)

パラメータは $-40^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$ で有効 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IH}	LIN リセッショングの High レベル入力電圧 ⁽¹⁾ ⁽²⁾	$7\text{V} \leq V_{SUP} \leq 18\text{V}$	0.47	0.6		V_{SUP}
V_{IL}	LIN ドミナントの Low レベル入力電圧 ⁽¹⁾ ⁽²⁾	$7\text{V} \leq V_{SUP} \leq 18\text{V}$	0.4	0.53		V_{SUP}
V_{BUS_CNT}	レシーバのセンター スレッショルド (ISO 17987 Param 19, 64)	$V_{BUS_CNT} = (V_{BUSrec} + V_{BUSDom})/2$ 図 6-4、図 6-3 を参照してください	0.475	0.5	0.525	V_{SUP}
V_{HYS}	ヒステリシス電圧 (ISO 17987 Param 20, 65)	$V_{HYS} = (V_{BUSrec} - V_{BUSDom})$ 図 6-4、図 6-3 を参照してください		0.175		V_{SUP}
V_{HYS}	ヒステリシス電圧 (SAE J2602)	$V_{HYS} = V_{IH} - V_{IL}$ 図 6-4、図 6-3 を参照してください	0.07	0.175		V_{SUP}
V_{SERIAL_DIODE}	直列ダイオード付 LIN 終端プルアップ経路	$I_{SERIAL_DIODE} = 10\mu\text{A}$	0.4	0.7	1	V
R_{PU}	V_{SUP} に接続された内部プルアップ抵抗	通常モードとスタンバイ モード	20	45	60	$\text{k}\Omega$
I_{RSLEEP}	V_{SUP} に接続されたプルアップ電流源	スリープ モード、 $V_{SUP} = 27\text{V}$ 、 $\text{LIN} = \text{GND}$	-20	-2		μA
C_{LINPIN}	LIN ピンの容量	$V_{SUP} = 14\text{V}$		25		pF
EN 入力ピン						
V_{IL}	Low レベル入力電圧		-0.3	0.8		V
V_{IH}	High レベル入力電圧		2	5.25		V
V_{IT}	ヒステリシス電圧	設計と特性評価による。	50	500		mV
I_{ILG}	Low レベル入力電流	EN = Low	-5	0	5	μA
R_{EN}	内部プルダウン抵抗		125	350	800	$\text{k}\Omega$

(1) SAE 2602 コマンダ ノードの負荷条件: $5.5\text{nF} / 4\text{k}\Omega$ および $899\text{pF} / 20\text{k}\Omega$

(2) SAE 2602 レスポンダ ノードの負荷状態: $5.5\text{nF} / 875\Omega$ および $899\text{pF} / 900\Omega$

(3) ISO 17987 バス負荷条件 (C_{LINBUS} , R_{LINBUS}) には、 $1\text{nF}/1\text{k}\Omega$, $6.8\text{nF}/660\Omega$, $10\text{nF}/500\Omega$ が含まれます。

(4) RXD はオーブンドレイン出力構造を使用するため、 V_{OL} レベルはマイコンの電源電圧 V_{CC} に基づいています。

(5) $I_{leak\ gnd} = (V_{BAT} - V_{LIN})/R_{Load}$

5.7 デューティ サイクル特性

パラメータは $-40^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$ で有効 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
D_{12V}	デューティ サイクル 1 (ISO 17987 Param 27) ⁽³⁾	$TH_{REC(MAX)} = 0.744 \times V_{SUP}$, $TH_{DOM(MAX)} = 0.581 \times V_{SUP}$, $V_{SUP} = 7\text{V} \sim 18\text{V}$, $t_{BIT} = 50\mu\text{s}$ (20kbps), $D1 = t_{BUS_rec(min)}/(2 \times t_{BIT})$ (図 6-10, 図 6-11 を参照)	0.396			
D_{12V}	デューティ サイクル 1 (ISO 17987 Param 27) ⁽³⁾ ⁽⁴⁾	$TH_{REC(MAX)} = 0.625 \times V_{SUP}$, $TH_{DOM(MAX)} = 0.581 \times V_{SUP}$, $V_{SUP} = 4\text{V} \sim 7\text{V}$, $t_{BIT} = 50\mu\text{s}$ (20kbps), $D1 = t_{BUS_rec(min)}/(2 \times t_{BIT})$ (図 6-10, 図 6-11 を参照)	0.396			
$D1$	デューティ サイクル 1 ⁽¹⁾ ⁽²⁾ ⁽⁴⁾	$TH_{REC(MAX)} = 0.744 \times V_{SUP}$, $TH_{DOM(MAX)} = 0.581 \times V_{SUP}$, $V_{SUP} = 7\text{V} \sim 18\text{V}$, $t_{BIT} = 52\mu\text{s}$, $D1 = t_{BUS_rec(min)}/(2 \times t_{BIT})$ (図 6-10, 図 6-11 を参照)	0.396			
D_{212V}	デューティ サイクル 2 (ISO/ 17987 Param 28) ⁽³⁾	$TH_{REC(MIN)} = 0.422 \times V_{SUP}$, $TH_{DOM(MIN)} = 0.284 \times V_{SUP}$, $V_{SUP} = 7\text{V} \sim 18\text{V}$, $t_{BIT} = 50\mu\text{s}$ (20kbps), $D2 = t_{BUS_rec(MAX)}/(2 \times t_{BIT})$ (図 6-10, 図 6-11 を参照)		0.581		

5.7 デューティ サイクル特性 (続き)

パラメータは $-40^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$ で有効 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
D2 _{12V}	デューティ サイクル 2 ^{(3) (4)} $\text{TH}_{\text{REC}(\text{MIN})} = 0.546 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MIN})} = 0.4 \times V_{\text{SUP}}, V_{\text{SUP}} = 4\text{V} \sim 7\text{V}, t_{\text{BIT}} = 50\mu\text{s} (20\text{kbps}), D2 = t_{\text{BUS_rec}(\text{MAX})}/(2 \times t_{\text{BIT}})$ (図 6-10、図 6-11 を参照)		0.581		
D2	デューティ サイクル 2 ^{(1) (2) (4)} $\text{TH}_{\text{REC}(\text{MIN})} = 0.422 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MIN})} = 0.284 \times V_{\text{SUP}}, V_{\text{SUP}} = 7\text{V} \sim 18\text{V}, t_{\text{BIT}} = 52\mu\text{s}, D2 = t_{\text{BUS_rec}(\text{MAX})}/(2 \times t_{\text{BIT}})$ (図 6-10、図 6-11 を参照)		0.581		
D3 _{12V}	デューティ サイクル 3 (ISO/ 17987 Param 29) ⁽³⁾ $\text{TH}_{\text{REC}(\text{MAX})} = 0.778 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MAX})} = 0.616 \times V_{\text{SUP}}, V_{\text{SUP}} = 7\text{V} \sim 18\text{V}, t_{\text{BIT}} = 96\mu\text{s} (10.4\text{kbps}), D3 = t_{\text{BUS_rec}(\text{min})}/(2 \times t_{\text{BIT}})$ (図 6-10、図 6-11 を参照)	0.417			
D3 _{12V}	デューティ サイクル 3 ^{(3) (4)} $\text{TH}_{\text{REC}(\text{MAX})} = 0.645 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MAX})} = 0.616 \times V_{\text{SUP}}, V_{\text{SUP}} = 4\text{V} \sim 7\text{V}, t_{\text{BIT}} = 96\mu\text{s} (10.4\text{kbps}), D3 = t_{\text{BUS_rec}(\text{min})}/(2 \times t_{\text{BIT}})$ (図 6-10、図 6-11 を参照)	0.417			
D3	デューティ サイクル 3 ^{(1) (2) (4)} $\text{TH}_{\text{REC}(\text{MAX})} = 0.778 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MAX})} = 0.616 \times V_{\text{SUP}}, V_{\text{SUP}} = 7\text{V} \sim 18\text{V}, t_{\text{BIT}} = 96\mu\text{s}, D3 = t_{\text{BUS_rec}(\text{min})}/(2 \times t_{\text{BIT}})$ (図 6-10、図 6-11 を参照)	0.417			
D4 _{12V}	デューティ サイクル 4 (ISO/ 17987 Param 30) ⁽³⁾ $\text{TH}_{\text{REC}(\text{MIN})} = 0.389 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MIN})} = 0.251 \times V_{\text{SUP}}, V_{\text{SUP}} = 7\text{V} \sim 18\text{V}, t_{\text{BIT}} = 96\mu\text{s} (10.4\text{kbps}), D4 = t_{\text{BUS_rec}(\text{MAX})}/(2 \times t_{\text{BIT}})$ (図 6-10、図 6-11 を参照)		0.59		
D4 _{12V}	デューティ サイクル 4 ^{(3) (4)} $\text{TH}_{\text{REC}(\text{MIN})} = 0.422 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MIN})} = 0.284 \times V_{\text{SUP}}, V_{\text{SUP}} = 4\text{V} \sim 7\text{V}, t_{\text{BIT}} = 96\mu\text{s} (10.4\text{kbps}), D4 = t_{\text{BUS_rec}(\text{MAX})}/(2 \times t_{\text{BIT}})$ (図 6-10、図 6-11 を参照)		0.59		
D4	デューティ サイクル 4 ^{(1) (2) (4)} $\text{TH}_{\text{REC}(\text{MIN})} = 0.389 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MIN})} = 0.251 \times V_{\text{SUP}}, V_{\text{SUP}} = 7\text{V} \sim 18\text{V}, t_{\text{BIT}} = 96\mu\text{s}, D4 = t_{\text{BUS_rec}(\text{MAX})}/(2 \times t_{\text{BIT}})$ (図 6-10、図 6-11 を参照)		0.59		
D1 _{24V}	デューティ サイクル 1 (ISO 17987 Param 72) $\text{TH}_{\text{REC}(\text{MAX})} = 0.710 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MAX})} = 0.544 \times V_{\text{SUP}}, V_{\text{SUP}} = 15\text{V} \sim 36\text{V}, t_{\text{BIT}} = 50\mu\text{s} (20\text{kbps}), D1 = t_{\text{BUS_rec}(\text{min})}/(2 \times t_{\text{BIT}})$ (図 6-10、図 6-11 を参照)	0.33			
D2 _{24V}	デューティ サイクル 2 (ISO 17987 Param 73) $\text{TH}_{\text{REC}(\text{MIN})} = 0.446 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MIN})} = 0.302 \times V_{\text{SUP}}, V_{\text{SUP}} = 15.6\text{V} \sim 36\text{V}, t_{\text{BIT}} = 50\mu\text{s} (20\text{kbps}), D2 = t_{\text{BUS_rec}(\text{MAX})}/(2 \times t_{\text{BIT}})$ (図 6-10、図 6-11 を参照)		0.642		
D3 _{24V}	デューティ サイクル 3 (ISO 17987 Param 74) $\text{TH}_{\text{REC}(\text{MAX})} = 0.744 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MAX})} = 0.581 \times V_{\text{SUP}}, V_{\text{SUP}} = 7\text{V} \sim 36\text{V}, t_{\text{BIT}} = 96\mu\text{s} (10.4\text{kbps}), D3 = t_{\text{BUS_rec}(\text{min})}/(2 \times t_{\text{BIT}})$ (図 6-10、図 6-11 を参照)	0.386			
D3 _{24V}	デューティ サイクル ⁽⁴⁾ $\text{TH}_{\text{REC}(\text{MAX})} = 0.645 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MAX})} = 0.581 \times V_{\text{SUP}}, V_{\text{SUP}} = 4\text{V} \sim 7\text{V}, t_{\text{BIT}} = 96\mu\text{s} (10.4\text{kbps}), D3 = t_{\text{BUS_rec}(\text{min})}/(2 \times t_{\text{BIT}})$ (図 6-10、図 6-11 を参照)	0.386			

5.7 デューティ サイクル特性 (続き)

パラメータは $-40^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$ で有効 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
D4 _{24V}	$\text{TH}_{\text{REC}(\text{MIN})} = 0.422 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MIN})} = 0.284 \times V_{\text{SUP}}, V_{\text{SUP}} = 4.6\text{V} \sim 36\text{V}, t_{\text{BIT}} = 96\mu\text{s} (10.4\text{kbps}), D4 = t_{\text{BUS_rec}(\text{MAX})}/(2 \times t_{\text{BIT}})$ (図 6-10、図 6-11 を参照)		0.591		
D1 _{LB}	バッテリ電圧低下時のデューティサイクル 1 (1) (2) (4)	$\text{TH}_{\text{REC}(\text{MAX})} = 0.665 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MAX})} = 0.499 \times V_{\text{SUP}}, V_{\text{SUP}} = 5.5\text{V} \sim 7\text{V}, t_{\text{BIT}} = 52\mu\text{s}$	0.396		
D2 _{LB}	バッテリ電圧低下時のデューティサイクル 2 (1) (2) (4)	$\text{TH}_{\text{REC}(\text{MAX})} = 0.496 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MAX})} = 0.361 \times V_{\text{SUP}}, V_{\text{SUP}} = 6.1\text{V} \sim 7\text{V}, t_{\text{BIT}} = 52\mu\text{s}$		0.581	
D3 _{LB}	バッテリ電圧低下時のデューティサイクル 3 (1) (2) (4)	$\text{TH}_{\text{REC}(\text{MAX})} = 0.665 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MAX})} = 0.499 \times V_{\text{SUP}}, V_{\text{SUP}} = 5.5\text{V} \sim 7\text{V}, t_{\text{BIT}} = 96\mu\text{s}$	0.396		
D4 _{LB}	バッテリ電圧低下時のデューティサイクル 4 (1) (2) (4)	$\text{TH}_{\text{REC}(\text{MAX})} = 0.496 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MAX})} = 0.361 \times V_{\text{SUP}}, V_{\text{SUP}} = 6.1\text{V} \sim 7\text{V}, t_{\text{BIT}} = 96\mu\text{s}$		0.581	
Tr-d 最大値	デューティサイクル (1) (2) (4) に関する送信器の伝搬遅延時間 (リセッショント → ドミナント)	$\text{TH}_{\text{REC}(\text{MAX})} = 0.744 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MAX})} = 0.581 \times V_{\text{SUP}}, 7\text{V} \leq V_{\text{SUP}} \leq 18\text{V}, t_{\text{BIT}} = 52\mu\text{s}$ $t_{\text{REC}(\text{MAX})_D1} - t_{\text{DOM}(\text{MIN})_D1}$		10.8	μs
Td-r 最大値	デューティサイクル (1) (2) (4) に関する送信器の伝搬遅延時間 (ドミナント → リセッショント)	$\text{TH}_{\text{REC}(\text{MAX})} = 0.422 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MAX})} = 0.284 \times V_{\text{SUP}}, 7\text{V} \leq V_{\text{SUP}} \leq 18\text{V}, t_{\text{BIT}} = 52\mu\text{s}$ $t_{\text{DOM}(\text{MAX})_D2} - t_{\text{REC}(\text{MIN})_D2}$		8.4	μs
Tr-d 最大値	デューティサイクル (1) (2) (4) に関する送信器の伝搬遅延時間 (リセッショント → ドミナント)	$\text{TH}_{\text{REC}(\text{MAX})} = 0.778 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MAX})} = 0.616 \times V_{\text{SUP}}, 7\text{V} \leq V_{\text{SUP}} \leq 18\text{V}, t_{\text{BIT}} = 96\mu\text{s}$ $t_{\text{REC}(\text{MAX})_D3} - t_{\text{DOM}(\text{MIN})_D3}$		15.9	μs
Td-r 最大値	デューティサイクル (1) (2) (4) に関する送信器の伝搬遅延時間 (ドミナント → リセッショント)	$\text{TH}_{\text{REC}(\text{MIN})} = 0.389 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MIN})} = 0.251 \times V_{\text{SUP}}, 7\text{V} \leq V_{\text{SUP}} \leq 18\text{V}, t_{\text{BIT}} = 96\mu\text{s}$ $t_{\text{DOM}(\text{MAX})_D4} - t_{\text{REC}(\text{MIN})_D4}$		17.28	μs
Tr-d max_low	低電圧時における送信器の伝搬遅延時間 (デューティサイクル (1) (2) (4) リセッショント → ドミナント)	$\text{TH}_{\text{REC}(\text{MAX})} = 0.665 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MAX})} = 0.499 \times V_{\text{SUP}}, 5.5\text{V} \leq V_{\text{SUP}} \leq 7\text{V}, t_{\text{BIT}} = 52\mu\text{s}$ $t_{\text{REC}(\text{MAX})_low} - t_{\text{DOM}(\text{MIN})_low}$		10.8	μs
Td-r max_low	低電圧時における送信器の伝搬遅延時間 (デューティサイクル (1) (2) (4) ドミナント → リセッショント)	$\text{TH}_{\text{REC}(\text{MAX})} = 0.496 \times V_{\text{SUP}}, \text{TH}_{\text{DOM}(\text{MAX})} = 0.361 \times V_{\text{SUP}}, 6.1\text{V} \leq V_{\text{SUP}} \leq 7\text{V}, t_{\text{BIT}} = 52\mu\text{s}$ $t_{\text{DOM}(\text{MAX})_low} - t_{\text{REC}(\text{MIN})_low}$		8.4	μs

(1) SAE 2602 コマンダ ノードの負荷条件: $5.5\text{nF}/4\text{k}\Omega$ および $899\text{pF}/20\text{k}\Omega$

(2) SAE 2602 レスポンダ ノードの負荷状態: $5.5\text{nF}/875\Omega$ および $899\text{pF}/900\Omega$

(3) ISO 17987 バス負荷条件 ($C_{\text{LINBUS}}, R_{\text{LINBUS}}$) には、 $1\text{nF}/1\text{k}\Omega, 6.8\text{nF}/660\Omega, 10\text{nF}/500\Omega$ が含まれます。

(4) 設計により規定されています。

5.8 タイミング要件

パラメータは $-40^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$ で有効 (特に記述のない限り)

記号	説明	テスト条件	最小値	公称値	最大値	単位
$t_{\text{rx_pdr}}, t_{\text{rx_pdf}}$	レシーバの立ち上がり伝搬遅延時間 (ISO 17987 Param 31, 76)	$R_{\text{RXD}} = 2.4\text{k}\Omega, C_{\text{RXD}} = 20\text{pF}$ (図 6-12 および図 6-13 を参照)		6		μs

5.8 タイミング要件 (続き)

パラメータは $-40^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$ で有効 (特に記述のない限り)

記号	説明	テスト条件	最小値	公称値	最大値	単位
t_{rx_sym}	レシーバの伝搬遅延時間の対称性、レシーバの立ち上がり伝搬遅延時間	立ち下がりエッジに対する立ち上がりエッジ、($t_{rx_sym} = t_{rx_pdf} - t_{rx_pdr}$)、 $R_{RXD} = 2.4\text{k}\Omega$ 、 $C_{RXD} = 20\text{pF}$ (図 6-12 および 図 6-13 を参照)	-2		2	μs
t_{LINBUS}	LIN ウエークアップ時間 (ウェークアップのための LIN バスの最小ドミナント時間)	図 6-16、図 7-3、および 図 7-4 を参照	25	65	150	μs
t_{CLEAR}	LIN バスにバス スタック ドミナント フォルトが発生した際に、誤ウェークアップ防止ロジックをクリアするための時間 (バス スタック ドミナント フォルトをクリアするための LIN バスのリセッティング時間)	図 7-4 を参照してください	8	25	50	μs
t_{DST}	ドミナント状態タイムアウト		20	45	80	ms
t_{MODE_CHANGE}	モード変化遅延時間	EN ピンを介してスタンバイ モードから通常 モード、または通常 モードからスリープ モードへ切り替える時間 (図 6-14 および 図 7-5 を参照)	2		15	μs
t_{NOMINT}	通常モードの初期化時間	通常モードが初期化され、RXD ピンのデータが有効になるまでの時間 (図 6-14 を参照)			35	μs
t_{PWR}	パワーアップ時間	電源オン時に RXD 上のデータが有効になるまでの時間			1.5	ms

5.9 代表的特性

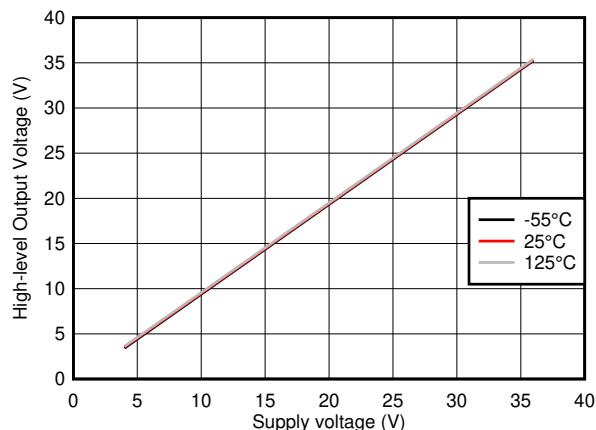


図 5-1. V_{OH} と V_{SUP} および温度との関係

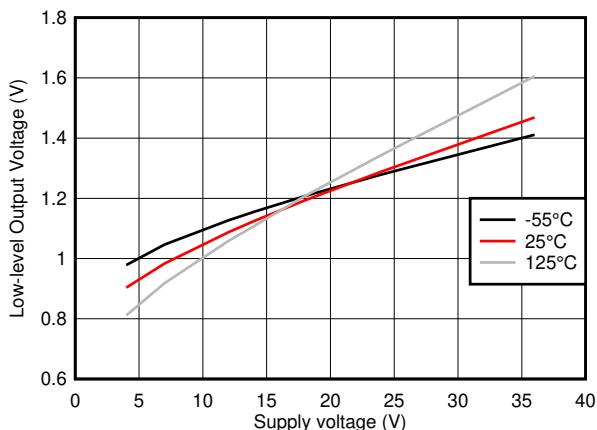


図 5-2. V_{OL} と V_{SUP} および温度との関係

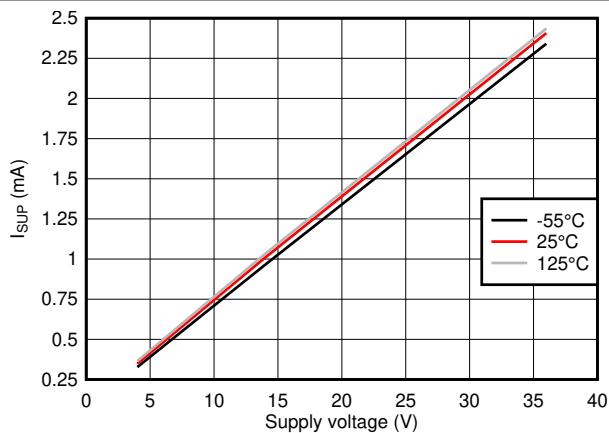


図 5-3. ドミナント I_{SUP} と V_{SUP} および温度との関係

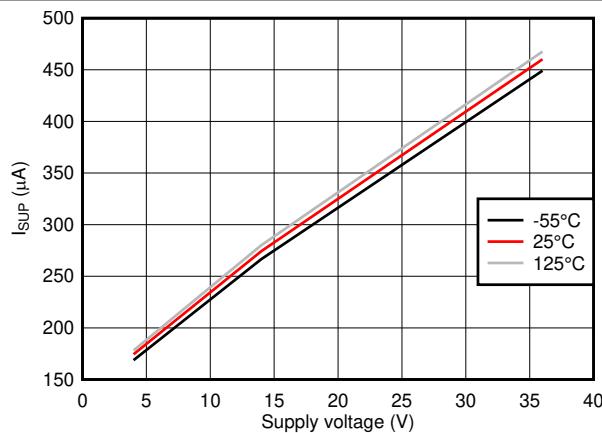


図 5-4. リセッショナル I_{SUP} と V_{SUP} および温度との関係

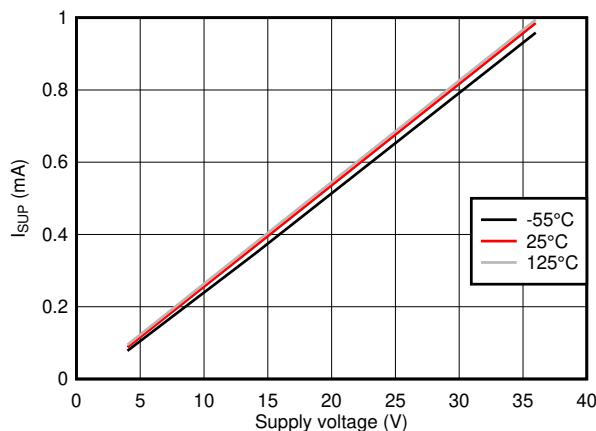


図 5-5. スタンバイ ドミナント I_{SUP} と V_{SUP} および温度との関係

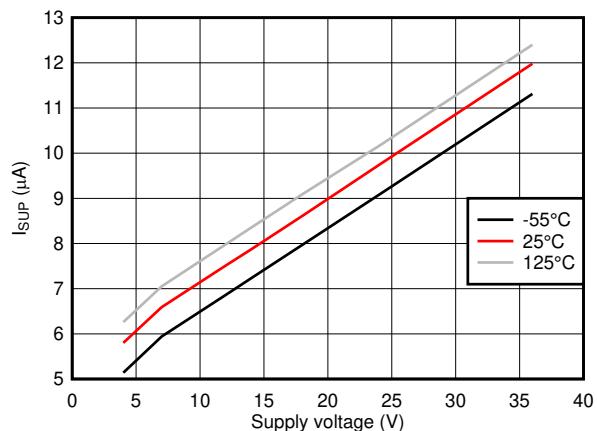


図 5-6. スタンバイ リセッショナル I_{SUP} と V_{SUP} および温度との関係

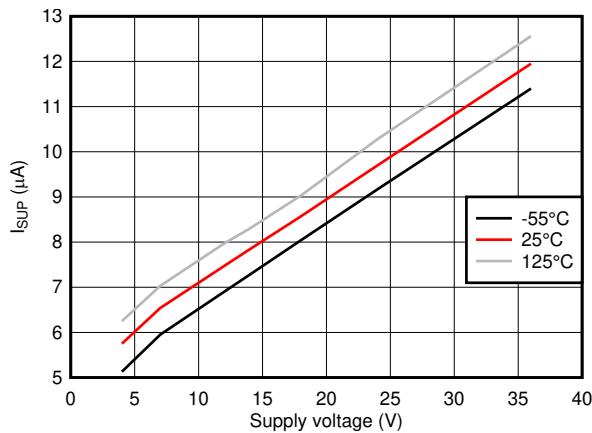


図 5-7. スリープ電流と V_{SUP} および温度との関係

6 パラメータ測定情報

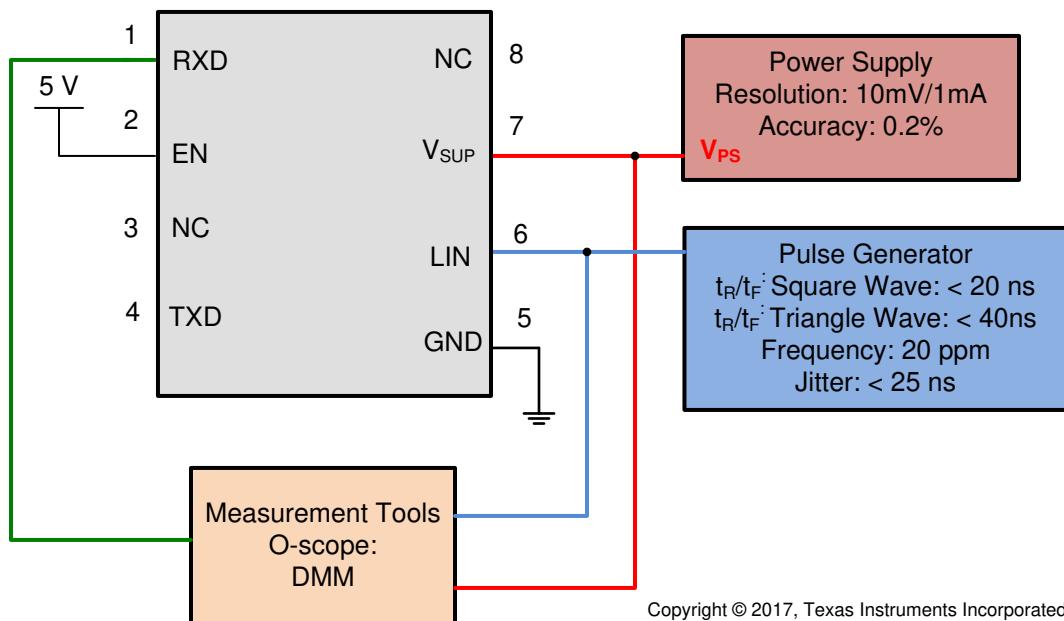


図 6-1. テストシステム : RX および TX アクセスによる動作電圧範囲 : パラメータ 9、10

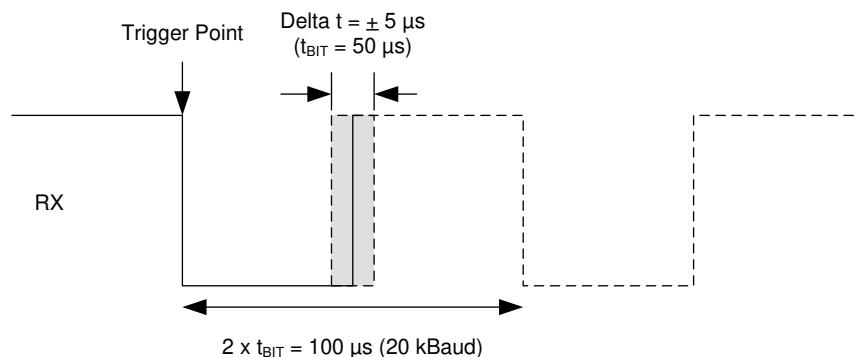


図 6-2. RX 応答 : 動作電圧範囲

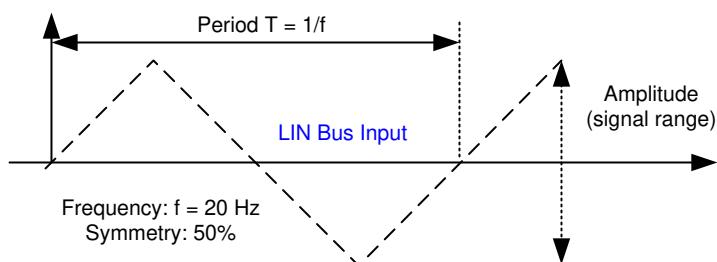


図 6-3. LIN バス入力信号

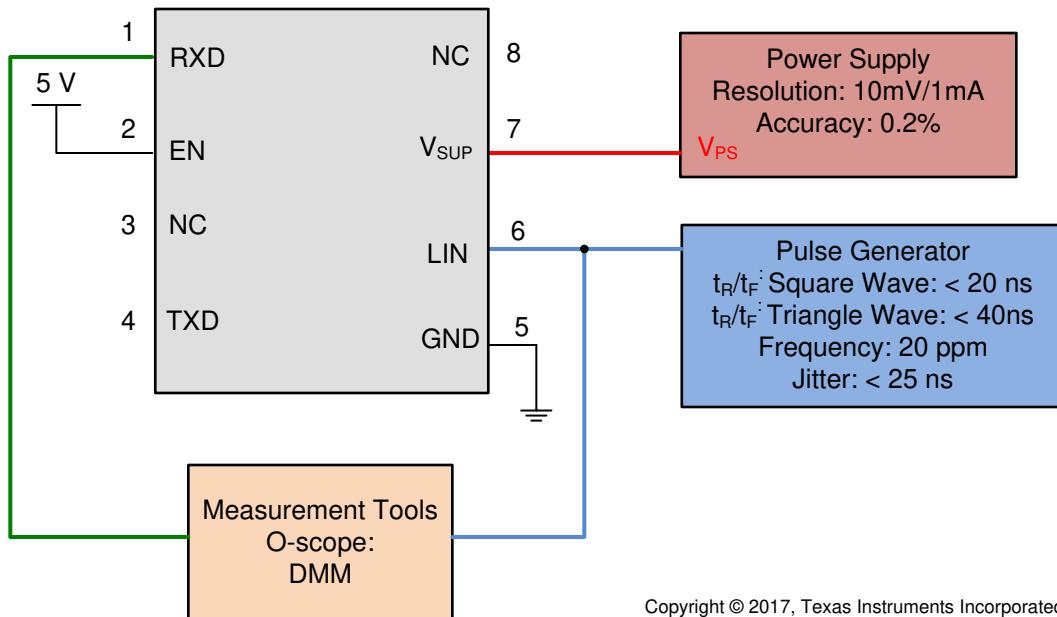


図 6-4. RX アクセスによる LIN レシーバ テスト : パラメータ 17、18、19、20

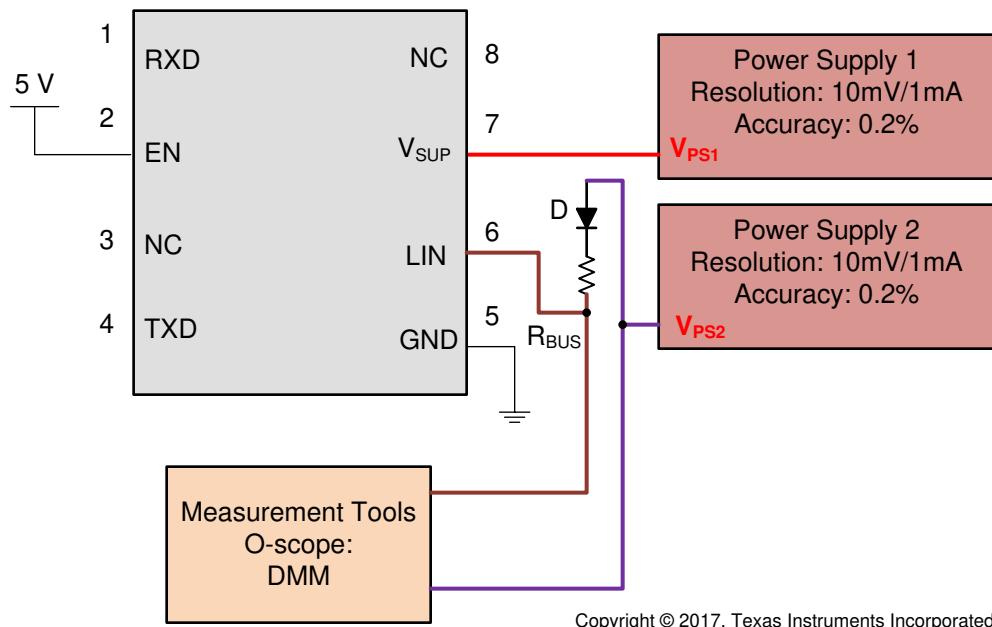
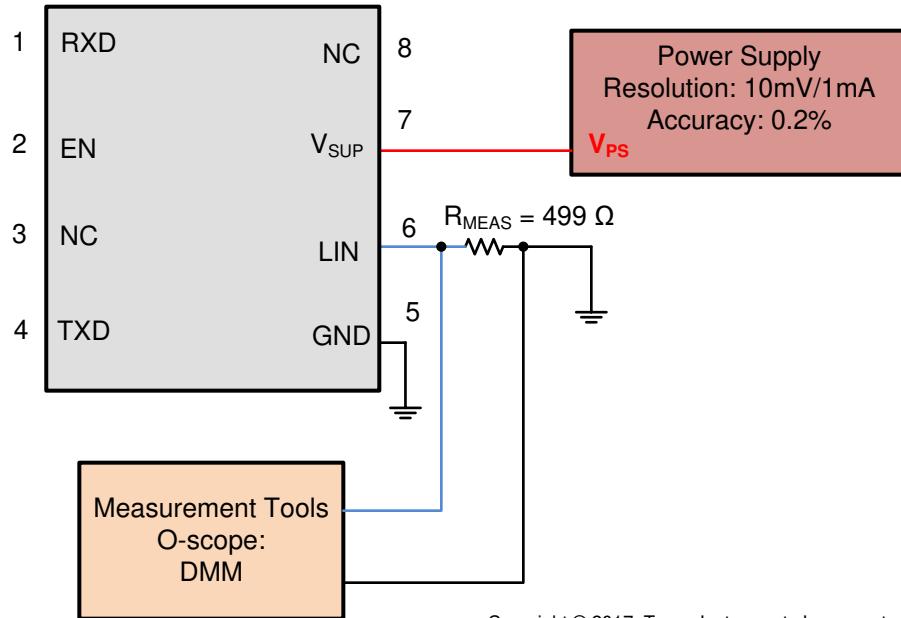
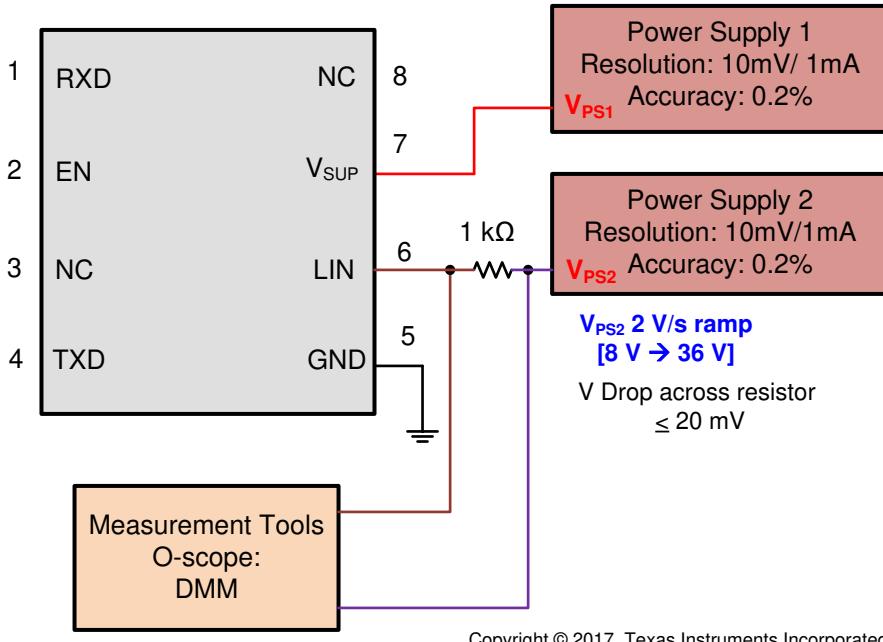


図 6-5. $V_{SUP_NON_OP}$ Param 11



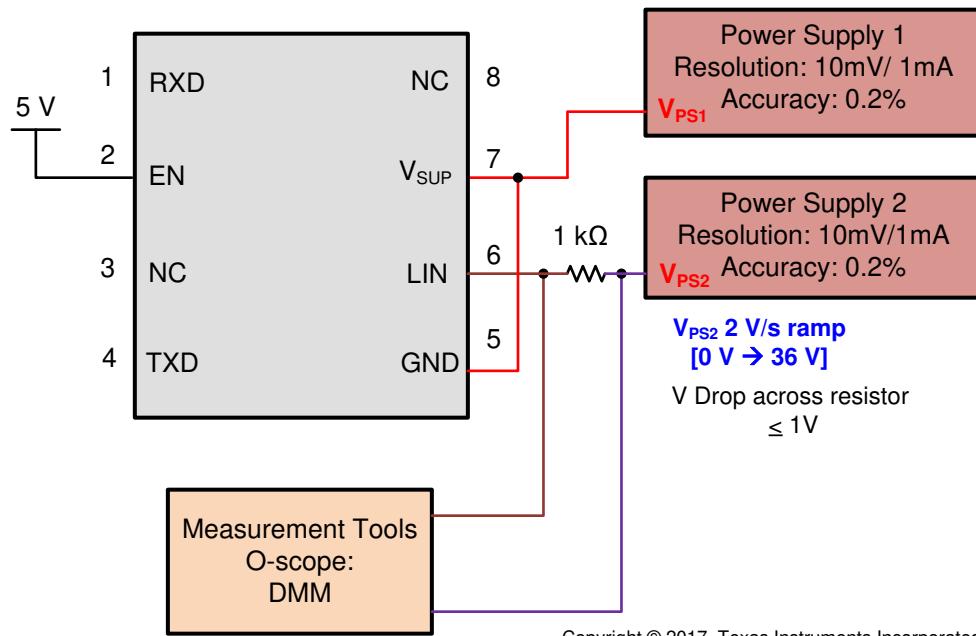
Copyright © 2017, Texas Instruments Incorporated

図 6-6. $I_{BUS_PAS_DOM}$ のテスト回路 : TXD = リセッショブ状態、 $V_{BUS} = 0V$ 、パラメータ 13



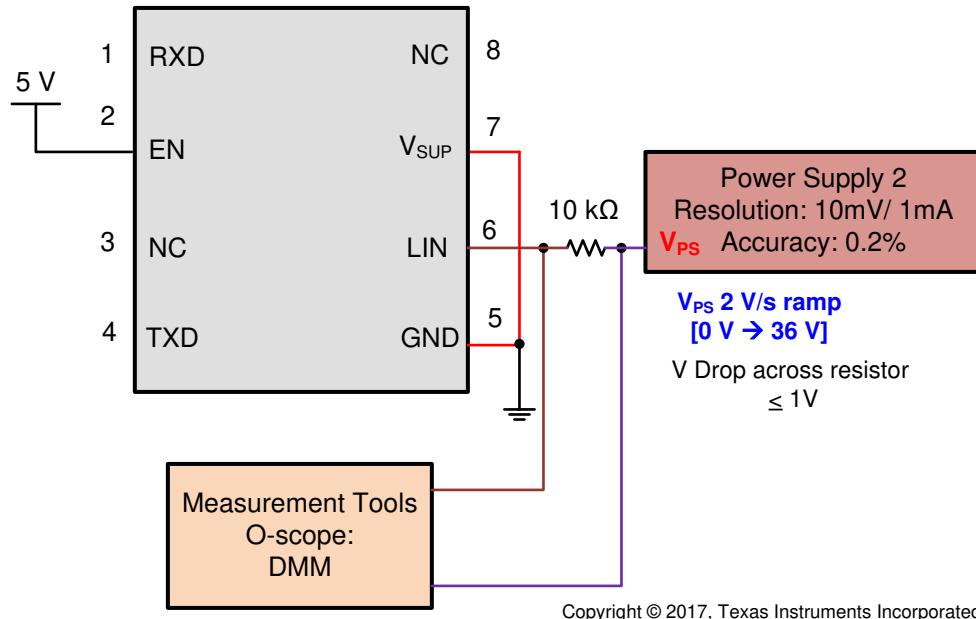
Copyright © 2017, Texas Instruments Incorporated

図 6-7. $I_{BUS_PAS_rec}$ のテスト回路 : パラメータ 14



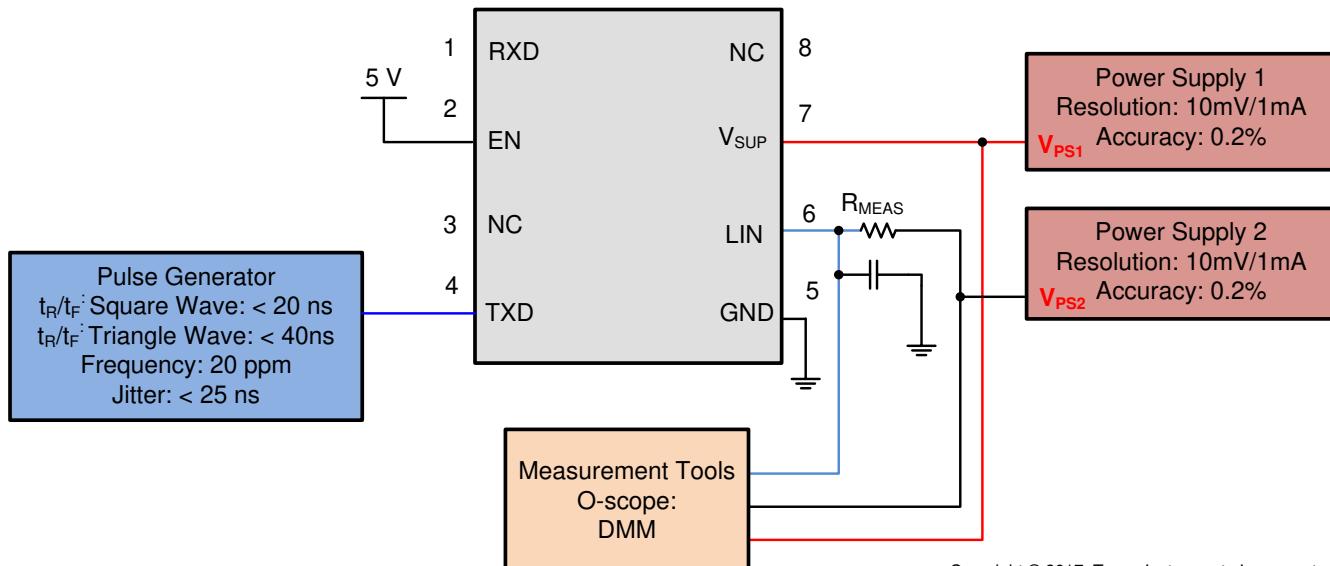
Copyright © 2017, Texas Instruments Incorporated

図 6-8. $I_{BUS_NO_GND}$ のテスト回路：GND 喪失



Copyright © 2017, Texas Instruments Incorporated

図 6-9. $I_{BUS_NO_BAT}$ のテスト回路：バッテリ喪失



Copyright © 2017, Texas Instruments Incorporated

図 6-10. 試験回路、スロープ制御およびデューティ サイクル パラメータ 27、28、29、30

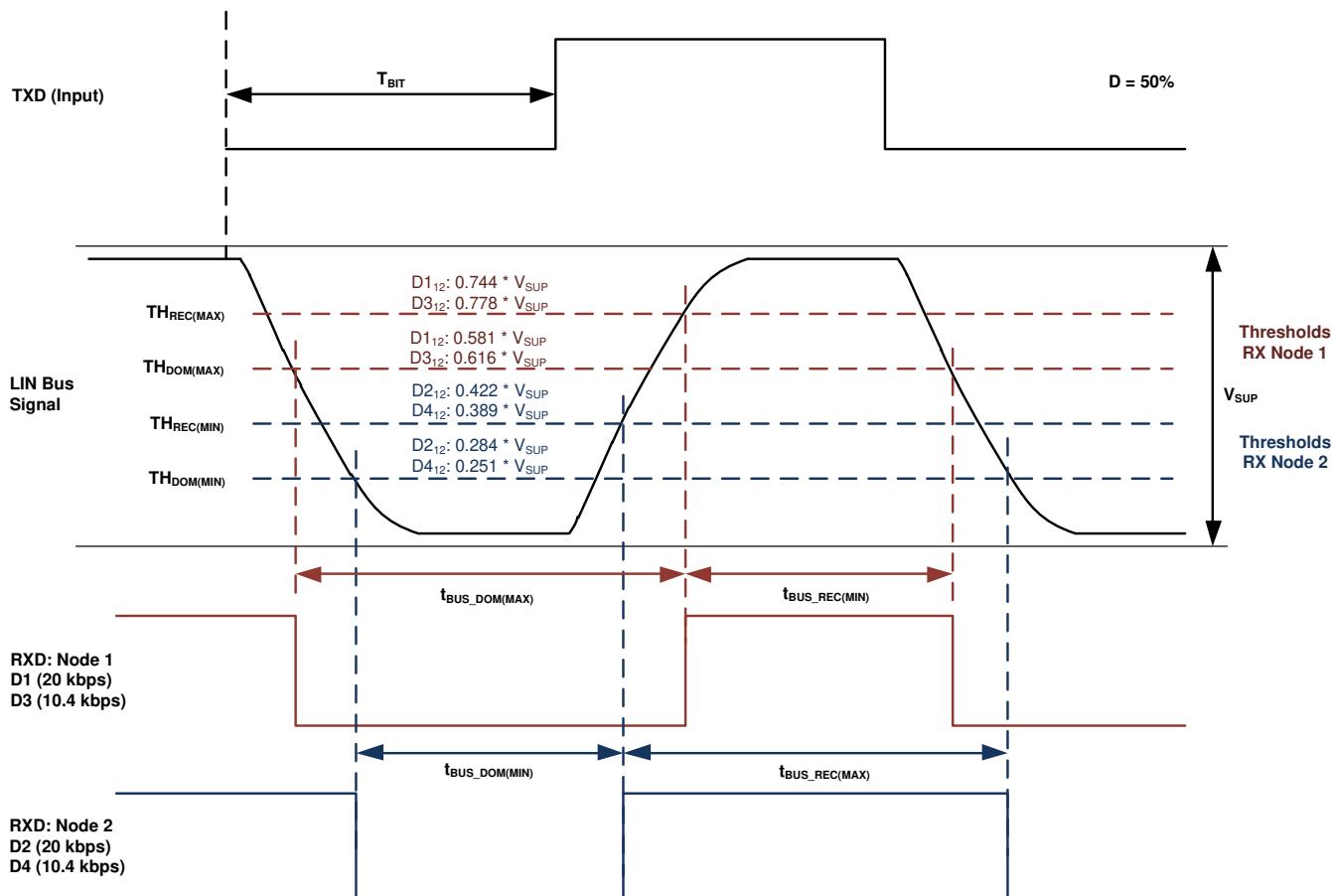
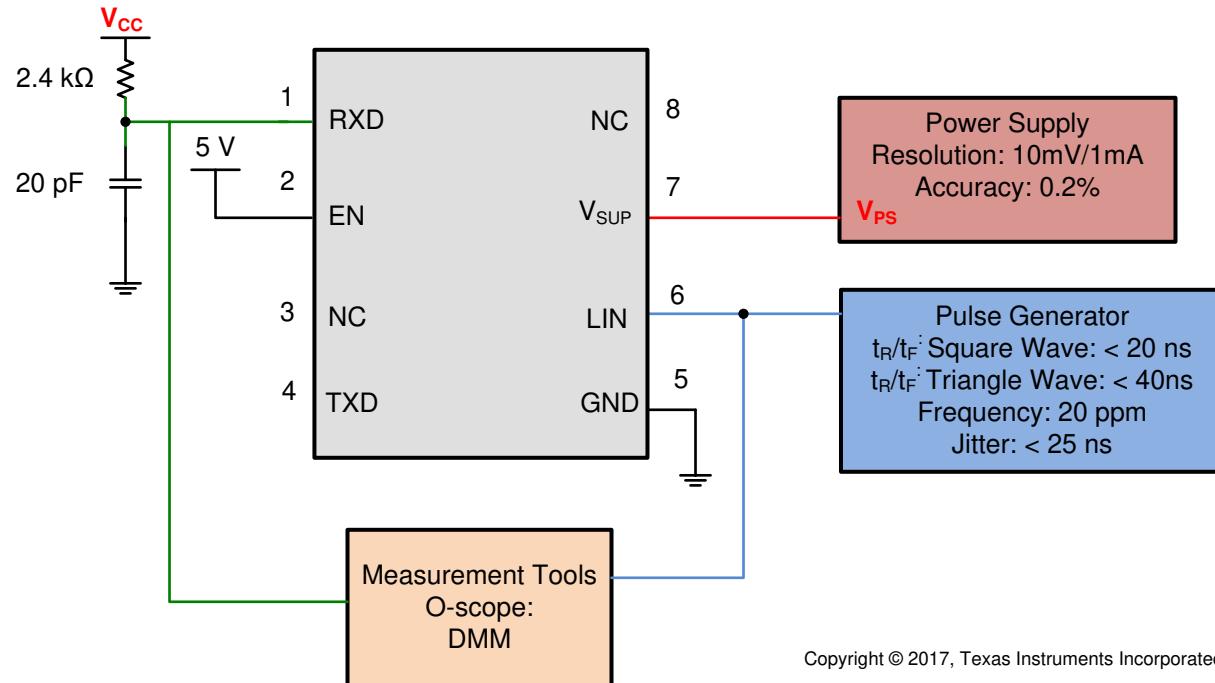


図 6-11. バス タイミング パラメータの定義



Copyright © 2017, Texas Instruments Incorporated

図 6-12. 伝搬遅延テスト回路：パラメータ 31、32

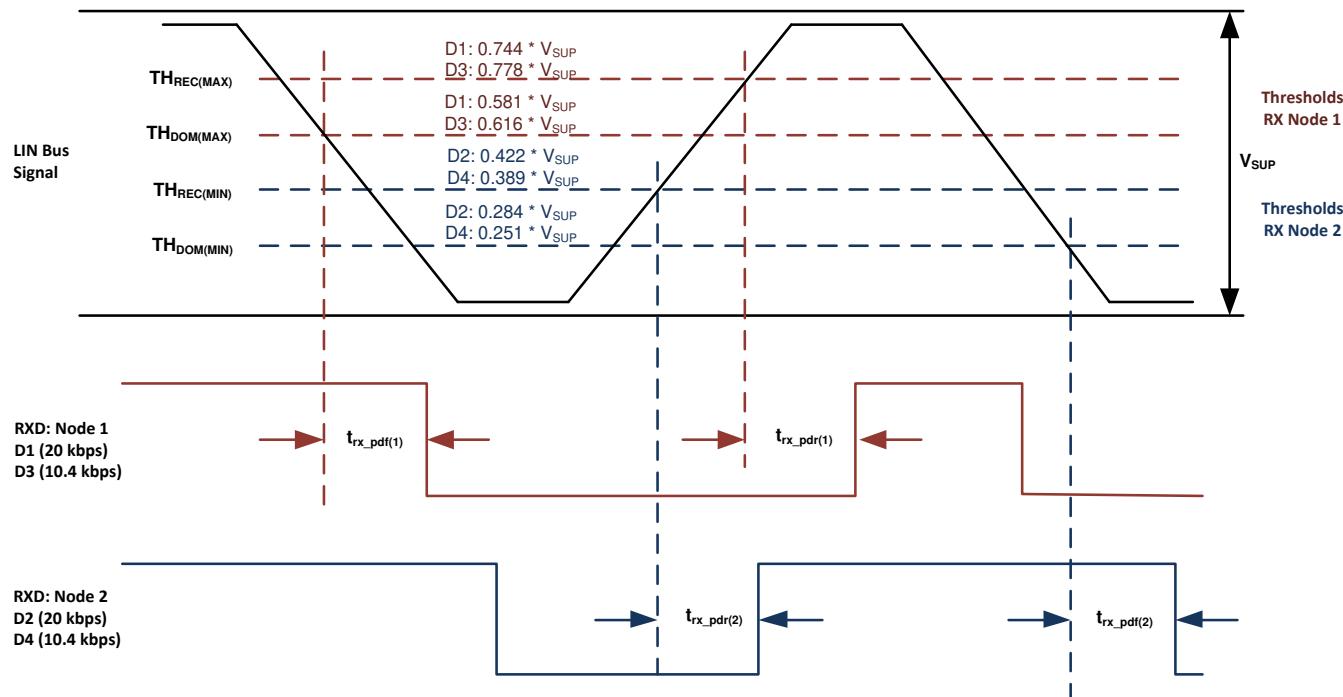


図 6-13. 伝搬遅延

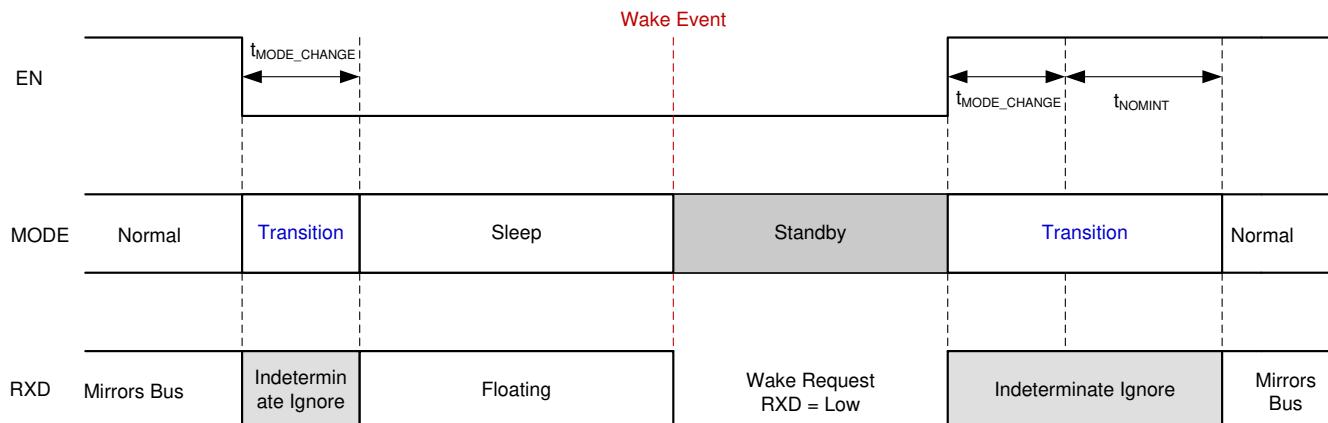


図 6-14. モード遷移

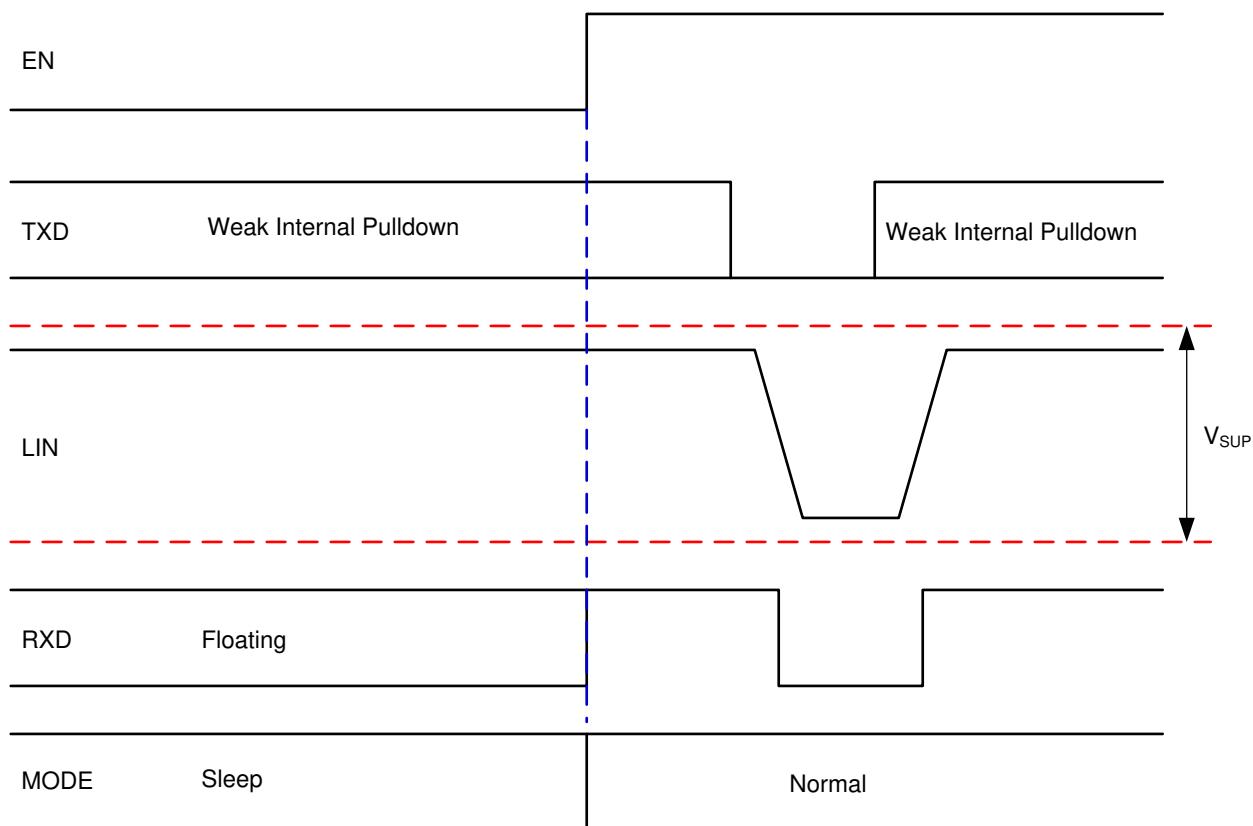


図 6-15. EN によるウェークアップ

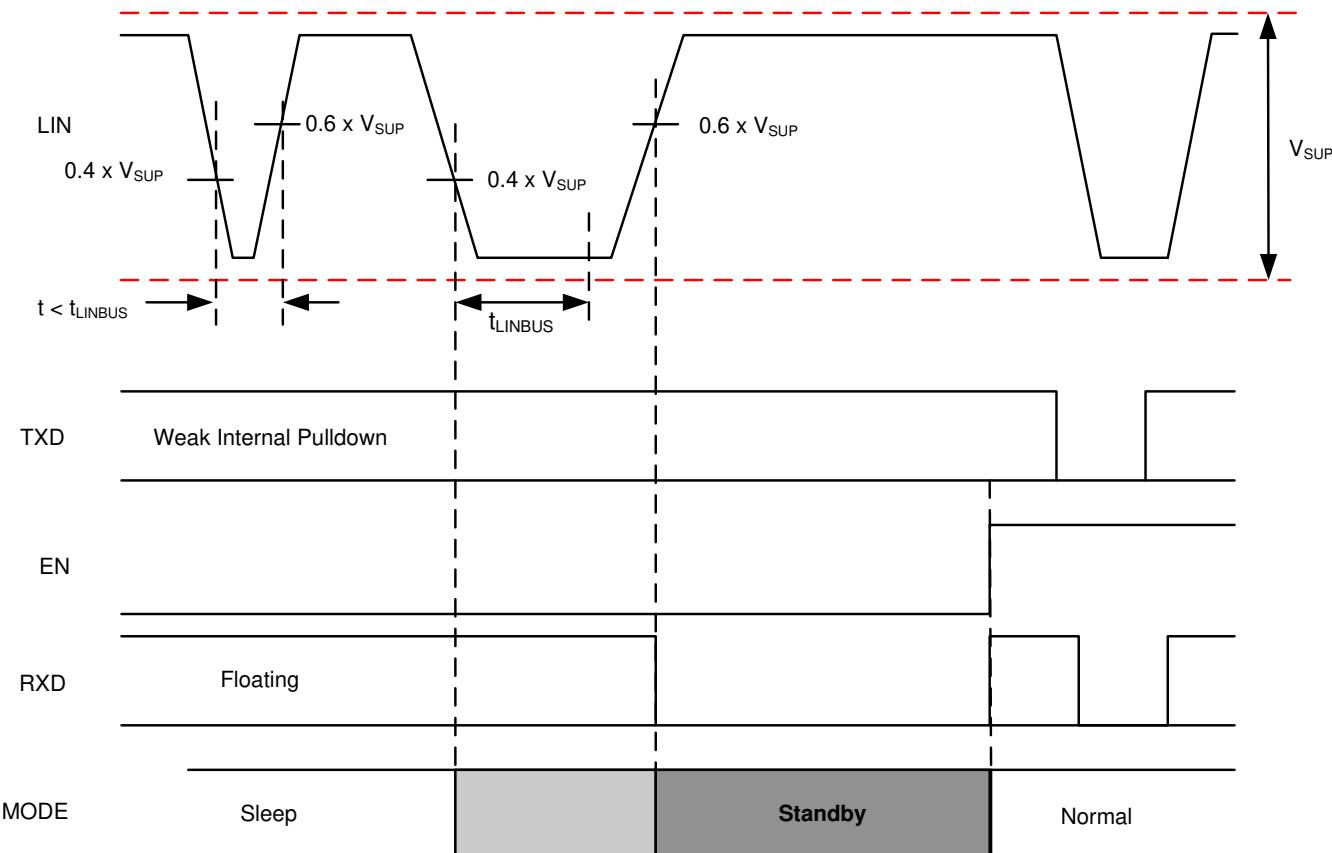


図 6-16. LIN によるウェークアップ

7 詳細説明

7.1 概要

TLIN4029A-Q1 は、ウェークアップおよび保護機能を内蔵し、LIN 2.0、LIN 2.1、LIN 2.2、LIN 2.2A、ISO 17987-4 標準に準拠したローカル相互接続ネットワーク (LIN) 物理層トランシーバです。LIN バスは、低速車載ネットワークで一般的に使用されている単線式双方向バスです。このデバイスのトランシッタは 2.4kbps から 20kbps のデータレートをサポートし、レシーバは最大 100kbps まで動作し、インライン プログラミングに対応しています。LIN 物理層仕様で規定されているように、TXD 入力上の LIN プロトコル データストリームは、TLIN4029A-Q1 によって電流制限波形整形ドライバを使って LIN バス信号に変換されます。本レシーバは、データストリームを論理レベル信号に変換し、オープンドレインの RXD ピンを経由してマイクロプロセッサに送信します。LIN バスには、ドミナント状態 (グランドに近い電圧) とリセシティブ状態 (電源に近い電圧) という 2 つの状態があります。リセシティブ状態では、内蔵プルアップ抵抗 (45kΩ) および直列ダイオードにより、LIN バスが High になります。レスポンダ ノード用途では、外付けプルアップ部品は不要です。コマンダ ノード用途では、LIN 仕様に従って外付けプルアップ抵抗 (1kΩ) と直列ダイオードが必要です。

このデバイスは、広い入力電圧動作範囲を備えた 12V LIN および 24V LIN アプリケーションに対応するよう設計されており、低消費電力スリープ モードもサポートしています。また、このデバイスは次の 2 つの方法でウェークアップすることもできます。それは、EN ピンによる方法と LIN バスからの信号による方法です。

TLIN4029A-Q1 は、ESD 保護およびフォルト保護を内蔵しているため、アプリケーションの必要な外付け部品を減らすことができます。グランドシフトまたは電源電圧の切断が発生した場合、本デバイスは、電流が LIN 経由で電源入力に逆流することを防止します。本デバイスは、低電圧検出、サーマルシャットダウン保護、グランド喪失保護機能も内蔵しています。

7.2 機能ブロック図

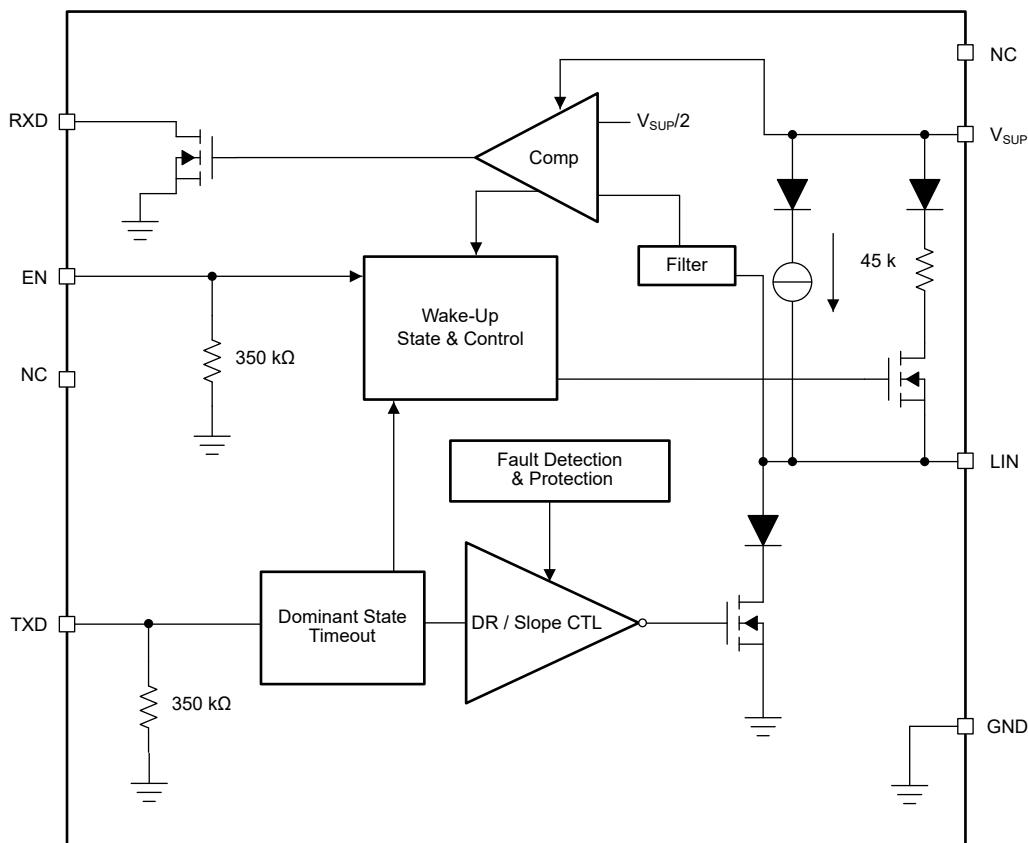


図 7-1. TLIN4029A-Q1 機能ブロック図

7.3 機能説明

7.3.1 LIN (Local Interconnect Network) バス

この高電圧入出力ピンは、単線式 LIN バストラシッタおよびレシーバです。LIN は耐久性があり、70V までの過渡電圧に耐えられます。グランドシフトや電源 (V_{SUP}) の喪失が発生した場合でも、ブロッキングダイオードによって LIN から電源 (V_{SUP}) への逆電流が最小化されます。

7.3.1.1 LIN トランシッタの特性

トランシッタは、LIN 仕様に準拠したスレッショルドと AC パラメータを持っています。トランシッタは、電流制限機能とサーマルシャットダウン機能を内蔵したローサイトトランジスタです。サーマルシャットダウン状態の間、本デバイスを保護するため、トランシッタは無効化されます。 V_{SUP} に対して接続された直列ダイオード構造付きプルアップ抵抗が内蔵されているため、LIN レスポンダノード用途では外付けプルアップ部品は不要です。本デバイスをコマンダノード用途で使用する場合、 V_{SUP} に対して接続された直列ダイオード付き外部プルアップ抵抗を追加する必要があります。

7.3.1.2 LIN レシーバの特性

レシーバ特性のスレッショルドは、LIN 仕様に従って、本デバイスの電源ピンの電圧に比例します。

レシーバは、LIN または SAEJ2602 仕様でサポートされているデータレートよりも高いデータレート ($> 100\text{kbps}$) で受信できます。そのため、最終工程またはその他のアプリケーションでの高速ダウンロードに TLIN4029A-Q1 を使用できます。実現可能な実際のデータレートは、システムの時定数 (バス容量とプルアップ抵抗) と、そのシステムで使用されるドライバの特性で決まります。

7.3.1.2.1 終端

V_{SUP} に対して接続された直列ダイオード構造付きプルアップ抵抗が内蔵されているため、LIN レスポンダノード用途では外付けプルアップ部品は不要です。本デバイスを、LIN 仕様に従ってコマンダノードの用途で使用する場合、 V_{SUP} に対して接続された直列ダイオード付き外部プルアップ抵抗 ($1\text{k}\Omega$) を追加する必要があります。

図 7-2 に、コマンダノードの構成と、電圧レベルの定義方法を示します。

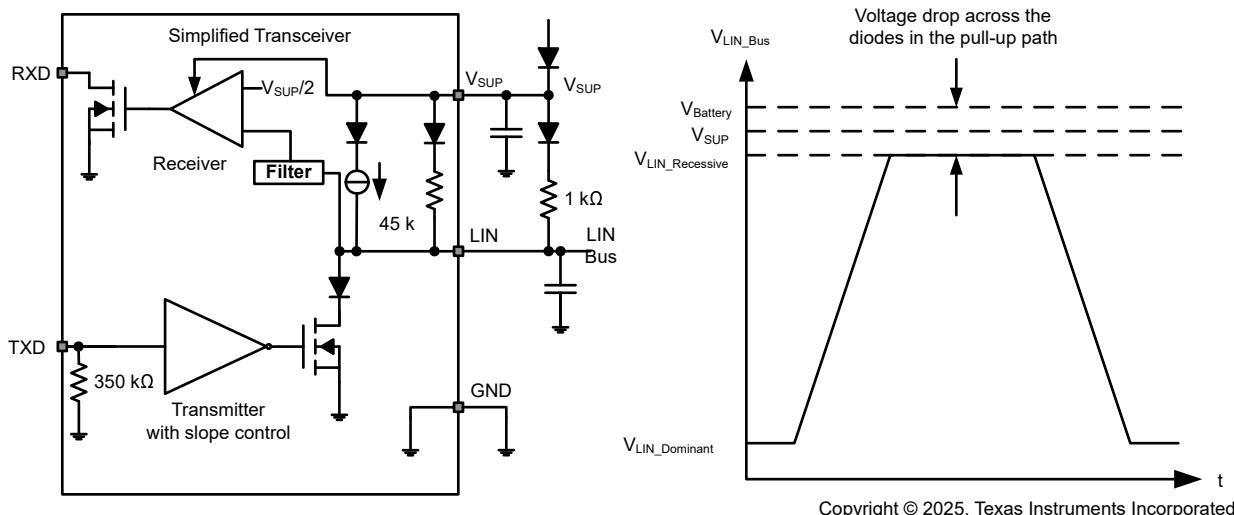


図 7-2. コマンダノードの構成と電圧レベル

7.3.2 TXD (送信入力および出力)

TXD は、MCU の LIN プロトコルコントローラとのインターフェイス (SCI および UART) であり、LIN 出力の状態を制御するために使用されます。TXD を Low にすると、LIN 出力はドミナント (ほぼグランド) になります。TXD を High にすると、LIN 出力はリセシティブ (ほぼ V_{SUP}) になります。図 7-2 を参照してください。TXD の入力構造は、3.3V および 5V I/O を備えたマイクロコントローラと互換性があります。

7.3.3 RXD (受信出力)

RXD は、MCU の LIN プロトコル コントローラとのインターフェイス (SCI および UART) であり、LIN バス電圧の状態を報告します。LIN リセッショブ (ほぼ V_{SUP}) は RXD の High レベルによって表され、LIN ドミナント (ほぼグランド) は RXD ピンの Low レベルによって表されます。RXD 出力の構造はオープンドレイン出力段です。そのため、本デバイスは 3.3V および 5V I/O のマイクロコントローラと組み合わせて使用できます。マイクロコントローラの RXD ピンがプルアップを内蔵していない場合、マイクロコントローラの I/O 電源電圧に接続された外部プルアップ抵抗が必要です。スタンバイ モードでは、LIN バスからのウェークアップ要求を示すため、RXD ピンは Low に駆動されます。

7.3.4 V_{SUP} (電源電圧)

V_{SUP} は電源ピンです。 V_{SUP} は、外付けの逆流防止ダイオードを介してバッテリーまたは他の電源レールに接続されます (図 7-2)。ECU レベルまたはデバイス レベルで電力が失われても、本デバイスの LIN ピンによるリーク電流は非常に小さいため、バスの負荷となってバス電圧を低下させることはできません。これは、ネットワークの一部のノード (イグニッション電源) には電力が供給されないが、残りの部分 (バッテリ電源) には電力が供給される LIN システムに最適です。

7.3.5 GND (グランド)

GND は本デバイスのグランド接続です。グランド シフトによって V_{SUP} が最小動作電圧を下回らない限り、本デバイスはグランド シフトを使って動作できます。最適な動作のために、入力および出力電圧がそれぞれの適切なスレッショルドの範囲内に確実に入るようになります。本デバイスの LIN ピンからのリーク電流は小さいため、ECU レベルまたはデバイス レベルでグランドが失われても、本デバイスはバスの電位を引き下げません。これは、ネットワークの一部のノード (イグニッション電源) には電力が供給されないが、残りの部分 (バッテリ電源) には電力が供給される LIN システムに最適です。

7.3.6 EN (イネーブル入力)

EN は、本デバイスの動作モードを制御します。EN を High にすると、本デバイスは通常動作モードになり、TXD から LIN、さらに LIN から RXD への伝送パスが利用可能になります。EN を Low にすると、本デバイスはスリープ モードに移行し、伝送パスは利用できなくなります。本デバイスが通常モードに移行できるのは、ウェークアップした後のみです。EN がフローティングになっても本デバイスが確実に低消費電力モードにとどまるように、EN には内部プルダウン抵抗が備わっています。

7.3.7 保護機能

TLIN4029A-Q1 は、以下に説明するように、複数の保護機能を備えています。

7.3.7.1 TXD ドミナント タイムアウト (DTO)

通常モードの間に、ハードウェアまたはソフトウェア アプリケーションの障害によって TXD が意図せず永続的に Low に駆動された場合、LIN バスはドミナント状態タイムアウト タイマによって保護されます。このタイマは TXD ピンの立ち下がりエッジによってトリガれます。 t_{DST} よりも長い間 TXD が Low に維持されると、トランスマッタは無効化され、LIN バスはリセッショブ状態に戻り、バス上で通信を再開できます。TXD の立ち上がりエッジで保護はクリアされ、 t_{DST} タイマはリセットされます。TXD が切り離された場合に、本デバイスが機能しなくなつても必ず既知の状態になるように、TXD ピンは内部プルダウンを備えています。このフォルト中、トランシーバは (EN での状態変化要求がないものと仮定して) 通常モードに維持され、トランスマッタは無効化され、RXD ピンは LIN バスを反映し、LIN バスのプルアップ終端はオンのまま維持されます。

7.3.7.2 バスがドミナント状態で固着するシステム フォルト：偽のウェイクアップ誤動作防止

TLIN4029A-Q1 には、バス スタック ドミナント システム フォルトを検出するロジックが内蔵されており、システム フォルト時に本デバイスが誤ってウェークアップするのを防止しています。スリープ モードに移行すると、本デバイスは LIN バスの状態を検出します。バスがドミナントの場合、バスがドミナントに固着した状態をバスの有効リセッショブが「クリア」するまで、ウェークアップ ロジックは作動せず、過剰な電流消費を防止します。図 7-3 と図 7-4 に、この保護機能の動作を示します。

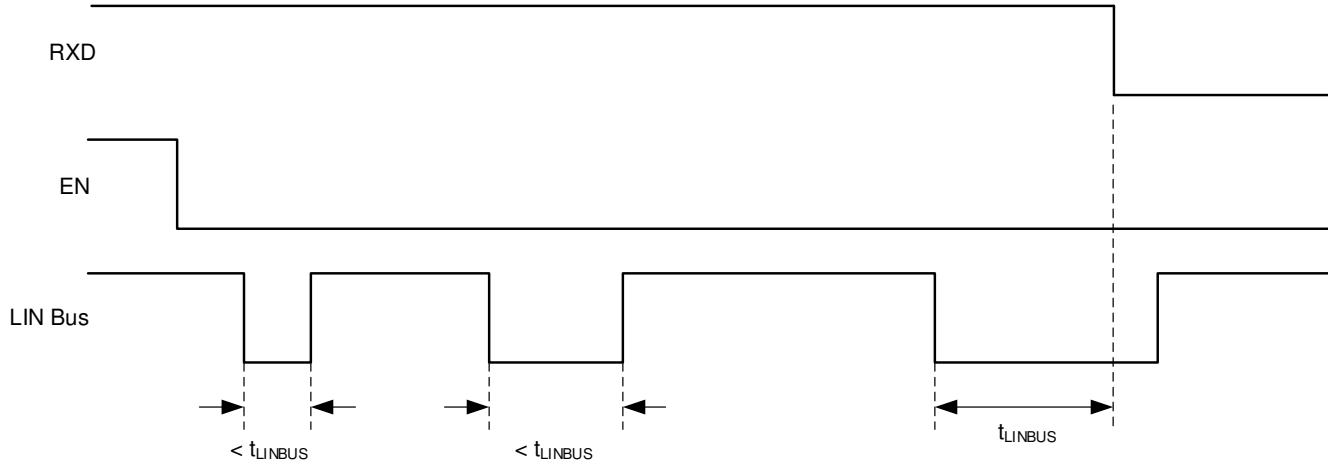


図 7-3. バス フォルトなし：バス リセッショップ条件とウェークアップによるスリープ モードへの移行

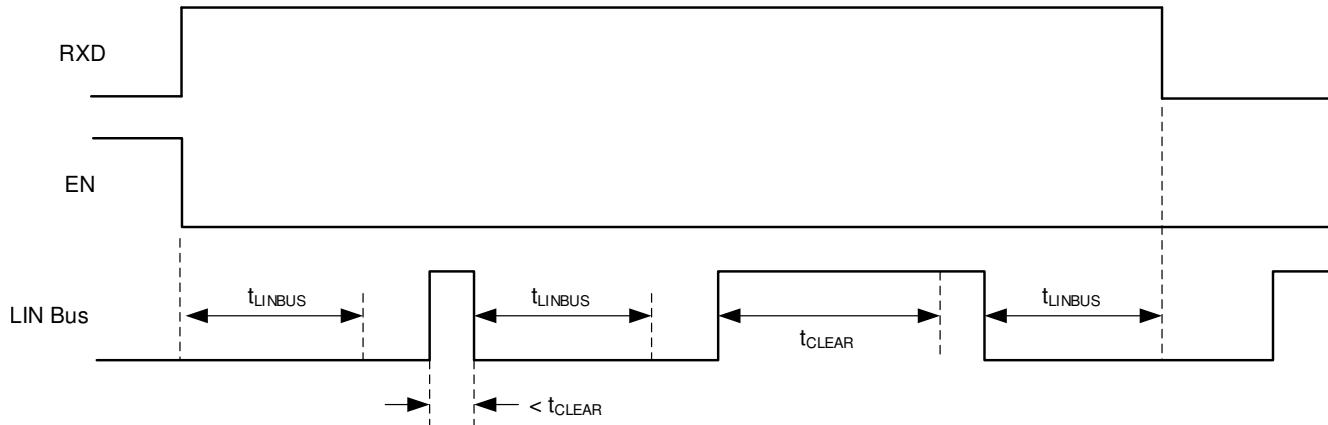


図 7-4. バス フォルト：バス スタック ドミナント フォルト、クリア、ウェークアップによるスリープ モードへの移行

7.3.7.3 サーマル シャットダウン

LIN トランシッタは電流制限回路によって保護されていますが、本デバイスの接合部温度がサーマル シャットダウン スレッショルドを超えると、本デバイスは LIN トランシッタをリセッショップ状態にします。過熱フォルト状態が解消され、接合部温度がヒステリシス温度よりも低くなると、本デバイスは通常動作モードにとどまっていると仮定して、トランシッタを再び有効化します。このフォルト中、トランシーバは (EN の状態変化要求がないと仮定して) 通常モードに維持され、トランシッタはリセッショップ状態になり、RXD ピンは LIN バスを反映し、LIN バスのプルアップ終端はオンに維持されます。

7.3.7.4 V_{SUP} の低電圧保護

TLIN4029A-Q1 は、低電圧状態 (V_{SUP} が UV_{SUP} 未満) での誤ったバス メッセージを防止するため、パワーオンリセット回路を備えています。

7.3.7.5 電源なしデバイスと LIN バス

自動車用途では、システム内的一部分の LIN ノードが (イグニッション電源により) 非通電状態になる一方で、ネットワーク内の他のノードはバッテリや他の電源レールによって通電されたままの場合があります。TLIN4029A-Q1 は、電源オフ時にバスから流れ込むリーク電流が小さいため、電力が供給されていないノードがネットワークに影響を与える (ネットワークの負荷となってバス電圧を低下させる) ことはありません。

7.4 デバイスの機能モード

TLIN4029A-Q1 には 3 つの動作モード (通常、スリープ、スタンバイ) があります。次のセクションでは、各モードと、デバイスが異なるモード間をどのように移行するかについて説明します。図 7-5 にその関係を図示し、表 7-1 にピンの状態を示します。

表 7-1. 動作モード

モード	EN	RXD	LIN バスの終端	トランシミッタ	備考
スリープ	Low	フローティング	弱電流プルアップ	オフ	
スタンバイ	Low	Low	45kΩ (標準値)	オフ	ウェークアップ イベントを検出済み、MCU が EN をセットするのを待機
通常	High	LIN バスデータ	45kΩ (標準値)	オン	最大 20kbps の LIN 転送

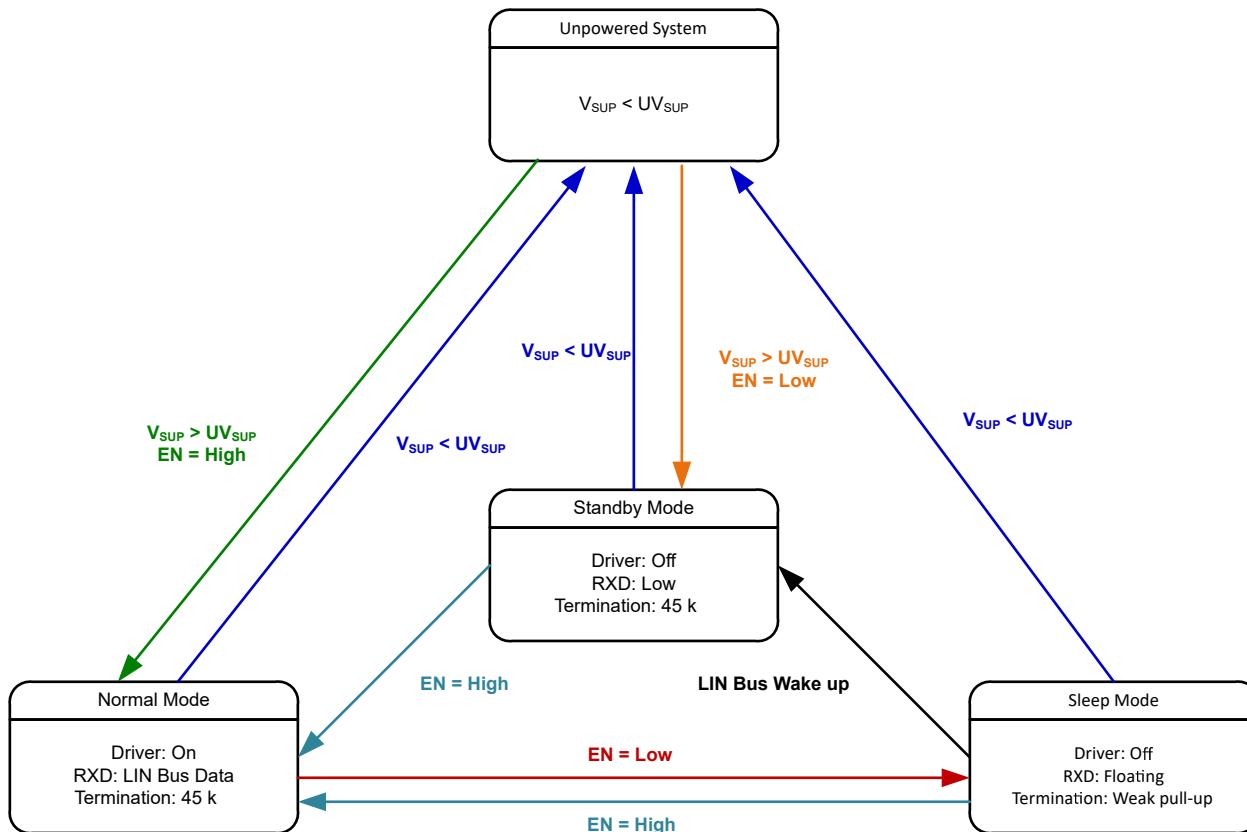


図 7-5. 動作の状態図

7.4.1 通常モード

電源投入時に EN ピンが High の場合、本デバイスは通常モードで起動します。EN ピンが Low の場合、本デバイスはスタンバイ モードで起動します。EN ピンは本デバイスのモードを制御します。通常動作モードでは、レシーバとトランシミッタがアクティブであり、LIN で規定された最大 20kbps までの LIN 通信がサポートされます。本レシーバは LIN バス上のデータストリームを検出し、それを RXD で LIN コントローラに出力します。LIN バスのリセシシブ信号はロジック High であり、LIN バスのドミナント信号はロジック Low です。ドライバは入力データを TXD から LIN バスに送信します。

($t_{MODE_CHANGE} + t_{NOMINT}$) の期間にわたって TLIN4029A-Q1 がスリープ モードまたはスタンバイ モードにある間に、EN が High に遷移すると、通常モードに移行します。

7.4.2 スリープ モード

スリープ モードは、TLIN4029A-Q1 の省電力モードです。EN ピンが **Low** になったときに、かつ通常モードからのみ、スリープ モードに移行します。このモードの小さい消費電流でも、ウェークアップ信号によって LIN バスから、または EN が t_{MODE_CHANGE} より長い間 **High** に設定された場合、TLIN4029A-Q1 はウェークアップできます。誤ウェークアップ イベントを防止するため、LIN バスはフィルタ処理されます。ウェークアップ イベントは、それぞれの期間 (t_{LINBUS}) にわたってアクティブである必要があります。

EN を t_{MODE_CHANGE} より長い間 **Low** に設定すると、スリープ モードに移行します。

本デバイスがスリープ モードに入っている間、次の条件が成立しています。

- LIN バス ドライバは無効化され、内部 LIN バス終端はオフになります (LIN がグランドに短絡した場合の電力損失を最小化するため)。ただし、LIN バスへの外部接続が失われた際に誤ってウェークアップ イベントが発生しないように、弱電流プルアップが機能しています。
- 通常のレシーバは無効化されています。
- EN 入力と LIN ウェークアップ レシーバは機能しています。

7.4.3 スタンバイ モード

本デバイスがスリープ モードに入っている間に、LIN バスによってウェークアップ イベントが発生すると、常にこのモードに移行します。スタンバイ モードに入ると、LIN バスレスポンダ モードの終端回路がターンオンされます。スタンバイ モードは、RXD の **Low** レベルによって通知されます。アプリケーションの詳細については、[セクション 8.2.2.2](#) を参照してください。

本デバイスがスタンバイ モードに入っている間に、 t_{MODE_CHANGE} よりも長い時間 EN が **High** に設定されると、本デバイスは通常モードに戻ります。TXD から LIN バスへ、そして LIN バスから RXD への通常の伝送パスが有効化されます。

7.4.4 ウェイクアップ イベント

スリープ モードからウェークアップするには次の 2 つの方法があります。

- リモート ウェークアップ: LIN バスのリセッショ (High) 状態からドミナント (Low) 状態への遷移の立ち下がりエッジで開始されます。ここで、このドミナント状態は、 t_{LINBUS} フィルタ時間にわたって保持される必要があります。この t_{LINBUS} フィルタ時間が経過した後、LIN バスのドミナント状態からリセッショ状態への遷移の立ち上がりエッジでリモート ウェークアップ イベントが開始されるため、LIN バス電圧の変動またはバスのグランドとの短絡による誤ったウェークアップを防止できます。
- ローカル ウェークアップ: EN が t_{MODE_CHANGE} より長い間 **High** に設定されることで開始されます。

7.4.4.1 ウェイクアップ 要求 (RXD)

TLIN4029A-Q1 が LIN バスからウェークアップ イベントを検出すると、RXD が **Low** になり、本デバイスはスタンバイ モードに遷移します。その後、EN が **High** に再アサートされると、本デバイスは通常モードに移行します。デバイスが通常モードに入ると、RXD ピンはウェイクアップ 要求信号を解除し、その後 RXD ピンは LIN バスからのレシーバ出力を反映します。

7.4.4.2 モード 遷移

TLIN4029A-Q1 が通常モードからスリープ モードまたはスタンバイ モードに遷移する際に、EN ピンの変化が本デバイスの中を完全に伝搬して新しい状態に変わるために、本デバイスは

t_{MODE_CHANGE} の時間を必要とします。スリープ モードまたはスタンバイ モードから通常モードに遷移する際に、本デバイスは $t_{MODE_CHANGE} + t_{NOMINT}$ の時間を必要とします。

8 アプリケーション情報に関する免責事項

注

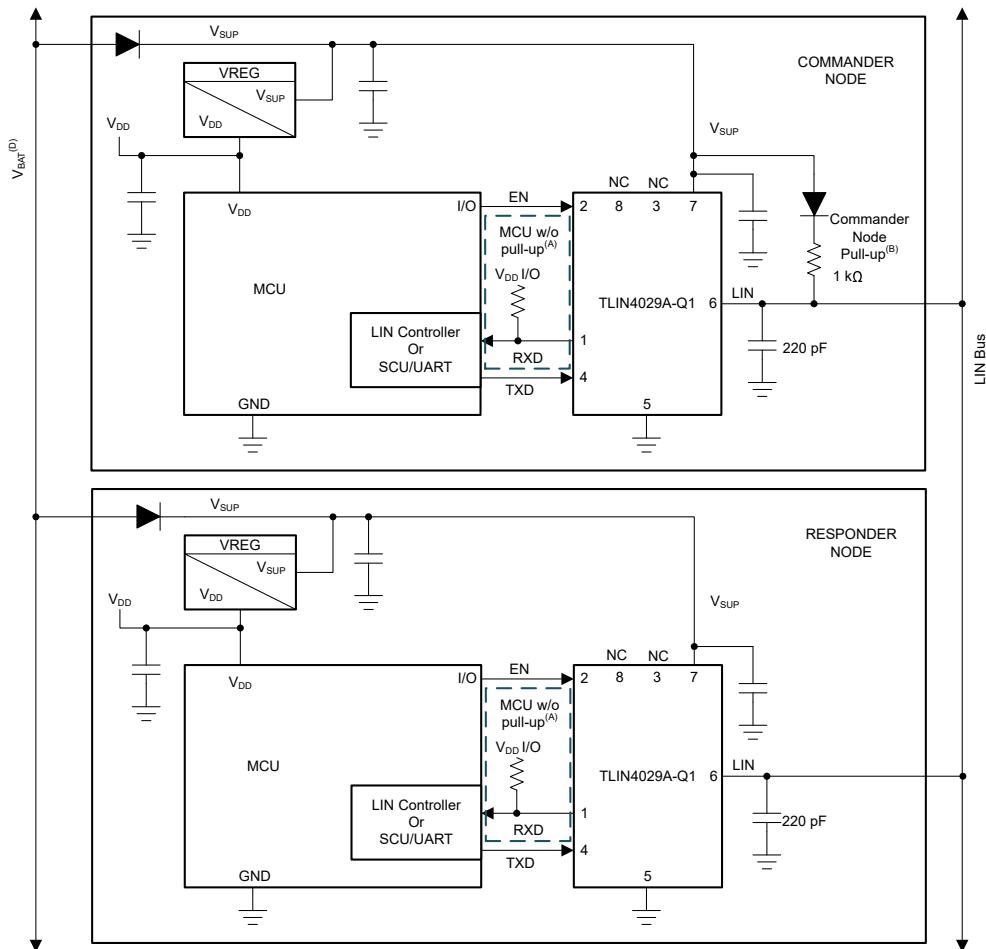
以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TLIN4029A-Q1 は、LIN ネットワーク内でレスポンダ ノード デバイスとコマンダ ノード デバイスの両方として使用できます。本デバイスは、リモート ウェークアップ要求とローカル ウェークアップ要求の両方をサポートする機能を備えています。

8.2 代表的なアプリケーション

このデバイスは、レスポンダ ノード用に $45\text{k}\Omega$ プルアップ抵抗と直列ダイオードを内蔵しています。コマンダ用途の場合、外付けの $1\text{k}\Omega$ プルアップ抵抗と直列ブロッキング ダイオードを使用できます。図 8-1 に、コマンダ モードとレスポンダ モードの両方の用途に本デバイスを使用している例を示します。



- A. LIN ノードの MCU の RXD に内部プルアップがある場合、外部プルアップ抵抗は不要です。
 - B. コマンド ノード用途では、外付けの $1k\Omega$ プルアップ抵抗と直列ダイオードが必要です。
 - C. V_{SUP} のデカップリング コンデンサ値はシステムによって異なりますが、通常は $100nF$ 、 $1\mu F$ 、 $\geq 10\mu F$ があります。

D. LIN ノードには、バッテリ接続 (V_{BAT}) またはその他の類似の電源レールによって電力を供給することができます。

図 8-1. 代表的な LIN バス

8.2.1 設計要件

RXD 出力の構造はオープンドレイン出力段です。そのため、TLIN4029A-Q1 は 3.3V および 5V I/O プロセッサと組み合わせて使用できます。プロセッサの RXD ピンがプルアップを内蔵していない場合、プロセッサの I/O 電源電圧に接続された外部プルアップ抵抗が必要です。外部プルアップ抵抗の値は、使用する電源に応じて $1\text{k}\Omega\sim10\text{k}\Omega$ の範囲で選択する必要があります（[電気的特性](#)の I_{OL} を参照）。 V_{SUP} ピンは、 V_{SUP} 電源ピンの近くに配置して、100nF のコンデンサでデカップリングする必要があります。アプリケーションの要件に応じて、システムに V_{SUP} ラインに追加のデカップリングを含める必要があります。

8.2.2 設計手順の詳細

8.2.2.1 通常モードのアプリケーションノート

RXD ピンを監視してウェークアップ要求を検出するシステムで TLIN4029A-Q1 を使用する場合、モード遷移に特に注意を払う必要があります。RXD ピンの出力は、レシーバが交代している最中は不定です。アプリケーションソフトウェアは、 t_{MODE_CHANGE} が経過するまで、ウェークアップ要求を示すエッジを RXD ピンで検出しないようにする必要があります。その様子が [モード遷移](#) に示されています

8.2.2.2 スタンバイ モードのアプリケーションノート

TLIN4029A-Q1 が V_{SUP} の低電圧を検出すると、RXD ピンが Low に遷移し、ソフトウェアに対して TLIN4029A-Q1 がスタンバイ モードにあり、最も低消費電力の状態にするためスリープ モードに戻す必要があることを通知します。

8.2.3 アプリケーション曲線

以下の図は、TXD ピンから LIN ピンまでの伝搬遅延を、ドミナントからリセシティブ、およびリセシティブからドミナントへの両方のエッジについて示しています。このデバイスは、外付けプルアップ抵抗 ($1\text{k}\Omega$) と 680pF のバス容量を使用し、コマンダ モードに設定されました。

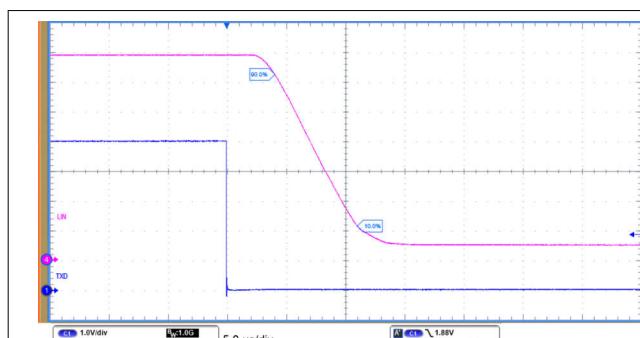


図 8-2. リセシティブからドミナントまでの伝搬遅延

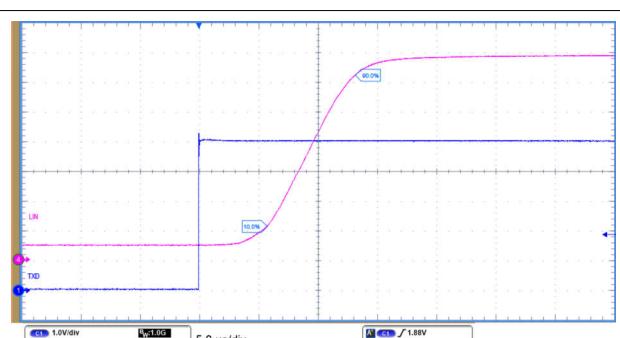


図 8-3. ドミナントからリセシティブまでの伝搬遅延

8.3 電源に関する推奨事項

TLIN4029A-Q1 は、自動車のバッテリ、または 4V~48V のその他の DC 電源で直接動作するように設計されています。100nF のデカップリング コンデンサは、本デバイスの V_{SUP} ピンのできるだけ近くに配置する必要があります。ノイズの多い電源を使用する一部のアプリケーションでは、 $1\mu\text{F}$ および $10\mu\text{F}$ のデカップリング コンデンサを併用することも望ましい方法です。

8.4 レイアウト

PCB を適切に設計するには、保護およびフィルタ回路の設計から始めます。ESD 過渡はおよそ 3MHz~3GHz という広い周波数帯域幅を持つため、PCB 設計で高周波レイアウト手法を適用する必要があります。デバイスをコネクタにできるだけ近づけて配置することで、これらのノイズの多いイベントが PCB とシステムの中に伝播するのを防止します。

8.4.1 レイアウトのガイドライン

- **ピン 1 (RXD):**このピンはオープンドレイン出力であり、適切に機能させるには、 $1\text{k}\Omega$ から $10\text{k}\Omega$ までの範囲の外付けプルアップ抵抗が必要です。その最小値は、使用する V_{IO} 電源電圧によって決まることに注意します。電気的仕様の I_{OL} を参照してください。トランシーバと組み合わせるマイクロプロセッサにプルアップが内蔵されていない場合、RXD とマイクロプロセッサの安定化電源電圧との間に外付け抵抗を配置する必要があります。
- **ピン 2 (EN):**EN は、本デバイスを低消費電力スリープ モードに移行させるために使用される入力ピンです。この機能を使用しない場合、 $1\text{k}\Omega$ ~ $10\text{k}\Omega$ の直列抵抗でマイクロプロセッサの安定化電源電圧にこのピンをプルアップする必要があります。また、過電圧フォルト時のデジタル ラインの電流を制限するため、このピンに直列抵抗を配置することもできます。
- **ピン 3 (NC):**接続なし。
- **ピン 4 (TXD):**TXD ピンは、マイクロコントローラからの入力信号を送信するために使用されます。このピンに過電圧が発生した場合の本デバイスへの入力電流を制限するため、直列抵抗を配置できます。本デバイスの入力ピンに近付けて、グランドとの間にコンデンサを配置することで、ノイズをフィルタできます。
- **ピン 5 (GND):**これは、本デバイスのグランド接続です。総リターン インダクタンスを制限するため、2 つのビアを使って短いパターンでこのピンをグランド プレーンに接続する必要があります。
- **ピン 6 (LIN):**このピンは、LIN バスに接続されます。レスポンダ モード用途の場合、グランドとの間に 220pF のコンデンサを実装します。コマンダ モード用途の場合、LIN ピンと V_{SUP} ピンの間に直列抵抗とブロッキング ダイオードを追加します。[図 8-1](#) を参照してください。
- **ピン 7 (VSUP):**本デバイスの電源ピンです。 100nF デカップリング コンデンサは、本デバイスにできるだけ近付けて配置してください。
- **ピン 8 (NC):**接続なし。

注

すべてのグランドおよび電源接続はできるだけ短くし、総ループ インダクタンスを最小化するため、2 つ以上のビアを使います。

8.4.2 レイアウト例

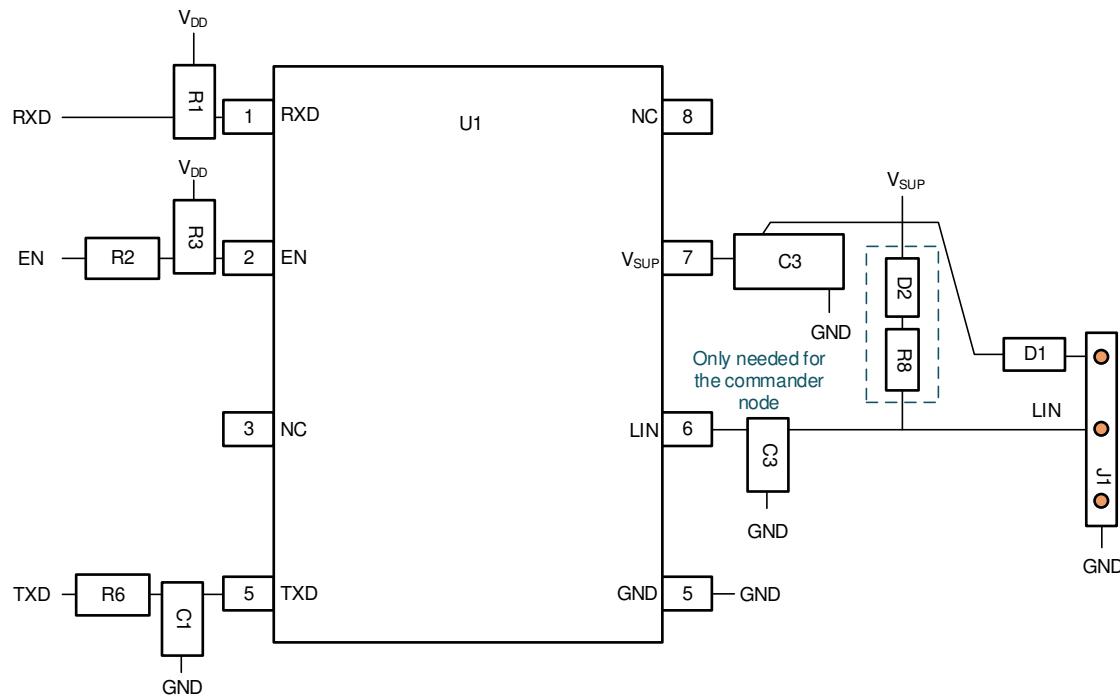


図 8-4. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- LIN 標準
 - ISO 17987-1:道路車両 -- ローカル相互接続ネットワーク (LIN) -- 第 1 部:一般情報とユースケースの定義
 - ISO 17987-4:道路車両 -- ローカル相互接続ネットワーク (LIN) -- 第 4 部:電気物理層 (EPL) 仕様 12V/24V
 - SAEJ2602-1:車載アプリケーション用の LIN ネットワーク
 - LIN 仕様 LIN 2.0、LIN 2.1、LIN 2.2、LIN 2.2A
- EMC 要件
 - SAEJ2962-1:通信トランシーバ認定要件 - LIN
 - ISO 10605:道路車両 - 静電放電による電気的障害のテスト手法
 - ISO 11452-4:2011:道路車両 - ナローバンド放射の電磁気エネルギーによる電気的障害のコンポーネントテスト手法 - 第 4 部:ハーネス励起方法
 - ISO 7637-1:2015:道路車両 - 伝導および結合による電気的障害 - 第 1 部:定義および一般的な考慮事項
 - ISO 7637-3:道路車両 - 伝導および結合による電気的障害 - 第 3 部:供給ライン以外のラインを介した容量性および誘導性結合による電気的過渡伝達
 - IEC 62132-4:2006:集積回路 - 150kHz～1GHz の電磁気耐性の測定 - 第 4 部:直接 RF 電力注入手法
 - IEC 61000-4-2
 - IEC 61967-4
 - CISPR25
- 準拠テストの要件
 - ISO 17987-7:道路車両 -- ローカル相互接続ネットワーク (LIN) -- 第 7 部:電気物理層 (EPL) 適合性テスト仕様
 - SAEJ2602-2:車載アプリケーション用 LIN ネットワークの準拠テスト

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の【アラートを受け取る】をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
August 2025	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのプラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLIN4029ADRBRQ1	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL4029
TLIN4029ADRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL4029A
TLIN4029AMDRBRQ1	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL4029

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

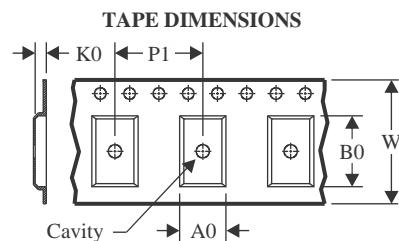
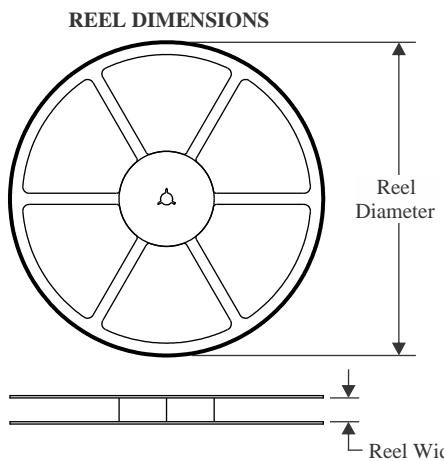
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

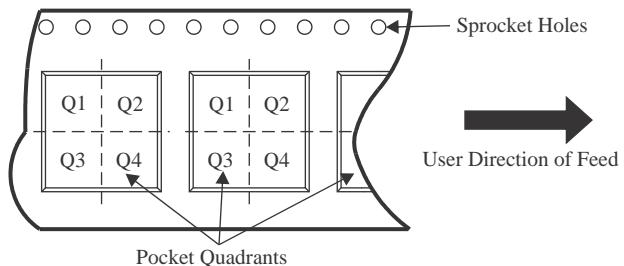
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

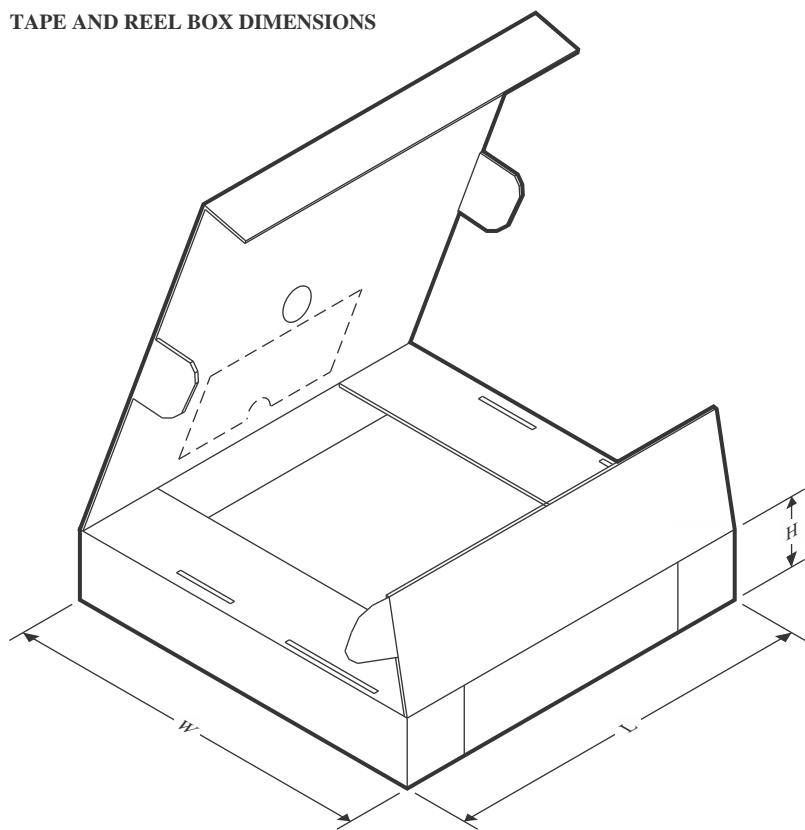
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLIN4029ADRBHQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TLIN4029ADRHQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLIN4029AMDRBHQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLIN4029ADRBRQ1	SON	DRB	8	3000	367.0	367.0	35.0
TLIN4029ADRQ1	SOIC	D	8	2500	353.0	353.0	32.0
TLIN4029AMDRBRQ1	SON	DRB	8	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

DRB 8

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



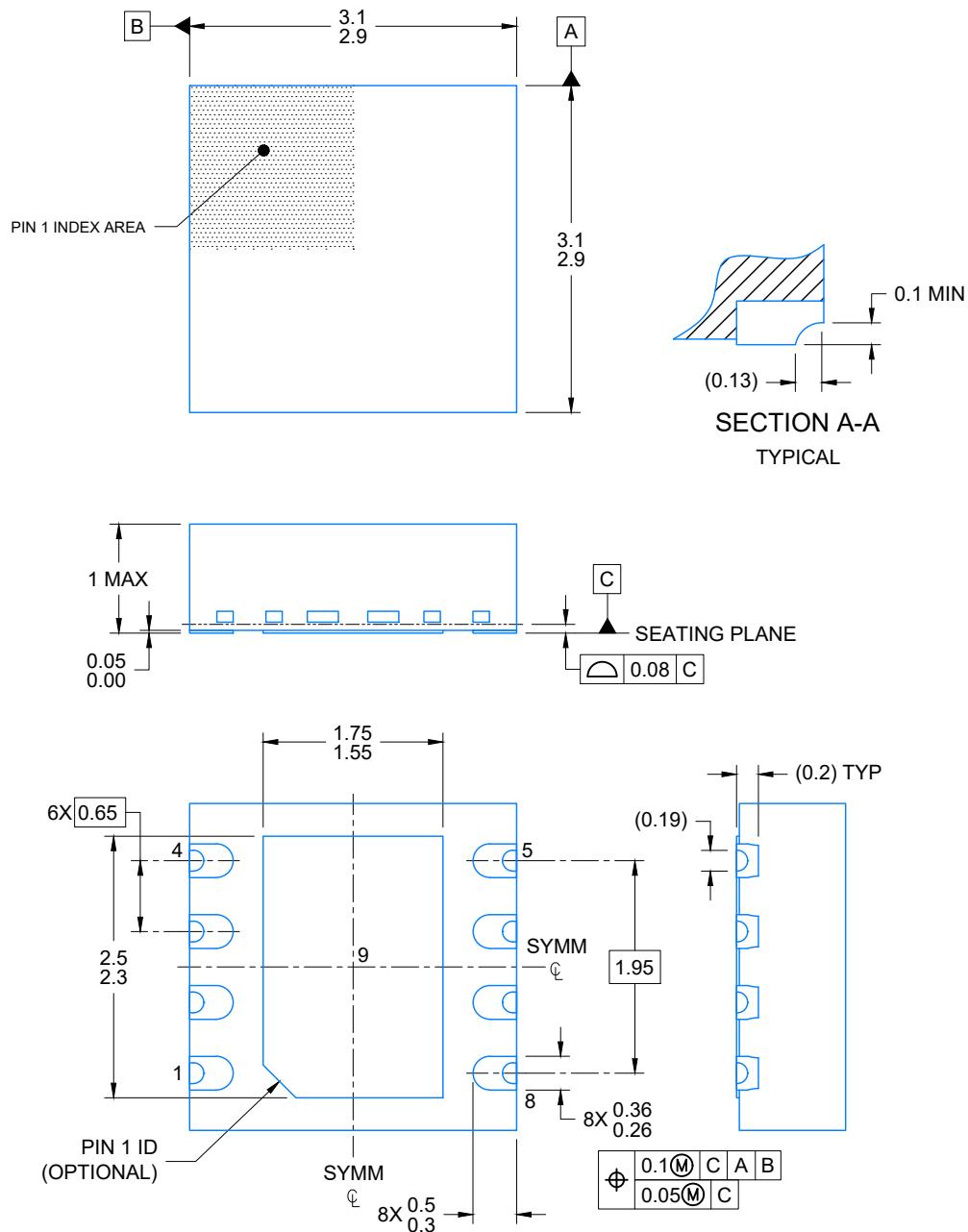
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203482/L

DRB0008J

PACKAGE OUTLINE
VSON - 1 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD



4225036/A 06/2019

NOTES:

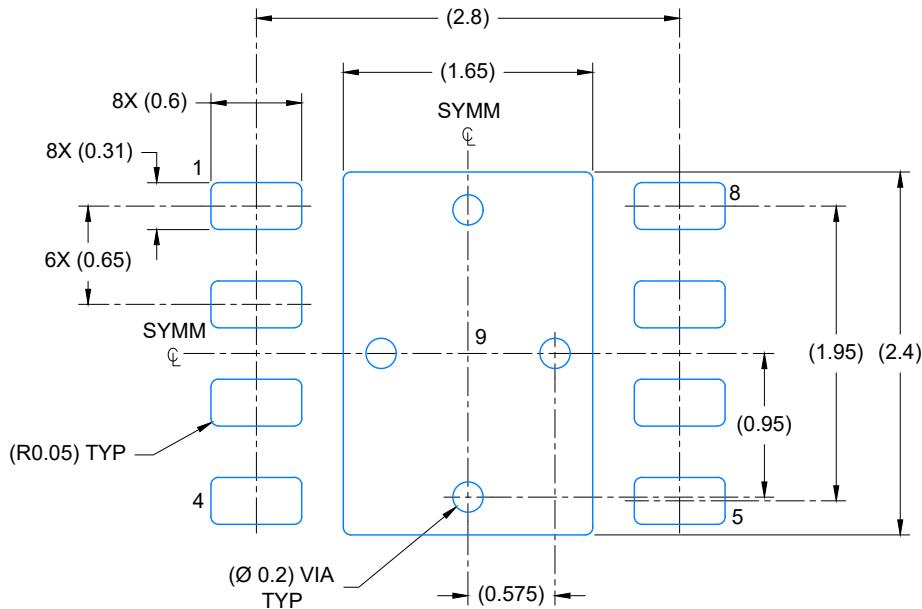
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

VSON - 1 mm max height

DRB0008J

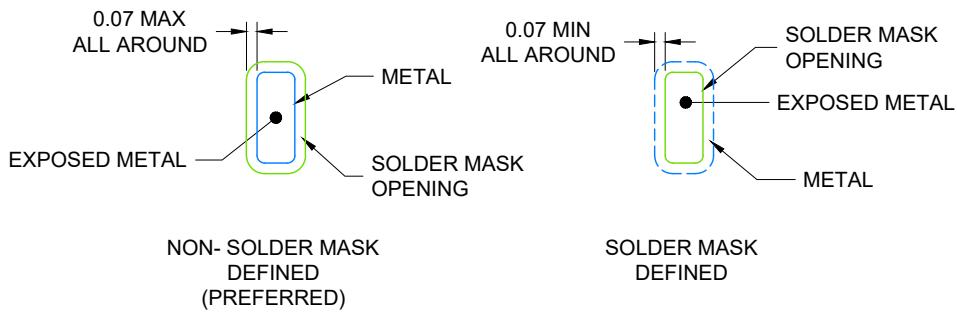
PLASTIC QUAD FLAT PACK- NO LEAD



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 20X



SOLDER MASK DETAILS

4225036/A 06/2019

NOTES: (continued)

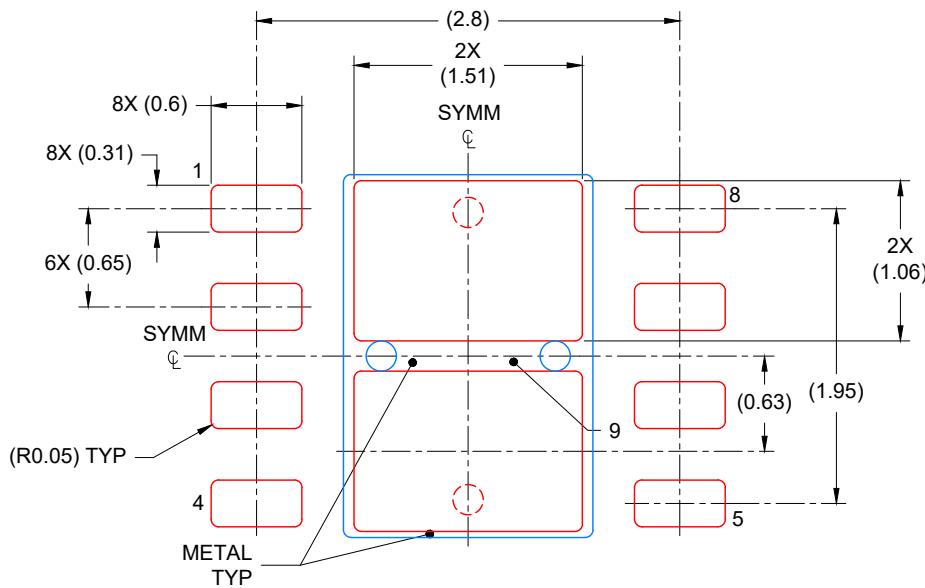
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VSON - 1 mm max height

DRB0008J

PLASTIC QUAD FLAT PACK- NO LEAD



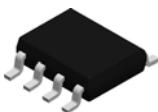
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
81% PRINTED COVERAGE BY AREA
SCALE: 20X

4225036/A 06/2019

NOTES: (continued)

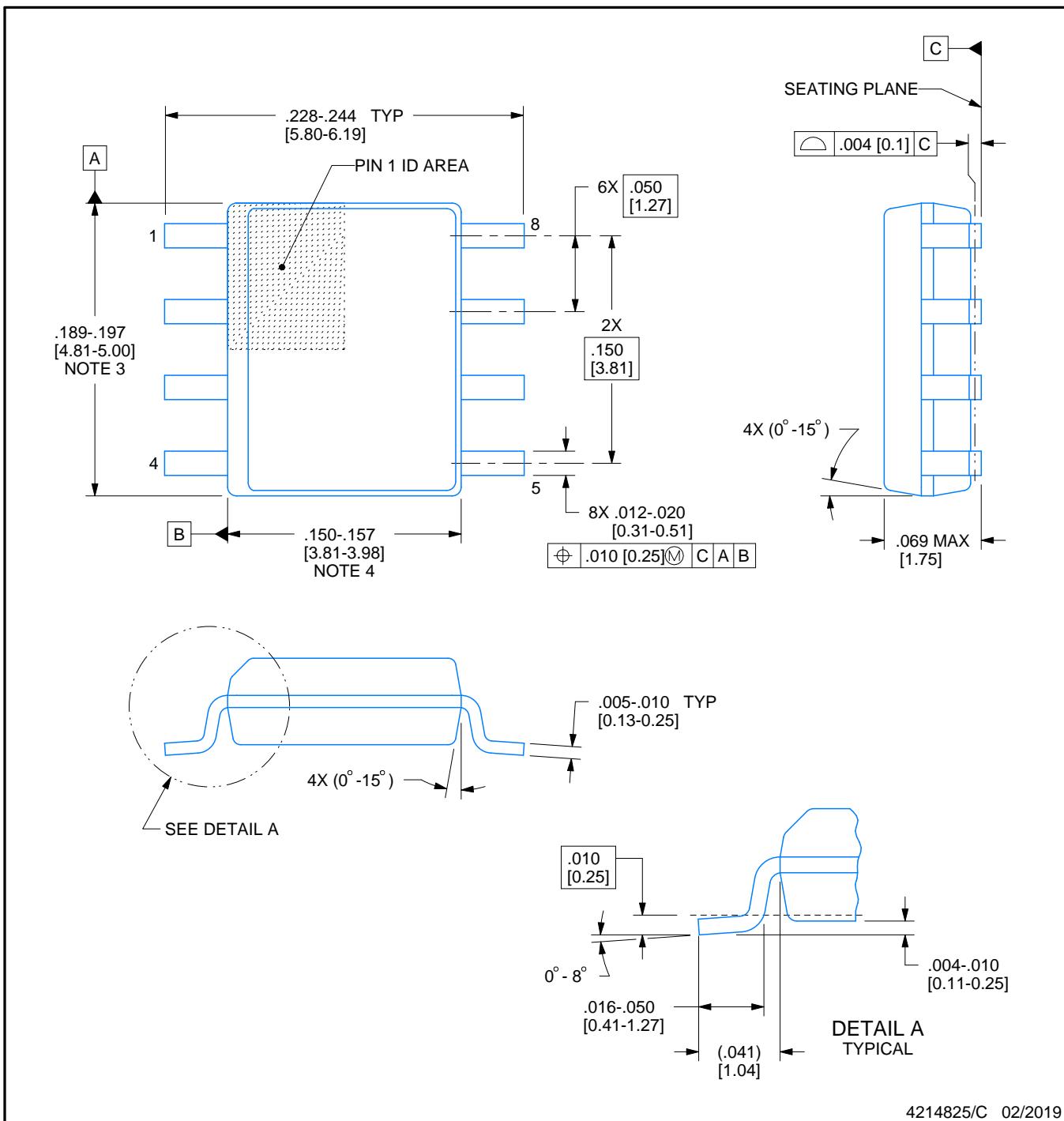
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

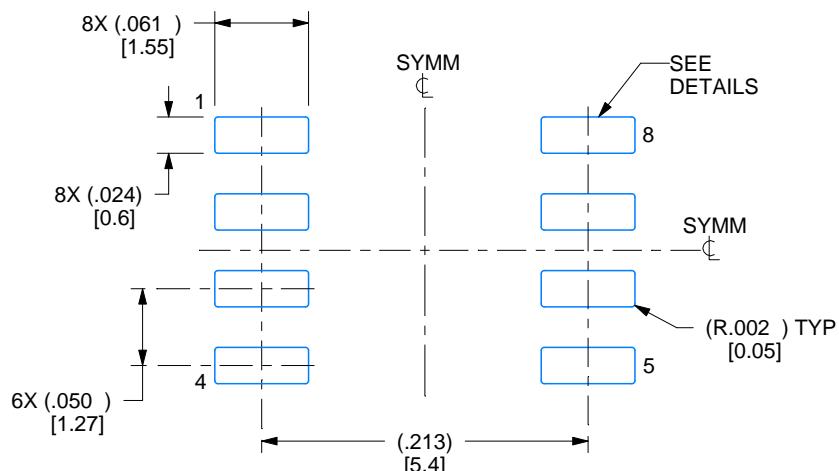
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

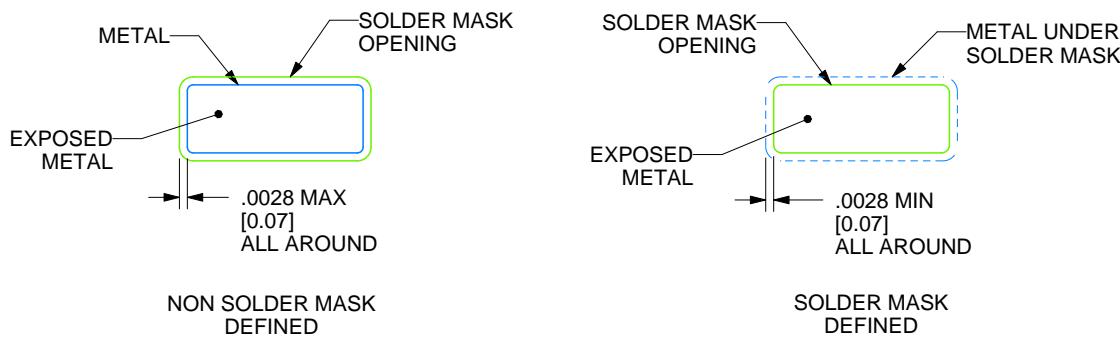
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

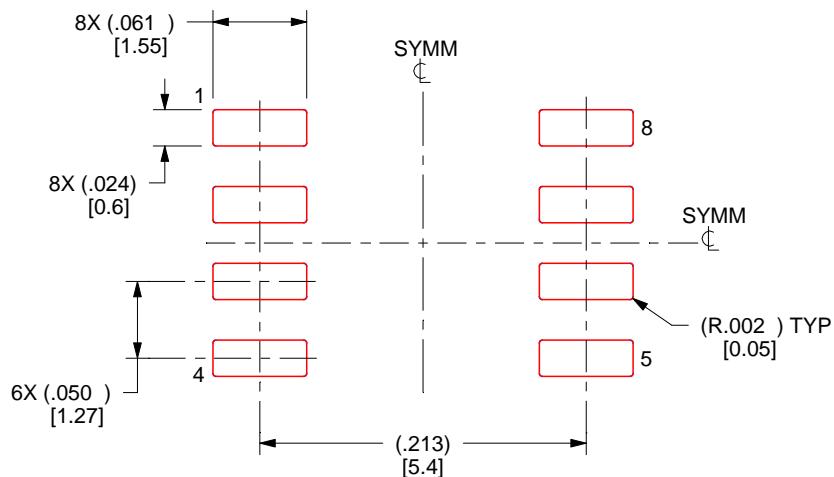
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月