

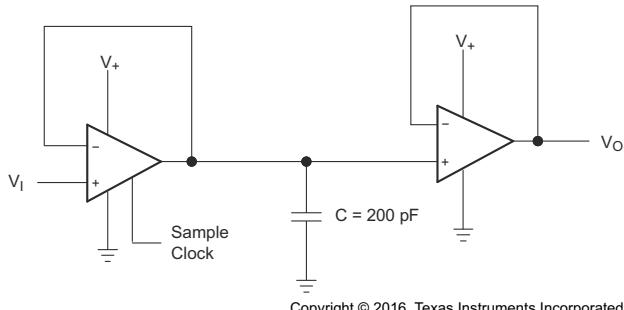
TLV34xx 低電圧、レールツーレール出力 CMOS オペアンプ シャットダウン付

1 特長

- 1.8V、5V の性能
- 低オフセット (A グレード)
 - 最大 1.25mV (25°C)
 - 最大 1.7mV (-40°C ~ 125°C)
- レールツーレールの出力スイング
- 広い同相入力電圧範囲: -0.2V ~ (V₊ - 0.5V)
- 入力バイアス電流: 1pA (標準値)
- 入力オフセット電圧: 0.3mV (標準値)
- 低い消費電流: 70μA / チャネル
- 低シャットダウン電流:
 - チャネルごとに 10pA (標準値)
- ゲイン帯域幅: 2.3MHz (標準値)
- スルーレート: 0.9V/μs (標準値)
- シャットダウンからのターンオン時間: 5μs (標準値)
- 入力換算の電圧ノイズ (10kHz):
 $20nV/\sqrt{Hz}$
- JESD 22 を上回る ESD 保護:
 - 2000V 人体モデル (HBM)
 - 750V 荷電デバイス モデルで (CDM)

2 アプリケーション

- 携帯電話
- 消費者向け電子機器 (ラップトップ)
- 音声用オーディオ プリアンプ
- 携帯型およびバッテリ駆動電子機器
- 電源電流監視
- バッテリ監視
- バッファ
- フィルタ



2つの TLV341 を使用したサンプル/ホールド回路

3 説明

TLV34xx デバイスは、それぞれシングルおよびデュアルの CMOS オペアンプで、低電圧・低消費電力、レールツーレール出力スイング機能を備えています。PMOS 入力段は、1pA (標準値) という超低入力バイアス電流と、0.3mV (標準値) のオフセット電圧を実現しています。優れた直流精度が求められる用途向けに、A グレード (TLV34xA) は 25°C において最大 1.25mV の低オフセット電圧を実現しています。

これらのシングル電源アンプは、超低電圧(1.5V ~ 5V)動作に特化して設計されており、同相入力電圧範囲は通常、正電源レールから -0.2V ~ 0.5V まで拡張されています。

RUG パッケージの TLV341 (シングル) および TLV342 (デュアル) は、デバイスを無効にするために使用できるシャットダウン (SHDN) ピンも備えています。シャットダウンモードでは、電源電流が 45pA (標準値) に低下します。TLV341 は、SOT-23 パッケージとさらに小型の SC70 パッケージの両方で提供されており、スペースに最も制約のある用途に最適な選択肢です。デュアル タイプの TLV342 は、標準的な SOIC、VSSOP、および X2QFN パッケージで提供されています。

-40°C ~ 125°C の拡張産業用温度範囲により、TLV34xx は幅広い商業および産業用途で柔軟に使用できます。

パッケージ情報

型番 (1)	パッケージ	本体サイズ (公称)
TLV341	(SOT-23, 6)	2.90mm × 1.60mm
	(SC70, 6)	2.00mm × 1.25mm
	(SOT, 6)	1.60mm × 1.20mm
TLV342	(SOIC, 8)	4.90mm × 3.91mm
	(VSSOP, 8)	3.00mm × 3.00mm
	(X2QFN, 10)	1.50mm × 2.00mm
TLV342S	(X2QFN, 10)	1.50mm × 2.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....	1	6.1 概要.....	16
2 アプリケーション.....	1	6.2 機能ブロック図.....	16
3 説明.....	1	6.3 機能説明.....	16
4 ピン構成および機能.....	3	6.4 デバイスの機能モード.....	16
5 仕様.....	5	7 アプリケーションと実装.....	17
5.1 絶対最大定格.....	5	7.1 アプリケーション情報.....	17
5.2 ESD 定格.....	5	7.2 代表的なアプリケーション.....	17
5.3 推奨動作条件.....	5	7.3 電源に関する推奨事項.....	18
5.4 熱に関する情報: TLV341.....	5	7.4 レイアウト.....	18
5.5 熱に関する情報: TLV342.....	6	8 デバイスおよびドキュメントのサポート.....	20
5.6 熱に関する情報: TLV342S.....	6	8.1 ドキュメントの更新通知を受け取る方法.....	20
5.7 電気的特性: $V_+ = 1.8V$	7	8.2 サポート・リソース.....	20
5.8 電気的特性: $V_+ = 5V$	8	8.3 商標.....	20
5.9 シャットダウン特性: $V_+ = 1.8V$	9	8.4 静電気放電に関する注意事項.....	20
5.10 シャットダウン特性: $V_+ = 5V$	9	8.5 用語集.....	20
5.11 代表的特性.....	10	9 改訂履歴.....	20
6 詳細説明.....	16	10 メカニカル、パッケージ、および注文情報.....	21

4 ピン構成および機能

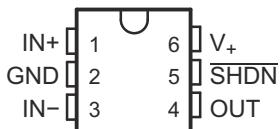


図 4-1. TLV341 DBV または DCK パッケージ、6 ピン SOT-23 または SC70 (上面図)

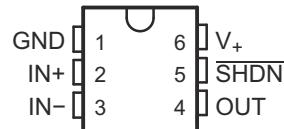


図 4-2. TLV341 DRL パッケージ、6 ピン SOT (上面図)

表 4-1. ピンの機能 : TLV341

ピン		I/O	説明
名称	SOT-23、SC70		
1IN+	1	2	I チャネル 1 での非反転入力
1IN-	3	3	I チャネル 1 での反転入力
1OUT	4	4	O チャネル 1 での出力
GND	2	1	— グランド
SHDN	5	5	I シャットダウン、アクティブ Low
V ₊	6	6	— 正電源

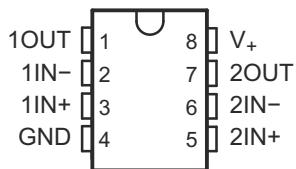


図 4-3. TLV342 D または DGK パッケージ、10 ピン SOIC または VSSOP (上面図)

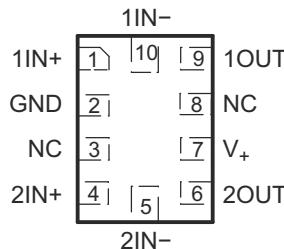


図 4-4. TLV342 RUG パッケージ、10 ピン X2QFN (上面図)

表 4-2. ピンの機能 : TLV342

ピン		I/O	説明
名称	SOIC、VSSOP		
1IN+	3	1	I チャネル 1 での非反転入力
1IN-	2	10	I チャネル 1 での反転入力
1OUT	1	9	O チャネル 1 での出力
2IN+	5	4	I チャネル 2 での非反転入力
2IN-	6	5	I チャネル 2 での反転入力
2OUT	7	6	O チャネル 2 での出力
GND	4	2	— グランド
NC (1)	—	3, 8	— 未接続
V ₊	8	7	— 正電源

(1) NC - 内部接続なし

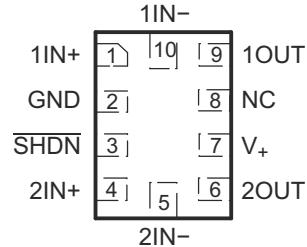


図 4-5. TLV342S RUG パッケージ、10 ピン X2QFN (上面図)

表 4-3. ピンの機能 : TLV342S

ピン		I/O	説明
名称	番号		
1IN+	1	I	チャネル 1 での非反転入力
1IN-	10	I	チャネル 1 での反転入力
1OUT	9	O	チャネル 1 での出力
2IN+	4	I	チャネル 2 での非反転入力
2IN-	5	I	チャネル 2 での反転入力
2OUT	6	O	チャネル 2 での出力
GND	2	—	グランド
NC (1)	8	—	未接続
SHDN	3	I	シャットダウン、アクティブ Low
V ₊	7	—	正電源

(1) NC - 内部接続なし

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_+	電源電圧 ⁽²⁾	-0.3	5.5	V
V_{ID}	差動入力電圧 ⁽³⁾		± 5.5	V
V_I	入力電圧 (入力またはシャットダウンのいずれか)	-0.3	5.5	V
V_O	出力電圧	-0.3	$V_{CC} + 0.3$	V
T_J	動作時の仮想接合部温度		150	°C
T_{stg}	保存温度	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示されたその他の条件と等しい、またはそれを超える条件で本デバイスが正しく動作することを意味するものではありません。絶対最大定格の状態に長時間置くと、デバイスの信頼性に影響を及ぼす場合があります。
- (2) すべての電圧値(差動電圧を除くすべての電圧値)は、ネットワーク GND を基準にしています。
- (3) 差動電圧は、IN- を基準とする IN+ です。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	± 750	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

		最小値	最大値	単位
V_+	電源電圧 (単一電源動作)	1.5	5.5	V
T_A	自由空気での動作温度	-40	125	°C

5.4 热に関する情報 : TLV341

熱評価基準 ⁽¹⁾	TLV341			単位	
	DBV (SOT-23)	DCK (SC70)	DRL (SOT)		
	6 ピン	6 ピン	6 ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗	193.4	196.8	221.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	145.6	82.4	109.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	44.1	95.2	111.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	34.1	1.8	6.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	43.4	93.2	109.8	°C/W

- (1) 従来および最新の熱測定基準の詳細については、アプリケーションレポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

5.5 热に関する情報 : TLV342

热評価基準 ⁽¹⁾	TLV342			単位	
	D (SOIC)	DGK (MSOP)	RUG (X2QFN)		
	8 ピン	8 ピン	10 ピン		
R _{θJA}	接合部から周囲への熱抵抗	123.6	192.3	167	°C/W
R _{θJC(top)}	接合部からケース(上面)への熱抵抗	69.8	78.2	56.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	63.9	112.6	94.3	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	24.4	15.2	4.1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	63.4	111.2	94	°C/W

- (1) 従来および最新の熱測定基準の詳細については、アプリケーションレポート『半導体およびICパッケージの熱評価基準』、SPRA953を参照してください。

5.6 热に関する情報 : TLV342S

热評価基準 ⁽¹⁾	TLV342S	単位	
	RUG (X2QFN)		
	10 ピン		
R _{θJA}	接合部から周囲への熱抵抗	158.3	°C/W
R _{θJC(top)}	接合部からケース(上面)への熱抵抗	52.6	°C/W
R _{θJB}	接合部から基板への熱抵抗	87.9	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	87	°C/W

- (1) 従来および最新の熱測定基準の詳細については、アプリケーションレポート『半導体およびICパッケージの熱評価基準』、SPRA953を参照してください。

5.7 電気的特性 : $V_+ = 1.8V$

$V_+ = 1.8V$ 、GND = 0V、 $V_{IC} = V_O = V_+/2$ 、 $R_L > 1M\Omega$ (特に記述のない限り)。セクション 5.9 を参照してください。

パラメータ	テスト条件	T_A	最小値	標準値 (1)	最大値	単位
V_{IO} 入力オフセット電圧	標準グレード	25°C	0.3	4		mV
		フルレンジ		4.5		
	A グレード	25°C	0.3	1.25		
		0°C ~ 125°C	0.3	1.5		
		-40°C ~ 125°C	0.3	1.7		
α_{VIO} 入力オフセット電圧の平均温度係数		フルレンジ		1.9		µV/°C
I_{IB} 入力バイアス電流		25°C	1	100		pA
		-40°C ~ 85°C		375		
		-40°C ~ 125°C		3000		
I_{IO} 入力オフセット電流		25°C	6.6			fA
CMRR 同相除去比	$0 \leq V_{ICR} \leq 1.2V$	25°C	60	85		dB
		フルレンジ	50			
k_{SVR} 電源電圧除去比	$1.8V \leq V_+ \leq 5V$	25°C	75	95		dB
		フルレンジ	65			
V_{ICR} 同相入力電圧範囲	CMRR $\geq 60dB$	25°C	0	1.2		V
A_V 大信号電圧ゲイン ⁽²⁾	$R_L = 10k\Omega \sim 1.35V$	25°C	70	110		dB
		フルレンジ	60			
	$R_L = 2k\Omega \sim 1.35V$	25°C	65	100		
		フルレンジ	55			
V_O 出力スイング (電源レールからの変位)	$R_L = 2k\Omega \sim 1.35V$	Low レベル	25°C	22	50	mV
			フルレンジ		75	
		High レベル	25°C	25	50	
			フルレンジ		75	
			25°C	14	20	
	$R_L = 10k\Omega \sim 1.35V$	Low レベル	フルレンジ		25	
			25°C	7	20	
		High レベル	フルレンジ		25	
			25°C			
			フルレンジ			
I_{CC} 電源電流 (チャネルあたり)		25°C	150	200		µA
		フルレンジ		210		
I_{OS} 出力短絡検出電流	ソース	25°C	6	12		mA
	シンク		10	20		
SR スルーレート	$R_L = 10k\Omega$ ⁽³⁾	25°C	0.9			V/µs
GBW ユニティゲイン帯域幅	$R_L = 10k\Omega$ 、 $C_L = 200pF$	25°C	2.2			MHz
Φ_m 位相マージン	$R_L = 100k\Omega$ 、 $C_L = 200pF$	25°C	55			°
G_m ゲインマージン	$R_L = 100k\Omega$ 、 $C_L = 200pF$	25°C	15			dB
V_n 等価入力ノイズ電圧	$f = 1kHz$	25°C	33			nV/√Hz
I_n 等価入力ノイズ電流	$f = 1kHz$	25°C	0.001			pA/√Hz
THD 全高調波歪	$f = 1kHz$ 、 $A_V = 1$ 、 $R_L = 600\Omega$ 、 $V_I = 1V_{PP}$	25°C	0.015%			

(1) 代表値は、最も可能性の高いパラメータの標準値を表します。

(2) GND + 0.2V $\leq V_O \leq V_+ - 0.2V$

(3) 2V_{PP} ステップ入力で電圧フォロワとして接続されています。指定された数値は、正と負のスルーレートのうち、遅い方を示しています。

5.8 電気的特性 : $V_+ = 5V$

$V_+ = 5V$ 、 $GND = 0V$ 、 $V_{IC} = V_O = V_+/2$ 、 $R_L > 1M\Omega$ (特に記述のない限り)。セクション 5.10 を参照してください。

パラメータ	テスト条件	T_A	最小値	標準値 (1)	最大値	単位
V_{IO} 入力オフセット電圧	標準グレード	25°C	0.3	4		mV
		フルレンジ		4.5		
	A グレード	25°C	0.3	1.25		
		0°C ~ 125°C	0.3	1.5		
		-40°C ~ 125°C	0.3	1.7		
α_{VIO} 入力オフセット電圧の平均温度係数		フルレンジ		1.9		µV/°C
I_{IB} 入力バイアス電流		25°C	1	200		pA
		-40°C ~ 85°C		375		
		-40°C ~ 125°C		3000		
I_{IO} 入力オフセット電流		25°C	6.6			fA
CMRR 同相除去比	$0 \leq V_{ICR} \leq 4.4V$	25°C	75	90		dB
		フルレンジ	70			
k_{SVR} 電源電圧除去比	$1.8V \leq V_+ \leq 5V$	25°C	75	95		dB
		フルレンジ	65			
V_{ICR} 同相入力電圧範囲	CMRR $\geq 70dB$	25°C	0	4.4		V
A_V 大信号電圧ゲイン ⁽²⁾	$R_L = 10k\Omega \sim 2.5V$	25°C	80	110		dB
		フルレンジ	70			
	$R_L = 2k\Omega \sim 2.5V$	25°C	75	105		
		フルレンジ	60			
V_O 出力スイング (電源レールからの変位)	$R_L = 2k\Omega \sim 2.5V$	Low レベル	25°C	40	60	mV
			フルレンジ		85	
		High レベル	25°C	25	60	
			フルレンジ		85	
	$R_L = 10k\Omega \sim 2.5V$	Low レベル	25°C	18	30	
			フルレンジ		40	
		High レベル	25°C	7	15	
			フルレンジ		20	
			25°C	150	200	µA
			フルレンジ		215	
I_{OS} 出力短絡検出電流	ソース	25°C	60	113		mA
			80	115		
SR スルーレート	$R_L = 10k\Omega$ ⁽³⁾	25°C	1			V/µs
GBW ユニティゲイン帯域幅	$R_L = 10k\Omega$ 、 $C_L = 200pF$	25°C	2.3			MHz
Φ_m 位相マージン	$R_L = 100k\Omega$ 、 $C_L = 200pF$	25°C	55			°
G_m ゲインマージン	$R_L = 100k\Omega$ 、 $C_L = 200pF$	25°C	15			dB
V_n 等価入力ノイズ電圧	$f = 1kHz$	25°C	33			nV/√Hz
I_n 等価入力ノイズ電流	$f = 1kHz$	25°C	0.001			pA/√Hz
THD 全高調波歪	$f = 1kHz$ 、 $A_V = 1$ 、 $R_L = 600\Omega$ 、 $V_I = 1V_{PP}$	25°C	0.012%			

5.9 シャットダウン特性 : $V_+ = 1.8V$

$V_+ = 1.8V$ 、GND = 0V、 $V_{IC} = V_O = V_+/2$ 、 $R_L > 1M\Omega$ (特に記述のない限り)

パラメータ	テスト条件	T_A	最小値	標準値	最大値	単位
$I_{CC(SHDN)}$ シャットダウン モードの電源電流	$V_{SD} = 0V$	25°C	0.01	1		μA
		フルレンジ			1.5	
$t_{(on)}$ アンプのターンオン時間		25°C		5		μs
		25°C	1.5	1.8		
V_{SD} シャットダウン ピンの推奨電圧範囲	オン モード		0	0.2		V
	シャットダウン モード					

5.10 シャットダウン特性 : $V_+ = 5V$

$V_+ = 5V$ 、GND = 0V、 $V_{IC} = V_O = V_+/2$ 、 $R_L > 1M\Omega$ (特に記述のない限り)

パラメータ	テスト条件	T_A	最小値	標準値	最大値	単位
$I_{CC(SHDN)}$ シャットダウン モードの電源電流	$V_{SD} = 0V$	25°C	0.01	1		μA
		フルレンジ			1.5	
$t_{(on)}$ アンプのターンオン時間		25°C		5		μs
		25°C	4.5	5		
V_{SD} シャットダウン ピンの推奨電圧範囲	オン モード		0	0.2		V
	シャットダウン モード					

5.11 代表的特性

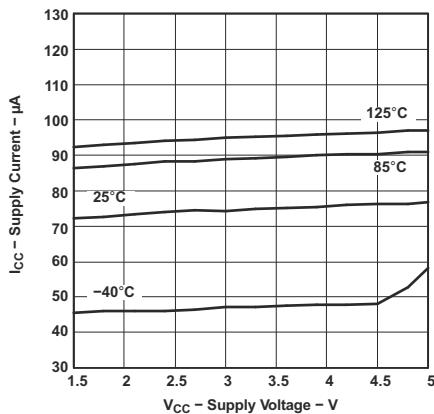


図 5-1. 電源電流と
電源電圧との関係

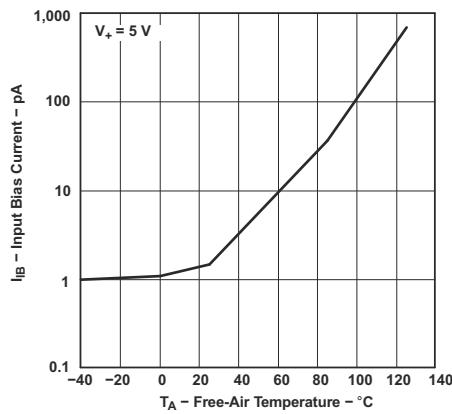


図 5-2. 入力バイアス電流と
温度との関係

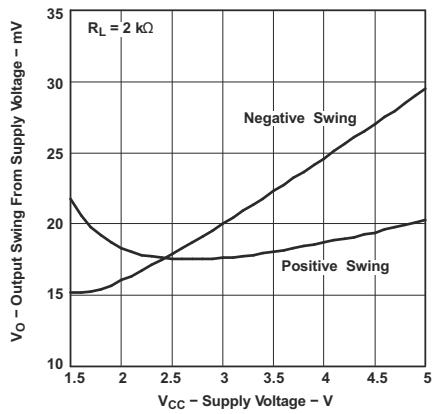


図 5-3. 出力電圧スイングと
電源電圧との関係

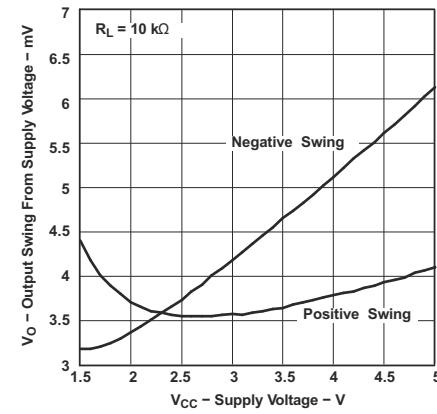


図 5-4. 出力電圧スイングと
電源電圧との関係

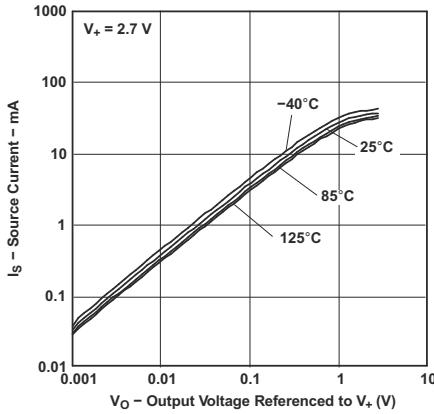


図 5-5. ソース電流と
出力電圧との関係

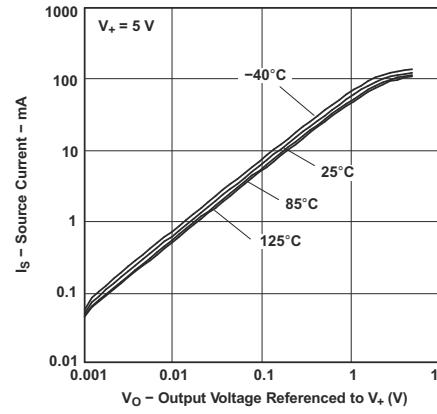


図 5-6. ソース電流と
出力電圧との関係

5.11 代表的特性 (続き)

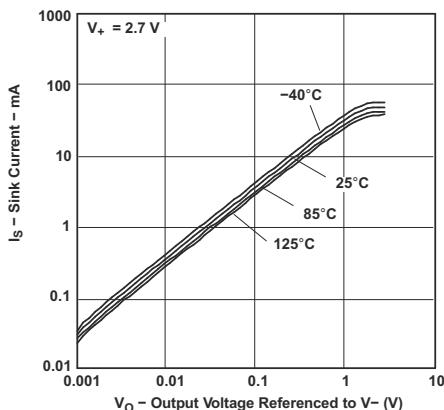


図 5-7. シンク電流と
出力電圧との関係

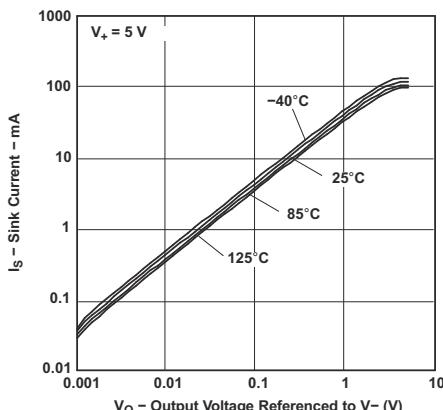


図 5-8. シンク電流と
出力電圧との関係

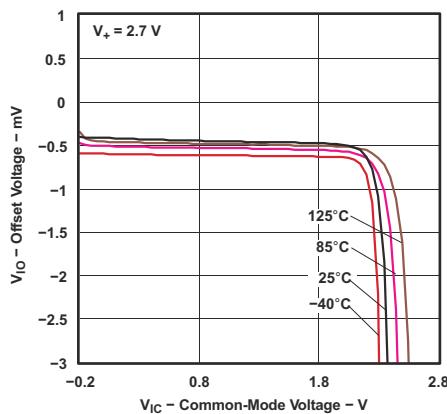


図 5-9. オフセット電圧と
同相電圧との関係

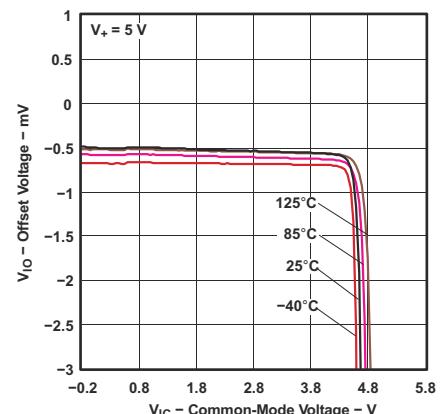


図 5-10. オフセット電圧と
同相電圧との関係

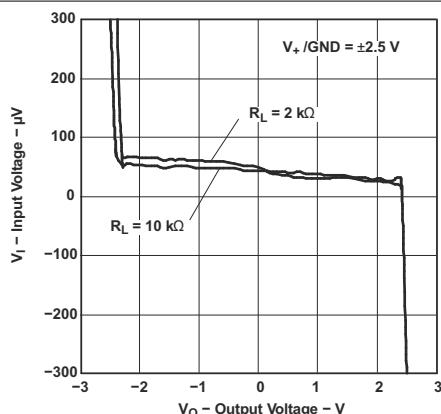


図 5-11. 入力電圧と出力電圧との関係

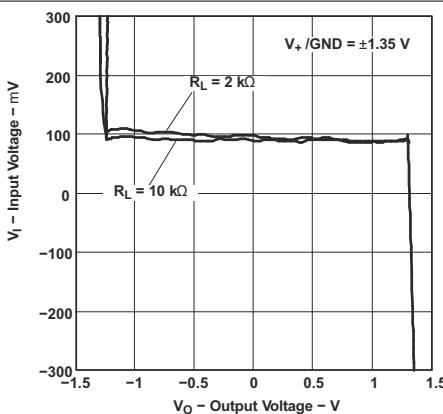


図 5-12. 入力電圧と
出力電圧との関係

5.11 代表的特性 (続き)

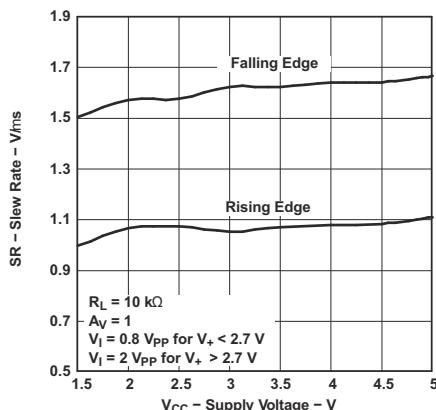


図 5-13. スルーレートと電源電圧との関係

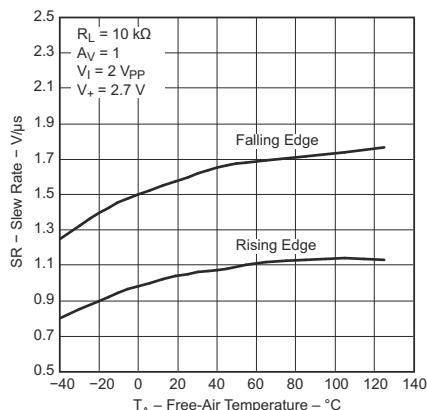


図 5-14. スルーレートと温度との関係

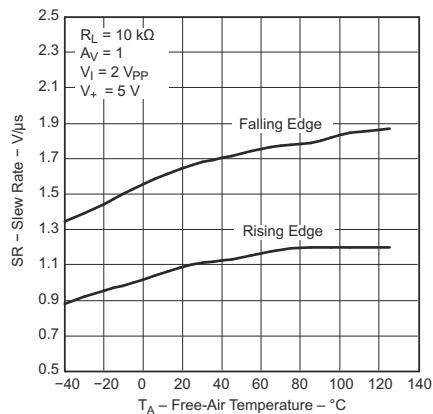


図 5-15. スルーレートと温度との関係

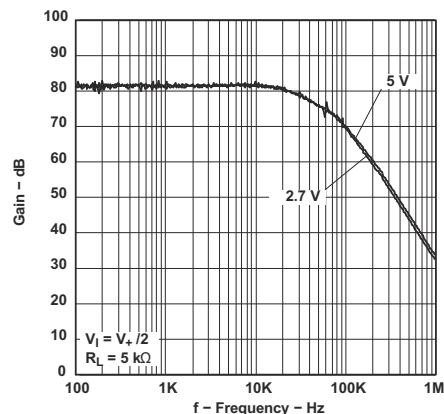


図 5-16. CMRR と周波数との関係

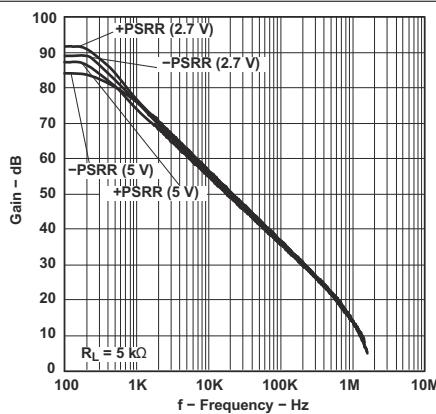


図 5-17. PSRR と周波数との関係

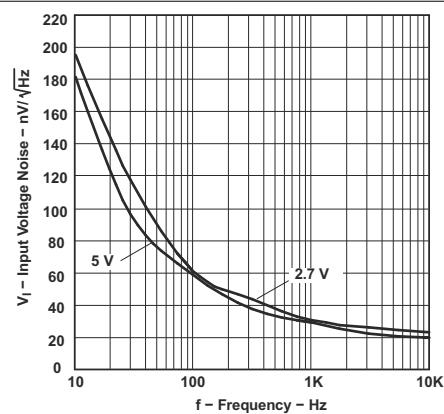


図 5-18. 入力電圧ノイズと周波数との関係

5.11 代表的特性 (続き)

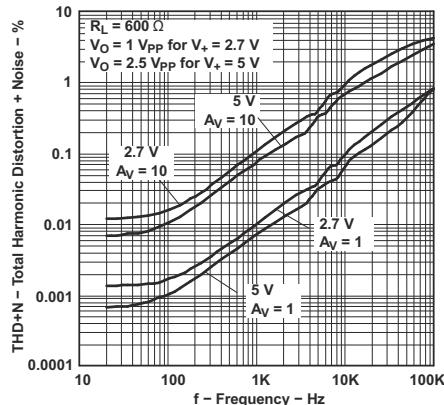


図 5-19. 全高調波歪 + ノイズと周波数との関係

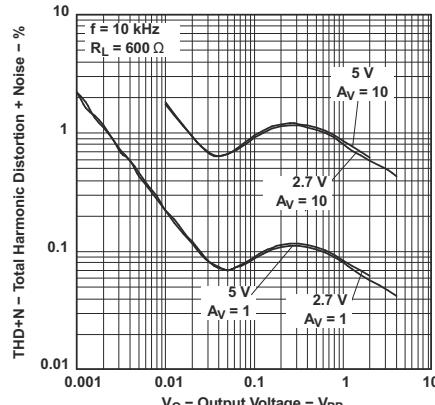


図 5-20. 全高調波歪 + ノイズ比と出力電圧との関係

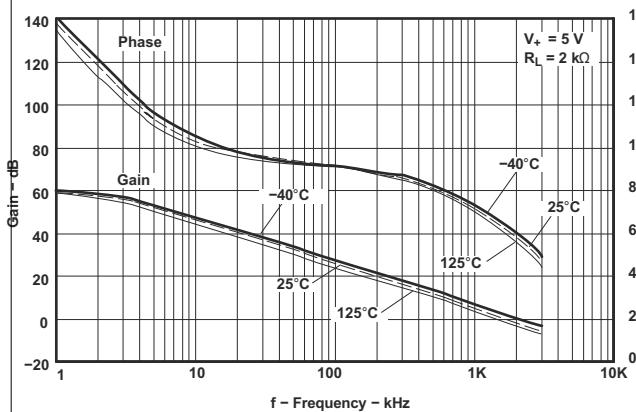


図 5-21. 周波数応答と温度との関係

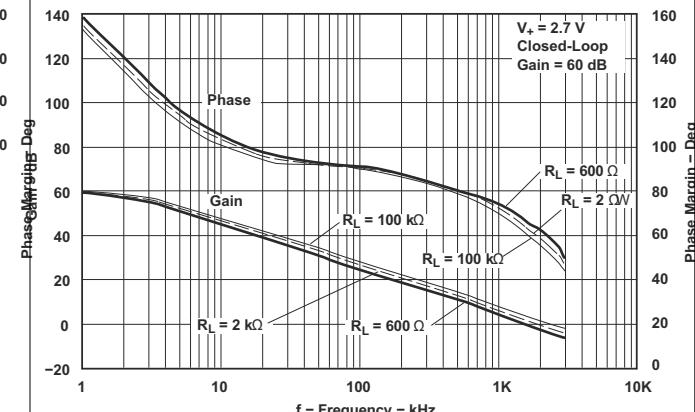


図 5-22. 周波数応答と R_L との関係

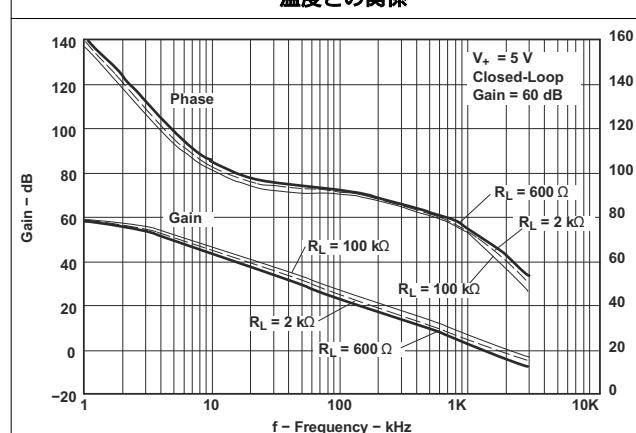


図 5-23. 周波数応答と R_L との関係

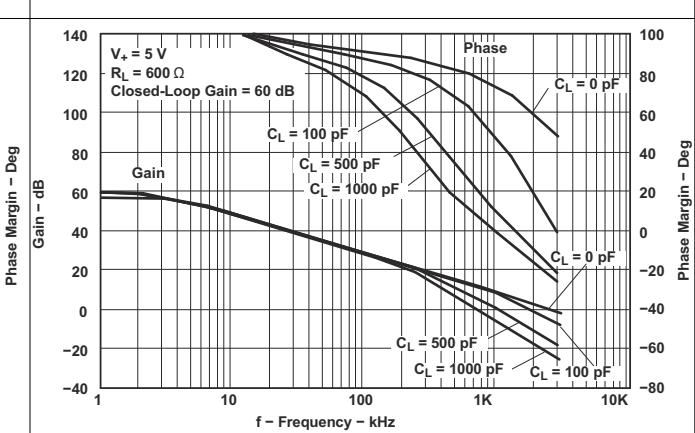


図 5-24. 周波数応答と C_L との関係

5.11 代表的特性(続き)

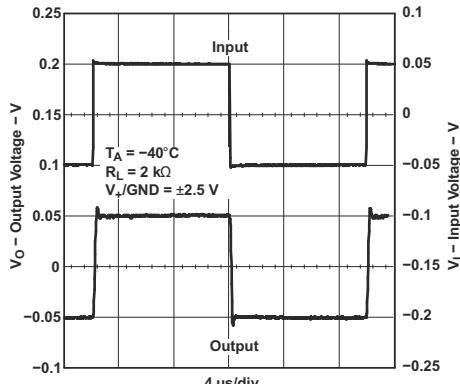


図 5-25. 小信号非反転応答

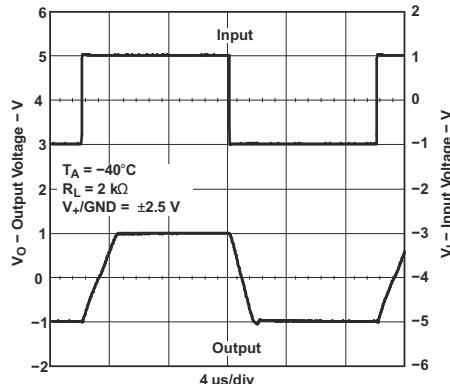


図 5-26. 大信号非反転応答

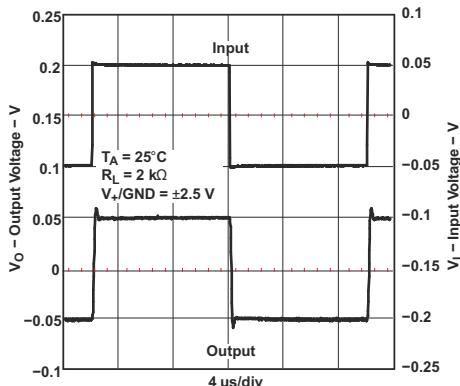


図 5-27. 小信号非反転応答

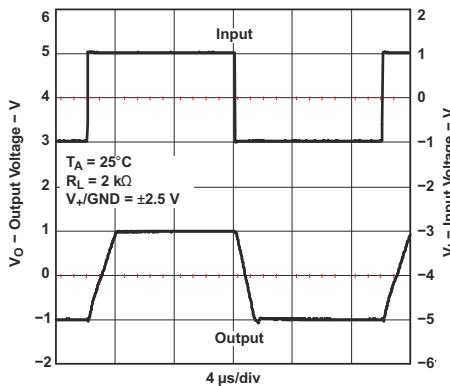


図 5-28. 大信号非反転応答

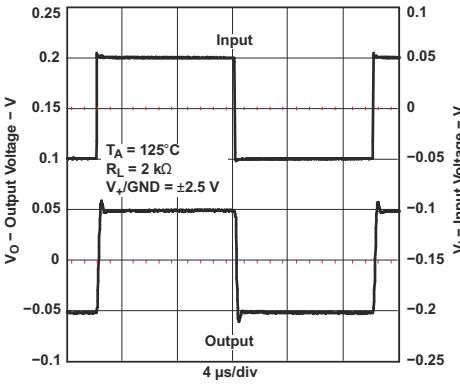


図 5-29. 小信号非反転応答

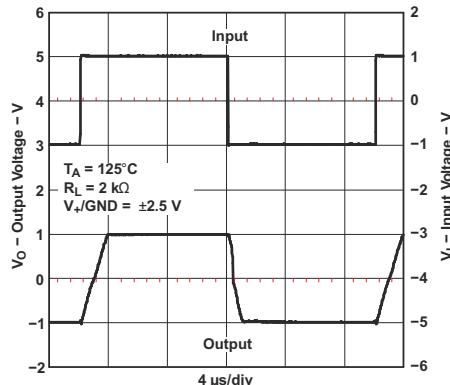


図 5-30. 大信号非反転応答

5.11 代表的特性 (続き)

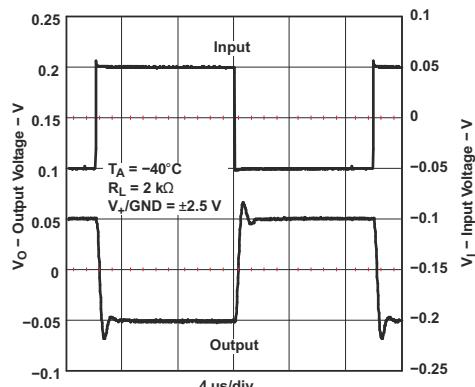


図 5-31. 小信号非反転応答

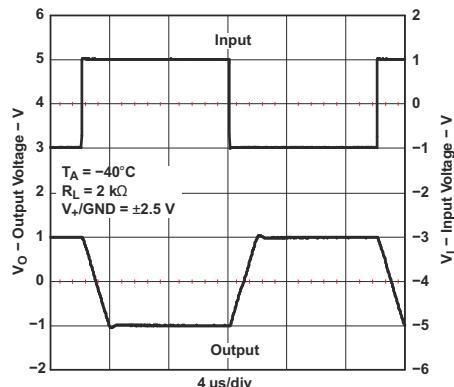


図 5-32. 大信号反転応答

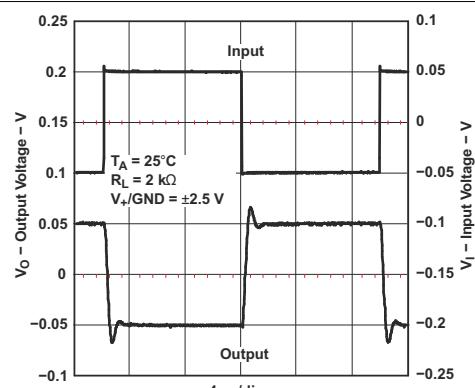


図 5-33. 小信号反転応答

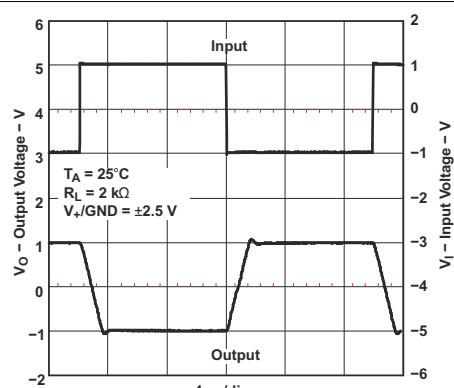


図 5-34. 大信号反転応答

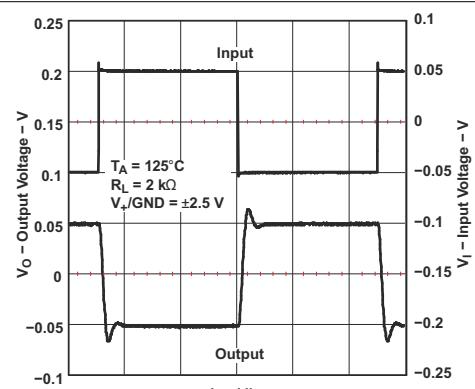


図 5-35. 小信号反転応答

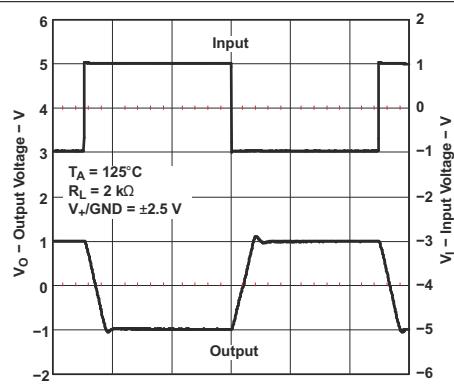


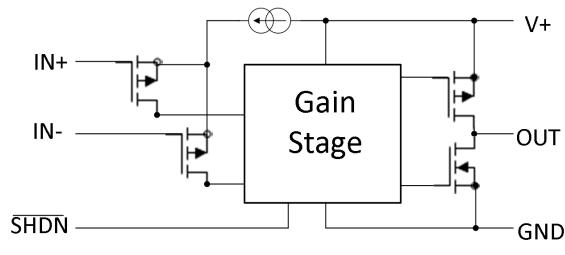
図 5-36. 大信号反転応答

6 詳細説明

6.1 概要

TLV34xx デバイスは、CMOS 入力を採用した高精度オペアンプで、入力バイアス電流が非常に低いという特長があります。グレード A のデバイスは、直接結合アプリケーションで高い精度を実現するために、 V_{IO} がより低く設定されています。出力はレールツーレールで、入力コモン モードにはグランドが含まれます。TLV341 および TLV342S は、非常に低い電源電流を実現するためのシャットダウン モードを備えています。

6.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

6.3 機能説明

6.3.1 PMOS 入力段

PMOS 入力段は、グランドを含むより低い入力範囲に対応しています。範囲の上限は $V_{CC} - 0.6V$ です。

6.3.2 CMOS 出力段

CMOS ドレイン出力トロジにより、レールツーレールの出力スイングが可能です。

6.3.3 シャットダウン

TLV341 および TLV342S にはシャットダウン ピンがあります。シャットダウン中、 I_{CC} はほぼ 0 であり、出力は高インピーダンスになります。シャットダウンから復帰する標準ターンオン時間は $5\mu s$ です。

6.4 デバイスの機能モード

TLV34xx デバイスは、2 つの動作モードを備えています：

- \overline{SHDN} ピンが V_+ レベルにある場合、または \overline{SHDN} ピンが存在しない場合は、通常動作します
- シャットダウン モード (\overline{SHDN} が GND レベルのとき)、 I_{CC} は非常に低く、出力は高インピーダンスです。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TLV34xx デバイスはレール ツー レール出力を備えており、入力範囲はグランドから VCC – 0.6V までです。CMOS 入力は、非常に低い入力電流を実現します。シャットダウン機能は、デュアル アンプ バージョンのオプションです。1.5V ~ 5.5V での動作が可能です。

7.2 代表的なアプリケーション

オペアンプの代表的なアプリケーションは、反転アンプです。このアンプは入力で正の電圧を取り込み、出力を同じ振幅の負の電圧に変換します。同様に、このアンプは負の電圧も正の電圧に変換します。

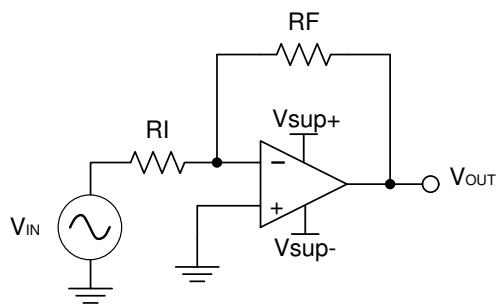


図 7-1. アプリケーション回路図

7.2.1 設計要件

電源電圧は、入力電圧範囲および出力電圧範囲よりも高くなるように選定する必要があります。たとえば、このアプリケーションは、 $\pm 0.5V$ の信号を $\pm 1.8V$ に増幅します。このアプリケーションに対応するには、電源を $\pm 2V$ に設定すれば十分です。電源は任意の順序で立ち上げることができます。ただし、いずれの電源も、グラウンドに対して極性が逆にならないようにします。逆極性になると、入力の ESD ダイオードを通じて大電流が流れれるおそれがあります。このような事象が発生した場合に備え、グラウンド側の入力に直列抵抗を追加して電流を制限することを、TI は強く推奨しています。Vsup+ は常に Vsup- よりも正である必要があります。そうでない場合、大きな逆方向の電源電流が流れれるおそれがあります。

7.2.2 詳細な設計手順

式 1 と式 2 を使って、反転アンプに必要なゲインを決定します。

$$A_V = \frac{V_{OUT}}{V_{IN}} \quad (1)$$

$$A_V = \frac{1.8}{-0.5} = -3.6 \quad (2)$$

目的のゲインが決定したら、RI または RF の値を選択します。アンプ回路は mA 範囲の電流を使用するため、kΩ 範囲の値を選択することが求められます。これは、過剰な電流をデバイスが消費しないようにするためです。この例では、RI に 10kΩ を選択するため、RF には 36kΩ を使用します。これは、式 3 によって決定されます。

$$A_V = -\frac{RF}{RI} \quad (3)$$

7.2.3 アプリケーション曲線

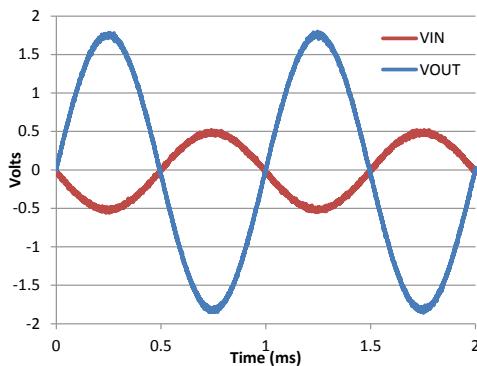


図 7-2. 反転アンプの入力電圧と出力電圧

7.3 電源に関する推奨事項

注意

単一電源で 5.5V を超える電圧を加えると、デバイスが恒久的に損傷するおそれがあります（[セクション 5.1](#) を参照）。

電源ピンの近くに $0.1\mu F$ のバイパスコンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するには、以下のような適切な PCB レイアウト手法を使用してください。

- ノイズは、回路全体やオペアンプの電源ピンを経由して、アナログ回路に伝播することがあります。バイパスコンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
 - 各電源ピンとグラウンドの間には、低 ESR の $0.1\mu F$ セラミックバイパスコンデンサを、可能な限りデバイスの近くに接続します。単一電源アプリケーションの場合は、 V_+ からグラウンドに対して 1 つのバイパスコンデンサを接続します。
- 回路のアナログ部分とデジタル部分のグラウンドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグラウンドプレーン専用です。グラウンドプレーンは熱を分散させ、EMI ノイズを拾いにくくする役割を果たします。グラウンド電流の流れに注意しながら、デジタルグラウンドとアナロググラウンドを物理的に確実に分離してください。
- 寄生カップリングを低減するため、入力トレースを電源トレースと出力トレースからできるだけ離して配置します。これらの配線を離して配置できない場合、ノイズの多い配線と平行ではなく、直交するように感度の高い配線を交差させます。
- 外付け部品は、可能な限りデバイスに近く配置します。セクション 7.4.1 に示すように、RF と RG を反転入力に近づけて配置すると、寄生容量が最小化されます。
- 入力トレースは、できる限り短くします。入力トレースは、回路の中でも最も影響を受けやすい部分であることに常に注意してください。
- 重要なトレースの周囲に、駆動される低インピーダンスのガードリングを配置することを検討してください。ガードリングを使用すると、付近に存在する、さまざまな電位のトレースからのリーク電流を大幅に低減できます。

7.4.2 レイアウト例

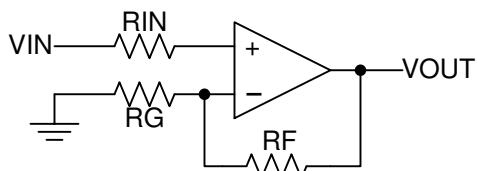


図 7-3. レイアウト回路図

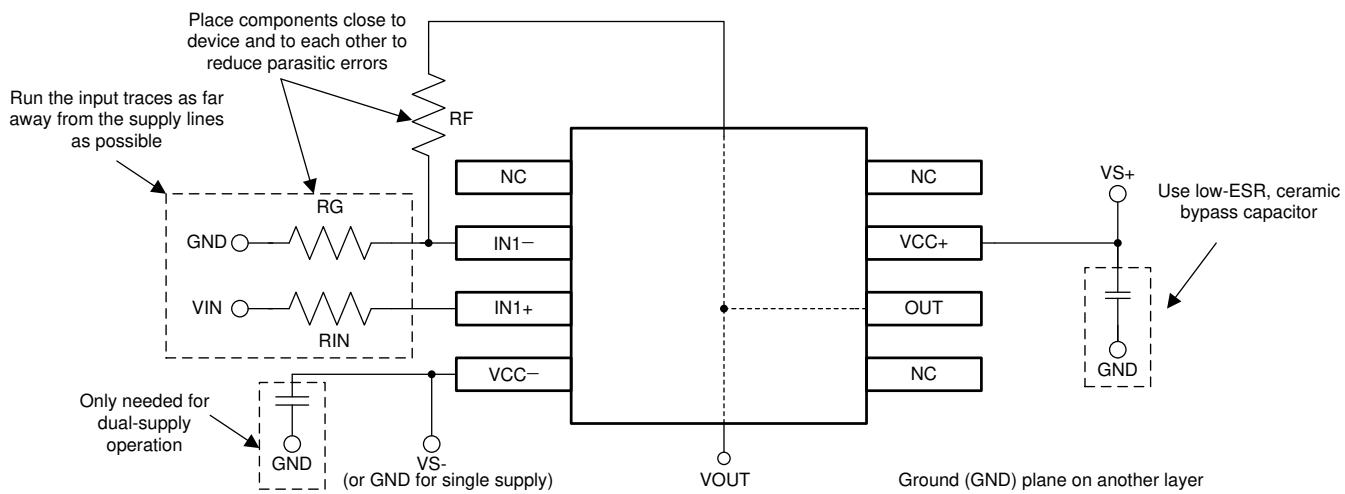


図 7-4. 非反転構成のオペアンプの回路図

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (February 2016) to Revision E (June 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 両方の $V_+ = 1.8V$ と $V_+ = 5V$ の電源電圧において、 $25^\circ C$ での標準電源電流(チャネルあたり)を $70\mu A$ から $150\mu A$ に変更.....	7
• $V_+ = 1.8V$ と $V_+ = 5V$ の両方の電源電圧において、 $25^\circ C$ での最大消費電流(チャネルあたり)を $150\mu A$ から $200\mu A$ に変更.....	7
• 全温度範囲および $V_+ = 1.8V$ 時の最大電源電流(チャネルあたり)を $200\mu A$ から $210\mu A$ に変更.....	7
• 全温度範囲および $V_+ = 5V$ 時の最大電源電流(チャネルあたり)を $200\mu A$ から $215\mu A$ に変更.....	8
• $V_+ = 1.8V$ および $V_+ = 5V$ の両方の電源電圧において、シャットダウンピンの最大推奨電圧を $0.5V$ から $0.2V$ に変更.....	9

Changes from Revision C (November 2007) to Revision D (February 2016)	Page
• 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加。.....	1
• ピン構成および機能表から DPK パッケージおよび TLV344 部品を削除.....	3

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV341AIDBVR	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	YCGE
TLV341AIDBVR.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	YCGE
TLV341AIDBVT	Obsolete	Production	SOT-23 (DBV) 6	-	-	Call TI	Call TI	-40 to 125	YCGE
TLV341AIDCKR	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	Y5E
TLV341AIDCKR.A	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	Y5E
TLV341AIDCKT	Obsolete	Production	SC70 (DCK) 6	-	-	Call TI	Call TI	-40 to 125	Y5E
TLV341IDBVR	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	YC9E
TLV341IDBVR.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	YC9E
TLV341IDCKR	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	Y4E
TLV341IDCKR.A	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	Y4E
TLV341IDCKRG4	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Y4E
TLV341IDCKRG4.A	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Y4E
TLV341IDCKT	Obsolete	Production	SC70 (DCK) 6	-	-	Call TI	Call TI	-40 to 125	Y4E
TLV341IDRLR	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(Y4A, Y4W)
TLV341IDRLR.A	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(Y4A, Y4W)
TLV342AID	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 125	TY342A
TLV342AIDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TY342A
TLV342AIDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TY342A
TLV342ID	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 125	TY342
TLV342IDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	Y6A
TLV342IDGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	Y6A
TLV342IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TY342
TLV342IDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TY342
TLV342IRUGR	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(1S8, Y6E)
TLV342IRUGR.A	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(1S8, Y6E)
TLV342IRUGRG4	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1S8
TLV342IRUGRG4.A	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1S8
TLV342SIRUGR	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(1OA, 2YE)
TLV342SIRUGR.A	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(1OA, 2YE)

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV342SIRUGRG4	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1OA
TLV342SIRUGRG4.A	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1OA

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

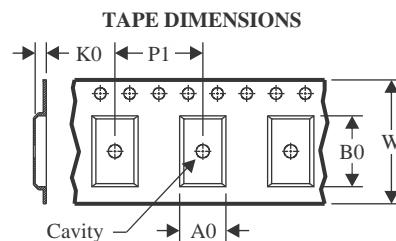
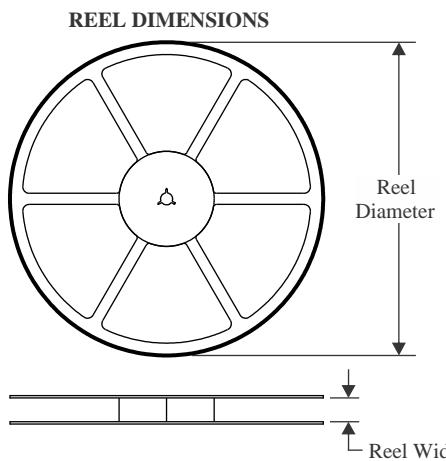
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

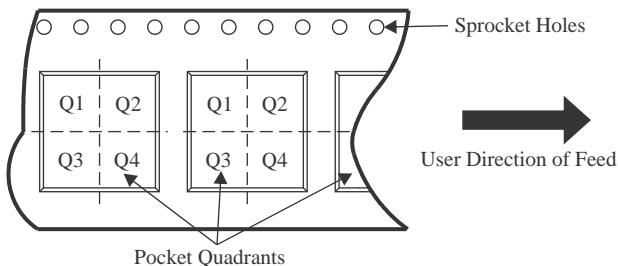
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



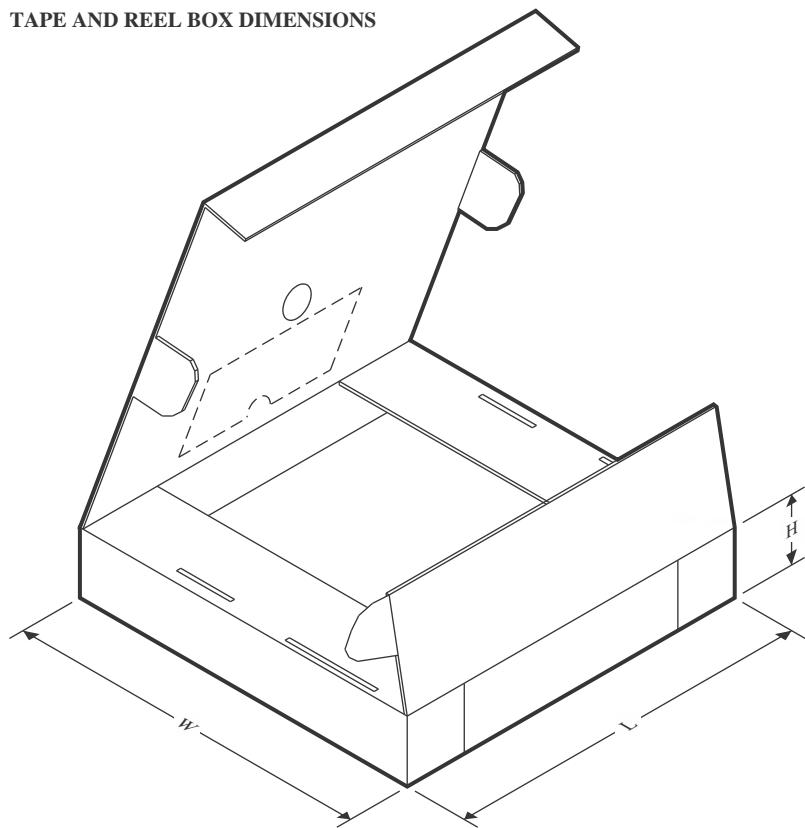
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV341AIDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV341AIDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV341IDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV341IDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV341IDCKRG4	SC70	DCK	6	3000	179.0	8.4	2.2	2.5	1.2	4.0	8.0	Q3
TLV341IDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
TLV342AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV342AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV342IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TLV342IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV342IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV342IRUGR	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1
TLV342IRUGRG4	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1
TLV342SIRUGR	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1
TLV342SIRUGRG4	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV341AIDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV341AIDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
TLV341IDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV341IDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
TLV341IDCKRG4	SC70	DCK	6	3000	200.0	183.0	25.0
TLV341IDRLR	SOT-5X3	DRL	6	4000	202.0	201.0	28.0
TLV342AIDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV342AIDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV342IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV342IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV342IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV342IRUGR	X2QFN	RUG	10	3000	210.0	185.0	35.0
TLV342IRUGRG4	X2QFN	RUG	10	3000	210.0	185.0	35.0
TLV342SIRUGR	X2QFN	RUG	10	3000	210.0	185.0	35.0
TLV342SIRUGRG4	X2QFN	RUG	10	3000	210.0	185.0	35.0

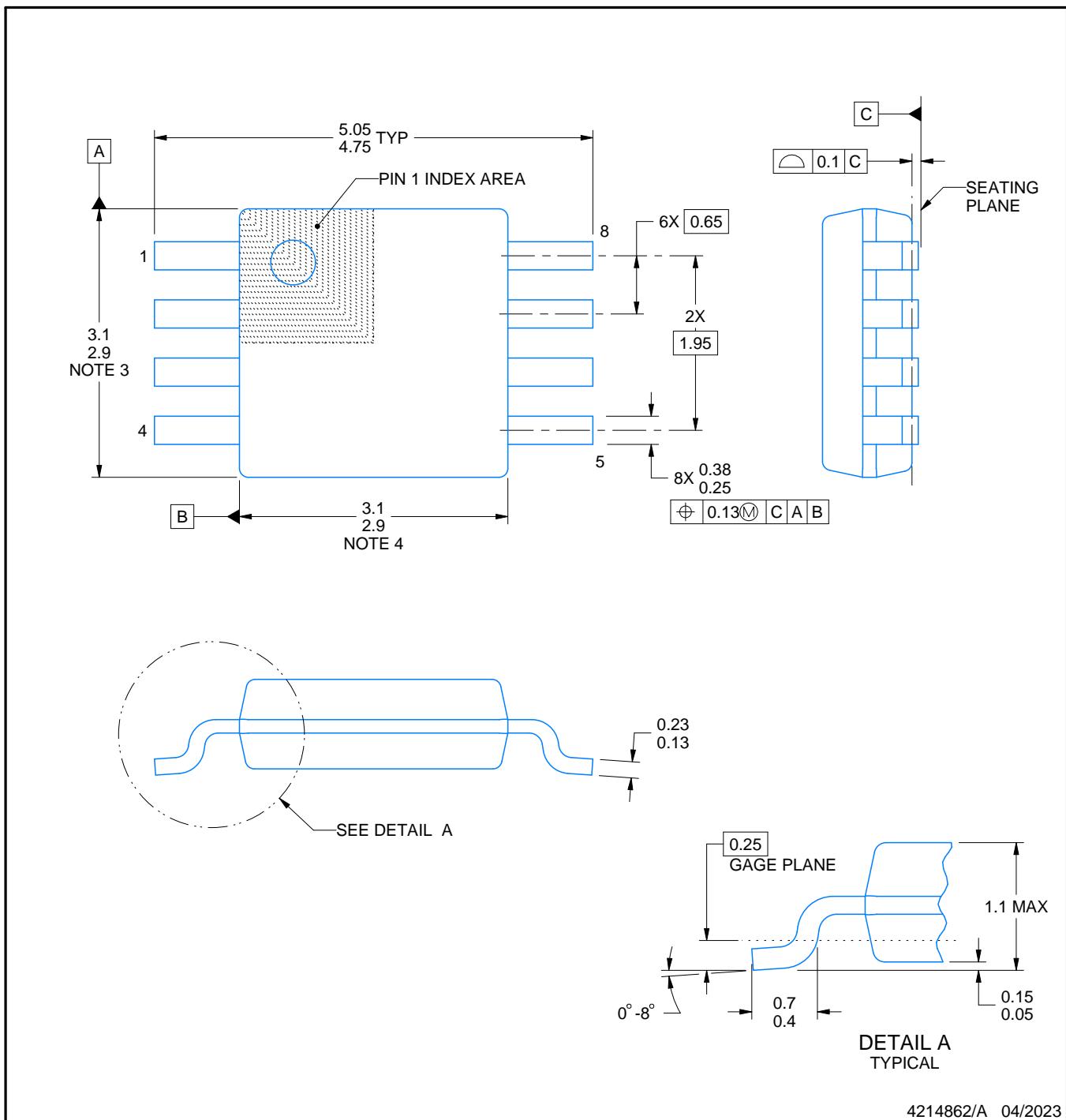
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

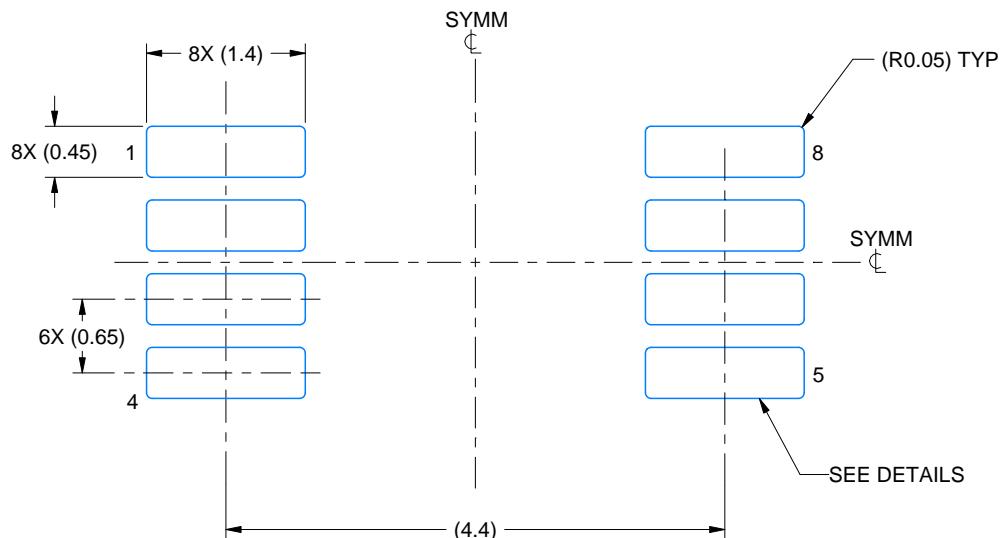
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

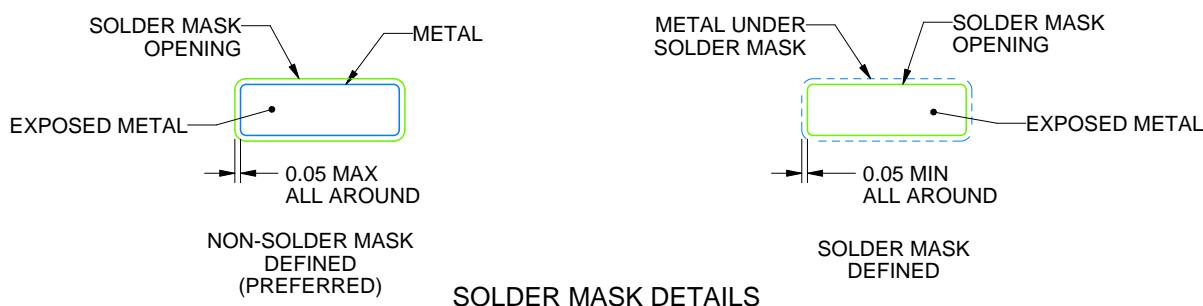
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4214862/A 04/2023

NOTES: (continued)

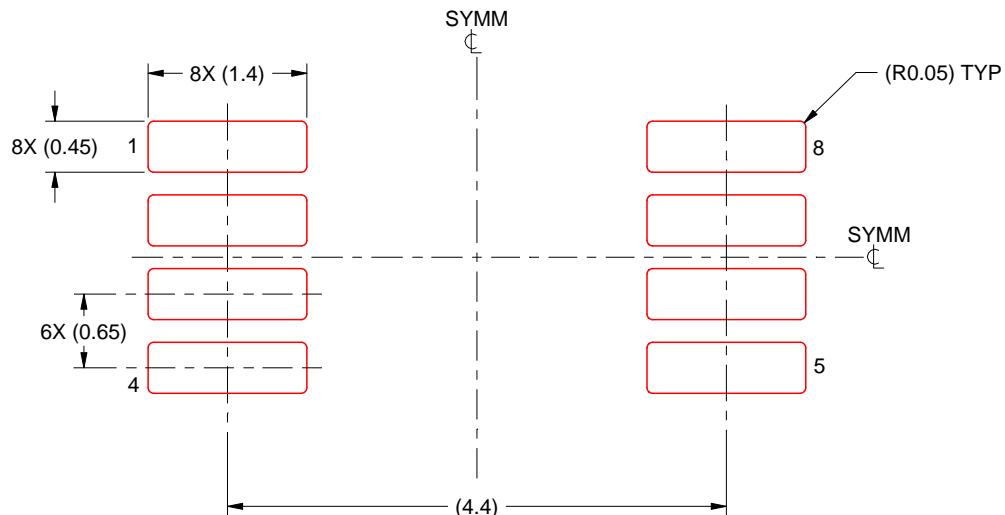
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

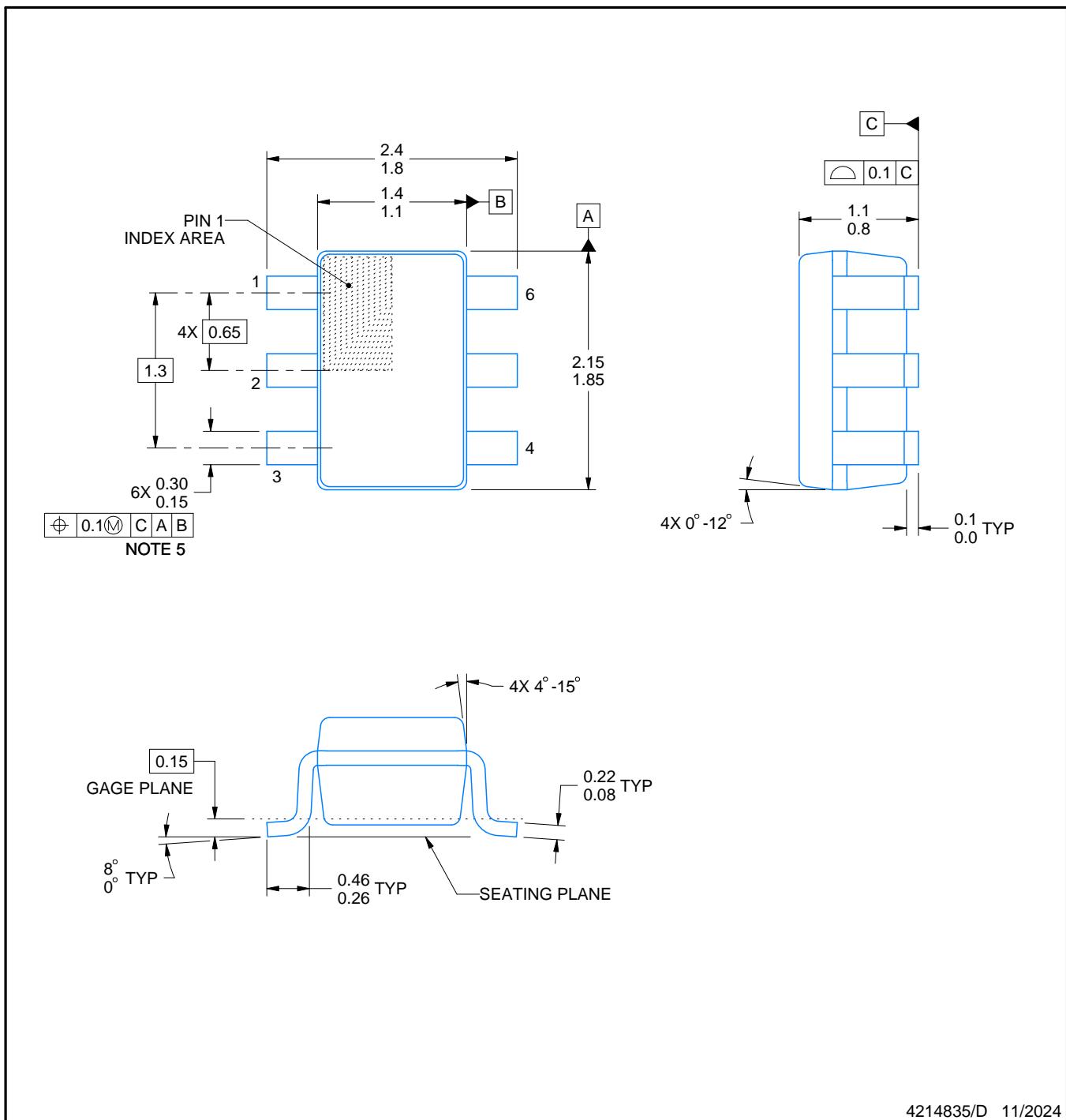
PACKAGE OUTLINE

DCK0006A



SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214835/D 11/2024

NOTES:

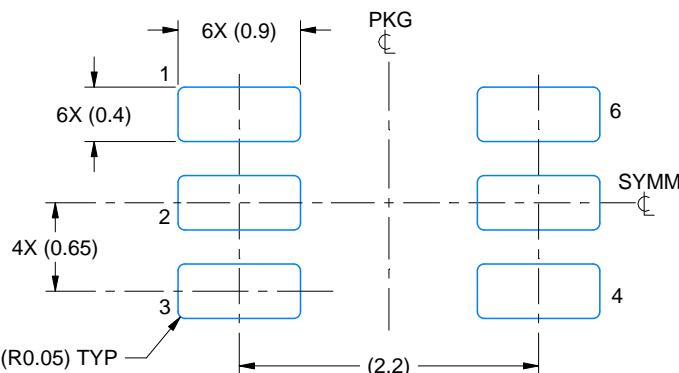
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.

EXAMPLE BOARD LAYOUT

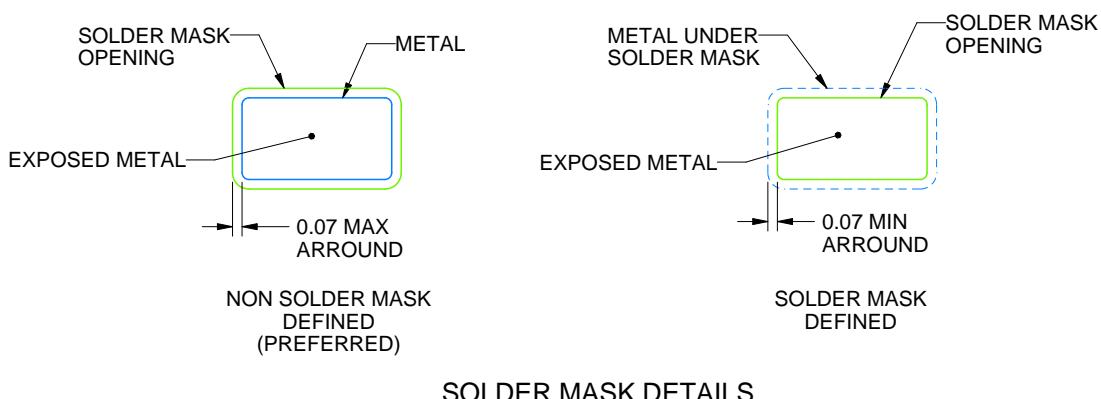
DCK0006A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



4214835/D 11/2024

NOTES: (continued)

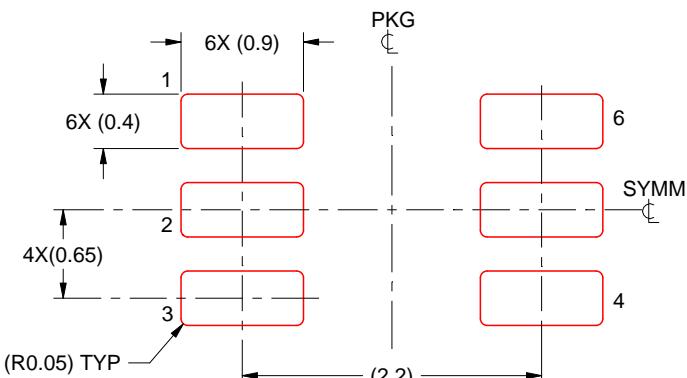
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0006A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

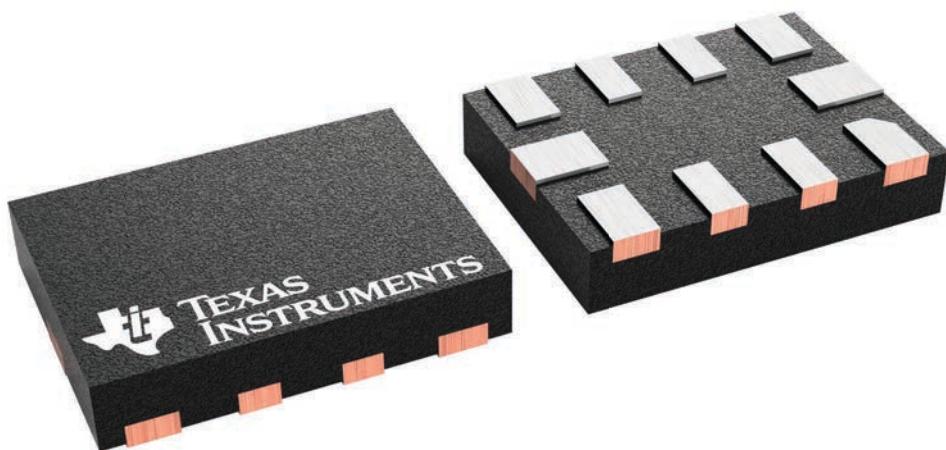
RUG 10

X2QFN - 0.4 mm max height

1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

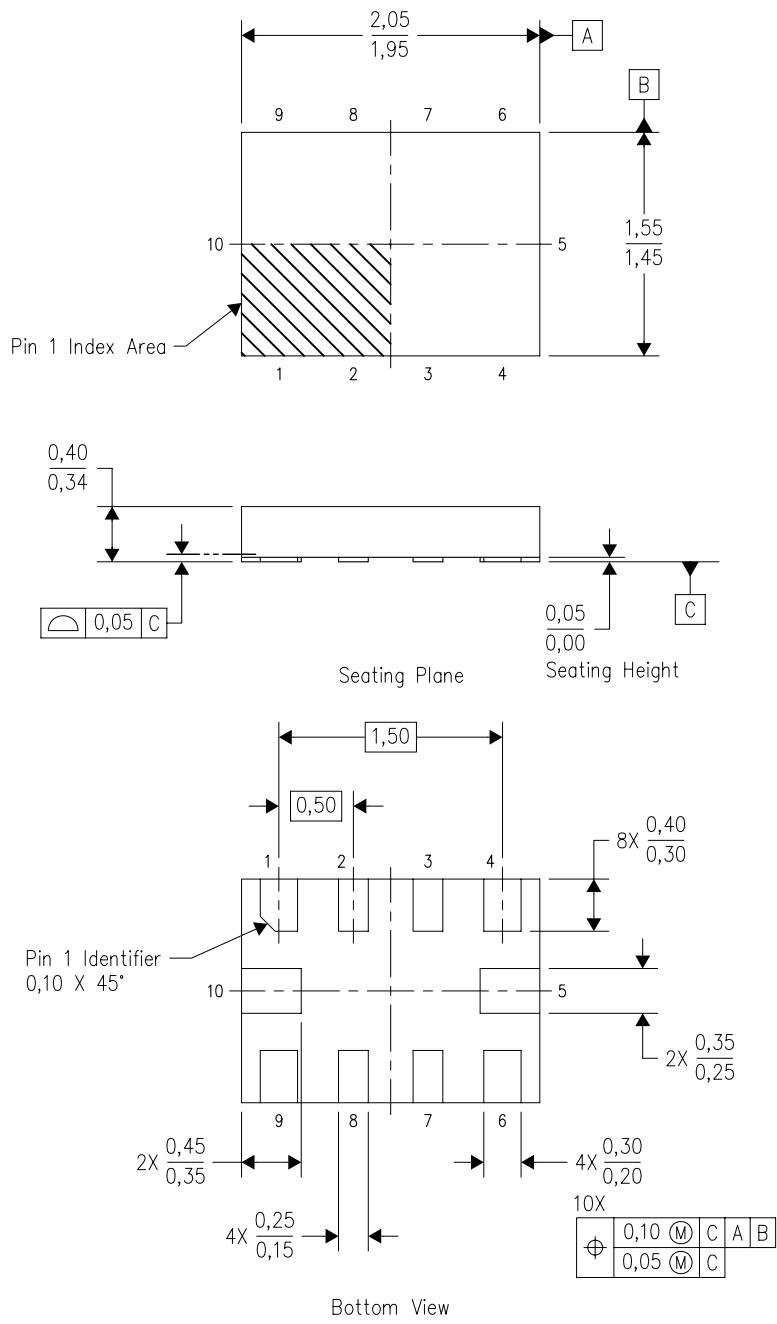


4231768/A

MECHANICAL DATA

RUG (R-PQFP-N10)

PLASTIC QUAD FLATPACK



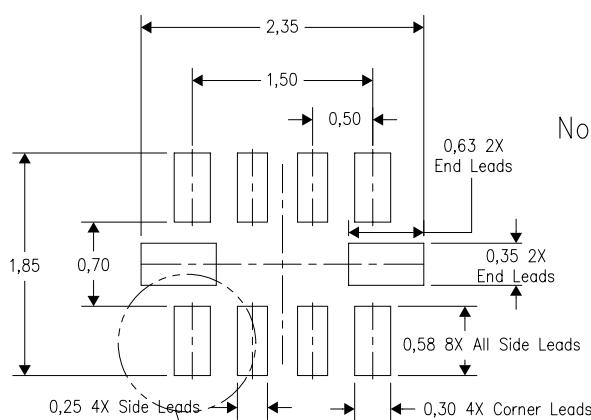
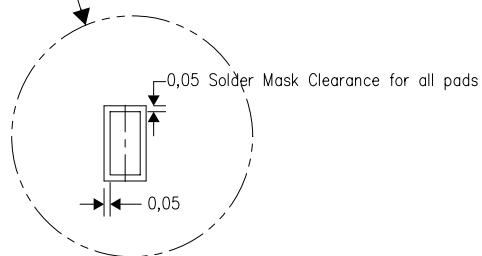
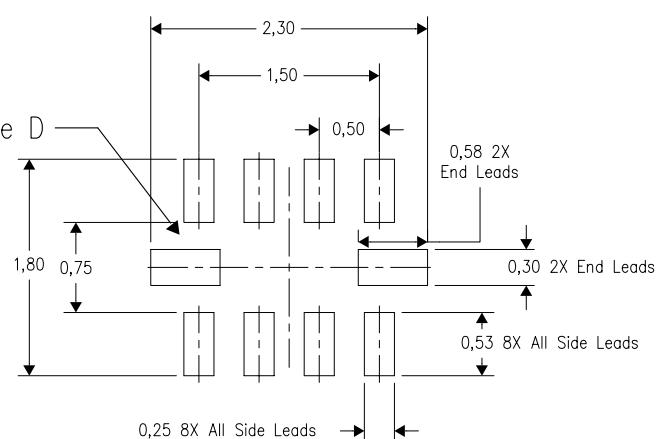
Bottom View

4208528-3/B 04/2008

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - QFN (Quad Flatpack No-Lead) package configuration.
 - This package complies to JEDEC MO-288 variation X2EFD.

RUG (R-PQFP-N10)

Example Board Layout

Example Stencil Design
(Note E)

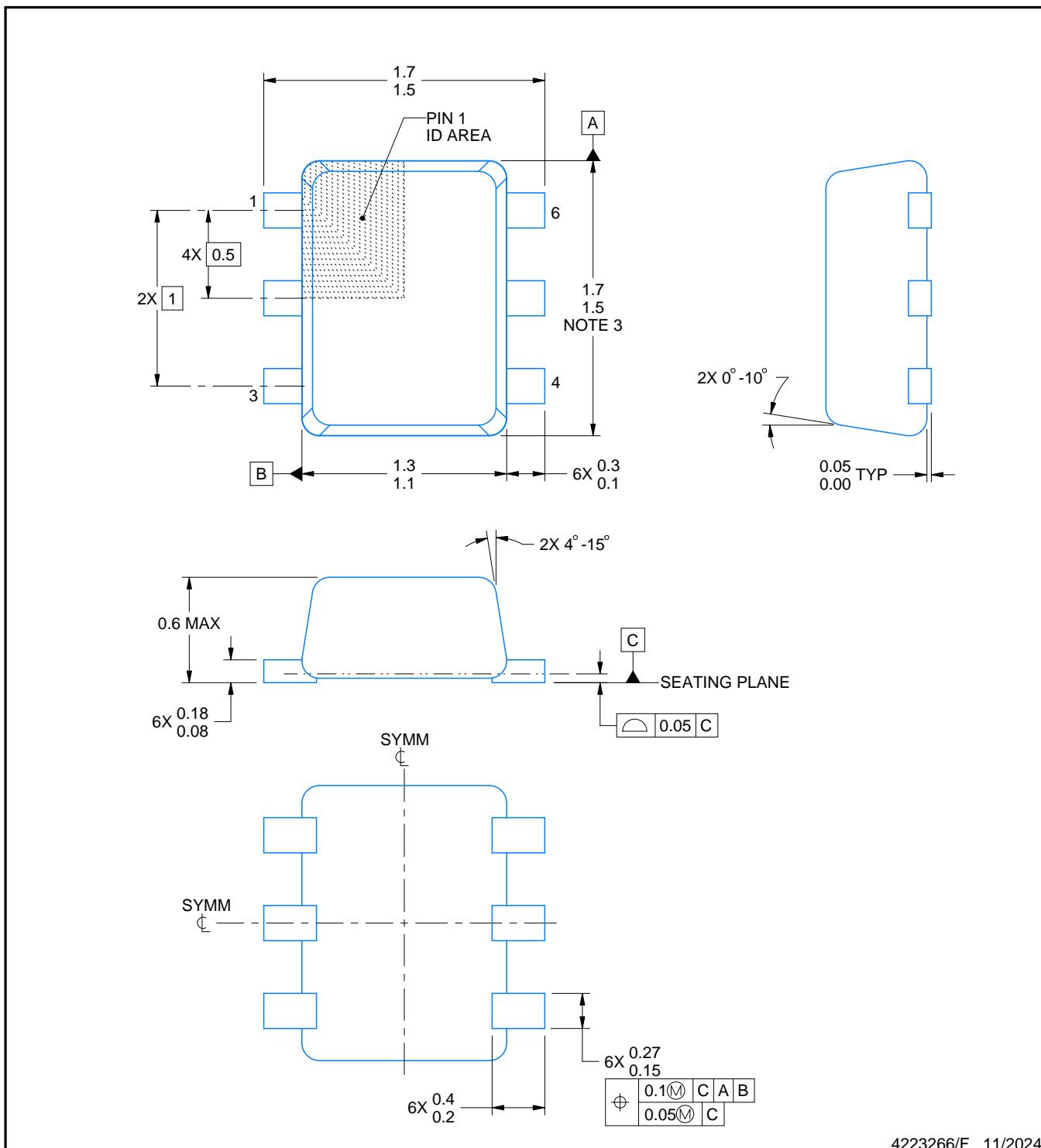
4210299-3/A 06/09

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.
 - Maximum stencil thickness 0,127 mm (5 mils). All linear dimensions are in millimeters.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - Side aperture dimensions over-print land for acceptable area ratio > 0.66. Customer may reduce side aperture dimensions if stencil manufacturing process allows for sufficient release at smaller opening.

PACKAGE OUTLINE

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



4223266/F 11/2024

NOTES:

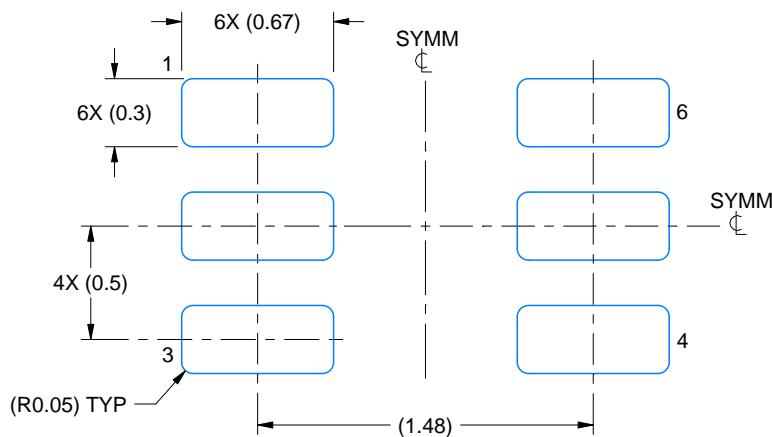
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

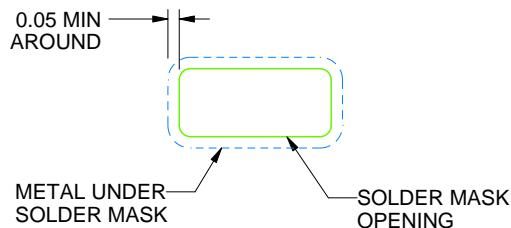
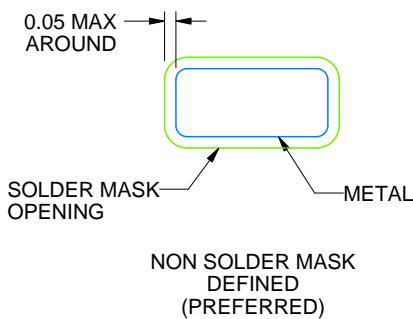
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

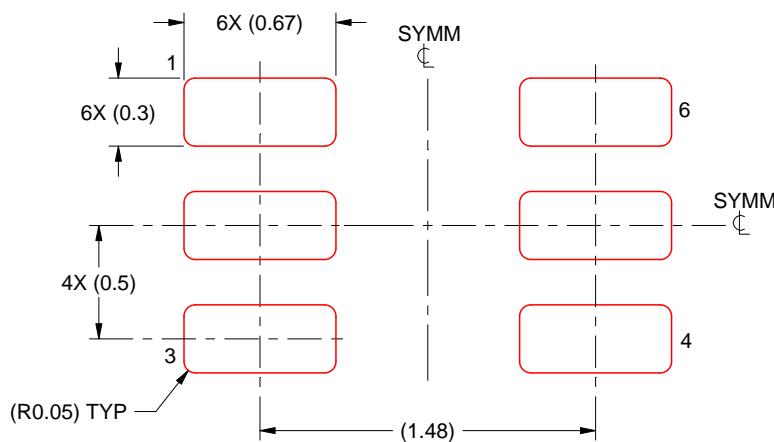
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

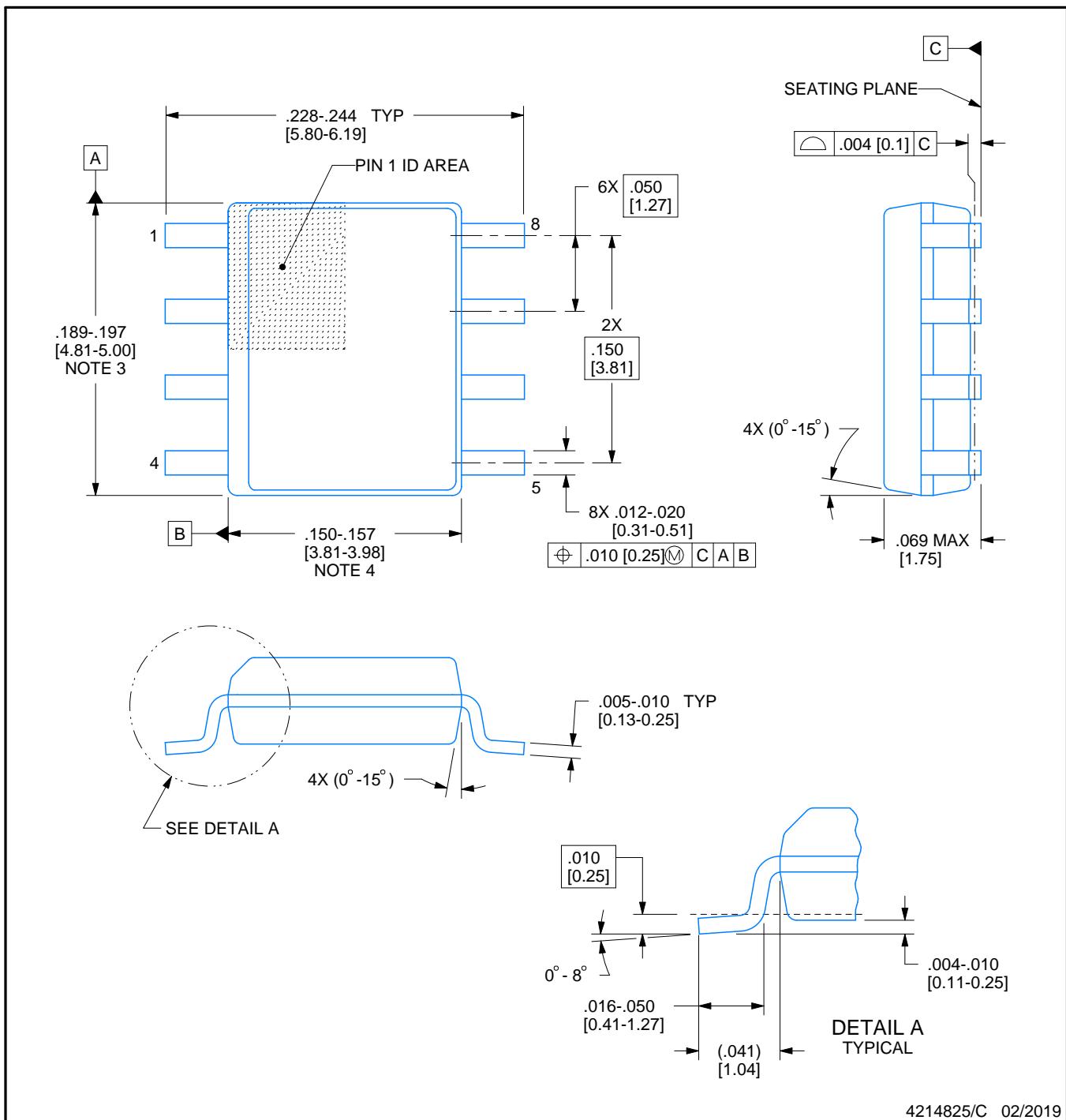
D0008A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

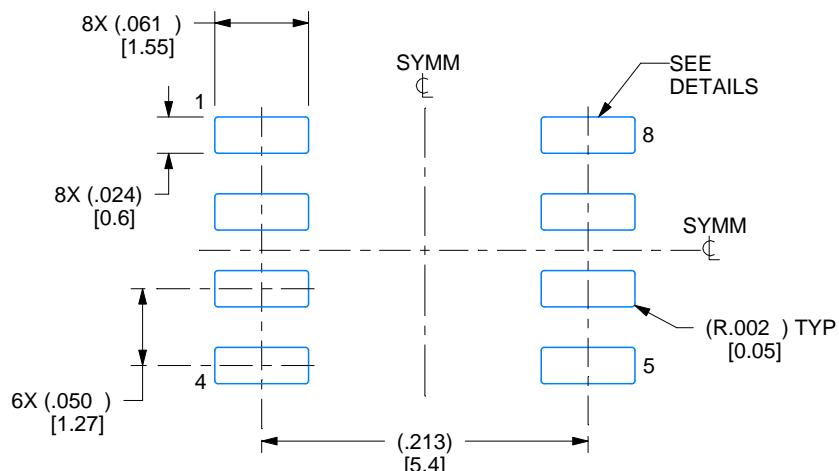
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

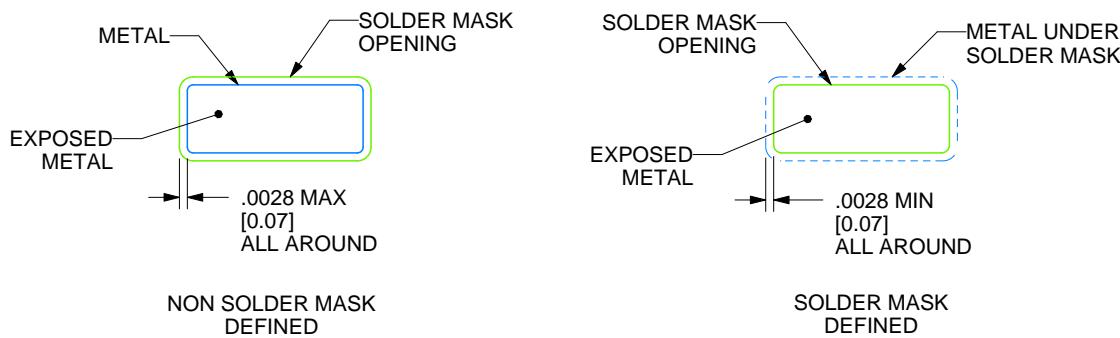
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

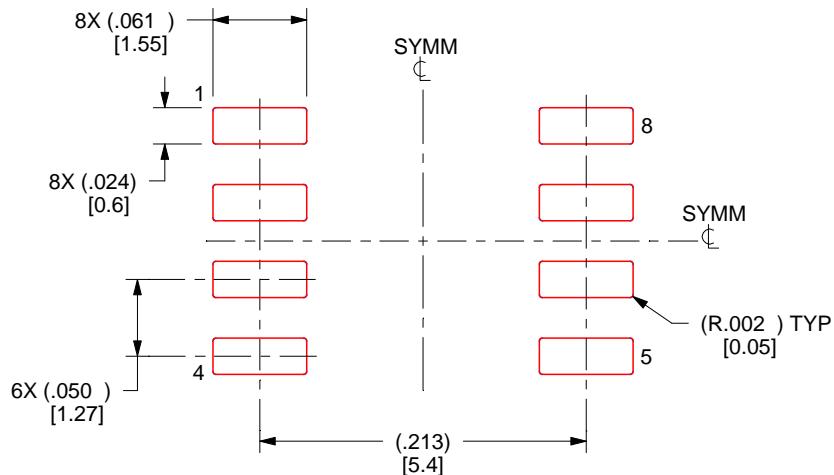
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

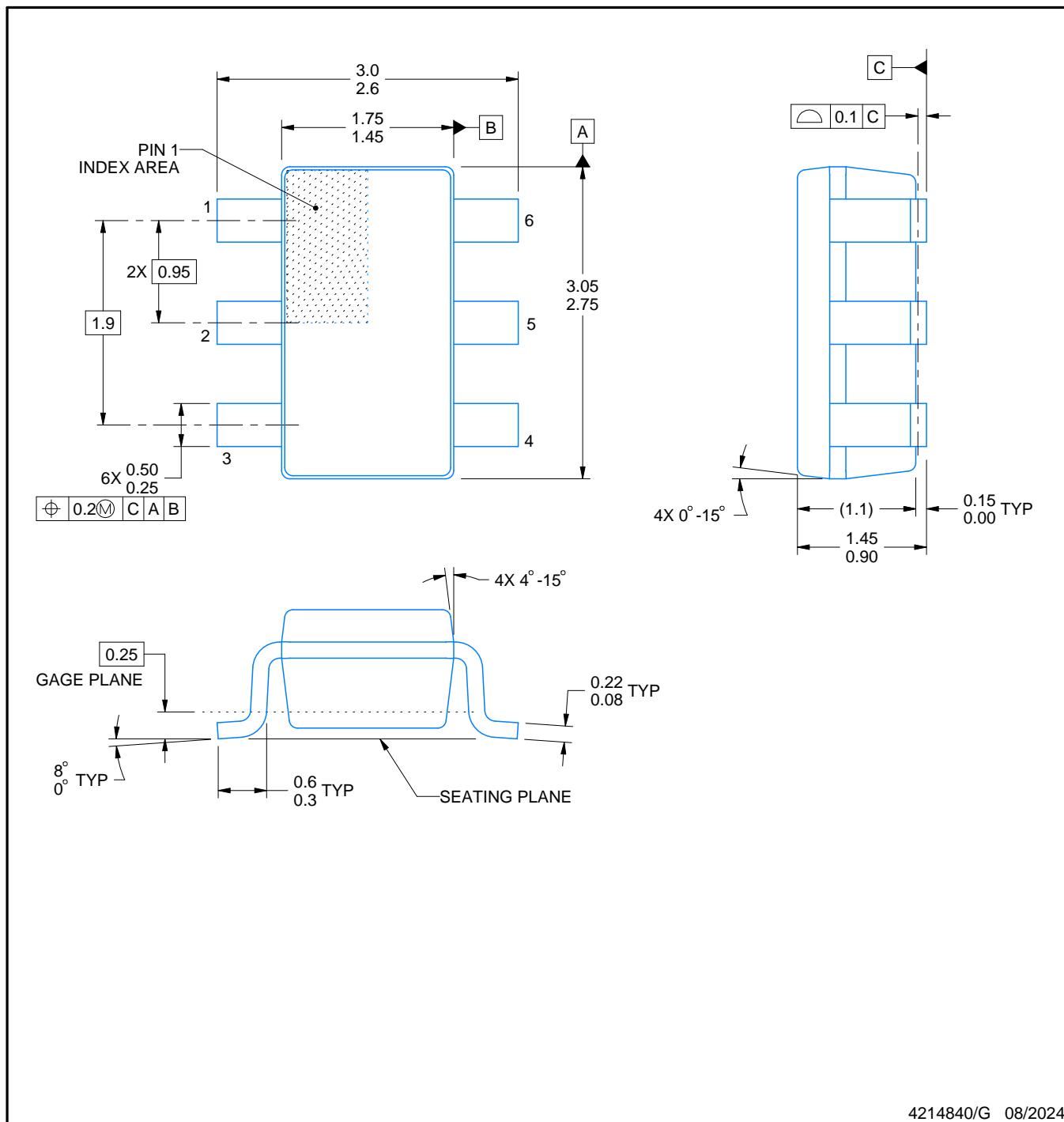
PACKAGE OUTLINE

DBV0006A



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214840/G 08/2024

NOTES:

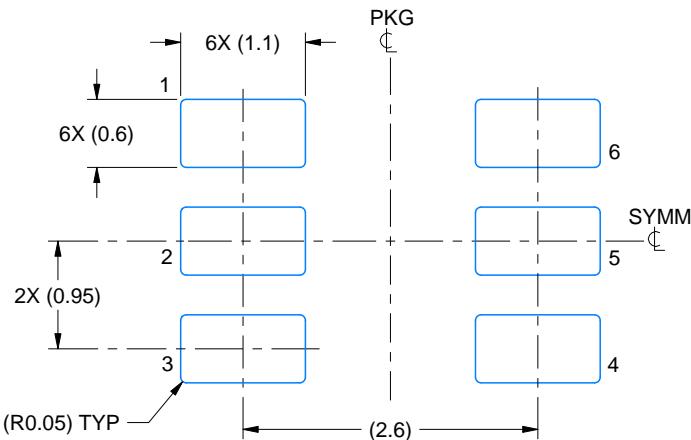
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
- Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
- Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

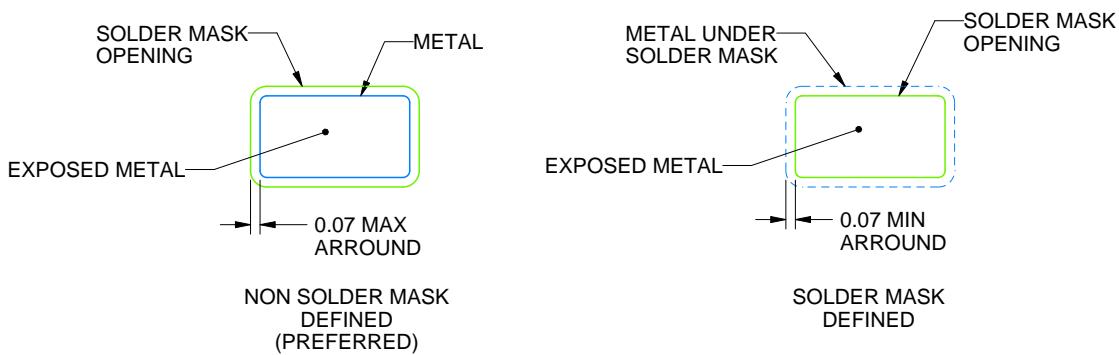
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

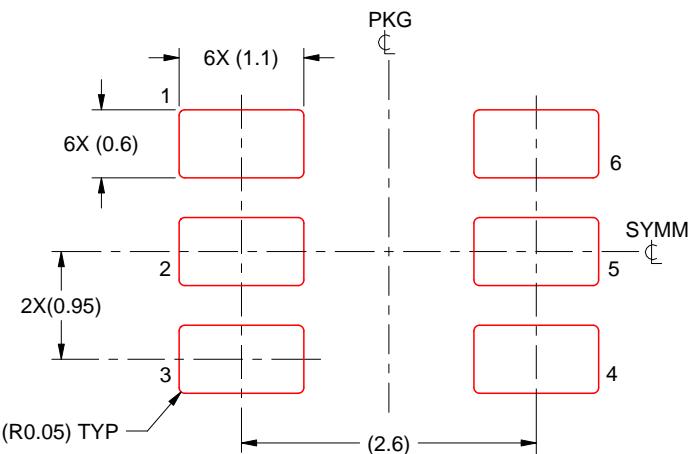
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月