

TLVx365-Q1 車載用、50MHz、ゼロクロスオーバー、低歪み、高CMRR、 RRI/O、単一電源オペアンプ

1 特長

- AEC-Q100 認定済み
 - 温度グレード 1:-40°C~+125°C
 - ゲイン帯域幅: 50 MHz
 - ゼロクロスオーバー歪みトポロジ:
 - CMRR: 115dB (標準値)
 - レールツーレール入出力
 - 電源レールを 100mV 超える入力
 - ノイズ: 4.5nV/ $\sqrt{\text{Hz}}$
 - スルーレート: 27V/ μs
 - 高速セトリング: 0.01% まで 0.2 μs
 - 精度:
 - オフセットドリフト: 2.6 $\mu\text{V}/^\circ\text{C}$ (最大値)
 - 入力バイアス電流: 20pA (最大値)
 - 動作電圧 2.2V~5.5V

2 アプリケーション

- HV/EV の DC/DC コンバータ
 - HEV/EV のインバータおよびモータ制御
 - HV/EV (ハイブリッド車と電気自動車) のオンボード充電器 (OBC) とワイヤレス充電器
 - eTurbo / 充電器
 - 車載用 HVAC (エアコン) コンプレッサ・モジュール
 - ジェスチャ

3 概要

TLV365-Q1 および TLV2365-Q1 (TLVx365-Q1) デバイスは、ゼロクロスオーバー、レールツーレール入出力の CMOS オペアンプのファミリで、低電圧およびコスト重視のアプリケーション向けに最適化されています。低ノイズ (4.5nV/ $\sqrt{\text{Hz}}$) および高速動作 (50MHz のゲイン帯域幅) であることから、これらのデバイスはローサイド電流センシング、オーディオ、シグナルコンディショニング、センサ增幅などのアプリケーションのサンプリング A/D コンバータ (ADC) を駆動するのに最適です。

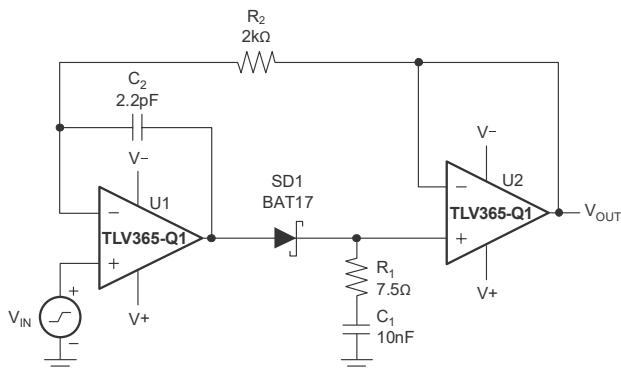
特長として、優れた同相除去比 (CMRR)、クロスオーバー歪みがない入力段、高い入力インピーダンス、およびレールツーレールの入出力スイング能力が挙げられます。入力同相範囲には、負と正の電源の両方が含まれています。出力電圧のスイングは、レールの 12mV の範囲内です。

TLVx365-Q1 は、-40°C～+125°Cでの動作が規定されています。

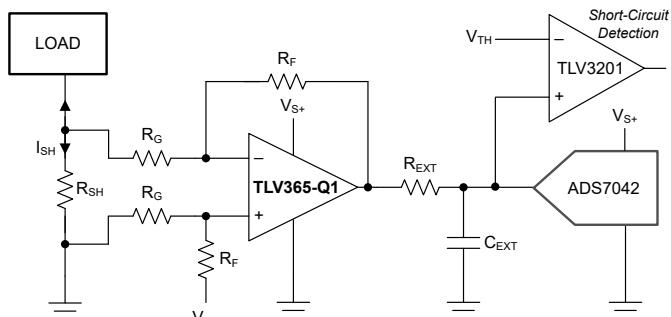
製品情報

技術情報		
部品番号	チャネル数	パッケージ ⁽¹⁾
TLV365-Q1	シングル	DBV (SOT-23, 5)
TLV2365-Q1	デュアル	D (SOIC, 8) DGK (VSSOP, 8)

(1) 詳細については、セクション 11 を参照してください。



高速セトリング ピーク検出器



電流センシング用の TLVx365-Q1



このリースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: SBOSAB8

目次

1 特長	1	7.4 デバイスの機能モード	13
2 アプリケーション	1	8 アプリケーションと実装	14
3 概要	1	8.1 アプリケーション情報	14
4 デバイス比較表	2	8.2 代表的なアプリケーション	16
5 ピン構成および機能	3	8.3 電源に関する推奨事項	18
6 仕様	4	8.4 レイアウト	19
6.1 絶対最大定格	4	9 デバイスおよびドキュメントのサポート	20
6.2 ESD 定格	4	9.1 デバイス サポート	20
6.3 推奨動作条件	4	9.2 ドキュメントのサポート	21
6.4 熱に関する情報	4	9.3 ドキュメントの更新通知を受け取る方法	21
6.5 電気的特性	5	9.4 サポート・リソース	21
6.6 代表的特性	6	9.5 商標	21
7 詳細説明	10	9.6 静電気放電に関する注意事項	21
7.1 概要	10	9.7 用語集	21
7.2 機能ブロック図	10	10 改訂履歴	21
7.3 機能説明	11	11 メカニカル、パッケージ、および注文情報	22

4 デバイス比較表

デバイス	入力タイプ	オフセットドリフト の代表値 (μ V/ C)	最小ゲイン安定 (V/V)	I_Q / チャネル代 表値 (mA)	ゲイン帯域幅 (MHz)	スルーレート (V/μs)	電圧ノイズ (nV/ \sqrt{Hz})
TLVx365-Q1	CMOS	0.5	1	4.6	50	27	4.5
OPAx607-Q1	CMOS	0.3	6	0.9	50	24	3.8
OPAx365-Q1	CMOS	1	1	4.6	50	25	4.5

5 ピン構成および機能

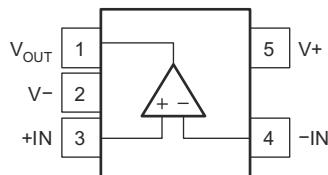


図 5-1. TLV365-Q1DBV パッケージ、5 ピン SOT-23 (上面図)

表 5-1. ピンの機能 : TLV365-Q1

ピン		タイプ	説明
名称	番号		
-IN	4	入力	負(反転)入力信号
+IN	3	入力	正(非反転)入力信号
V-	2	—	負(最低)電源
V+	5	—	正(最高)電源
V _{OUT}	1	出力	出力

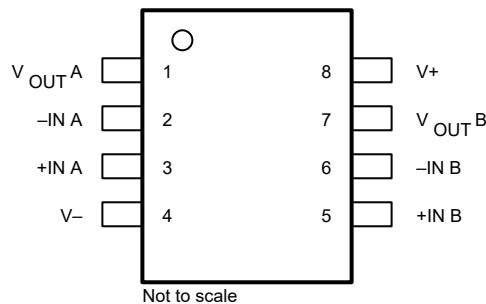


図 5-2. TLV2365-Q1 D パッケージ、8 ピン SOIC および DGK パッケージ、8 ピン VSSOP (上面図)

表 5-2. ピンの機能 : TLV2365-Q1

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	負(反転)入力信号、チャネル A
-IN B	6	入力	負(反転)入力信号、チャネル B
+IN A	3	入力	正(非反転)入力信号、チャネル A
+IN B	5	入力	正(非反転)入力信号、チャネル B
V-	4	—	負(最低)電源
V+	8	—	正(最高)電源
V _{OUT} A	1	出力	出力、チャネル A
V _{OUT} B	7	出力	出力、チャネル B

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_S	電源電圧、 $V_S = (V+) - (V-)$		6	V
V_I	入力電圧	$(V-) - 0.5$	$(V+) + 0.5$	V
V_{ID}	差動入力電圧		± 5	V
I_I	連続入力電流 ⁽²⁾		± 10	mA
I_{SC}	出力短絡 ⁽³⁾	連続		
T_A	動作温度	-40	125	°C
T_J	接合部温度		150	°C
T_{stg}	保管温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外での動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の範囲内であっても推奨動作条件の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 入力ピンは、電源レールに対してダイオードクランプされています。電源レールを超えて 0.5V 以上スイングする入力信号の電流は、電流を 10mA 以下に抑える必要があります。
- (3) グランドへの短絡、パッケージあたり 1 台のアンプ。

6.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	± 2000	V
		± 1000	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_S	電源電圧、 $V_S = (V+) - (V-)$	2.2	5.5	5.5	V
T_A	規定温度	-40	25	125	°C

6.4 热に関する情報

熱評価基準 ⁽¹⁾		TLV365-Q1		TLV2365-Q1		単位
		DBV (SOT-23)	D (SOIC)	DGK (VSSOP)		
		5 ピン	8 ピン	8 ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗	179	140	179	°C/W	
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	78	89	71	°C/W	
$R_{\theta JB}$	接合部から基板への熱抵抗	46	80	101	°C/W	
Ψ_{JT}	接合部から上面への特性パラメータ	19	28	13	°C/W	
Ψ_{JB}	接合部から基板への特性パラメータ	46	80	100	°C/W	

- (1) 従来および最新の熱評価基準の詳細については、『半導体およびIC パッケージの熱評価基準』アプリケーション レポートを参照してください。
[spra953](#)

6.5 電気的特性

at $V_S = 2.2 \text{ V}$ to 5.5 V , $T_A = 25^\circ\text{C}$, $R_L = 10 \text{ k}\Omega$, $V_{CM} = V_{OUT}$ = 中電圧、およびゲイン = 1 V/V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧		± 0.4	± 1.9		mV
dV_{OS}/dT	入力オフセット電圧ドリフト	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	± 0.5	± 2.6		$\mu\text{V}/^\circ\text{C}$
PSRR	電源除去比	$V_S = 2.2 \text{ V} \sim 5.5 \text{ V}$, $T_A = -40 \sim +125^\circ\text{C}$	100			dB
入力バイアス電流						
I_B	入力バイアス電流	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	± 5	± 20		pA
ノイズ						
	入力電圧ノイズ (ピークツーピーク)	$f = 0.1 \text{ Hz} \sim 10 \text{ Hz}$	5.4			μV_{PP}
e_N	入力電圧ノイズ密度	$f = 500 \text{ kHz}$	4.5			$\text{nV}/\sqrt{\text{Hz}}$
i_n	入力電流ノイズ密度	$f = 1 \text{ kHz}$	5.8			$\text{fA}/\sqrt{\text{Hz}}$
入力電圧						
V_{CM}	同相電圧		$(V-) - 0.1$	$(V+) + 0.1$		V
CMRR	同相除去比	$(V-) - 100 \text{ mV} < V_{CM} < (V+) + 100 \text{ mV}$ $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	100	115		dB
				110		
入力インピーダンス						
C_{IN}	差動		5			pF
	同相		1			
開ループ ゲイン						
A_{OL}	開ループ電圧ゲイン	$R_L = 10 \text{ k}\Omega$, $(V-) + 0.1 \text{ V} < V_{OUT} < (V+) - 0.1 \text{ V}$	100	120		dB
		$R_L = 10 \text{ k}\Omega$, $T_A = -40 \sim +125^\circ\text{C}$		113		
		$R_L = 600 \Omega$, $(V-) + 0.2 \text{ V} < V_{OUT} < (V+) - 0.2 \text{ V}$	100	120		
		$R_L = 600 \Omega$, $T_A = -40 \sim +125^\circ\text{C}$		110		
	位相マージン		56			°
周波数応答 ($V_S = 5 \text{ V}$)						
GBW	ゲイン帯域幅積		50			MHz
SR	スルー レート		27			$\text{V}/\mu\text{s}$
t_S	セトリング時間	0.1%, 4-V ステップ	0.15			μs
		0.01%, 4-V ステップ	0.2			
	オーバードрайブの復帰時間	$V_{IN+} \times \text{ゲイン} > V_S$	< 0.1			μs
THD + N	全高調波歪 + ノイズ ⁽¹⁾	$V_{OUT} = 4 \text{ V}_{PP}$, $f = 1 \text{ kHz}$, $R_L = 600 \Omega$	0.00025			%
	チャネル間クロストーク (TLV2365-Q1 のみ)	$V_{OUT} = 2 \text{ V}_{PP}$, $f = 100 \text{ kHz}$	108			dBc
出力						
	電源レールからの出力電圧スイング		12			mV
		$TLV365-\text{Q1}, T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	12			
		$TLV2365-\text{Q1}, T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	15			
I_{SC}	短絡電流		± 85			mA
	容量性負荷駆動能力		図 6-16 を参照してください			
Z_O	オープンループ出力インピーダンス	$f = 1 \text{ MHz}$, $I_O = 0 \text{ mA}$	40			Ω
電源						
I_Q	アンプごとの静止電流	$I_O = 0 \text{ mA}$	4.6	5.8		mA
		$I_O = 0 \text{ mA}$, $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$			6.3	

(1) $f = 1 \text{ kHz}$ でのローパスフィルタの帯域幅は 20 kHz 。

6.6 代表的特性

at $T_A = 25^\circ\text{C}$, $V_S = 5 \text{ V}$, $R_L = 10 \text{ k}\Omega$, およびゲイン = 1 V/V (特に記述のない限り)

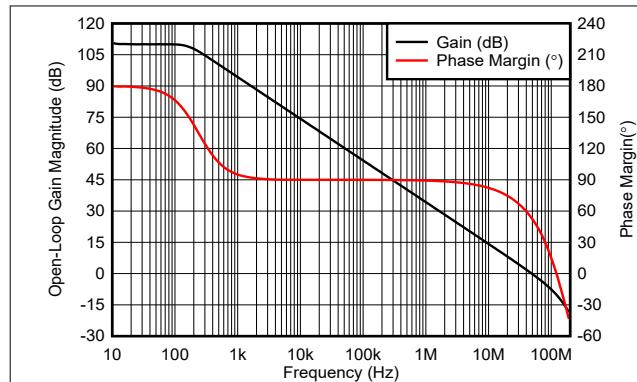


図 6-1. 開ループ ゲインおよび位相と周波数との関係

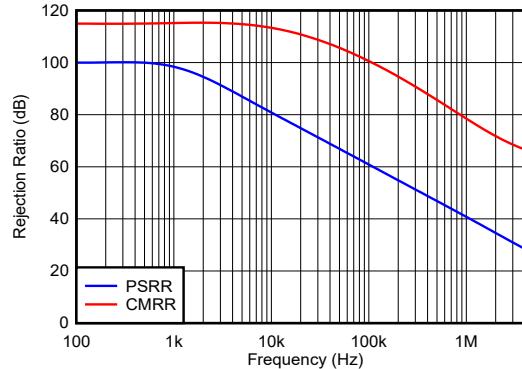


図 6-2. 電源および同相除去比

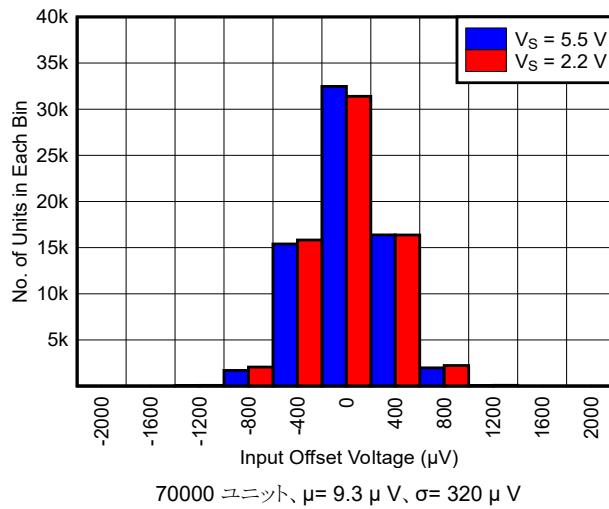


図 6-3. オフセット電圧の生産分布

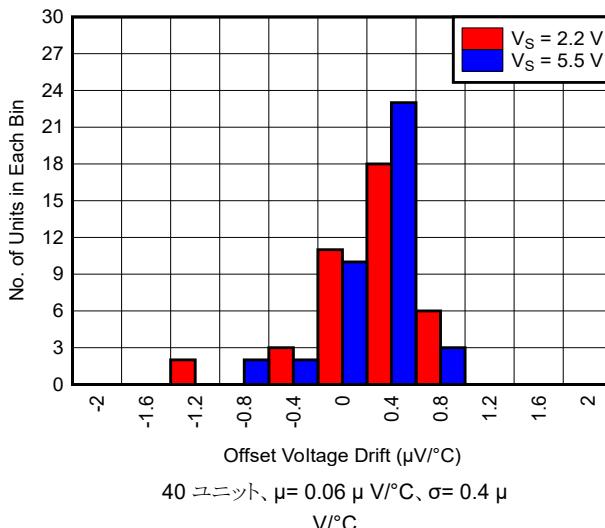


図 6-4. オフセット電圧ドリフトの分布

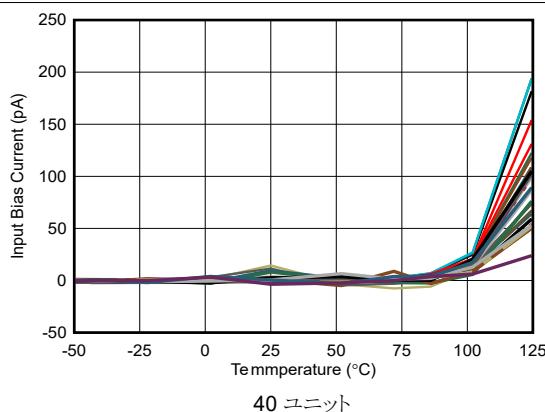


図 6-5. 入力バイアス電流と温度との関係

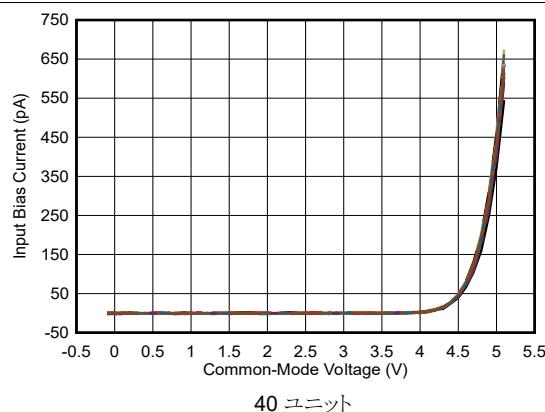


図 6-6. 入力バイアス電流と同相電圧との関係

6.6 代表的特性 (続き)

at $T_A = 25^\circ\text{C}$, $V_S = 5 \text{ V}$, $R_L = 10 \text{ k}\Omega$, およびゲイン = 1 V/V (特に記述のない限り)

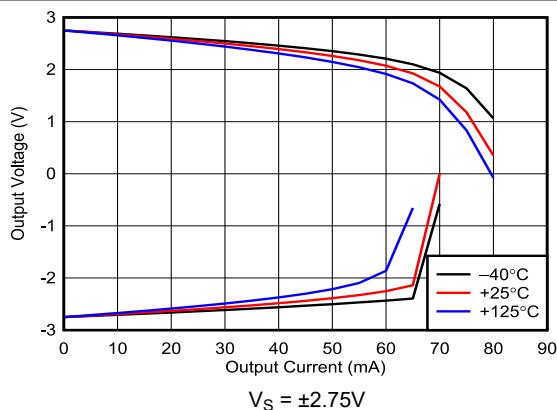


図 6-7. 出力電圧と出力電流との関係

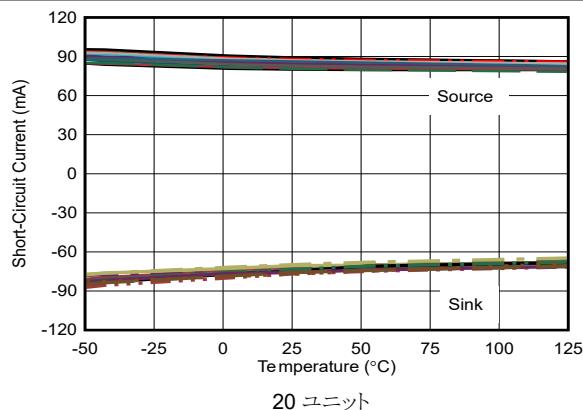


図 6-8. 短絡電流と温度との関係

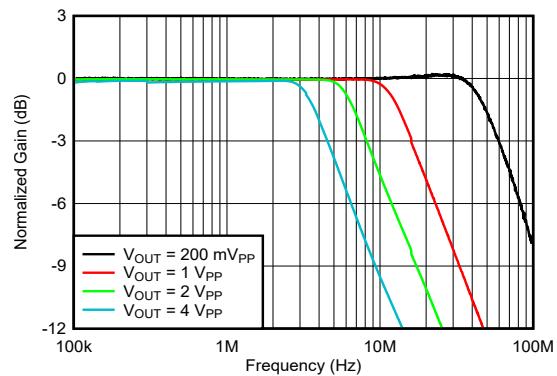


図 6-9. 周波数応答と出力電圧との関係

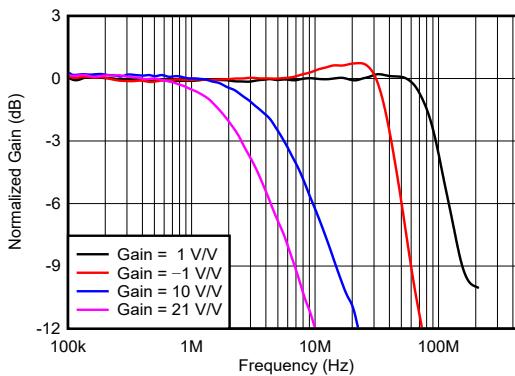


図 6-10. 小信号周波数応答とゲインとの関係

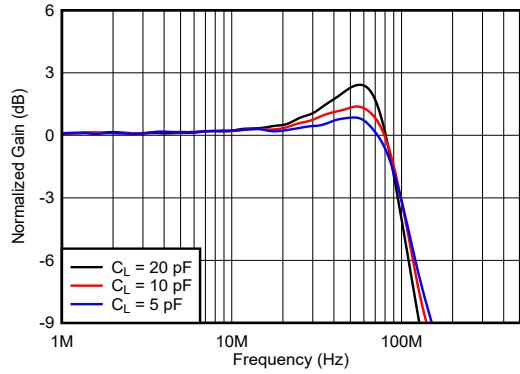


図 6-11. 小信号応答と容量性負荷との関係

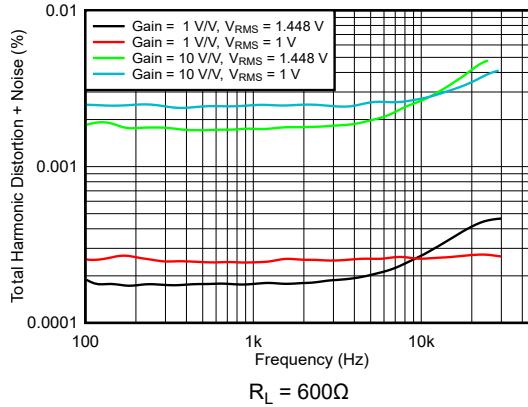


図 6-12. 全高調波歪 + ノイズと周波数との関係

6.6 代表的特性 (続き)

at $T_A = 25^\circ\text{C}$ 、 $V_S = 5 \text{ V}$ 、 $R_L = 10 \text{ k}\Omega$ 、およびゲイン = 1 V/V (特に記述のない限り)

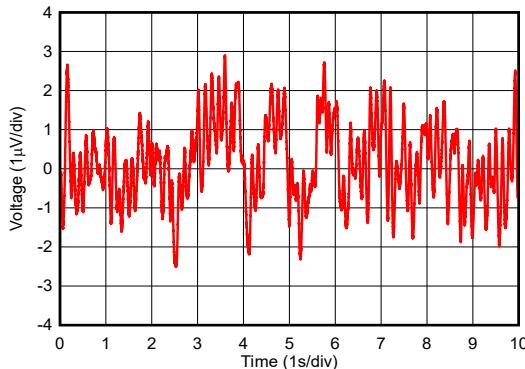


図 6-13. 0.1Hz~10Hz の入力電圧ノイズ

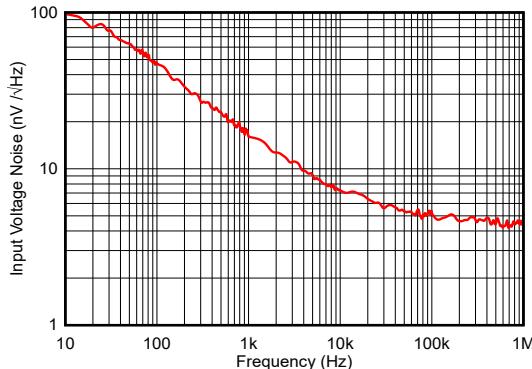


図 6-14. 入力電圧ノイズスペクトル密度

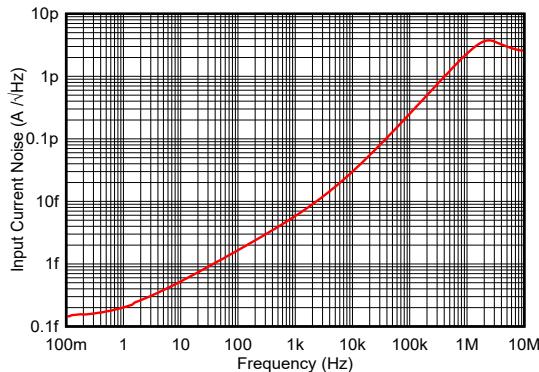
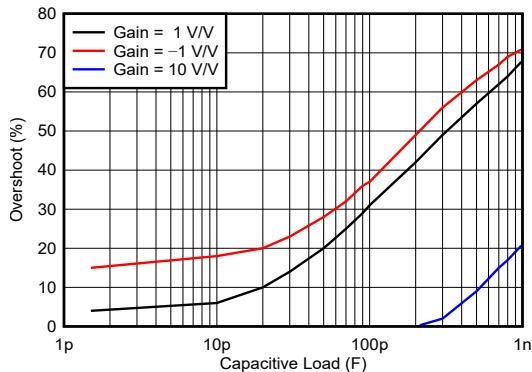


図 6-15. 入力電流ノイズスペクトル密度



ゲイン ≠ 1V/V の場合、 $R_F = 1 \text{ k}\Omega$ です
ゲイン = 1V/V の場合、 $R_F = 0 \Omega$ です

図 6-16. オーバーシュートと容量性負荷との関係

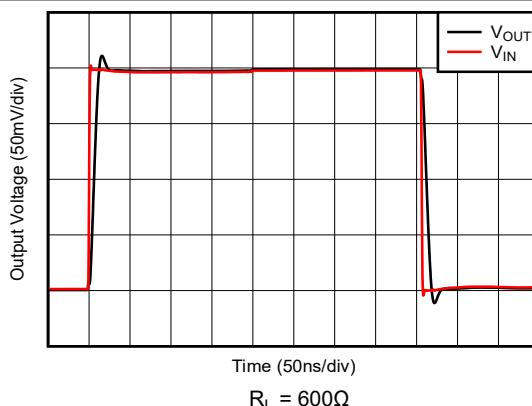


図 6-17. 小信号ステップ応答

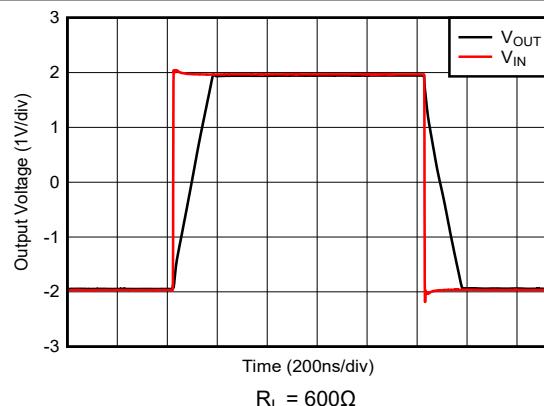


図 6-18. 大信号ステップ応答

6.6 代表的特性 (続き)

at $T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{ V}$ 、 $R_L = 10\text{ k}\Omega$ 、およびゲイン = 1 V/V (特に記述のない限り)

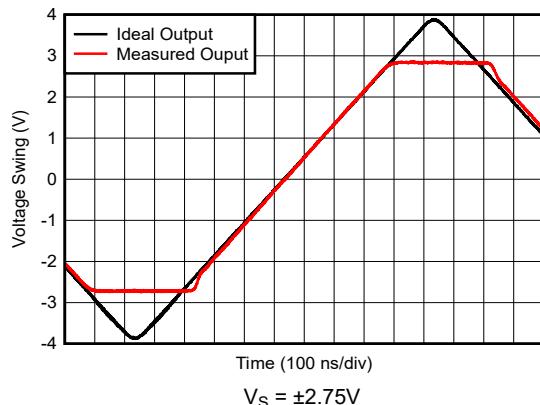


図 6-19. オーバードライブ復帰時間

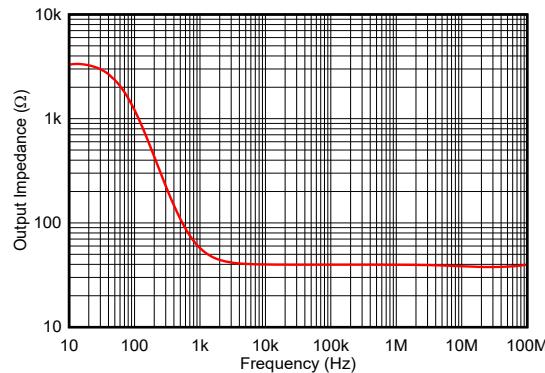


図 6-20. 開ループ出力インピーダンス

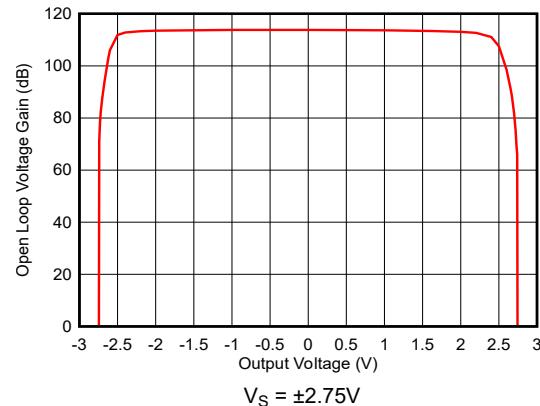


図 6-21. 開ループの電圧ゲインと出力電圧との関係

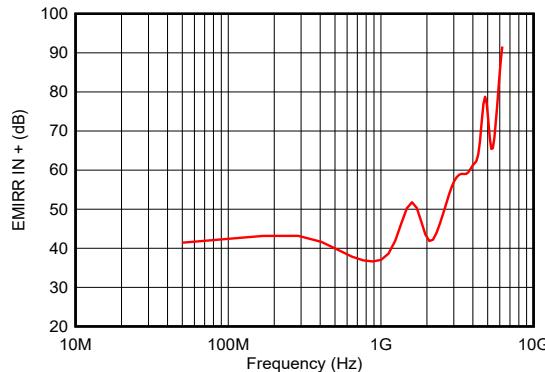


図 6-22. 非反転入力を基準とする電磁干渉除去比 (EMIRR+) と周波数との関係

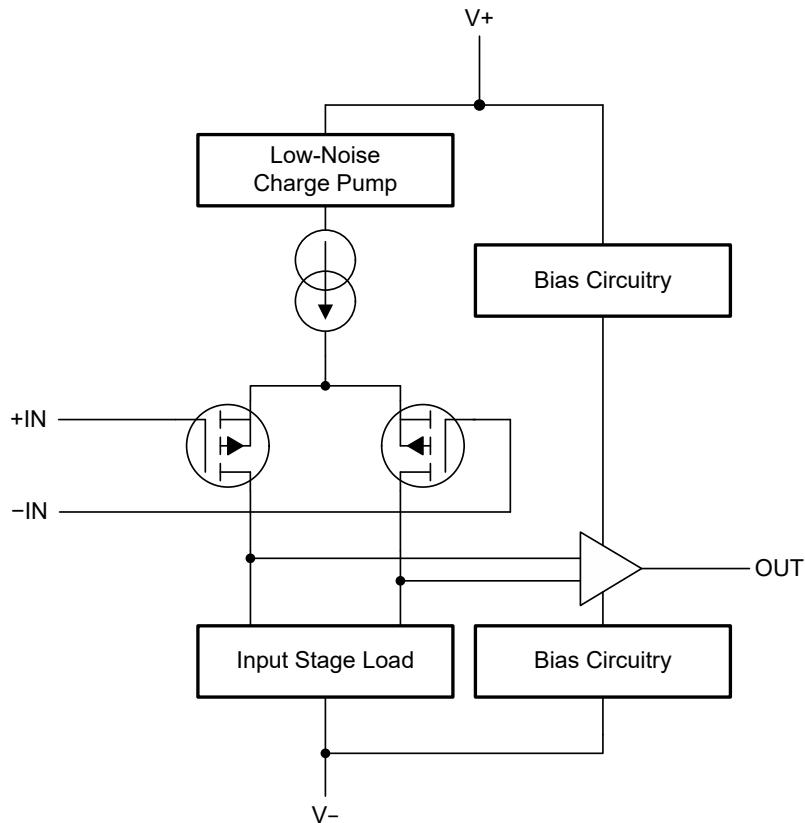
7 詳細説明

7.1 概要

TLVx365-Q1 シリーズのオペアンプは、レールツーレールの入出力と広い帯域幅を特長としているため、ADC を駆動するための非常に優れた選択肢です。他の代表的なアプリケーションとして、シグナルコンディショニング、ローサイド電流センシング、信号バッファリング、センサアンプなどがあります。TLVx365-Q1 は、単一電源またはデュアル電源で動作します。

さらに TLVx365-Q1 は、アンプのパラメータは $2.2V \sim 5.5V$ で完全に規定されています。仕様の多くは、 $-40^{\circ}C$ から $125^{\circ}C$ まで適用されます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 レール ツー レール入力

TLVx365-Q1 製品ファミリは真のレール ツー レール入力動作を特長とし、最小 $\pm 1.1V$ (2.2V) の電源電圧で動作します。独自のゼロクロスオーバー入力トポロジにより、多くのレール ツー レール相補段オペアンプ特有の、入力オフセット遷移領域が除去されます。図 7-1 に示されているように、このトポロジにより、TLVx365-Q1 は同相入力範囲全体にわたって優れた同相性能 ($CMRR > 120dB$ 、標準値) を実現し、両方の電源レールを 100mV 上回る範囲まで拡張できます。ADC を駆動する場合は、TLVx365-Q1 の線形性の高い V_{CM} 範囲により、システムの直線性性能が低下しません。レールツー レール入力回路の概略回路図については、セクション 7.2 を参照してください。

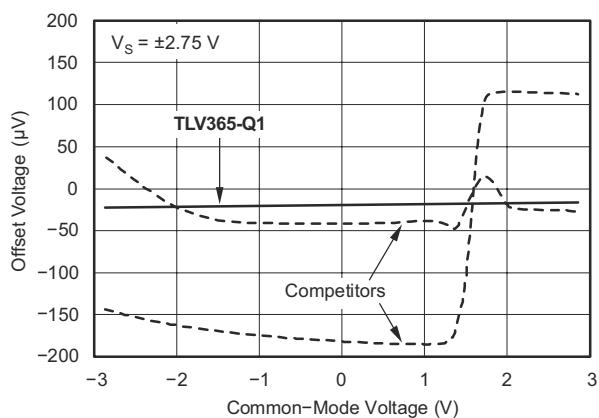


図 7-1. TLVx365-Q1 同相範囲全体にわたる線形オフセット

7.3.2 入力およびESD 保護

図 7-2 は、TLVx365-Q1 にはすべてのピンに内部静電気放電 (ESD) 保護回路が組み込まれていることを示しています。入力ピンおよび出力ピンの場合、主にこの保護回路は、入力ピンと電源ピンの間に接続された電流ステアリングダイオードで構成されます。これらの ESD 保護ダイオードは、電流が 10mA に制限されている限り、回路内で入力オーバードライブも保護します。セクション 6.1 も参照してください。駆動入力に直列入力抵抗を追加して入力電流を制限する方法を、図 7-3 に示します。追加された抵抗はアンプ入力での熱ノイズの原因となるため、ノイズに敏感なアプリケーションでは抵抗を最小値に保つ必要があります。

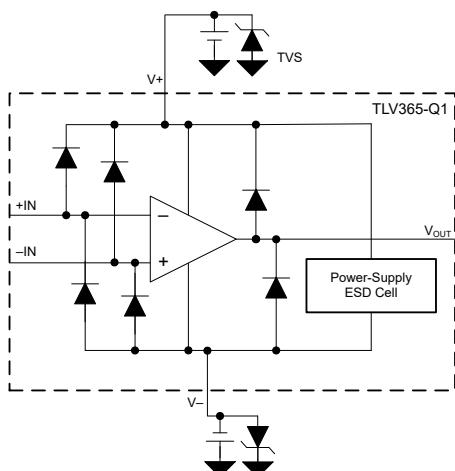


図 7-2. ESD 保護方式

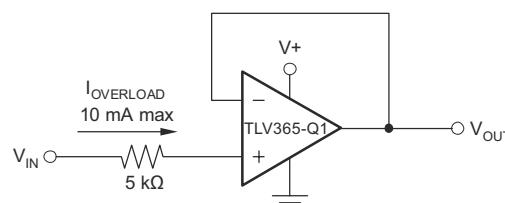


図 7-3. 入力電流保護

7.3.3 容量性負荷の駆動

TLVx365-Q1 は、容量性負荷の駆動が必要なアプリケーションで使用するように設計されています。容量性負荷を駆動するユニティゲインバッファ構成のオペアンプは、より高いゲインで動作するアンプよりも不安定になる傾向があります。容量性負荷は、オペアンプの出力インピーダンスと相まって、位相マージンを劣化させる極を帰還ループ内に形成します。容量性負荷が大きくなるにつれて、位相マージンの劣化は大きくなります。この劣化は、図 6-16 の容量性負荷の増加に伴うピークの増加で観測されます。

容量性負荷駆動の向上 に、ユニティゲインで動作するアンプの容量性負荷駆動能力を高める 1 つの手法として、小さな抵抗 R_{ISO} を出力と直列に挿入することを示しています。この抵抗は、大容量性負荷に伴うオーバーシュートとリンギングを大幅に低減します。

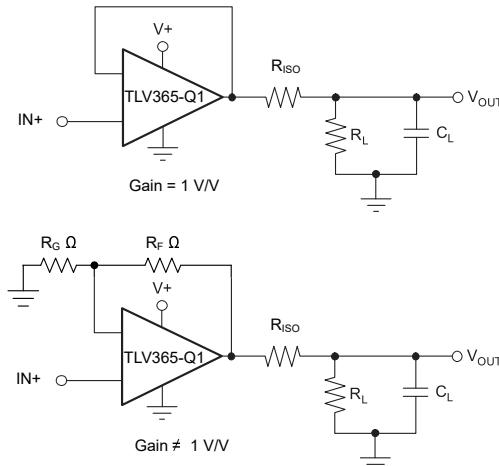
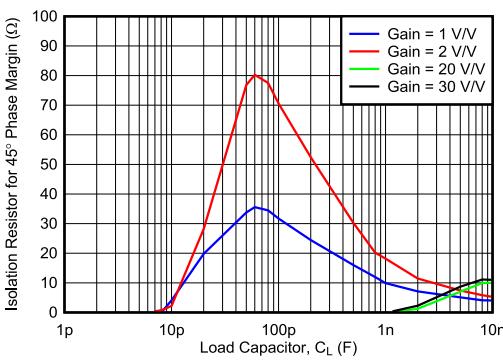


図 7-4. 容量性負荷駆動の向上

この手法によって起こりうる 1 つの問題は、追加された直列抵抗 (R_{ISO}) と、容量性負荷と並列に接続されたすべての抵抗 (R_L) によって分圧器が形成されることです。この分圧器は、出力スイングを低減させる出力ゲイン誤差も生じさせます。この分圧器に起因する誤差は、わずかなものです。たとえば、負荷抵抗 $R_L = 10 \text{ k}\Omega$ 、 $R_{ISO} = 20 \Omega$ の場合、ゲイン誤差はわずか約 0.2% です。

次の図に、各種容量性負荷に対して TLVx365-Q1 の出力に接続する推奨絶縁抵抗 (R_{ISO}) を示します。TLVx365-Q1 は、高いゲインで絶縁抵抗を必要とせずに、より高い容量性負荷を駆動できます。



ゲイン > 1V/V の場合、 $R_F = 1 \text{ k}\Omega$ です

ゲイン = 1V/V の場合、 $R_F = 0 \Omega$ です

図 7-5. 推奨絶縁抵抗と容量性負荷との関係

7.3.4 アクティブフィルタ

TLVx365-Q1 は、広帯域幅、高速スルーレート、低ノイズ、単一電源オペアンプを必要とするアクティブ フィルタ アプリケーションに最適です。図 7-6 に、マルチフィードバック (MFB) トポロジを使用した 500kHz、2 次、ローパス フィルタを示します。これらのコンポーネントは、バターワース応答を最大限フラットにするよう選択されています。カットオフ周波数を超えると、ロールオフは -40dB/dec になります。バターワース応答は、ADC の前で使用されるアンチエイリアシング フィルタなど、予測可能なゲイン特性を必要とするアプリケーション用に設計されています。

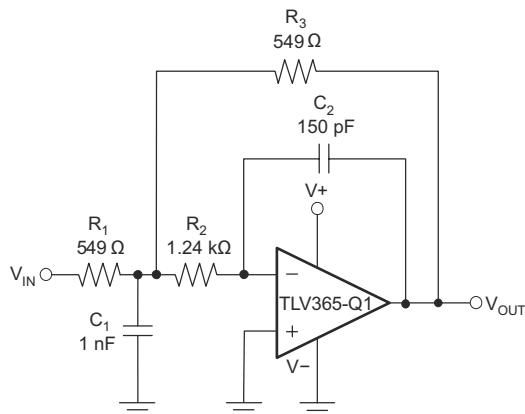


図 7-6. 2 次、バターワース、500kHz、ローパス フィルタ

MFB フィルタを検討するとき、入力に対して出力が反転していることがあります。この反転が不要な場合は、次のいずれかのオプションを使用して非反転出力を実現できます。

- 反転アンプの追加
- 2 次 MFB 段をさらに追加します
- サレンキーなどの非反転フィルタトポロジの使用

図 7-7 に、サレンキー方式の回路を示します。

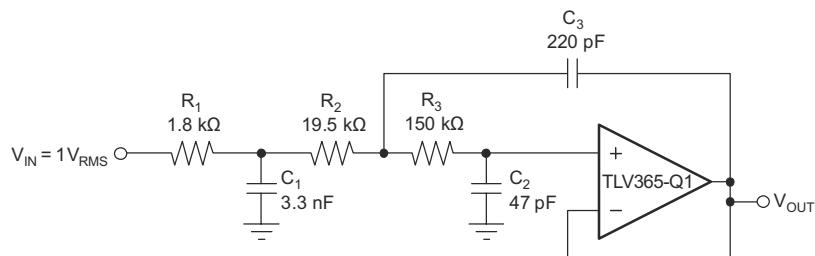


図 7-7. 3 ピン、20kHz のサレンキー フィルタとして構成

7.4 デバイスの機能モード

TLVx365-Q1 はシングルモードで動作します。これらのデバイスは、ユニポーラ電源、分割および対称型のバイポーラ電源 (例: $\pm 2.5\text{V}$)、または分割および非対称電源 (例: $+4\text{V}$ および -1V) で構成できます。TLVx365-Q1 には、パワーダウン モードまたは低消費電力モードはありません。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インストルメンツの製品仕様に含まれるものではなく、テキサス・インストルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TLVx365-Q1 は、優れた DC および AC 性能を実現します。これらのデバイスは最大 5.5V の電源で動作し、真のレーレツーレール機能を備えた超低入力バイアス電流と 50MHz の帯域幅を実現します。

8.1.1 オーバードライブ復帰性能

TLVx365-Q1 ファミリは、出力が V+ または V- 電源を十分に超えて駆動されると、オーバードライブの回復が非常に優れています。ローサイド電流センシング構成で構成した場合 (図 8-1 を参照)、電源グランドのグランドバウンスの結果、またはシャント抵抗 R_{SH} の両端で測定される ≤ 0 -A 電流の結果、オペアンプ (TLVx365-Q1) の出力はグランド以下に駆動されることがよくあります。TLVx365-Q1 は、100ns 未満のオーバードライブイベントから回復することができます。図 8-2 に、同じカテゴリの TLVx365-Q1 と一般的なオペアンプとのオーバードライブ回復性能の比較を示します。

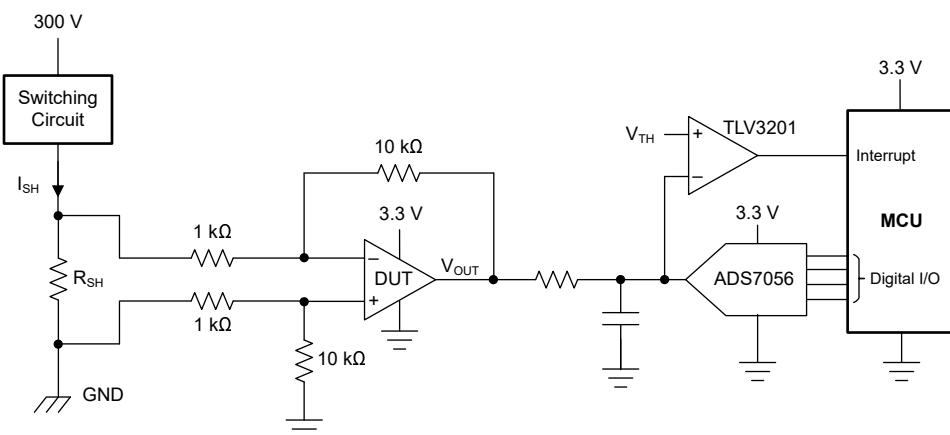


図 8-1. ローサイド電流センシング アプリケーション回路

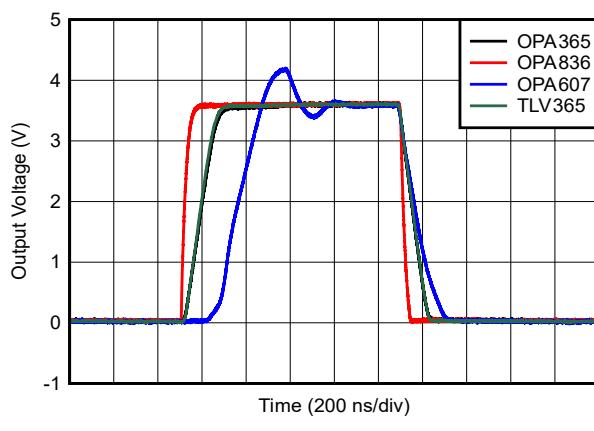


図 8-2. TLVx365-Q1 オーバードライブ復帰時間

8.1.2 0V の出力レベルを達成する

特定の単一電源アプリケーションでは、オペアンプ出力を 0V ~ 正のフルスケール電圧までスイングし、高い精度を保つ必要があります。例えば、0V ~ 3.3V の入力範囲を持つ単一電源 ADC を駆動するオペアンプがあります。出力負荷が非常に小さいレールツーレール出力アンプは、出力レベルを 0V (または上限では V_+) 以内に達成できますが、真の 0V ではありません。さらに、0V からの偏差は必要な負荷電流が増加すると大きくなるだけです。この増加した偏差は、CMOS 出力段の制限の結果です。

プルダウン抵抗をアンプの出力から負の電圧源に接続すると、は出力レベル 0V を達成でき、さらに 0V 未満の電圧 TLVx365-Q1 でも数 mV 未満にすることができます。図 8-3 に、この手法を使用した回路を示します。

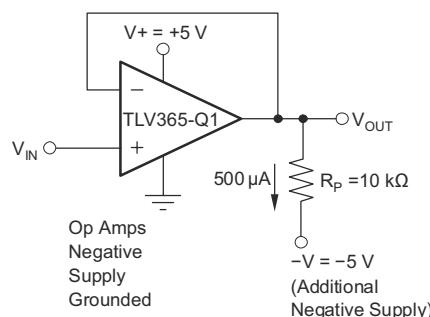


図 8-3. グランドまでスイング

TLVx365-Q1 をユニティゲインバッファとして接続すると、約 $500\text{ }\mu\text{A}$ のプルダウン電流が必要です。プルダウン抵抗 R_L は、 $R_L = [(V_O - V_{NEG}) / (500\text{ }\mu\text{A})]$ から計算されます。

図 8-4 に、オフセット電圧と出力スイングの関係を示します。

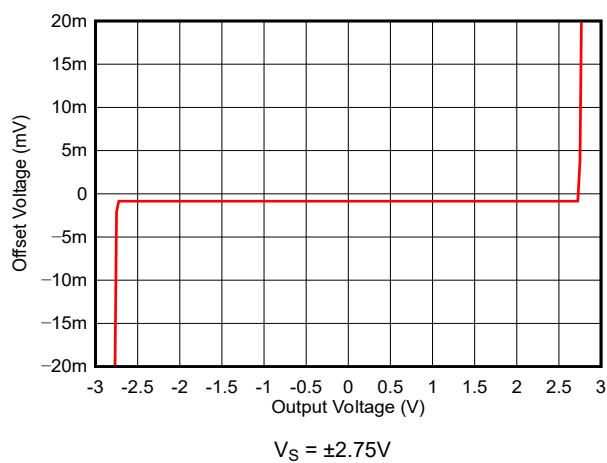
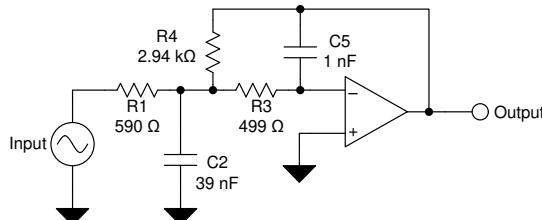


図 8-4. オフセット電圧と出力スイングとの関係

8.2 代表的なアプリケーション

8.2.1 2 次ローパス フィルタ

信号処理アプリケーションでは一般的に、ノイズの低減とエイリアシングの防止のために、ローパスフィルタが採用されています。TLVx365-Q1 は、高速で高精度なアクティブフィルタを構築するために設計されています。図 8-5 に、信号処理アプリケーションで一般的に発生する 2 次ローパスフィルタを示します。



Copyright © 2016, Texas Instruments Incorporated

図 8-5. 2 次ローパス フィルタ

8.2.1.1 設計要件

この設計例では、以下のパラメータを使用します。

- ゲイン = 5V/V (反転ゲイン)
- ローパスカットオフ周波数 = 25kHz
- 通過帯域におけるゲインピークが 3dB の 2 次チエビシェフ フィルタ応答

8.2.1.2 詳細な設計手順

図 8-5 に、ローパス ネットワーク機能の無限ゲイン マルチ フィードバック回路を示します。電圧伝達関数は式 1 を使用して計算します。

$$\frac{\text{Output}}{\text{Input}}(s) = \frac{-1/R_1R_3C_2C_5}{s^2 + (s/C_2)(1/R_1 + 1/R_3 + 1/R_4) + 1/R_3R_4C_2C_5} \quad (1)$$

この回路は反転信号を生成します。この回路では、式 2 を使用して DC でのゲインとローパスカットオフ周波数を計算します。

$$\begin{aligned} \text{Gain} &= \frac{R_4}{R_1} \\ f_C &= \frac{1}{2\pi} \sqrt{(1/R_3R_4C_2C_5)} \end{aligned} \quad (2)$$

8.2.1.3 アプリケーション曲線

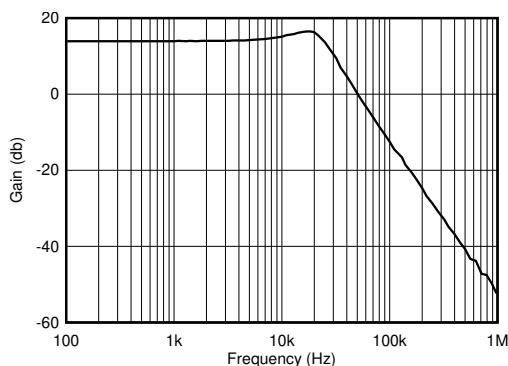


図 8-6. TLVx365-Q1、2 次、25kHz、チェビシェフ、ローパス フィルタ

8.2.2 ADC ドライバとリファレンスバッファ

図 8-7 に、TLVx365-Q1 オペアンプを SAR ADC 入力および基準ビンドライバとして使用する方法を示します。センサは、物理環境とのインターフェイスに使用され、高い出力インピーダンスを実現し、SAR ADC 入力を直接駆動できません。TLVx365-Q1 デバイスは、入力バイアス電流が 20 pA (最大値) と非常に低いため、これらの高出力インピーダンスのセンサに負荷をかけません。SAR ADC 入力のスイッチングコンデンサを充電し、所定のアクイジション時間内に必要な精度で高速にセトリングするには、これらのセンサの出力に GBW の広いアンプを接続する必要があります。

ADC コアは、変換 (デジタル化) フェーズ中にリファレンス入力から過渡電流を引き込みます。これは、高速セトリングを実現し、優れたデジタル化性能を実現するために安定したリファレンス電圧を維持するために、広い GBW のアンプで駆動する必要があります。TLVx365-Q1 リファレンスバッファは、広い GBW のアンプの高精度性能に制限があるため、[OPA378](#) 高精度アンプと組み合わせた複合ループで使用されます。高精度アンプは低オフセット出力を維持し、TLVx365-Q1 は出力駆動および高速セトリング性能を備えています。

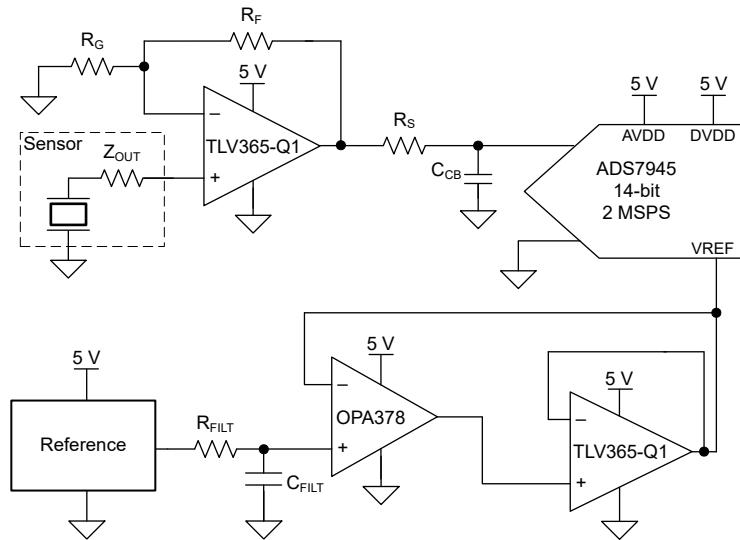


図 8-7. SAR ADC ドライバとしての TLVx365-Q1

8.3 電源に関する推奨事項

TLVx365-Q1、ユニポーラ電源、分割および対称型のバイポーラ電源 (例: $\pm 2.5\text{V}$)、または分割および非対称電源 (例: $+4\text{V}$ および -1V) で構成できます。最大許容電圧 V_S は 6V です。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズが回路全体またはオペアンプの電源ピンを経由して、アナログ回路に伝播することがあります。バイパスコンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
 - 各電源ピンとグランドとの間に、低 ESR の $0.1\mu\text{F}$ セラミックバイパスコンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、 $\text{V}+$ からグランドに対して 1 つのバイパスコンデンサを接続します。
 - TLVx365-Q1 は、(50 mA を上)回るピーク出力電流に対応できます。低インピーダンス負荷や高速過渡信号の容量性負荷を持つアプリケーションは、電源から大電流を必要とします。 $1\text{-}\mu\text{F}$ ソリッドタンタルコンデンサなど、大容量のバイパスコンデンサを使用すると、これらのアプリケーションではダイナミック性能を向上させることができます。
- 回路のアナログ部とデジタル部を別々に接地することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランドプレーン専用です。グランドプレーンは熱を分散させ、EMI ノイズを拾いにくくする役割を果たします。グランド電流の流れに注意して、デジタルグランドとアナロググランドを物理的に確実に分離してください。
- 寄生カップリングを低減するため、入力トレースを電源トレースと出力トレースからできるだけ離して配置します。これらのトレースを離して配置できない場合、感度の高いトレースをノイズの多いトレースと平行にするのではなく、垂直に交差させる方がはるかに効果的です。
- 外付け部品は、可能な限りデバイスに近く配置します。図 8-8 R_F と R_G を反転入力に近付けて配置すると、寄生容量を最小化できます。
- 入力トレースは、できる限り短くします。入力トレースは、回路の中でも最も影響を受けやすい部分であることに常に注意してください。
- 重要なトレースの周囲に、駆動される低インピーダンスのガードリングを配置することを検討してください。ガードリングを使用すると、付近に存在する、さまざまな電位のトレースからのリーク電流を大幅に低減できます。

8.4.2 レイアウト例

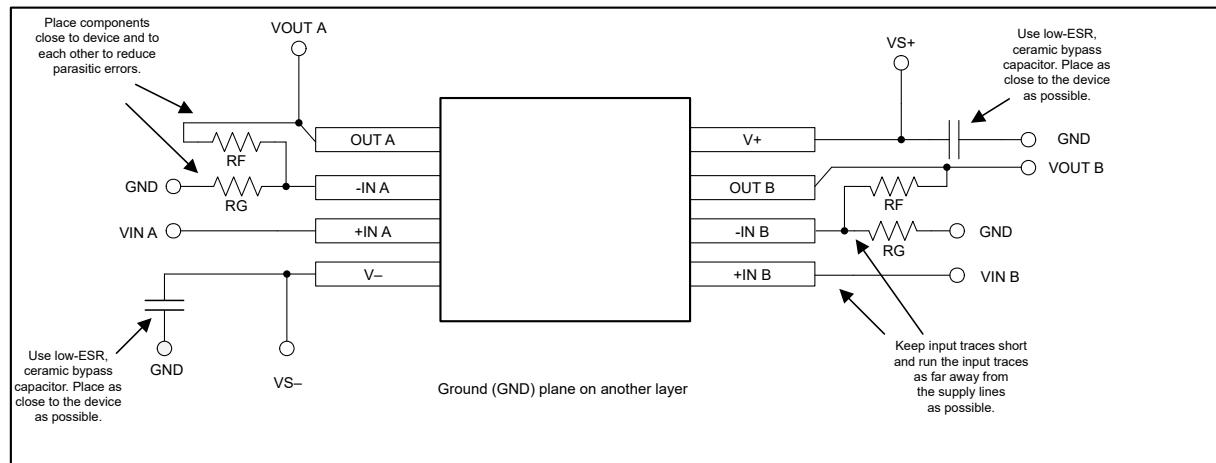
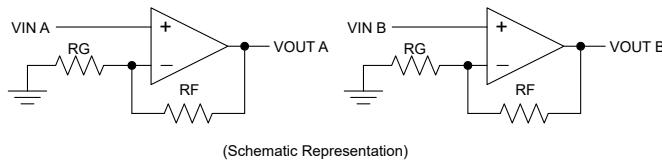


図 8-8. TLV2365-Q1 SOIC パッケージの推奨レイアウト

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 開発サポート

9.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ・ソリューションを作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

9.1.1.2 TINA-TI™ シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション ソフトウェアは [設計およびシミュレーション ツール Web](#) ページから [無料でダウンロード](#) でき、ユーザーが結果をさまざまな形式で処理できる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタートツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。[TINA-TI™ ソフトウェア フォルダ](#) から、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

9.1.1.3 DIP アダプタ評価基板

DIP アダプタ評価基板 は、オペアンプの迅速なプロトタイプ製作とテストを可能にする評価基板です。小型の表面実装デバイスとのインターフェイスを迅速、容易、低成本で実現します。付属の Samtec 端子ストリップか、直接配線により既存の回路へサポートされているオペアンプを接続します。DIP アダプタ評価基板キットは、以下の業界標準パッケージをサポートしています。D または U (SOIC-8)、PW (TSSOP-8)、DGK (VSSOP-8)、DBV (SOT-23-6、SOT-23-5、および SOT-23-3)、DCK (SC70-6 および SC70-5)、および DRL (SOT563-6)。

9.1.1.4 DIYAMP-EVM

DIYAMP-EVM は、実際のアンプ回路を提供する独自の評価基板 (EVM) であり、設計コンセプトの迅速な評価とシミュレーションの検証を実現します。この評価基板は、3 つの業界標準パッケージ (SC70、SOT23、SOIC) で供給されており、シングル / デュアル電源向けに、アンプ、フィルタ、安定性補償、コンパレータの各構成など、12 の一般的なアンプ構成が可能です。

9.1.1.5 TI のリファレンス・デザイン

TI のリファレンス・デザインは、TI の高精度アナログ・アプリケーション専門家により作成されたアナログ・ソリューションです。TI のリファレンス・デザインは、動作原理、部品の選択、シミュレーション、完全な PCB 回路図およびレイアウト、部品表、測定済みの性能を提供します。TI のリファレンス・デザインは、<http://www.ti.com/ww/en/analog/precision-designs/> からオンラインで入手できます。

9.1.1.6 Analog Filter Designer

Analog Filter Designer は、[設計およびシミュレーション ツール Web](#) ページから Web ベースのツールとして利用でき、包括的な複数段アクティブ フィルタ ソリューションの設計、最適化、シミュレーションをわずか数分で行います。

9.2 ドキュメントのサポート

9.2.1 関連資料

TLVx365-Q1 の使い方に関する以下のドキュメントを参考としてお勧めします。すべてのドキュメントは、特に記述のない限り www.tij.co.jp からダウンロードできます。

- テキサスインスツルメンツ、*FilterPro™* ソフトウェアのユーザーガイド
- テキサスインスツルメンツ、*ADS8318* および *ADS8319* 用の低消費電力入力およびリファレンスドライバ回路アプリケーション・レポート
- テキサス・インスツルメンツ、『オペアンプの性能分析』アプリケーション レポート
- テキサス・インスツルメンツ、『オペアンプの単一電源動作』アプリケーション レポート
- テキサスインスツルメンツ、ベイカーズベストのベストアンプ電子書籍リファレンスブック

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

TINA-TI™, FilterPro™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (September 2024) to Revision C (March 2025)	Page
• TLV2365-Q1 のステータスを事前情報 (レビュー) から量産データ (アクティブ) に変更.....	1

Changes from Revision A (December 2023) to Revision B (September 2024)	Page
• TLV2365-Q1 デバイスのステータスをレビューから事前情報 (サンプルありのレビュー) に変更.....	1

• TLV2365-Q1 の事前情報の DGK パッケージを追加.....	1
• DGK パッケージの熱情報を追加.....	4

Changes from Revision * (June 2023) to Revision A (December 2023)	Page
• データシートのステータスを事前混合から量産混合に変更.....	1
• DBV パッケージの TLV365-Q1 の情報を事前情報 (プレビュー) から量産データ (アクティブ) に変更.....	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

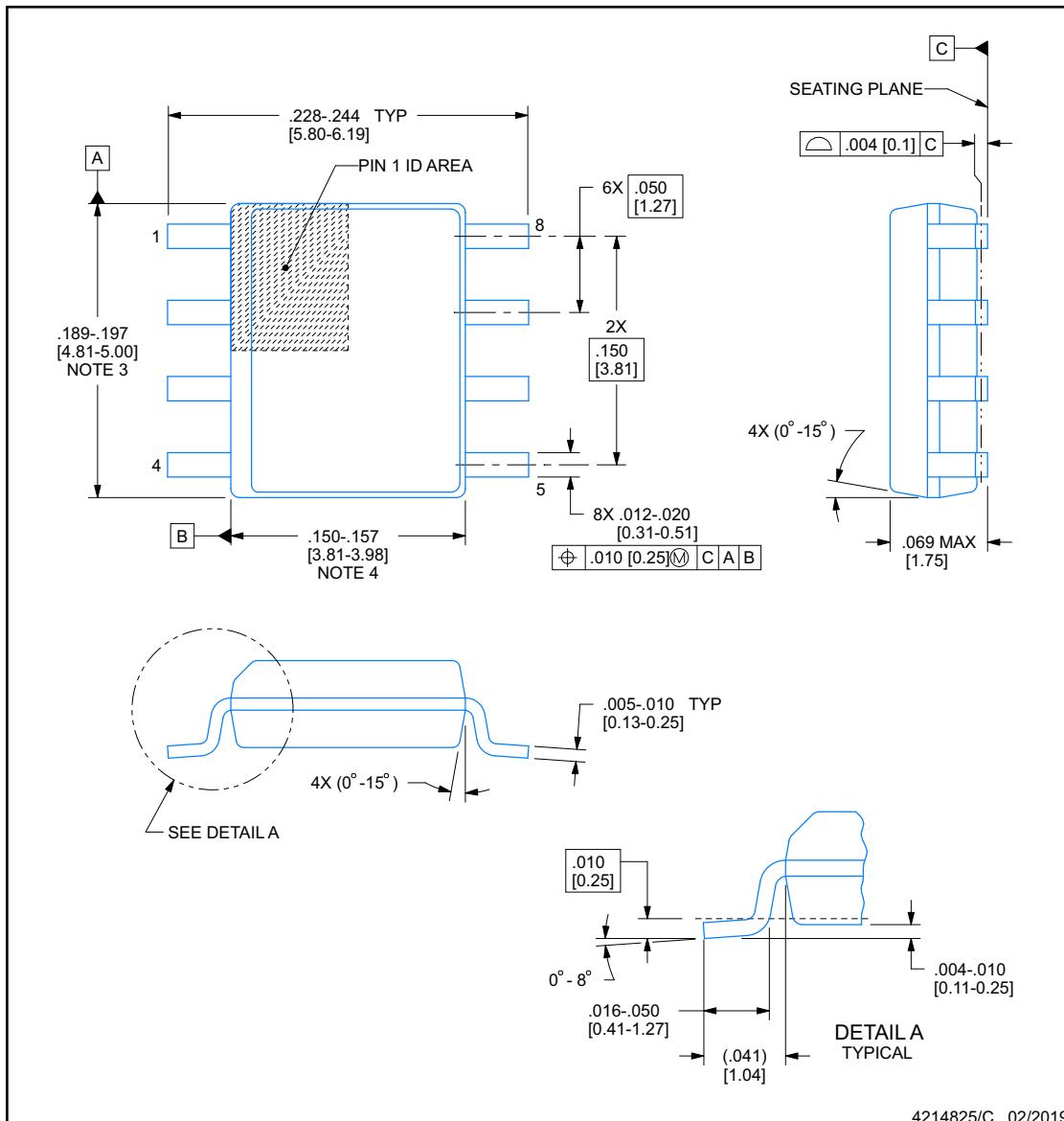


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

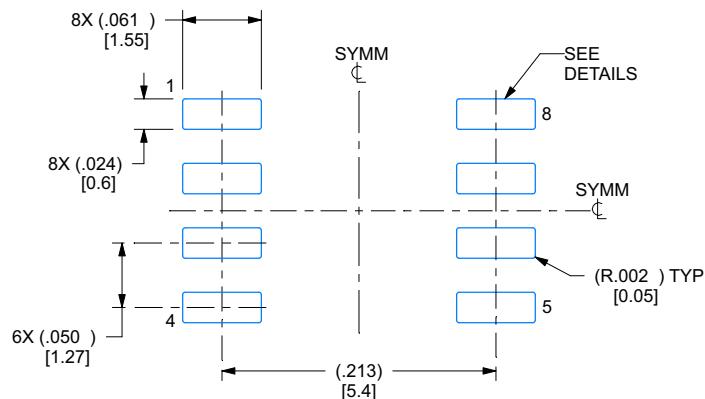
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

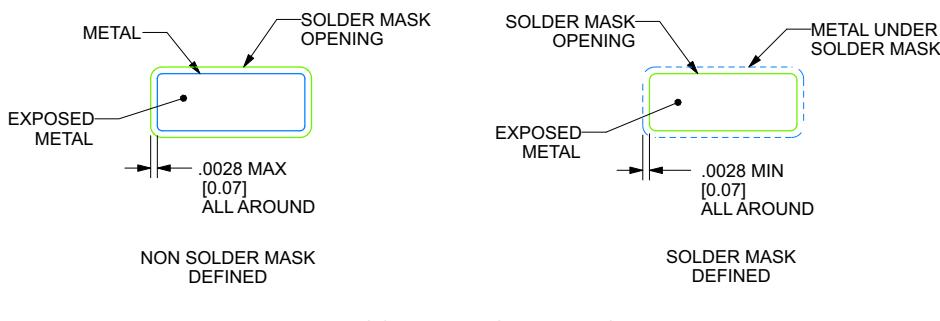
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

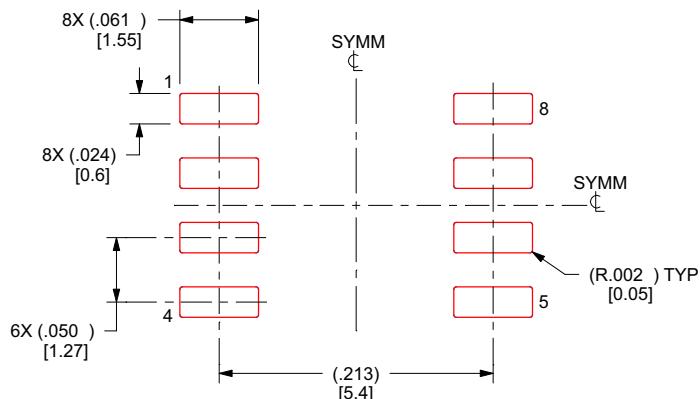
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV2365QDGKRQ1	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2Q65
TLV2365QDGKRQ1.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2Q65
TLV2365QDRQ1	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T2365Q
TLV2365QDRQ1.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T2365Q
TLV365QDBVRQ1	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	Q365
TLV365QDBVRQ1.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	Q365

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

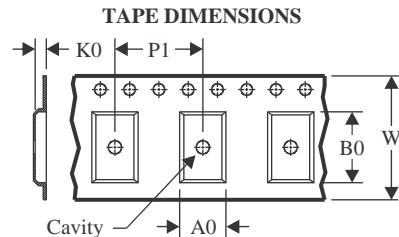
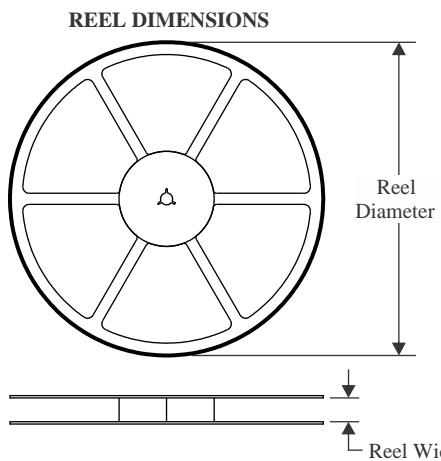
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV2365-Q1, TLV365-Q1 :

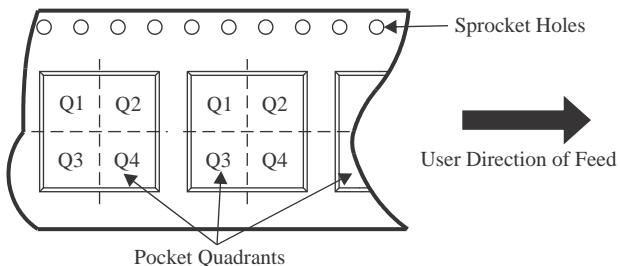
- Catalog : [TLV2365](#), [TLV365](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

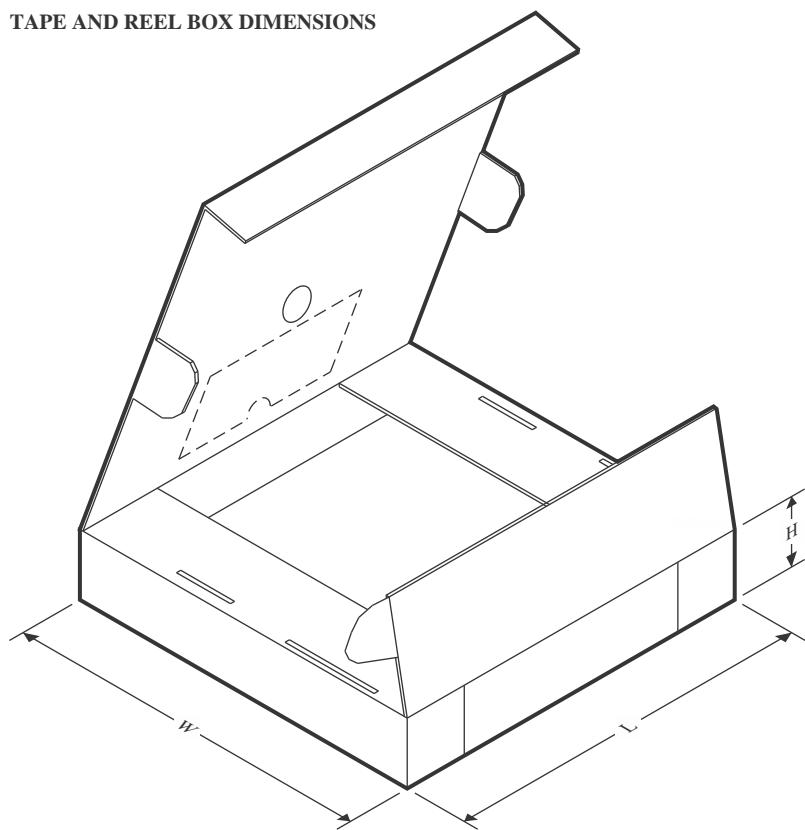
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV2365QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV2365QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV365QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV2365QDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV2365QDRQ1	SOIC	D	8	3000	340.5	338.1	20.6
TLV365QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0

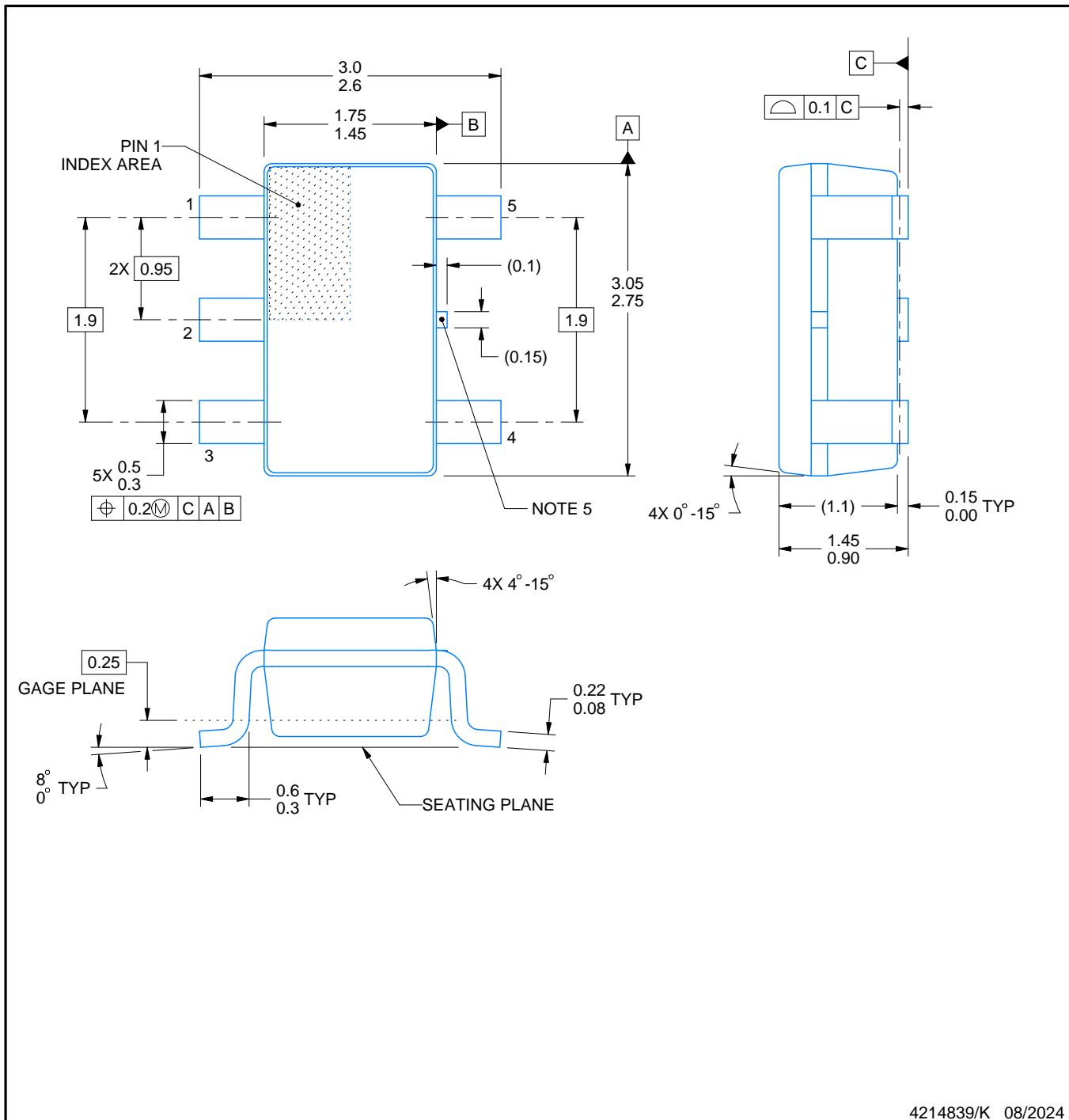
PACKAGE OUTLINE

DBV0005A



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

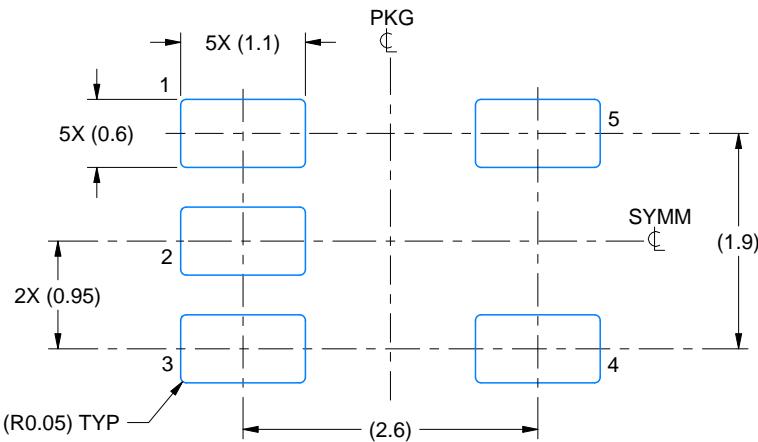
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. Reference JEDEC MO-178.
 4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
 5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

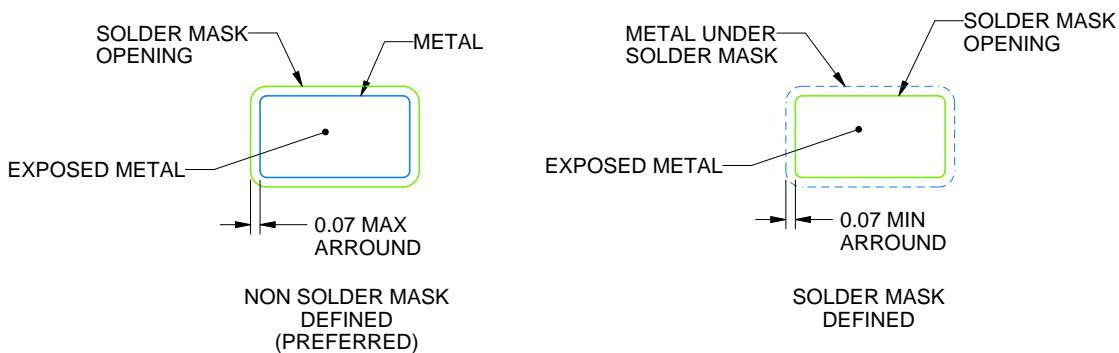
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

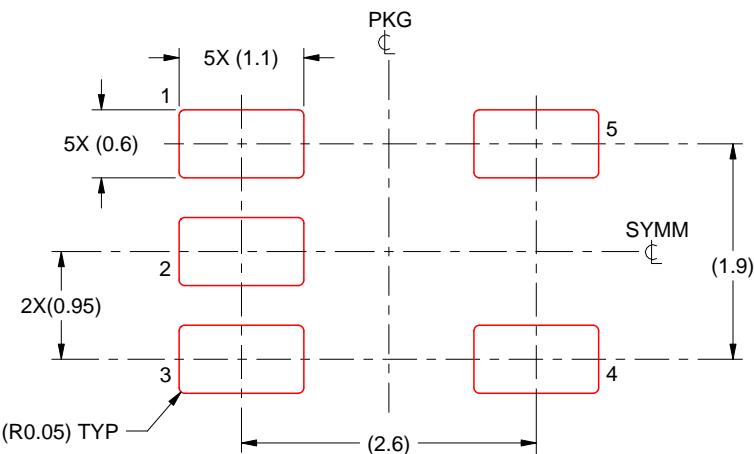
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

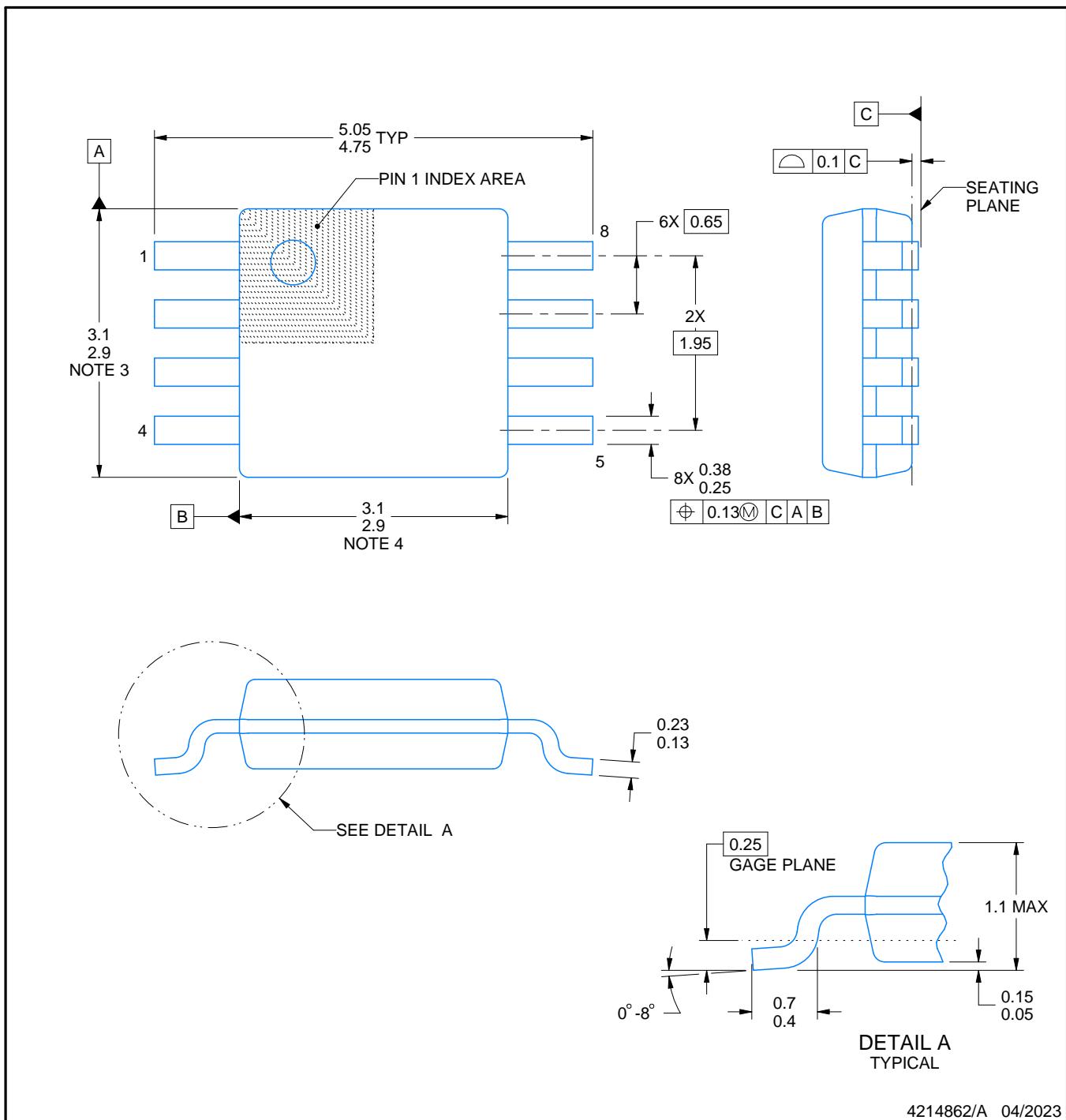
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

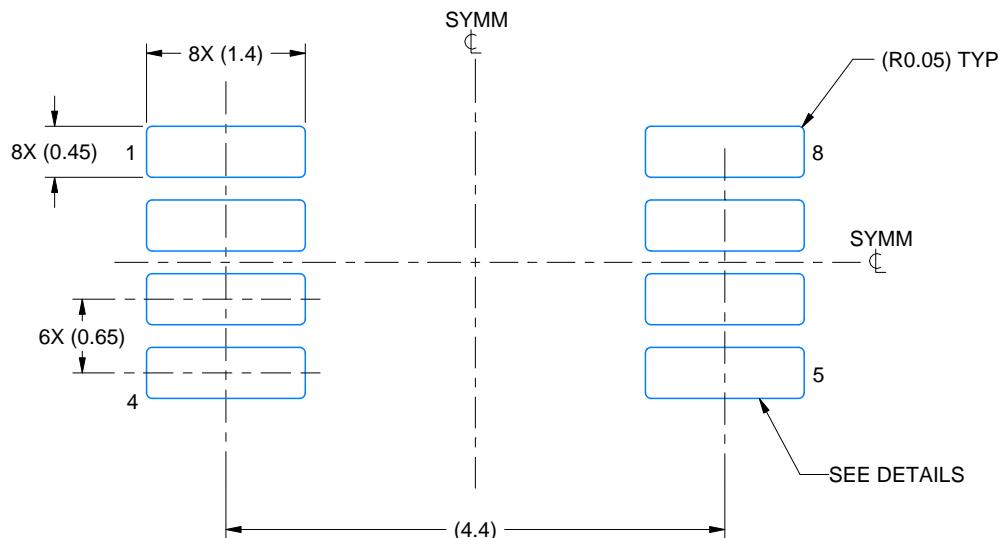
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

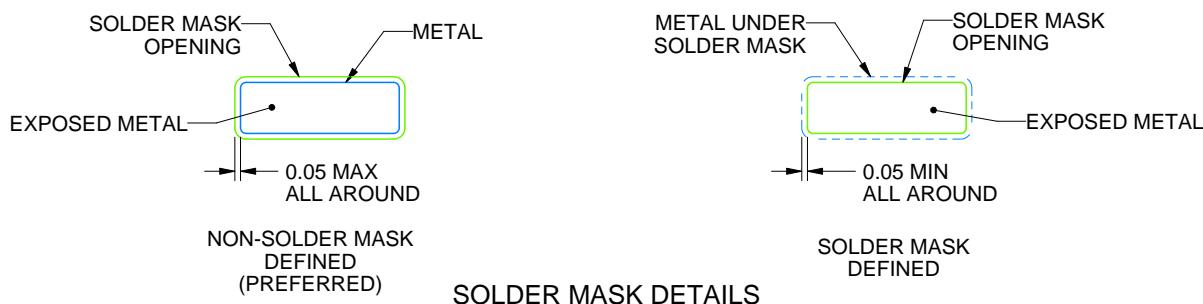
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4214862/A 04/2023

NOTES: (continued)

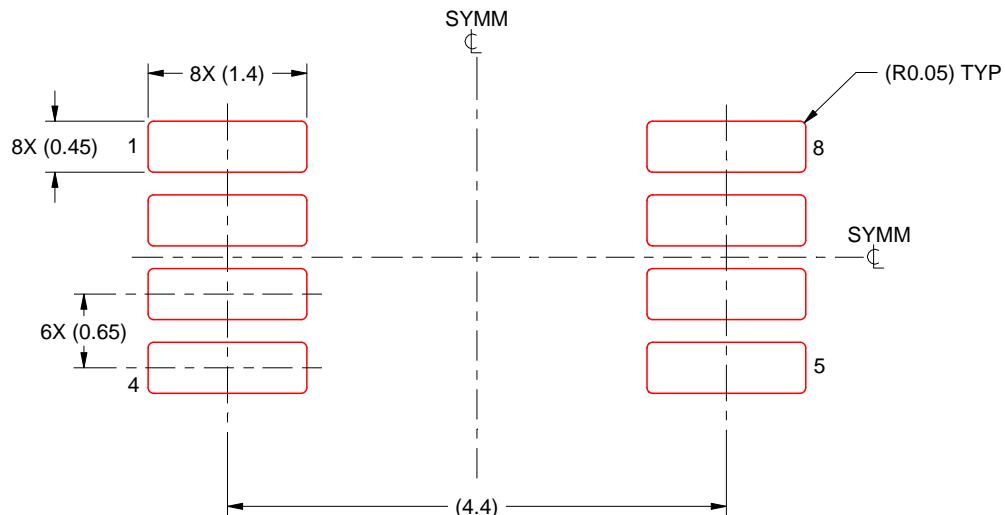
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

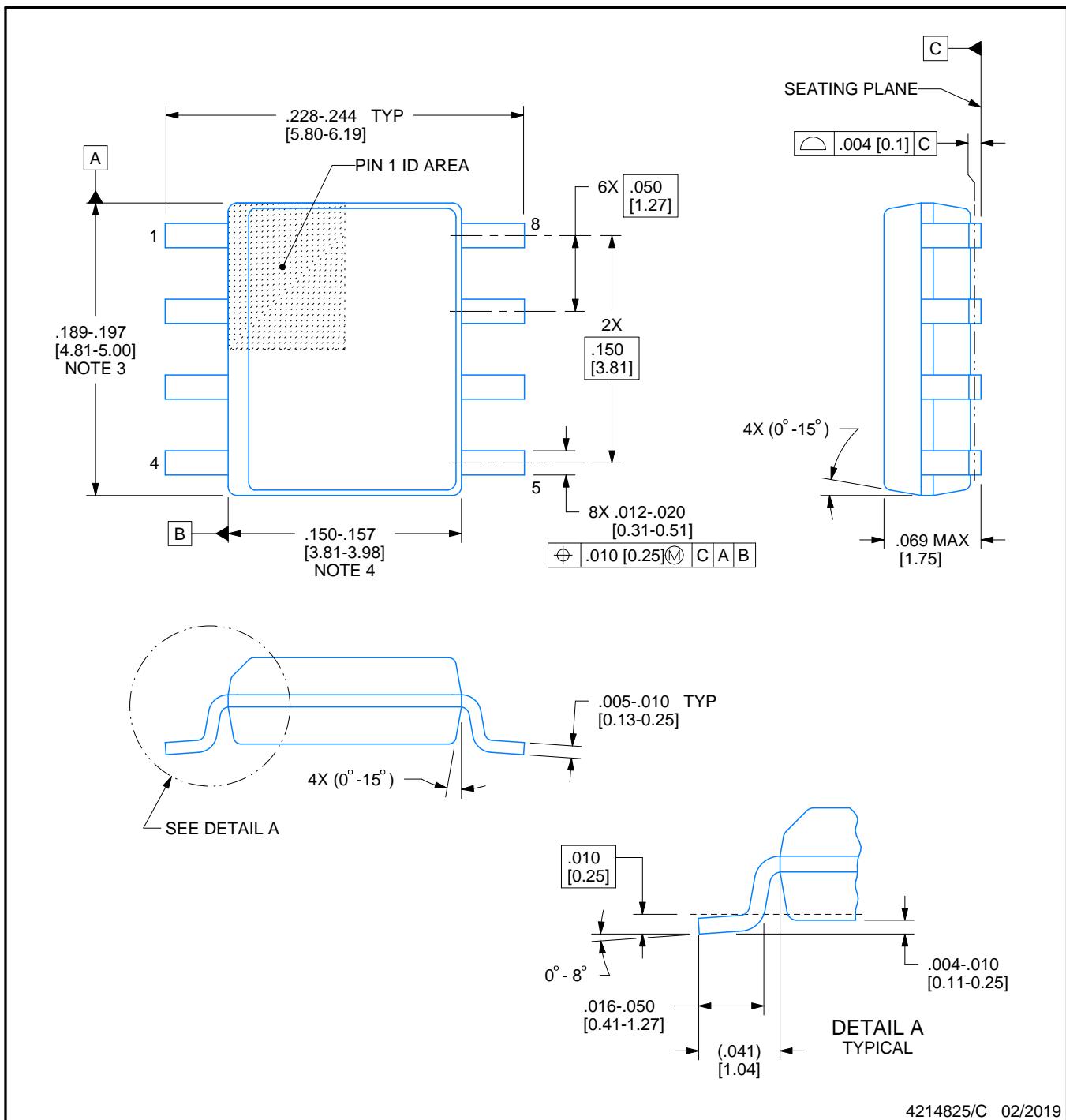
D0008A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

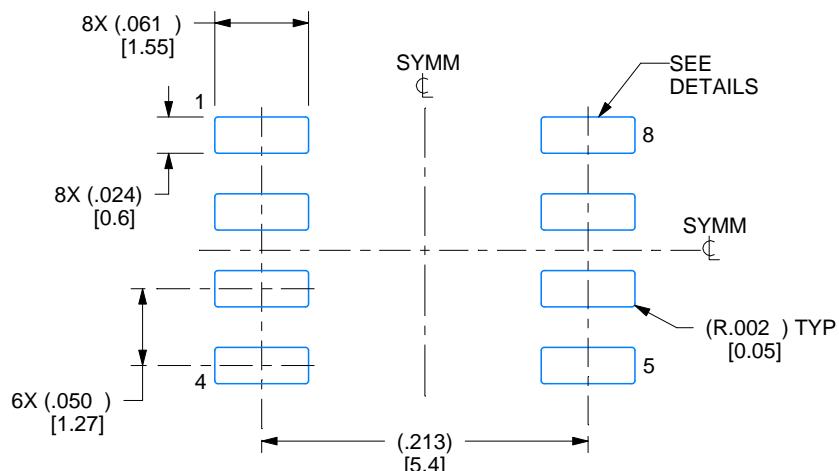
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches.
- Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

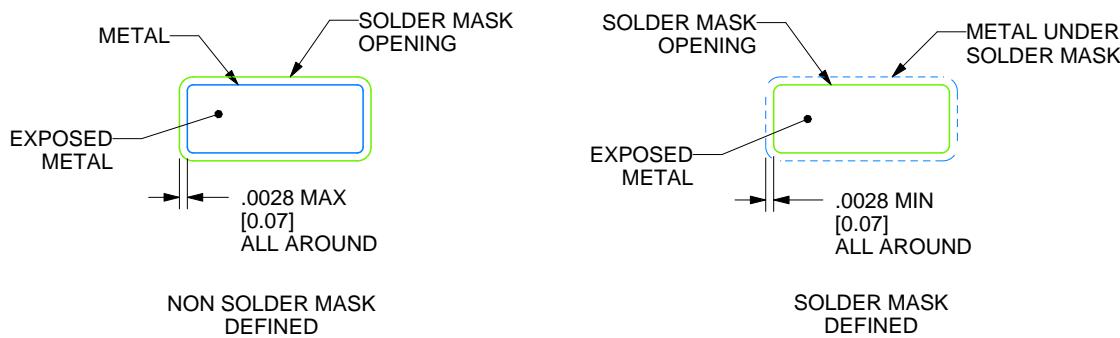
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

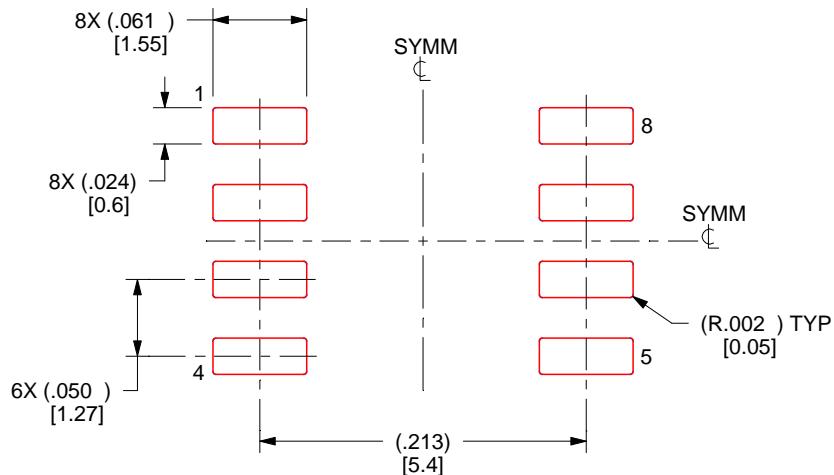
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月