

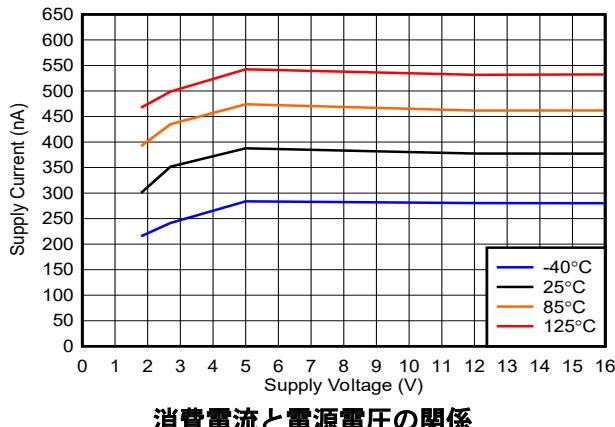
TLV370x-Q1 ファミリ、16V 動作、プッシュプル出力対応ナノパワー コンパレータ

1 特長

- 車載アプリケーション用に認定済み
- ESD 保護性能は MIL-STD-883、方法 3015 に基づき 2000V を超え、マシン モデル ($C = 200\text{pF}$, $R = 0$) においても 200V を超えます
- 低消費電流。。。チャネルあたり 560nA
- レールを超える入力同相範囲。。。-0.1V ~ 16V
- 電源電圧範囲。。。2.7V ~ 16V
- 最高 18V までの逆バッテリ保護
- プッシュプル CMOS 出力段
- 仕様温度範囲 -40°C ~ 125°C – 車載グレード
- 超小型パッケージ 5 ピン SOT-23 (TLV3701)
- ユニバーサル オペアンプ EVM (詳細については、リファレンス SLOU060)

2 アプリケーション

- 低消費電力の車載電子部品
- セキュリティ検出システム

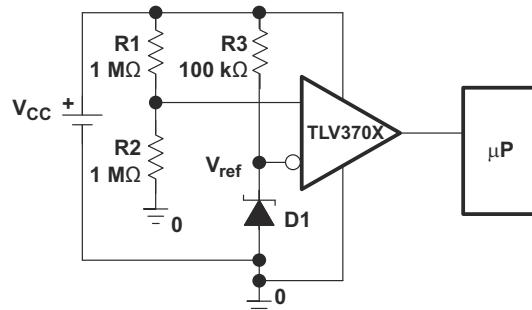


3 説明

TLV370x は、チャネルあたりの供給電流が 560nA 未満のナノパワー コンパレータとして、テキサス インスツルメンツが初めて製品化したファミリであり、低消費電力アプリケーションに非常に適しています。

TLV370x は車載用拡張温度範囲 ($T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$) にわたって最小動作電源電圧が 2.7V で、入力同相範囲は -0.1 ~ 16V です。消費電流が小さいため、静止電流が主な懸念事項である低消費電力アプリケーションに最適です。逆極性バッテリ保護機能は、バッテリの不適切な取り付けに起因する過電流状態からアンプを保護します。過酷な環境下では、入力を正の電源レールより 5V 高くしても、デバイスが損傷することはありません。

デバイスは SOIC で供給され、シングルは小型の SOT-23 パッケージで供給されます。他のパッケージオプションは、要望に応じて提供できます。



ハイサイド電圧検出回路



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6.6 代表的特性	9
2 アプリケーション	1	7 詳細説明	12
3 説明	1	7.1 概要	12
4 デバイス比較表	3	7.2 機能ブロック図	12
5 ピン構成および機能	4	7.3 機能説明	13
ピン構成:TLV3701	4	7.4 デバイスの機能モード	13
ピン構成:TLV3702	5	8 デバイスおよびドキュメントのサポート	16
6 仕様	6	8.1 ドキュメントの更新通知を受け取る方法	16
6.1 絶対最大定格	6	8.2 サポート・リソース	16
6.2 許容損失表	6	8.3 静電気放電に関する注意事項	16
6.3 推奨動作条件	6	8.4 用語集	16
6.4 電気的特性	7	9 改訂履歴	16
6.5 スイッチング特性	8	10 メカニカル、パッケージ、および注文情報	16

4 デバイス比較表

表 4-1. 出力コンパレータの選択

すべての仕様は、5V で測定された標準値です。

デバイス	V _{cc} (V)	V _{IO} (μV)	I _{CC/Ch} (μA)	I _{IB} (pA)	t _{PLH} (μs)	t _{PHL} (μs)	t _f (μs)	t _r (μs)	レールツーレール	出力段
TLV370x	2.5 – 16	250	0.56	80	56	83	22	8	I	PP
TLV340x	2.5 – 16	250	0.47	80	55	30	5	–	I	OD
TLC3702/4	3 – 16	1200	9	5	1.1	0.65	0.5	0.125	–	PP
TLC393/339	3 – 16	1400	11	5	1.1	0.55	0.22	–	–	OD
TLC372/4	3 – 16	1000	75	5	0.65	0.65	–	–	–	OD

表 4-2. TLV3701 使用可能なオプション

T _A	25°C での V _{IO} の最大値	パッケージ デバイス (1) (2)		
		スモール アウトライン (D)	SOT-23 (DBV) (3)	記号
–40°C ~ 125°C	5000μV	TLV3701QDRQ1	TLV3701QDBVRQ1	VBCQ

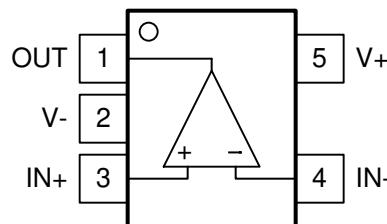
- (1) 最新のパッケージ情報と注文情報については、このドキュメントの末尾にある「付録:パッケージ オプション」を参照するか、TI の Web サイト (<http://www.ti.com>) を参照してください。
- (2) パッケージ図面、熱特性データ、記号の意味については、<http://www.ti.com/packaging> を参照してください。
- (3) このパッケージはテープ アンド リールのみで供給されており、リールあたり標準数量は 3000 個です。

表 4-3. TLV3702 使用可能なオプション

T _A	25°C での V _{IO} の最大値	パッケージ デバイス	
		スモール アウトライン (D)	記号
–40°C ~ 125°C	5000μV	TLV3702QDRQ1	3702Q1

5 ピン構成および機能

ピン構成 : TLV3701

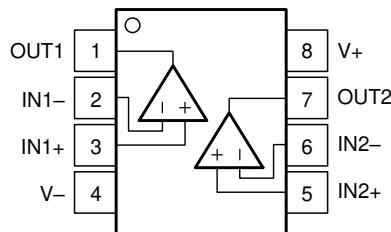


DBV、DCK パッケージ
SOT-23-5、SC-70-5
上面図
(標準の「ノース ウエスト」ピン配列)

表 5-1. ピンの機能 : TLV3701

ピン		I/O	説明
名称	番号		
OUT	1	O	出力
V-	2	-	負電源電圧
IN+	3	I	非反転(+)入力
IN-	4	I	反転(-)入力
V+	5	-	正電源電圧

ピン構成 : TLV3702



D、DGK パッケージ
8 ピン SOIC、VSSOP
上面図

表 5-2. ピンの機能 : TLV3702

ピン		I/O	説明
名称	番号		
OUT1	1	O	コンパレータ 1 の出力ピン
IN1-	2	I	コンパレータ 1 の反転入力ピン
IN1+	3	I	コンパレータ 1 の非反転入力ピン
V-	4	—	負電源電圧
IN2+	5	I	コンパレータ 2 の非反転入力ピン
IN2-	6	I	コンパレータ 2 の反転入力ピン
OUT2	7	O	コンパレータ 2 の出力ピン
V+	8	—	正電源電圧

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

	値	単位
電源電圧、(V+) ⁽²⁾	17	V
差動入力電圧、V _{ID}	±20	V
入力電圧範囲、V _I ⁽²⁾	-0.3~20	V
入力電流範囲、I _I	±10	mA
出力電流範囲、I _O	±10	mA
連続総許容損失	放熱定格表を参照	
自由気流での動作温度範囲、T _A : 接尾辞 Q	-40~125	°C
最大接合部温度、T _J	150	°C
保管温度範囲、T _{stg}	-65~150	°C
リード温度: ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間	260	°C

- (1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 差動電圧を除くすべての電圧値は、GND を基準にしています。

6.2 許容損失表

パッケージ	θ _{JC} (°C/W)	θ _{JA} (°C/W)
D (8)	64.6	121.6
DBV (5)	68.1	168.1

6.3 推奨動作条件

		最小値	最大値	単位
電源電圧範囲、(V+)	单一電源	2.7	16	V
	分岐電源	±1.35	±8	
同相入力電圧範囲、V _{ICR}		-0.1	16	V
自由気流での動作温度 (T _A)	接尾辞 Q	-40	125	°C

6.4 電気的特性

規定の動作自由空気温度において、 $V_+ = 2.7V, 5V, 15V$ (特に記述のない限り)

パラメータ	テスト条件	T_A ⁽¹⁾	最小値	標準値	最大値	単位
DC 性能						
V_{IO}	入力オフセット電圧 $V_{IC} = (V_+)/2, R_S = 50\Omega$	25°C フルレンジ	250	5000	7000	μV
α_{VIO}	オフセット電圧ドリフト $V_{IC} = (V_+)/2, R_S = 50\Omega$	25°C	3			
V_{HYS}	入力ヒステリシス電圧 $V_{IC} = (V_+)/2, R_S = 50\Omega$	25°C	1	2.8	5	mV
CMRR	同相除去比 $V_{IC} = 0 \sim 2.7V, R_S = 50\Omega$	25°C	72			dB
		25°C	76			
		25°C	88			
A_{VD}	大信号差動電圧増幅	25°C	1000			V/mV
入出力特性						
I_{IO}	入力オフセット電流 $V_{IC} = (V_+)/2, R_S = 50\Omega$	25°C フルレンジ	20	100	1000	pA
I_{IB}	入力バイアス電流	25°C フルレンジ	80	250	2000	
$r_{i(d)}$	差動入力抵抗	25°C	300			$M\Omega$
V_{OH}	High レベル出力電圧 $V_{IC} = (V_+)/2, I_{OH} = 2\mu A, V_{ID} = 1V$	25°C	$(V_+) - 0.08$			mV
		25°C	$(V_+) - 320$			
		25°C フルレンジ	$(V_+) - 450$			
V_{OL}	Low レベル出力電圧 $V_{IC} = (V_+)/2, I_{OH} = 2\mu A, V_{ID} = 1V$	25°C	8			mV
		25°C フルレンジ	80	200	300	
		25°C フルレンジ				
電源						
I_+	電源電流 (チャネルあたり)	出力状態 High $(V_+) = 2.7V \sim 5V$	25°C フルレンジ	560	800	nA
				1200		
PSRR	電源除去比 $V_{IC} = (V_+)/2, 無負荷$	$(V_+) = 5V \sim 15V$	25°C フルレンジ	75	100	dB
			25°C フルレンジ	70		
			25°C フルレンジ	85	105	
			25°C フルレンジ	80		

(1) Q サフィックスのフルレンジは $-40^{\circ}C \sim 125^{\circ}C$ です。

6.5 スイッチング特性

$V_S = (V+) - (V-) = 12V$, $V_{CM} = V_S / 2$, $T_A = 25^\circ C$ 時 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
出力						
T_{PD-HL}	伝搬遅延時間、High から Low	$V_{OD} = 10mV$, $C_L = 25pF$, $V_{STEP} = 100mV$	45			μs
		$V_{OD} = 50mV$, $C_L = 25pF$, $V_{STEP} = 100mV$	16			μs
		$V_{OD} = 100mV$, $C_L = 25pF$, $V_{STEP} = 200mV$	13			μs
T_{PD-LH}	伝搬遅延時間、Low から High (プッシュアップ出力)	$V_{OD} = 10mV$, $C_L = 10pF$, $V_{STEP} = 100mV$	34			μs
T_{PD-LH}	伝搬遅延時間、Low から High (プッシュアップ出力)	$V_{OD} = 50mV$, $C_L = 10pF$, $V_{STEP} = 100mV$	16			μs
T_{PD-LH}	伝搬遅延時間、Low から High (プッシュアップ出力)	$V_{OD} = 100mV$, $C_L = 10pF$, $V_{STEP} = 200mV$	14			μs
T_{PD-LH}	伝搬遅延時間、Low から High (オープンドレイン出力)	$V_{OD} = 10mV$, $C_L = 25pF$, $R_P = 1M\Omega$, $V_{STEP} = 100mV$	57			μs
		$V_{OD} = 50mV$, $C_L = 25pF$, $R_P = 1M\Omega$, $V_{STEP} = 100mV$	36			μs
		$V_{OD} = 100mV$, $C_L = 25pF$, $R_P = 1M\Omega$, $V_{STEP} = 200mV$	35			μs
T_{RISE}	出力立ち上がり時間、20% ~ 80%、プッシュアップ出力	$C_L = 25pF$	0.2			μs
T_{FALL}	出力立ち下がり時間、80% ~ 20%	$C_L = 25pF$	0.2			μs
パワーオン時間						
T_{ON}	パワーオン時間		3			ms

6.6 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = 12\text{V}$ 、 $V_{CM} = V_S/2\text{V}$ 、 $R_P = 1\text{M}\Omega$ (オープンドレインのみ)、 $C_L = 25\text{pF}$ 、 $V_{OVERDRIVE} = 100\text{mV}$ (特に記述のない限り)。

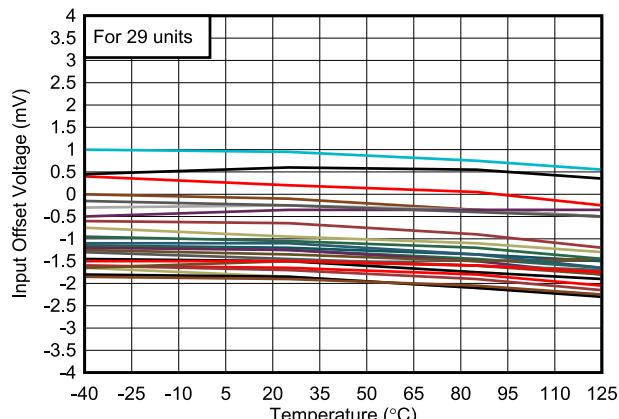


図 6-1. オフセットと温度との関係

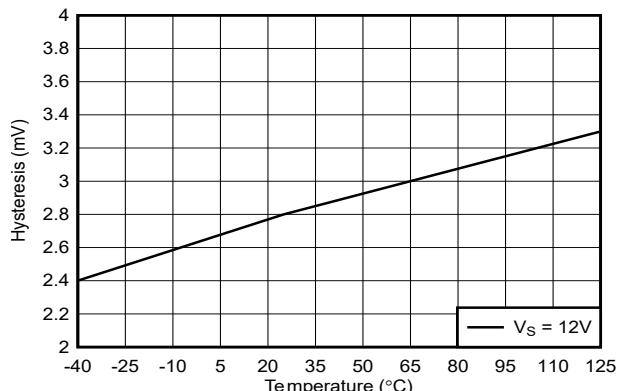


図 6-2. ヒステリシスと温度との関係

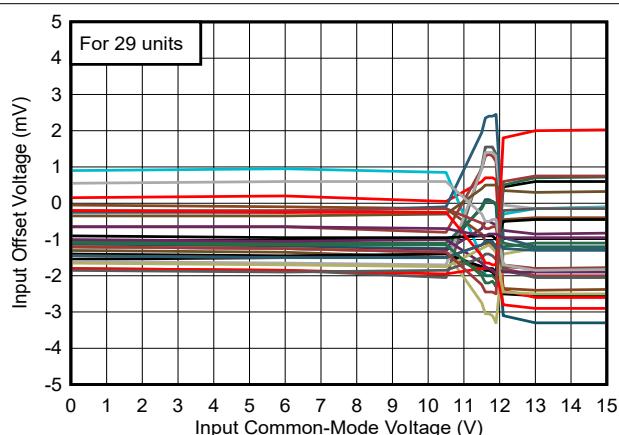


図 6-3. オフセットと同相との関係、12V

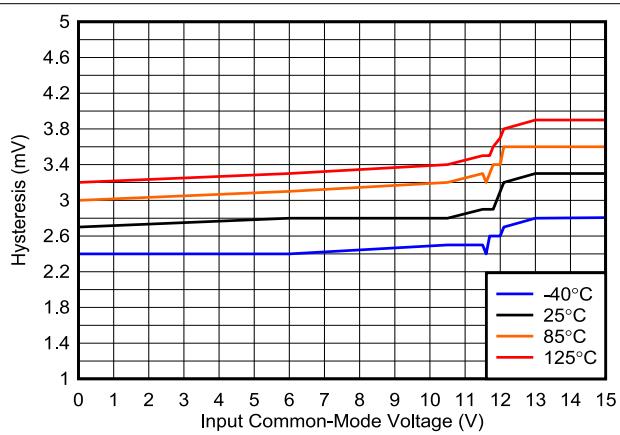


図 6-4. ヒステリシスと同相との関係、12V

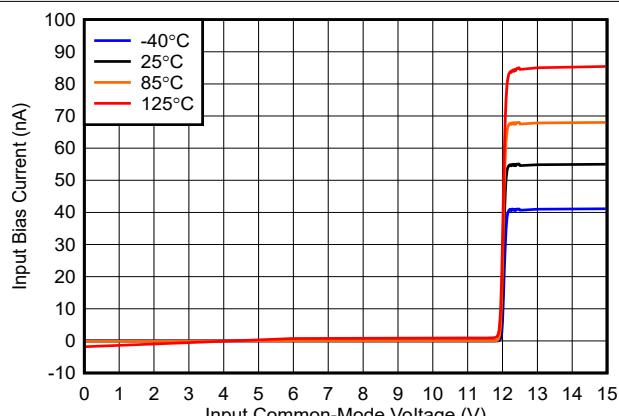


図 6-5. バイアス電流と同相との関係、12V

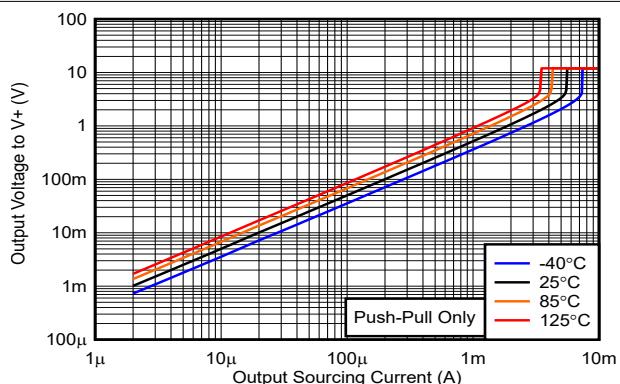


図 6-6. 出力電圧と出力ソース電流の関係、12V

6.6 代表的特性 (続き)

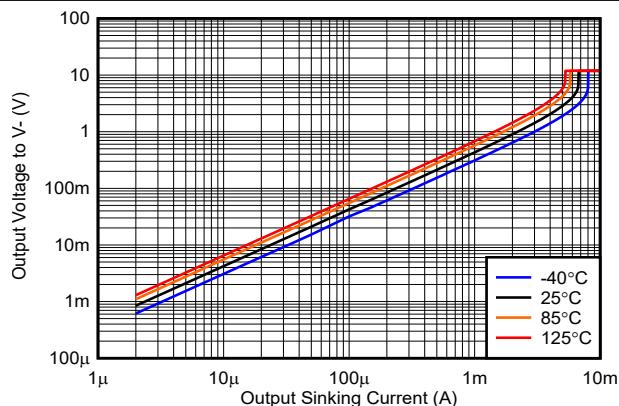


図 6-7. 出力電圧と出力シンク電流の関係、12V

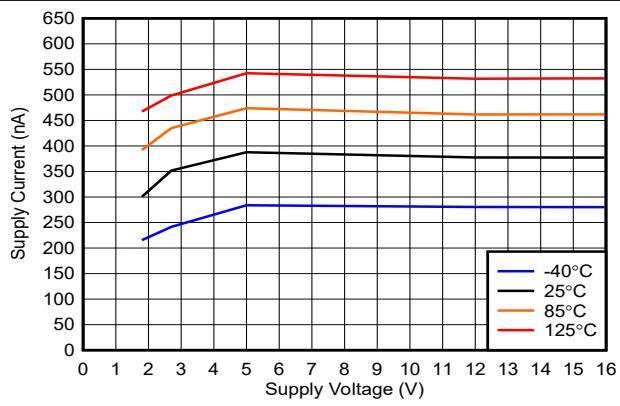


図 6-8. 電源電流と電源電圧との関係 (出力 Low)、プッシュプル

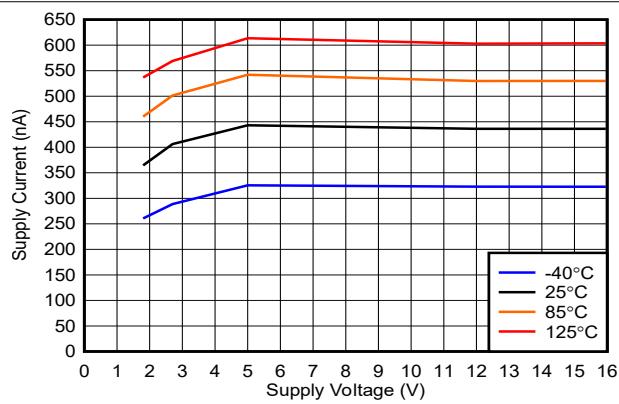


図 6-9. 電源電流と電源電圧との関係 (出力 High)、プッシュプル

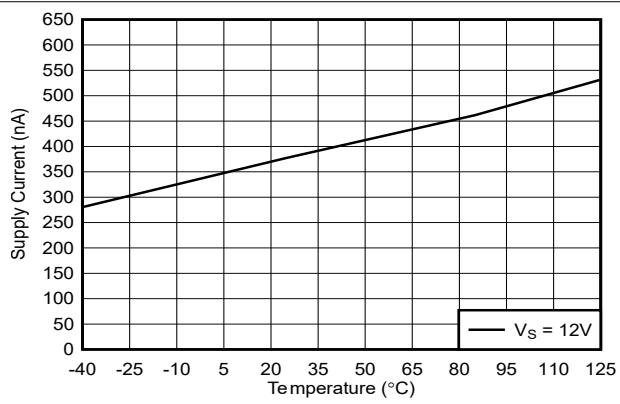


図 6-10. 電源電流と温度との関係 (出力 Low)、プッシュプル

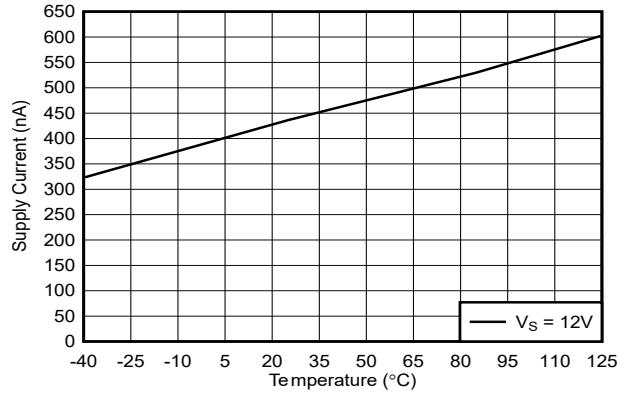


図 6-11. 電源電流と温度との関係 (出力 High)、プッシュプル

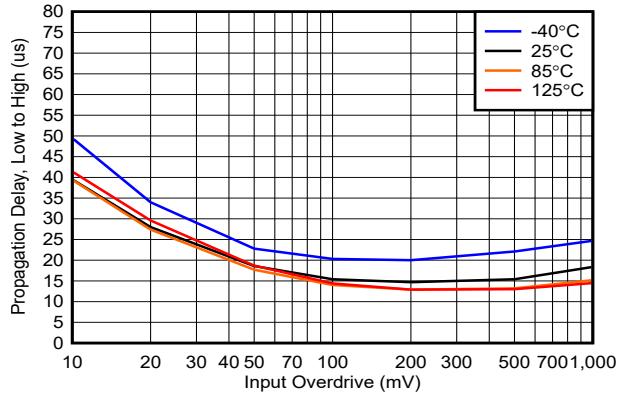


図 6-12. 伝搬遅延、Low から High、12V、プッシュプル

6.6 代表的特性 (続き)

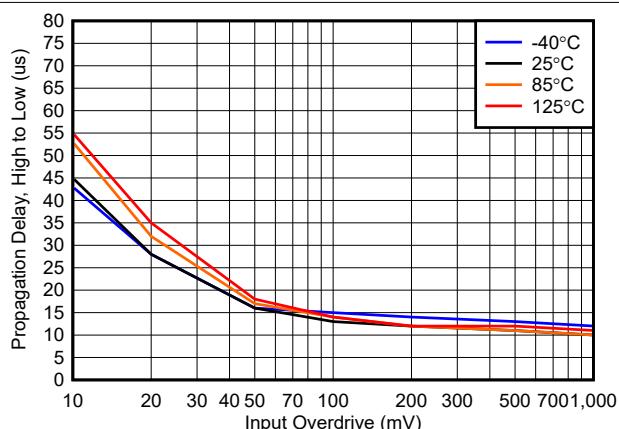


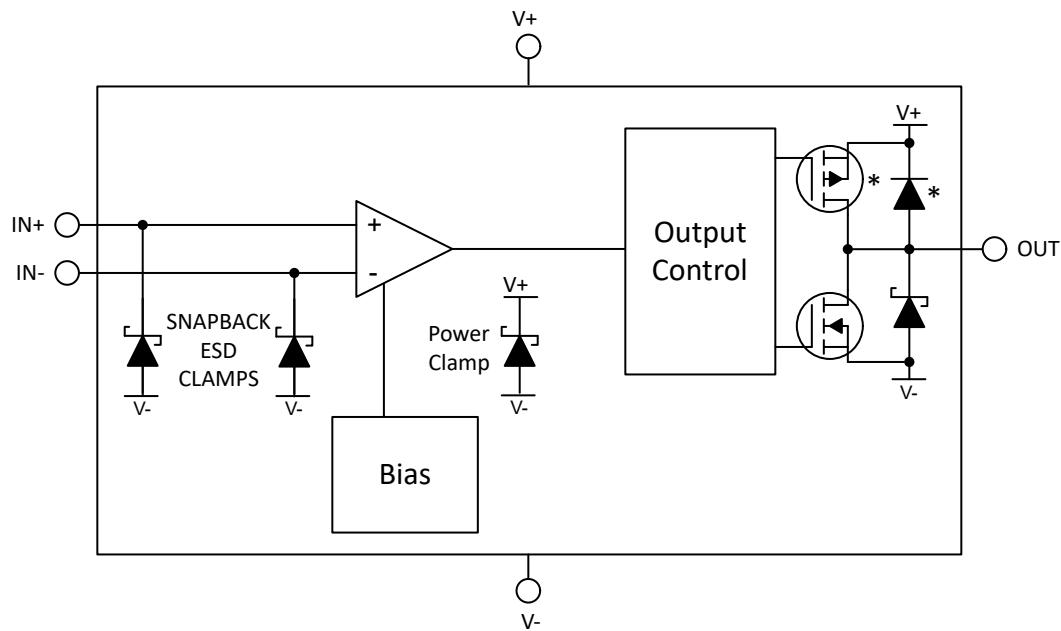
図 6-13. 伝搬遅延、"High" から "Low"、12V

7 詳細説明

7.1 概要

TLV370x デバイスは、プッシュプル出力オプションを備えたナノパワー コンパレータです。TLV370x デバイスは、チャネルあたりわずか 560nA の消費電流で 2.7V まで動作可能であり、低電力かつ常時動作する低電圧および高電圧システムにおける電圧検出、電流検出、温度検出に非常に適しています。内部のパワーオンリセット回路により、電源投入時および電源断時に出力が既知の状態に保持されます。入力にはフェイルセーフ入力があり、損傷や誤出力を起こさずに入力過渡電圧に耐えることができます。

7.2 機能ブロック図



ブロック図

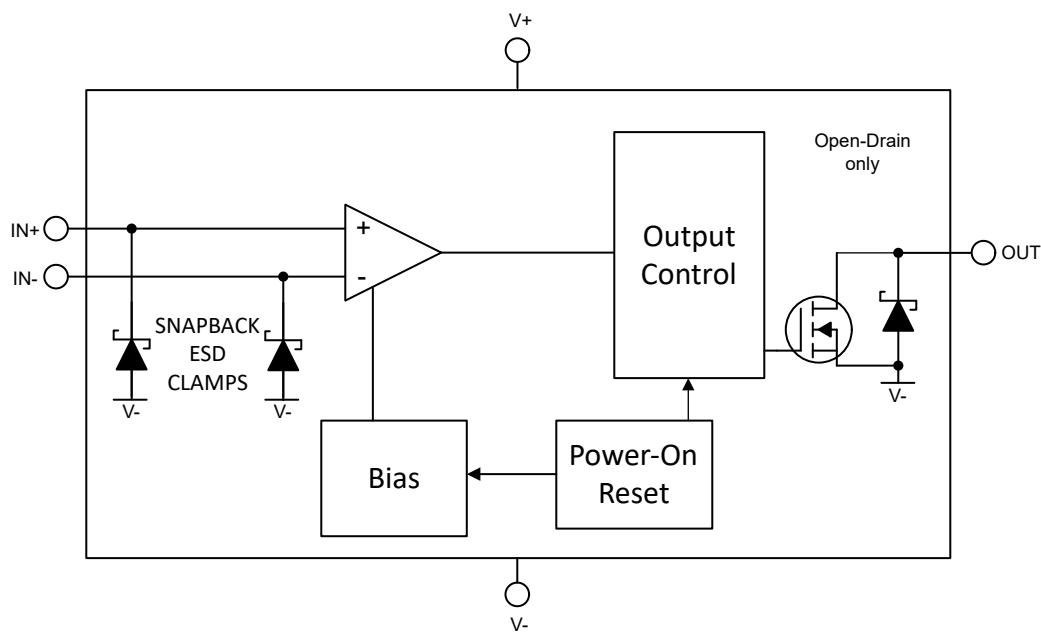


図 7-1. ブロック図

7.3 機能説明

TLV370x デバイスは、高電圧で動作可能なナノパワー コンパレータです。このコンパレータファミリは、フェイルセーフ入力段とオーバーレール動作モードを備えており、V+ に依存せず最大 16V で動作可能です。また、コンパレータにはバッテリ逆極性保護機能が内蔵されており、既知のスタートアップ条件でのパワーオンリセット機能も備えています。

7.4 デバイスの機能モード

7.4.1 入力

7.4.1.1 動作同相範囲

TLV370x デバイスには、レール内とレール上の 2 つの同相範囲で動作しています。

レール内動作:IN+ および IN- が (V+) 未満

入力ピンが (V+) より低い電圧で動作している場合、入力電圧を比較できる 2 つの動作領域が定義されます: 低い同相と高い同相。通常 0V から (V+) - 1V に拡張される低同相モードでは、標準入力バイアス電流は 1pA 未満です。通常 (V+) - 1V から (V+) まで拡張される高い同相モードでは、入力バイアス電流は 14nA (標準値) 未満です。

レール上での動作:IN+ および/または IN- が (V+) より大きい

TLV370x デバイスには独自の入力段があり、これにより入力同相モード範囲を電源電圧に依存せず 0V から 16V まで拡張できます。この機能により、低い電源電圧で動作する場合でも、比較可能な入力電圧範囲が制限されることはありません。入力ピンがレール上で動作 ((V+) を超える電圧で動作) している場合、バイアス電流は標準値 55nA まで増加します。

7.4.1.2 フェイルセーフ入力

TLV370x ファミリの特徴のひとつは、入力が (V+) に依存せず最大 16V までフェイルセーフであることです。入力は高入力インピーダンスを維持しており、(V+) が未供給、または最小電源電圧を下回っている場合でも、-0.1V から 16V の任意の値を取ることができます。この機能により、入力が (V+) にダイオード クランプされていないため、電源シーケンスや過渡の問題が回避されます。

7.4.1.3 未使用入力

チャネルを使用しない場合、入力を互いに接続しないでください。等価帯域幅が広く、オフセット電圧が低いため、入力を互いに直接接続すると、デバイスが内部広帯域ノイズでトリガされ、高周波の発振が発生することがあります。使用しない入力は、規定の入力電圧範囲内に常駐し、50mV 以上の差動電圧を提供する使用可能な任意の電圧に接続する必要があります。たとえば、一方の入力を接地し、もう一方の入力を基準電圧または (V+) に接続できます。

7.4.2 内部ヒステリシス

図 7-2 に、デバイスのヒステリシスの伝達曲線を示します。この曲線は、V_{TH}、V_{OS}、V_{HYST} の 3 つの構成要素の関数です。

- V_{TH} は、実際に設定された電圧またはスレッショルドのトリップ電圧です。
- V_{OS} は、V_{IN+} と V_{IN-} の間の内部オフセット電圧です。この電圧を V_{TH} に追加することで、コンパレータが出力状態の変化に応答する必要のある実際のトリップ ポイントを形成します。
- V_{HYST} は内部ヒステリシス (トリップ ウィンドウ) で、コンパレータのノイズ感度を低減するように設計されています。

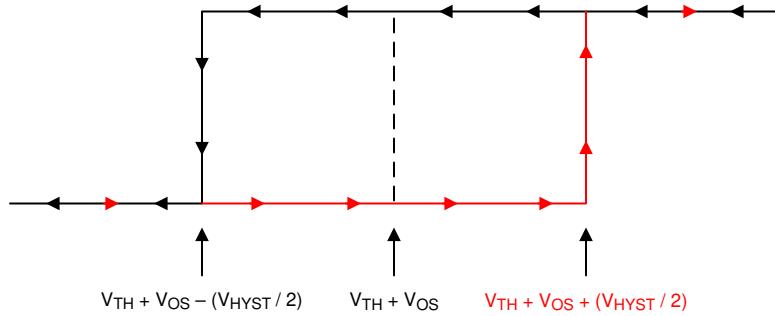


図 7-2. ヒステリシスの伝達曲線

7.4.3 出力

7.4.3.1 プッシュ - プル出力

TLV370x デバイスにはプッシュプル出力段があり、シンク電流とソース電流の両方を供給できます。このため、LED や MOSFET ゲートなどの負荷を駆動することができ、外付けプルアップ抵抗で電力を浪費する必要もありません。プッシュプル出力は、絶対に他の出力に接続しないでください。

出力を電源レールに直接短絡させると（出力が **Low** のときに $(V+)$ 、または出力が **High** のときに $(V-)$ ）、高電源電圧（ $>12V$ 超）下では熱暴走が発生し、最終的にデバイスが破壊される可能性があります。出力が短絡する可能性がある場合は、消費電力を制限するために直列の電流制限抵抗を使用することを推奨します。

使用しないプッシュプル出力はフローティングのままにします。電源、グランド、または他の出力に接続してはなりません。

7.4.4 ESD 保護

7.4.4.1 入力

フェイルセーフ入力は、すべてのピンに内部 ESD 保護回路を組み込んでいます。フェイルセーフ入力には各ピンから $(V-)$ への ESD 保護があり、このためこれらのピンは電源電圧 $(V+)$ を超えて最大 16V まで扱うことができます。入力電圧が 16V を超える場合は、外部クランプが必要です。同様に、入力への負電圧は ESD により $(V-)$ にクランプされ、-0.1V 未満に制限する必要があります。

入力を電源やバッファ付きリファレンスラインなどの低インピーダンスソースに接続する場合、クランプが動作した際に生じる過渡電流を制限するため、入力と直列に電流制限抵抗を追加します。電流は 10mA 以下に制限する必要があります。この直列抵抗は、任意の抵抗入力分圧器またはネットワークの一部として使用できます。

7.4.4.2 出力

TLV370x のプッシュプル出力保護には、出力が電源レールを超えないように、出力端子と $(V-)$ の間に従来型ダイオード式 ESD クランプも含まれています。

7.4.5 パワーオン リセット (POR)

TLV370x デバイスには内部パワーオンリセット (POR) 回路があり、既知のスタートアップまたはパワーダウン状態を維持します。電源 $(V+)$ がランプアップまたはランプダウンしている間、POR 回路は 1.5V の V_{POR} を超えたあと、最大 2ms アクティブになります。電源電圧が最小電源電圧以上であれば、遅延時間が経過した時点で、コンパレータの出力は差動入力 (V_{ID}) の状態を反映します。

TLV370x のプッシュプル出力デバイスでは、パワーオンリセット (POR) 期間 (t_{on}) の間、出力は **Low** に保持されます。

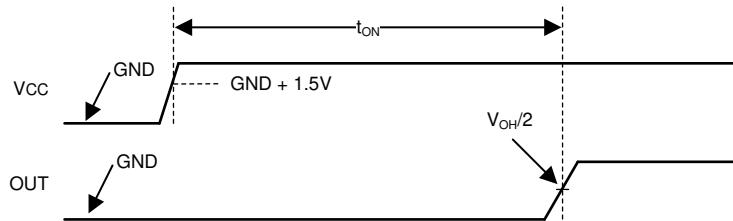


図 7-3. パワーオン リセットのタイミング図

7.4.6 バッテリ逆極性保護

TLV370x デバイスには内部リバース バッテリ保護機能が搭載されており、電源ピンにバッテリが誤って逆接続された場合でもコンバレータの損傷を防ぎます。この保護機能は、最大 18V で動作します。

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.4 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (October 2000) to Revision F (September 2025)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
EC 表にヒステリシス仕様を追加.....	7
EC 表の CMRR の最小要件を削除.....	7
EC 表の伝搬遅延仕様を更新.....	7
代表特性曲線を更新.....	9
「詳細説明」情報を追加.....	12

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV3701QDBVRG4Q1	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBCQ
TLV3701QDBVRG4Q1.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBCQ
TLV3701QDBVRQ1	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	Call TI Nipdau	Level-1-260C-UNLIM	-40 to 125	VBCQ
TLV3701QDBVRQ1.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBCQ
TLV3702QDRG4Q1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3702Q1
TLV3702QDRG4Q1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3702Q1
TLV3702QDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3702Q1
TLV3702QDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3702Q1

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

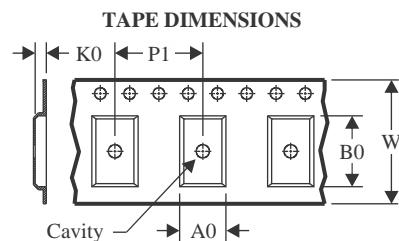
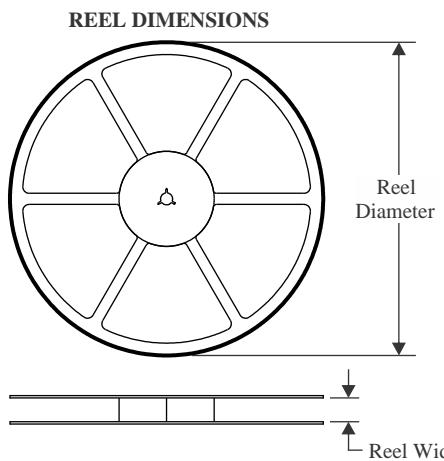
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV3701-Q1, TLV3702-Q1 :

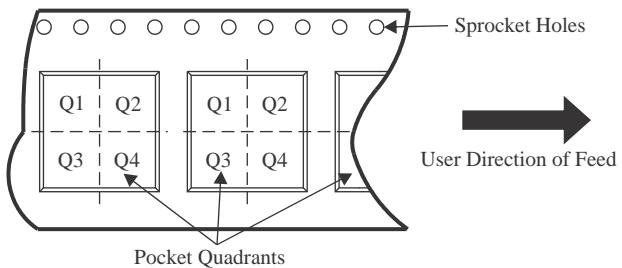
- Catalog : [TLV3701](#), [TLV3702](#)
- Enhanced Product : [TLV3701-EP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

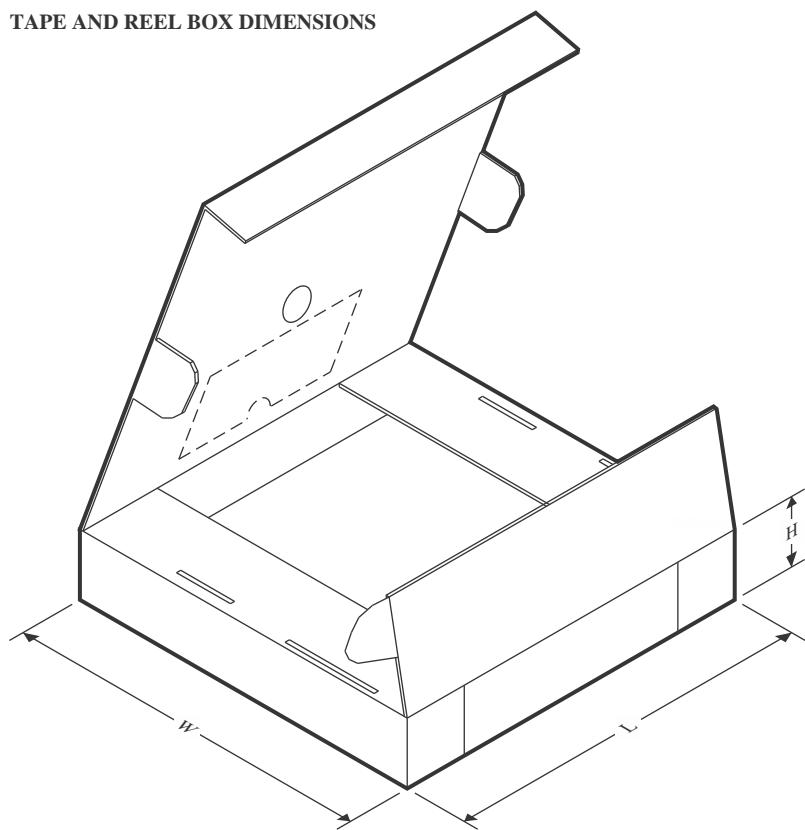
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV3701QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV3701QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV3702QDRG4Q1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV3702QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV3701QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV3701QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV3702QDRG4Q1	SOIC	D	8	2500	353.0	353.0	32.0
TLV3702QDRQ1	SOIC	D	8	2500	353.0	353.0	32.0

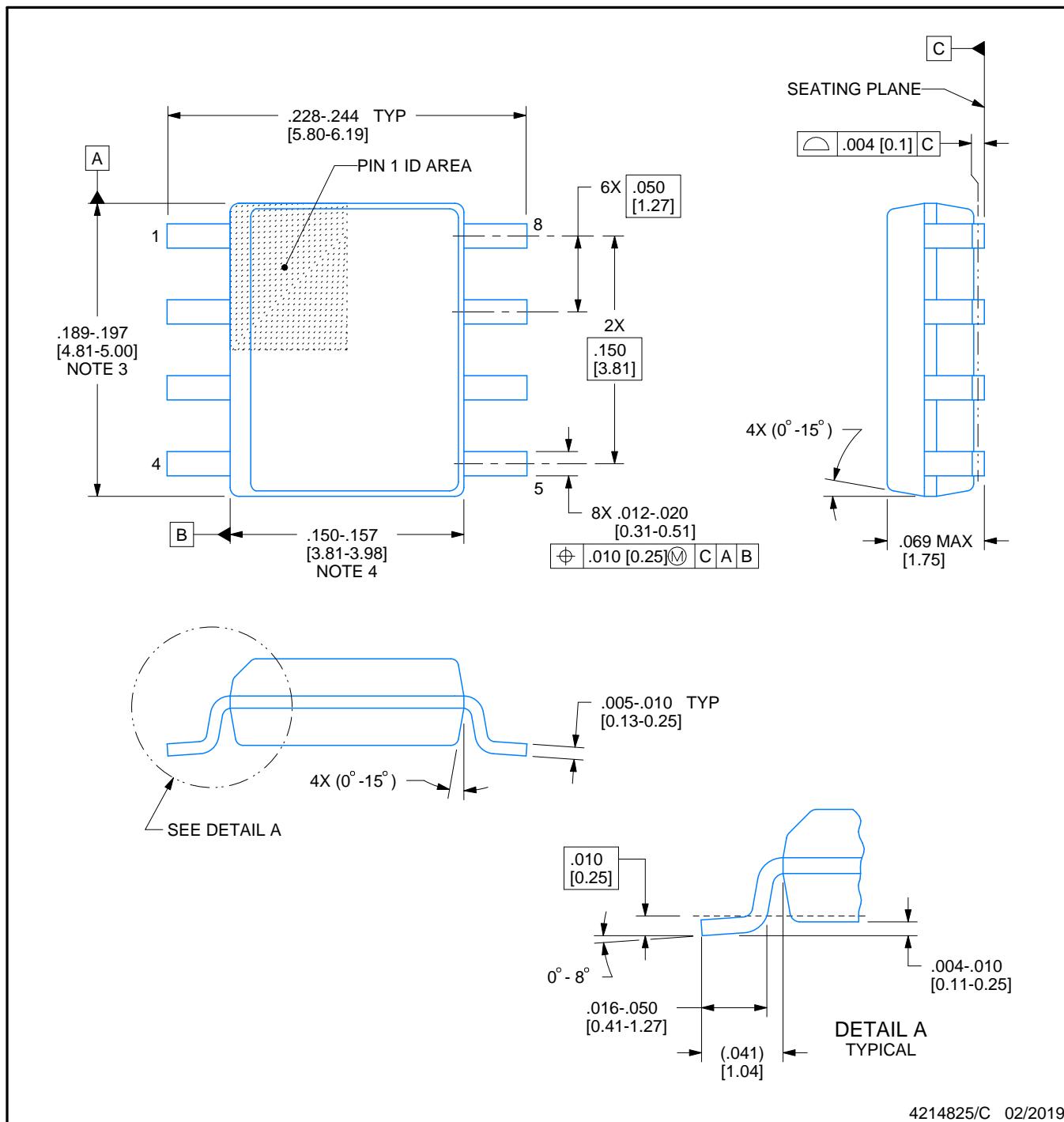


PACKAGE OUTLINE

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

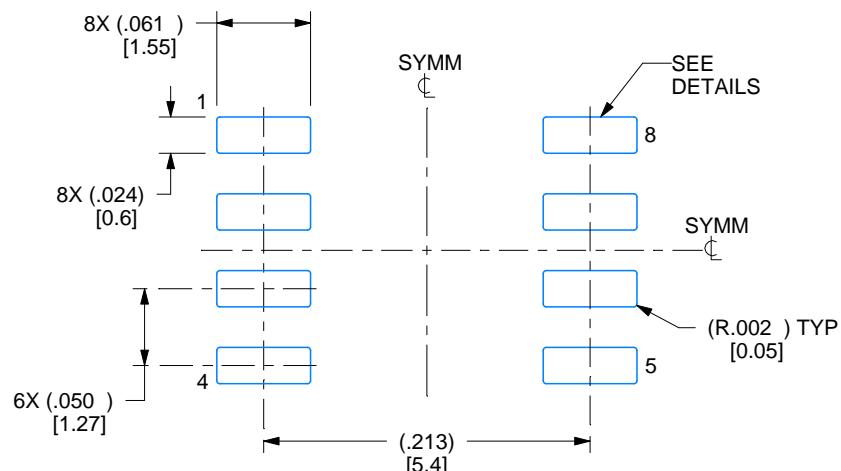
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
 4. This dimension does not include interlead flash.
 5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

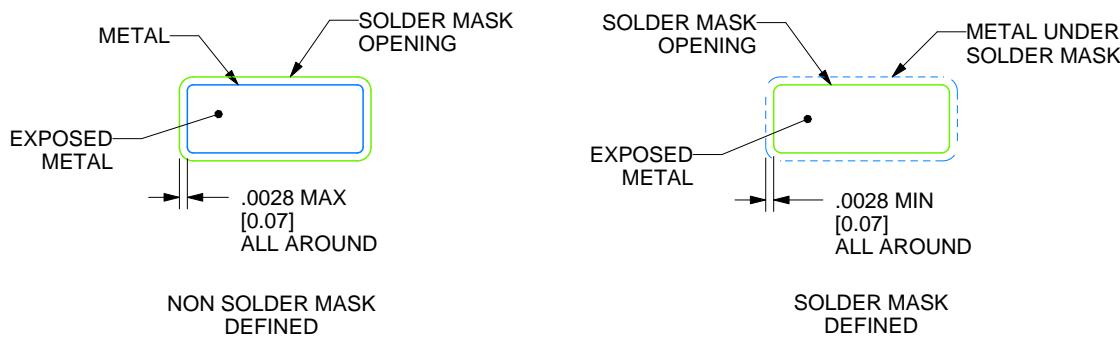
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

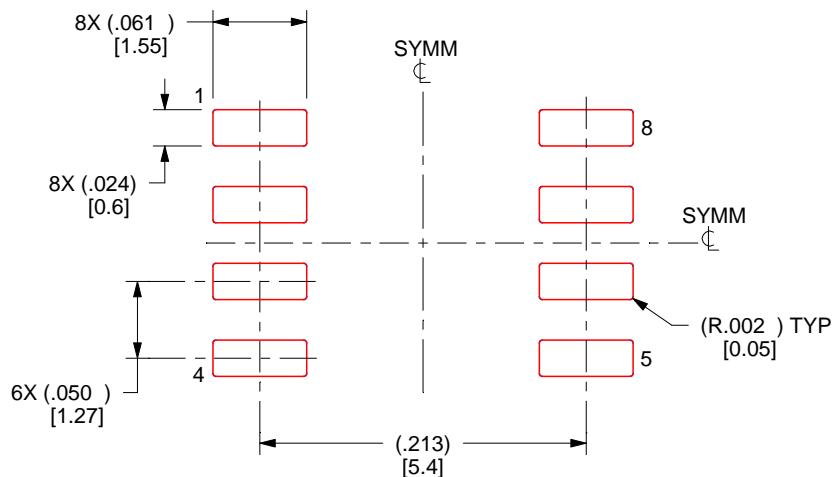
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

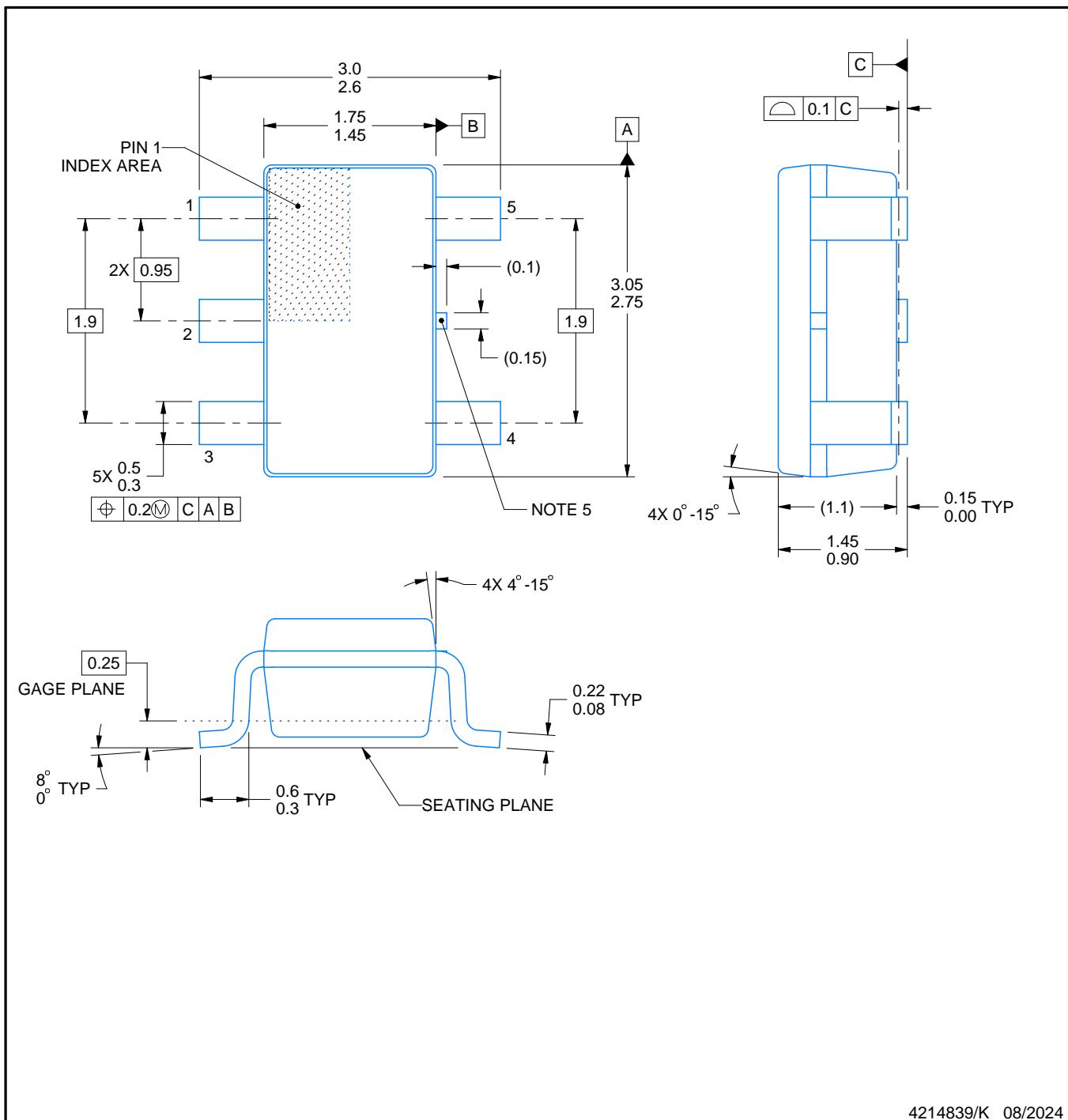
PACKAGE OUTLINE

DBV0005A



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



NOTES:

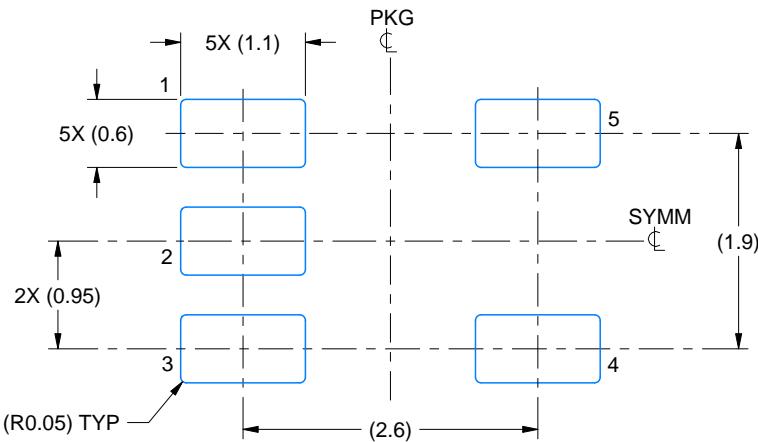
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- Reference JEDEC MO-178.
- Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
- Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

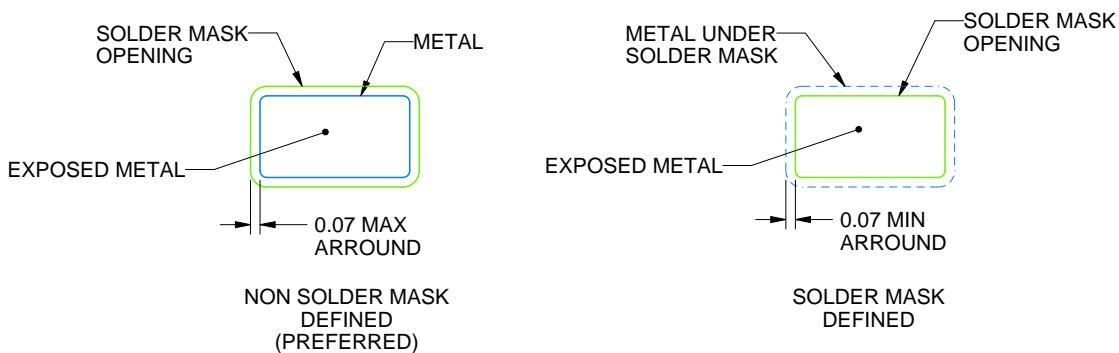
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

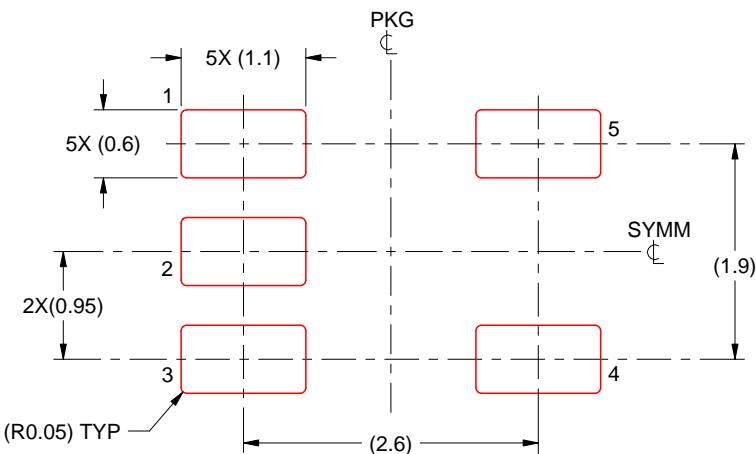
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月