

TLV900x-Q1 低消費電力、RRIO、1MHz、車載オペアンプ

1 特長

- 車載アプリケーション向けに AEC-Q100 認定済み
 - 温度グレード 1: -40°C ~ +125°C, T_A
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C6
- スケーラブルな CMOS アンプによる低コストのアプリケーション
- レール・ツー・レール入出力
- 低い入力オフセット電圧: ±0.4mV
- ユニティ・ゲイン帯域幅: 1MHz
- 低い広帯域ノイズ: 27nV/√Hz
- 低入力バイアス電流: 5pA
- 低い静止電流: 60µA/Ch
- ユニティ・ゲイン安定
- 内部 RFI および EMI フィルタ
- 最低 1.8V の電源電圧で動作
- 抵抗性の開ループ出力インピーダンスにより、大きな容量性負荷に対して容易に安定可能
- 機能安全対応
 - 機能安全の情報

2 アプリケーション

- AEC-Q100 グレード 1 機器に対して最適化
- インフォテインメントおよびクラスタ
- パッシブ型安全運転支援システム
- 車体エレクトロニクスおよび照明
- HEV/EV のインバータおよびモータ制御
- オンボード充電器 (OBC) およびワイヤレス充電器
- パワートレイン電流センサ
- 先進運転支援システム (ADAS)
- 単一電源、ローサイド、単方向電流センシング回路

3 概要

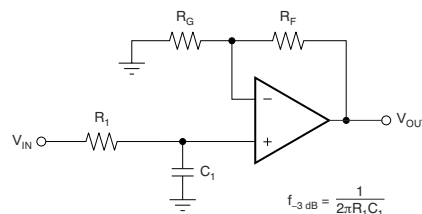
TLV900x-Q1 ファミリーには、低電圧 (1.8V ~ 5.5V) でレール・ツー・レール入出力スイング能力を備えた、シングル (TLV9001-Q1)、デュアル (TLV9002-Q1) およびクワッド (TLV9004-Q1) チャンネルのオペアンプがあります。これらのオペアンプは、インフォテインメントや照明など、低電圧での動作と大きな容量性負荷の駆動が必要で、スペースの制約が厳しい車載アプリケーション向けにコスト効率の優れたソリューションを提供します。TLV900x-Q1 ファミリーの容量性負荷の駆動能力は 500pF であり、開ループ出力インピーダンスが抵抗性なので、大きな容量性負荷についても容易に安定化できます。これらのオペアンプは、特に低電圧 (1.8V ~ 5.5V) で動作し、TLV600x-Q1 デバイスと同様の性能仕様を満たすように設計されています。

TLV900x-Q1 ファミリーは堅牢に設計されているため、回路設計を簡素化できます。これらのオペアンプには、ユニティ・ゲイン安定性、RFI および EMI 除去フィルタの内蔵、オーバードライブ状態で位相反転が発生しないという特長があります。

パッケージ情報(3)

部品番号 ⁽¹⁾	パッケージ	本体サイズ (公称)
TLV9001-Q1	DBV (SOT-23, 5)	1.60mm × 2.90mm
	DCK (SC70, 5)	1.25mm × 2.00mm
TLV9002-Q1	D (SOIC, 8)	3.91mm × 4.90mm
	PW (TSSOP, 8) ⁽²⁾	3.00mm × 4.40mm
	DGK (VSSOP, 8)	3.00mm × 3.00mm
TLV9004-Q1	DYY (SOT-23, 14)	4.20mm × 1.90mm
	D (SOIC, 14)	8.65mm × 3.91mm
	PW (TSSOP, 14)	4.40mm × 5.00mm

- 利用可能なパッケージについては、データシートの末尾にある注文情報を参照してください。
- このパッケージはプレビューのみです。
- 製品比較表を参照してください。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right) \left(\frac{1}{1 + sR_1C_1}\right)$$

単極ローパス・フィルタ



目次

1 特長.....	1	8.2 機能ブロック図.....	18
2 アプリケーション.....	1	8.3 機能説明.....	19
3 概要.....	1	8.4 デバイスの機能モード.....	19
4 改訂履歴.....	2	9 アプリケーションと実装.....	20
5 デバイス比較表.....	4	9.1 アプリケーション情報.....	20
6 ピン構成および機能.....	5	9.2 代表的なアプリケーション.....	20
7 仕様.....	8	9.3 電源に関する推奨事項.....	24
7.1 絶対最大定格.....	8	9.4 レイアウト.....	25
7.2 ESD 定格.....	8	10 デバイスおよびドキュメントのサポート.....	26
7.3 推奨動作条件.....	8	10.1 ドキュメントのサポート.....	26
7.4 シングル・チャンネルの熱に関する情報.....	8	10.2 ドキュメントの更新通知を受け取る方法.....	26
7.5 デュアル・チャンネルの熱に関する情報.....	9	10.3 サポート・リソース.....	26
7.6 クワッド・チャンネルの熱に関する情報.....	9	10.4 商標.....	26
7.7 電気的特性.....	10	10.5 静電気放電に関する注意事項.....	26
7.8 代表的特性.....	12	10.6 用語集.....	26
8 詳細説明.....	18	11 メカニカル、パッケージ、および注文情報.....	26
8.1 概要.....	18		

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (November 2022) to Revision E (April 2023) Page

- DBV パッケージのステータスを「プレビュー」から「アクティブ」に変更..... 1

Changes from Revision C (October 2021) to Revision D (December 2022) Page

- 「製品情報」セクションから SC70 (5) のプレビュー注記を削除..... 1
- 「ピン構成および機能」セクションのフォーマットを変更..... 5
- シングル・チャンネル DCK パッケージの熱に関する情報を追加..... 8

Changes from Revision B (March 2021) to Revision C (October 2021) Page

- 「製品情報」セクションから SOT-23 (14) および TSSOP (14) のプレビュー注記を削除..... 1
- 「製品情報」セクションに TLV9001-Q1 SOT-23 (5) および SC70 (5) パッケージのプレビュー注記を追加..... 1
- データシートに TLV9001-Q1 GPN を追加..... 1
- 「デバイス比較表」セクションに TLV9001-Q1 を追加..... 4
- 「ピン構成および機能」セクションに TLV9001-Q1 DBV (SOT-23) および DCK (SC70) を追加..... 5

Changes from Revision A (June 2020) to Revision B (March 2021) Page

- ドキュメント全体にわたって表、図、相互参照の採番方法を変更..... 1
- 「特長」セクションに機能安全対応のドキュメントのリンクを追加..... 1
- 「製品情報」セクションから VSSOP (8) のプレビュー注記を削除..... 1
- 「絶対最大定格」表の差動入力電圧に注 4 を追加..... 8
- DGK パッケージの熱情報を追加..... 9
- DYY パッケージの熱情報を追加..... 9

Changes from Revision * (May 2019) to Revision A (June 2020) Page

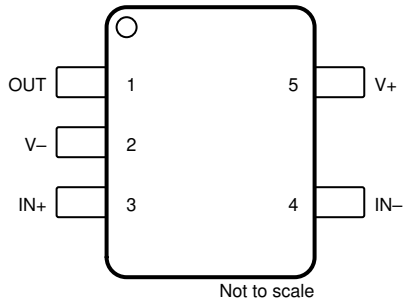
- デバイス・ステータスを「事前情報」から「量産データ」に変更..... 1
- 「アプリケーション」セクションに最終機器のリンクを追加..... 1
- 「製品情報」セクションから SOIC (8) のプレビュー注記を削除..... 1
- 「製品情報」セクションに SOT-23 (14) を追加..... 1

- 「製品情報」セクションから SOIC (14) のプレビュー注記を削除..... 1
- 「デバイス比較表」セクションに SOT-23 (DYY) パッケージを追加..... 4
- 「ピンの機能: TLV9004-Q1」セクションに DYY (SOT-23) を追加..... 5

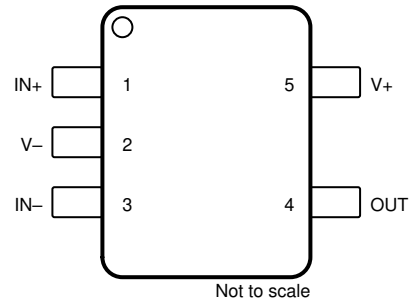
5 デバイス比較表

デバイス	チャンネル 数	パッケージ・リード					
		SOT-23 DBV	SC70 DCK	SOIC D	TSSOP PW	VSSOP DGK	SOT-23 DYY
TLV9001-Q1	1	5	5	—	—	—	—
TLV9002-Q1	2	—	—	8	8	8	—
TLV9004-Q1	4	—	—	14	14	—	14

6 ピン構成および機能



**図 6-1. TLV9001-Q1 DBV パッケージ、
5 ピン SOT-23
(上面図)**

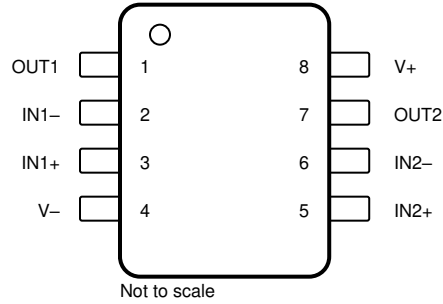


**図 6-2. TLV9001-Q1 DCK パッケージ、
5 ピン SC70
(上面図)**

表 6-1. ピンの機能 : TLV9001-Q1

名称	ピン		タイプ ⁽¹⁾	説明
	SOT-23	SC70		
IN-	4	3	I	反転入力
IN+	3	1	I	非反転入力
OUT	1	4	O	出力
V-	2	2	I または —	負 (低) 電源またはグラウンド (単一電源動作の場合)
V+	5	5	I	正 (高) 電源

(1) I=入力、O=出力

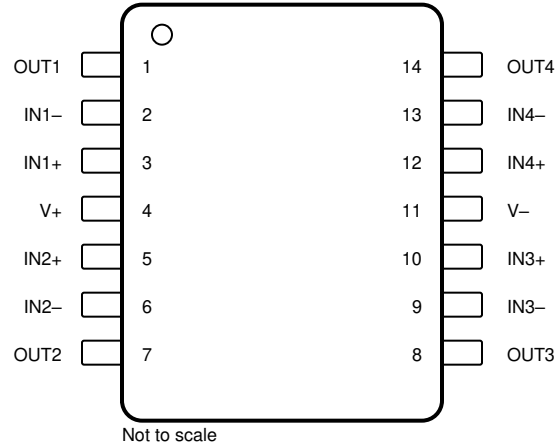


**図 6-3. TLV9002-Q1 D、DGK、PW パッケージ、
8 ピン SOIC、VSSOP、TSSOP
(上面図)**

表 6-2. ピンの機能 : TLV9002-Q1

ピン		タイプ ⁽¹⁾	説明
名称	番号		
IN1-	2	I	反転入力、チャンネル 1
IN1+	3	I	非反転入力、チャンネル 1
IN2-	6	I	反転入力、チャンネル 2
IN2+	5	I	非反転入力、チャンネル 2
OUT1	1	O	出力、チャンネル 1
OUT2	7	O	出力、チャンネル 2
V-	4	I または —	負 (低) 電源またはグラウンド (単一電源動作の場合)
V+	8	I	正 (高) 電源

(1) I=入力、O=出力



**図 6-4. TLV9004-Q1 D、PW、DYY パッケージ、
 14 ピン SOIC、TSSOP、SOT-23
 (上面図)**

表 6-3. ピンの機能 : TLV9004-Q1

ピン		タイプ ⁽¹⁾	説明
名称	番号		
IN1-	2	I	反転入力、チャンネル 1
IN1+	3	I	非反転入力、チャンネル 1
IN2-	6	I	反転入力、チャンネル 2
IN2+	5	I	非反転入力、チャンネル 2
IN3-	9	I	反転入力、チャンネル 3
IN3+	10	I	非反転入力、チャンネル 3
IN4-	13	I	反転入力、チャンネル 4
IN4+	12	I	非反転入力、チャンネル 4
NC	—	—	内部接続なし
OUT1	1	O	出力、チャンネル 1
OUT2	7	O	出力、チャンネル 2
OUT3	8	O	出力、チャンネル 3
OUT4	14	O	出力、チャンネル 4
V-	11	I または —	負 (低) 電源またはグラウンド (単一電源動作の場合)
V+	4	I	正 (高) 電源

(1) I=入力、O=出力

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

			最小値	最大値	単位
電源電圧 (V+ - [V-])			0	6	V
信号入力ピン	電圧 ⁽²⁾	同相	(V-) - 0.5	(V+) + 0.5	V
		差動 ⁽⁴⁾	(V+) - (V-) + 0.2		V
	電流 ⁽²⁾		-10	10	mA
出力短絡 ⁽³⁾			連続		mA
動作温度、T _A			-55	150	°C
接合部、T _J				150	°C
保存、T _{stg}			-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このような条件や、「推奨動作条件」に記載されている条件を超える条件でデバイスが機能するということを意味するわけではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力ピンは、電源レールに対してダイオード・クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超える可能性がある場合は、電流を 10mA 以下に制限する必要があります。
- (3) グランドへの短絡、1 パッケージ当たり 1 アンペア。
- (4) 0.5V を超える差動入力電圧が連続的に印加されると、入力オフセット電圧と静止電流がこれらのパラメータの最大仕様を上回ってシフトする可能性があります。動作時の周囲温度が高いときほど、その影響が大きくなります。

7.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	±2000	V
		荷電デバイス・モデル (CDM)、AEC Q100-011 準拠	±1000	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V _S	電源電圧	1.8	5.5	V
T _A	仕様温度範囲	-40	125	°C

7.4 シングル・チャンネルの熱に関する情報

熱評価基準 ⁽¹⁾		TLV9001-Q1		単位
		DBV ⁽²⁾ (SOT-23)	DCK (SC70)	
		5 ピン	5 ピン	
R _{θJA}	接合部から周囲への熱抵抗	232.5	239.6	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	131.0	148.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	99.6	82.3	°C/W
ψ _{JT}	接合部から上面への特性パラメータ	66.5	54.5	°C/W
ψ _{JB}	接合部から基板への特性パラメータ	99.1	81.8	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	未定	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポート、SPRA953 を参照してください。
- (2) このパッケージ・オプションは、TLV9001-Q1 についてはプレビュー版です。

7.5 デュアル・チャンネルの熱に関する情報

熱評価基準 ⁽¹⁾		TLV9002-Q1			単位
		D (SOIC)	DGK (VSSOP)	PW (TSSOP)	
		8 ピン	8 ピン	8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	151.9	196.6	未定	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	92.0	86.2	未定	°C/W
R _{θJB}	接合部から基板への熱抵抗	95.4	118.3	未定	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	40.2	23.2	未定	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	94.7	116.7	未定	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

7.6 クワッド・チャンネルの熱に関する情報

熱評価基準 ⁽¹⁾		TLV9004-Q1			単位
		D (SOIC)	DYY (SOT-23)	PW (TSSOP)	
		14 ピン	14 ピン	14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	115.1	154.3	135.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	71.2	86.8	63.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	71.1	67.9	78.4	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	29.6	10.1	13.6	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	70.7	67.5	77.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

7.7 電気的特性

$V_S = (V+) - (V-) = 1.8V \sim 5.5V (\pm 0.9V \sim \pm 2.75V)$ 、 $T_A = 25^\circ C$ 、 $R_L = 10k\Omega$ を $V_S/2$ に接続、 $V_{CM} = V_{OUT} = V_S/2$ の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧	$V_S = 5V$		± 0.4	± 1.85	mV
		$V_S = 5V, T_A = -40^\circ C \sim 125^\circ C$			± 2	mV
dV_{OS}/dT	V_{OS} と温度との関係	$T_A = -40^\circ C \sim 125^\circ C$		± 0.6		$\mu V/^\circ C$
PSRR	電源除去比	$V_S = 1.8V \sim 5.5V, V_{CM} = (V-)$	80	105		dB
入力電圧範囲						
V_{CM}	同相電圧範囲	位相反転なし、レール・ツー・レール入力	$(V-) - 0.1$		$(V+) + 0.1$	V
CMRR	同相信号除去比	$V_S = 1.8V, (V-) - 0.1V < V_{CM} < (V+) - 1.4V, T_A = -40^\circ C \sim 125^\circ C$		86		dB
		$V_S = 5.5V, (V-) - 0.1V < V_{CM} < (V+) - 1.4V, T_A = -40^\circ C \sim 125^\circ C$		95		dB
		$V_S = 5.5V, (V-) - 0.1V < V_{CM} < (V+) + 0.1V, T_A = -40^\circ C \sim 125^\circ C$	63	77		dB
		$V_S = 1.8V, (V-) - 0.1V < V_{CM} < (V+) + 0.1V, T_A = -40^\circ C \sim 125^\circ C$		68		dB
入力バイアス電流						
I_B	入力バイアス電流	$V_S = 5V$		± 5		pA
I_{OS}	入力オフセット電流			± 2		pA
ノイズ						
E_n	入力電圧ノイズ (ピーク・ツー・ピーク)	$f = 0.1Hz \sim 10Hz, V_S = 5V$		4.7		μV_{PP}
e_n	入力電圧ノイズ密度	$f = 1kHz, V_S = 5V$		30		nV/\sqrt{Hz}
		$f = 10kHz, V_S = 5V$		27		nV/\sqrt{Hz}
i_n	入力電流ノイズ密度	$f = 1kHz, V_S = 5V$		23		fA/\sqrt{Hz}
入力容量						
C_{ID}	差動			1.5		pF
C_{IC}	同相			5		pF
開ループ・ゲイン						
A_{OL}	開ループ電圧ゲイン	$V_S = 5.5V, (V-) + 0.05V < V_O < (V+) - 0.05V, R_L = 10k\Omega$	104	117		dB
		$V_S = 1.8V, (V-) + 0.04V < V_O < (V+) - 0.04V, R_L = 10k\Omega$		100		dB
		$V_S = 1.8V, (V-) + 0.1V < V_O < (V+) - 0.1V, R_L = 2k\Omega$		115		dB
		$V_S = 5.5V, (V-) + 0.15V < V_O < (V+) - 0.15V, R_L = 2k\Omega$		130		dB
周波数特性						
GBW	ゲイン帯域幅積	$V_S = 5V$		1		MHz
ϕ_m	位相マージン	$V_S = 5.5V, G = 1$		78		度
SR	スルーレート	$V_S = 5V$		2		V/ μs
t_s	セトリング・タイム	0.1% まで、 $V_S = 5V, 2V$ ステップ、 $G = +1, C_L = 100pF$		2.5		μs
		0.01% まで、 $V_S = 5V, 2V$ ステップ、 $G = +1, C_L = 100pF$		3		μs
t_{OR}	過負荷復帰時間	$V_S = 5V, V_{IN} \times \text{ゲイン} > V_S$		0.85		μs
THD+N	全高調波歪 + ノイズ	$V_S = 5.5V, V_{CM} = 2.5V, V_O = 1V_{RMS}, G = +1, f = 1kHz, 80kHz$ の測定帯域幅		0.004		%
出力						
V_O	電源レールからの電圧出力スイング	$V_S = 5.5V, R_L = 10k\Omega$		10	20	mV
		$V_S = 5.5V, R_L = 2k\Omega$		35	55	mV
I_{SC}	短絡電流	$V_S = 5.5V$		± 40		mA

7.7 電気的特性 (continued)

$V_S = (V+) - (V-) = 1.8V \sim 5.5V (\pm 0.9V \sim \pm 2.75V)$ 、 $T_A = 25^\circ C$ 、 $R_L = 10k\Omega$ を $V_S/2$ に接続、 $V_{CM} = V_{OUT} = V_S/2$ の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
Z_O	開ループ出力インピーダンス	$V_S = 5V$ 、 $f = 1MHz$		1200		Ω
電源						
V_S	規定電圧範囲		1.8 (± 0.9)		5.5 (± 2.75)	V
I_Q	静止電流 (アンプ 1 個あたり)	$I_O = 0mA$ 、 $V_S = 5.5V$		60	80	μA
		$I_O = 0mA$ 、 $V_S = 5.5V$ 、 $T_A = -40^\circ C \sim 125^\circ C$			85	μA
	パワーオン時間	$V_S = 0V \sim 5V$ から I_Q レベルの 90% まで		50		μs

7.8 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{CM} = V_S/2$ 、 $V_{OUT} = V_S/2$ (特に記述のない限り)

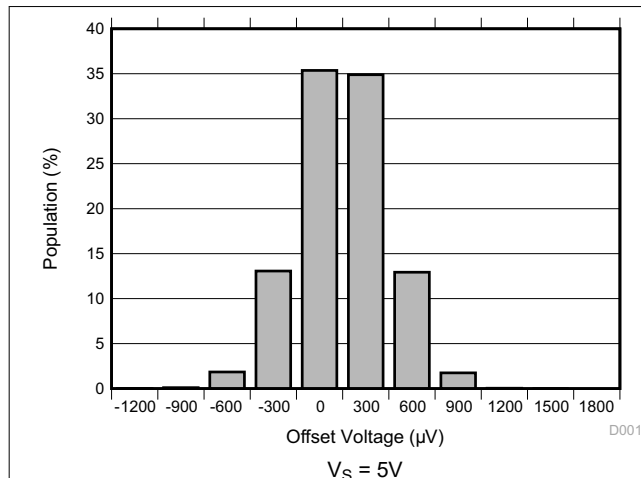


図 7-1. オフセット電圧の分布ヒストグラム

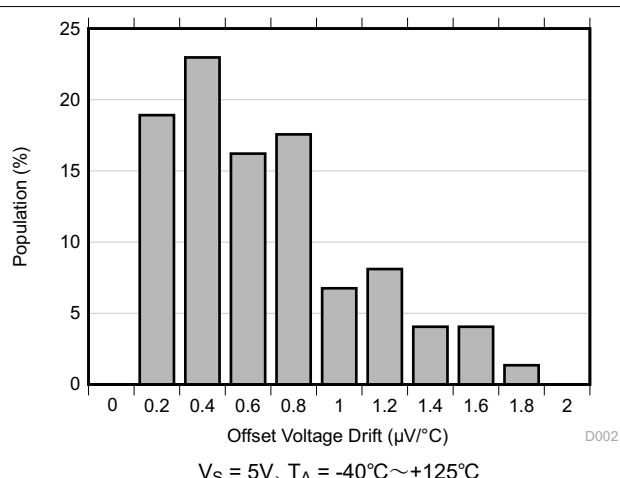


図 7-2. オフセット電圧ドリフトの分布ヒストグラム

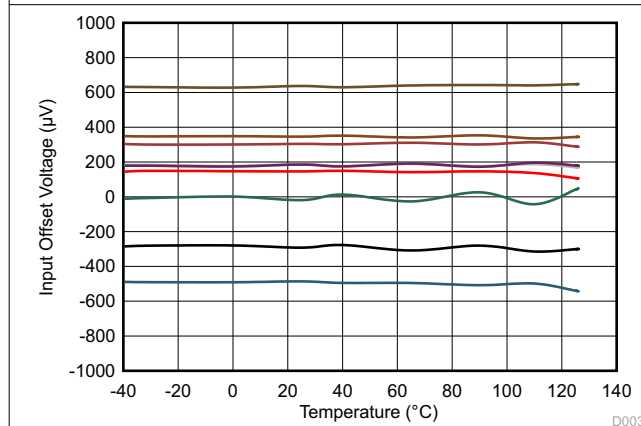


図 7-3. 入力オフセット電圧と温度との関係

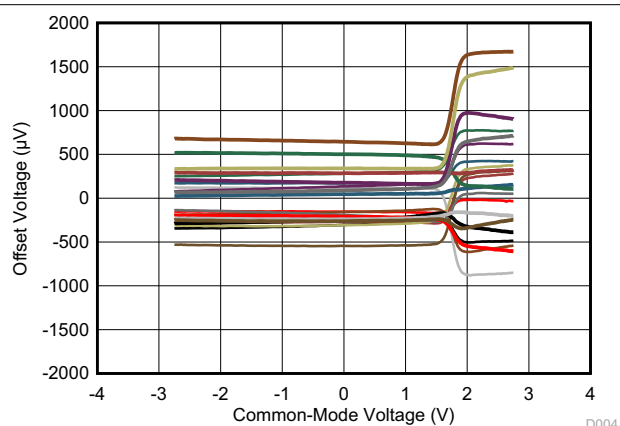


図 7-4. オフセット電圧と同相電圧との関係

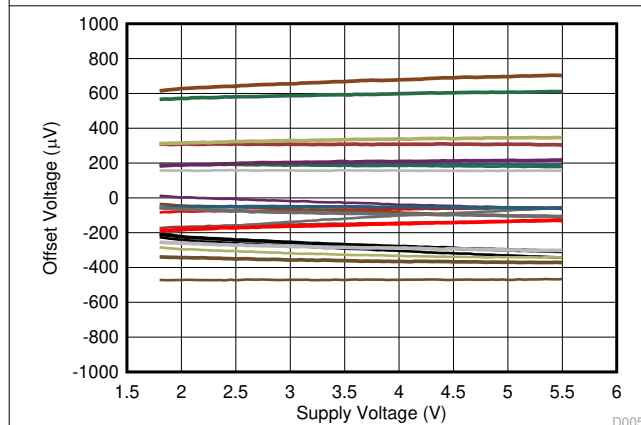


図 7-5. オフセット電圧と電源電圧との関係

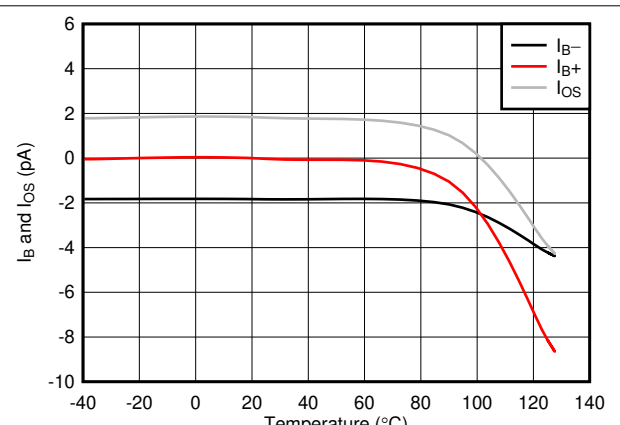


図 7-6. I_B および I_{OS} と温度との関係

7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{CM} = V_S/2$, $V_{OUT} = V_S/2$ (特に記述のない限り)

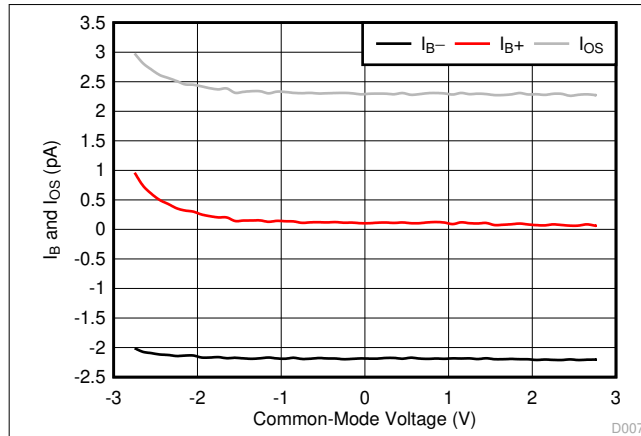


図 7-7. I_B および I_{OS} と同相電圧との関係

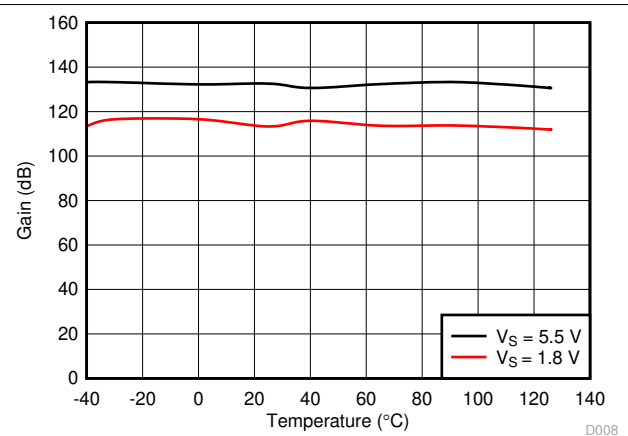


図 7-8. 開ループ・ゲインと温度との関係

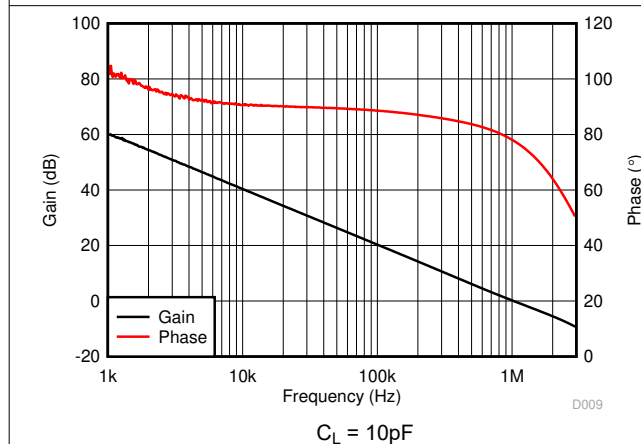


図 7-9. 開ループ・ゲインおよび位相と周波数との関係

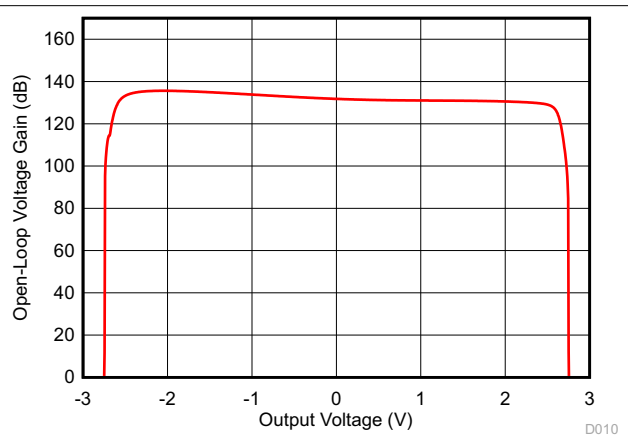


図 7-10. 開ループのゲインと出力電圧との関係

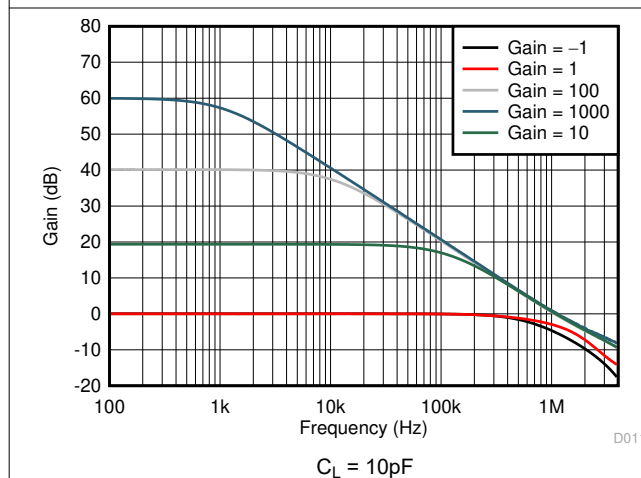


図 7-11. 開ループ・ゲインと周波数との関係

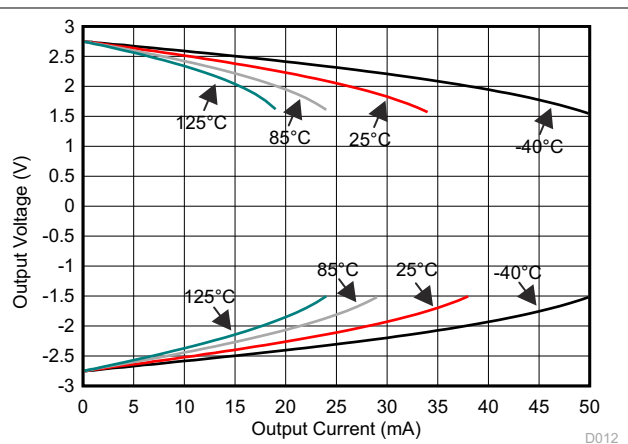


図 7-12. 出力電圧と出力電流との関係 (クロー)

7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{CM} = V_S/2$, $V_{OUT} = V_S/2$ (特に記述のない限り)

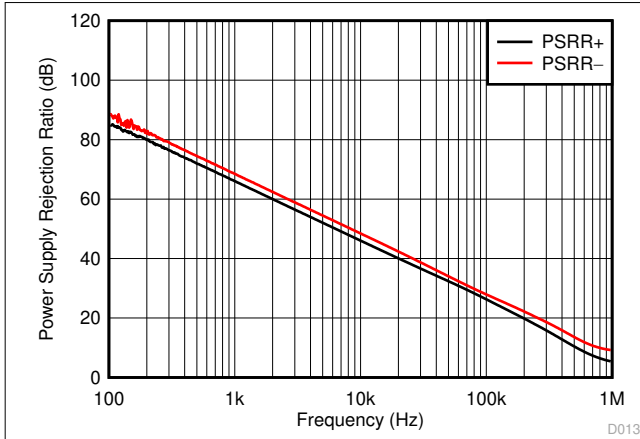


図 7-13. PSRR と周波数との関係

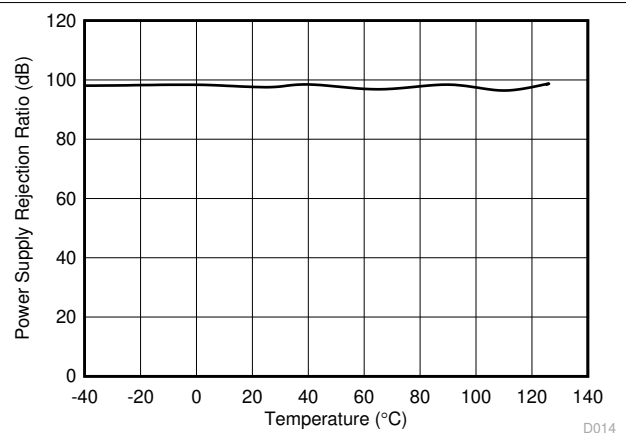


図 7-14. DC PSRR と温度との関係

$V_S = 1.8\text{V} \sim 5.5\text{V}$

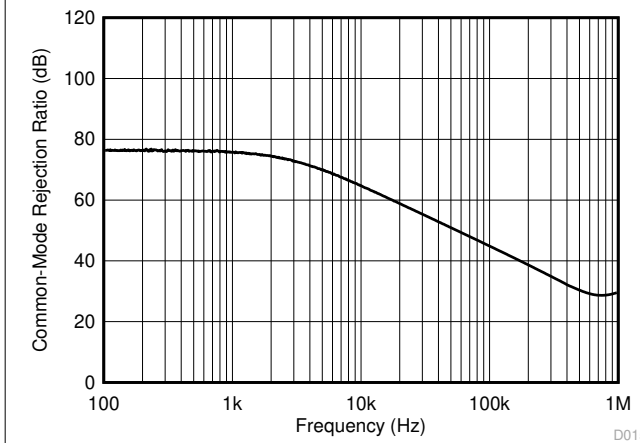


図 7-15. CMRR と周波数との関係

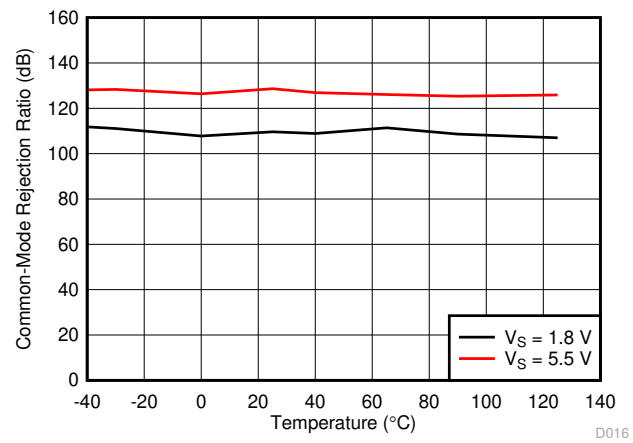


図 7-16. DC CMRR と温度との関係

$V_{CM} = (V_-) - 0.1\text{V} \sim (V_+) - 1.4\text{V}$

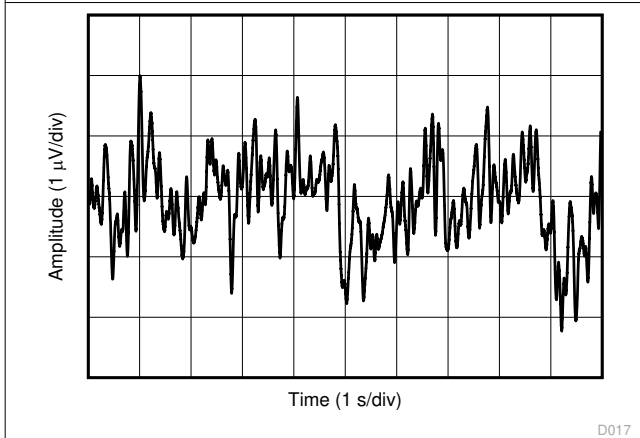


図 7-17. 0.1Hz~10Hz の積分電圧ノイズ

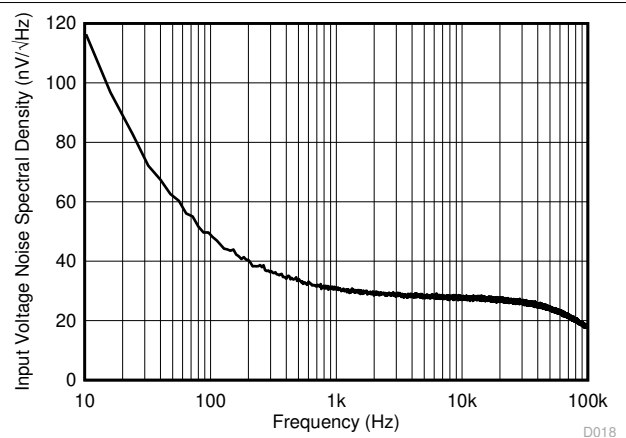


図 7-18. 入力電圧ノイズ・スペクトル密度

7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{CM} = V_S/2$, $V_{OUT} = V_S/2$ (特に記述のない限り)

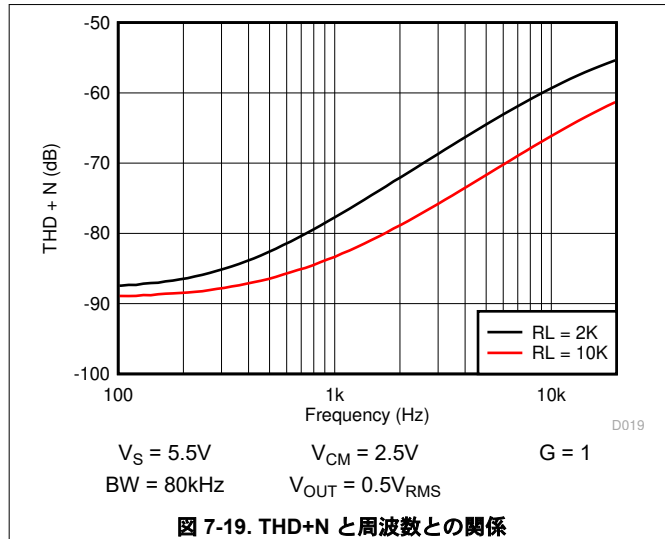


図 7-19. THD+N と周波数との関係

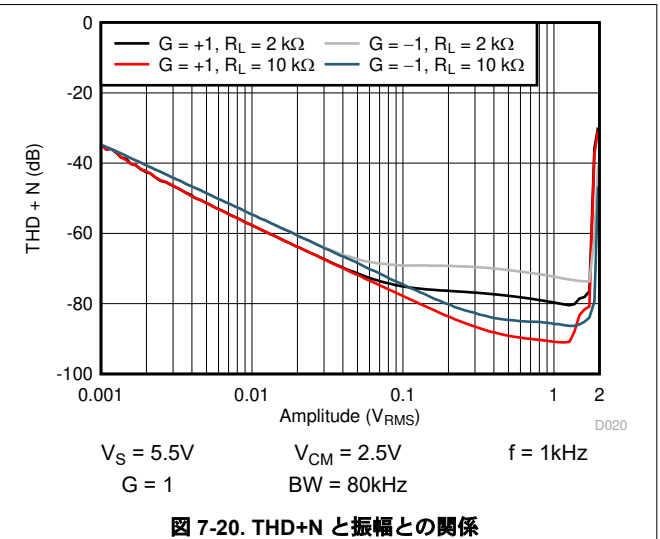


図 7-20. THD+N と振幅との関係

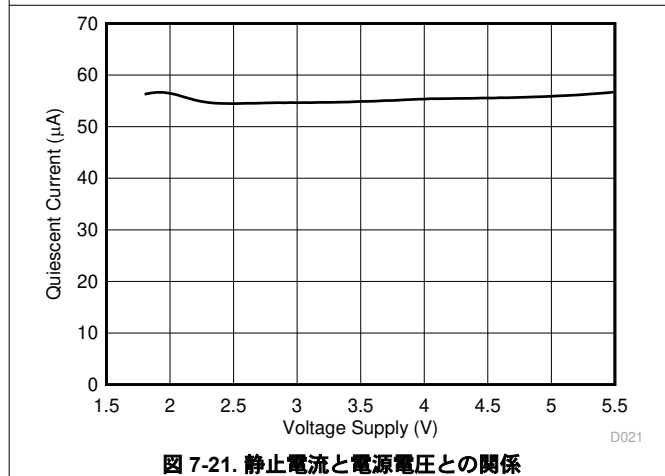


図 7-21. 静止電流と電源電圧との関係

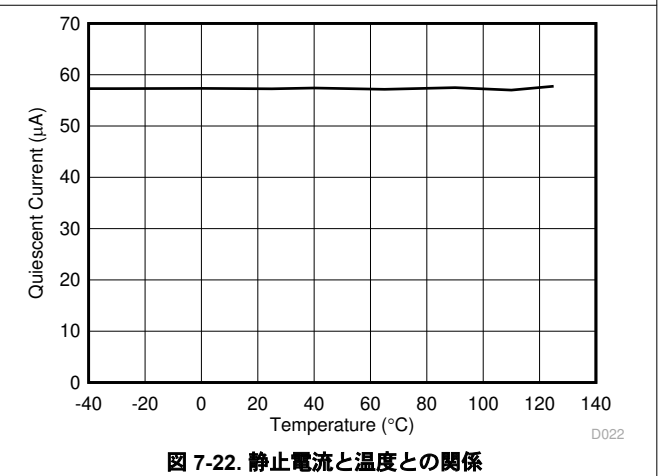


図 7-22. 静止電流と温度との関係

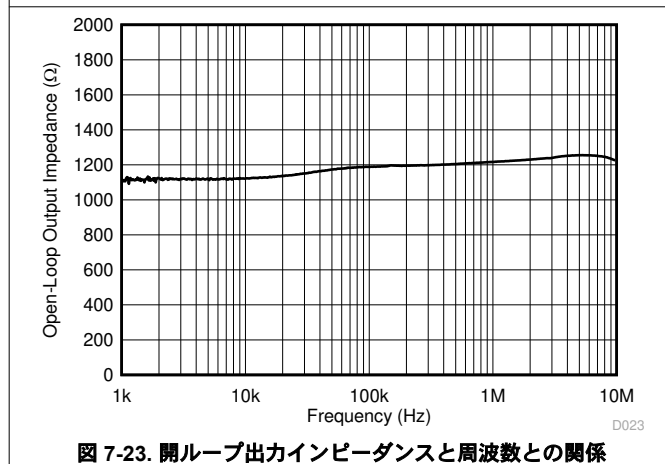


図 7-23. 開ループ出力インピーダンスと周波数との関係

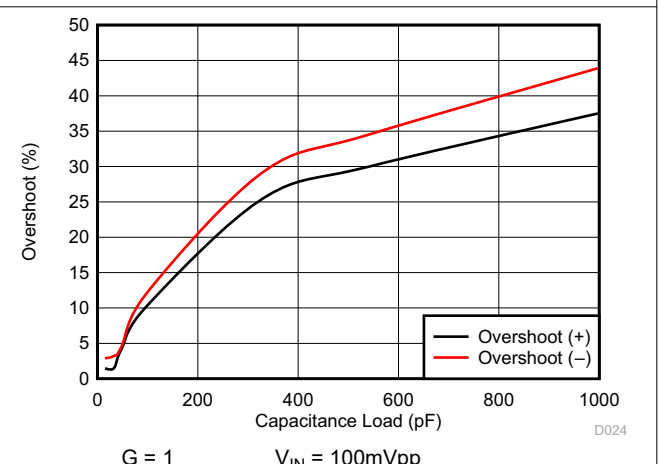


図 7-24. 小信号オーバーシュートと容量性負荷との関係

7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{CM} = V_S/2$, $V_{OUT} = V_S/2$ (特に記述のない限り)

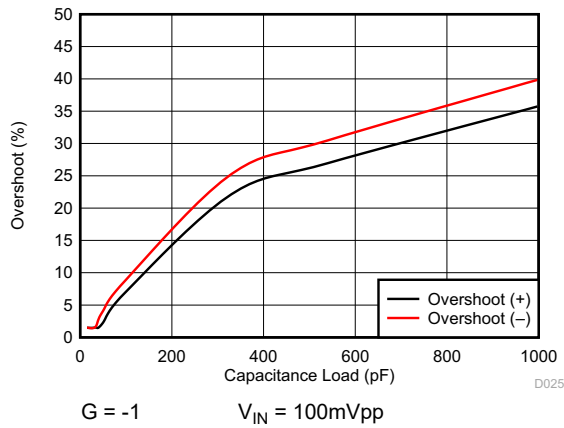


図 7-25. 小信号オーバーシュートと容量性負荷との関係

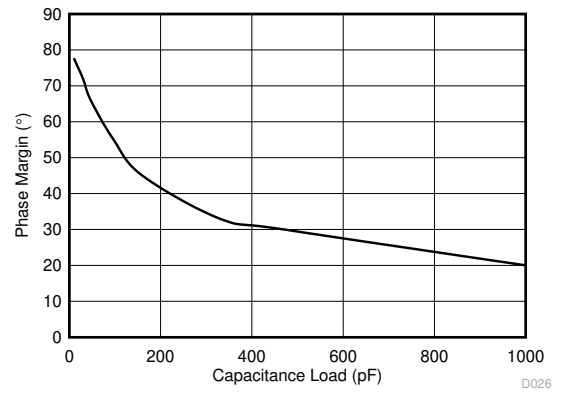


図 7-26. 位相マージンと容量性負荷との関係

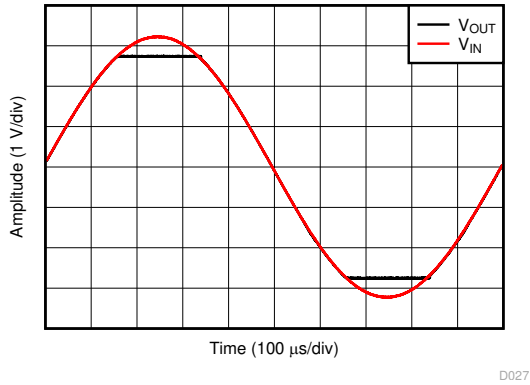


図 7-27. 位相反転なし

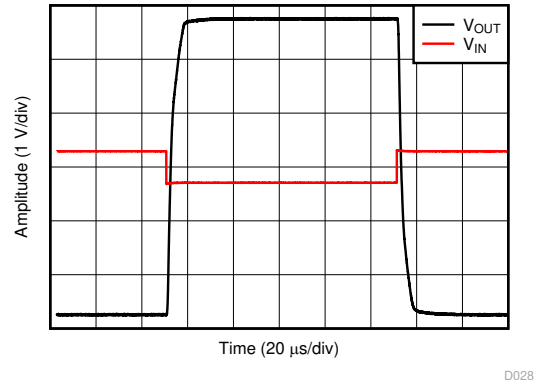


図 7-28. 過負荷からの回復

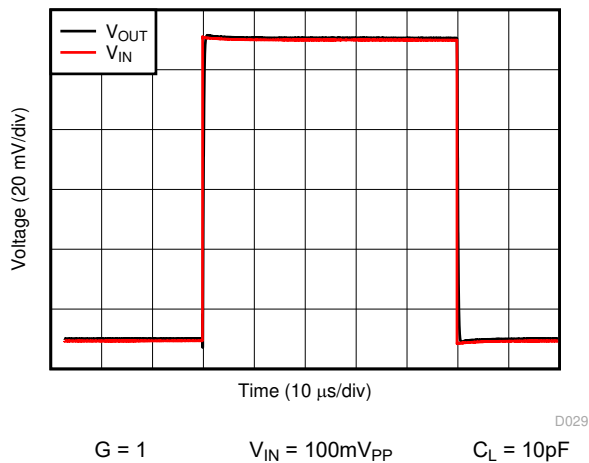


図 7-29. 小信号ステップ応答

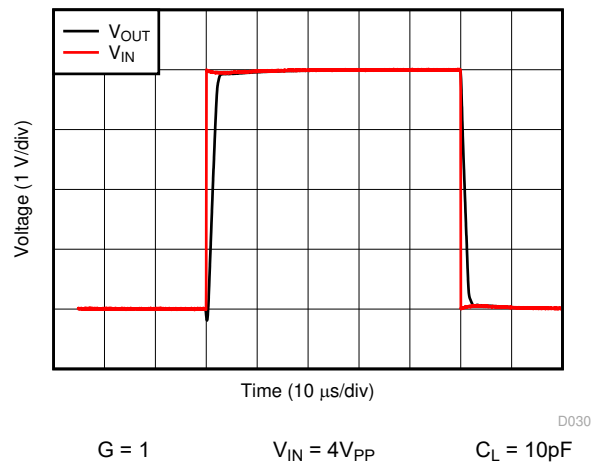
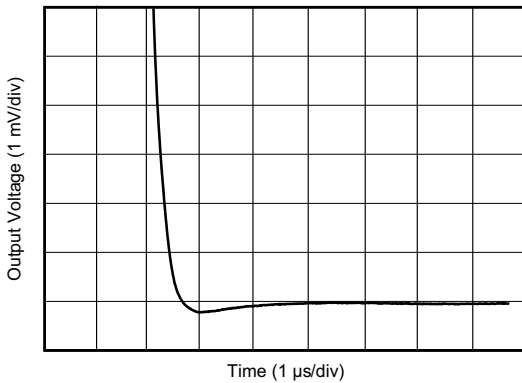


図 7-30. 大信号ステップ応答

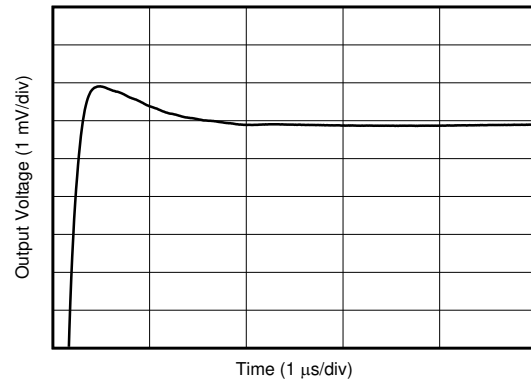
7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{CM} = V_S/2$, $V_{OUT} = V_S/2$ (特に記述のない限り)



D031
G = 1 $C_L = 100\text{pF}$ 2V ステップ

図 7-31. 大信号セトリング・タイム (負)



D032
G = 1 $C_L = 100\text{pF}$ 2V ステップ

図 7-32. 大信号セトリング・タイム (正)

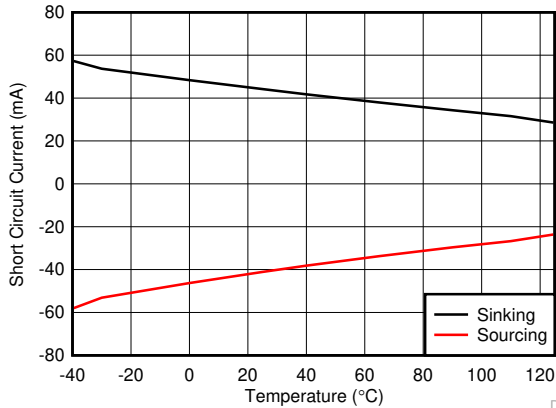


図 7-33. 短絡電流と温度との関係

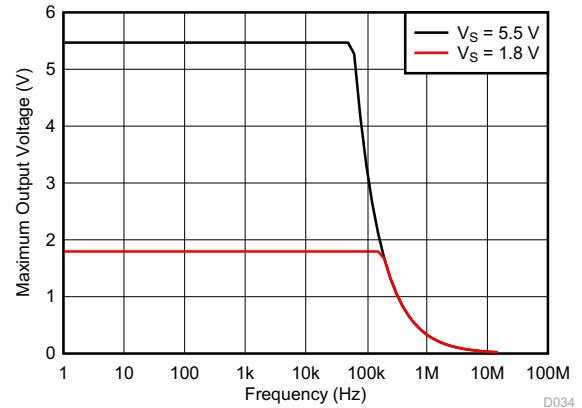


図 7-34. 最大出力電圧と周波数との関係

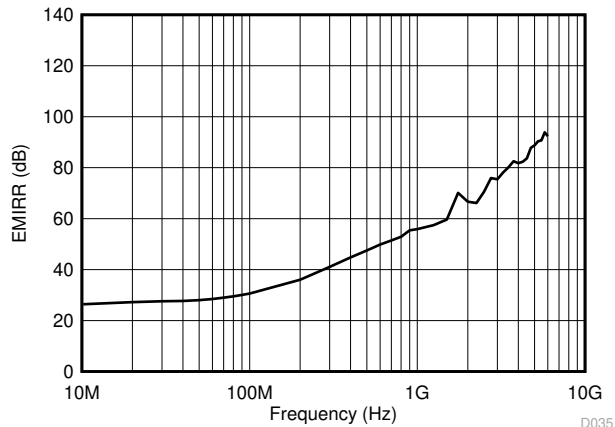


図 7-35. 非反転入力を基準とする電磁干渉除去比 (EMIRR+) と周波数との関係

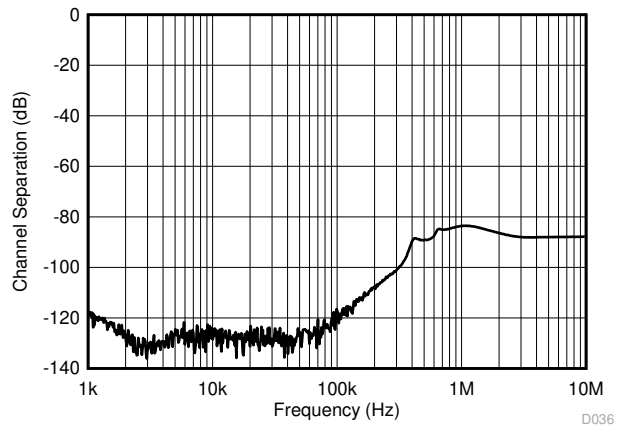


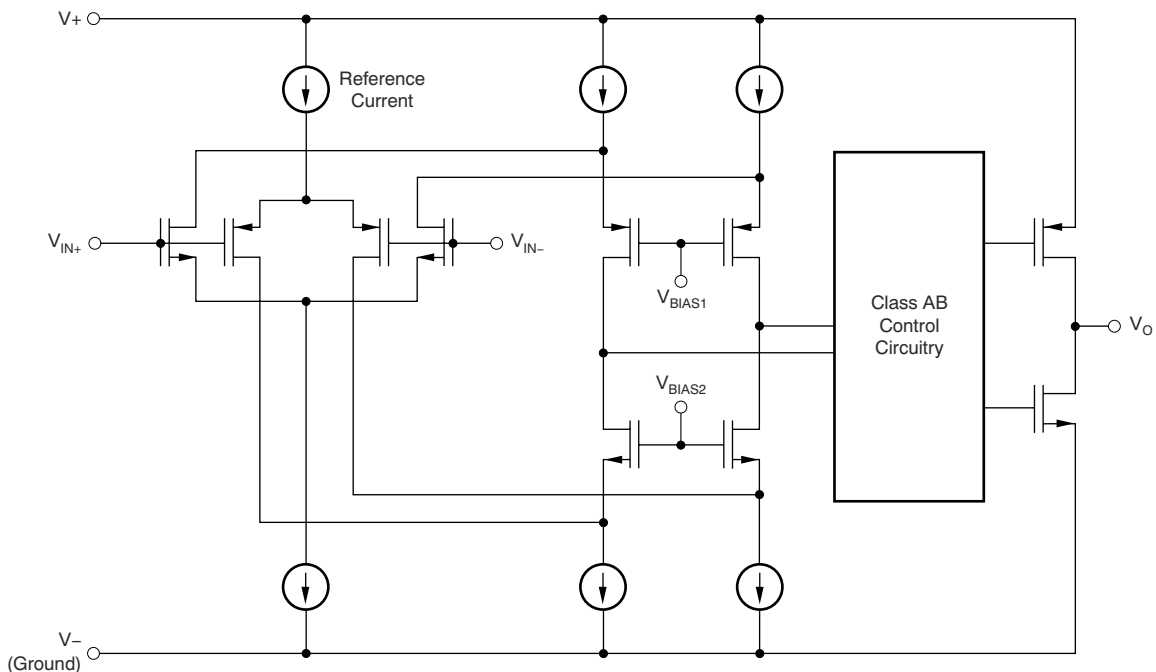
図 7-36. チャンネル・セパレーション

8 詳細説明

8.1 概要

TLV900x-Q1 は、車載向けに認定された低消費電力のレール・ツー・レール入力および出力オペアンプのファミリーです。これらのデバイスは 1.8V~5.5V で動作し、ユニティ・ゲインで安定しており、幅広い汎用アプリケーションのために設計されています。入力同相電圧範囲には両方のレールが含まれており、TLV900x-Q1 ファミリーを事実上あらゆる単一電源アプリケーションで使用できます。レール・ツー・レールの入力および出力スイングにより、特に低電源アプリケーションでダイナミック・レンジが大幅に拡大し、サンプリング A/D コンバータ (ADC) の駆動に適しています。

8.2 機能ブロック図



8.3 機能説明

8.3.1 動作電圧

TLV900x-Q1 ファミリのオペアンプは 1.8V~5.5V で動作します。また、入力オフセット電圧、静止電流、オフセット電流、短絡電流など多くの仕様は、-40°C~125°Cで適用されます。動作電圧または温度によって大きく変動するパラメータを、「代表的特性」セクションに示します。

8.3.2 レール・ツー・レール入力

TLV900x-Q1 ファミリの入力同相電圧範囲は、1.8V~5.5V の電源電圧範囲全体で、電源レールを 100mV 超えています。この性能は、相補入力段により実現されます。「機能ブロック図」セクションに示すように、N チャネル入力差動ペアは P チャネル差動ペアと並列に接続されます。N チャネル・ペアは、正のレールに近い入力電圧についてアクティブになります。通常は (V+) - 1.4V から、正の電源電圧よりも 100mV 高い電圧までです。一方、P チャネル・ペアは負の電源電圧より 100mV 下から、(V+) - 1.4V 程度までの入力についてアクティブになります。小さい遷移領域があり、通常は (V+) - 1.2V~(V+) - 1V の範囲で両方のペアがオンになります。この 100mV の遷移領域は、プロセスのバラツキにより、100mV 程度まで変動することがあります。したがって、遷移領域 (両方の段がオン) は、Low 側では (V+) - 1.4V~(V+) - 1.2V、High 側では (V+) - 1V~(V+) - 0.8V までの範囲になることがあります。この遷移領域内では、この領域の外側でデバイスが動作しているときと比較して、PSRR、CMRR、オフセット電圧、オフセット・ドリフト、THD が劣化する可能性があります。

8.3.3 レール・ツー・レール出力

TLV900x-Q1 ファミリは、低消費電力、低電圧のオペアンプとして設計されており、堅牢な出力駆動が可能です。共通ソースのトランジスタを持つ Class-AB 出力段により、レール・ツー・レールの出力スイング能力が得られます。抵抗性負荷が 10kΩ の場合、印加されている電源電圧に関係なく、どちらの電源レールに対しても出力が 20mV 以内までスイングします。アンプがレールのどれだけ近くまでスイングできるかは、負荷条件によって変化します。

8.3.4 過負荷からの回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ・キャリアは線形状態に回復するための時間を必要とします。チャージ・キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。TLV900x-Q1 ファミリの過負荷復帰時間は約 850ns です。

8.4 デバイスの機能モード

TLV900x-Q1 ファミリは 1 つの機能モードを持っています。電源電圧が 1.8V (±0.9V) と 5.5V (±2.75V) の間にある限り、本デバイスは機能します。

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TLV900x-Q1 ファミリの低消費電力、レール・ツー・レール入力および出力オペアンプは、ポータブル・アプリケーションに特化して設計されています。本デバイスは 1.8V~5.5V で動作し、ユニティ・ゲインで安定しているため、幅広い汎用アプリケーションに適しています。Class-AB の出力段は、V+ と V- との間の任意のポイントに接続される 10k Ω 以下の負荷を駆動できます。入力同相電圧範囲には両方のレールが含まれており、TLV900x-Q1 デバイスをあらゆる単一電源アプリケーションで使用できます。

9.2 代表的なアプリケーション

9.2.1 TLV900x-Q1 ローサイド電流検出アプリケーション

図 9-1 に、ローサイド電流検出アプリケーション用に構成された TLV900x-Q1 を示します。

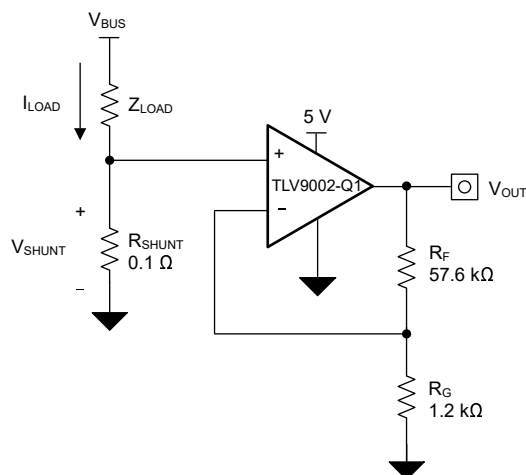


図 9-1. ローサイド電流検出アプリケーションの TLV900x-Q1

9.2.1.1 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流: 0A~1A
- 出力電圧: 4.9V
- 最大シャント電圧: 100mV

9.2.1.2 詳細な設計手順

図 9-1 の回路の伝達関数は、式 1 に示すとおりです。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \quad (1)$$

負荷電流 (I_{LOAD}) により、シャント抵抗 (R_{SHUNT}) の両端で電圧降下が発生します。負荷電流は 0A~1A に設定され、最大負荷電流時にシャント電圧を 100mV 未満に維持するため、最大のシャント抵抗は式 2 を使用して計算されます。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100\text{ mV}}{1\text{ A}} = 100\text{ m}\Omega \quad (2)$$

式 2 から、 R_{SHUNT} は 100m Ω と計算されます。 I_{LOAD} と R_{SHUNT} によって生成される電圧降下は、TLV900x-Q1 デバイスによって増幅され、約 0V~4.9V の出力電圧を生成します。TLV900x-Q1 が必要な出力電圧を生成するために要求するゲインは、式 3 で計算されます。

$$Gain = \frac{(V_{OUT_MAX} - V_{OUT_MIN})}{(V_{IN_MAX} - V_{IN_MIN})} \quad (3)$$

式 3 から、必要なゲインは 49V/V と計算されます。これは抵抗 R_F と R_G で設定します。TLV900x-Q1 デバイスのゲインを 49V/V に設定するための抵抗 R_F および R_G のサイズは式 4 で計算します。

$$Gain = 1 + \frac{(R_F)}{(R_G)} \quad (4)$$

R_F に 57.6k Ω 、 R_G に 1.2k Ω を選択すると、組み合わせで 49V/V に等しくなります。図 9-1 に示す回路で測定された伝達関数を、図 9-2 に示します。ゲインは、帰還抵抗とゲイン抵抗のみの関数であることに注意します。このゲインは、抵抗の比を変えることで調整され、実際の抵抗値は、設計に必要なとされるインピーダンス値によって決定されます。そのインピーダンス値によって、電流ドレイン、浮遊容量の影響、その他の複数の挙動が決まります。最適なインピーダンスの選択はシステムごとに異なるので、システムのパラメータに合わせて最適なインピーダンスを選択する必要があります。

9.2.1.3 アプリケーション曲線

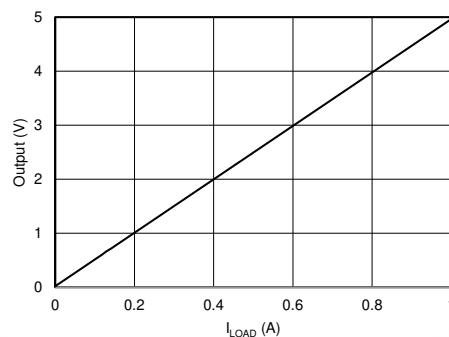


図 9-2. ローサイド、電流検出の伝達関数

9.2.2 単一電源のフォトダイオード・アンプ

フォトダイオードは、光信号を電気信号に変換するために多くのアプリケーションで使用されています。フォトダイオードを流れる電流は吸収される光子エネルギーに比例し、一般に数百 pA から数十 μA の範囲内です。低レベルのフォトダイオード電流を、MCU で処理するための電圧信号に変換するために、トランスインピーダンス構成のアンプが通常使用されます。図 9-3 に示す回路は、TLV9002-Q1 を使った単一電源フォトダイオード・アンプ回路の例です。

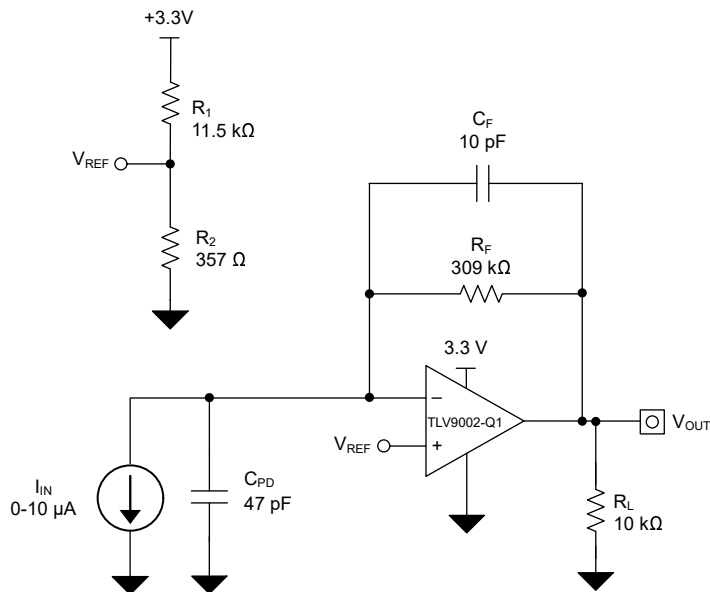


図 9-3. 単一電源のフォトダイオード・アンプ回路

9.2.2.1 設計要件

この設計の設計要件は次のとおりです。

- 電源電圧: 3.3V
- 入力: 0μA~10μA
- 出力: 0.1V~3.2V
- 帯域幅: 50kHz

9.2.2.2 詳細な設計手順

出力電圧 (V_{OUT})、入力電流 (I_{IN})、基準電圧 (V_{REF}) の間の伝達関数は式 5 で定義されます。

$$V_{OUT} = I_{IN} \times R_F + V_{REF} \quad (5)$$

ここで

$$V_{REF} = V_+ \times \left(\frac{R_1 \times R_2}{R_1 + R_2} \right) \quad (6)$$

式 7 で計算された必要比率を満たすように R1 と R2 を設定することで、最小出力電圧レベルを満たす 100mV に V_{REF} を設定します。

$$\frac{V_{REF}}{V_+} = \frac{0.1V}{3.3V} = 0.0303 \quad (7)$$

この比率を満たす最も近い抵抗比から、R1 は 11.5kΩ、R2 は 357Ω に設定されます。

必要な帰還抵抗は、入力電流と目的の出力電圧に基づいて計算できます。

$$R_F = \frac{V_{OUT} - V_{REF}}{I_{IN}} = \frac{3.2V - 0.1V}{10\mu A} = 310 \frac{kV}{A} \approx 309 k\Omega \quad (8)$$

式 9 を使い、 R_F と目的の -3dB 帯域幅 (f_{-3dB}) に基づいて、帰還コンデンサの値を計算します。

$$C_F = \frac{1}{2 \times \pi \times R_F \times f_{-3dB}} = \frac{1}{2 \times \pi \times 309 k\Omega \times 50 kHz} = 10.3 pF \approx 10 pF \quad (9)$$

このアプリケーションに必要なオペアンプ帯域幅の最小値は R_F 、 C_F 、TLV9002-Q1 の INx -ピンの容量によって決まります。この INx -ピンの容量は、フォトダイオードのシャント容量 (CPD)、同相入力容量 (CCM)、差動入力容量 (CD) の合計と同じです (式 10 を参照)。

$$C_{IN} = C_{PD} + C_{CM} + C_D = 47 pF + 5 pF + 1 pF = 53 pF \quad (10)$$

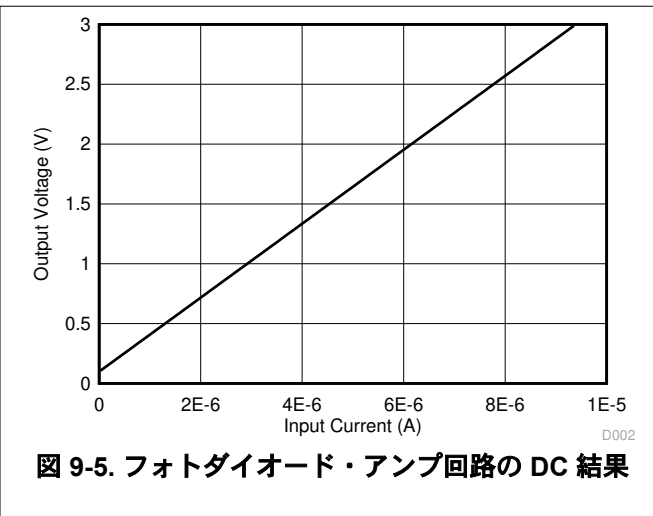
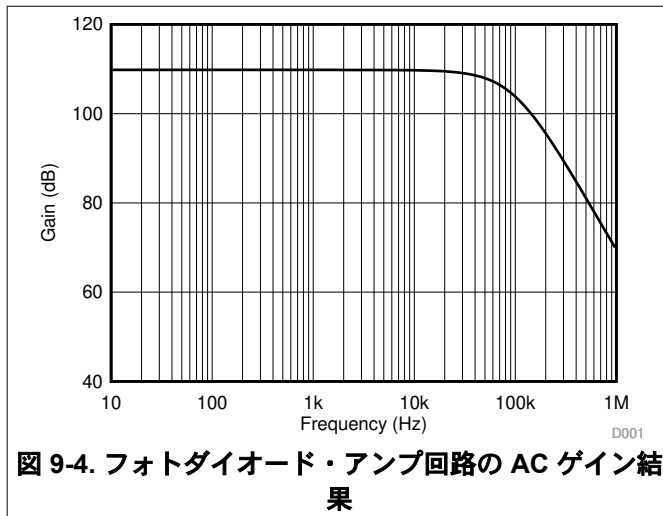
オペアンプ帯域幅の最小値は式 11 で計算されます。

$$f = BGW \geq \frac{C_{IN} + C_F}{2 \times \pi \times R_F \times C_F^2} \geq 324 kHz \quad (11)$$

TLV900x-Q1 の 1MHz 帯域幅は最小帯域幅要件を満たしており、このアプリケーション構成でも安定状態を維持します。

9.2.2.3 アプリケーション曲線

フォトダイオード・アンプ回路について測定される電流から電圧への変換機能を、[図 9-4](#) に示します。フォトダイオード・アンプ回路について測定される性能を、[図 9-5](#) に示します。



9.3 電源に関する推奨事項

TLV900x-Q1 ファミリーは、1.8V~5.5V ($\pm 0.9V \sim \pm 2.75V$) での動作が規定されています。多くの仕様は、 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ で適用されます。「代表的特性」セクションには、動作電圧または温度に関して大きな変動をもたらす可能性のあるパラメータが記載されています。

注意

6V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」の表を参照してください。

電源ピンの近くに $0.1\mu\text{F}$ のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの結合による誤差を低減できます。バイパス・コンデンサの配置の詳細については、「レイアウトのガイドライン」セクションを参照してください。

9.3.1 入力および ESD 保護

TLV900x-Q1 ファミリーには、すべてのピンに内部 ESD 保護回路が組み込まれています。入力ピンと出力ピンの場合、この保護は主に入力ピンと電源ピンの間に接続された電流ステアリング・ダイオードで構成されます。これらの ESD 保護ダイオードは、電流が 10mA に制限されている限り、回路内で入力オーバードライブの保護を行います。駆動入力に直列入力抵抗を追加して入力電流を制限する方法を、[図 9-6](#) に示します。追加された抵抗はアンプの入力で熱ノイズを引き起こすため、ノイズに敏感なアプリケーションでは値を最小限に抑える必要があります。

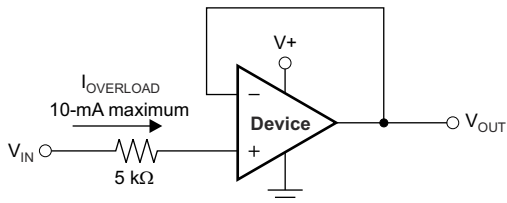


図 9-6. 入力電流保護

9.4 レイアウト

9.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズは、基板の電源接続を経由してアナログ回路に伝播し、オペアンプ自体の電源ピンに伝搬することがあります。バイパス・コンデンサは、グラウンドへの低インピーダンスなパスを設置して、結合ノイズを低減するために使用されます。
 - 各電源ピンとグラウンドとの間に、低 ESR の $0.1\mu\text{F}$ セラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、 $V+$ からグラウンドに対して単一のバイパス・コンデンサを接続します。
- 回路のアナログ部分とデジタル部分のグラウンドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の一つです。通常、多層 PCB のうち 1 つ以上の層はグラウンド・プレーン専用です。グラウンド・プレーンは熱の分散に役立ち、EMI (電磁干渉) ノイズを拾いにくくなります。デジタル・グラウンドとアナログ・グラウンドを物理的に分離し、グラウンド電流の流れに注意を払います。詳細については、『回路基板のレイアウト技法』を参照してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離しておけない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します (図 9-8 を参照)。 R_F と R_G を反転入力に近付けて配置すると、寄生容量を最小化できます。
- 入力配線はできる限り短くします。入力配線は回路の最も敏感な部分であることに注意します。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。
- 最高の性能を実現するため、基板組み立ての後で PCB を清掃することを推奨します。
- 高精度の集積回路では、プラスチック・パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄してから、PCB アセンブリをベーキングして、清掃プロセス中にデバイスのパッケージに取り込まれた水分を除去することを推奨します。ほとんどの状況では、クリーニング後に 85°C で 30 分間の低温ベーキングを行えば十分です。

9.4.2 レイアウト例

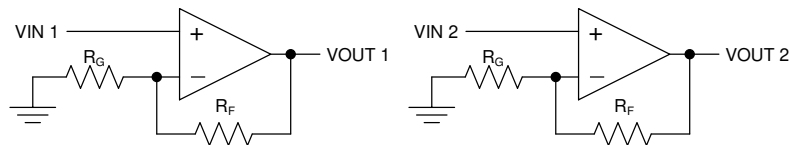


図 9-7. 図 11-2 の回路図

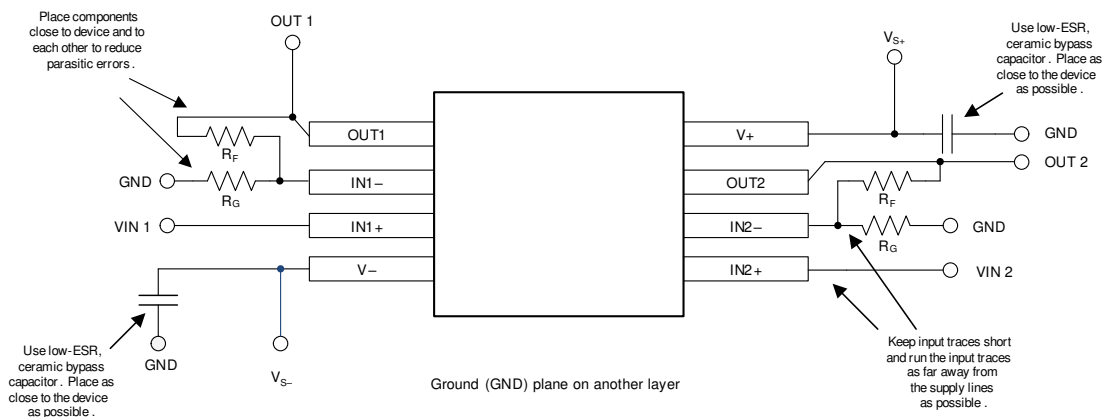


図 9-8. レイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[オペアンプの EMI 除去率](#)』

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](#) のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

10.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV9001QDBVRQ1	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	2T5H	Samples
TLV9001QDCKRQ1	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1MZ	Samples
TLV9002QDGKRQ1	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	27DT	Samples
TLV9002QDRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9002Q	Samples
TLV9004QDRQ1	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LV9004Q	Samples
TLV9004QDYRQ1	ACTIVE	SOT-23-THIN	DYY	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9004Q	Samples
TLV9004QPWRQ1	ACTIVE	TSSOP	PW	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9004Q	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV9001-Q1, TLV9002-Q1, TLV9004-Q1 :

- Catalog : [TLV9001](#), [TLV9002](#), [TLV9004](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9001QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9001QDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV9002QDQKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TLV9002QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9004QDRQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV9004QDYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TLV9004QPWRQ1	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9001QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9001QDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0
TLV9002QDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV9002QDRQ1	SOIC	D	8	2500	356.0	356.0	35.0
TLV9004QDRQ1	SOIC	D	14	2500	356.0	356.0	35.0
TLV9004QDYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TLV9004QPWRQ1	TSSOP	PW	14	3000	356.0	356.0	35.0

DCK0005A



PACKAGE OUTLINE

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side

EXAMPLE BOARD LAYOUT

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

- 7. Publication IPC-7351 may have alternate designs.
- 8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
 EXPOSED METAL SHOWN
 SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW0014A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DBV0005A



PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

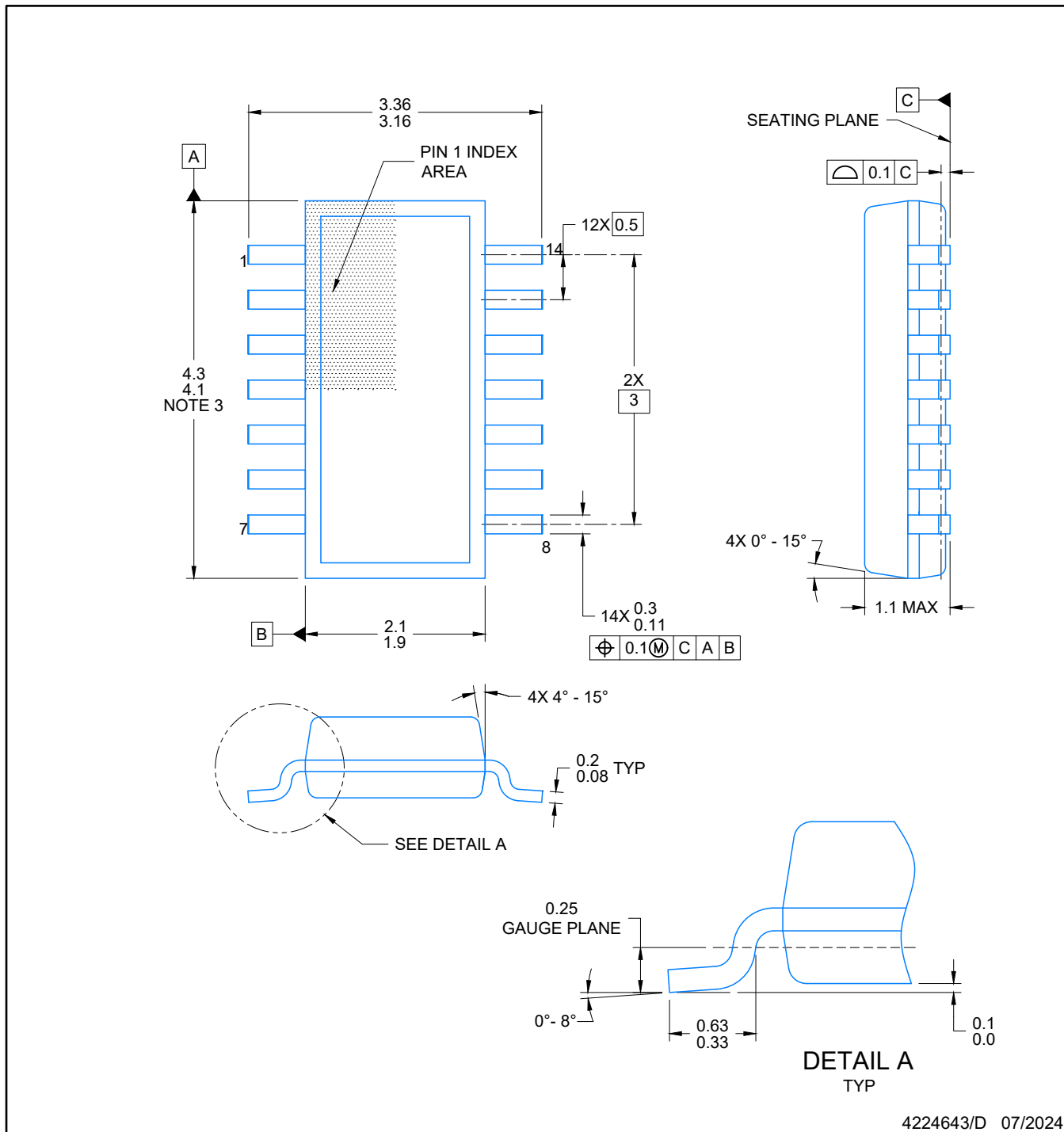


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

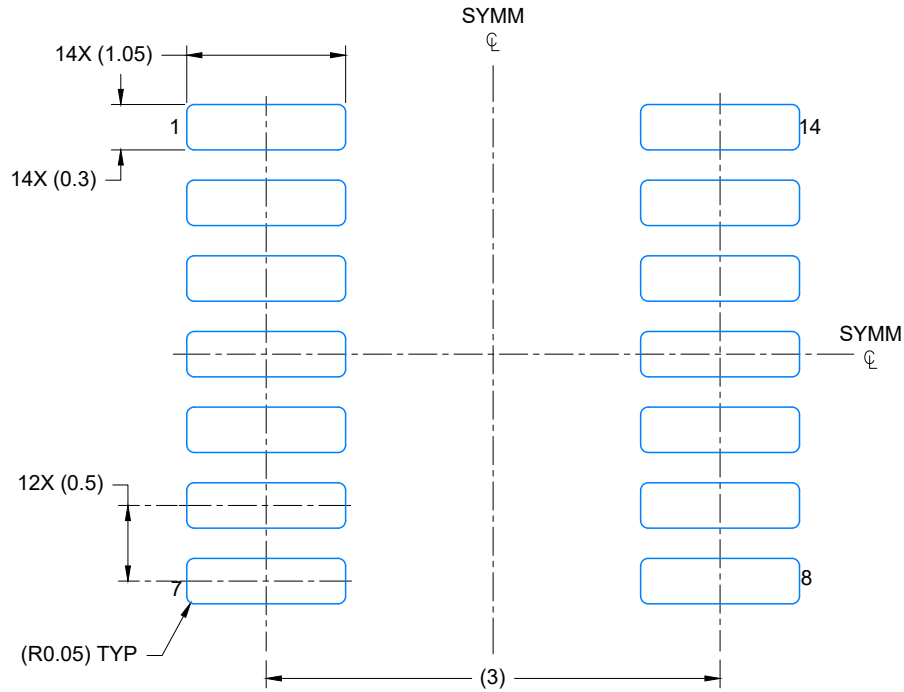
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.



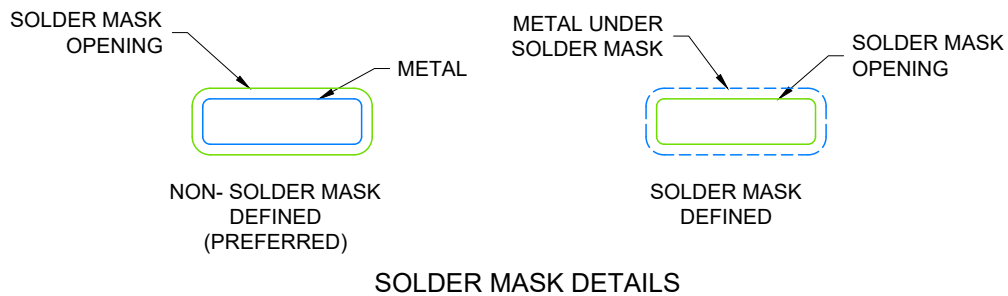
4224643/D 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



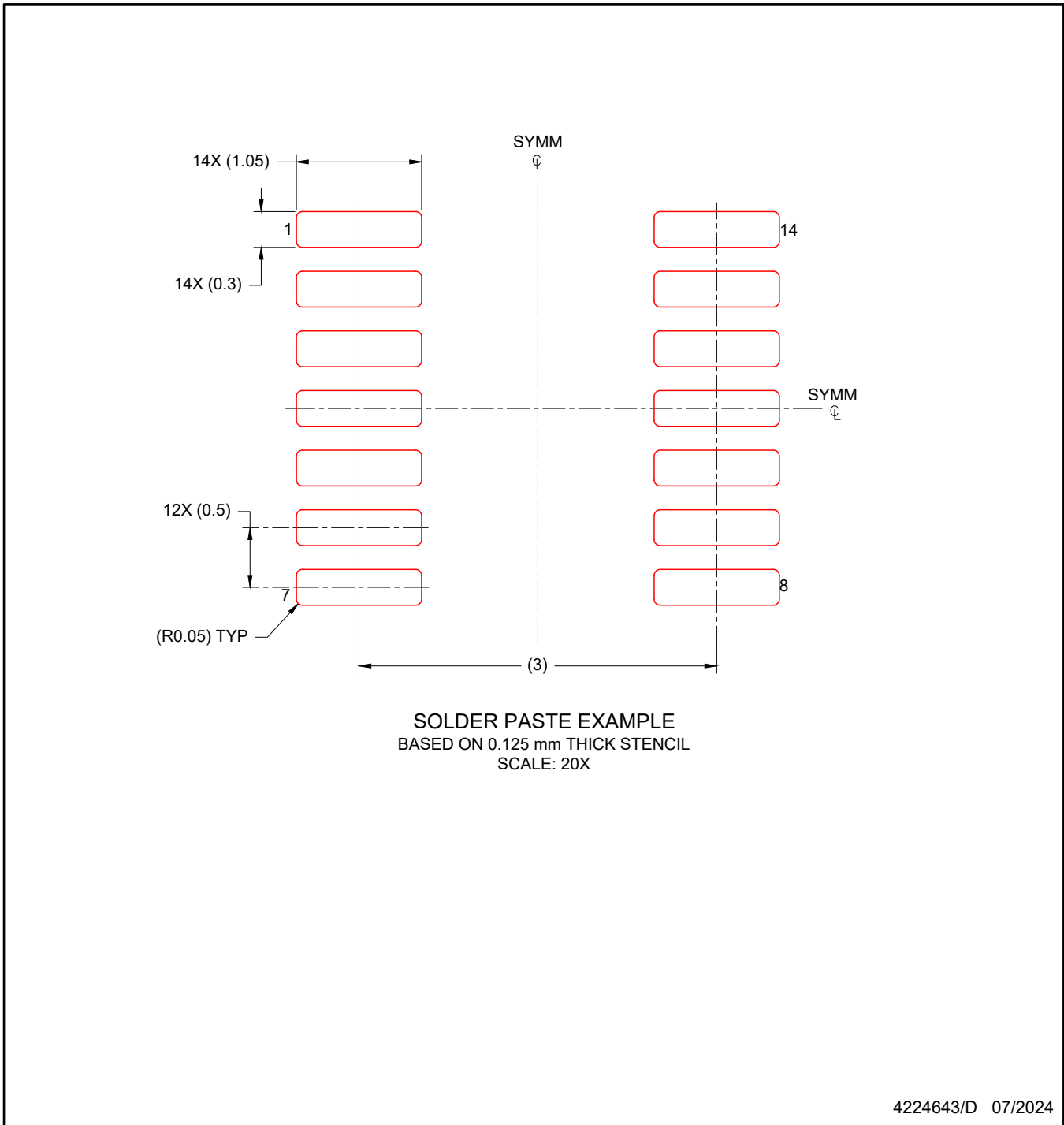
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224643/D 07/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated