

TMS320F28003x リアルタイム・マイクロコントローラ

1 特長

- 120MHz の TMS320C28x 32 ビット DSP コア
 - IEEE 754 浮動小数点ユニット (FPU)
 - 高速整数除算 (FINTDIV) をサポート
 - 三角関数演算ユニット (TMU)
 - 非線形 PID (NLPID) 制御をサポート
 - CRC エンジンおよび命令 (VCRC)
 - 10 個のハードウェア・ブレイクポイント (ERAD による)
- プログラム可能な制御補償器アクセラレータ (CLA)
 - 120MHz
 - IEEE 754 単精度浮動小数点命令
 - メイン CPU と独立にコードを実行
- オンチップ・メモリ
 - 3 つの独立したバンクで構成される 384KB (192KW) フラッシュ (ECC 保護)
 - 69KB (34.5KW) RAM (ECC 保護)
 - セキュリティ
 - JTAGLOCK
 - ゼロピンブート
 - デュアル・ゾーン・セキュリティ
- クロックおよびシステム制御
 - 2 つの内部 10MHz 発振器
 - 水晶発振器または外部クロック入力
 - ウィンドウ付きウォッチドッグ・タイマ・モジュール
 - クロック消失検出回路
 - デュアル・クロック・コンパレータ (DCC)
- 3.3V I/O 設計
 - 内部 VREG 生成により、単一電源設計が可能
 - ブラウンアウト・リセット (BOR) 回路
- システム・ペリフェラル
 - 6 チャンネル DMA (Direct Memory Access) コントローラ
 - 55 の個別にプログラム可能な多重化汎用入出力 (GPIO) ピン
 - アナログ・ピン上の 23 本のデジタル入力
 - アナログ・ピン上の 2 本のデジタル入出力 (AGPIO)
 - 強化ペリフェラル割り込み拡張 (ePIE)
 - 多様な低消費電力モード (LPM) のサポート
 - 組み込みリアルタイム解析および診断 (ERAD)
 - 固有の識別 (UID) 番号
- 通信ペリフェラル
 - 1 つの電力管理バス (PMBus) インターフェイス
 - 2 つの I2C (Inter-integrated Circuit) インターフェイス
- 1 つの CAN/DCAN (Controller Area Network) バス・ポート
- 1 つの CAN FD/MCAN (Controller Area Network with Flexible Data-Rate) バス・ポート
- 2 つのシリアル・ペリフェラル・インターフェイス (SPI) ポート
- 2 つの UART 互換シリアル通信インターフェイス (SCI)
- 2 つの UART 互換 LIN (Local Interconnect Network) インターフェイス
- 1 つのトランスミッタおよび 1 つのレシーバを備えた最大 200Mbps の高速シリアル・インターフェイス (FSI)
- アナログ・システム
 - 3 つの 4MSPS、12 ビット A/D コンバータ (ADC)
 - 最大 23 の外部チャンネル (2 つの gpdac 出力を含む)
 - ADC ごとに 4 つの後処理ブロック (PPB) を内蔵
 - 12 ビット・リファレンス D/A コンバータ (DAC) を備えた 4 つのウィンドウ付きコンパレータ (CMPSS)
 - デジタル・グリッチ・フィルタ
 - 2 つの 12 ビット DAC 出力 (バッファ付き)
- 拡張制御ペリフェラル
 - 16 の ePWM チャンネル、うち 8 チャンネルが高分解能 (分解能 150ps)
 - デッドバンド・サポートを内蔵
 - ハードウェア・トリップ・ゾーン (TZ) を内蔵
 - 3 つの拡張キャプチャ (eCAP) モジュール
 - 3 つの eCAP モジュールのうちの 1 つで高分解能キャプチャ (HRCAP) を利用可能
 - 2 つの拡張直交エンコーダ・パルス (eQEP) モジュール、CW/CCW 動作モードをサポート
 - 8 つのシグマ-デルタ・フィルタ・モジュール (SDFM) 入力チャンネル (チャンネルごとに 2 つのパラレル・フィルタ)
 - 標準 SDFM データ・フィルタリング
 - 過大値または過小値の条件で高速動作を行うためのコンパレータ・フィルタ
 - 組み込みパターン・ジェネレータ (EPG)
- 構成可能ロジック・ブロック (CLB)
 - 4 タイル
 - 既存のペリフェラル機能を強化
 - Position Manager ソリューションをサポート
- ホスト・インターフェイス・コントローラ (HIC)
 - 外部ホストから内部メモリへのアクセス



- バックグラウンド CRC (BGCR)C)
 - 32 ビット・データの 1 サイクル CRC 演算
 - AES (Advanced Encryption Standard) アクセラレータ
 - ライブ・ファームウェア・アップデート (LFU)
 - 古いファームウェアから新しいファームウェアへの高速なコンテキスト切り替え
 - フラッシュ・バンク消去時間の改善
 - 診断機能
 - メモリ・パワー・オン自己テスト (MPOST)
 - ハードウェア組み込み自己テスト (HWBIST)
 - 機能安全準拠 (PZ および Q100 PM パッケージのみ)
 - 機能安全アプリケーション向けに開発
 - ISO 26262 および IEC 61508 システムの設計を支援するドキュメントを使用可能
 - ASIL D および SIL 3 までの決定論的能力
 - ASIL B および SIL 2 までのハードウェア能力
 - 安全関連認証
 - TÜV SÜD による ASIL B および SIL 2 までの ISO 26262 認証 (PZ および Q100 PM パッケージのみ)
 - パッケージ・オプション:
 - 100 ピンの薄型クワッド・フラットパック (LQFP) [接尾辞 PZ]
 - 80 ピンの薄型クワッド・フラットパック (LQFP) [接尾辞 PN]
 - 64 ピン (LQFP) [接尾辞 PM]
 - 48 ピン (LQFP) [接尾辞 PT]
 - 温度オプション:
 - 自由気流 (T_A): -40°C ~ 125°C
 - 接合部温度 (T_J): -40°C ~ 150°C
- ## 2 アプリケーション
- 家電製品
 - エアコン室外機
 - ビル・オートメーション
 - ドア開閉装置ドライブの制御
 - 産業用機械と工作機械
 - 自動仕分け機器
 - 繊維機械
 - AC インバータと VF ドライブ
 - AC ドライブ制御モジュール
 - AC ドライブ位置フィードバック
 - AC ドライブの電力段モジュール
 - リニア・モーター輸送システム
 - リニア・モーターの電力段
 - 単軸と多軸のサーボ・ドライブ
 - サーボ・ドライブ位置フィードバック
 - サーボ・ドライブの電力段モジュール
 - 速度制御 BLDC ドライブ
 - AC 入力 BLDC モーター・ドライブ
 - DC 入力 BLDC モーター・ドライブ
 - ファクトリ・オートメーション
 - ロボット向けサーボ・ドライブ
 - 移動型ロボットのモーター制御
 - 位置センサ
 - 産業用電源
 - 産業用 AC-DC
 - UPS
 - 3 相 UPS
 - 単相オンライン UPS
 - テレコムとサーバーの電源
 - 商用 DC/DC
 - 商用ネットワークとサーバーの PSU (電源)
 - 商用テレコム整流器
 - ハイブリッド、電動、パワートレイン・システム
 - DC/DC コンバータ
 - インバータとモーター制御
 - オンボード・チャージャ (OBC) およびワイヤレス・チャージャ
 - バーチャル・エンジン・サウンド・システム (VESS)
 - エンジン・ファン
 - eTurbo / チャージャ
 - ポンプ
 - 電動パワー・ステアリング (EPS)
 - インフォテインメントおよびクラスタ
 - ヘッドアップ・ディスプレイ
 - 車載ヘッド・ユニット
 - 車載外部アンブ
 - ボディ・エレクトロニクス / ライティング
 - 車載用 HVAC (エアコン) コンプレッサ・モジュール
 - DC/AC インバータ
 - ヘッドライト
 - ADAS
 - 機械式スキャン LIDAR
 - HEV/EV のバッテリー管理システム (BMS)
 - 100V バッテリー・パック向けパッシブ・balancing 機能
 - 12V/24V バッテリー・パック向けパッシブ・balancing 機能
 - 400V バッテリー・パック向けパッシブ・balancing 機能
 - 48V バッテリー・パック向けパッシブ・balancing 機能
 - EV 充電インフラ
 - AC 充電 (バッテリー) ステーション
 - DC 充電 (バッテリー) ステーション
 - EV 充電ステーション向け電源モジュール
 - EV (電気自動車) ワイヤレス充電ステーション
 - 再生可能エネルギー・ストレージ

- エネルギー・ストレージ電力変換システム (PCS)
- ソーラー電力オプティマイザ
- ソーラー・エネルギー
- ソーラー・アーク保護
- セントラル・インバータ
- 緊急遮断機能
- マイクロ・インバータ
- スtring・インバータ

3 概要

TMS320F28003x (F28003x) は、電力密度の向上、スイッチング周波数の向上、GaN および SiC 技術の使用のサポートなど、パワー・エレクトロニクス効率を向上させるように設計された、スケラブルできわめてレイテンシの低いデバイスである C2000™ リアルタイム・マイクロコントローラ・ファミリの製品です。

主なアプリケーションには以下が含まれます。

- モーター・ドライブ
- 家電製品
- ハイブリッド、電気、パワートレイン・システム
- ソーラーと EV (電気自動車) 充電
- デジタル電源
- ボディ・エレクトロニクス / ライティング
- 試験 / 測定機器

リアルタイム制御サブシステムは、テキサス・インスツルメンツの 32 ビット C28x DSP コアをベースにしており、オンチップ・フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 120MHz の信号処理性能を発揮します。C28x CPU は、浮動小数点演算ユニット (FPU)、三角関数演算ユニット (TMU) および VCRC (巡回冗長検査) 拡張命令セットによってさらに強化され、リアルタイム制御システムでよく使われる主要なアルゴリズムを高速化します。

CLA により、一般的なタスクの負荷の多くをメインの C28x CPU から取り除くことができます。CLA は独立の 32 ビット浮動小数点演算アクセラレータであり、CPU と並列に実行されます。さらに、CLA には独自の専用メモリ・リソースがあり、一般的な制御システムで必要となる主要なペリフェラルに直接アクセスできます。ANSI C のサブセット、およびハードウェア・ブレイクポイントやハードウェアによるタスク切り替えなどの主要な機能が標準でサポートされています。

F28003x は、最大 384KB (192KW) のフラッシュ・メモリをサポートしています。これらは 3 つの 128KB (64KW) バンクに分割されるため、プログラミングと実行を並列に行えます。最大 69KB (34.5KW) のオンチップ SRAM も利用でき、フラッシュ・メモリを補完できます。

F28003x のライブ・ファームウェア・アップデート・ハードウェア拡張により、古いファームウェアから新しいファームウェアへのコンテキスト切り替えを高速化し、デバイス・ファームウェアの更新時のアプリケーションのダウンタイムを最小限に抑えることができます。

F28003x リアルタイム・マイクロコントローラ (MCU) に内蔵された高性能アナログ・ブロックは、リアルタイム・シグナル・チェーン性能を最適化するために、処理および PWM ユニットと密結合されています。16 個の PWM チャネルはすべて周波数に依存しない分解能モードをサポートしており、3 相インバータから、力率補正、高度なマルチレベル電源トポロジまで、さまざまな電力段を制御できます。

構成可能ロジック・ブロック (CLB) を内蔵しているため、ユーザーはカスタム・ロジックを追加し、FPGA に類似した機能を C2000 リアルタイム・マイコンに統合できます。

インターフェイスは、各種の業界標準通信ポート (SPI, SCI, I2C, PMBus, LIN, CAN, CAN FD など) によりサポートされており、最適な信号配置を行うための複数のピン多重化方法を備えています。高速シリアル・インターフェイス (FSI) を使用すると、絶縁境界越しに最高 200Mbps の堅牢な通信が可能です。

C2000 プラットフォームの新機能であるホスト・インターフェイス・コントローラ (HIC) は、外部ホストから TMS320F28003x のリソースへの直接アクセスを可能にする高スループット・インターフェイスです。

C2000 マイコンは、お客様のリアルタイム制御システムに適した選択肢です。その機能について詳しく知るには、『C2000™ リアルタイム・マイクロコントローラを使った開発のための基本ガイド』をご覧ください。C2000™ リアルタイム制御 MCU のページにアクセスしてください。

『C2000™ リアルタイム制御マイクロコントローラ (MCU) を使用した設計の開始』入門ガイドは、C2000 デバイスを使用する開発について、ハードウェアからサポート・リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

導入前の評価には [TMDSCNCD280039C](#) 評価ボードをご覧になり、[C2000Ware](#) をダウンロードしてください。

パッケージ情報

部品番号	パッケージ (1)	パッケージ・サイズ (2)	本体サイズ (公称)
TMS320F280039C	PZ (LQFP, 100)	16mm × 16mm	14mm × 14mm
	PN (LQFP, 80)	14mm × 14mm	12mm × 12mm
	PM (LQFP, 64)	12mm × 12mm	10mm × 10mm
TMS320F280039C-Q1	PZ (LQFP, 100)	16mm × 16mm	14mm × 14mm
	PN (LQFP, 80)	14mm × 14mm	12mm × 12mm
TMS320F280039	PZ (LQFP, 100)	16mm × 16mm	14mm × 14mm
	PN (LQFP, 80)	14mm × 14mm	12mm × 12mm
	PM (LQFP, 64)	12mm × 12mm	10mm × 10mm
TMS320F280039-Q1	PZ (LQFP, 100)	16mm × 16mm	14mm × 14mm
	PN (LQFP, 80)	14mm × 14mm	12mm × 12mm
TMS320F280038C-Q1	PM (LQFP, 64)	12mm × 12mm	10mm × 10mm
TMS320F280038-Q1	PM (LQFP, 64)	12mm × 12mm	10mm × 10mm
TMS320F280037C	PZ (LQFP, 100)	16mm × 16mm	14mm × 14mm
	PN (LQFP, 80)	14mm × 14mm	12mm × 12mm
	PM (LQFP, 64)	12mm × 12mm	10mm × 10mm
	PT (LQFP, 48)	9mm × 9mm	7mm × 7mm
TMS320F280037C-Q1	PZ (LQFP, 100)	16mm × 16mm	14mm × 14mm
	PN (LQFP, 80)	14mm × 14mm	12mm × 12mm
	PT (LQFP, 48)	9mm × 9mm	7mm × 7mm
TMS320F280037	PZ (LQFP, 100)	16mm × 16mm	14mm × 14mm
	PN (LQFP, 80)	14mm × 14mm	12mm × 12mm
	PM (LQFP, 64)	12mm × 12mm	10mm × 10mm
	PT (LQFP, 48)	9mm × 9mm	7mm × 7mm
TMS320F280037-Q1	PZ (LQFP, 100)	16mm × 16mm	14mm × 14mm
	PT (LQFP, 48)	9mm × 9mm	7mm × 7mm
TMS320F280036C-Q1	PM (LQFP, 64)	12mm × 12mm	10mm × 10mm
TMS320F280036-Q1	PM (LQFP, 64)	12mm × 12mm	10mm × 10mm
TMS320F280034	PZ (LQFP, 100)	16mm × 16mm	14mm × 14mm
	PN (LQFP, 80)	14mm × 14mm	12mm × 12mm
	PM (LQFP, 64)	12mm × 12mm	10mm × 10mm
	PT (LQFP, 48)	9mm × 9mm	7mm × 7mm
TMS320F280034-Q1	PN (LQFP, 80)	14mm × 14mm	12mm × 12mm
	PT (LQFP, 48)	9mm × 9mm	7mm × 7mm
TMS320F280033	PZ (LQFP, 100)	16mm × 16mm	14mm × 14mm
	PN (LQFP, 80)	14mm × 14mm	12mm × 12mm
	PM (LQFP, 64)	12mm × 12mm	10mm × 10mm
	PT (LQFP, 48)	9mm × 9mm	7mm × 7mm

パッケージ情報 (続き)

部品番号	パッケージ ⁽¹⁾	パッケージ・サイズ ⁽²⁾	本体サイズ (公称)
TMS320F280033-Q1 ⁽³⁾	PN (LQFP, 80)	14mm × 14mm	12mm × 12mm

- (1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。
 (2) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
 (3) プレビュー情報 (量産データではありません)。

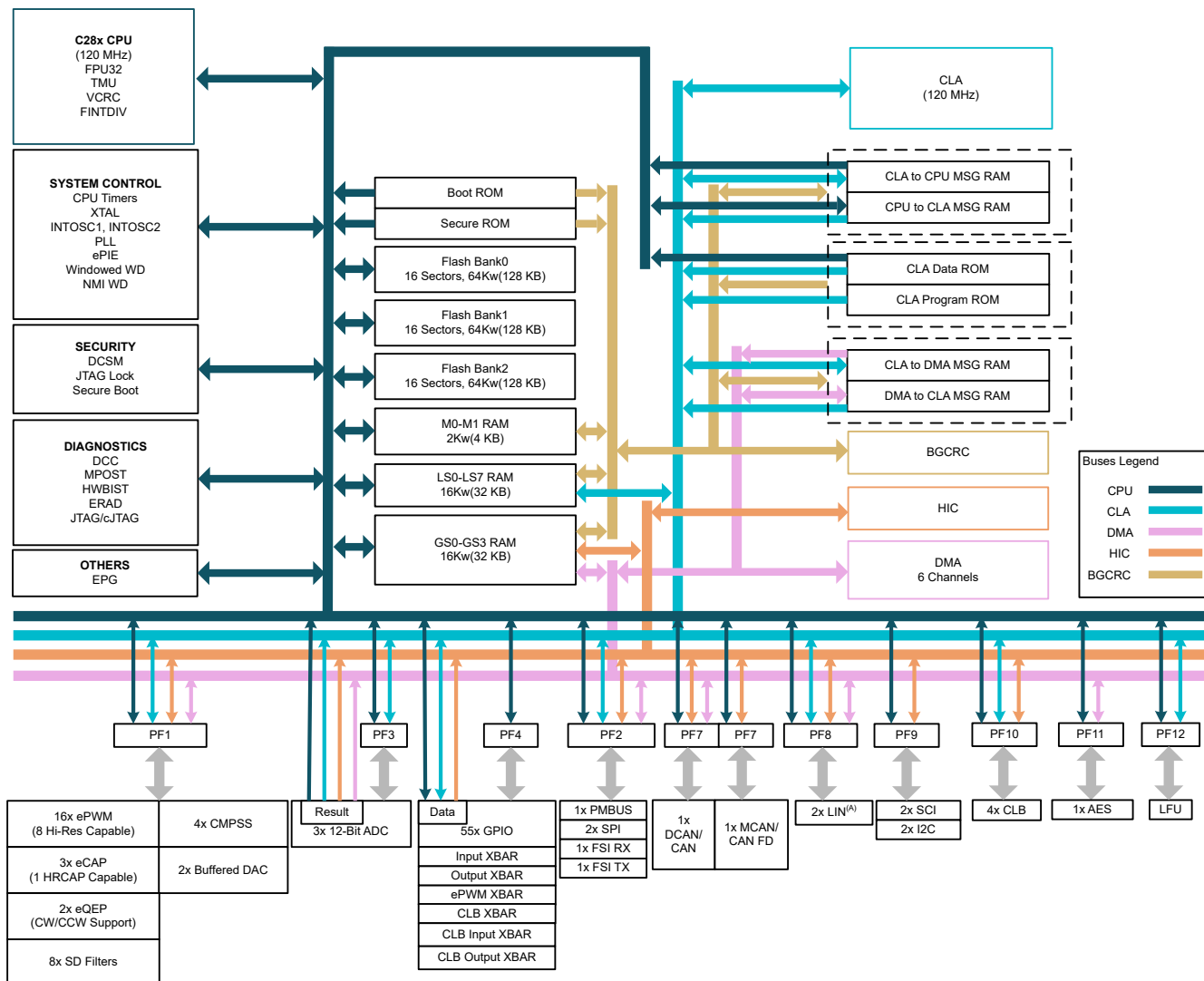
製品情報

部品番号 ⁽¹⁾	制御補償器アクセラレータ (CLA)	構成可能ロジック・ブロック (CLB)	フラッシュ・サイズ
TMS320F280039C-Q1 TMS320F280039C	あり	4 タイル	384KB
TMS320F280039-Q1 TMS320F280039	あり	–	
TMS320F280038C-Q1	あり	4 タイル	
TMS320F280038-Q1	○	–	
TMS320F280037C-Q1 TMS320F280037C	あり	4 タイル	256KB
TMS320F280037-Q1 TMS320F280037	あり	–	
TMS320F280036C-Q1	○	4 タイル	
TMS320F280036-Q1	○	–	
TMS320F280034-Q1 TMS320F280034	あり	–	128KB
TMS320F280033-Q1 ⁽²⁾ TMS320F280033	なし	–	128KB

- (1) これらのデバイスの詳細については、「[製品比較](#)」表を参照してください。
 (2) プレビュー情報 (量産データではありません)。

3.1 機能ブロック図

「機能ブロック図」に、CPU システムおよび関連ペリフェラルを示します。



A. LIN モジュールは SCI としても動作することができます。

図 3-1. 機能ブロック図

目次

1 特長	1	7.3 メモリ	206
2 アプリケーション	2	7.4 識別	214
3 概要	3	7.5 バス・アーキテクチャー・ペリフェラル・コネクティビティ	215
3.1 機能ブロック図	6	7.6 C28x プロセッサ	216
4 デバイスの比較	8	7.7 制御補償器アクセラレータ (CLA)	218
4.1 関連製品	10	7.8 組み込みのリアルタイム解析および診断 (ERAD)	220
5 ピン構成および機能	11	7.9 バックグラウンド CRC-32 (BGCRC)	220
5.1 ピン配置図	11	7.10 ダイレクト・メモリ・アクセス (DMA)	221
5.2 ピン属性	16	7.11 デバイス・ブート・モード	222
5.3 信号の説明	38	7.12 セキュリティ	230
5.4 ピン多重化	49	7.13 ウォッチドッグ	231
5.5 内部プルアップおよびプルダウン付きのピン	58	7.14 C28x タイマ	232
5.6 未使用ピンの接続	59	7.15 デュアル・クロック・コンパレータ (DCC)	233
6 仕様	61	7.16 構成可能ロジック・ブロック (CLB)	235
6.1 絶対最大定格	61	7.17 機能安全	237
6.2 ESD 定格 - 民生用	61	8 アプリケーション、実装、およびレイアウト	238
6.3 ESD 定格 - 車載用	62	8.1 アプリケーションと実装	238
6.4 推奨動作条件	62	8.2 デバイスの主な特長	238
6.5 消費電力の概略	64	8.3 アプリケーション情報	241
6.6 電気的特性	71	9 デバイスおよびドキュメントのサポート	257
6.7 PZ パッケージの熱抵抗特性	72	9.1 使い始めと次の手順	257
6.8 PN パッケージの熱抵抗特性	73	9.2 デバイス命名規則	257
6.9 PM パッケージの熱抵抗特性	74	9.3 マーキング	258
6.10 PT パッケージの熱抵抗特性	75	9.4 ツールとソフトウェア	260
6.11 熱設計の検討事項	75	9.5 ドキュメントのサポート	263
6.12 システム	76	9.6 サポート・リソース	265
6.13 アナログ・ペリフェラル	122	9.7 商標	267
6.14 制御ペリフェラル	153	9.8 静電気放電に関する注意事項	267
6.15 通信ペリフェラル	168	9.9 用語集	267
7 詳細説明	204	10 改訂履歴	267
7.1 概要	204	11 メカニカル、パッケージ、および注文情報	270
7.2 機能ブロック図	205		

4 デバイスの比較

表 4-1 に、TMS320F28003x デバイスの機能を示します。

表 4-1. デバイスの比較

機能 ⁽¹⁾		F280039C F280039C-Q1 F280039	F280038C-Q1 F280038-Q1	F280037C F280037C-Q1 F280037 F280037-Q1	F280036C-Q1 F280036-Q1	F280034 F280034-Q1	F280033 F280033-Q1 ⁽²⁾
プロセッサおよびアクセラレータ							
C28x	周波数 (MHz)	120					
	FPU	あり (高速整数除算の命令)					
	VCRC	あり					
	TMU	あり – タイプ 1 (NLPID をサポートする命令)					
CLA – タイプ 2	使用可能	あり					なし
	周波数 (MHz)	120					–
6 チャンネル DMA – タイプ 0		あり					
外部割り込み		5					
メモリ							
フラッシュ		384KB (192KW)		256KB (128KW)		128KB (64KW)	
フラッシュ・バンク		3 x 128KB		2 x 128KB		2 x 64KB	
RAM	専用	4KB (2KW)					
	ローカル共有	32KB (16KW)					
	メッセージ	1KB (0.5KW)					
	グローバル共有	32KB (16KW)					
	合計	69KB (34.5KW)					
メッセージ RAM のタイプ		512B (256W) CPU-CLA 512B (256W) CLA-DMA					–
ECC		フラッシュ、Mx、LSx、GSx、メッセージ RAM					フラッシュ、Mx、LSx、GSx
パリティ		ROM、CAN RAM					
セキュリティ: JTAGLOCK、ゼロピン ブート、デュアル ゾーン セキュリティ		あり					
システム							
構成可能ロジック・ブロック (CLB)		C バリエーションの 4 つのタイル					–
組み込みパターン・ジェネレータ (EPG)		あり					
32 ビット CPU タイマ		3					
AES (Advanced Encryption Standard)		あり					
バックグラウンド CRC (BGCRG)		あり					
ライブ・ファームウェア・アップデート (LFU) サポート		あり、拡張機能とフラッシュ・バンク消去時間の改善によりサポート					
セキュア・ブート		あり					
JTAG ロック		あり					
HWBIST		あり					
ノンマスカブル割り込みウォッチドッグ (NMIWD) タイマ		1					
ウォッチドッグ・タイマ		1					
水晶発振器 / 外部クロック入力		1					
オシレータ内蔵		2					

表 4-1. デバイスの比較 (続き)

機能 ⁽¹⁾		F280039C F280039C-Q1 F280039-Q1	F280038C-Q1 F280038-Q1	F280037C F280037C-Q1 F280037 F280037-Q1	F280036C-Q1 F280036-Q1	F280034 F280034-Q1	F280033 F280033-Q1 ⁽²⁾
ピンおよび電源							
内部 3.3V~1.2V の電圧レギュレータ	VREG LDO	あり					
GPIO ピン	100 ピン PZ	51	–	51	–	–	51
	80 ピン PN	39	–	39	–	–	39
	64 ピン PM	26	25	26	25	–	26
	48 ピン PT	–	–	14	–	–	14
	追加 GPIO	4 (cJTAG から 2 個、X1/X2 から 2 個)					
AIO (デジタル入力付きアナログ)	100 ピン PZ	23	–	23	–	–	23
	80 ピン PN	16	–	16	–	–	16
	64 ピン PM	16	16	16	16	–	16
	48 ピン PT	–	–	14	–	–	14
AGPIO (デジタル入力と出力付きアナログ)	100 ピン PZ	2	–	2	–	–	2
	80 ピン PN	2	–	2	–	–	2
アナログ・ペリフェラル							
ADC 12 ビット	ADC の数	3					
	MSPS	4					
	変換時間 (ns) ⁽³⁾	250					
ADC チャンネル (シングルエンド) (2 つの gpdac 出力を含む)	100 ピン PZ	25	–	25	–	–	25
	80 ピン PN	18	–	18	–	–	18
	64 ピン PM	16	16	16	16	–	16
	48 ピン PT	–	–	14	–	–	14
温度センサ	1						
バッファ付き DAC	2						
CMPSS (各 CMPSS に 2 つのコンパレータと 2 つの内部 DAC を含む)	4						
制御ペリフェラル⁽⁴⁾							
eCAP/HRCAP モジュール – タイプ 2	3 (1 - HRCAP 機能付き eCAP3)						
ePWM/HRPWM チャンネル – タイプ 4	16 (8 - ePWM1~ePWM4 は HRPWM 機能付き)						
eQEP モジュール – タイプ 2	2						
SDFM チャンネル – タイプ 2	8						
通信ペリフェラル⁽⁴⁾							
CAN (DCAN) – タイプ 0	1						
CAN FD (MCAN) – タイプ 1	1						
高速シリアル・インターフェイス (FSI) – タイプ 2	1 (1 個の RX と 1 個の TX)						
I2C – タイプ 1	2						
LIN – タイプ 1 (UART 互換)	2						
ホスト・インターフェイス・コントローラ (HIC) – タイプ 1	1						
PMBus – タイプ 0	1						
SCI – タイプ 0 (UART 互換)	2						
SPI – タイプ 2	2						

表 4-1. デバイスの比較 (続き)

機能 ⁽¹⁾		F280039C	F280038C-Q1	F280037C	F280036C-Q1	F280034	F280033
		F280039C-Q1 F280039 F280039-Q1	F280038C-Q1 F280038-Q1	F280037C-Q1 F280037 F280037-Q1	F280036C-Q1 F280036-Q1	F280034-Q1	F280033-Q1 ⁽²⁾
パッケージ・オプション、温度、認定							
接合部温度 (T _J)		-40°C~150°C					
自由気流での周囲温度 (T _A)		-40°C~125°C					
パッケージ・オプション	100 ピン PZ	F280039C F280039	-	F280037C F280037	-	F280034	F280033
	80 ピン PN	F280039C F280039	-	F280037C F280037	-	F280034	F280033
	64 ピン PM	F280039C F280039	-	F280037C F280037	-	F280034	F280033
	48 ピン PT	-	-	F280037C F280037	-	F280034	F280033
AEC-Q100 認定のパッケージ・オプションあり	100 ピン PZ	F280039C-Q1 F280039-Q1	-	F280037C-Q1 F280037-Q1	-	-	-
	80 ピン PN	F280039C-Q1 F280039-Q1	-	F280037C-Q1	-	F280034-Q1	F280033-Q1
	64 ピン PM	-	F280038C-Q1 F280038-Q1	-	F280036C-Q1 F280036-Q1	-	-
	48 ピン PT	-	-	F280037C-Q1 F280037-Q1	-	F280034-Q1	-

- (1) タイプの違いは、ペリフェラル・モジュールの機能上の主要な相違を表します。同じペリフェラルのタイプの中でも、モジュールの基本的な機能に影響を与えない、わずかな相違がデバイス間に存在することがあります。
- (2) プレビュー情報 (量産データではありません)。
- (3) サンプル・アンド・ホールド・ウィンドウの開始から、次の変換のサンプル・アンド・ホールド・ウィンドウの開始までの時間。
- (4) 複数のパッケージで供給されるデバイスの場合、パッケージが小さいほどデバイスのピン数が少ないため、小型パッケージに記載されているペリフェラル数が減少します。デバイスに内部的に存在するペリフェラルの数は、その型番で提供される最大のパッケージに比べて減少しません。小型パッケージのピンでアクセス可能なペリフェラル・インスタンスについては、[セクション 5](#) を参照してください。

4.1 関連製品

TMS320F2803x リアルタイム・マイクロコントローラ

F2803x シリーズは、ピン数とメモリ・サイズについて、より広範な選択肢を提供します。F2803x シリーズでは、パラレル制御補償器アクセラレータ (CLA) オプションも採り入れています。

TMS320F2807x リアルタイム・マイクロコントローラ

F2807x シリーズは、最高の性能、最大のピン数、フラッシュ・メモリ・サイズ、ペリフェラルの選択肢を提供します。F2807x シリーズは、最新世代のアクセラレータ、ePWM ペリフェラル、アナログ技術を内蔵しています。

TMS320F28004x リアルタイム・マイクロコントローラ

F28004x シリーズは、F2807x シリーズの縮小版であり、最新世代の拡張機能を備えています。

TMS320F28002x リアルタイム・マイクロコントローラ

F28002x シリーズは、F28004x シリーズの縮小版であり、最新世代の拡張機能を備えています。

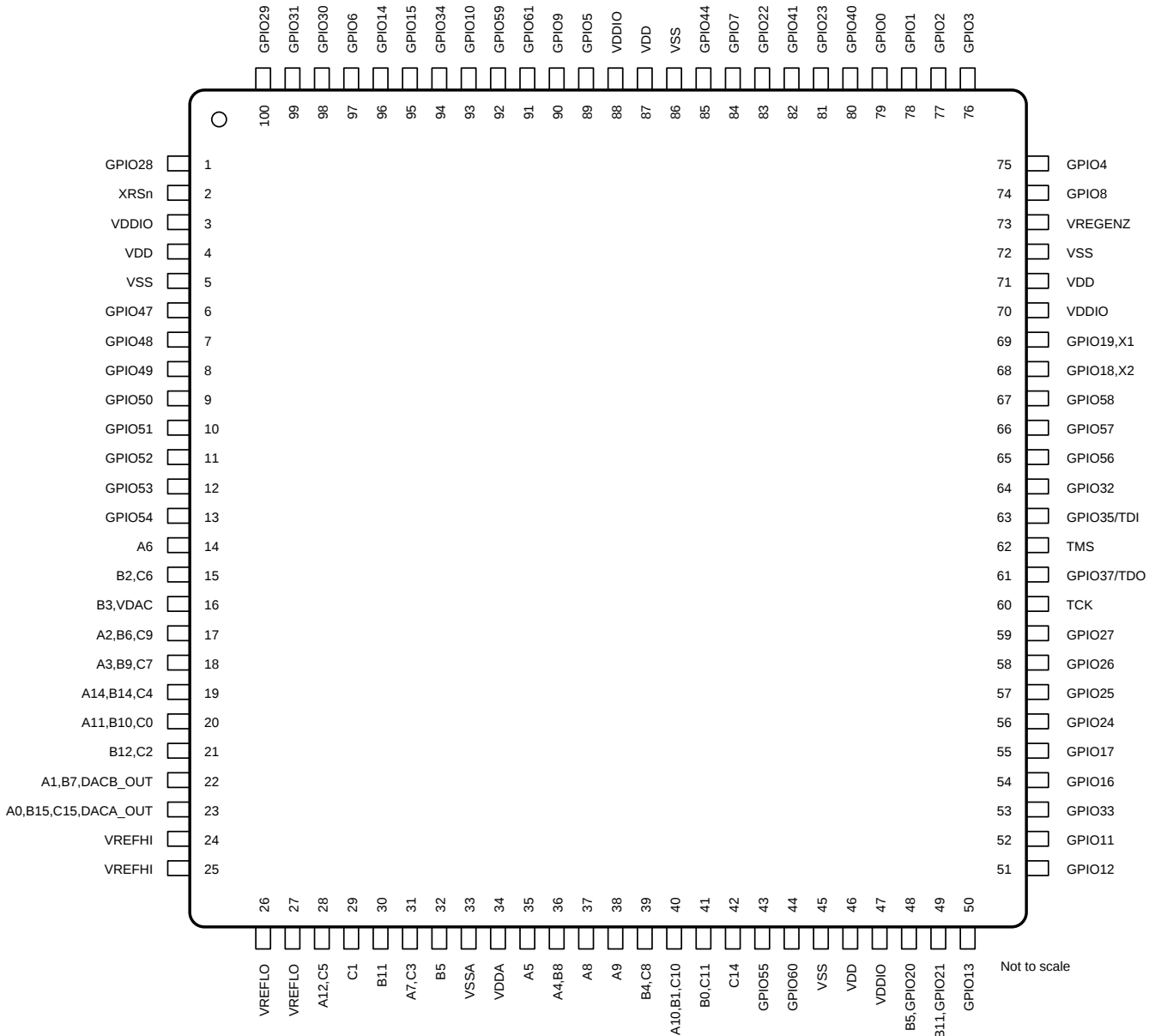
TMS320F2838x リアルタイム・マイコン

F2838x シリーズは、より高い性能、より多くのピン数、フラッシュ・メモリ・サイズ、ペリフェラル、および幅広い接続オプションを提供します。F2838x シリーズには、最新世代のアクセラレータ、ePWM ペリフェラル、アナログ・テクノロジーが搭載されています。

5 ピン構成および機能

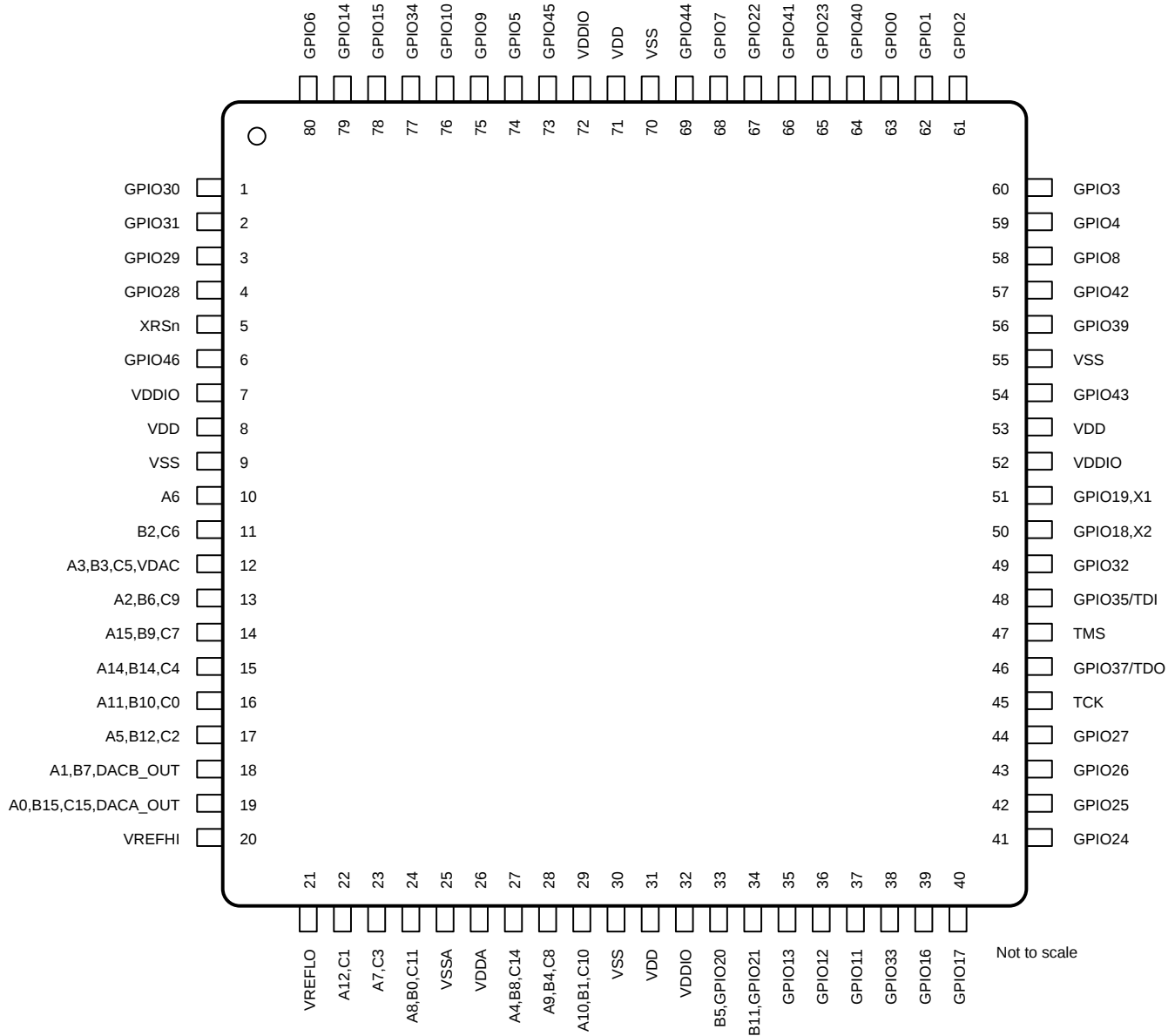
5.1 ピン配置図

図 5-1 に、100 ピン PZ 薄型クワッド・フラットパックのピン配置を示します。Q と Q 以外のバリエーションのピン配置は同一です。図 5-2 に、80 ピン PN 薄型クワッド・フラットパックのピン配置を示します。図 5-3 に、64 ピン PM 薄型クワッド・フラットパックのピン配置を示します (Q 温度)。図 5-4 に、64 ピン PM 薄型クワッド・フラットパックのピン配置を示します。図 5-5 に、48 ピン PT 薄型クワッド・フラットパックのピン配置を示します。Q と Q 以外のバリエーションのピン配置は同一です。



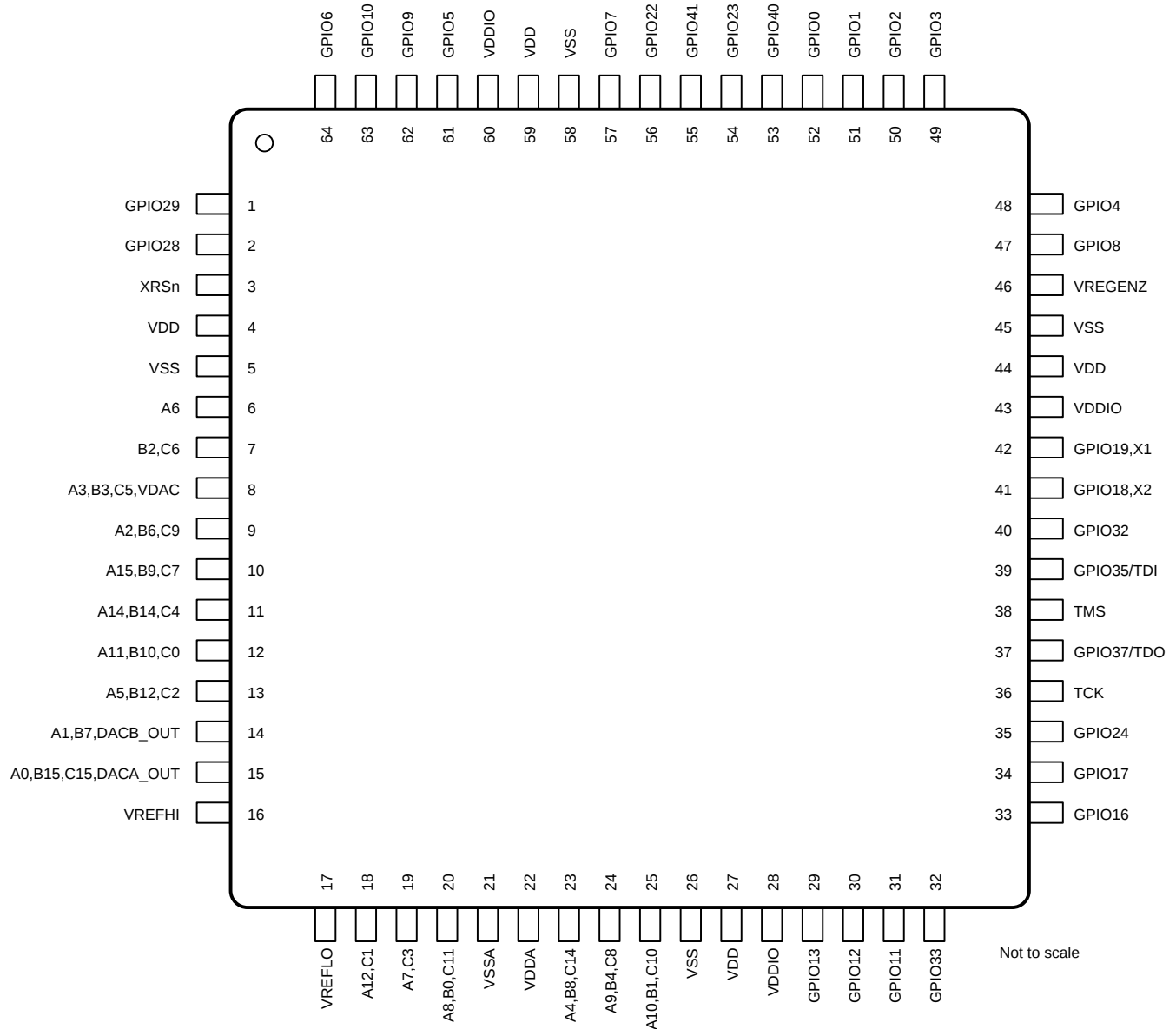
A. GPIO ピンには GPIO 機能のみを表示しています。マルチプレクスされた信号名全体については、[セクション 5.2](#) を参照してください。

図 5-1. 100 ピン PZ 薄型クワッド・フラットパック (上面図)



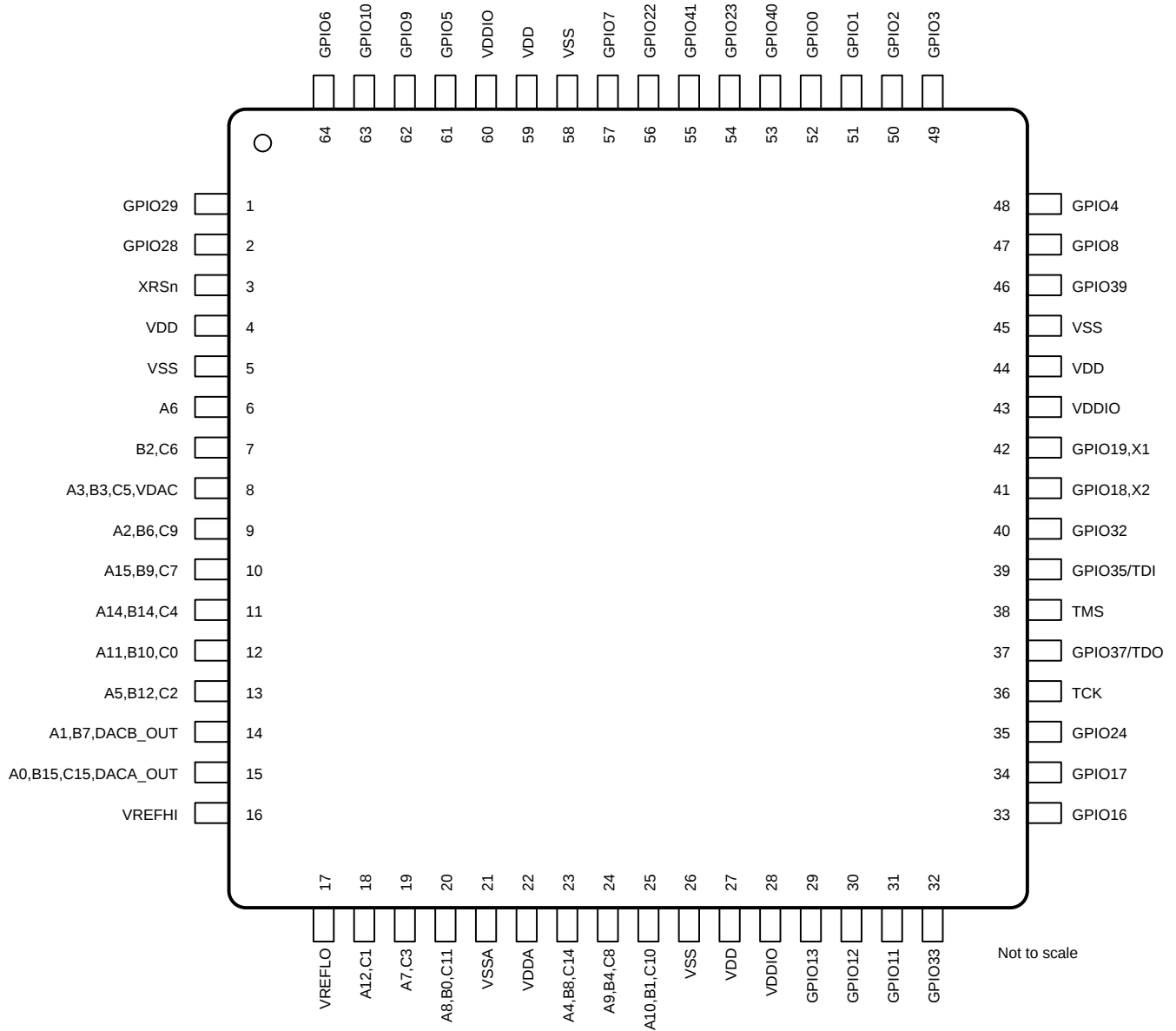
A. GPIO ピンには GPIO 機能のみを表示しています。マルチプレクスされた信号名全体については、[セクション 5.2](#) を参照してください。

図 5-2. 80 ピン PN 薄型クワッド・フラットバック (上面図)



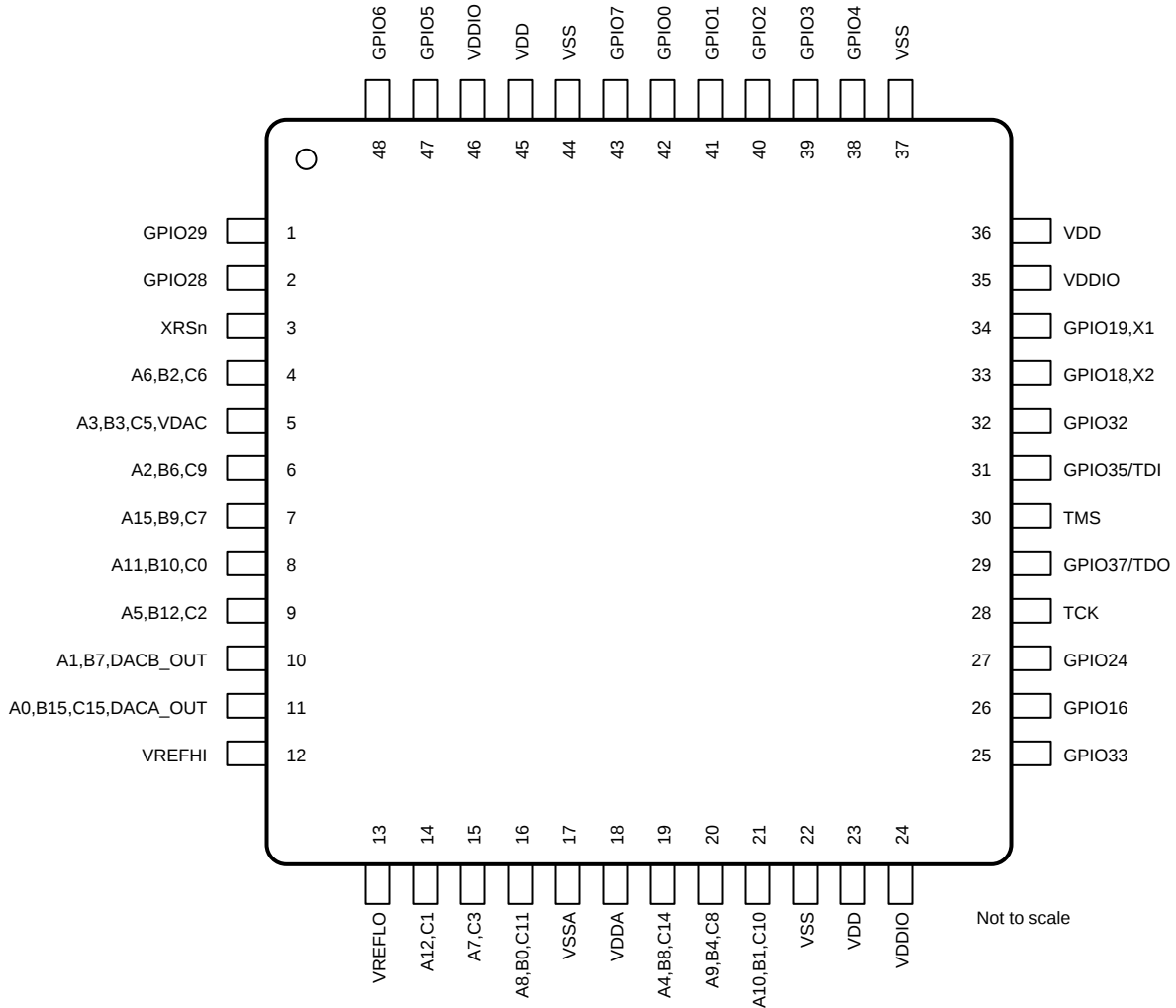
A. GPIO ピンには GPIO 機能のみを表示しています。マルチプレクスされた信号名全体については、[セクション 5.2](#) を参照してください。

図 5-3. 64 ピン PM 薄型クワッド・フラットパック、Q 温度 (上面図)



A. GPIO ピンには GPIO 機能のみを表示しています。マルチプレクスされた信号名全体については、[セクション 5.2](#) を参照してください。

図 5-4. 64 ピン PM 薄型クワッド・フラットバック (上面図)



A. GPIO ピンには GPIO 機能のみを表示しています。マルチプレクスされた信号名全体については、[セクション 5.2](#) を参照してください。

図 5-5. 48 ピン PT 薄型クワッド・フラットパック (上面図)

5.2 ピン属性

表 5-1. ピン属性

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
アナログ								
A0 B15 C15 CMP3_HP2 CMP3_LP2 DACA_OUT AIO231	0, 4, 8, 12	23	19	15	15	11	I I I I I O I	ADC-A 入力 0 ADC-B 入力 15 ADC-C 入力 15 CMPSS-3 ハイ・コンパレータ正入力 2 CMPSS-3 ロー・コンパレータ正入力 2 バッファ付き DAC-A 出力。 デジタル入力 231 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
A1 B7 CMP1_HP4 CMP1_LP4 DACB_OUT AIO232	0, 4, 8, 12	22	18	14	14	10	I I I I O I	ADC-A 入力 1 ADC-B 入力 7 CMPSS-1 ハイ・コンパレータ正入力 4 CMPSS-1 ロー・コンパレータ正入力 4 バッファ付き DAC-B 出力。 デジタル入力 232 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
A2 B6 C9 CMP1_HP0 CMP1_LP0 AIO224	0, 4, 8, 12	17	13	9	9	6	I I I I I I	ADC-A 入力 2 ADC-B 入力 6 ADC-C 入力 9 CMPSS-1 ハイ・コンパレータ正入力 0 CMPSS-1 ロー・コンパレータ正入力 0 デジタル入力 224 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
A3 CMP3_HP5 CMP3_LP5 AIO229	0, 4, 8, 12	18					I I I I	ADC-A 入力 3 CMPSS-3 ハイ・コンパレータ正入力 5 CMPSS-3 ロー・コンパレータ正入力 5 デジタル入力 229 に使用されるアナログ・ピン
A3 CMP3_HP5 CMP3_LP5			12	8	8	5	I I I	ADC-A 入力 3 CMPSS-3 ハイ・コンパレータ正入力 5 CMPSS-3 ロー・コンパレータ正入力 5
A4 B8 CMP2_HP0 CMP2_LP0 AIO225	0, 4, 8, 12	36	27	23	23	19	I I I I I	ADC-A 入力 4 ADC-B 入力 8 CMPSS-2 ハイ・コンパレータ正入力 0 CMPSS-2 ロー・コンパレータ正入力 0 デジタル入力 225 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
A5 CMP2_HP5 CMP2_LP5 AIO249	0, 4, 8, 12	35					I I I I	ADC-A 入力 5 CMPSS-2 ハイ・コンパレータ正入力 5 CMPSS-2 ロー・コンパレータ正入力 5 デジタル入力 249 に使用されるアナログ・ピン
A5 CMP2_HP5 CMP2_LP5			17	13	13	9	I I I	ADC-A 入力 5 CMPSS-2 ハイ・コンパレータ正入力 5 CMPSS-2 ロー・コンパレータ正入力 5

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
A6 CMP1_HP2 CMP1_LP2 AIO228	0, 4, 8, 12	14	10	6	6	4	I I I I	ADC-A 入力 6 CMPSS-1 ハイ・コンパレータ正入力 2 CMPSS-1 ロー・コンパレータ正入力 2 デジタル入力 228 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
A8 CMP4_HP4 CMP4_LP4 AIO240	0, 4, 8, 12	37					I I I I	ADC-A 入力 8 CMPSS-4 ハイ・コンパレータ正入力 4 CMPSS-4 ロー・コンパレータ正入力 4 デジタル入力 240 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
A8 CMP4_HP4 CMP4_LP4 AIO241	0, 4, 8, 12		24	20	20	16	I I I I	ADC-A 入力 8 CMPSS-4 ハイ・コンパレータ正入力 4 CMPSS-4 ロー・コンパレータ正入力 4 デジタル入力 241 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
A9 CMP2_HP2 CMP2_LP2 AIO227	0, 4, 8, 12	38	28	24	24	20	I I I I	ADC-A 入力 9 CMPSS-2 ハイ・コンパレータ正入力 2 CMPSS-2 ロー・コンパレータ正入力 2 デジタル入力 227 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
A10 B1 C10 CMP2_HN0 CMP2_HP3 CMP2_LN0 CMP2_LP3 AIO230	0, 4, 8, 12	40	29	25	25	21	I I I I I I I I	ADC-A 入力 10 ADC-B 入力 1 ADC-C 入力 10 CMPSS-2 ハイ・コンパレータ負入力 0 CMPSS-2 ハイ・コンパレータ正入力 3 CMPSS-2 ロー・コンパレータ負入力 0 CMPSS-2 ロー・コンパレータ正入力 3 デジタル入力 230 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
A11 B10 C0 CMP1_HN1 CMP1_HP1 CMP1_LN1 CMP1_LP1 AIO237	0, 4, 8, 12	20	16	12	12	8	I I I I I I I I	ADC-A 入力 11 ADC-B 入力 10 ADC-C 入力 0 CMPSS-1 ハイ・コンパレータ負入力 1 CMPSS-1 ハイ・コンパレータ正入力 1 CMPSS-1 ロー・コンパレータ負入力 1 CMPSS-1 ロー・コンパレータ正入力 1 デジタル入力 237 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
A12 CMP2_HN1 CMP2_HP1 CMP2_LN1 CMP2_LP1 AIO238	0, 4, 8, 12	28	22	18	18	14	I I I I I I	ADC-A 入力 12 CMPSS-2 ハイ・コンパレータ負入力 1 CMPSS-2 ハイ・コンパレータ正入力 1 CMPSS-2 ロー・コンパレータ負入力 1 CMPSS-2 ロー・コンパレータ正入力 1 デジタル入力 238 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
A14 B14 C4 CMP3_HP4 CMP3_LP4 AIO239	0, 4, 8, 12	19	15	11	11		I I I I I I	ADC-A 入力 14 ADC-B 入力 14 ADC-C 入力 4 CMPSS-3 ハイ・コンパレータ正入力 4 CMPSS-3 ロー・コンパレータ正入力 4 デジタル入力 239 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
A15 CMP1_HN0 CMP1_HP3 CMP1_LN0 CMP1_LP3 AIO233	0, 4, 8, 12		14	10	10	7	I I I I I I	ADC-A 入力 15 CMPSS-1 ハイ・コンパレータ負入力 0 CMPSS-1 ハイ・コンパレータ正入力 3 CMPSS-1 ロー・コンパレータ負入力 0 CMPSS-1 ロー・コンパレータ正入力 3 デジタル入力 233 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
B0 C11 CMP2_HP4 CMP2_LP4 AIO253	0, 4, 8, 12	41					I I I I I	ADC-B 入力 0 ADC-C 入力 11 CMPSS-2 ハイ・コンパレータ正入力 4 CMPSS-2 ロー・コンパレータ正入力 4 デジタル入力 253 に使用されるアナログ・ピン
B0 C11 CMP2_HP4 CMP2_LP4			24	20	20	16	I I I I	ADC-B 入力 0 ADC-C 入力 11 CMPSS-2 ハイ・コンパレータ正入力 4 CMPSS-2 ロー・コンパレータ正入力 4
B2 C6 CMP3_HP0 CMP3_LP0 AIO226	0, 4, 8, 12	15	11	7	7	4	I I I I I	ADC-B 入力 2 ADC-C 入力 6 CMPSS-3 ハイ・コンパレータ正入力 0 CMPSS-3 ロー・コンパレータ正入力 0 デジタル入力 226 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
B3 CMP3_HN0 CMP3_HP3 CMP3_LN0 CMP3_LP3 VDAC AIO242	0, 4, 8, 12	16	12	8	8	5	I I I I I I I	ADC-B 入力 3 CMPSS-3 ハイ・コンパレータ負入力 0 CMPSS-3 ハイ・コンパレータ正入力 3 CMPSS-3 ロー・コンパレータ負入力 0 CMPSS-3 ロー・コンパレータ正入力 3 オンチップ DAC の外部リファレンス電圧 (オプション)。 デジタル入力 242 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
B4 C8 CMP4_HP0 CMP4_LP0 AIO236	0, 4, 8, 12	39	28	24	24	20	I I I I I	ADC-B 入力 4 ADC-C 入力 8 CMPSS-4 ハイ・コンパレータ正入力 0 CMPSS-4 ロー・コンパレータ正入力 0 デジタル入力 236 に使用されるアナログ・ピン

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
B5 CMP1_HP5 CMP1_LP5 AIO252	0, 4, 8, 12	32					I I I I	ADC-B 入力 5 CMPSS-1 ハイ・コンパレータ正入力 5 CMPSS-1 ロー・コンパレータ正入力 5 デジタル入力 252 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
B5 CMP1_HP5 CMP1_LP5 GPIO20		48	33				I I I I/O	ADC-B 入力 5 CMPSS-1 ハイ・コンパレータ正入力 5 CMPSS-1 ロー・コンパレータ正入力 5 汎用入出力 20。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
B11 CMP4_HP5 CMP4_LP5 AIO251	0, 4, 8, 12	30					I I I I	ADC-B 入力 11 CMPSS-4 ハイ・コンパレータ正入力 5 CMPSS-4 ロー・コンパレータ正入力 5 デジタル入力 251 に使用されるアナログ・ピン
B11 CMP4_HP5 CMP4_LP5 GPIO21		49	34				I I I I/O	ADC-B 入力 11 CMPSS-4 ハイ・コンパレータ正入力 5 CMPSS-4 ロー・コンパレータ正入力 5 汎用入出力 21。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
C1 CMP4_HP2 CMP4_LP2 AIO248	0, 4, 8, 12	29	22	18	18	14	I I I I	ADC-C 入力 1 CMPSS-4 ハイ・コンパレータ正入力 2 CMPSS-4 ロー・コンパレータ正入力 2 デジタル入力 248 に使用されるアナログ・ピン
AIO248		29	22	18	18	14	I	デジタル入力 248 に使用されるアナログ・ピン
B12 C2 CMP3_HN1 CMP3_HP1 CMP3_LN1 CMP3_LP1 AIO244	0, 4, 8, 12	21	17	13	13	9	I I I I I I I	ADC-B 入力 12 ADC-C 入力 2 CMPSS-3 ハイ・コンパレータ負入力 1 CMPSS-3 ハイ・コンパレータ正入力 1 CMPSS-3 ロー・コンパレータ負入力 1 CMPSS-3 ロー・コンパレータ正入力 1 デジタル入力 244 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
A7 C3 CMP4_HN1 CMP4_HP1 CMP4_LN1 CMP4_LP1 AIO245	0, 4, 8, 12	31	23	19	19	15	I I I I I I I	ADC-A 入力 7 ADC-C 入力 3 CMPSS-4 ハイ・コンパレータ負入力 1 CMPSS-4 ハイ・コンパレータ正入力 1 CMPSS-4 ロー・コンパレータ負入力 1 CMPSS-4 ロー・コンパレータ正入力 1 デジタル入力 245 に使用されるアナログ・ピン。このピンには、この表の GPIO セクションに記載されているデジタル・マルチプレクサ機能もある。
C5		28	12	8	8	5	I	ADC-C 入力 5
B9 C7		18	14	10	10	7	I I	ADC-B 入力 9 ADC-C 入力 7

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明	
C14							I	ADC-C 入力 14	
CMP4_HN0		42					I	CMPSS-4 ハイ・コンパレータ負入力 0	
CMP4_HP3							I	CMPSS-4 ハイ・コンパレータ正入力 3	
CMP4_LN0							I	CMPSS-4 ロー・コンパレータ負入力 0	
CMP4_LP3							I	CMPSS-4 ロー・コンパレータ正入力 3	
AIO247	0, 4, 8, 12							I	デジタル入力 247 に使用されるアナログ・ピン
C14								I	ADC-C 入力 14
CMP4_HN0							I	CMPSS-4 ハイ・コンパレータ負入力 0	
CMP4_HP3			27	23	23	19	I	CMPSS-4 ハイ・コンパレータ正入力 3	
CMP4_LN0							I	CMPSS-4 ロー・コンパレータ負入力 0	
CMP4_LP3							I	CMPSS-4 ロー・コンパレータ正入力 3	
VREFHI		24, 25	20	16	16	12	I	ADC の高い基準電圧。外部リファレンス・モードでは、高い側のリファレンス電圧を外部からこのピンに印加する。内部リファレンス・モードでは、デバイスによってこのピンに電圧が駆動される。いずれのモードでも、2.2µF 以上のコンデンサをこのピンに配置する。このコンデンサは、VREFHI ピンと VREFLO ピンの間で、できるだけデバイスに近い場所に配置する必要がある。	
VREFLO		26, 27	21	17	17	13	I	ADC の低い基準電圧	
GPIO									
AIO231	0, 4, 8, 12						I	デジタル入力 231 に使用されるアナログ・ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。	
SD1_C1	2	23	19	15	15	11	I	SDFM-1 チャネル 1 クロック入力	
HIC_BASESEL1	15						I	HIC ベース・アドレス範囲選択 1	
AIO232	0, 4, 8, 12								
SD1_D4	2	22	18	14	14	10	I	SDFM-1 チャネル 4 データ入力	
HIC_BASESEL0	15						I	HIC ベース・アドレス範囲選択 0	
AIO224	0, 4, 8, 12								
SD2_D3	2	17	13	9	9	6	I	SDFM-2 チャネル 3 データ入力	
HIC_A3	15						I	HIC アドレス 3	
AIO225	0, 4, 8, 12								
SD2_C2	2	36	27	23	23	19	I	SDFM-2 チャネル 2 クロック入力	
HIC_NWE	15						I	ホストからの HIC データ書き込みイネーブル	
AIO228	0, 4, 8, 12								
SD2_C1	2	14	10	6	6	4	I	SDFM-2 チャネル 1 クロック入力	
HIC_A0	15						I	HIC アドレス 0	
AIO240	0, 4, 8, 12								
SD2_C1	2	37					I	SDFM-2 チャネル 1 クロック入力	
HIC_NBE1	15		I	HIC バイト・イネーブル 1					

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
AIO241	0, 4, 8, 12						I	デジタル入力 241 に使用されるアナログ・ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C1	2		24	20	20	16	I	SDFM-2 チャネル 1 クロック入力
HIC_NBE1	15						I	HIC バイト・イネーブル 1
AIO227	0, 4, 8, 12						I	デジタル入力 227 に使用されるアナログ・ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_C3	2	38	28	24	24	20	I	SDFM-1 チャネル 3 クロック入力
HIC_NBE0	15						I	HIC バイト・イネーブル 0
AIO230	0, 4, 8, 12						I	デジタル入力 230 に使用されるアナログ・ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_C4	2	40	29	25	25	21	I	SDFM-1 チャネル 4 クロック入力
HIC_BASESEL2	15						I	HIC ベース・アドレス範囲選択 2
AIO237	0, 4, 8, 12						I	デジタル入力 237 に使用されるアナログ・ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D2	2	20	16	12	12	8	I	SDFM-1 チャネル 2 データ入力
HIC_A6	15						I	HIC アドレス 6
AIO238	0, 4, 8, 12						I	デジタル入力 238 に使用されるアナログ・ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C3	2	28	22	18	18	14	I	SDFM-2 チャネル 3 クロック入力
HIC_NCS	15						I	HIC チップ・セレクト入力
AIO239	0, 4, 8, 12						I	デジタル入力 239 に使用されるアナログ・ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D1	2	19	15	11	11		I	SDFM-1 チャネル 1 データ入力
HIC_A5	15						I	HIC アドレス 5
AIO233	0, 4, 8, 12						I	デジタル入力 233 に使用されるアナログ・ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_D1	2		14	10	10	7	I	SDFM-2 チャネル 1 データ入力
HIC_A4	15						I	HIC アドレス 4
AIO226	0, 4, 8, 12						I	デジタル入力 226 に使用されるアナログ・ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_D4	2	15	11	7	7	4	I	SDFM-2 チャネル 4 データ入力
HIC_A1	15						I	HIC アドレス 1
AIO242	0, 4, 8, 12						I	デジタル入力 242 に使用されるアナログ・ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_D2	2	16	12	8	8	5	I	SDFM-2 チャネル 2 データ入力
HIC_A2	15						I	HIC アドレス 2
AIO252	0, 4, 8, 12						I	デジタル入力 252 に使用されるアナログ・ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C4	2	32					I	SDFM-2 チャネル 4 クロック入力
AIO244	0, 4, 8, 12						I	デジタル入力 244 に使用されるアナログ・ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D3	2	21	17	13	13	9	I	SDFM-1 チャネル 3 データ入力
HIC_A7	15						I	HIC アドレス 7

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明					
AIO245	0, 4, 8, 12	31	23	19	19	15	I	デジタル入力 245 に使用されるアナログ・ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。					
SD1_C2	2						I	SDFM-1 チャネル 2 クロック入力					
HIC_NOE	15						O	データ・バスの HIC 出力イネーブル					
GPIO0	0, 4, 8, 12	79	63	52	52	42	I/O	汎用入出力 0					
EPWM1_A	1						O	ePWM-1 出力 A					
I2CA_SDA	6						I/OD	I2C-A オープン・ドレイン双方向データ					
SPIA_STE	7						I/O	SPI-A スレーブ送信イネーブル (STE)					
FSIRXA_CLK	9						I	FSIRX-A 入力クロック					
MCAN_RX	10						I	CAN/CAN FD 受信					
CLB_OUTPUTXBAR8	11						O	CLB 出力クロスバー出力 8					
EQEP1_INDEX	13						I/O	eQEP-1 インデックス					
HIC_D7	14						I/O	HIC データ 7					
HIC_BASESEL1	15						I	HIC ベース・アドレス範囲選択 1					
GPIO1	0, 4, 8, 12						78	62	51	51	41	I/O	汎用入出力 1
EPWM1_B	1	O	ePWM-1 出力 B										
I2CA_SCL	6	I/OD	I2C-A オープン・ドレイン双方向クロック										
SPIA_SOMI	7	I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)										
MCAN_TX	10	O	CAN/CAN FD 送信										
CLB_OUTPUTXBAR7	11	O	CLB 出力クロスバー出力 7										
HIC_A2	13	I	HIC アドレス 2										
FSITXA_TDM_D1	14	I	FSITX-A 時分割多重化された追加データ入力										
HIC_D10	15	I/O	HIC データ 10										
GPIO2	0, 4, 8, 12	77	61	50	50	40						I/O	汎用入出力 2
EPWM2_A	1						O	ePWM-2 出力 A					
OUTPUTXBAR1	5						O	出力クロスバー出力 1					
PMBUSA_SDA	6						I/OD	PMBus-A オープン・ドレイン双方向データ					
SPIA_SIMO	7						I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)					
SCIA_TX	9						O	SCI-A 送信データ					
FSIRXA_D1	10						I	FSIRX-A オプションの追加データ入力					
I2CB_SDA	11						I/OD	I2C-B オープン・ドレイン双方向データ					
HIC_A1	13						I	HIC アドレス 1					
CANA_TX	14						O	CAN-A 送信					
HIC_D9	15						I/O	HIC データ 9					
GPIO3	0, 4, 8, 12						76	60	49	49	39	I/O	汎用入出力 3
EPWM2_B	1											O	ePWM-2 出力 B
OUTPUTXBAR2	2, 5	O	出力クロスバー出力 2										
PMBUSA_SCL	6	I/OD	PMBus-A オープン・ドレイン双方向クロック										
SPIA_CLK	7	I/O	SPI-A クロック										
SCIA_RX	9	I	SCI-A 受信データ										
FSIRXA_D0	10	I	FSIRX-A 1 次データ入力										
I2CB_SCL	11	I/OD	I2C-B オープン・ドレイン双方向クロック										
HIC_NOE	13	O	データ・バスの HIC 出力イネーブル										
CANA_RX	14	I	CAN-A 受信										
HIC_D4	15	I/O	HIC データ 4										

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
GPIO4	0, 4, 8, 12						I/O	汎用入出力 4
EPWM3_A	1						O	ePWM-3 出力 A
MCAN_TX	3						O	CAN/CAN FD 送信
OUTPUTXBAR3	5						O	出力クロスバー出力 3
CANA_TX	6						O	CAN-A 送信
SPIB_CLK	7	75	59	48	48	38	I/O	SPI-B クロック
EQEP2_STROBE	9						I/O	eQEP-2 ストロブ
FSIRXA_CLK	10						I	FSIRX-A 入力クロック
CLB_OUTPUTXBAR6	11						O	CLB 出力クロスバー出力 6
HIC_BASESEL2	13						I	HIC ベース・アドレス範囲選択 2
HIC_NWE	15						I	ホストからの HIC データ書き込みイネーブル
GPIO5	0, 4, 8, 12						I/O	汎用入出力 5
EPWM3_B	1						O	ePWM-3 出力 B
OUTPUTXBAR3	3						O	出力クロスバー出力 3
MCAN_RX	5						I	CAN/CAN FD 受信
CANA_RX	6						I	CAN-A 受信
SPIA_STE	7	89	74	61	61	47	I/O	SPI-A スレープ送信イネーブル (STE)
FSITXA_D1	9						O	FSITX-A オプションの追加データ出力
CLB_OUTPUTXBAR5	10						O	CLB 出力クロスバー出力 5
HIC_A7	13						I	HIC アドレス 7
HIC_D4	14						I/O	HIC データ 4
HIC_D15	15						I/O	HIC データ 15
GPIO6	0, 4, 8, 12						I/O	汎用入出力 6
EPWM4_A	1						O	ePWM-4 出力 A
OUTPUTXBAR4	2						O	出力クロスバー出力 4
SYNCOUT	3						O	外部 ePWM 同期パルス
EQEP1_A	5						I	eQEP-1 入力 A
SPIB_SOMI	7	97	80	64	64	48	I/O	SPI-B スレープ出力、マスタ入力 (SOMI)
FSITXA_D0	9						O	FSITX-A 1 次データ出力
FSITXA_D1	11						O	FSITX-A オプションの追加データ出力
HIC_NBE1	13						I	HIC バイト・イネーブル 1
CLB_OUTPUTXBAR8	14						O	CLB 出力クロスバー出力 8
HIC_D14	15						I/O	HIC データ 14
GPIO7	0, 4, 8, 12						I/O	汎用入出力 7
EPWM4_B	1						O	ePWM-4 出力 B
OUTPUTXBAR5	3						O	出力クロスバー出力 5
EQEP1_B	5						I	eQEP-1 入力 B
SPIB_SIMO	7	84	68	57	57	43	I/O	SPI-B スレープ入力、マスタ出力 (SIMO)
FSITXA_CLK	9						O	FSITX-A 出力クロック
CLB_OUTPUTXBAR2	10						O	CLB 出力クロスバー出力 2
HIC_A6	13						I	HIC アドレス 6
HIC_D14	15						I/O	HIC データ 14

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
GPIO8	0, 4, 8, 12						I/O	汎用入出力 8
EPWM5_A	1						O	ePWM-5 出力 A
ADCSOCAO	3						O	外部 ADC 用の ADC 変換開始 A
EQEP1_STROBE	5						I/O	eQEP-1 ストロブ
SCIA_TX	6						O	SCI-A 送信データ
SPIA_SIMO	7						I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
I2CA_SCL	9	74	58	47	47		I/OD	I2C-A オープン・ドレイン双方向クロック
FSITXA_D1	10						O	FSITX-A オプションの追加データ出力
CLB_OUTPUTXBAR5	11						O	CLB 出力クロスバー出力 5
HIC_A0	13						I	HIC アドレス 0
FSITXA_TDM_CLK	14						I	FSITX-A 時分割多重化されたクロック入力
HIC_D8	15						I/O	HIC データ 8
GPIO9	0, 4, 8, 12						I/O	汎用入出力 9
EPWM5_B	1						O	ePWM-5 出力 B
SCIB_TX	2						O	SCI-B 送信データ
OUTPUTXBAR6	3						O	出力クロスバー出力 6
EQEP1_INDEX	5						I/O	eQEP-1 インデックス
SCIA_RX	6						I	SCI-A 受信データ
SPIA_CLK	7						I/O	SPI-A クロック
FSITXA_D0	10						O	FSITX-A 1 次データ出力
LINB_RX	11						I	LIN-B 受信
HIC_BASESEL0	13						I	HIC ベース・アドレス範囲選択 0
I2CB_SCL	14						I/OD	I2C-B オープン・ドレイン双方向クロック
HIC_NRDY	15						O	デバイスからホストへの HIC レディ
GPIO10	0, 4, 8, 12						I/O	汎用入出力 10
EPWM6_A	1						O	ePWM-6 出力 A
ADCSOCBO	3						O	外部 ADC 用の ADC 変換開始 B
EQEP1_A	5						I	eQEP-1 入力 A
SCIB_TX	6						O	SCI-B 送信データ
SPIA_SOMI	7						I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
I2CA_SDA	9						I/OD	I2C-A オープン・ドレイン双方向データ
FSITXA_CLK	10						O	FSITX-A 出力クロック
LINB_TX	11						O	LIN-B 送信
HIC_NWE	13						I	ホストからの HIC データ書き込みイネーブル
FSITXA_TDM_D0	14						I	FSITX-A 時分割多重化されたデータ入力
CLB_OUTPUTXBAR4	15						O	CLB 出力クロスバー出力 4

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
GPIO11	0, 4, 8, 12						I/O	汎用入出力 11
EPWM6_B	1						O	ePWM-6 出力 B
OUTPUTXBAR7	3						O	出力クロスバー出力 7
EQEP1_B	5						I	eQEP-1 入力 B
SCIB_RX	6						I	SCI-B 受信データ
SPIA_STE	7						I/O	SPI-A スレーブ送信イネーブル (STE)
FSIRXA_D1	9	52	37	31	31		I	FSIRX-A オプションの追加データ入力
LINB_RX	10						I	LIN-B 受信
EQEP2_A	11						I	eQEP-2 入力 A
SPIA_SIMO	13						I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
HIC_D6	14						I/O	HIC データ 6
HIC_NBE0	15						I	HIC バイト・イネーブル 0
GPIO12	0, 4, 8, 12						I/O	汎用入出力 12
EPWM7_A	1						O	ePWM-7 出力 A
MCAN_RX	3						I	CAN/CAN FD 受信
EQEP1_STROBE	5						I/O	eQEP-1 ストロブ
SCIB_TX	6						O	SCI-B 送信データ
PMBUSA_CTL	7						I/O	PMBus-A 制御信号 - スレーブ入力 / マスタ出力
FSIRXA_D0	9	51	36	30	30		I	FSIRX-A 1 次データ入力
LINB_TX	10						O	LIN-B 送信
SPIA_CLK	11						I/O	SPI-A クロック
CANA_RX	13						I	CAN-A 受信
HIC_D13	14						I/O	HIC データ 13
HIC_INT	15						O	ホストへの HIC デバイス割り込み
GPIO13	0, 4, 8, 12						I/O	汎用入出力 13
EPWM7_B	1						O	ePWM-7 出力 B
MCAN_TX	3						O	CAN/CAN FD 送信
EQEP1_INDEX	5						I/O	eQEP-1 インデックス
SCIB_RX	6						I	SCI-B 受信データ
PMBUSA_ALERT	7						I/OD	PMBus-A オープン・ドレイン双方向アラート信号
FSIRXA_CLK	9	50	35	29	29		I	FSIRX-A 入力クロック
LINB_RX	10						I	LIN-B 受信
SPIA_SOMI	11						I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
CANA_TX	13						O	CAN-A 送信
HIC_D11	14						I/O	HIC データ 11
HIC_D5	15						I/O	HIC データ 5

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
GPIO14	0, 4, 8, 12						I/O	汎用入出力 14
EPWM8_A	1						O	ePWM-8 出力 A
SCIB_TX	2						O	SCI-B 送信データ
I2CB_SDA	5						I/OD	I2C-B オープン・ドレイン双方向データ
OUTPUTXBAR3	6						O	出力クロスバー出力 3
PMBUSA_SDA	7	96	79				I/OD	PMBus-A オープン・ドレイン双方向データ
SPIB_CLK	9						I/O	SPI-B クロック
EQEP2_A	10						I	eQEP-2 入力 A
LINB_TX	11						O	LIN-B 送信
EPWM3_A	13						O	ePWM-3 出力 A
CLB_OUTPUTXBAR7	14						O	CLB 出力クロスバー出力 7
HIC_D15	15						I/O	HIC データ 15
GPIO15	0, 4, 8, 12						I/O	汎用入出力 15
EPWM8_B	1						O	ePWM-8 出力 B
SCIB_RX	2						I	SCI-B 受信データ
I2CB_SCL	5						I/OD	I2C-B オープン・ドレイン双方向クロック
OUTPUTXBAR4	6						O	出力クロスバー出力 4
PMBUSA_SCL	7	95	78				I/OD	PMBus-A オープン・ドレイン双方向クロック
SPIB_STE	9						I/O	SPI-B スレープ送信イネーブル (STE)
EQEP2_B	10						I	eQEP-2 入力 B
LINB_RX	11						I	LIN-B 受信
EPWM3_B	13						O	ePWM-3 出力 B
CLB_OUTPUTXBAR6	14						O	CLB 出力クロスバー出力 6
HIC_D12	15						I/O	HIC データ 12
GPIO16	0, 4, 8, 12						I/O	汎用入出力 16
SPIA_SIMO	1						I/O	SPI-A スレープ入力、マスタ出力 (SIMO)
OUTPUTXBAR7	3						O	出力クロスバー出力 7
EPWM5_A	5						O	ePWM-5 出力 A
SCIA_TX	6						O	SCI-A 送信データ
SD1_D1	7						I	SDFM-1 チャンネル 1 データ入力
EQEP1_STROBE	9	54	39	33	33	26	I/O	eQEP-1 ストロブ
PMBUSA_SCL	10						I/OD	PMBus-A オープン・ドレイン双方向クロック
XCLKOUT	11						O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力する。
EQEP2_B	13						I	eQEP-2 入力 B
SPIB_SOMI	14						I/O	SPI-B スレープ出力、マスタ入力 (SOMI)
HIC_D1	15						I/O	HIC データ 1
GPIO17	0, 4, 8, 12						I/O	汎用入出力 17
SPIA_SOMI	1						I/O	SPI-A スレープ出力、マスタ入力 (SOMI)
OUTPUTXBAR8	3						O	出力クロスバー出力 8
EPWM5_B	5						O	ePWM-5 出力 B
SCIA_RX	6						I	SCI-A 受信データ
SD1_C1	7						I	SDFM-1 チャンネル 1 クロック入力
EQEP1_INDEX	9	55	40	34	34		I/O	eQEP-1 インデックス
PMBUSA_SDA	10						I/OD	PMBus-A オープン・ドレイン双方向データ
CANA_TX	11						O	CAN-A 送信
HIC_D2	15						I/O	HIC データ 2

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
GPIO18	0, 4, 8, 12						I/O	汎用入出力 18
SPIA_CLK	1						I/O	SPI-A クロック
SCIB_TX	2						O	SCI-B 送信データ
CANA_RX	3						I	CAN-A 受信
EPWM6_A	5						O	ePWM-6 出力 A
I2CA_SCL	6						I/OD	I2C-A オープン・ドレイン双方向クロック
SD1_D2	7						I	SDFM-1 チャンネル 2 データ入力
EQEP2_A	9	68	50	41	41	33	I	eQEP-2 入力 A
PMBUSA_CTL	10						I/O	PMBus-A 制御信号 - スレープ入力 / マスタ出力
XCLKOUT	11						O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力する。
LINB_TX	13						O	LIN-B 送信
FSITXA_TDM_CLK	14						I	FSITX-A 時分割多重化されたクロック入力
HIC_INT	15						O	ホストへの HIC デバイス割り込み
X2	ALT						I/O	水晶発振器出力。
GPIO19	0, 4, 8, 12						I/O	汎用入出力 19
SPIA_STE	1						I/O	SPI-A スレープ送信イネーブル (STE)
SCIB_RX	2						I	SCI-B 受信データ
CANA_TX	3						O	CAN-A 送信
EPWM6_B	5						O	ePWM-6 出力 B
I2CA_SDA	6						I/OD	I2C-A オープン・ドレイン双方向データ
SD1_C2	7						I	SDFM-1 チャンネル 2 クロック入力
EQEP2_B	9						I	eQEP-2 入力 B
PMBUSA_ALERT	10						I/OD	PMBus-A オープン・ドレイン双方向アラート信号
CLB_OUTPUTXBAR1	11	69	51	42	42	34	O	CLB 出力クロスバー出力 1
LINB_RX	13						I	LIN-B 受信
FSITXA_TDM_D0	14						I	FSITX-A 時分割多重化されたデータ入力
HIC_NBE0	15						I	HIC バイト・イネーブル 0
X1	ALT						I/O	水晶発振器入力またはシングルエンド・クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベル・クロックを供給することもできる。使用法の詳細については、「XTAL」セクションを参照。
GPIO20	0, 4, 8, 12						I/O	汎用入出力 20。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP1_A	1	48	33				I	eQEP-1 入力 A
SPIB_SIMO	6						I/O	SPI-B スレープ入力、マスタ出力 (SIMO)
SD1_D3	7						I	SDFM-1 チャンネル 3 データ入力
MCAN_TX	9						O	CAN/CAN FD 送信
GPIO21	0, 4, 8, 12						I/O	汎用入出力 21。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP1_B	1	49	34				I	eQEP-1 入力 B
SPIB_SOMI	6						I/O	SPI-B スレープ出力、マスタ入力 (SOMI)
SD1_C3	7						I	SDFM-1 チャンネル 3 クロック入力
MCAN_RX	9						I	CAN/CAN FD 受信

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
GPIO22	0, 4, 8, 12						I/O	汎用入出力 22
EQEP1_STROBE	1						I/O	eQEP-1 ストロブ
SCIB_TX	3						O	SCI-B 送信データ
SPIB_CLK	6						I/O	SPI-B クロック
SD1_D4	7						I	SDFM-1 チャネル 4 データ入力
LINA_TX	9	83	67	56	56		O	LIN-A 送信
CLB_OUTPUTXBAR1	10						O	CLB 出力クロスバー出力 1
LINB_TX	11						O	LIN-B 送信
HIC_A5	13						I	HIC アドレス 5
EPWM4_A	14						O	ePWM-4 出力 A
HIC_D13	15						I/O	HIC データ 13
GPIO23	0, 4, 8, 12						I/O	汎用入出力 23
EQEP1_INDEX	1						I/O	eQEP-1 インデックス
SCIB_RX	3						I	SCI-B 受信データ
SPIB_STE	6						I/O	SPI-B スレーブ送信イネーブル (STE)
SD1_C4	7						I	SDFM-1 チャネル 4 クロック入力
LINA_RX	9	81	65	54	54		I	LIN-A 受信
CLB_OUTPUTXBAR3	10						O	CLB 出力クロスバー出力 3
LINB_RX	11						I	LIN-B 受信
HIC_A3	13						I	HIC アドレス 3
EPWM4_B	14						O	ePWM-4 出力 B
HIC_D11	15						I/O	HIC データ 11
GPIO24	0, 4, 8, 12						I/O	汎用入出力 24
OUTPUTXBAR1	1						O	出力クロスバー出力 1
EQEP2_A	2						I	eQEP-2 入力 A
EPWM8_A	5						O	ePWM-8 出力 A
SPIB_SIMO	6						I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)
SD2_D1	7	56	41	35	35	27	I	SDFM-2 チャネル 1 データ入力
LINB_TX	9						O	LIN-B 送信
PMBUSA_SCL	10						I/OD	PMBus-A オープン・ドレイン双方向クロック
SCIA_TX	11						O	SCI-A 送信データ
ERRORSTS	13						O	エラー・ステータス出力。外部プルダウンが必要。
HIC_D3	15						I/O	HIC データ 3
GPIO25	0, 4, 8, 12						I/O	汎用入出力 25
OUTPUTXBAR2	1						O	出力クロスバー出力 2
EQEP2_B	2						I	eQEP-2 入力 B
EQEP1_A	5						I	eQEP-1 入力 A
SPIB_SOMI	6						I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)
SD2_C1	7	57	42				I	SDFM-2 チャネル 1 クロック入力
FSITXA_D1	9						O	FSITX-A オプションの追加データ出力
PMBUSA_SDA	10						I/OD	PMBus-A オープン・ドレイン双方向データ
SCIA_RX	11						I	SCI-A 受信データ
HIC_BASESEL0	14						I	HIC ベース・アドレス範囲選択 0

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
GPIO26	0, 4, 8, 12						I/O	汎用入出力 26
OUTPUTXBAR3	1, 5						O	出力クロスバー出力 3
EQEP2_INDEX	2						I/O	eQEP-2 インデックス
SPIB_CLK	6						I/O	SPI-B クロック
SD2_D2	7						I	SDFM-2 チャンネル 2 データ入力
FSITXA_D0	9	58	43				O	FSITX-A 1 次データ出力
PMBUSA_CTL	10						I/O	PMBus-A 制御信号 - スLEEP入力 / マスタ出力
I2CA_SDA	11						I/OD	I2C-A オープン・ドレイン双方向データ
HIC_D0	14						I/O	HIC データ 0
HIC_A1	15						I	HIC アドレス 1
GPIO27	0, 4, 8, 12						I/O	汎用入出力 27
OUTPUTXBAR4	1, 5						O	出力クロスバー出力 4
EQEP2_STROBE	2						I/O	eQEP-2 ストロープ
SPIB_STE	6						I/O	SPI-B スLEEP送信イネーブル (STE)
SD2_C2	7						I	SDFM-2 チャンネル 2 クロック入力
FSITXA_CLK	9	59	44				O	FSITX-A 出力クロック
PMBUSA_ALERT	10						I/OD	PMBus-A オープン・ドレイン双方向アラート信号
I2CA_SCL	11						I/OD	I2C-A オープン・ドレイン双方向クロック
HIC_D1	14						I/O	HIC データ 1
HIC_A4	15						I	HIC アドレス 4
GPIO28	0, 4, 8, 12						I/O	汎用入出力 28
SCIA_RX	1						I	SCI-A 受信データ
EPWM7_A	3						O	ePWM-7 出力 A
OUTPUTXBAR5	5						O	出力クロスバー出力 5
EQEP1_A	6						I	eQEP-1 入力 A
SD2_D3	7						I	SDFM-2 チャンネル 3 データ入力
EQEP2_STROBE	9	1	4	2	2	2	I/O	eQEP-2 ストロープ
LINA_TX	10						O	LIN-A 送信
SPIB_CLK	11						I/O	SPI-B クロック
ERRORSTS	13						O	エラー・ステータス出力。外部プルダウンが必要。
I2CB_SDA	14						I/OD	I2C-B オープン・ドレイン双方向データ
HIC_NOE	15						O	データ・バスの HIC 出力イネーブル
GPIO29	0, 4, 8, 12						I/O	汎用入出力 29
SCIA_TX	1						O	SCI-A 送信データ
EPWM7_B	3						O	ePWM-7 出力 B
OUTPUTXBAR6	5						O	出力クロスバー出力 6
EQEP1_B	6						I	eQEP-1 入力 B
SD2_C3	7						I	SDFM-2 チャンネル 3 クロック入力
EQEP2_INDEX	9	100	3	1	1	1	I/O	eQEP-2 インデックス
LINA_RX	10						I	LIN-A 受信
SPIB_STE	11						I/O	SPI-B スLEEP送信イネーブル (STE)
ERRORSTS	13						O	エラー・ステータス出力。外部プルダウンが必要。
I2CB_SCL	14						I/OD	I2C-B オープン・ドレイン双方向クロック
HIC_NCS	15						I	HIC チップ・セレクト入力
AUXCLKIN	ALT						I	補助クロック入力

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
GPIO30	0, 4, 8, 12						I/O	汎用入出力 30
CANA_RX	1						I	CAN-A 受信
SPIB_SIMO	3						I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)
OUTPUTXBAR7	5						O	出力クロスバー出力 7
EQEP1_STROBE	6						I/O	eQEP-1 ストロブ
SD2_D4	7	98	1				I	SDFM-2 チャンネル 4 データ入力
FSIRXA_CLK	9						I	FSIRX-A 入力クロック
MCAN_RX	10						I	CAN/CAN FD 受信
EPWM1_A	11						O	ePWM-1 出力 A
HIC_D8	14						I/O	HIC データ 8
GPIO31	0, 4, 8, 12						I/O	汎用入出力 31
CANA_TX	1						O	CAN-A 送信
SPIB_SOMI	3						I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)
OUTPUTXBAR8	5						O	出力クロスバー出力 8
EQEP1_INDEX	6						I/O	eQEP-1 インデックス
SD2_C4	7	99	2				I	SDFM-2 チャンネル 4 クロック入力
FSIRXA_D1	9						I	FSIRX-A オプションの追加データ入力
MCAN_TX	10						O	CAN/CAN FD 送信
EPWM1_B	11						O	ePWM-1 出力 B
HIC_D10	14						I/O	HIC データ 10
GPIO32	0, 4, 8, 12						I/O	汎用入出力 32
I2CA_SDA	1						I/OD	I2C-A オープン・ドレイン双方向データ
SPIB_CLK	3						I/O	SPI-B クロック
EPWM8_B	5						O	ePWM-8 出力 B
LINA_TX	6						O	LIN-A 送信
SD1_D2	7	64	49	40	40	32	I	SDFM-1 チャンネル 2 データ入力
FSIRXA_D0	9						I	FSIRX-A 1 次データ入力
CANA_TX	10						O	CAN-A 送信
PMBUSA_SDA	11						I/OD	PMBus-A オープン・ドレイン双方向データ
ADC SOCBO	13						O	外部 ADC 用の ADC 変換 B 開始
HIC_INT	15						O	ホストへの HIC デバイス割り込み
GPIO33	0, 4, 8, 12						I/O	汎用入出力 33
I2CA_SCL	1						I/OD	I2C-A オープン・ドレイン双方向クロック
SPIB_STE	3						I/O	SPI-B スレーブ送信イネーブル (STE)
OUTPUTXBAR4	5						O	出力クロスバー出力 4
LINA_RX	6						I	LIN-A 受信
SD1_C2	7						I	SDFM-1 チャンネル 2 クロック入力
FSIRXA_CLK	9	53	38	32	32	25	I	FSIRX-A 入力クロック
CANA_RX	10						I	CAN-A 受信
EQEP2_B	11						I	eQEP-2 入力 B
ADC SOCAO	13						O	外部 ADC 用の ADC 変換 A 開始
SD1_C1	14						I	SDFM-1 チャンネル 1 クロック入力
HIC_D0	15						I/O	HIC データ 0

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
GPIO34	0, 4, 8, 12						I/O	汎用入出力 34
OUTPUTXBAR1	1						O	出力クロスバー出力 1
PMBUSA_SDA	6	94	77				I/OD	PMBus-A オープン・ドレイン双方向データ
HIC_NBE1	13						I	HIC バイト・イネーブル 1
I2CB_SDA	14						I/OD	I2C-B オープン・ドレイン双方向データ
HIC_D9	15						I/O	HIC データ 9
GPIO35	0, 4, 8, 12						I/O	汎用入出力 35
SCIA_RX	1						I	SCI-A 受信データ
I2CA_SDA	3						I/OD	I2C-A オープン・ドレイン双方向データ
CANA_RX	5						I	CAN-A 受信
PMBUSA_SCL	6						I/OD	PMBus-A オープン・ドレイン双方向クロック
LINA_RX	7						I	LIN-A 受信
EQEP1_A	9						I	eQEP-1 入力 A
PMBUSA_CTL	10	63	48	39	39	31	I/O	PMBus-A 制御信号 - スレープ入力 / マスタ出力
EPWM5_B	11						O	ePWM-5 出力 B
SD2_C1	13						I	SDFM-2 チャネル 1 クロック入力
HIC_NWE	14						I	ホストからの HIC データ書き込みイネーブル
TDI	15						I	JTAG テスト・データ入力 (TDI) - TDI は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG TDI として使用する場合は、入力がフローティング入力にならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要がある。
GPIO37	0, 4, 8, 12						I/O	汎用入出力 37
OUTPUTXBAR2	1						O	出力クロスバー出力 2
I2CA_SCL	3						I/OD	I2C-A オープン・ドレイン双方向クロック
SCIA_TX	5						O	SCI-A 送信データ
CANA_TX	6						O	CAN-A 送信
LINA_TX	7						O	LIN-A 送信
EQEP1_B	9						I	eQEP-1 入力 B
PMBUSA_ALERT	10	61	46	37	37	29	I/OD	PMBus-A オープン・ドレイン双方向アラート信号
HIC_NRDY	14						O	デバイスからホストへの HIC レディ
TDO	15						O	JTAG テスト・データ出力 (TDO) - TDO は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。JTAG アクティビティがない場合、TDO 機能はトリステート状態になり、このピンはフローティング状態のままになる。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、または外部プルアップをボードに追加する必要がある。
GPIO39	0, 4, 8, 12						I/O	汎用入出力 39
MCAN_RX	6						I	CAN/CAN FD 受信
FSIRXA_CLK	7						I	FSIRX-A 入力クロック
EQEP2_INDEX	9		56		46		I/O	eQEP-2 インデックス
CLB_OUTPUTXBAR2	11						O	CLB 出力クロスバー出力 2
SYNCOUT	13						O	外部 ePWM 同期パルス
EQEP1_INDEX	14						I/O	eQEP-1 インデックス
HIC_D7	15						I/O	HIC データ 7

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
GPIO40	0, 4, 8, 12						I/O	汎用入出力 40
SPIB_SIMO	1						I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)
EPWM2_B	5						O	ePWM-2 出力 B
PMBUSA_SDA	6						I/OD	PMBus-A オープン・ドレイン双方向データ
FSIRXA_D0	7	80	64	53	53		I	FSIRX-A 1 次データ入力
SCIB_TX	9						O	SCI-B 送信データ
EQEP1_A	10						I	eQEP-1 入力 A
LINB_TX	11						O	LIN-B 送信
HIC_NBE1	14						I	HIC バイト・イネーブル 1
HIC_D5	15						I/O	HIC データ 5
GPIO41	0, 4, 8, 12						I/O	汎用入出力 41
EPWM2_A	5						O	ePWM-2 出力 A
PMBUSA_SCL	6						I/OD	PMBus-A オープン・ドレイン双方向クロック
FSIRXA_D1	7						I	FSIRX-A オプションの追加データ入力
SCIB_RX	9	82	66	55	55		I	SCI-B 受信データ
EQEP1_B	10						I	eQEP-1 入力 B
LINB_RX	11						I	LIN-B 受信
HIC_A4	13						I	HIC アドレス 4
SPIB_SOMI	14						I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)
HIC_D12	15						I/O	HIC データ 12
GPIO42	0, 4, 8, 12						I/O	汎用入出力 42
LINA_RX	2						I	LIN-A 受信
OUTPUTXBAR5	3						O	出力クロスバー出力 5
PMBUSA_CTL	5						I/O	PMBus-A 制御信号 - スレーブ入力 / マスタ出力
I2CA_SDA	6		57				I/OD	I2C-A オープン・ドレイン双方向データ
EQEP1_STROBE	10						I/O	eQEP-1 ストロブ
CLB_OUTPUTXBAR3	11						O	CLB 出力クロスバー出力 3
HIC_D2	14						I/O	HIC データ 2
HIC_A6	15						I	HIC アドレス 6
GPIO43	0, 4, 8, 12						I/O	汎用入出力 43
OUTPUTXBAR6	3						O	出力クロスバー出力 6
PMBUSA_ALERT	5, 9						I/OD	PMBus-A オープン・ドレイン双方向アラート信号
I2CA_SCL	6						I/OD	I2C-A オープン・ドレイン双方向クロック
EQEP1_INDEX	10		54				I/O	eQEP-1 インデックス
CLB_OUTPUTXBAR4	11						O	CLB 出力クロスバー出力 4
SD2_D3	13						I	SDFM-2 チャネル 3 データ入力
HIC_D3	14						I/O	HIC データ 3
HIC_A7	15						I	HIC アドレス 7

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
GPIO44	0, 4, 8, 12						I/O	汎用入出力 44
OUTPUTXBAR7	3						O	出力クロスバー出力 7
EQEP1_A	5						I	eQEP-1 入力 A
PMBUSA_SDA	6						I/OD	PMBus-A オープン・ドレイン双方向データ
FSITXA_CLK	7						O	FSITX-A 出力クロック
PMBUSA_CTL	9	85	69				I/O	PMBus-A 制御信号 - スレープ入力 / マスタ出力
CLB_OUTPUTXBAR3	10						O	CLB 出力クロスバー出力 3
FSIRXA_D0	11						I	FSIRX-A 1 次データ入力
HIC_D7	13						I/O	HIC データ 7
LINB_TX	14						O	LIN-B 送信
HIC_D5	15						I/O	HIC データ 5
GPIO45	0, 4, 8, 12						I/O	汎用入出力 45
OUTPUTXBAR8	3						O	出力クロスバー出力 8
FSITXA_D0	7						O	FSITX-A 1 次データ出力
PMBUSA_ALERT	9		73				I/OD	PMBus-A オープン・ドレイン双方向アラート信号
CLB_OUTPUTXBAR4	10						O	CLB 出力クロスバー出力 4
SD2_C3	13						I	SDFM-2 チャンネル 3 クロック入力
HIC_D6	15						I/O	HIC データ 6
GPIO46	0, 4, 8, 12						I/O	汎用入出力 46
LINA_TX	3						O	LIN-A 送信
MCAN_TX	5						O	CAN/CAN FD 送信
FSITXA_D1	7		6				O	FSITX-A オプションの追加データ出力
PMBUSA_SDA	9						I/OD	PMBus-A オープン・ドレイン双方向データ
SD2_C4	13						I	SDFM-2 チャンネル 4 クロック入力
HIC_NWE	15						I	ホストからの HIC データ書き込みイネーブル
GPIO47	0, 4, 8, 12						I/O	汎用入出力 47
LINA_RX	3						I	LIN-A 受信
MCAN_RX	5						I	CAN/CAN FD 受信
CLB_OUTPUTXBAR2	7						O	CLB 出力クロスバー出力 2
PMBUSA_SCL	9	6					I/OD	PMBus-A オープン・ドレイン双方向クロック
SD2_D4	13						I	SDFM-2 チャンネル 4 データ入力
FSITXA_TDM_CLK	14						I	FSITX-A 時分割多重化されたクロック入力
HIC_A6	15						I	HIC アドレス 6
GPIO48	0, 4, 8, 12						I/O	汎用入出力 48
OUTPUTXBAR3	1						O	出力クロスバー出力 3
CANA_TX	3						O	CAN-A 送信
SCIA_TX	6						O	SCI-A 送信データ
SD1_D1	7						I	SDFM-1 チャンネル 1 データ入力
PMBUSA_SDA	9						I/OD	PMBus-A オープン・ドレイン双方向データ
HIC_A7	15						I	HIC アドレス 7

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
GPIO49	0, 4, 8, 12						I/O	汎用入出力 49
OUTPUTXBAR4	1						O	出力クロスバー出力 4
CANA_RX	3						I	CAN-A 受信
SCIA_RX	6						I	SCIA 受信データ
SD1_C1	7	8					I	SDFM-1 チャネル 1 クロック入力
LINA_RX	9						I	LIN-A 受信
SD2_D1	13						I	SDFM-2 チャネル 1 データ入力
FSITXA_D0	14						O	FSITX-A 1 次データ出力
HIC_D2	15						I/O	HIC データ 2
GPIO50	0, 4, 8, 12						I/O	汎用入出力 50
EQEP1_A	1						I	eQEP-1 入力 A
MCAN_TX	5						O	CAN/CAN FD 送信
SPIB_SIMO	6						I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)
SD1_D2	7	9					I	SDFM-1 チャネル 2 データ入力
I2CB_SDA	9						I/OD	I2C-B オープン・ドレイン双方向データ
SD2_D2	13						I	SDFM-2 チャネル 2 データ入力
FSITXA_D1	14						O	FSITX-A オプションの追加データ出力
HIC_D3	15						I/O	HIC データ 3
GPIO51	0, 4, 8, 12						I/O	汎用入出力 51
EQEP1_B	1						I	eQEP-1 入力 B
MCAN_RX	5						I	CAN/CAN FD 受信
SPIB_SOMI	6						I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)
SD1_C2	7	10					I	SDFM-1 チャネル 2 クロック入力
I2CB_SCL	9						I/OD	I2C-B オープン・ドレイン双方向クロック
SD2_D3	13						I	SDFM-2 チャネル 3 データ入力
FSITXA_CLK	14						O	FSITX-A 出力クロック
HIC_D6	15						I/O	HIC データ 6
GPIO52	0, 4, 8, 12						I/O	汎用入出力 52
EQEP1_STROBE	1						I/O	eQEP-1 ストロブ
CLB_OUTPUTXBAR5	5						O	CLB 出力クロスバー出力 5
SPIB_CLK	6						I/O	SPI-B クロック
SD1_D3	7	11					I	SDFM-1 チャネル 3 データ入力
SYNCOUT	9						O	外部 ePWM 同期パルス
SD2_D4	13						I	SDFM-2 チャネル 4 データ入力
FSIRXA_D0	14						I	FSIRX-A 1 次データ入力
HIC_NWE	15						I	ホストからの HIC データ書き込みイネーブル
GPIO53	0, 4, 8, 12						I/O	汎用入出力 53
EQEP1_INDEX	1						I/O	eQEP-1 インデックス
CLB_OUTPUTXBAR6	5						O	CLB 出力クロスバー出力 6
SPIB_STE	6						I/O	SPI-B スレーブ送信イネーブル (STE)
SD1_C3	7	12					I	SDFM-1 チャネル 3 クロック入力
ADCSOCAO	9						O	外部 ADC 用の ADC 変換 A 開始
CANA_RX	10						I	CAN-A 受信
SD1_C1	13						I	SDFM-1 チャネル 1 クロック入力
FSIRXA_D1	14						I	FSIRX-A オプションの追加データ入力

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
GPIO54	0, 4, 8, 12	13					I/O	汎用入出力 54
SPIA_SIMO	1		I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)				
EQEP2_A	5		I	eQEP-2 入力 A				
OUTPUTXBAR2	6		O	出力クロスバー出力 2				
SD1_D4	7		I	SDFM-1 チャネル 4 データ入力				
ADCSOCBO	9		O	外部 ADC 用の ADC 変換 B 開始				
LINB_TX	10		O	LIN-B 送信				
SD1_C2	13		I	SDFM-1 チャネル 2 クロック入力				
FSIRXA_CLK	14		I	FSIRX-A 入力クロック				
FSITXA_TDM_D1	15		I	FSITX-A 時分割多重化された追加データ入力				
GPIO55	0, 4, 8, 12	43					I/O	汎用入出力 55
SPIA_SOMI	1		I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)				
EQEP2_B	5		I	eQEP-2 入力 B				
OUTPUTXBAR3	6		O	出力クロスバー出力 3				
SD1_C4	7		I	SDFM-1 チャネル 4 クロック入力				
ERRORSTS	9		O	エラー・ステータス出力。外部プルダウンが必要。				
LINB_RX	10		I	LIN-B 受信				
SD1_C3	13		I	SDFM-1 チャネル 3 クロック入力				
HIC_A0	15		I	HIC アドレス 0				
GPIO56	0, 4, 8, 12		65					I/O
SPIA_CLK	1	I/O		SPI-A クロック				
CLB_OUTPUTXBAR7	2	O		CLB 出力クロスバー出力 7				
MCAN_TX	3	O		CAN/CAN FD 送信				
EQEP2_STROBE	5	I/O		eQEP-2 ストローブ				
SCIB_TX	6	O		SCI-B 送信データ				
SD2_D1	7	I		SDFM-2 チャネル 1 データ入力				
SPIB_SIMO	9	I/O		SPI-B スレーブ入力、マスタ出力 (SIMO)				
I2CA_SDA	10	I/OD		I2C-A オープン・ドレイン双方向データ				
EQEP1_A	11	I		eQEP-1 入力 A				
SD1_C4	13	I		SDFM-1 チャネル 4 クロック入力				
FSIRXA_D1	14	I		FSIRX-A オプションの追加データ入力				
HIC_D6	15	I/O		HIC データ 6				
GPIO57	0, 4, 8, 12	66					I/O	汎用入出力 57
SPIA_STE	1		I/O	SPI-A スレーブ送信イネーブル (STE)				
CLB_OUTPUTXBAR8	2		O	CLB 出力クロスバー出力 8				
MCAN_RX	3		I	CAN/CAN FD 受信				
EQEP2_INDEX	5		I/O	eQEP-2 インデックス				
SCIB_RX	6		I	SCI-B 受信データ				
SD2_C1	7		I	SDFM-2 チャネル 1 クロック入力				
SPIB_SOMI	9		I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)				
I2CA_SCL	10		I/OD	I2C-A オープン・ドレイン双方向クロック				
EQEP1_B	11		I	eQEP-1 入力 B				
FSIRXA_CLK	14		I	FSIRX-A 入力クロック				
HIC_D4	15		I/O	HIC データ 4				

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
GPIO58	0, 4, 8, 12	67					I/O	汎用入出力 58
OUTPUTXBAR1	5		O	出力クロスバー出力 1				
SPIB_CLK	6		I/O	SPI-B クロック				
SD2_D2	7		I	SDFM-2 チャンネル 2 データ入力				
LINA_TX	9		O	LIN-A 送信				
CANA_TX	10		O	CAN-A 送信				
EQEP1_STROBE	11		I/O	eQEP-1 ストローブ				
SD2_C2	13		I	SDFM-2 チャンネル 2 クロック入力				
FSIRXA_D0	14		I	FSIRX-A 1 次データ入力				
HIC_NRDY	15		O	デバイスからホストへの HIC レディ				
GPIO59	0, 4, 8, 12	92					I/O	汎用入出力 59
OUTPUTXBAR2	5		O	出力クロスバー出力 2				
SPIB_STE	6		I/O	SPI-B スレープ送信イネーブル (STE)				
SD2_C2	7		I	SDFM-2 チャンネル 2 クロック入力				
LINA_RX	9		I	LIN-A 受信				
CANA_RX	10		I	CAN-A 受信				
EQEP1_INDEX	11		I/O	eQEP-1 インデックス				
SD2_C3	13		I	SDFM-2 チャンネル 3 クロック入力				
FSITXA_TDM_D1	14		I	FSITX-A 時分割多重化された追加データ入力				
GPIO60	0, 4, 8, 12		44					I/O
MCAN_TX	3	O		CAN/CAN FD 送信				
OUTPUTXBAR3	5	O		出力クロスバー出力 3				
SPIB_SIMO	6	I/O		SPI-B スレープ入力、マスタ出力 (SIMO)				
SD2_D3	7	I		SDFM-2 チャンネル 3 データ入力				
SD2_C4	13	I		SDFM-2 チャンネル 4 クロック入力				
HIC_A0	15	I		HIC アドレス 0				
GPIO61	0, 4, 8, 12	91						I/O
MCAN_RX	3		I	CAN/CAN FD 受信				
OUTPUTXBAR4	5		O	出力クロスバー出力 4				
SPIB_SOMI	6		I/O	SPI-B スレープ出力、マスタ入力 (SOMI)				
SD2_C3	7		I	SDFM-2 チャンネル 3 クロック入力				
CANA_RX	14		I	CAN-A 受信				
テスト、JTAG、リセット								
TCK		60	45	36	36	28	I	内部プルアップ付き JTAG テスト・クロック。
TMS		62	47	38	38	30	I/O	内部プルアップ付き JTAG テスト・モード選択 (TMS)。このシリアル制御入力には、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。このデバイスには TRSTn ピンがない。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要がある。

表 5-1. ピン属性 (続き)

信号名	多重化位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	ピンの種類	説明
XRSn		2	5	3	3	3	I/OD	デバイス・リセット (IN) およびウォッチドッグ・リセット (OUT)。電源投入時、このピンはデバイスによって Low に駆動される。また、外部回路がこのピンを駆動して、デバイス・リセットをアサートすることもできる。ウォッチドッグ・リセットが発生した場合、MCU もこのピンを Low に駆動する。ウォッチドッグ・リセット時には、512 OSCCLK サイクルのウォッチドッグ・リセット期間にわたって、XRSn ピンが Low に駆動される。XRSn と VDDIO の間に 2.2kΩ~10kΩ の抵抗を配置する必要がある。ノイズ・フィルタリングのために XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要がある。これらの値は、ウォッチドッグ・リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められている。このピンは内部プルアップ付きのオープン・ドレイン出力。このピンが外部デバイスによって駆動される場合は、オープン・ドレイン・デバイスを使用して駆動する必要がある。
電源およびグランド								
VDD		4, 46, 71, 87	8, 31, 53, 71	4, 27, 44, 59	4, 27, 44, 59	23, 36, 45		1.2V デジタル・ロジック電源ピン。使用方法の詳細については、「パワー・マネージメント・モジュール (PMM)」セクションを参照。
VDDA		34	26	22	22	18		3.3V アナログ電源ピン。各ピンに、最小 2.2μF のデカップリング・コンデンサを配置。使用方法の詳細については、「パワー・マネージメント・モジュール (PMM)」セクションを参照。
VDDIO		3, 47, 70, 88	7, 32, 52, 72	28, 43, 60	28, 43, 60	24, 35, 46		3.3V デジタル I/O 電源ピン。使用方法の詳細については、「パワー・マネージメント・モジュール (PMM)」セクションを参照。
VREGENZ		73		46			I	内部プルダウン付きの内部電圧レギュレータ・イネーブル。VSS (Low) に接続すると、内部 VREG がイネーブルになる。VDDIO (HIGH) に接続すると、外部電源を使用。使用方法の詳細については、「パワー・マネージメント・モジュール (PMM)」セクションを参照。
VSS		5, 45, 72, 86	9, 30, 55, 70	5, 26, 45, 58	5, 26, 45, 58	22, 37, 44		デジタル GND
VSSA		33	25	21	21	17		アナログ GND

5.3 信号の説明

5.3.1 アナログ信号

表 5-2. アナログ信号

信号名	ピンの種類	説明	100 PZ	80 PN	64 PMQ	64 PM	48 PT
A0	I	ADC-A 入力 0	23	19	15	15	11
A1	I	ADC-A 入力 1	22	18	14	14	10
A2	I	ADC-A 入力 2	17	13	9	9	6
A3	I	ADC-A 入力 3	18	12	8	8	5
A4	I	ADC-A 入力 4	36	27	23	23	19
A5	I	ADC-A 入力 5	35	17	13	13	9
A6	I	ADC-A 入力 6	14	10	6	6	4
A7	I	ADC-A 入力 7	31	23	19	19	15
A8	I	ADC-A 入力 8	37	24	20	20	16
A9	I	ADC-A 入力 9	38	28	24	24	20
A10	I	ADC-A 入力 10	40	29	25	25	21
A11	I	ADC-A 入力 11	20	16	12	12	8
A12	I	ADC-A 入力 12	28	22	18	18	14
A14	I	ADC-A 入力 14	19	15	11	11	
A15	I	ADC-A 入力 15		14	10	10	7
AIO224	I	デジタル入力 224 に使用されるアナログ・ピン	17	13	9	9	6
AIO225	I	デジタル入力 225 に使用されるアナログ・ピン	36	27	23	23	19
AIO226	I	デジタル入力 226 に使用されるアナログ・ピン	15	11	7	7	4
AIO227	I	デジタル入力 227 に使用されるアナログ・ピン	38	28	24	24	20
AIO228	I	デジタル入力 228 に使用されるアナログ・ピン	14	10	6	6	4
AIO229	I	デジタル入力 229 に使用されるアナログ・ピン	18				
AIO230	I	デジタル入力 230 に使用されるアナログ・ピン	40	29	25	25	21
AIO231	I	デジタル入力 231 に使用されるアナログ・ピン	23	19	15	15	11
AIO232	I	デジタル入力 232 に使用されるアナログ・ピン	22	18	14	14	10
AIO233	I	デジタル入力 233 に使用されるアナログ・ピン		14	10	10	7
AIO236	I	デジタル入力 236 に使用されるアナログ・ピン	39	28	24	24	20
AIO237	I	デジタル入力 237 に使用されるアナログ・ピン	20	16	12	12	8
AIO238	I	デジタル入力 238 に使用されるアナログ・ピン	28	22	18	18	14
AIO239	I	デジタル入力 239 に使用されるアナログ・ピン	19	15	11	11	

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	100 PZ	80 PN	64 PMQ	64 PM	48 PT
AIO240	I	デジタル入力 240 に使用されるアナログ・ピン	37				
AIO241	I	デジタル入力 241 に使用されるアナログ・ピン		24	20	20	16
AIO242	I	デジタル入力 242 に使用されるアナログ・ピン	16	12	8	8	5
AIO244	I	デジタル入力 244 に使用されるアナログ・ピン	21	17	13	13	9
AIO245	I	デジタル入力 245 に使用されるアナログ・ピン	31	23	19	19	15
AIO247	I	デジタル入力 247 に使用されるアナログ・ピン	42				
AIO248	I	デジタル入力 248 に使用されるアナログ・ピン	29	22	18	18	14
AIO249	I	デジタル入力 249 に使用されるアナログ・ピン	35				
AIO251	I	デジタル入力 251 に使用されるアナログ・ピン	30				
AIO252	I	デジタル入力 252 に使用されるアナログ・ピン	32				
AIO253	I	デジタル入力 253 に使用されるアナログ・ピン	41				
B0	I	ADC-B 入力 0	41	24	20	20	16
B1	I	ADC-B 入力 1	40	29	25	25	21
B2	I	ADC-B 入力 2	15	11	7	7	4
B3	I	ADC-B 入力 3	16	12	8	8	5
B4	I	ADC-B 入力 4	39	28	24	24	20
B5	I	ADC-B 入力 5	32、48	33			
B6	I	ADC-B 入力 6	17	13	9	9	6
B7	I	ADC-B 入力 7	22	18	14	14	10
B8	I	ADC-B 入力 8	36	27	23	23	19
B9	I	ADC-B 入力 9	18	14	10	10	7
B10	I	ADC-B 入力 10	20	16	12	12	8
B11	I	ADC-B 入力 11	30、49	34			
B12	I	ADC-B 入力 12	21	17	13	13	9
B14	I	ADC-B 入力 14	19	15	11	11	
B15	I	ADC-B 入力 15	23	19	15	15	11
C0	I	ADC-C 入力 0	20	16	12	12	8
C1	I	ADC-C 入力 1	29	22	18	18	14
C2	I	ADC-C 入力 2	21	17	13	13	9
C3	I	ADC-C 入力 3	31	23	19	19	15
C4	I	ADC-C 入力 4	19	15	11	11	
C5	I	ADC-C 入力 5	28	12	8	8	5
C6	I	ADC-C 入力 6	15	11	7	7	4
C7	I	ADC-C 入力 7	18	14	10	10	7

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	100 PZ	80 PN	64 PMQ	64 PM	48 PT
C8	I	ADC-C 入力 8	39	28	24	24	20
C9	I	ADC-C 入力 9	17	13	9	9	6
C10	I	ADC-C 入力 10	40	29	25	25	21
C11	I	ADC-C 入力 11	41	24	20	20	16
C14	I	ADC-C 入力 14	42	27	23	23	19
C15	I	ADC-C 入力 15	23	19	15	15	11
CMP1_HN0	I	CMPSS-1 ハイ・コンパレータ負入力 0		14	10	10	7
CMP1_HN1	I	CMPSS-1 ハイ・コンパレータ負入力 1	20	16	12	12	8
CMP1_HP0	I	CMPSS-1 ハイ・コンパレータ正入力 0	17	13	9	9	6
CMP1_HP1	I	CMPSS-1 ハイ・コンパレータ正入力 1	20	16	12	12	8
CMP1_HP2	I	CMPSS-1 ハイ・コンパレータ正入力 2	14	10	6	6	4
CMP1_HP3	I	CMPSS-1 ハイ・コンパレータ正入力 3		14	10	10	7
CMP1_HP4	I	CMPSS-1 ハイ・コンパレータ正入力 4	22	18	14	14	10
CMP1_HP5	I	CMPSS-1 ハイ・コンパレータ正入力 5	32、48	33			
CMP1_LN0	I	CMPSS-1 ロー・コンパレータ負入力 0		14	10	10	7
CMP1_LN1	I	CMPSS-1 ロー・コンパレータ負入力 1	20	16	12	12	8
CMP1_LP0	I	CMPSS-1 ロー・コンパレータ正入力 0	17	13	9	9	6
CMP1_LP1	I	CMPSS-1 ロー・コンパレータ正入力 1	20	16	12	12	8
CMP1_LP2	I	CMPSS-1 ロー・コンパレータ正入力 2	14	10	6	6	4
CMP1_LP3	I	CMPSS-1 ロー・コンパレータ正入力 3		14	10	10	7
CMP1_LP4	I	CMPSS-1 ロー・コンパレータ正入力 4	22	18	14	14	10
CMP1_LP5	I	CMPSS-1 ロー・コンパレータ正入力 5	32、48	33			
CMP2_HN0	I	CMPSS-2 ハイ・コンパレータ負入力 0	40	29	25	25	21
CMP2_HN1	I	CMPSS-2 ハイ・コンパレータ負入力 1	28	22	18	18	14
CMP2_HP0	I	CMPSS-2 ハイ・コンパレータ正入力 0	36	27	23	23	19
CMP2_HP1	I	CMPSS-2 ハイ・コンパレータ正入力 1	28	22	18	18	14
CMP2_HP2	I	CMPSS-2 ハイ・コンパレータ正入力 2	38	28	24	24	20
CMP2_HP3	I	CMPSS-2 ハイ・コンパレータ正入力 3	40	29	25	25	21
CMP2_HP4	I	CMPSS-2 ハイ・コンパレータ正入力 4	41	24	20	20	16
CMP2_HP5	I	CMPSS-2 ハイ・コンパレータ正入力 5	35	17	13	13	9
CMP2_LN0	I	CMPSS-2 ロー・コンパレータ負入力 0	40	29	25	25	21
CMP2_LN1	I	CMPSS-2 ロー・コンパレータ負入力 1	28	22	18	18	14
CMP2_LP0	I	CMPSS-2 ロー・コンパレータ正入力 0	36	27	23	23	19
CMP2_LP1	I	CMPSS-2 ロー・コンパレータ正入力 1	28	22	18	18	14
CMP2_LP2	I	CMPSS-2 ロー・コンパレータ正入力 2	38	28	24	24	20
CMP2_LP3	I	CMPSS-2 ロー・コンパレータ正入力 3	40	29	25	25	21
CMP2_LP4	I	CMPSS-2 ロー・コンパレータ正入力 4	41	24	20	20	16
CMP2_LP5	I	CMPSS-2 ロー・コンパレータ正入力 5	35	17	13	13	9
CMP3_HN0	I	CMPSS-3 ハイ・コンパレータ負入力 0	16	12	8	8	5
CMP3_HN1	I	CMPSS-3 ハイ・コンパレータ負入力 1	21	17	13	13	9
CMP3_HP0	I	CMPSS-3 ハイ・コンパレータ正入力 0	15	11	7	7	4
CMP3_HP1	I	CMPSS-3 ハイ・コンパレータ正入力 1	21	17	13	13	9

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	100 PZ	80 PN	64 PMQ	64 PM	48 PT
CMP3_HP2	I	CMPSS-3 ハイ・コンパレータ正入力 2	23	19	15	15	11
CMP3_HP3	I	CMPSS-3 ハイ・コンパレータ正入力 3	16	12	8	8	5
CMP3_HP4	I	CMPSS-3 ハイ・コンパレータ正入力 4	19	15	11	11	
CMP3_HP5	I	CMPSS-3 ハイ・コンパレータ正入力 5	18	12	8	8	5
CMP3_LN0	I	CMPSS-3 ロー・コンパレータ負入力 0	16	12	8	8	5
CMP3_LN1	I	CMPSS-3 ロー・コンパレータ負入力 1	21	17	13	13	9
CMP3_LP0	I	CMPSS-3 ロー・コンパレータ正入力 0	15	11	7	7	4
CMP3_LP1	I	CMPSS-3 ロー・コンパレータ正入力 1	21	17	13	13	9
CMP3_LP2	I	CMPSS-3 ロー・コンパレータ正入力 2	23	19	15	15	11
CMP3_LP3	I	CMPSS-3 ロー・コンパレータ正入力 3	16	12	8	8	5
CMP3_LP4	I	CMPSS-3 ロー・コンパレータ正入力 4	19	15	11	11	
CMP3_LP5	I	CMPSS-3 ロー・コンパレータ正入力 5	18	12	8	8	5
CMP4_HN0	I	CMPSS-4 ハイ・コンパレータ負入力 0	42	27	23	23	19
CMP4_HN1	I	CMPSS-4 ハイ・コンパレータ負入力 1	31	23	19	19	15
CMP4_HP0	I	CMPSS-4 ハイ・コンパレータ正入力 0	39	28	24	24	20
CMP4_HP1	I	CMPSS-4 ハイ・コンパレータ正入力 1	31	23	19	19	15
CMP4_HP2	I	CMPSS-4 ハイ・コンパレータ正入力 2	29	22	18	18	14
CMP4_HP3	I	CMPSS-4 ハイ・コンパレータ正入力 3	42	27	23	23	19
CMP4_HP4	I	CMPSS-4 ハイ・コンパレータ正入力 4	37	24	20	20	16
CMP4_HP5	I	CMPSS-4 ハイ・コンパレータ正入力 5	30、49	34			
CMP4_LN0	I	CMPSS-4 ロー・コンパレータ負入力 0	42	27	23	23	19
CMP4_LN1	I	CMPSS-4 ロー・コンパレータ負入力 1	31	23	19	19	15
CMP4_LP0	I	CMPSS-4 ロー・コンパレータ正入力 0	39	28	24	24	20
CMP4_LP1	I	CMPSS-4 ロー・コンパレータ正入力 1	31	23	19	19	15
CMP4_LP2	I	CMPSS-4 ロー・コンパレータ正入力 2	29	22	18	18	14
CMP4_LP3	I	CMPSS-4 ロー・コンパレータ正入力 3	42	27	23	23	19
CMP4_LP4	I	CMPSS-4 ロー・コンパレータ正入力 4	37	24	20	20	16
CMP4_LP5	I	CMPSS-4 ロー・コンパレータ正入力 5	30、49	34			
DACA_OUT	O	バッファ付き DAC-A 出力。	23	19	15	15	11
DACB_OUT	O	バッファ付き DAC-B 出力。	22	18	14	14	10
VDAC	I	オンチップ DAC の外部リファレンス電圧 (オプション)。	16	12	8	8	5
VREFHI	I	ADC の高い基準電圧。外部リファレンス・モードでは、高い側のリファレンス電圧を外部からこのピンに印加する。内部リファレンス・モードでは、デバイスによってこのピンに電圧が駆動される。いずれのモードでも、2.2μF 以上のコンデンサをこのピンに配置する。このコンデンサは、VREFHI ピンと VREFLO ピンの間で、できるだけデバイスに近い場所に配置する必要がある。	24、25	20	16	16	12
VREFLO	I	ADC の低い基準電圧	26、27	21	17	17	13

5.3.2 デジタル信号

表 5-3. デジタル信号

信号名	ピンの種類	説明	GPIO	100 PZ	80 PN	64 PMQ	64 PM	48 PT
ADCSOCAO	O	ADC 変換 A 開始 (外部 ADC 用)	8, 33, 53	12, 53, 74	38, 58	32, 47	32, 47	25
ADCSOCBO	O	ADC 変換 B 開始 (外部 ADC 用)	10, 32, 54	13, 64, 93	49, 76	40, 63	40, 63	32
AUXCLKIN	I	補助クロック入力	29	100	3	1	1	1
CANA_RX	I	CAN-A 受信	3, 5, 12, 18, 30, 33, 35, 49, 53, 59, 61	8, 12, 51, 53, 63, 68, 76, 89, 91, 92, 98	1, 36, 38, 48, 50, 60, 74	30, 32, 39, 41, 49, 61.	30, 32, 39, 41, 49, 61.	25, 31, 33, 39, 47
CANA_TX	O	CAN-A 送信	2, 4, 13, 17, 19, 31, 32, 37, 48, 58	7, 50, 55, 61, 64, 67, 69, 75, 77, 99	2, 35, 40, 46, 49, 51, 59, 61	29, 34, 37, 40, 42, 48, 50	29, 34, 37, 40, 42, 48, 50	29, 32, 34, 38, 40
CLB_OUTPUTXBAR1	O	CLB 出力クロスバー出力 1	19, 22	69, 83	51, 67	42, 56	42, 56	34
CLB_OUTPUTXBAR2	O	CLB 出力クロスバー出力 2	7, 39, 47	6, 84	56, 68	57	46, 57	43
CLB_OUTPUTXBAR3	O	CLB 出力クロスバー出力 3	23, 42, 44	81, 85	57, 65, 69	54	54	
CLB_OUTPUTXBAR4	O	CLB 出力クロスバー出力 4	10, 43, 45	93	54, 73, 76	63	63	
CLB_OUTPUTXBAR5	O	CLB 出力クロスバー出力 5	5, 8, 52	11, 74, 89	58, 74	47, 61	47, 61	47
CLB_OUTPUTXBAR6	O	CLB 出力クロスバー出力 6	4, 15, 53	12, 75, 95	59, 78	48	48	38
CLB_OUTPUTXBAR7	O	CLB 出力クロスバー出力 7	1, 14, 56	65, 78, 96	62, 79	51	51	41
CLB_OUTPUTXBAR8	O	CLB 出力クロスバー出力 8	0, 6, 57	66, 79, 97	63, 80	52, 64	52, 64	42, 48
EPWM1_A	O	ePWM-1 出力 A	0, 30	79, 98	1, 63	52	52	42
EPWM1_B	O	ePWM-1 出力 B	1, 31	78, 99	2, 62	51	51	41
EPWM2_A	O	ePWM-2 出力 A	2, 41	77, 82	61, 66	50, 55	50, 55	40
EPWM2_B	O	ePWM-2 出力 B	3, 40	76, 80	60, 64	49, 53	49, 53	39
EPWM3_A	O	ePWM-3 出力 A	4, 14	75, 96	59, 79	48	48	38
EPWM3_B	O	ePWM-3 出力 B	5, 15	89, 95	74, 78	61	61	47
EPWM4_A	O	ePWM-4 出力 A	6, 22	83, 97	67, 80	56, 64	56, 64	48
EPWM4_B	O	ePWM-4 出力 B	7, 23	81, 84	65, 68	54, 57	54, 57	43
EPWM5_A	O	ePWM-5 出力 A	8, 16	54, 74	39, 58	33, 47	33, 47	26
EPWM5_B	O	ePWM-5 出力 B	9, 17, 35	55, 63, 90	40, 48, 75	34, 39, 62	34, 39, 62	31
EPWM6_A	O	ePWM-6 出力 A	10, 18	68, 93	50, 76	41, 63	41, 63	33
EPWM6_B	O	ePWM-6 出力 B	11, 19	52, 69	37, 51	31, 42	31, 42	34
EPWM7_A	O	ePWM-7 出力 A	12, 28	1, 51	4, 36	2, 30	2, 30	2
EPWM7_B	O	ePWM-7 出力 B	13, 29	50, 100	3, 35	1, 29	1, 29	1
EPWM8_A	O	ePWM-8 出力 A	14, 24	56, 96	41, 79	35	35	27
EPWM8_B	O	ePWM-8 出力 B	15, 32	64, 95	49, 78	40	40	32
EQEP1_A	I	eQEP-1 入力 A	6, 10, 20, 25, 28, 35, 40, 44, 50, 56	1, 9, 48, 57, 63, 65, 80, 85, 93, 97	4, 33, 42, 48, 64, 69, 76, 80	2, 39, 53, 63, 64	2, 39, 53, 63, 64	2, 31, 48
EQEP1_B	I	eQEP-1 入力 B	7, 11, 21, 29, 37, 41, 51, 57	10, 49, 52, 61, 66, 82, 84, 100	3, 34, 37, 46, 66, 68.	1, 31, 37, 55, 57	1, 31, 37, 55, 57	1, 29, 43
EQEP1_INDEX	I/O	eQEP-1 インデックス	0, 9, 13, 17, 23, 31, 39, 43, 53, 59	12, 50, 55, 79, 81, 90, 92, 99	2, 35, 40, 54, 56, 63, 65, 75	29, 34, 52, 54, 62	29, 34, 46, 52, 54, 62.	42
EQEP1_STROBE	I/O	eQEP-1 ストローブ	8, 12, 16, 22, 30, 42, 52, 58	11, 51, 54, 67, 74, 83, 98	1, 36, 39, 57, 58, 67.	30, 33, 47, 56	30, 33, 47, 56	26
EQEP2_A	I	eQEP-2 入力 A	11, 14, 18, 24, 54	13, 52, 56, 68, 96	37, 41, 50, 79	31, 35, 41	31, 35, 41	27, 33
EQEP2_B	I	eQEP-2 入力 B	15, 16, 19, 25, 33, 55.	43, 53, 54, 57, 69, 95.	38, 39, 42, 51, 78	32, 33, 42	32, 33, 42	25, 26, 34
EQEP2_INDEX	I/O	eQEP-2 インデックス	26, 29, 39, 57	58, 66, 100	3, 43, 56	1	1, 46	1
EQEP2_STROBE	I/O	eQEP-2 ストローブ	4, 27, 28, 56	1, 59, 65, 75	4, 44, 59	2, 48	2, 48	2, 38
ERRORSTS	O	エラー・ステータス出力。この信号には外部プルダウンが必要。	24, 28, 29, 55	1, 43, 56, 100	3, 4, 41	1, 2, 35	1, 2, 35	1, 2, 27
FSIRXA_CLK	I	FSIRX-A 入力クロック	0, 4, 13, 30, 33, 39, 54, 57	13, 50, 53, 66, 75, 79, 98	1, 35, 38, 56, 59, 63.	29, 32, 48, 52	29, 32, 46, 48, 52	25, 38, 42

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	100 PZ	80 PN	64 PMQ	64 PM	48 PT
FSIRXA_D0	I	FSIRX-A 1 次データ入力	3, 12, 32, 40, 44, 52, 58	11, 51, 64, 67, 76, 80, 85	36, 49, 60, 64, 69	30, 40, 49, 53	30, 40, 49, 53	32, 39
FSIRXA_D1	I	FSIRX-A オプションの追加データ入力	2, 11, 31, 41, 53, 56	12, 52, 65, 77, 82, 99	2, 37, 61, 66	31, 50, 55	31, 50, 55	40
FSITXA_CLK	O	FSITX-A 出力クロック	7, 10, 27, 44, 51	10, 59, 84, 85, 93	44, 68, 69, 76	57, 63	57, 63	43
FSITXA_D0	O	FSITX-A 1 次データ出力	6, 9, 26, 45, 49	8, 58, 90, 97	43, 73, 75, 80	62, 64	62, 64	48
FSITXA_D1	O	FSITX-A オプションの追加データ出力	5, 6, 8, 25, 46, 50	9, 57, 74, 89, 97	6, 42, 58, 74, 80	47, 61, 64	47, 61, 64	47, 48
FSITXA_TDM_CLK	I	FSITX-A 時分割マルチプレクス・クロック入力	8, 18, 47	6, 68, 74	50, 58	41, 47	41, 47	33
FSITXA_TDM_D0	I	FSITX-A 時分割マルチプレクス・データ入力	10, 19	69, 93	51, 76	42, 63	42, 63	34
FSITXA_TDM_D1	I	FSITX-A 時間分割マルチプレクス・データ追加入力	1, 54, 59	13, 78, 92	62	51	51	41
GPIO0	I/O	汎用入出力 0	0	79	63	52	52	42
GPIO1	I/O	汎用入出力 1	1	78	62	51	51	41
GPIO2	I/O	汎用入出力 2	2	77	61	50	50	40
GPIO3	I/O	汎用入出力 3	3	76	60	49	49	39
GPIO4	I/O	汎用入出力 4	4	75	59	48	48	38
GPIO5	I/O	汎用入出力 5	5	89	74	61	61	47
GPIO6	I/O	汎用入出力 6	6	97	80	64	64	48
GPIO7	I/O	汎用入出力 7	7	84	68	57	57	43
GPIO8	I/O	汎用入出力 8	8	74	58	47	47	
GPIO9	I/O	汎用入出力 9	9	90	75	62	62	
GPIO10	I/O	汎用入出力 10	10	93	76	63	63	
GPIO11	I/O	汎用入出力 11	11	52	37	31	31	
GPIO12	I/O	汎用入出力 12	12	51	36	30	30	
GPIO13	I/O	汎用入出力 13	13	50	35	29	29	
GPIO14	I/O	汎用入出力 14	14	96	79			
GPIO15	I/O	汎用入出力 15	15	95	78			
GPIO16	I/O	汎用入出力 16	16	54	39	33	33	26
GPIO17	I/O	汎用入出力 17	17	55	40	34	34	
GPIO18	I/O	汎用入出力 18	18	68	50	41	41	33
GPIO19	I/O	汎用入出力 19	19	69	51	42	42	34
GPIO20	I/O	汎用入出力 20	20	48	33			
GPIO21	I/O	汎用入出力 21	21	49	34			
GPIO22	I/O	汎用入出力 22	22	83	67	56	56	
GPIO23	I/O	汎用入出力 23	23	81	65	54	54	
GPIO24	I/O	汎用入出力 24	24	56	41	35	35	27
GPIO25	I/O	汎用入出力 25	25	57	42			
GPIO26	I/O	汎用入出力 26	26	58	43			
GPIO27	I/O	汎用入出力 27	27	59	44			
GPIO28	I/O	汎用入出力 28	28	1	4	2	2	2
GPIO29	I/O	汎用入出力 29	29	100	3	1	1	1
GPIO30	I/O	汎用入出力 30	30	98	1			
GPIO31	I/O	汎用入出力 31	31	99	2			
GPIO32	I/O	汎用入出力 32	32	64	49	40	40	32
GPIO33	I/O	汎用入出力 33	33	53	38	32	32	25
GPIO34	I/O	汎用入出力 34	34	94	77			
GPIO35	I/O	汎用入出力 35	35	63	48	39	39	31
GPIO37	I/O	汎用入出力 37	37	61	46	37	37	29
GPIO39	I/O	汎用入出力 39	39		56		46	
GPIO40	I/O	汎用入出力 40	40	80	64	53	53	
GPIO41	I/O	汎用入出力 41	41	82	66	55	55	
GPIO42	I/O	汎用入出力 42	42		57			

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	100 PZ	80 PN	64 PMQ	64 PM	48 PT
GPIO43	I/O	汎用入出力 43	43		54			
GPIO44	I/O	汎用入出力 44	44	85	69			
GPIO45	I/O	汎用入出力 45	45		73			
GPIO46	I/O	汎用入出力 46	46		6			
GPIO47	I/O	汎用入出力 47	47	6				
GPIO48	I/O	汎用入出力 48	48	7				
GPIO49	I/O	汎用入出力 49	49	8				
GPIO50	I/O	汎用入出力 50	50	9				
GPIO51	I/O	汎用入出力 51	51	10				
GPIO52	I/O	汎用入出力 52	52	11				
GPIO53	I/O	汎用入出力 53	53	12				
GPIO54	I/O	汎用入出力 54	54	13				
GPIO55	I/O	汎用入出力 55	55	43				
GPIO56	I/O	汎用入出力 56	56	65				
GPIO57	I/O	汎用入出力 57	57	66				
GPIO58	I/O	汎用入出力 58	58	67				
GPIO59	I/O	汎用入出力 59	59	92				
GPIO60	I/O	汎用入出力 60	60	44				
GPIO61	I/O	汎用入出力 61	61	91				
HIC_A0	I	HIC アドレス 0	8, 55, 60	14, 43, 44, 74	10, 58	6, 47	6, 47	4
HIC_A1	I	HIC アドレス 1	2, 26	15, 58, 77	11, 43, 61	7, 50	7, 50	4, 40
HIC_A2	I	HIC アドレス 2	1	16, 78	12, 62	8, 51	8, 51	5, 41
HIC_A3	I	HIC アドレス 3	23	17, 81	13, 65	9, 54	9, 54	6
HIC_A4	I	HIC アドレス 4	27, 41	59, 82	14, 44, 66	10, 55	10, 55	7
HIC_A5	I	HIC アドレス 5	22	19, 83	15, 67	11, 56	11, 56	
HIC_A6	I	HIC アドレス 6	7, 42, 47	6, 20, 84	16, 57, 68	12, 57	12, 57	8, 43
HIC_A7	I	HIC アドレス 7	5, 43, 48	7, 21, 89	17, 54, 74	13, 61	13, 61	9, 47
HIC_BASESEL0	I	HIC ベース・アドレス範囲選択 0	9, 25	22, 57, 90	18, 42, 75	14, 62	14, 62	10
HIC_BASESEL1	I	HIC ベース・アドレス範囲選択 1	0	23, 79	19, 63	15, 52	15, 52	11, 42
HIC_BASESEL2	I	HIC ベース・アドレス範囲選択 2	4	40, 75	29, 59	25, 48	25, 48	21, 38
HIC_D0	I/O	HIC データ 0	26, 33	53, 58	38, 43	32	32	25
HIC_D1	I/O	HIC データ 1	16, 27	54, 59	39, 44	33	33	26
HIC_D2	I/O	HIC データ 2	17, 42, 49	8, 55	40, 57	34	34	
HIC_D3	I/O	HIC データ 3	24, 43, 50	9, 56	41, 54	35	35	27
HIC_D4	I/O	HIC データ 4	3, 5, 57	66, 76, 89	60, 74	49, 61	49, 61	39, 47
HIC_D5	I/O	HIC データ 5	13, 40, 44	50, 80, 85	35, 64, 69	29, 53	29, 53	
HIC_D6	I/O	HIC データ 6	11, 45, 51, 56	10, 52, 65	37, 73	31	31	
HIC_D7	I/O	HIC データ 7	0, 39, 44	79, 85	56, 63, 69	52	46, 52	42
HIC_D8	I/O	HIC データ 8	8, 30	74, 98	1, 58	47	47	
HIC_D9	I/O	HIC データ 9	2, 34	77, 94	61, 77	50	50	40
HIC_D10	I/O	HIC データ 10	1, 31	78, 99	2, 62	51	51	41
HIC_D11	I/O	HIC データ 11	13, 23	50, 81	35, 65	29, 54	29, 54	
HIC_D12	I/O	HIC データ 12	15, 41	82, 95	66, 78	55	55	
HIC_D13	I/O	HIC データ 13	12, 22	51, 83	36, 67	30, 56	30, 56	
HIC_D14	I/O	HIC データ 14	6, 7	84, 97	68, 80	57, 64	57, 64	43, 48
HIC_D15	I/O	HIC データ 15	5, 14	89, 96	74, 79	61	61	47
HIC_INT	O	HIC デバイスからホストへの割り込み	12, 18, 32	51, 64, 68	36, 49, 50	30, 40, 41	30, 40, 41	32, 33
HIC_NBE0	I	HIC バイト・イネーブル 0	11, 19	38, 52, 69	28, 37, 51	24, 31, 42	24, 31, 42	20, 34
HIC_NBE1	I	HIC バイト・イネーブル 1	6, 34, 40	37, 80, 94, 97	24, 64, 77, 80	20, 53, 64	20, 53, 64	16, 48
HIC_NCS	I	HIC チップ・セレクト入力	29	28, 100	3, 22	1, 18	1, 18	1, 14

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	100 PZ	80 PN	64 PMQ	64 PM	48 PT
HIC_NOE	O	HIC データ・バスの出力イネーブル	3, 28	1, 31, 76	4, 23, 60	2, 19, 49	2, 19, 49	2, 15, 39
HIC_NRDY	O	デバイスからホストへの HIC レディ	9, 37, 58	61, 67, 90	46, 75	37, 62	37, 62	29
HIC_NWE	I	ホストからの HIC データ書き込みイネーブル	4, 10, 35, 46, 52	11, 36, 63, 75, 93	6, 27, 48, 59, 76	23, 39, 48, 63	23, 39, 48, 63	19, 31, 38
I2CA_SCL	I/OD	I2C-A オープン・ドレイン双方向クロック	1, 8, 18, 27, 33, 37, 43, 57	53, 59, 61, 66, 68, 74, 78	38, 44, 46, 50, 54, 58, 62	32, 37, 41, 47, 51	32, 37, 41, 47, 51	25, 29, 33, 41
I2CA_SDA	I/OD	I2C-A オープン・ドレイン双方向データ	0, 10, 19, 26, 32, 35, 42, 56	58, 63, 64, 65, 69, 79, 93	43, 48, 49, 51, 57, 63, 76	39, 40, 42, 52, 63	39, 40, 42, 52, 63	31, 32, 34, 42
I2CB_SCL	I/OD	I2C-B オープン・ドレイン双方向クロック	3, 9, 15, 29, 51	10, 76, 90, 95, 100	3, 60, 75, 78	1, 49, 62	1, 49, 62	1, 39
I2CB_SDA	I/OD	I2C-B オープン・ドレイン双方向データ	2, 14, 28, 34, 50	1, 9, 77, 94, 96	4, 61, 77, 79	2, 50	2, 50	2, 40
LINA_RX	I	LIN-A 受信	23, 29, 33, 35, 42, 47, 49, 59	6, 8, 53, 63, 81, 92, 100	3, 38, 48, 57, 65	1, 32, 39, 54	1, 32, 39, 54	1, 25, 31
LINA_TX	O	LIN-A 送信	22, 28, 32, 37, 46, 58	1, 61, 64, 67, 83	4, 6, 46, 49, 67	2, 37, 40, 56	2, 37, 40, 56	2, 29, 32
LINB_RX	I	LIN-B 受信	9, 11, 13, 15, 19, 23, 41, 55	43, 50, 52, 69, 81, 82, 90, 95	35, 37, 51, 65, 66, 75, 78	29, 31, 42, 54, 55, 62	29, 31, 42, 54, 55, 62	34
LINB_TX	O	LIN-B 送信	10, 12, 14, 18, 22, 24, 40, 44, 54	13, 51, 56, 68, 80, 83, 85, 93, 96	36, 41, 50, 64, 67, 69, 76, 79	30, 35, 41, 53, 56, 63	30, 35, 41, 53, 56, 63	27, 33
MCAN_RX	I	CAN および CAN FD 受信	0, 5, 12, 21, 30, 39, 47, 51, 57, 61	6, 10, 49, 51, 66, 79, 89, 91, 98	1, 34, 36, 56, 63, 74	30, 52, 61	30, 46, 52, 61	42, 47
MCAN_TX	O	CAN および CAN FD 送信	1, 4, 13, 20, 31, 46, 50, 56, 60	9, 44, 48, 50, 65, 75, 78, 99	2, 6, 33, 35, 59, 62	29, 48, 51	29, 48, 51	38, 41
OUTPUTXBAR1	O	出力クロスバー出力 1	2, 24, 34, 58	56, 67, 77, 94	41, 61, 77	35, 50	35, 50	27, 40
OUTPUTXBAR2	O	出力クロスバー出力 2	3, 25, 37, 54, 59	13, 57, 61, 76, 92	42, 46, 60	37, 49	37, 49	29, 39
OUTPUTXBAR3	O	出力クロスバー出力 3	4, 5, 14, 26, 48, 55, 60	7, 43, 44, 58, 75, 89, 96	43, 59, 74, 79	48, 61	48, 61	38, 47
OUTPUTXBAR4	O	出力クロスバー出力 4	6, 15, 27, 33, 49, 61	8, 53, 59, 91, 95, 97	38, 44, 78, 80	32, 64	32, 64	25, 48
OUTPUTXBAR5	O	出力クロスバー出力 5	7, 28, 42	1, 84	4, 57, 68	2, 57	2, 57	2, 43
OUTPUTXBAR6	O	出力クロスバー出力 6	9, 29, 43	90, 100	3, 54, 75	1, 62	1, 62	1
OUTPUTXBAR7	O	出力クロスバー出力 7	11, 16, 30, 44	52, 54, 85, 98	1, 37, 39, 69	31, 33	31, 33	26
OUTPUTXBAR8	O	出力クロスバー出力 8	17, 31, 45	55, 99	2, 40, 73	34	34	
PMBUSA_ALERT	I/OD	PMBus-A オープン・ドレイン双方向アラート信号	13, 19, 27, 37, 43, 45	50, 59, 61, 69	35, 44, 46, 51, 54, 73	29, 37, 42	29, 37, 42	29, 34
PMBUSA_CTL	I/O	PMBus-A 制御信号 - スレープ入力 / マスタ出力	12, 18, 26, 35, 42, 44	51, 58, 63, 68, 85	36, 43, 48, 50, 57, 69	30, 39, 41	30, 39, 41	31, 33
PMBUSA_SCL	I/OD	PMBus-A オープン・ドレイン双方向クロック	3, 15, 16, 24, 35, 41, 47	6, 54, 56, 63, 76, 82, 95	39, 41, 48, 60, 66, 78	33, 35, 39, 49, 55	33, 35, 39, 49, 55	26, 27, 31, 39
PMBUSA_SDA	I/OD	PMBus-A オープン・ドレイン双方向データ	2, 14, 17, 25, 32, 34, 40, 44, 46, 48	7, 55, 57, 64, 77, 80, 85, 94, 96	6, 40, 42, 49, 61, 64, 69, 77, 79	34, 40, 50, 53	34, 40, 50, 53	32, 40
SCIA_RX	I	SCIA 受信データ	3, 9, 17, 25, 28, 35, 49	1, 8, 55, 57, 63, 76, 90	4, 40, 42, 48, 60, 75	2, 34, 39, 49, 62	2, 34, 39, 49, 62	2, 31, 39
SCIA_TX	O	SCIA 送信データ	2, 8, 16, 24, 29, 37, 48	7, 54, 56, 61, 74, 77, 100	3, 39, 41, 46, 58, 61	1, 33, 35, 37, 47, 50	1, 33, 35, 37, 47, 50	1, 26, 27, 29, 40
SCIB_RX	I	SCIB 受信データ	11, 13, 15, 19, 23, 41, 57	50, 52, 66, 69, 81, 82, 95	35, 37, 51, 65, 66, 78	29, 31, 42, 54, 55	29, 31, 42, 54, 55	34
SCIB_TX	O	SCIB 送信データ	9, 10, 12, 14, 18, 22, 40, 56	51, 65, 68, 80, 83, 90, 93, 96	36, 50, 64, 67, 75, 76, 79	30, 41, 53, 56, 62, 63	30, 41, 53, 56, 62, 63	33
SD1_C1	I	SDFM-1 チャネル 1 クロック入力	17, 33, 49, 53	8, 12, 23, 53, 55	19, 38, 40	15, 32, 34	15, 32, 34	11, 25
SD1_C2	I	SDFM-1 チャネル 2 クロック入力	19, 33, 51, 54	10, 13, 31, 53, 69	23, 38, 51	19, 32, 42	19, 32, 42	15, 25, 34

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	100 PZ	80 PN	64 PMQ	64 PM	48 PT
SD1_C3	I	SDFM-1 チャネル 3 クロック入力	21, 53, 55	12, 38, 43, 49	28, 34	24	24	20
SD1_C4	I	SDFM-1 チャネル 4 クロック入力	23, 55, 56	40, 43, 65, 81	29, 65	25, 54	25, 54	21
SD1_D1	I	SDFM-1 チャネル 1 データ入力	16, 48	7, 19, 54	15, 39	11, 33	11, 33	26
SD1_D2	I	SDFM-1 チャネル 2 データ入力	18, 32, 50	9, 20, 64, 68	16, 49, 50	12, 40, 41	12, 40, 41	8, 32, 33
SD1_D3	I	SDFM-1 チャネル 3 データ入力	20, 52	11, 21, 48	17, 33	13	13	9
SD1_D4	I	SDFM-1 チャネル 4 データ入力	22, 54	13, 22, 83	18, 67	14, 56	14, 56	10
SD2_C1	I	SDFM-2 チャネル 1 クロック入力	25, 35, 57	14, 37, 57, 63, 66	10, 24, 42, 48	6, 20, 39	6, 20, 39	4, 16, 31
SD2_C2	I	SDFM-2 チャネル 2 クロック入力	27, 58, 59	36, 59, 67, 92	27, 44	23	23	19
SD2_C3	I	SDFM-2 チャネル 3 クロック入力	29, 45, 59, 61	28, 91, 92, 100	3, 22, 73	1, 18	1, 18	1, 14
SD2_C4	I	SDFM-2 チャネル 4 クロック入力	31, 46, 60	32, 44, 99	2, 6			
SD2_D1	I	SDFM-2 チャネル 1 データ入力	24, 49, 56	8, 56, 65	14, 41	10, 35	10, 35	7, 27
SD2_D2	I	SDFM-2 チャネル 2 データ入力	26, 50, 58	9, 16, 58, 67	12, 43	8	8	5
SD2_D3	I	SDFM-2 チャネル 3 データ入力	28, 43, 51, 60	1, 10, 17, 44	4, 13, 54	2, 9	2, 9	2, 6
SD2_D4	I	SDFM-2 チャネル 4 データ入力	30, 47, 52	6, 11, 15, 98	1, 11	7	7	4
SPIA_CLK	I/O	SPI-A クロック	3, 9, 12, 18, 56	51, 65, 68, 76, 90	36, 50, 60, 75	30, 41, 49, 62	30, 41, 49, 62	33, 39
SPIA_SIMO	I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)	2, 8, 11, 16, 54	13, 52, 54, 74, 77	37, 39, 58, 61	31, 33, 47, 50	31, 33, 47, 50	26, 40
SPIA_SOMI	I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)	1, 10, 13, 17, 55	43, 50, 55, 78, 93	35, 40, 62, 76	29, 34, 51, 63	29, 34, 51, 63	41
SPIA_STE	I/O	SPI-A スレーブ送信イネーブル (STE)	0, 5, 11, 19, 57	52, 66, 69, 79, 89	37, 51, 63, 74	31, 42, 52, 61	31, 42, 52, 61	34, 42, 47
SPIB_CLK	I/O	SPI-B クロック	4, 14, 22, 26, 28, 32, 52, 58	1, 11, 58, 64, 67, 75, 83, 96	4, 43, 49, 59, 67, 79	2, 40, 48, 56	2, 40, 48, 56	2, 32, 38
SPIB_SIMO	I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)	7, 20, 24, 30, 40, 50, 56, 60	9, 44, 48, 56, 65, 80, 84, 98	1, 33, 41, 64, 68	35, 53, 57	35, 53, 57	27, 43
SPIB_SOMI	I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)	6, 16, 21, 25, 31, 41, 51, 57, 61	10, 49, 54, 57, 66, 82, 91, 97, 99	2, 34, 39, 42, 66, 80	33, 55, 64	33, 55, 64	26, 48
SPIB_STE	I/O	SPI-B スレーブ送信イネーブル (STE)	15, 23, 27, 29, 33, 53, 59	12, 53, 59, 81, 92, 95, 100	3, 38, 44, 65, 78	1, 32, 54	1, 32, 54	1, 25
SYNCOUT	O	外部 ePWM 同期パルス	6, 39, 52	11, 97	56, 80	64	46, 64	48
TDI	I	JTAG テスト・データ入力 (TDI) - TDI は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG TDI として使用する場合は、入力がフローティング入力にならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要がある。	35	63	48	39	39	31
TDO	O	JTAG テスト・データ出力 (TDO) - TDO は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティング状態のままになる。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、または外部プルアップをボードに追加する必要がある。	37	61	46	37	37	29
X1	I/O	水晶発振器入力またはシングルエンド・クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベル・クロックを供給することもできる。使用方法の詳細については、「XTAL」のセクションを参照してください。	19	69	51	42	42	34
X2	I/O	水晶発振器出力。	18	68	50	41	41	33
XCLKOUT	O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。	16, 18	54, 68	39, 50	33, 41	33, 41	26, 33

5.3.3 電源およびグランド

表 5-4. 電源およびグランド

信号名	ピンの種類	説明	100 PZ	80 PN	64 PMQ	64 PM	48 PT
VDD		1.2V デジタル・ロジック電源ピン。使用方法の詳細については、「パワー・マネージメント・モジュール (PMM)」セクションを参照。	4, 46, 71, 87	8, 31, 53, 71	4, 27, 44, 59	4, 27, 44, 59	23, 36, 45
VDDA		3.3V アナログ電源ピン。各ピンに、最小 2.2µF のデカップリング・コンデンサを配置。使用方法の詳細については、「パワー・マネージメント・モジュール (PMM)」セクションを参照。	34	26	22	22	18
VDDIO		3.3V デジタル I/O 電源ピン。使用方法の詳細については、「パワー・マネージメント・モジュール (PMM)」セクションを参照。	3, 47, 70, 88	7, 32, 52, 72	28, 43, 60	28, 43, 60	24, 35, 46
VREGENZ	I	内部プルダウン付きの内部電圧レギュレータ・イネーブル。VSS (Low) に接続すると、内部 VREG がイネーブルになる。VDDIO (HIGH) に接続すると、外部電源を使用。使用方法の詳細については、「パワー・マネージメント・モジュール (PMM)」セクションを参照。	73		46		
VSS		デジタル GND	5, 45, 72, 86	9, 30, 55, 70	5, 26, 45, 58	5, 26, 45, 58	22, 37, 44
VSSA		アナログ GND	33	25	21	21	17

5.3.4 テスト、JTAG、リセット

表 5-5. テスト、JTAG、リセット

信号名	ピンの種類	説明	100 PZ	80 PN	64 PMQ	64 PM	48 PT
TCK	I	内部プルアップ付き JTAG テスト・クロック。	60	45	36	36	28
TMS	I/O	内部プルアップ付き JTAG テスト・モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされます。このデバイスには TRSTn ピンはありません。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要があります。	62	47	38	38	30
XRSn	I/OD	デバイス・リセット (入力) およびウォッチドッグ・リセット (出力)。電源投入時、このピンはデバイスによって Low に駆動されます。また、外部回路がこのピンを駆動して、デバイス・リセットをアサートすることもできます。ウォッチドッグ・リセットが発生した場合にも、MCU がこのピンを Low に駆動します。ウォッチドッグ・リセット時には、512 OSCCLK サイクルのウォッチドッグ・リセット期間にわたって、XRSn ピンが Low に駆動されます。XRSn と VDDIO の間に 2.2kΩ～10kΩ の抵抗を配置する必要があります。ノイズ・フィルタリングのために XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要があります。これらの値は、ウォッチドッグ・リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRS ピンを VOL に正しく駆動できるように決められています。このピンは、内部にプルアップ抵抗が接続されているオープン・ドレイン出力です。このピンが外部デバイスによって駆動される場合は、オープン・ドレイン・デバイスを使用して駆動する必要があります。	2	5	3	3	3

5.4 ピン多重化

5.4.1 GPIO 多重化ピン

表 5-6 に、GPIO 多重化ピンを示します。各 GPIO ピンのデフォルト・モードは GPIO 機能ですが、GPIO35 と GPIO37 はそれぞれデフォルトで TDI と TDO に設定されています。GPyGMUXn.GPIOz および GPyMUXn.GPIOz のレジスタ・ビットを設定することで、他の機能を選択できます。多重化選択の切り替えによる GPIO の過渡パルス回避のために、GPyMUXn よりも先に GPyGMUXn レジスタを構成する必要があります。表示されていない列および空白のセルは、予約済みの GPIO 多重化設定です。GPIO ALT 機能は、GPyMUXn および GPyGMUXn レジスタでは構成できません。これらは、モジュールから構成する必要のある特別な機能です。

注

GPIO36 と GPIO38 は、このデバイスには存在しません。GPIO62～GPIO63 は存在しますが、どのパッケージでもピン配置されていません。ブート ROM により、GPIO62～GPIO63 のプルアップがイネーブルされません。詳細については、[セクション 5.5](#) を参照してください。

5.4.1.1 GPIO 多重化ピン

表 5-6. GPIO 多重化ピン

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	EPWM1_A				I2CA_SDA	SPIA_STE	FSIRXA_CLK	MCAN_RX	CLB_OUTPUTXBAR8	EQEP1_INDE X	HIC_D7	HIC_BASESEL1	
GPIO1	EPWM1_B				I2CA_SCL	SPIA_SOMI		MCAN_TX	CLB_OUTPUTXBAR7	HIC_A2	FSITXA_TDM_D1	HIC_D10	
GPIO2	EPWM2_A			OUTPUTXBAR1	PMBUSA_SDA	SPIA_SIMO	SCIA_TX	FSIRXA_D1	I2CB_SDA	HIC_A1	CANA_TX	HIC_D9	
GPIO3	EPWM2_B	OUTPUTXBAR2		OUTPUTXBAR2	PMBUSA_SCL	SPIA_CLK	SCIA_RX	FSIRXA_D0	I2CB_SCL	HIC_NOE	CANA_RX	HIC_D4	
GPIO4	EPWM3_A		MCAN_TX	OUTPUTXBAR3	CANA_TX	SPIB_CLK	EQEP2_STRO BE	FSIRXA_CLK	CLB_OUTPUTXBAR6	HIC_BASESEL 2		HIC_NWE	
GPIO5	EPWM3_B		OUTPUTXBAR3	MCAN_RX	CANA_RX	SPIA_STE	FSITXA_D1	CLB_OUTPUTXBAR5		HIC_A7	HIC_D4	HIC_D15	
GPIO6	EPWM4_A	OUTPUTXBAR4	SYNCOUT	EQEP1_A		SPIB_SOMI	FSITXA_D0		FSITXA_D1	HIC_NBE1	CLB_OUTPUTXBAR8	HIC_D14	
GPIO7	EPWM4_B		OUTPUTXBAR5	EQEP1_B		SPIB_SIMO	FSITXA_CLK	CLB_OUTPUTXBAR2		HIC_A6		HIC_D14	
GPIO8	EPWM5_A		ADCSOAO	EQEP1_STROBE	SCIA_TX	SPIA_SIMO	I2CA_SCL	FSITXA_D1	CLB_OUTPUTXBAR5	HIC_A0	FSITXA_TDM_CL K	HIC_D8	
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXBAR6	EQEP1_INDEX	SCIA_RX	SPIA_CLK		FSITXA_D0	LINB_RX	HIC_BASESEL 0	I2CB_SCL	HIC_NRDY	
GPIO10	EPWM6_A		ADCSOAO	EQEP1_A	SCIB_TX	SPIA_SOMI	I2CA_SDA	FSITXA_CLK	LINB_TX	HIC_NWE	FSITXA_TDM_D0	CLB_OUTPUTXBAR4	
GPIO11	EPWM6_B		OUTPUTXBAR7	EQEP1_B	SCIB_RX	SPIA_STE	FSIRXA_D1	LINB_RX	EQEP2_A	SPIA_SIMO	HIC_D6	HIC_NBE0	
GPIO12	EPWM7_A		MCAN_RX	EQEP1_STROBE	SCIB_TX	PMBUSA_CTL	FSIRXA_D0	LINB_TX	SPIA_CLK	CANA_RX	HIC_D13	HIC_INT	
GPIO13	EPWM7_B		MCAN_TX	EQEP1_INDEX	SCIB_RX	PMBUSA_ALERT	FSIRXA_CLK	LINB_RX	SPIA_SOMI	CANA_TX	HIC_D11	HIC_D5	
GPIO14	EPWM8_A	SCIB_TX		I2CB_SDA	OUTPUTXBAR3	PMBUSA_SDA	SPIB_CLK	EQEP2_A	LINB_TX	EPWM3_A	CLB_OUTPUTXBAR7	HIC_D15	
GPIO15	EPWM8_B	SCIB_RX		I2CB_SCL	OUTPUTXBAR4	PMBUSA_SCL	SPIB_STE	EQEP2_B	LINB_RX	EPWM3_B	CLB_OUTPUTXBAR6	HIC_D12	
GPIO16	SPIA_SIMO		OUTPUTXBAR7	EPWM5_A	SCIA_TX	SD1_D1	EQEP1_STRO BE	PMBUSA_SCL	XCLKOUT	EQEP2_B	SPIB_SOMI	HIC_D1	
GPIO17	SPIA_SOMI		OUTPUTXBAR8	EPWM5_B	SCIA_RX	SD1_C1	EQEP1_INDE X	PMBUSA_SDA	CANA_TX			HIC_D2	
GPIO18	SPIA_CLK	SCIB_TX	CANA_RX	EPWM6_A	I2CA_SCL	SD1_D2	EQEP2_A	PMBUSA_CTL	XCLKOUT	LINB_TX	FSITXA_TDM_CL K	HIC_INT	X2
GPIO19	SPIA_STE	SCIB_RX	CANA_TX	EPWM6_B	I2CA_SDA	SD1_C2	EQEP2_B	PMBUSA_ALERT	CLB_OUTPUTXBAR1	LINB_RX	FSITXA_TDM_D0	HIC_NBE0	X1
GPIO20	EQEP1_A				SPIB_SIMO	SD1_D3	MCAN_TX						
GPIO21	EQEP1_B				SPIB_SOMI	SD1_C3	MCAN_RX						
GPIO22	EQEP1_STRO BE		SCIB_TX		SPIB_CLK	SD1_D4	LINA_TX	CLB_OUTPUTXBAR1	LINB_TX	HIC_A5	EPWM4_A	HIC_D13	
GPIO23	EQEP1_INDE X		SCIB_RX		SPIB_STE	SD1_C4	LINA_RX	CLB_OUTPUTXBAR3	LINB_RX	HIC_A3	EPWM4_B	HIC_D11	

表 5-6. GPIO 多重化ピン (続き)

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO24	OUTPUTXBAR1	EQEP2_A		EPWM8_A	SPIB_SIMO	SD2_D1	LINB_TX	PMBUSA_SCL	SCIA_TX	ERRORSTS		HIC_D3	
GPIO25	OUTPUTXBAR2	EQEP2_B		EQEP1_A	SPIB_SOMI	SD2_C1	FSITXA_D1	PMBUSA_SDA	SCIA_RX		HIC_BASESEL0		
GPIO26	OUTPUTXBAR3	EQEP2_INDEX		OUTPUTXBAR3	SPIB_CLK	SD2_D2	FSITXA_D0	PMBUSA_CTL	I2CA_SDA		HIC_D0	HIC_A1	
GPIO27	OUTPUTXBAR4	EQEP2_STROBE		OUTPUTXBAR4	SPIB_STE	SD2_C2	FSITXA_CLK	PMBUSA_ALERT	I2CA_SCL		HIC_D1	HIC_A4	
GPIO28	SCIA_RX		EPWM7_A	OUTPUTXBAR5	EQEP1_A	SD2_D3	EQEP2_STROBE	LINA_TX	SPIB_CLK	ERRORSTS	I2CB_SDA	HIC_NOE	
GPIO29	SCIA_TX		EPWM7_B	OUTPUTXBAR6	EQEP1_B	SD2_C3	EQEP2_INDEX	LINA_RX	SPIB_STE	ERRORSTS	I2CB_SCL	HIC_NCS	AUXCLKIN
GPIO30	CANA_RX		SPIB_SIMO	OUTPUTXBAR7	EQEP1_STROBE	SD2_D4	FSIRXA_CLK	MCAN_RX	EPWM1_A		HIC_D8		
GPIO31	CANA_TX		SPIB_SOMI	OUTPUTXBAR8	EQEP1_INDEX	SD2_C4	FSIRXA_D1	MCAN_TX	EPWM1_B		HIC_D10		
GPIO32	I2CA_SDA		SPIB_CLK	EPWM8_B	LINA_TX	SD1_D2	FSIRXA_D0	CANA_TX	PMBUSA_SDA	ADCSOCBO		HIC_INT	
GPIO33	I2CA_SCL		SPIB_STE	OUTPUTXBAR4	LINA_RX	SD1_C2	FSIRXA_CLK	CANA_RX	EQEP2_B	ADCSOCAO	SD1_C1	HIC_D0	
GPIO34	OUTPUTXBAR1				PMBUSA_SDA					HIC_NBE1	I2CB_SDA	HIC_D9	
GPIO35	SCIA_RX		I2CA_SDA	CANA_RX	PMBUSA_SCL	LINA_RX	EQEP1_A	PMBUSA_CTL	EPWM5_B	SD2_C1	HIC_NWE	TDI	
GPIO37	OUTPUTXBAR2		I2CA_SCL	SCIA_TX	CANA_TX	LINA_TX	EQEP1_B	PMBUSA_ALERT			HIC_NRDY	TDO	
GPIO39					MCAN_RX	FSIRXA_CLK	EQEP2_INDEX		CLB_OUTPUTXBAR2	SYNCOUT	EQEP1_INDEX	HIC_D7	
GPIO40	SPIB_SIMO			EPWM2_B	PMBUSA_SDA	FSIRXA_D0	SCIB_TX	EQEP1_A	LINB_TX		HIC_NBE1	HIC_D5	
GPIO41				EPWM2_A	PMBUSA_SCL	FSIRXA_D1	SCIB_RX	EQEP1_B	LINB_RX	HIC_A4	SPIB_SOMI	HIC_D12	
GPIO42		LINA_RX	OUTPUTXBAR5	PMBUSA_CTL	I2CA_SDA			EQEP1_STROBE	CLB_OUTPUTXBAR3		HIC_D2	HIC_A6	
GPIO43			OUTPUTXBAR6	PMBUSA_ALERT	I2CA_SCL		PMBUSA_ALERT	EQEP1_INDEX	CLB_OUTPUTXBAR4	SD2_D3	HIC_D3	HIC_A7	
GPIO44			OUTPUTXBAR7	EQEP1_A	PMBUSA_SDA	FSITXA_CLK	PMBUSA_CTL	CLB_OUTPUTXBAR3	FSIRXA_D0	HIC_D7	LINB_TX	HIC_D5	
GPIO45			OUTPUTXBAR8			FSITXA_D0	PMBUSA_ALERT	CLB_OUTPUTXBAR4		SD2_C3		HIC_D6	
GPIO46			LINA_TX	MCAN_TX		FSITXA_D1	PMBUSA_SDA			SD2_C4		HIC_NWE	
GPIO47			LINA_RX	MCAN_RX		CLB_OUTPUTXBAR2	PMBUSA_SCL			SD2_D4	FSITXA_TDM_CLK	HIC_A6	
GPIO48	OUTPUTXBAR3		CANA_TX		SCIA_TX	SD1_D1	PMBUSA_SDA					HIC_A7	
GPIO49	OUTPUTXBAR4		CANA_RX		SCIA_RX	SD1_C1	LINA_RX			SD2_D1	FSITXA_D0	HIC_D2	
GPIO50	EQEP1_A			MCAN_TX	SPIB_SIMO	SD1_D2	I2CB_SDA			SD2_D2	FSITXA_D1	HIC_D3	
GPIO51	EQEP1_B			MCAN_RX	SPIB_SOMI	SD1_C2	I2CB_SCL			SD2_D3	FSITXA_CLK	HIC_D6	

表 5-6. GPIO 多重化ピン (続き)

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO52	EQEP1_STROBE			CLB_OUTPUTXBAR5	SPIB_CLK	SD1_D3	SYNCOUT			SD2_D4	FSIRXA_D0	HIC_NWE	
GPIO53	EQEP1_INDEX			CLB_OUTPUTXBAR6	SPIB_STE	SD1_C3	ADCSOCAO	CANA_RX		SD1_C1	FSIRXA_D1		
GPIO54	SPIA_SIMO			EQEP2_A	OUTPUTXBAR2	SD1_D4	ADCSOCBO	LINB_TX		SD1_C2	FSIRXA_CLK	FSITXA_TDM_D1	
GPIO55	SPIA_SOMI			EQEP2_B	OUTPUTXBAR3	SD1_C4	ERRORSTS	LINB_RX		SD1_C3		HIC_A0	
GPIO56	SPIA_CLK	CLB_OUTPUTXBAR7	MCAN_TX	EQEP2_STROBE	SCIB_TX	SD2_D1	SPIB_SIMO	I2CA_SDA	EQEP1_A	SD1_C4	FSIRXA_D1	HIC_D6	
GPIO57	SPIA_STE	CLB_OUTPUTXBAR8	MCAN_RX	EQEP2_INDEX	SCIB_RX	SD2_C1	SPIB_SOMI	I2CA_SCL	EQEP1_B		FSIRXA_CLK	HIC_D4	
GPIO58				OUTPUTXBAR1	SPIB_CLK	SD2_D2	LINA_TX	CANA_TX	EQEP1_STROBE	SD2_C2	FSIRXA_D0	HIC_NRDY	
GPIO59				OUTPUTXBAR2	SPIB_STE	SD2_C2	LINA_RX	CANA_RX	EQEP1_INDEX	SD2_C3	FSITXA_TDM_D1		
GPIO60			MCAN_TX	OUTPUTXBAR3	SPIB_SIMO	SD2_D3				SD2_C4		HIC_A0	
GPIO61			MCAN_RX	OUTPUTXBAR4	SPIB_SOMI	SD2_C3					CANA_RX		
AIO224		SD2_D3										HIC_A3	
AIO225		SD2_C2										HIC_NWE	
AIO226		SD2_D4										HIC_A1	
AIO227		SD1_C3										HIC_NBE0	
AIO228		SD2_C1										HIC_A0	
AIO229													
AIO230		SD1_C4										HIC_BASESEL2	
AIO231		SD1_C1										HIC_BASESEL1	
AIO232		SD1_D4										HIC_BASESEL0	
AIO233		SD2_D1										HIC_A4	
AIO236													
AIO237		SD1_D2										HIC_A6	
AIO238		SD2_C3										HIC_NCS	
AIO239		SD1_D1										HIC_A5	
AIO240		SD2_C1										HIC_NBE1	
AIO241		SD2_C1										HIC_NBE1	
AIO242		SD2_D2										HIC_A2	
AIO244		SD1_D3										HIC_A7	
AIO245		SD1_C2										HIC_NOE	
AIO247													
AIO248													
AIO249													
AIO251													
AIO252		SD2_C4											

表 5-6. GPIO 多重化ピン (続き)

0、4、8、 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
AIO253													

5.4.2 ADC ピンのデジタル入力 (AIO)

ポート H の GPIO (GPIO224~GPIO253) は、アナログ・ピンと多重化されています。これらは、「AIO」とも呼ばれます。これらのピンは入力モードでのみ機能します。デフォルトでは、これらのピンはアナログ・ピンとして機能し、GPIO はハイ・インピーダンス状態になります。GPHAMSEL レジスタは、これらのピンをデジタルまたはアナログ動作に構成するために使用します。

注

鋭いエッジ (大きい dv/dt) を持つデジタル信号を AIO に接続すると、隣接するアナログ信号に対してクロストークが発生する可能性があります。したがって、アナログ機能に隣接するチャネルを使用する場合は、AIO に接続する信号のエッジ・レートを制限する必要があります。

5.4.3 ADC ピン上のデジタル入出力 (AGPIO)

このデバイスの一部の GPIO は、アナログ・ピンと多重化されます。これらは、「AGPIO」とも呼ばれます。AIO とは異なり、AGPIO には完全な入力と出力の機能があります。このデバイスには 2 つの GPIO (GPIO20、GPIO21) があり、100 ピン PZ および 80 ピン PN パッケージでこの機能を提供します。

100 ピン PZ:このパッケージには、B5 (ピン 32) と B11 (ピン 30) 用の専用ピンがあり、それぞれに AIO252 と AIO251 機能もあります。さらに、GPIO20 (ピン 48) と GPIO21 (ピン 49) もそれぞれ B5 と B11 として使用可能です。B5 と B11 はこのパッケージの専用ピンであるため、GPIO20/21 のピンの代わりに使用することをお勧めします。

80 ピン PN:このパッケージでは、GPIO20 (ピン 33) と GPIO21 (ピン 34) もそれぞれ B5 と B11 として使用可能です。B5 と B11 の専用ピンはありません。

デフォルトでは、AGPIO は接続されていないため、構成する必要があります。表 5-7 真理値表に、例として 100 ピン PZ の B5 (ピン 32) と GPIO20 (ピン 48) を使用して AGPIO を構成する方法を示します。

表 5-7. AGPIO の構成

AGPIOTRLA.bit.GPIO20	GPAAMSEL.bit.GPIO20	GPHAMSEL.bit.GPIO252	B5 の接続先			GPIO20 の接続先		
			ADC	GPIO20	AIO252	ADC	GPIO20	AIO252
0	0	1	あり	-	-	-	あり	-
0	1	1	あり	-	-	-	-	-
1	0	1	あり	-	-	-	あり	-
1	1	1	-	-	-	あり	-	-
0	0	0	可能	-	あり	-	あり	-
0	1	0	可能	-	あり	-	-	-
1	0	0	可能	-	あり	-	あり	-
1	1	0	-	-	あり	あり	-	-

注

鋭いエッジ (大きい dv/dt) を持つデジタル信号を AGPIO に接続すると、隣接するアナログ信号に対してクロストークが発生する可能性があります。したがって、アナログ機能に隣接するチャネルを使用する場合は、AGPIO に接続する信号のエッジ・レートを制限する必要があります。

5.4.4 GPIO 入力クロスバー

入力クロスバーは、GPIO からの信号を、ADC、eCAP、ePWM、外部割り込みなどのさまざまな IP ブロックにルーティングするために使用されます (図 5-6 を参照)。表 5-8 に入力クロスバーの接続先を一覧表示。

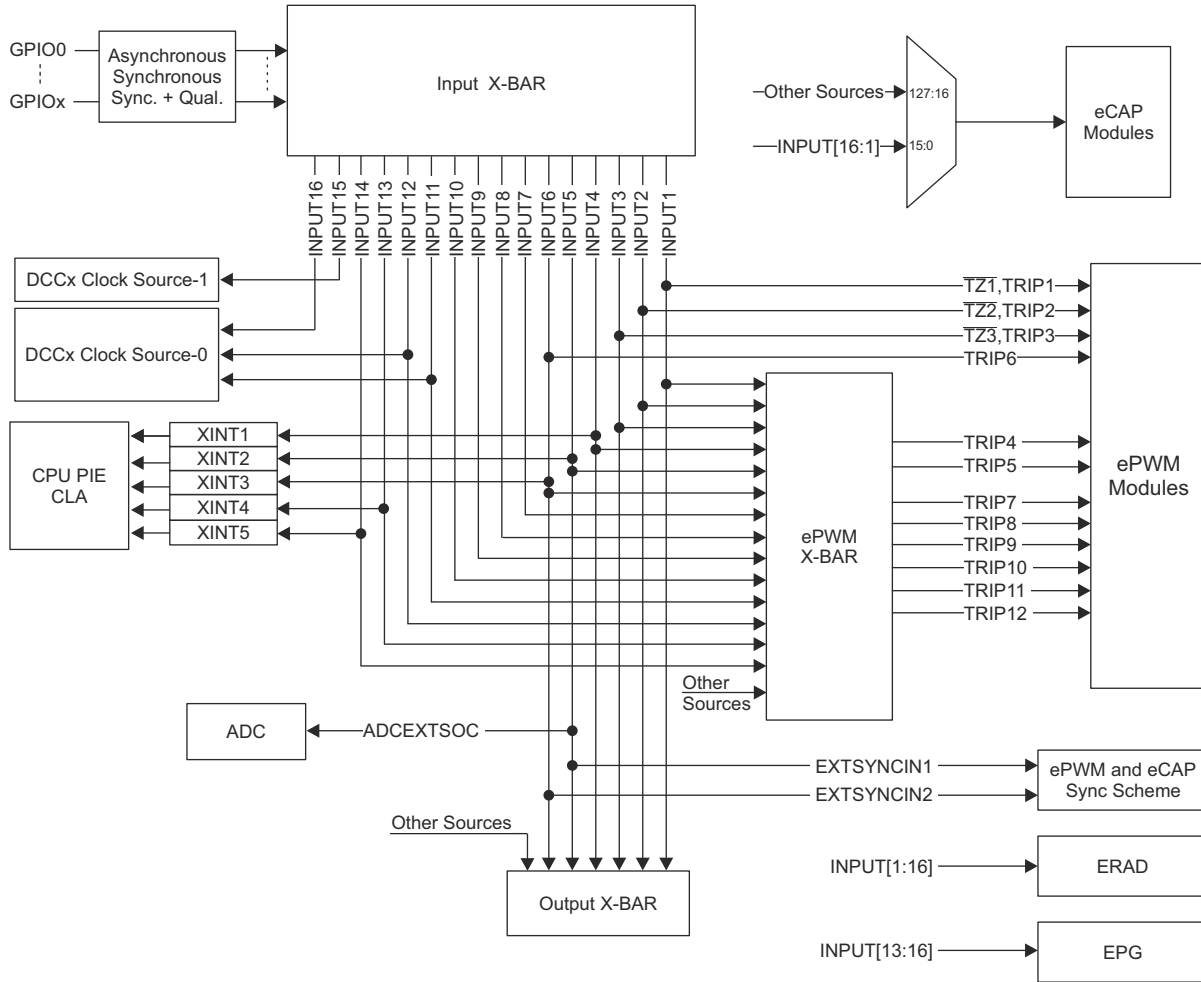


図 5-6. 入力クロスバー

表 5-8. クロスバーの接続先

入力	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
ECAP / HRCAP	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり
EPWM クロスバー	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり		
CLB クロスバー	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり		
出力クロスバー	あり	あり	あり	あり	あり	あり										
CPU XINT				XINT1	XINT2	XINT3							XINT4	XINT5		
EPWM トリップ	TZ1、TRIP1	TZ2、TRIP2	TZ3、TRIP3			TRIP6										
ADC 変換開始					ADCEXTSOC											
EPWM / ECAP 同期					EXTSYNCIN1	EXTSYNCIN2										
DCCx											CLK0	CLK0			CLK1	CLK0
EPG													EPG1 IN1	EPG1 IN2	EPG1 IN3	EPG1 IN4
ERAD	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり

5.4.5 GPIO 出力クロスバー、CLB クロスバー、CLB 出力クロスバー、ePWM クロスバー

出力クロスバーには 8 つの出力があり、GPIO 多重化で OUTPUTXBARx として選択できます。CLB クロスバーには 8 つの出力があり、CLB グローバル・マルチプレクサで AUXSIGx として接続されています。CLB 出力クロスバーには 8 つの出力があり、GPIO マルチプレクサで CLB_OUTPUTXBARx. として選択できます。ePWM クロスバーには 8 つの出力があり、ePWM の TRIPx 入力に接続されています。出力クロスバー、CLB クロスバー、CLB 出力クロスバー、および ePWM クロスバーのソースを [図 5-7](#) に示します。

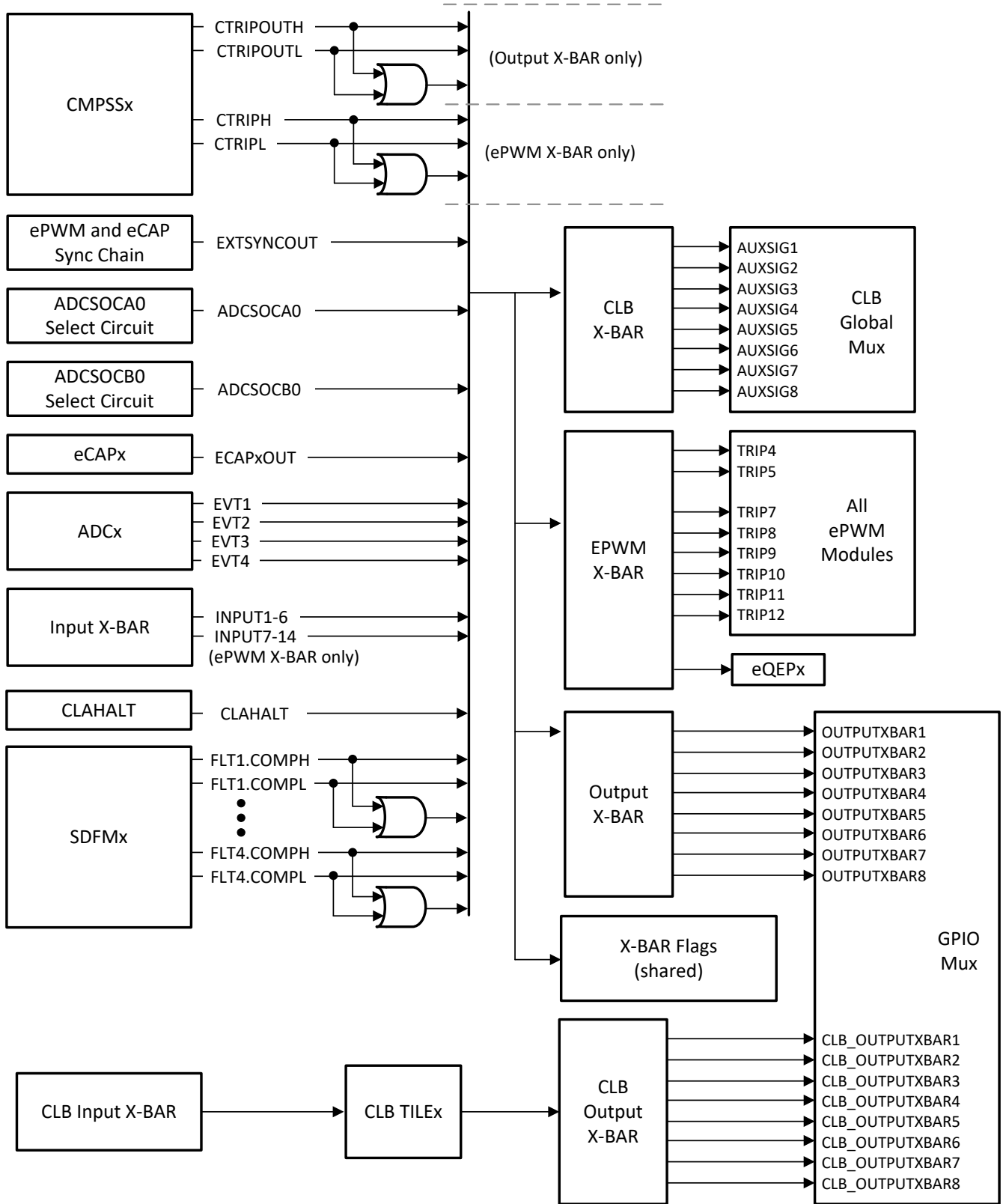


図 5-7. 出力クロスバー、CLB クロスバー、CLB 出力クロスバー、および ePWM クロスバーのソース

5.5 内部プルアップおよびプルダウン付きのピン

デバイスの一部のピンには、内部プルアップまたはプルダウンが付いています。表 5-9 に、プル方向および動作するときを示します。GPIO ピンのプルアップは、デフォルトでディセーブルになっており、ソフトウェアによってイネーブルにできます。未接続入力フローティングになるのを回避するため、ブート ROM は、特定のパッケージで未接続の GPIO ピンについて、内部プルアップをイネーブルにします。表 5-9 に記載されているプルアップおよびプルダウン付きの他のピンは、常にオンであり、ディセーブルにできません。

表 5-9. 内部プルアップおよびプルダウン付きのピン

ピン	リセット (XRSn = 0)	デバイス・ブート	アプリケーション
GPIOx	プルアップ・ディセーブル	プルアップ・ディセーブル ⁽¹⁾	アプリケーションで設定
GPIO35/TDI	プルアップ・ディセーブル		アプリケーションで設定
GPIO37/TDO	プルアップ・ディセーブル		アプリケーションで設定
AGPIOx	プルアップ・ディセーブル	プルアップ・ディセーブル	アプリケーションで設定
TCK	プルアップ・イネーブル		
TMS	プルアップ・イネーブル		
XRSn	プルアップ・イネーブル		
その他のピン (AIO を含む)	プルアップまたはプルダウンなし		

(1) 特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。

5.6 未使用ピンの接続

デバイスのすべての機能を使用する必要のないアプリケーションについては、表 5-10 に、未使用のピンに対して許容される処置を示します。表 5-10 に複数の選択肢が示されている場合は、どれを採用してもかまいません。表 5-10 に記載されていないピンは、セクション 5 に従って接続する必要があります。

表 5-10. 未使用ピンの接続

信号名	許容される処置
アナログ	
VREFHI	VDDA に接続 (ADC がアプリケーションで使用されていない場合のみ適用)
VREFLO	VSSA に接続
DACx_OUT と共有するアナログ入力ピン	<ul style="list-style-type: none"> 接続なし 4.7kΩ 以上の抵抗を経由して VSSA に接続
アナログ入力ピン (DACx_OUT を除く)	<ul style="list-style-type: none"> 接続なし VSSA に接続 抵抗を経由して VSSA に接続
アナログ入力ピン (GPIO と共有) ⁽¹⁾	<ul style="list-style-type: none"> 接続なし (デジタル入力モードで内部プルアップをイネーブル) 接続なし (デジタル出力モードで内部プルアップをディセーブル) プルアップまたはプルダウン抵抗 (任意の値の抵抗、デジタル入力モードで内部プルアップをディセーブル)
デジタル	
GPIOx	<ul style="list-style-type: none"> 接続なし (入力モードで内部プルアップをイネーブル) 接続なし (出力モードで内部プルアップをディセーブル) プルアップまたはプルダウン抵抗 (任意の値の抵抗、入力モードで内部プルアップをディセーブル)
GPIO35/TDI	TDI 多重化オプションを選択すると (デフォルト)、GPIO は入力モードになります。 <ul style="list-style-type: none"> 内部プルアップをイネーブル 外部プルアップ抵抗
GPIO37/TDO	TDO 多重化オプションを選択すると (デフォルト)、GPIO は JTAG 動作中のみ出力モードになります。それ以外の場合は、トライステート状態になります。入力バッファでの余分な電流を避けるため、このピンにバイアスを印加する必要があります。 <ul style="list-style-type: none"> 内部プルアップをイネーブル 外部プルアップ抵抗
TCK	<ul style="list-style-type: none"> 接続なし プルアップ抵抗
TMS	プルアップ抵抗
GPIO19/X1	XTAL をオフおよび: <ul style="list-style-type: none"> 入力モードで内部プルアップをイネーブル 入力モードで外部プルアップまたはプルダウン抵抗を使用 出力モードで内部プルアップをディセーブル
GPIO18/X2	XTAL をオフおよび: <ul style="list-style-type: none"> 入力モードで内部プルアップをイネーブル 入力モードで外部プルアップまたはプルダウン抵抗を使用 出力モードで内部プルアップをディセーブル
電源およびグランド	
VDD	すべての VDD ピンは、セクション 5.3 に従って接続する必要があります。ピンを外部回路のバイアスに使用することはできません。

表 5-10. 未使用ピンの接続 (続き)

信号名	許容される処置
VDDA	専用のアナログ電源を使用しない場合は、VDDIO に接続します。
VDDIO	すべての VDDIO ピンは、 セクション 5.3 に従って接続する必要があります。
VSS	すべての VSS ピンは、基板のグランドに接続する必要があります。
VSSA	アナログ・グランドを使用しない場合は、VSS に接続します。

- (1) AGPIO ピンは、アナログ機能とデジタル機能を共有します。ここでの操作は、これらのピンがアナログ機能にも使用されていない場合にのみ適用されます。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
電源電圧	VSS を基準とした VDDIO	-0.3	4.6	V
	VSSA を基準とした VDDA	-0.3	4.6	
	VSS を基準とした VDD	-0.3	1.5	
入力電圧	V _{IN} (3.3V)	-0.3	4.6	V
出力電圧	V _O	-0.3	4.6	V
入力クランプ電流	デジタル / アナログ入力 (ピンごと)、I _{IK} (V _{IN} < VSS/VSSA、または V _{IN} > VDDIO/VDDA) ⁽⁴⁾	-20	20	mA
	すべての入力の合計値、I _{IKTOTAL} (V _{IN} < VSS/VSSA、または V _{IN} > VDDIO/VDDA)	-20	20	
出力電流	デジタル出力 (ピンごと)、I _{OUT}	-20	20	mA
自由気流での周囲温度	T _A	-40	125	°C
動作時接合部温度	T _J	-40	150	°C
保存温度 ⁽³⁾	T _{stg}	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの恒久的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
- (3) 長期にわたる高温保存または最高温度条件での長時間使用は、デバイスの寿命を縮める可能性があります。詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。
- (4) ピンごとの連続クランプ電流は $\pm 2\text{mA}$ です。この条件で連続的に動作すると、V_{DDIO}/V_{DDA} 電圧が内部で上昇し、他の電氣的仕様に影響を及ぼす可能性があるため、連続動作は避けてください。

6.2 ESD 定格 - 民生用

		値	単位	
F280039C, F280039, F280037C, F280037, F280034, F280033 は 100 ピン PZ パッケージで提供				
V _(ESD) 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 2000	V	
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	すべてのピン		± 500
		100 ピン PZ のコーナー・ピン: 1, 25, 26, 50, 51, 75, 76, 100		± 750
F280039C, F280039, F280037C, F280037, F280034, F280033 は 80 ピン PN パッケージで提供				
V _(ESD) 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 2000	V	
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	すべてのピン		± 500
		80 ピン PN のコーナー・ピン: 1, 20, 21, 40, 41, 60, 61, 80		± 750
F280039C, F280039, F280037C, F280037, F280034, F280033 は 64 ピン PM パッケージで提供				
V _(ESD) 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 2000	V	
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	すべてのピン		± 500
		64 ピン PM のコーナー・ピン: 1, 16, 17, 32, 33, 48, 49, 64		± 750
F280037C, F280037, F280034, F280033 は 48 ピン PT パッケージで提供				

6.2 ESD 定格 - 民生用 (続き)

		値	単位	
V _(ESD) 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V	
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	すべてのピン		±500
		48 ピン PT のコーナー・ピン: 1、12、13、24、25、36、37、48		±750

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 ESD 定格 - 車載用

		値	単位
F280039C-Q1、F280039-Q1、F280037C-Q1、F280037-Q1 は 100 ピン PZ パッケージで提供			
V _(ESD) 静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	すべてのピン	±2000
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500
		100 ピン PZ のコーナー・ピン: 1、25、26、50、51、75、76、100	±750
F280039C-Q1、F280039-Q1、F280037C-Q1、F280034-Q1、F280033-Q1 は 80 ピン PZ パッケージで提供			
V _(ESD) 静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	すべてのピン	±2000
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500
		80 ピン PN のコーナー・ピン: 1、20、21、40、41、60、61、80	±750
F280038C-Q1、F280038-Q1、F280036C-Q1、F280036-Q1 は 64 ピン PM パッケージで提供			
V _(ESD) 静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	すべてのピン	±2000
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500
		64 ピン PM のコーナー・ピン: 1、16、17、32、33、48、49、64	±750
F280037C-Q1、F280037-Q1、F280034-Q1 は 48 ピン PT パッケージで提供			
V _(ESD) 静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	すべてのピン	±2000
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500
		48 ピン PT のコーナー・ピン: 1、12、13、24、25、36、37、48	±750

(1) AEC Q100-002 は、ANSI / ESDA / JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

6.4 推奨動作条件

		最小値	公称値	最大値	単位
デバイス電源電圧、VDDIO および VDDA	内部 BOR イネーブル ⁽³⁾	V _{BOR-VDDIO} (MAX) + V _{BOR-VDDIO-GB} ⁽²⁾		3.3	3.63
	内部 BOR ディセーブル	2.8	3.3	3.63	V
バイアス電源電圧、VDD		1.14	1.2	1.32	V
デバイス・グランド、VSS			0		V
アナログ・グランド、VSSA			0		V
SR _{SUPPLY}	電源ランプ速度 ⁽⁴⁾				
V _{IN}	デジタル入力電圧	VSS - 0.3		VDDIO + 0.3	V
	アナログ入力電圧	VSSA - 0.3		VDDA + 0.3	V
接合部温度、T _J ⁽¹⁾		-40		150	°C

6.4 推奨動作条件 (続き)

	最小値	公称値	最大値	単位
自由気流での周囲温度、 T_A	-40		125	°C

- (1) $T_J = 105^\circ\text{C}$ を超えて長時間動作すると、デバイスの寿命が短くなります。詳細については、『[組み込みプロセッサの有効寿命計算](#)』を参照してください。
- (2) 「[パワー・マネージメント・モジュール \(PMM\)](#)」セクションを参照してください。
- (3) デフォルトで、内部 BOR がイネーブルになっています。
- (4) 「[パワー・マネージメント・モジュールの動作条件](#)」表を参照してください。

6.5 消費電力の概略

このセクションに記載されている電流値は、絶対最大値ではなく、与えられたテスト条件での代表値を表しています。アプリケーションでの実際のデバイス電流は、アプリケーション・コードおよびピン構成によって異なります。セクション 6.5.1 に、システム消費電流の値を示します。セクション 6.5.2 に、VREG がディセーブルのときのシステム消費電流を示します。

6.5.1 システム消費電流

自由気流での動作温度範囲内 (特に記述のない限り)。
代表値: V_{nom} 、30°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
動作モード						
I_{DDIO}	動作時の VDDIO 消費電流	これは、標準的な大負荷アプリケーションにおける電流の推定値です。実際の電流は、システムの動作、I/O の電氣的負荷、およびスイッチング周波数によって異なります。これは、内部 Vreg イネーブル時のコア消費電流を含む。 - CPU は RAM から実行 - フラッシュの電源オン - X1/X2 水晶振動子の電源オン - PLL はイネーブル、SYSCLK = 最大デバイス周波数 - アナログ・モジュールの電源オン - 出力は安定 (DC 負荷なし) - 入力 HIGH または LOW で安定	80		108	mA
I_{DDA}	動作時の VDDA 消費電流		8		17.5	mA
IDLE モード						
I_{DDIO}	デバイスが IDLE モードのときの VDDIO 消費電流	- CPU はアイドル・モード - フラッシュの電源オフ	30		58	mA
I_{DDA}	デバイスが IDLE モードのときの VDDA 消費電流	- PLL はイネーブル、SYSCLK = 最大デバイス周波数、CPUCLK はゲート - X1/X2 水晶振動子の電源オン - アナログ・モジュールの電源オフ - 出力は安定 (DC 負荷なし) - 入力 HIGH または LOW で安定	0.01		0.1	mA
スタンバイ・モード						
I_{DDIO}	デバイスが STANDBY モードのときの VDDIO 消費電流	- CPU はスタンバイ・モード - フラッシュの電源オフ	16.5		41	mA
I_{DDA}	デバイスが STANDBY モードのときの VDDA 消費電流	- PLL はイネーブル、SYSCLK & CPUCLK はゲート - X1/X2 水晶振動子の電源オフ - アナログ・モジュールの電源オフ - 出力は安定 (DC 負荷なし) - 入力 HIGH または LOW で安定	0.01		0.1	mA

6.5.1 システム消費電流 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。
 代表値: V_{nom} , 30°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
HALT モード						
I_{DDIO}	デバイスが HALT モードのときの VDDIO 消費電流	- CPU は中断モード - フラッシュの電源オフ		12.5	36	mA
I_{DDA}	デバイスが HALT モードのときの VDDA 消費電流	- PLL はディセーブル、SYSCLK & CPUCLK はゲート - X1/X2 水晶振動子の電源オフ - アナログ・モジュールの電源オフ - 出力は安定 (DC 負荷なし) - 入力は HIGH または LOW で安定		0.01	0.1	mA
フラッシュ消去 / プログラム						
I_{DDIO}	消去 / プログラム・サイクル中の VDDIO 消費電流 ⁽¹⁾	- CPU は RAM から実行 - フラッシュは連続的にプログラム / 消去動作を実行		72	106	mA
I_{DDA}	消去 / プログラム・サイクル中の VDDA 消費電流	- PLL はイネーブル、SYSCLK は 120MHz - ペリフェラル・クロックはオフ - X1/X2 水晶振動子は電源オン - アナログは電源オフ - 出力は安定 (DC 負荷なし) - 入力は HIGH または LOW で安定		0.1	2.5	mA
リセット・モード						
I_{DDIO}	リセットがアクティブのときの VDDIO 消費電流 ⁽²⁾			5.8		mA
I_{DDA}	リセットがアクティブのときの VDDA 消費電流 ⁽²⁾			0.1		mA

- (1) フラッシュ・プログラミング中に発生したブラウンアウト・イベントは、フラッシュ・データを破壊し、デバイスを永続的にロックする可能性があります。代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブラウンアウト状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステム・コンポーネントに定格電流を供給できるようにする必要があります。
- (2) これは、リセットがアクティブ (XRSn が Low) の場合の消費電流です。

6.5.2 システム消費電流 - VREG ディセーブル - 外部電源

自由気流での動作温度範囲内 (特に記述のない限り)。
 代表値: V_{nom} 、30°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
動作モード						
I_{DD}	動作時の VDD 消費電流	代表的な負荷の大きいアプリケーションの電流の推定値。実際の電流は、システムのアクティビティ、I/O の電氣的負荷、およびスイッチング周波数によって異なる。 - CPU は RAM から実行 - フラッシュの電力オン - X1/X2 水晶振動子の電源オン - PLL はイネーブル、SYSCLK = 最大デバイス周波数 - アナログ・モジュールの電源オン - 出力は安定 (DC 負荷なし) - 入力 HIGH または LOW で安定	73	103.5		mA
I_{DDIO}	動作時の VDDIO 消費電流		4	4.7		mA
I_{DDA}	動作時の VDDA 消費電流		8	17.5		mA
IDLE モード						
I_{DD}	デバイスが IDLE モードのときの VDD 消費電流	- CPU はアイドル・モード - フラッシュの電源オフ - PLL はイネーブル、SYSCLK = 最大デバイス周波数、CPUCLK はゲート - X1/X2 水晶振動子の電源オン - アナログ・モジュールの電源オフ - 出力は安定 (DC 負荷なし) - 入力 HIGH または LOW で安定	25	48		mA
I_{DDIO}	デバイスがアイドル・モードのときの VDDIO 消費電流		1.7	2.2		mA
I_{DDA}	デバイスが IDLE モードのときの VDDA 消費電流		0.01	0.1		mA
STANDBY モード						
I_{DD}	デバイスが STANDBY モードのときの VDD 消費電流	- CPU はスタンバイ・モード - フラッシュの電源オフ - PLL はイネーブル、SYSCLK & CPUCLK はゲート - X1/X2 水晶振動子の電源オフ - アナログ・モジュールの電源オフ - 出力は安定 (DC 負荷なし) - 入力 HIGH または LOW で安定	11.6	35		mA
I_{DDIO}	デバイスが STANDBY モードのときの VDDIO 消費電流		1.7	2.3		mA
I_{DDA}	デバイスが STANDBY モードのときの VDDA 消費電流		0.01	0.1		mA
HALT モード						
I_{DD}	デバイスがホールド・モードのときの VDD 消費電流	- CPU は中断モード - フラッシュの電源オフ - PLL はディセーブル、SYSCLK & CPUCLK はゲート - X1/X2 水晶振動子の電源オフ - アナログ・モジュールの電源オフ - 出力は安定 (DC 負荷なし) - 入力 HIGH または LOW で安定	8.5	31		mA
I_{DDIO}	デバイスがホールド・モードのときの VDDIO 消費電流		0.8	1.2		mA
I_{DDA}	デバイスが HALT モードのときの VDDA 消費電流		0.01	0.1		mA

6.5.2 システム消費電流 - VREG ディセーブル - 外部電源 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。
 代表値: V_{nom} , 30°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
フラッシュ消去 / プログラム						
I_{DD}	消去 / プログラム・サイクル中の VDD 消費電流 ⁽¹⁾	- CPU は RAM から実行 - フラッシュは連続的にプログラム / 消去動作を実行		41	60.5	mA
I_{DDIO}	消去 / プログラム・サイクル中の VDDIO 消費電流 ⁽¹⁾	- PLL はイネーブル、SYSCLK は 120MHz		31	45.5	mA
I_{DDA}	消去 / プログラム・サイクル中の VDDA 消費電流	- ペリフェラル・クロックはオフ - X1/X2 水晶振動子は電源オン - アナログは電源オフ - 出力は安定 (DC 負荷なし) - 入力 HIGH または LOW で安定		0.1	2.5	mA
リセット・モード						
I_{DD}	リセットがアクティブのときの VDD 消費電流 ⁽²⁾			3.3		mA
I_{DDIO}	リセットがアクティブのときの VDDIO 消費電流 ⁽²⁾			2.2		mA
I_{DDA}	リセットがアクティブのときの VDDA 消費電流 ⁽²⁾			0.1		mA

- (1) フラッシュ・プログラミング中に発生したブラウンアウト・イベントは、フラッシュ・データを破壊し、デバイスを永続的にロックする可能性があります。代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブラウンアウト状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステム・コンポーネントに定格電流を供給できるようにする必要があります。
- (2) これは、リセットがアクティブ (XRSn が Low) の場合の消費電流です。

6.5.3 動作モード・テストの説明

セクション 6.5.1 およびセクション 6.5.5.1 に、デバイスの動作モードでの消費電流値を示します。動作モードでは、アプリケーションで何が発生する可能性があるかを推定できます。これらの測定の実験条件には、以下の特徴があります。

- コードは RAM から実行。
- フラッシュは読み取りで、アクティブ状態を保持。
- 外部コンポーネントは I/O ピンによって駆動されない。
- すべてのペリフェラルでクロックがイネーブルになっている。
- CPU がコードをアクティブに実行している。
- すべてのアナログ・ペリフェラルに電源が投入されている。ADC と DAC は定期的に変換を実行。

6.5.4 消費電流のグラフ

次のグラフは、デバイスの周波数、温度、電源 (VREG イネーブル)、消費電流の関係の代表例を示したものです。実際の結果は、システムの実装と条件によって異なります。

図 6-2 に、温度とコア電源電圧における標準的な動作電流プロファイルを示します。図 6-3 に、温度とコア電源電圧における標準的なアイドル電流プロファイルを示します。図 6-4 に、温度とコア電源電圧における標準的なスタンバイ電流プロファイルを示します。図 6-5 に、温度とコア電源電圧における標準的なホールド電流プロファイルを示します。

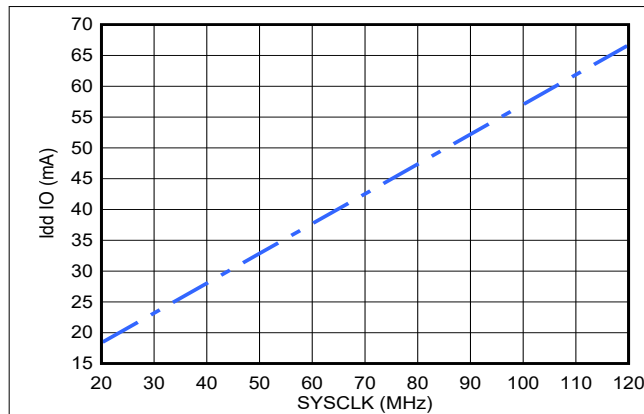


図 6-1. 動作時の電流と周波数との関係

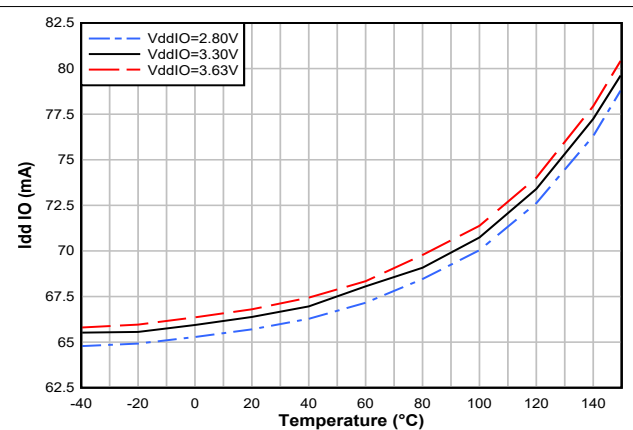


図 6-2. 動作時の電流と温度との関係

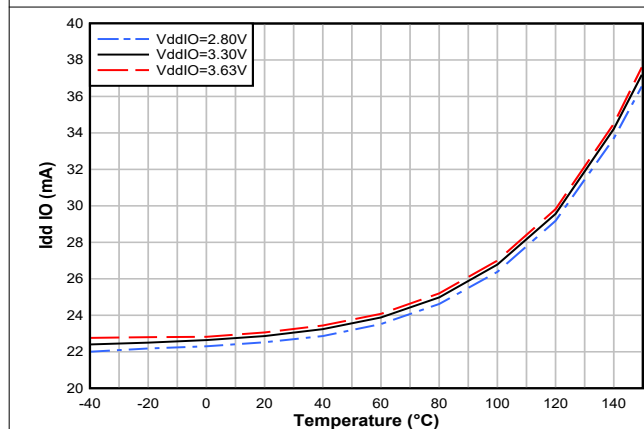


図 6-3. 電流と温度との関係 - IDLE モード

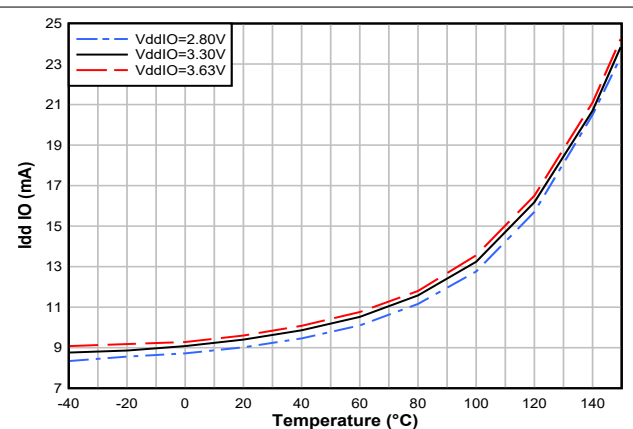


図 6-4. 電流と温度との関係 - STANDBY モード

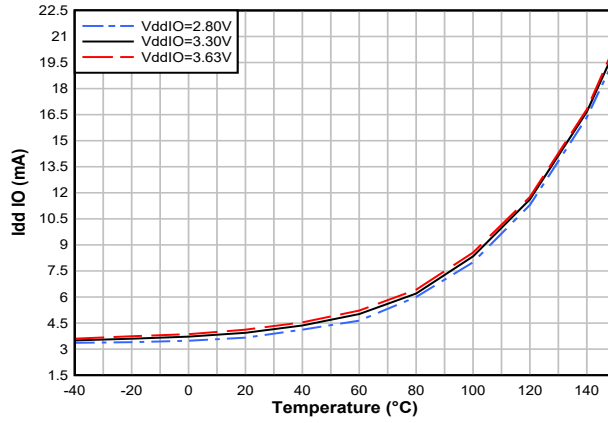


図 6-5. 電流と温度との関係 - HALT モード

6.5.5 消費電流の低減

F28003x デバイスには、デバイスの消費電流を低減する方法がいくつかあります。

- アプリケーションが動作していないときに、アイドルまたはスタンバイの 2 つの低消費電力モードのいずれかに移行できます。
- RAM からコードを実行する場合には、フラッシュ・モジュールの電源をオフにすることができます。
- 出力機能として設定されているピンのプルアップをディセーブルにします。
- 各ペリフェラルには、個別のクロック・イネーブル・ビット (PCLKCRx) があります。特定のアプリケーションで使用されていないペリフェラルについて、クロックをオフにすることにより、消費電流を低減できます。セクション 6.5.5.1 に、PCLKCRx レジスタを使用してクロックをディセーブルにすることにより実現できる、標準的な電流低減を示します。
- 低消費電力モードで最小の VDDA 消費電流を実現するには、『TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の A/D コンバータ (ADC) の章を参照して、各モジュールの電源が確実にオフになるようにしてください。

6.5.5.1 ディセーブルしたペリフェラルごとの標準的な電流低減

ペリフェラル	I _{DD} 電流の低減 (mA)
ADC ⁽¹⁾	0.73
CLA	0.56
CLA BGCRC	0.42
CLB	1.41
CMPSS ⁽¹⁾	0.33
CPU BGCRC	0.25
CPU タイマ	0.04
GPDAC	0.12
DCAN	1.28
DCC	0.12
DMA	0.57
eCAP1 および eCAP2	0.08
eCAP3 ⁽²⁾	0.29
ePWM1～ePWM4 ⁽³⁾	0.95
ePWM5～ePWM8	0.78
ERAD	1.56
eQEP	0.1
FSI RX	0.34
FSI TX	0.27
HIC	0.17
I2C	0.26
LIN	0.35
MCAN (CAN FD)	1.01
PMBUS	0.28
SCI	0.16
SDFM	1.83
SPI	0.08

(1) この数値は、各モジュールのデジタル部分で消費される電流を示しています。

(2) eCAP3 は、HRCAP として構成することもできます。

(3) ePWM1～ePWM4 は、HRPWM として構成することもできます。

6.6 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
デジタルおよびアナログ IO						
V _{OH}	High レベル出力電圧	I _{OH} = I _{OH} 最小値	VDDIO * 0.8			V
		I _{OH} = -100μA	VDDIO - 0.2			
V _{OL}	Low レベル出力電圧	I _{OL} = I _{OL} 最大値			0.4	V
		I _{OL} = 100μA			0.2	
I _{OH}	すべての出力ピンの High レベル出力ソース電流		-4			mA
I _{OL}	すべての出力ピンの Low レベル出力シンク電流				4	mA
R _{OH}	すべての出力ピンの High レベル出力インピーダンス		V _{OH} = VDDIO-0.4V		50 66	96 Ω
R _{OL}	すべての出力ピンの Low レベル出力インピーダンス		V _{OL} = 0.4V		48 60	84 Ω
V _{IH}	High レベル入力電圧		2.0			V
V _{IL}	Low レベル入力電圧				0.8	V
V _{HYSTERESIS}	入力ヒステリシス		125			mV
I _{PULLDOWN}	入力電流	プルダウン付きピン	VDDIO = 3.3V V _{IN} = VDDIO		120	μA
I _{PULLUP}	入力電流	プルアップがイネーブルされたデジタル入力 ⁽¹⁾	VDDIO = 3.3V V _{IN} = 0V		160	μA
R _{PULLDOWN}	弱プルダウン抵抗				22 31	62 kΩ
R _{PULLUP}	弱プルアップ抵抗				19 30	54 kΩ
I _{LEAK}	ピンのリーク電流	デジタル入力	プルアップおよび出力はディセーブル 0V ≤ V _{IN} ≤ VDDIO		0.1	μA
		アナログ・ピン (ADCINB3/VDAC を除く)	アナログ・ドライバはディセーブル 0V ≤ V _{IN} ≤ VDDA		0.1	
		ADCINB3/VDAC			0.2 4.4	
C _i	入力容量	デジタル入力			2	pF
		アナログ・ピン ⁽²⁾				
VREG, POR, BOR						
VREG, POR, BOR ⁽³⁾						

(1) プルアップまたはプルダウン付きピンのリストは、「内部プルアップおよびプルダウン付きピン」表を参照してください。

(2) アナログ・ピンは個別に規定されています。「ADC 入力モデル」セクションの「チャンネルごとの寄生容量」表を参照してください。

(3) 「パワー・マネージメント・モジュール (PMM)」セクションを参照してください。

6.7 PZ パッケージの熱抵抗特性

		°C/W ⁽¹⁾	エアフロー (lfm) ⁽²⁾
R _{θJC}	接合部からケースへの熱抵抗	7.6	該当なし
R _{θJB}	接合部から基板への熱抵抗	24.2	該当なし
R _{θJA} (High k PCB)	接合部から周囲空気への熱抵抗	46.1	0
R _{θJMA}	接合部から周囲空気流への熱抵抗	37.3	150
		34.8	250
		32.6	500
Psi _{JT}	接合部とパッケージ上面との間	0.2	0
		0.4	150
		0.4	250
		0.6	500
Psi _{JB}	接合部と基板との間	23.8	0
		22.8	150
		22.4	250
		21.9	500

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [R_{θJC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリアアレイ表面実装パッケージの熱測定用テスト基板』

(2) lfm = linear feet per minute (リニア・フィート毎分)

6.8 PN パッケージの熱抵抗特性

		°C/W ⁽¹⁾	エアフロー (lfm) ⁽²⁾
RO _{JC}	接合部からケースへの熱抵抗	14.2	該当なし
RO _{JB}	接合部から基板への熱抵抗	21.9	該当なし
RO _{JA} (High k PCB)	接合部から周囲空気への熱抵抗	49.9	0
		38.3	150
		36.7	250
		34.4	500
Psi _{JT}	接合部とパッケージ上面との間	0.8	0
		1.18	150
		1.34	250
		1.62	500
Psi _{JB}	接合部と基板との間	21.6	0
		20.7	150
		20.5	250
		20.1	500

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [RO_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリアアレイ表面実装パッケージの熱測定用テスト基板』

(2) lfm = linear feet per minute (リニア・フィート毎分)

6.9 PM パッケージの熱抵抗特性

		°C/W ⁽¹⁾	エアフロー (lfm) ⁽²⁾
RO _{JC}	接合部からケースへの熱抵抗	12.4	該当なし
RO _{JB}	接合部から基板への熱抵抗	25.6	該当なし
RO _{JA} (High k PCB)	接合部から周囲空気への熱抵抗	51.8	0
RO _{JMA}	接合部から周囲空気流への熱抵抗	42.2	150
		39.4	250
		36.5	500
Psi _{JT}	接合部とパッケージ上面との間	0.5	0
		0.9	150
		1.1	250
Psi _{JB}	接合部と基板との間	1.4	500
		25.1	0
		23.8	150
		23.4	250
		22.7	500

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [RO_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリアアレイ表面実装パッケージの熱測定用テスト基板』

(2) lfm = linear feet per minute (リニア・フィート毎分)

6.10 PT パッケージの熱抵抗特性

		°C/W ⁽¹⁾	エアフロー (lfm) ⁽²⁾
RO _{JC}	接合部からケースへの熱抵抗	16.2	該当なし
RO _{JB}	接合部から基板への熱抵抗	22.3	該当なし
RO _{JA} (High k PCB)	接合部から周囲空気への熱抵抗	56.7	0
		50.4	150
		48.2	250
		45	500
Psi _{JT}	接合部とパッケージ上面との間	0.7	0
		0.94	150
		1.1	250
		1.38	500
Psi _{JB}	接合部と基板との間	22	0
		28.7	150
		28.4	250
		28	500

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [RO_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリアアレイ表面実装パッケージの熱測定用テスト基板』

(2) lfm = linear feet per minute (リニア・フィート毎分)

6.11 熱設計の検討事項

最終アプリケーションの設計と動作プロファイルに応じて、I_{DD} および I_{DDIO} の電流は変動する可能性があります。最終製品において推奨最大消費電力を超えるシステムでは、追加の熱強化が必要になる場合があります。周囲温度 (T_A) は、最終アプリケーションおよび製品の設計によって異なります。信頼性と機能に影響を与える重要な要因は、周囲温度ではなく、接合部温度 T_J です。したがって、規定された制限範囲内に T_J を維持するように注意する必要があります。動作接合部温度 T_J を推定するためには、T_{case} を測定する必要があります。通常、T_{case} は、パッケージ上面の中央で測定します。サーマル・アプリケーション・レポート『[半導体および IC パッケージの熱評価基準](#)』は、熱評価基準および定義の理解に役立ちます。

6.12 システム

6.12.1 パワー・マネージメント・モジュール (PMM)

6.12.1.1 概要

パワー・マネージメント・モジュール (PMM) は、デバイスの動作に必要なすべてのパワー・マネージメント機能进行处理します。

6.12.1.2 概要

図 6-6 に、PMM のブロック図を示します。ご覧のように PMM は、さまざまなサブコンポーネントで構成されており、これについて以降のセクションで説明します。

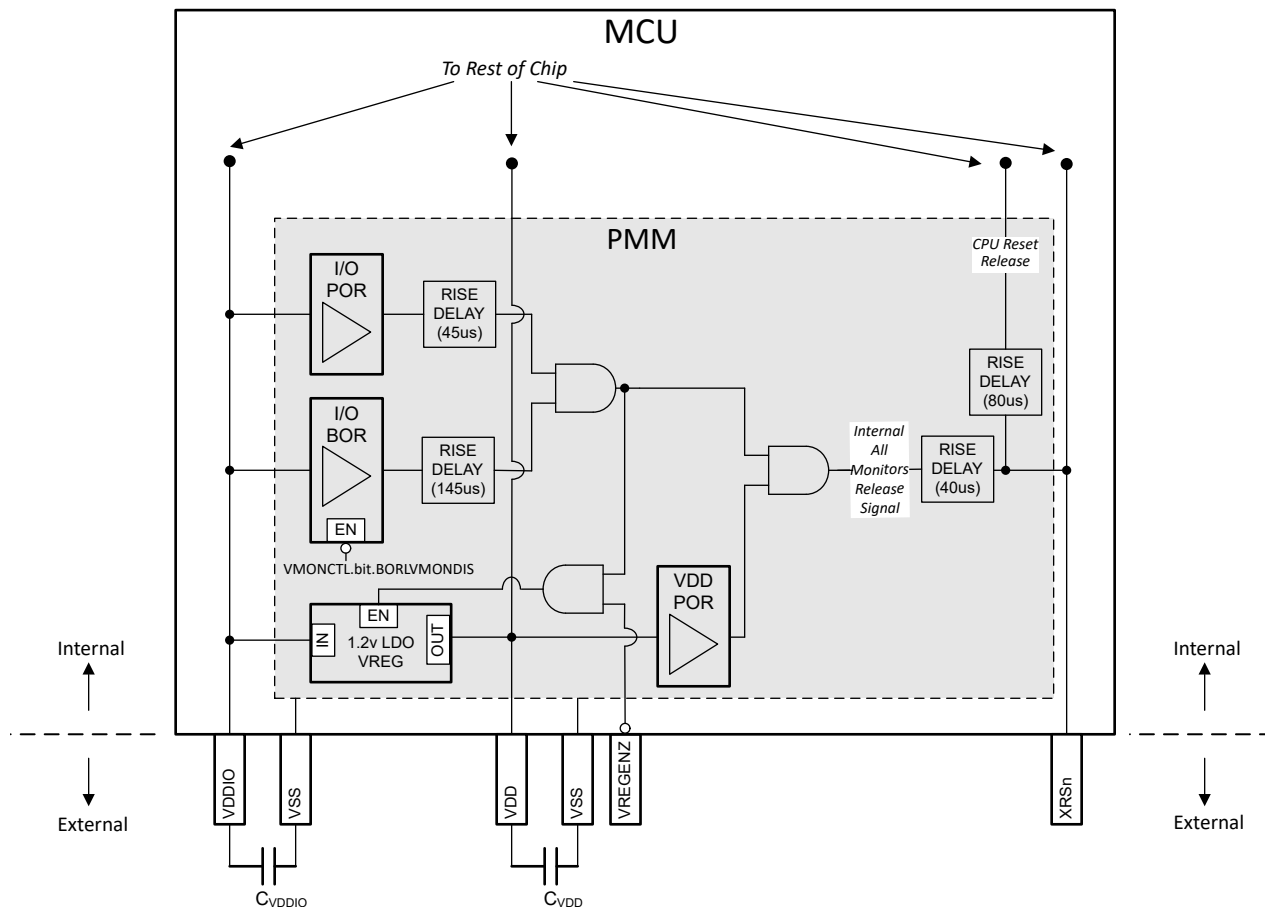


図 6-6. PWM のブロック図

6.12.1.2.1 電源レール監視

PMM には電源レールの電圧監視があり、パワーアップ時に電圧が設定したスレッショルドを超えると、XRSn 信号が解除されて HIGH になります。また、いずれかの電圧がプログラムされたレベルを下回った場合に、XRSn 信号を LOW にトリップする機能もあります。各種電圧監視については、以降のセクションで説明します。

注

ブートアップ後のアプリケーションでのデバイス動作に対して、すべての電圧監視がサポートされているわけではありません。電圧監視がサポートされていない場合、アプリケーション実行中にデバイスの電源電圧監視が必要であれば、外部監視回路を推奨します。

3つの電圧監視 (I/O POR、I/O BOR、VDD POR) はすべて、デバイスが動作を開始する前にそれぞれの出力が解除される必要があります (すなわち、XRSn が HIGH になります)。ただし、いずれかの電圧監視がトリップした場合、XRSn は LOW に駆動されます。いずれかの電圧監視がトリップすると、I/O は高インピーダンスに保持されます。

6.12.1.2.1.1 I/O POR (パワーオン・リセット) 監視

I/O POR 監視は、VDDIO レールを監視します。これは、電源投入時に VDDIO 上で最初に解除される監視機能です (すなわち、最初にトリップ解除されます)。

6.12.1.2.1.2 I/O BOR (ブラウンアウト・リセット) 監視

I/O BOR 監視も、VDDIO レールを監視します。これは、電源投入時に VDDIO 上で 2 番目に解除される監視です (すなわち、2 番目にトリップ解除されます)。この監視は、I/O POR と比較すると許容範囲がより狭くなっています。

推奨動作電圧を下回る電圧低下が発生すると、I/O BOR がトリップしてデバイスがリセットされますが、これは VMONCTL.bit.BORLVMONDIS を 1 に設定することでディセーブルできます。I/O BOR をディセーブルにできるのは、デバイスが完全に起動した後のみです。I/O BOR がディセーブルになっている場合、電圧降下に対しては I/O POR がデバイスをリセットします。

注

I/O POR がトリップするレベルは、VDDIO の最小推奨電圧よりも相当に低いので、デバイス監視には使用しないでください。

図 6-7 に、I/O BOR の動作領域を示します。

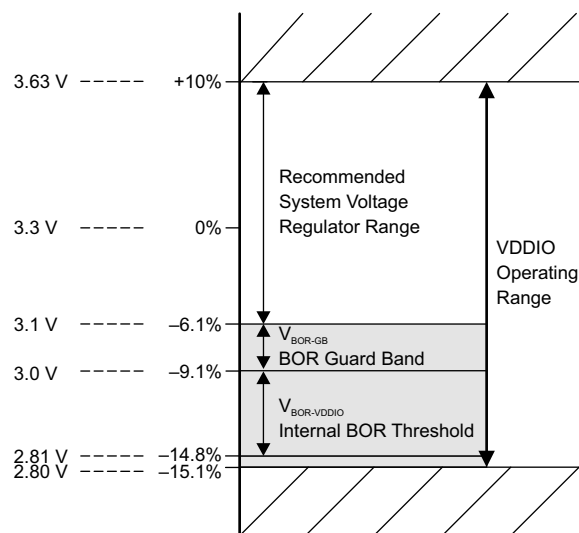


図 6-7. I/O BOR 動作領域

6.12.1.2.1.3 VDD POR (パワーオン・リセット) 監視

VDD POR 監視は、VDD レールを監視します。電源投入時に、電圧が VDD についてプログラムされたトリップ・レベルを超えると、この監視は解除されます (すなわち、トリップが解除されます)。

注

VDD POR は、VDD の最小推奨電圧よりも低いレベルにプログラムされているため、アプリケーションで VDD の最小推奨電圧が必要な場合は、VDD 監視に依存しないでください。

6.12.1.2.2 外部監視回路の使用

VDDIO 監視: I/O BOR はアプリケーションでの使用をサポートしているため、I/O レールの監視に外部監視回路は必要ありません。

VDD 監視:

- 内部 VREG から供給される VDD:VDD 電源は VDDIO 電源から生成されます。VREG は、有効な VDDIO 電源 (IO BOR で監視) が有効な VDD 電源を暗黙的に示すように設計されています。
- 外部電源から供給される VDD:VDD POR はアプリケーションでの使用をサポートしていません。アプリケーションで VDD 監視が必要な場合は、外部監視回路を使用して VDD レールを監視できます。

注

内部 VREG による外部監視回路はサポートされていません。アプリケーションで VDD 監視が必要な場合は、VREGENZ ピンを備えたパッケージを使用して VDD に外部から電力を供給する必要があります。

6.12.1.2.3 遅延ブロック

電圧モニタのパス内の遅延ブロックは連携して動作し、電圧モニタと XRSn の間の解放時間を遅延させます。この遅延は、外部 VREG モードで XRSn が解放されたときに確実に電圧が安定するように設計されています。遅延ブロックは、電源投入時 (すなわち、VDDIO および VDD が上昇しているとき) にのみアクティブになります。

遅延ブロックは、「[パワー・マネージメント・モジュールの電氣的データおよびタイミング](#)」で規定されている最小スルーレートに影響を与えます。

注

ブロック図に示されている遅延時間は、標準値です。

6.12.1.2.4 内部 1.2V LDO 電圧レギュレータ (VREG)

内部 VREG は VDDIO レールから供給され、VDD ピンへの電力供給に必要な 1.2V を生成できます。VREGENZ ピンを Low に接続することでイネーブルになります。内部 VREG により、VDD に外部電源を使用する必要はありませんが、VREG の安定性と過渡応答のために、VDD ピンにはデカップリング・コンデンサが必要です。詳細については、「[VDD デカップリング](#)」を参照してください。

6.12.1.2.5 VREGENZ

VREGENZ (VREG ディセーブル) ピンは、内部 VREG の状態を制御します。内部 VREG をイネーブルにするには、VREGENZ ピンをロジック Low の電圧に接続します。外部から VDD に電力を供給するアプリケーション (外部 VREG) では、VREGENZ ピンを High に接続して内部 VREG をディセーブルにします。

注

すべてのデバイス・パッケージで VREGENZ がピンへ接続されているわけではありません。VREGENZ なしのパッケージでは、外部 VREG モードはサポートされていません。

6.12.1.3 外付け部品

6.12.1.3.1 デカップリング・コンデンサ

正常に動作するためには、VDDIO および VDD にデカップリング・コンデンサが必要です。その要件については、以降のセクションで概要を説明します。

6.12.1.3.1.1 VDDIO デカップリング

VDDIO には、最小限のデカップリング容量を配置します。「[パワー・マネージメント・モジュールの電氣的データおよびタイミング](#)」の C_{VDDIO} パラメータを参照してください。使用するデカップリング容量の実際の合計値が、VDDIO を駆動する電源の要件です。以下に示す構成のどちらでも許容可能です。

- 構成 1: C_{VDDIO} パラメータに従って、各 VDDIO ピンにデカップリング・コンデンサを配置します。
- 構成 2: $[C_{VDDIO} \times \text{VDDIO ピンの数}]$ に相当する値の単一のデカップリング・コンデンサを実装します。

注

デカップリング・コンデンサは、デバイスのピンの近くに配置する必要があります。

6.12.1.3.1.2 VDD デカップリング

VDD には、最小限のデカップリング容量を配置します。「パワー・マネージメント・モジュールの電氣的データおよびタイミング」の C_{VDD} パラメータ合計値を参照してください。

外部 VREG モードの場合は、使用するデカップリング容量の実際の合計値が、VDD を駆動する電源の要件となります。

以下に示す構成のどちらでも許容可能です。

- **構成 1:** 合計 C_{VDD} の値を VDD ピン全体に分割します。
- **構成 2:** 合計 C_{VDD} の値を持つ単一のデカップリング・コンデンサを実装します。

注

デカップリング・コンデンサは、デバイスのピンの近くに配置する必要があります。

6.12.1.4 電源シーケンス

6.12.1.4.1 電源ピンの一括接続

すべての 3.3V レールを 1 つにまとめて接続し、単一の電源から電力を供給することを強く推奨します。その電源ピンを以下に示します。

- VDDIO
- VDDA

また、未接続のままにしないように、すべての電源ピンを接続します。

外部 VREG モードでは、VDD ピンを 1 つにまとめて接続し、単一の電源から電力を供給する必要があります。

内部 VREG モードでは、各 VDD ピンにコンデンサが接続されていれば、VDD ピンを 1 つにまとめて接続することは任意です。VDD デカップリングの構成については、「VDD デカップリング」セクションを参照してください。

このデバイスのアナログ・モジュールは、PSRR がかなり高いため、ほとんどの場合、VDDA のノイズが電源レールの推奨動作条件を超えない限り、アナログ・モジュールの性能低下は起こりません。したがって、通常は、VDDA を別に供給してもあまり利点はありません。ただし、ノイズの改善のために、VDDIO と VDDA の間に π 型フィルタを配置することは許容されます。

注

レールごとのすべての電源ピンは、内部で互いに接続されています。たとえば、すべての VDDIO ピンが内部で互いに接続され、すべての VDD ピンが内部で互いに接続されます。

6.12.1.4.2 信号ピンの電源シーケンス

デバイスに電源を供給する前に、いずれかのデジタル・ピンに、VDDIO より 0.3V 上回る電圧または VSS より 0.3V 下回る電圧を印加しないでください。また、いずれかのアナログ・ピン (VREFHI および VDAC を含む) に、VDDA より 0.3V 上回る電圧または VSSA より 0.3V 下回る電圧を印加しないでください。要するに、すべての 3.3V レールが互いに接続されているとすれば、信号ピンを駆動するのは、XRSn が High になった後にしなければなりません。VDDIO と VDDA が互いに接続されていない場合であっても、このシーケンシングは、やはり必要です。

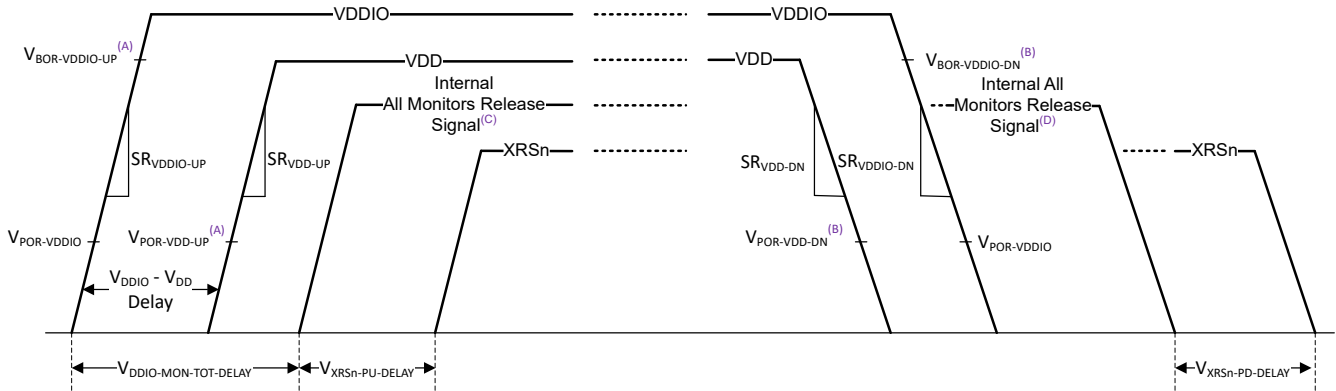
注意

上記のシーケンスに違反した場合、デバイスが誤動作したり、デバイス内の意図しない寄生パスを電流が流れるために損傷したりする可能性があります。

6.12.1.4.3 電源ピンの電源シーケンス

6.12.1.4.3.1 外部 VREG / VDD モード・シーケンス

図 6-8 に、外部 VREG モードの電源シーケンス要件を示します。表示されているすべてのパラメータの値については、[パワー・マネージメント・モジュールの電氣的データおよびタイミング](#) を参照してください。



- A. このトリップ・ポイントは、XRSn が解除される前のトリップ・ポイントです。「パワー・マネージメント・モジュールの特性」表を参照してください。
- B. このトリップ・ポイントは、XRSn が解除された後のトリップ・ポイントです。「パワー・マネージメント・モジュールの特性」表を参照してください。
- C. パワーアップ中に、すべての POR および BOR 監視が解除されると、全監視解除信号が High になります。PMM ブロック図を参照してください。
- D. パワーダウン中に、POR または BOR 監視のいずれかがトリップされると、全監視解除信号が Low になります。PMM ブロック図を参照してください。

図 6-8. 外部 VREG パワーアップ・シーケンス

・ パワーアップ:

1. VDDIO (すなわち 3.3V レール) は、規定された最小スルーレートで最初に立ち上がる必要があります。
2. VDD (すなわち 1.2V レール) は、規定された最小スルーレートで次に立ち上がる必要があります。
3. VDDIO レールの立ち上がりから VDD レールの立ち上がりまでの時間差も規定されています。
4. $V_{DDIO-MON-TOT-DELAY}$ および $V_{XRSn-PD-DELAY}$ で規定された時間が経過すると、XRSn が解放され、デバイスはブートアップ・シーケンスを開始します。

XRSn の解放 (すなわち High になる) とブートアップ・シーケンスの開始の間には、さらに遅延があります。図 6-6 を参照してください。

5. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース・ポイントが異なります。
6. パワーアップ時には、XRSn が開放される前に VDDIO と VDD の両方のレールが立ち上がっている必要があります。

・ パワーダウン:

1. VDDIO と VDD のどちらが先にパワーダウンするという要件はありませんが、最小スルーレートの規定があります。
2. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース・ポイントが異なります。
3. パワーダウン中に POR または BOR 監視のいずれかがトリップすると、 $V_{XRSn-PD-DELAY}$ の後、XRSn が Low になります。

注

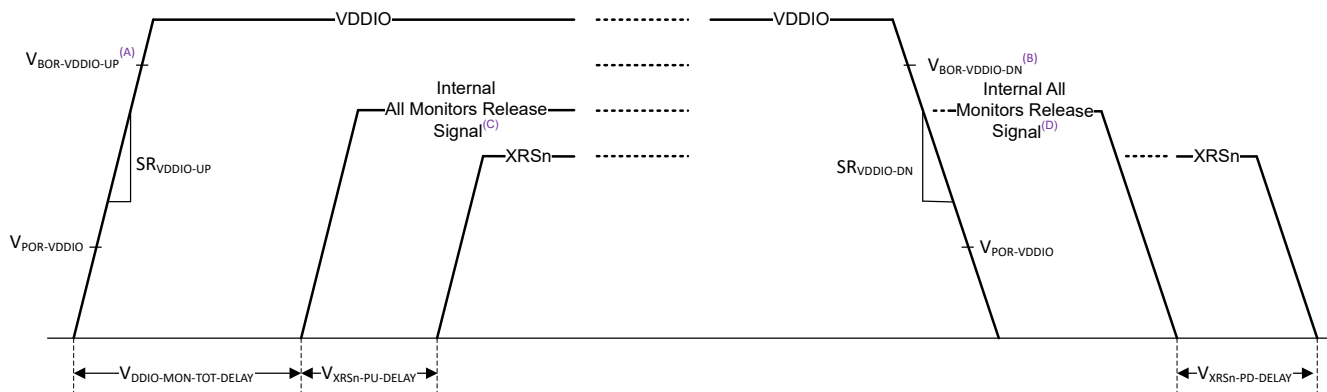
全監視解除信号は、内部信号です。

注

XRSn を駆動する外部回路 (たとえば、電源監視回路) が存在する場合、すべての内部および外部ソースによって XRSn ピンが解放されるまで、ブートアップ・シーケンスは開始されません。

6.12.1.4.3.2 内部 VREG/VDD モード・シーケンス

図 6-9 に、内部 VREG モードの電源シーケンス要件を示します。表示されているすべてのパラメータの値は、「パワー・マネージメント・モジュールの電氣的データおよびタイミング」に記載されています。



- A. このトリップ・ポイントは、XRSn が解除される前のトリップ・ポイントです。「パワー・マネージメント・モジュールの特性」表を参照してください。
- B. このトリップ・ポイントは、XRSn が解除された後のトリップ・ポイントです。「パワー・マネージメント・モジュールの特性」表を参照してください。
- C. パワーアップ中に、すべての POR および BOR 監視が解除されると、全監視解除信号が High になります。PMM ブロック図を参照してください。
- D. パワーダウン中に、POR または BOR 監視のいずれかがトリップされると、全監視解除信号が Low になります。PMM ブロック図を参照してください。

図 6-9. 内部 VREG パワーアップ・シーケンス

• パワーアップ:

- VDDIO (すなわち 3.3V レール) は、規定された最小スルーレートで立ち上がる必要があります。
- I/O 監視 (I/O POR および I/O BOR) が解除されると、内部 VREG が起動します。
- $V_{DDIO-MON-TOT-DELAY}$ および $V_{XRSN-PU-DELAY}$ で規定された時間が経過すると、XRSn が解放され、デバイスはブートアップ・シーケンスを開始します。

XRSn の解放 (すなわち High になる) とブートアップ・シーケンスの開始の間には、さらに遅延があります。図 6-6 を参照してください。

- I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース・ポイントが異なります。

• パワーダウン:

- パワーダウン時の VDDIO に対する唯一の要件は、スルーレートです。
- I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース・ポイントが異なります。
- I/O BOR トリップにより、 $V_{XRSN-PD-DELAY}$ 後に XRSn が Low になり、また、内部 VREG がパワーダウンされます。

注

全監視解除信号は、内部信号です。

注

XRSn を駆動する外部回路 (たとえば、電源監視回路) が存在する場合、すべての内部および外部ソースによって XRSn ピンが解放されるまで、ブートアップ・シーケンスは開始されません。

6.12.1.4.3.3 電源シーケンスの概要と違反の影響

レールで許容されるパワーアップ・シーケンスを以下にまとめます。ここで「パワーアップ」とは、対象のレールが推奨される最小動作電圧に達したことを意味します。

注意

許容されないシーケンスは、信頼性に関する問題を引き起こし、場合によっては損傷が発生する可能性があります。

単純化のため、すべての 3.3V レールを互いに接続して、「電源ピンの電源シーケンス」の説明に従うことを推奨します。

表 6-1. 外部 VREG シーケンスの概要

事例	レールのパワーアップ順序			許容可否
	VDDIO	VDDA	VDD	
A	1	2	3	可能
B	1	3	2	可能
C	2	1	3	-
D	2	3	1	-
E	3	2	1	-
F	3	1	2	-
G	1	1	2	可能
H	2	2	1	-

表 6-2. 内部 VREG シーケンスの概要

事例	レールのパワーアップ順序		許容可否
	VDDIO	VDDA	
A	1	2	可能
B	2	1	-
C	1	1	可能

注

デバイスのアナログ・モジュールは、VDDA が推奨される最小動作電圧に達した後でのみ電力供給できます。

6.12.1.4.3.4 電源スルーレート

VDDIO には最小スルーレート要件があります。最小スルーレートが満たされていない場合、XRSn は、VDDIO が I/O BOR 領域を超えるまで数回トグルすることがあります。

注

XRSn が安定して High になった状態でのみブートが開始されるので、XRSn のトグルはデバイスに悪影響を及ぼしません。ただし、デバイスの XRSn を使用して他の IC のリセット信号をゲートする場合は、このトグルを防止するためにスルーレート要件を満たす必要があります。

外部 VREG モードの場合、VDD には最小スルーレート要件があります。最小スルーレートが満たされていない場合、VDD が最小動作電圧に達する前に VDD POR が解放され、デバイスが適切にリセットされた状態で起動しない可能性があります。

6.12.1.5 パワー・マネージメント・モジュールの電氣的データおよびタイミング

6.12.1.5.1 パワー・マネージメント・モジュールの動作条件

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
全般						
C_{VDDIO} (1) (2)	ピンごとの VDDIO 容量(7)		0.1			μF
C_{VDDA} (1) (2)	ピンごとの VDDA 容量(7)		2.2			μF
$SR_{VDDIO-UP}$ (3)	3.3V レールの電源上昇速度 (VDDIO)		8		100	mV/ μs
$SR_{VDDIO-DN}$ (3)	3.3V レールの電源下降速度 (VDDIO)		20		100	mV/ μs
$V_{BOR-VDDIO-GB}$ (5)	VDDIO ブラウンアウト・リセット電圧ガードバンド			0.1		V
外部 VREG						
$C_{VDD\ TOTAL}$ (1) (4)	合計 VDD 容量(7)		10			μF
SR_{VDD-UP} (3)	1.2V レールの電源上昇速度 (VDD)		3.5		100	mV/ μs
SR_{VDD-DN} (3)	1.2V レールの電源下降速度 (VDD)		10		100	mV/ μs
$V_{DDIO} - V_{DD}$ 遅延 (6)	VDDIO と VDD の間の上昇下降遅延		0		制限なし	μs
内部 VREG						
$C_{VDD\ TOTAL}$ (4)	合計 VDD 容量(7)		10		26.8	μF

- (1) デカップリング容量の正確な値は、これらのピンに電力を供給するシステム電圧レギュレーション・ソリューションによって決まります。
- (2) 3.3V レール (VDDIO、VDDA) は互いに接続し、単一の電源から供給することを推奨します。
- (3) 「電源スルーレート」セクションを参照してください。電源上昇下降速度が最大値よりも速いと、オンチップ ESD 保護がトリガされる可能性があります。
- (4) デカップリング容量全体の可能な構成については、「パワー・マネージメント・モジュール (PMM)」のセクションを参照してください。
- (5) 3.3V VDDIO システム・レギュレータにおいて、通常の電源ノイズまたは負荷過渡イベントによって BOR-VDDIO リセットが発生することを回避するため、テキサス・インスツルメンツは $V_{BOR-VDDIO-GB}$ を推奨します。通常のデバイス動作時に BOR-VDDIO がアクティブになることを防止するためには、優れたシステム・レギュレータ設計および (システム・レギュレータの仕様に従った) デカップリング容量が重要です。 $V_{BOR-VDDIO-GB}$ の値は、システム・レベルの設計上の考慮事項であり、ここには、多くのアプリケーションについて一般的な電圧を示しています。
- (6) 3.3V レールが上昇してから、1.2V レールが上昇するまでの遅延。許容される電源上昇下降シーケンスについては、「VREG シーケンスの概要」表を参照してください。
- (7) コンデンサの最大許容誤差は 20% にする必要があります。

6.12.1.5.2 パワー・マネージメント・モジュールの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{VREG}	内部電圧レギュレータ出力		1.14	1.2	1.32	V
$V_{VREG-PU}$	内部電圧レギュレータのパワーアップ時間				350	μs
$V_{VREG-INRUSH}$ (5)	内部電圧レギュレータの突入電流			650		mA
$V_{POR-VDDIO}$	VDDIO パワーオン・リセット電圧	XRSn 解除前および解除後		2.3		V
$V_{BOR-VDDIO-UP}$ (1)	上昇時の VDDIO ブラウンアウト・リセット電圧	XRSn 解除前		2.7		V
$V_{BOR-VDDIO-DN}$ (1)	下降時の VDDIO ブラウンアウト・リセット電圧	XRSn 解除後	2.81		3.0	V

6.12.1.5.2 パワー・マネージメント・モジュールの特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\text{POR-VDD-UP}}$ (2)	上昇時の VDD パワー・オン・リセット電圧	XRSn 解除前		1		V
$V_{\text{POR-VDD-DN}}$ (2)	下降時の VDD パワー・オン・リセット電圧	XRSn 解除後		1		V
$V_{\text{XRSn-PU-DELAY}}$ (3)	パワーアップ時の電源上昇から XRSn 解除までの遅延	これが最終的な遅延です		40		μs
$V_{\text{XRSn-PD-DELAY}}$ (4)	パワーダウン時の電源下降から XRSn トリップまでの遅延			2		μs
$V_{\text{DDIO-MON-TOT-DELAY}}$	VDDIO 監視のパスにおける合計遅延 (POR、BOR)			145		μs
$V_{\text{XRSn-MON-RELEASE-DELAY}}$	VDD POR イベントから XRSn 解除までの遅延	電源は動作範囲内		40		μs
	VDDIO BOR から XRSn 解除までの遅延			140		μs
	VDDIO POR イベントから XRSn 解除までの遅延			185		μs

- (1) 「電源電圧」の図を参照してください。
- (2) $V_{\text{POR-VDD}}$ はサポートされておらず、推奨動作条件を下回るレベルでトリップするように設定されています。VDD の監視が必要な場合は、外部監視回路が必要です。
- (3) 電源は、それぞれのレールの推奨最小動作条件を超えた後、完全に上昇したと見なされます。この遅延が有効になる前に、すべての POR および BOR 監視が解除される必要があります。RC ネットワーク遅延がこの値に加算されます。
- (4) パワーダウン時に POR または BOR 監視がトリップすると、XRSn が直ちにトリップされます。この遅延時間は、POR、BOR 監視のどちらかのトリップから XRSn が Low になるまでの時間です。これは変動する可能性があり、電源の下降速度に依存します。RC ネットワーク遅延がこの値に加算されます。
- (5) これは、内部 VREG がオンになったときに VDDIO レールに流れる過渡電流です。これにより、VREG がオンになると VDDIO レールに電圧降下が発生する可能性があり、その結果、VREG がステップ状に上昇する可能性があります。これによるデバイスへの悪影響はありませんが、必要があれば、VDDIO に十分なデカップリング コンデンサを使用するか、この過渡電流を供給できる LDO/DC-DC を選択することで効果を低減できます。

電源電圧

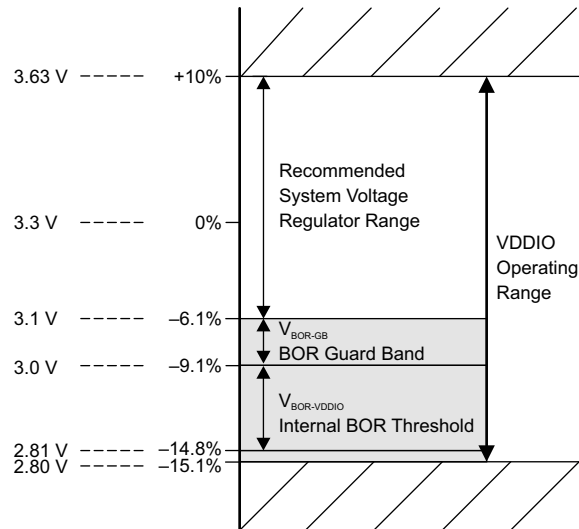


図 6-10. 電源電圧

6.12.2 リセット・タイミング

XRSn は、デバイスのリセット・ピンです。入力およびオープン・ドレイン出力として機能します。このデバイスでは、パワーオン・リセット (POR) およびブラウンアウト・リセット (BOR) の監視回路を内蔵しています。電源投入時は、この監視回路が XRSn ピンを Low に駆動します。詳細については、「パワー・マネージメント・モジュール (PMM)」セクションを参照してください。ウォッチドッグ・リセットまたは NMI ウォッチドッグ・リセットも、このピンを Low に駆動します。外部のオープン・ドレイン回路によりピンを駆動して、デバイス・リセットをアサートすることもできます。

XRSn と VDDIO の間に 2.2kΩ～10kΩ の抵抗を配置する必要があります。ノイズ・フィルタリングのため、XRSn と VSS の間にコンデンサを配置します。容量は 100nF 以下にする必要があります。これらの値は、ウォッチドッグ・リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを V_{OL} に正しく駆動できるように決められています。図 6-11 に、リセットの推奨回路を示します。

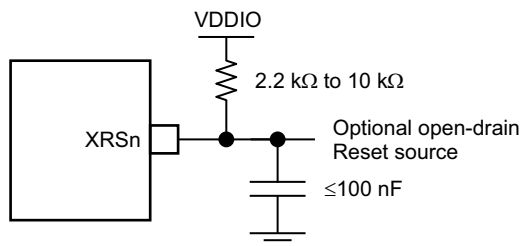


図 6-11. リセット回路

6.12.2.1 リセット・ソース

「リセット信号」表に、各種のリセット信号と、デバイスへの影響をまとめます。

表 6-3. リセット信号

リセット・ソース	CPU コアのリセット (C28x, FPU, TMU)	パリアフェラルの リセット	JTAG / デバッグ・ロ ジックのリセット	IO	XRS 出力
POR	あり	あり	あり	ハイ・インピー ダンス	あり
BOR	あり	あり	あり	ハイ・インピー ダンス	あり
XRS ピン	あり	あり	なし	ハイ・インピー ダンス	-
WDRS	あり	あり	なし	ハイ・インピー ダンス	あり
NMIWDRS	あり	あり	なし	ハイ・インピー ダンス	あり
SYSRS (デバッグ・リセット)	あり	あり	なし	ハイ・インピー ダンス	なし
SCCRESET	あり	あり	なし	ハイ・インピー ダンス	なし
SIMRESET.XRS	あり	あり	なし	ハイ・インピー ダンス	あり
SIMRESET.CPU1RS	あり	あり	なし	ハイ・インピー ダンス	なし
HWBISTRS	あり	なし	なし	なし	なし

パラメータ $t_{h(\text{boot-mode})}$ は、これらのソースから開始されたいずれのリセットにも対応する必要があります。

『TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「システム制御」の章にある「リセット」セクションを参照してください。

注意

一部のリセット・ソースはデバイスによって内部で駆動されます。これらのソースの一部は **XRSn** を **Low** に駆動します。これを使って、ブート・ピンを駆動する他のデバイスをディセーブルにします。**SCCRESET** およびデバッガのリセット・ソースは、**XRSn** を駆動しません。したがって、ブート・モードに使用されるピンが、システム内の他のデバイスによってアクティブに駆動されないようにする必要があります。ブート構成には、**OTP** でブート・ピンを変更できる機能があります。

6.12.2.2 リセットの電気的データおよびタイミング

6.12.2.2.1 リセット - XRSn - タイミング要件

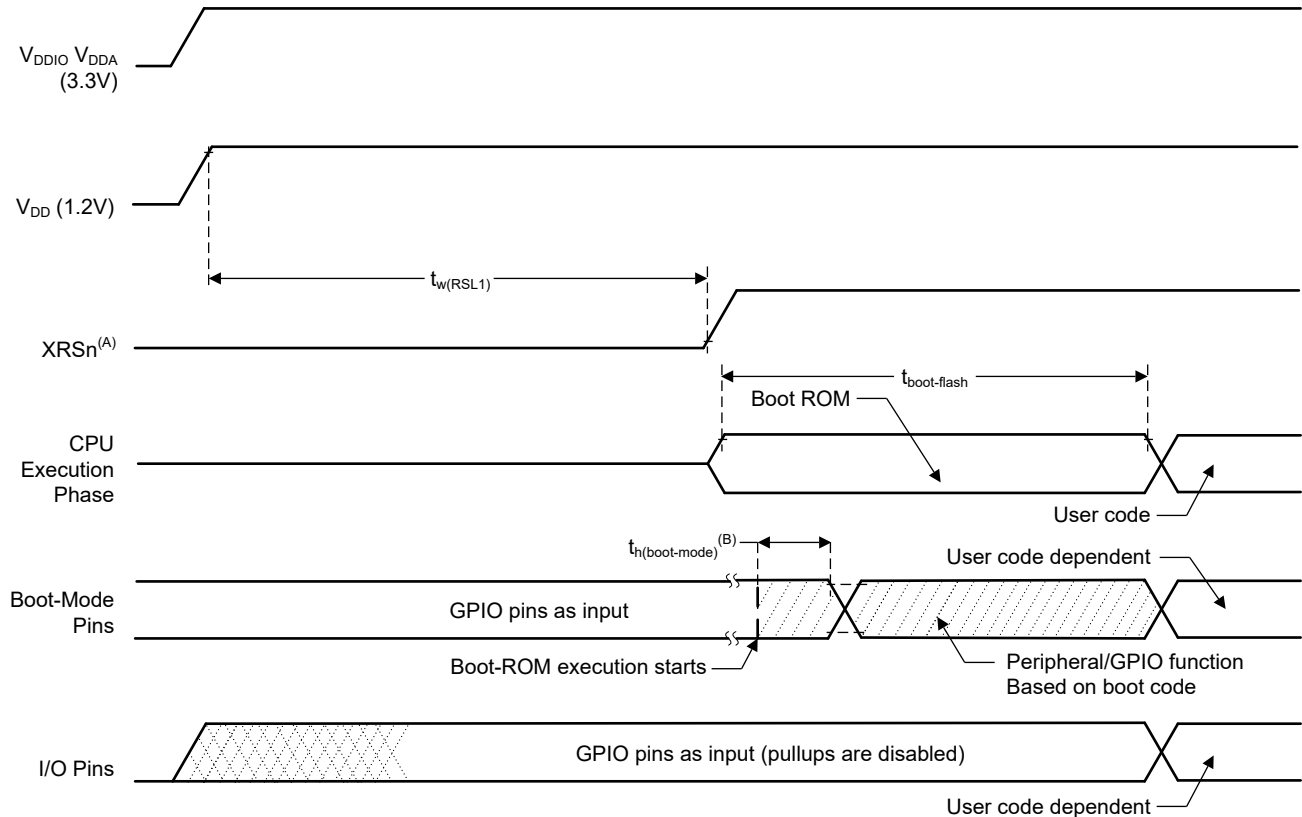
		最小値	最大値	単位
$t_h(\text{boot-mode})$	ブート・モード・ピンのホールド時間	1.5		ms
$t_w(\text{RSL2})$	パルス幅。ウォーム・リセット時の XRSn Low	3.2		μs

6.12.2.2.2 リセット - XRSn - スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

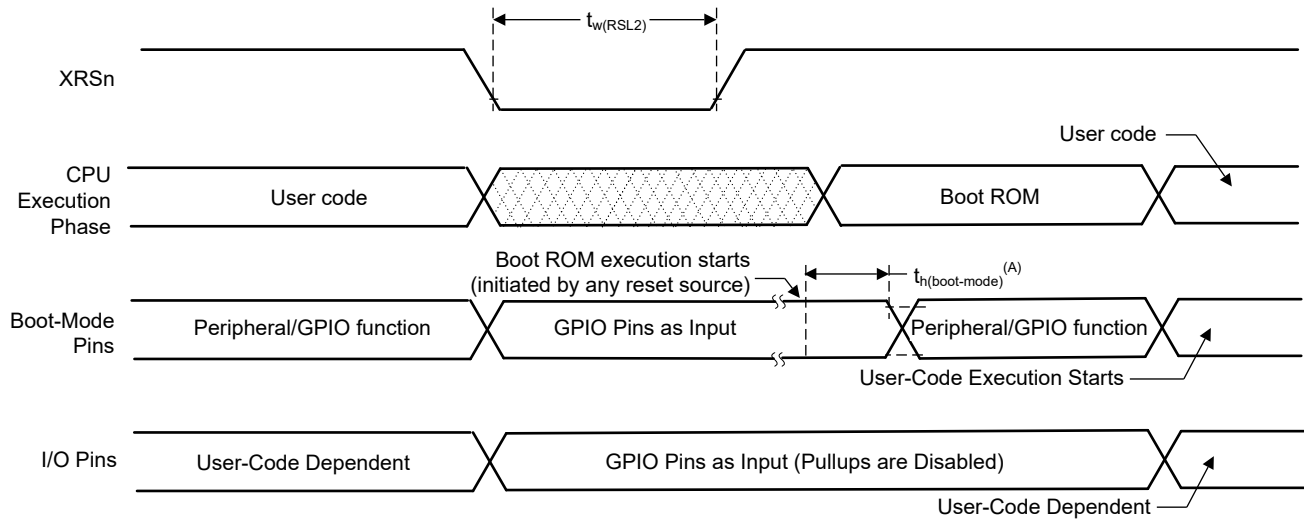
パラメータ		最小値	標準値	最大値	単位
$t_w(\text{RSL1})$	パルス幅。電源が安定した後、デバイスが XRSn を Low に駆動している期間		100		μs
$t_w(\text{WDRS})$	パルス幅。ウォッチドッグによって生成されるリセット・パルス		$512t_{c(\text{OSCCCLK})}$		サイクル
$t_{\text{boot-flash}}$	フラッシュ内での最初の命令フェッチまでのブート ROM 実行時間			1.2	ms

6.12.2.2.3 リセットのタイミング図



- A. XRSn ピンは、外部のスーパーバイザまたはプルアップ抵抗によって駆動することができます。「ピン属性」の表を参照してください。オンチップのモニターは、電源が有効範囲になるまでこのピンを Low に保持します。
- B. いずれかのソースからリセットした後 (「リセット要因」セクションを参照)、ブート ROM コードは、ブート・モード・ピンをサンプリングします。ブート・モード・ピンの状態に基づいて、ブート・コードは、飛び先のメモリまたはブート・コード関数に分岐します。(デバッグ環境で) パワーオン状態の後にブート ROM コードが実行される場合、ブート・コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 6-12. パワーオン・リセット



- A. いずれかのソースからリセットした後（「リセット要因」セクションを参照）、ブート ROM コードは、ブート・モード・ピンをサンプリングします。ブート・モード・ピンの状態に基づいて、ブート・コードは、飛び先のメモリまたはブート・コード関数に分岐します。（デバッグ環境で）パワーオン状態の後にブート ROM コードが実行される場合、ブート・コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 6-13. ウォーム・リセット

6.12.3 クロック仕様

6.12.3.1 クロック・ソース

表 6-4. 使用可能な基準クロック・ソース

クロック・ソース	説明
INTOSC1	内部発振器 1。 ゼロピン・オーバーヘッド 10MHz 内部発振器。
INTOSC2 ⁽¹⁾	内部発振器 2。 ゼロピン・オーバーヘッド 10MHz 内部発振器。
X1 (XTAL)	X1 ピンと X2 ピンの間に接続された外付け水晶振動子もしくは発振子、または X1 ピンに接続されたシングルエンド・クロック。

(1) リセット時、内部発振器 2 (INTOSC2) は、PLL (OSCCLK) のデフォルト・クロック・ソースになっています。

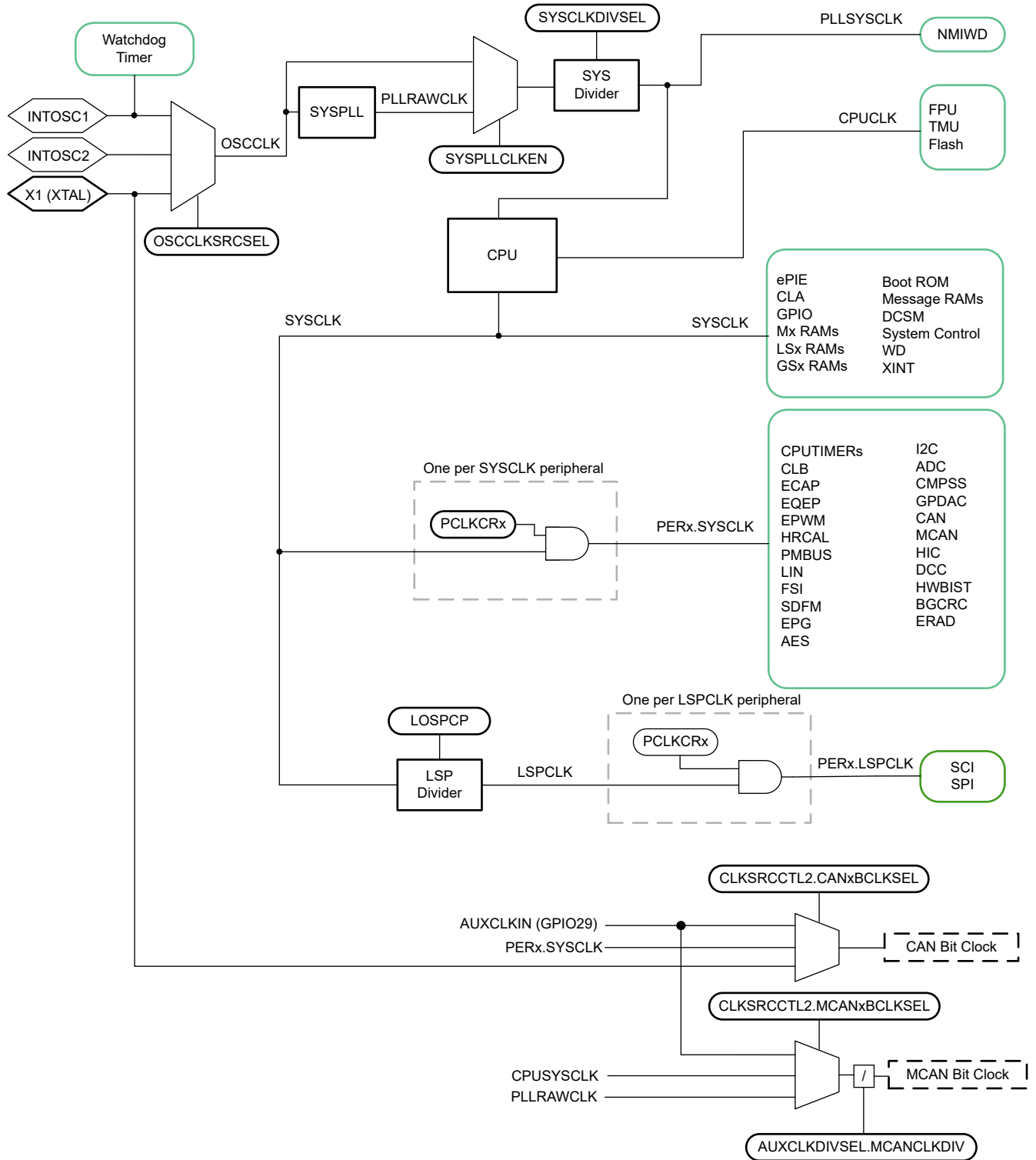


図 6-14. クロック供給システム

SYSPLL

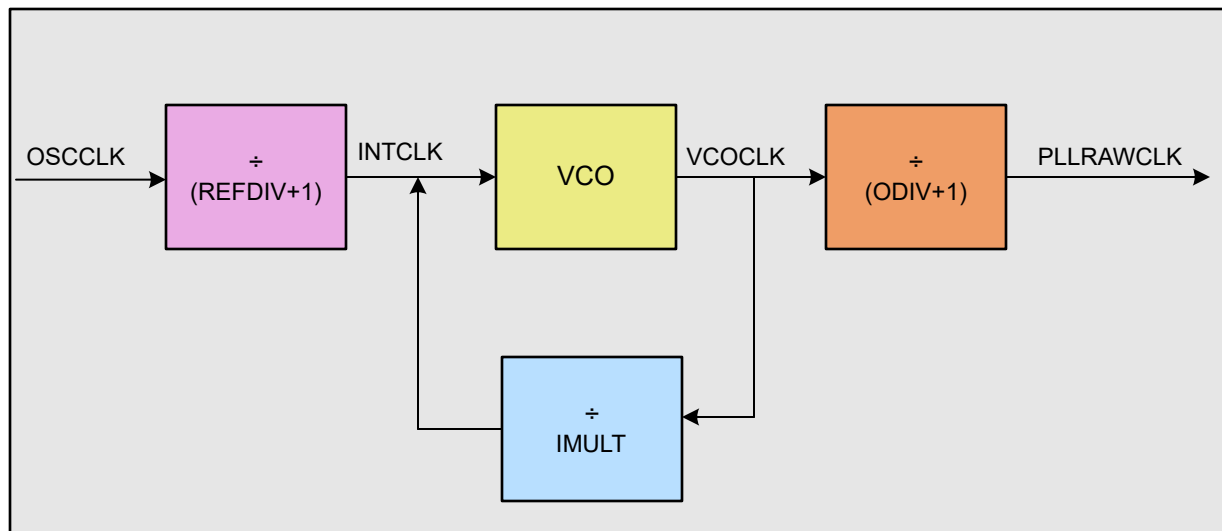


図 6-15. システム PLL

システム PLL の図:

$$f_{PLLRAWCLK} = \frac{f_{OSCCLK}}{(REFDIV + 1)} \times \frac{IMULT}{(ODIV + 1)} \quad (1)$$

6.12.3.2 クロック周波数、要件、および特性

このセクションでは、入力クロックの周波数およびタイミング要件、PLL ロック時間、内部クロックの周波数、出力クロックの周波数およびスイッチング特性について説明します。

6.12.3.2.1 入力クロック周波数およびタイミング要件、PLL ロック時間

6.12.3.2.1.1 入力クロック周波数

		最小値	最大値	単位
$f_{(XTAL)}$	外付け水晶振動子または発振子からの周波数、X1/X2	10	20	MHz
$f_{(X1)}$	外部発振器からの周波数、X1	10	25	MHz
$f_{(AUX1)}$	外部発振器からの周波数、AUXCLKIN	10	60	MHz

6.12.3.2.1.2 XTAL 発振器の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
X1 V_{IL}	有効 Low レベル入力電圧 (コンパレータ)	-0.3		$0.3 * V_{DDIO}$	V
X1 V_{IH}	有効 High レベル入力電圧 (コンパレータ)	$0.7 * V_{DDIO}$		$V_{DDIO} + 0.3$	V

6.12.3.2.1.3 水晶振動子ではない外部のクロック・ソース使用時の X1 入力レベルの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
X1 V_{IL}	有効 Low レベル入力電圧 (バッファ)	-0.3	$0.3 * V_{DDIO}$	V
X1 V_{IH}	有効 High レベル入力電圧 (バッファ)	$0.7 * V_{DDIO}$	$V_{DDIO} + 0.3$	V

6.12.3.2.1.4 X1 のタイミング要件

		最小値	最大値	単位
$t_{f(X1)}$	立ち下がり時間、X1		6	ns
$t_{r(X1)}$	立ち上がり時間、X1		6	ns
$t_{w(X1L)}$	パルス幅、 $t_{c(X1)}$ のうち X1 が Low の割合	45%	55%	
$t_{w(X1H)}$	パルス幅、 $t_{c(X1)}$ のうち X1 が High の割合	45%	55%	

6.12.3.2.1.5 AUXCLKIN のタイミング要件

		最小値	最大値	単位
$t_{f(AUX1)}$	立ち下がり時間、AUXCLKIN		6	ns
$t_{r(AUX1)}$	立ち上がり時間、AUXCLKIN		6	ns
$t_{w(AUXL)}$	パルス幅、 $t_{c(XC1)}$ のうち AUXCLKIN が Low の割合	45%	55%	
$t_{w(AUXH)}$	パルス幅、 $t_{c(XC1)}$ のうち AUXCLKIN が High の割合	45%	55%	

6.12.3.2.1.6 APLL 特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	最小値	標準値	最大値	単位
PLL ロック時間				
SYS PLL ロック時間 ⁽¹⁾			$5\mu s + (1024 * (REFDIV + 1) * t_{c(OSCCLK)})$	μs

- (1) ここでの PLL ロック時間は、PLL がイネーブルになった後に PLL がロックするまでの、標準所要時間を定義しています (SYSPLLCTL1[PLLENA] = 1)。デュアル・クロック・コンパレータ (DCC) を使用した PLL クロックの確認に要する追加の時間は、ここでは考慮されません。

れていません。PLL の初期化には、C2000Ware の最新のサンプル・ソフトウェアを使用することを推奨します。システム PLL については、InitSysPll() または SysCtl_setClock() を参照してください。

6.12.3.2.1.7 XCLKOUT のスイッチング特性 - PLL バイパスまたはイネーブル

推奨動作条件範囲内 (特に記述のない限り)

パラメータ ⁽¹⁾		最小値	最大値	単位
$t_f(XCO)$	立ち下がり時間、XCLKOUT		5	ns
$t_r(XCO)$	立ち上がり時間、XCLKOUT		5	ns
$t_w(XCOL)$	パルス幅、XCLKOUT Low	H - 2 ⁽²⁾	H + 2 ⁽²⁾	ns
$t_w(XCOH)$	パルス幅、XCLKOUT High	H - 2 ⁽²⁾	H + 2 ⁽²⁾	ns
$f(XCO)$	周波数、XCLKOUT		50	MHz

(1) これらのパラメータでは、40pF の負荷を想定しています。

(2) $H = 0.5t_c(XCO)$

6.12.3.2.1.8 内部クロック周波数

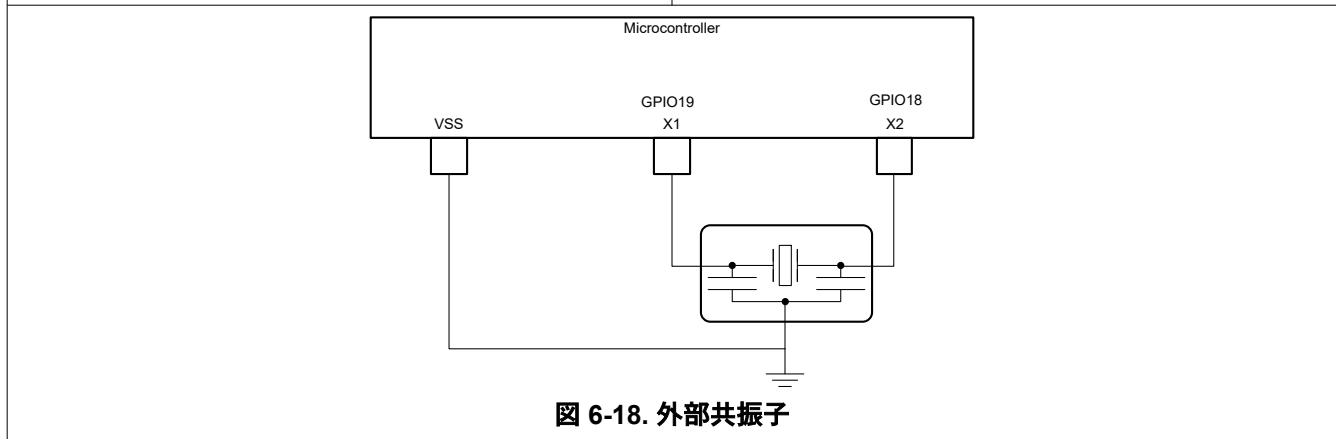
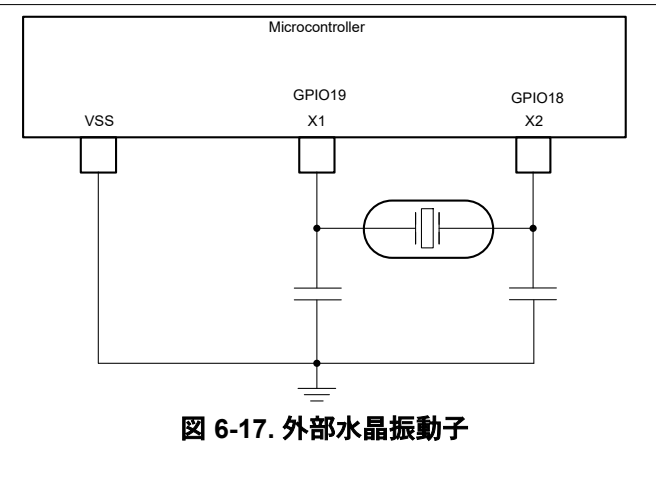
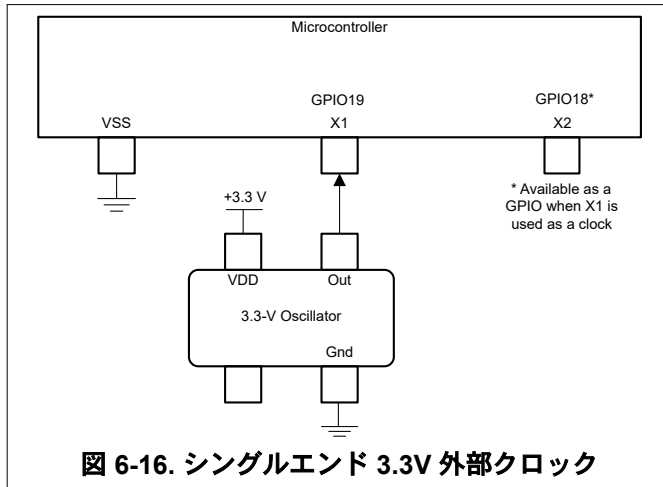
		最小値	公称値	最大値	単位
$f_{(SYSCLK)}$	周波数、デバイス (システム) クロック	2		120	MHz
$t_{c(SYSCLK)}$	周期、デバイス (システム) クロック	8.33		500	ns
$f_{(INTCLK)}$	周波数、システム PLL が VCO に移行 (REFDIV 後)	2		20	MHz
$f_{(VCOCLK)}$	周波数、システム PLL は VCO (ODIV 前)	220		600	MHz
$f_{(PLLRAWCLK)}$	周波数、システム PLL 出力 (SYSCLK 分周器より前)	6		240	MHz
$f_{(PLL)}$	周波数、PLLSYSCLK	2		120	MHz
$f_{(PLL_LIMP)}$	周波数、PLL のリンプ周波数 ⁽¹⁾		45/(ODIV + 1)		MHz
$f_{(LSP)}$	周波数、LSPCLK	2		120	MHz
$t_{c(LSPCLK)}$	周期、LSPCLK	8.33		500	ns
$f_{(OSCCLK)}$	周波数、OSCCLK (INTOSC1 または INTOSC2 または XTAL または X1)		それぞれのクロックを参照		MHz
$f_{(EPWM)}$	周波数、EPWMCLK			120	MHz
$f_{(HRPWM)}$	周波数、HRPWMCLK	60		120	MHz

(1) OSCCLK が停止状態のときの PLL 出力周波数 (OSCCLK が失われると PLL がリンプになります)。

6.12.3.3 入力クロックおよびPLL

内蔵のゼロ・ピン発振器に加えて、3種類の外部クロック・ソースがサポートされています。

- シングルエンドの 3.3V 外部クロック。図 6-16 に示すように、クロック信号を X1 に接続し、XTALCR.SE ビットを 1 に設定する必要があります。
- 外部水晶振動子。図 6-17 に示すように、X1 と X2 の間に水晶振動子を接続して、さらに負荷コンデンサを VSS に接続する必要があります。
- 外部共振子。図 6-18 に示すように、X1 と X2 の間に共振子を接続し、そのグランドを VSS に接続する必要があります。



6.12.3.4 XTAL 発振器

6.12.3.4.1 はじめに

このデバイスの水晶発振器は、内蔵の電気発振回路であり、適合する水晶振動子 (またはセラミック共振器) と組み合わせると、デバイスが必要とするシステム・クロックを生成できます。

6.12.3.4.2 概要

以下のセクションでは、電気発振回路と水晶振動子の部品について説明します。

6.12.3.4.2.1 電気発振回路

このデバイスの電気発振回路は、ピアス発振器です。これは正帰還インバータ回路であり、発振するためにはチューニング回路が必要です。この発振器に適合する水晶振動子と組み合わせると、タンク回路が形成されます。このタンク回路は、水晶振動子の基本周波数で発振します。このデバイスでは、発振器は、並列容量 (C0) および必要な負荷容量 (CL)

によって、並列共振モードで動作するように設計されています。図 6-19 に、電気発振回路とタンク回路の部品を示します。

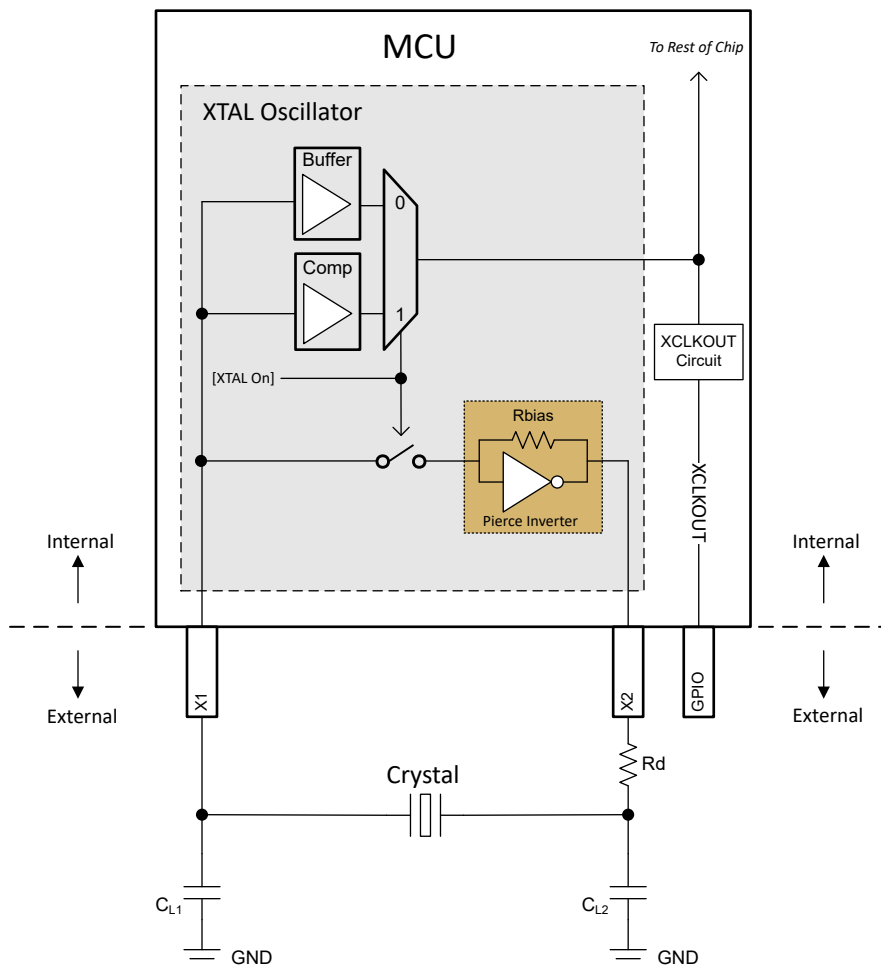


図 6-19. 電気発振回路のブロック図

6.12.3.4.2.1.1 動作モード

このデバイスの電気発振回路には、水晶振動子モードとシングルエンド・モードの 2 つの動作モードがあります。

6.12.3.4.2.1.1.1 水晶動作モード

水晶動作モードでは、負荷コンデンサ付きの水晶振動子を X1 および X2 に接続する必要があります。

この動作モードは、[XTAL On] = 1 のとき、すなわち XTALCR.OSCOFF = 0 および XTALCR.SE = 0 に設定することにより有効になります。帰還ループには内部バイアス抵抗があるため、外部バイアス抵抗は使用しないでください。外付けバイアス抵抗を追加すると、内部 Rbias と並列の抵抗ができて、バイアス動作点が移動し、クリップされた波形、仕様外のデューティ・サイクル、および実効負抵抗の減少につながる可能性があります。

この動作モードでは、結果として X1 に得られたクロックが、コンパレータ (Comp) を経由してチップの他の部分に渡されます。X1 のクロックは、コンパレータの VIH と VIL を満たす必要があります。コンパレータの VIH および VIL の要件については、「XTAL 発振器の特性」表を参照してください。

6.12.3.4.2.1.1.2 シングルエンド動作モード

シングルエンド動作モードでは、クロック信号は X1 に接続され、X2 は未接続のままです。このモードでは水晶振動子を使用しないでください。

このモードは、[XTAL On] = 0 のときにイネーブルになります。これは、XTALCR.OSCOFF = 1 および XTALCR.SE = 1 を設定することで実現できます。

この動作モードでは、X1 のクロックがバッファを経由してチップの他の部分に渡されます。バッファの入力要件については、「外部クロック・ソース (水晶振動子ではない) 使用時の X1 入力レベルの特性」表を参照してください。

6.12.3.4.2.1.2 XCLKOUT での XTAL 出力

チップの他の部分に供給される電気発振回路の出力は、CLKSRCCTL3.XCLKOUTSEL および XCLKOUTDIVSEL.XCLKOUTDIV レジスタを構成することにより、XCLKOUT で観察できます。XCLKOUT が出力される GPIO のリストについては、「GPIO 多重化ピン」表を参照してください。

6.12.3.4.2.2 水晶振動子

電気的には、水晶振動子は LCR (インダクタ-コンデンサ-抵抗) 回路で表現できます。ただし、LCR 回路と違って、直列抵抗が低い場合、水晶振動子の Q 値は非常に高く、また、非常に減衰が小さくなっています。水晶振動子の要素を [図 6-20](#) に示し、以下で説明します。

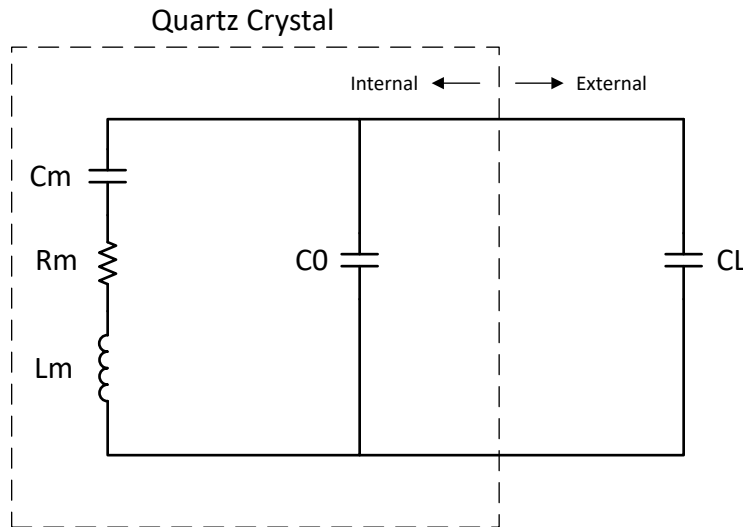


図 6-20. 水晶振動子の電氣的表現

Cm (直列容量): 水晶の弾性を表します。

Rm (直列抵抗): 水晶振動子内の抵抗性損失を表します。これは水晶の ESR ではありませんが、他の水晶振動子の要素の値によっては、近似できます。

Lm (直列インダクタンス): 水晶振動子の振動質量を表します。

C0 (並列容量): 水晶振動子の 2 つの電極と浮遊パッケージ容量から形成される静電容量。

CL (負荷容量): これは、水晶振動子の電極における実効的な容量であり、水晶の外部にあるものです。水晶振動子のデータシートで規定されている周波数 ppm は、通常、CL パラメータに関連付けられています。

ほとんどの水晶振動子メーカーでは、水晶振動子の 2 つのピンにおける実効容量として CL を指定していますが、一部の水晶振動子メーカーでは、水晶振動子ピンの 1 つだけの容量として CL を指定していることに注意してください。計算で正しい値を使用するために、CL の指定方法については、水晶振動子のメーカーにお問い合わせください。

[図 6-19](#) によれば、CL1 と CL2 が直列になっているので、水晶振動子から見た等価合計容量を求めるには、静電容量の直列式を適用して、CL1 = CL2 の場合、単純に [CL1]/2 と計算する必要があります。

この値には、浮遊 PCB 容量を加算することを推奨します。3pF~5pF が妥当な推定値ですが、実際の値は対象となる PCB によって異なります。

負荷容量は、電気発振回路と水晶振動子の両方に対する要件であることに注意してください。選択する値は、電気発振回路と水晶振動子の両方を満たす必要があります。

水晶振動子に対する CL の影響は周波数変動です。実効負荷容量が目標値よりも小さい場合、水晶周波数が高くなり、その逆も同様です。ただし、通常、周波数変動の影響は非常に小さく、一般的には公称周波数から 10ppm 未満の変動となります。

6.12.3.4.2.3 GPIO 動作モード

このデバイスでは、XTAL の動作モードに応じて、X1 および X2 をそれぞれ GPIO19 および GPIO18 として使用できます。『TMS320F28003x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「外部発振器 (XTAL)」セクションを参照してください。

6.12.3.4.3 機能動作

6.12.3.4.3.1 ESR – 等価直列抵抗

等価直列抵抗は、共振時に水晶振動子が電気発振回路に与える抵抗性負荷です。ESR が大きくなるほど Q が低くなり、水晶振動子が起動または発振を維持する可能性が低くなります。ESR と水晶振動子の関係を以下に示します。

$$ESR = Rm * \left(1 + \frac{C0}{CL}\right)^2 \quad (2)$$

ESR は、水晶振動子の直列抵抗と等しくはありませんが、実効負荷容量が並列容量よりもはるかに大きい場合は近似できます。

6.12.3.4.3.2 Rneg – 負性抵抗

負性抵抗は、電気発振回路から水晶振動子に示されるインピーダンスです。発振中に発生する損失を打ち消すために、電気発振回路が水晶に供給すべきエネルギーの量です。Rneg は、回路がエネルギーを消費するのではなく供給していることを表しており、回路全体のゲインとみなすこともできます。

一般的に受け入れられる方法としては、あらゆる条件下で水晶振動子が確実に起動するように、Rneg > 3x ESR から 5x ESR に設定することです。水晶振動子の起動に必要なエネルギーは、発振を維持するためのエネルギーよりもわずかに多いことに注意してください。したがって、起動時に負性抵抗要件が満たされていることが保証されている場合、発振の維持は問題になりません。

図 6-21 および 図 6-22 に、このデバイスの負性抵抗と水晶振動子間の関係の変動を示します。グラフからわかるように、水晶振動子の並列容量 (C0) と実効負荷容量 (CL) は電気発振回路の負性抵抗に大きな影響を及ぼします。これらは代表的なグラフであるため、設計上考慮すべき最小値および最大値については、表 6-5 を参照してください。

6.12.3.4.3.3 起動時間

水晶発振回路の部品を選択する際には、起動時間が重要な考慮事項になります。「Rneg – 負性抵抗」セクションで説明したように、あらゆる条件下で信頼性の高い起動を実現するには、水晶振動子の ESR に対して、Rneg > 3x ESR から 5x ESR にすることを推奨します。

水晶の ESR およびダンピング抵抗 (Rd) は、起動時間に大きな影響を及ぼします。この 2 つの値が大きいほど、水晶振動子の起動にかかる時間は長くなります。起動時間が長い場合は、通常、水晶振動子と部品が正しく適合していないことを示す兆候です。

標準的な起動時間については、「水晶発振回路の仕様」を参照してください。ここに記載されている数値は、参考用に提供されている標準的な数値であることに注意してください。実際の起動時間は、対象の水晶振動子と外付け部品に大きく依存します。

6.12.3.4.3.3.1 X1 / X2 事前条件

このデバイスでは、X1 / X2 の GPIO19 および 18 としての代替機能を使用して、必要に応じて水晶振動子の起動時間を高速化できます。この機能は、XTAL がオンになる前に、負荷コンデンサ CL1 および CL2 を既知の状態に事前調整

することで実現されます。詳細については、『[TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』を参照してください。

6.12.3.4.3.4 DL – 励振レベル

励振レベルとは、電気発振回路によって供給され、水晶によって消費される電力を意味します。水晶メーカーのデータシートに記載されている最大励振レベルは、通常、損傷や動作寿命の大幅な短縮なしに水晶振動子が消費できる最大値です。一方、電気発振回路で規定されている励振レベルは、供給可能な最大電力です。実際に電気発振回路から供給される電力は、必ずしも最大電力ではなく、水晶振動子と基板の部品によって決まります。

電気発振回路からの実際の励振レベルが水晶振動子の最大励振レベル仕様を超える場合は、ダンピング抵抗 (R_d) を取り付けて電流を制限し、水晶振動子によって消費される電力を低減する必要があります。 R_d は回路のゲインを低下させることに注意してください。したがって、実際に使用する値を評価して、スタートアップおよび持続的な発振に関する他のすべての条件が満たされていることを確認する必要があります。

6.12.3.4.4 水晶振動子の選択方法

「[水晶発振器の仕様](#)」を参照してください。

- 水晶周波数を選択します (たとえば 20MHz)。
- 20MHz に対する仕様として、水晶振動子の ESR が 50Ω 以下であることを確認します。
- 20MHz に対する仕様として、水晶メーカーの負荷容量要件が $6\text{pF} \sim 12\text{pF}$ の範囲内であることを確認します。
 - すでに説明したように、CL1 と CL2 は直列に配置されているので、CL1 = CL2 の場合、実効負荷容量 $CL = [CL1]/2$ となります。
 - この結果に基板の寄生成分を加算すると、 $CL = [CL1]/2 + \text{浮遊容量}$ となります。
- 水晶振動子の最大励振レベルが 1mW 以上であることを確認します。この要件が満たされていない場合は、ダンピング抵抗 R_d を使用できます。 R_d を使用するときの他の注意点については「[DL – 励振レベル](#)」を参照してください。

6.12.3.4.5 テスト

水晶振動子が常に起動して発振を維持できるように、ユーザーが水晶振動子のメーカーに依頼して、その基板での水晶振動子の特性を完全に評価することを推奨します。

以下に、実行可能ないくつかの測定の概要を示します。

水晶発振回路は静電容量に影響を受けやすいので、スコープ・プローブを X1 および X2 に接続しないことを推奨します。スコーププローブを使用して X1/X2 を監視する必要がある場合は、 1pF 未満の容量を持つアクティブプローブを使用する必要があります。

周波数

- XCLKOUT の XTAL を引き出します。
- この周波数を水晶周波数として測定します。

負性抵抗

- XCLKOUT の XTAL を引き出します。
- 負荷コンデンサの間に、水晶振動子と直列にポテンショメータを配置します。
- XCLKOUT のクロックが停止するまで、ポテンショメータの抵抗を上げます。
- この抵抗と水晶振動子の実際の ESR の和が、電気発振回路の負性抵抗です。

起動時間

- XTAL をオフにします。
- XCLKOUT の XTAL を引き出します。
- XTAL をオンにして、XCLKOUT のクロックが 45% および 55% のデューティ・サイクル内に維持されるまでに要する時間を測定します。

6.12.3.4.6 一般的な問題とデバッグのヒント

水晶振動子が起動しない

- 「水晶振動子の選択方法」セクションを読んで、記述に反する状況がないことを確認します。

水晶振動子の起動に長い時間を要する

- ダンピング抵抗 R_d を取り付けている場合、抵抗 R_d が大きすぎます。
- ダンピング抵抗を取り付けていない場合、水晶振動子の ESR が高すぎるか、または、負荷容量が大きいため回路全体のゲインが低すぎるかのどちらかです。

6.12.3.4.7 水晶発振回路の仕様

6.12.3.4.7.1 水晶発振器のパラメータ

		最小値	最大値	単位
CL1, CL2	負荷容量	12	24	pF
C0	水晶振動子のシャント容量		7	pF

6.12.3.4.7.2 水晶振動子の等価直列抵抗 (ESR) 要件

「水晶振動子の等価直列抵抗 (ESR) 要件」表について:

- 水晶振動子の並列容量 (C0) は 7pF 以下である必要があります。
- $ESR = \text{負性抵抗} / 3$

表 6-5. 水晶振動子の等価直列抵抗 (ESR) 要件

水晶振動子の周波数 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

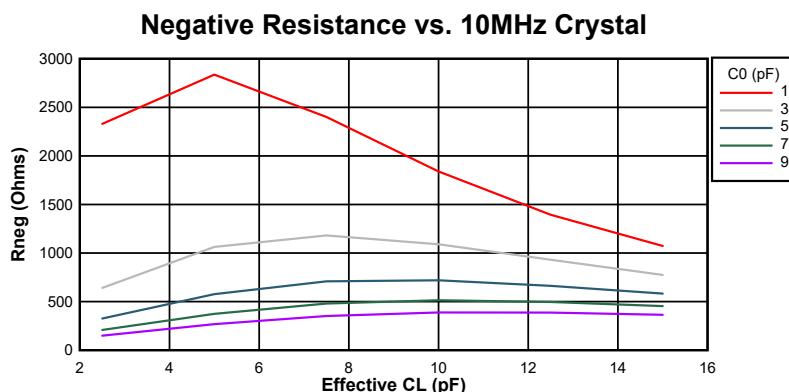


図 6-21. 10MHz 時の負性抵抗変動

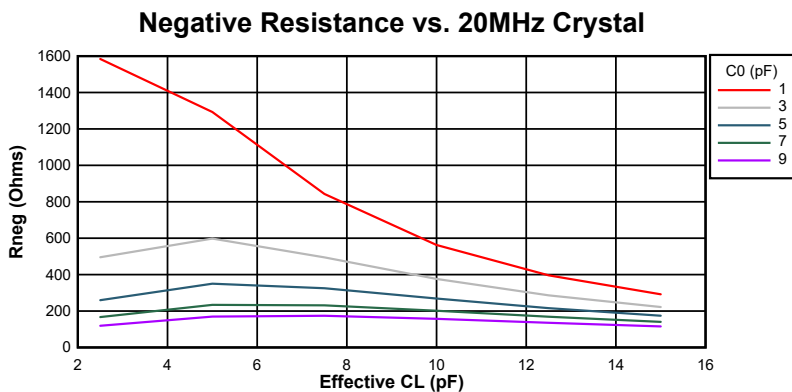


図 6-22. 20MHz 時の負性抵抗変動

6.12.3.4.7.3 水晶発振器の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
起動時間 ⁽¹⁾	f = 10MHz	ESR MAX = 110Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz	ESR MAX = 50Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
水晶振動子の励振レベル (DL)					1	mW

(1) 起動時間は、水晶振動子とタンク回路の部品に依存します。テキサス・インスツルメンツでは、水晶振動子のベンダーに対して、選択した水晶振動子を使用してアプリケーションの特性を評価することを推奨しています。

6.12.3.5 内部発振器

ボード製造コストとアプリケーション開発期間を削減するために、すべての F28003x デバイスには、INTOSC1 および INTOSC2 という 2 つの独立した内部発振器が搭載されています。デフォルトでは、INTOSC2 がシステム・リファレンス・クロック (OSCCLK) のソースとして設定され、INTOSC1 はバックアップ・クロックのソースとして設定されます。

SCI のボーレートをより厳密に一致させる必要のあるアプリケーションには、C2000Ware から提供されている、SCI ボー・チューニングの例 (baud_tune_via_uart) が利用できます。

6.12.3.5.1 INTOSC の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{INTOSC}	周波数、INTOSC1 および INTOSC2 ⁽¹⁾	-40°C～125°C	9.82 (-1.8%)	10	10.1 (1.0%)	MHz
		-30°C～90°C	9.86 (-1.4%)	10	10.1 (1.0%)	
		-10°C～85°C	9.9 (-1.0%)	10	10.1 (1.0%)	
f _{INTOSC-STABILITY}	室温での周波数安定性	30°C、公称 VDD	±0.1			%
t _{INTOSC-ST}	スタートアップおよびセトリング時間				20	µs

(1) INTOSC 周波数は、半田リフロー時の熱および機械的ストレスにより、変化する場合があります。リフロー後のペーキングにより、ユニット性能をデータシートの値に復元できます。

6.12.4 フラッシュ・パラメータ

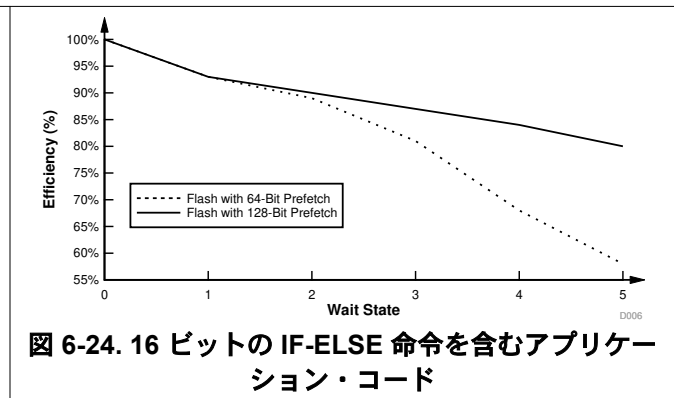
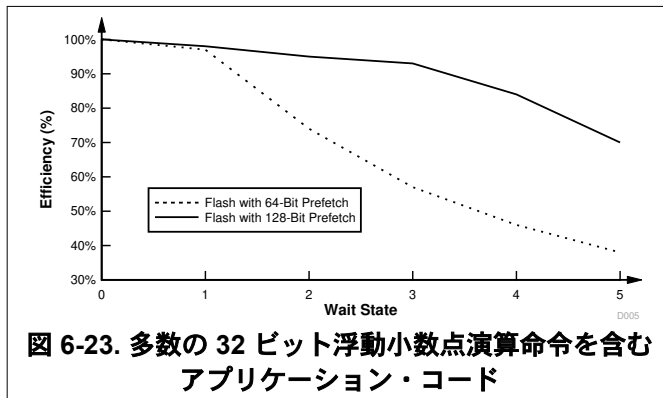
表 6-6 に、異なるクロック・ソースおよび周波数で必要な最小のフラッシュ・ウェイト状態を示します。ウェイト状態は、レジスタ FRDCNTL[RWAIT] で設定された値です。

表 6-6. 異なるクロック・ソースおよび周波数で必要な最小のフラッシュ・ウェイト状態

CPUCLK (MHz)	外部発振器または水晶振動子		INTOSC1 または INTOSC2	
	通常動作	バンクまたはポンプがスリープ状態 ⁽¹⁾	通常動作	バンクまたはポンプがスリープ状態 ⁽¹⁾
116 < CPUCLK ≤ 120		5	5	6
100 < CPUCLK ≤ 116				5
97 < CPUCLK ≤ 100		4	4	5
80 < CPUCLK ≤ 97				4
77 < CPUCLK ≤ 80		3	3	4
60 < CPUCLK ≤ 77				3
58 < CPUCLK ≤ 60		2	2	3
40 < CPUCLK ≤ 58				2
38 < CPUCLK ≤ 40		1	1	2
20 < CPUCLK ≤ 38				1
19 < CPUCLK ≤ 20		0	0	1
CPUCLK ≤ 19				0

(1) 指定された周波数範囲のクロック・ソースとして INTOSC を使用する場合、フラッシュのスリープ動作には追加のウェイト状態が必要です。ウェイト状態 FRDCNTL[RWAIT] の変更は、スリープ・モード動作を開始する前に行う必要があります。この設定は、両方のフラッシュ・バンクに影響を及ぼします。

F28003x デバイスには、改善された 128 ビットのプリフェッチ・バッファがあり、さまざまなウェイト状態にわたってフラッシュ・コードの高い実行効率を実現します。図 6-23 および 図 6-24 に、64 ビットのプリフェッチ・バッファを搭載した前世代のデバイスと比較した場合の、さまざまなウェイト状態設定での標準的な効率を示します。プリフェッチ・バッファを使用したウェイト状態の実行効率は、アプリケーション・ソフトウェアに存在する分岐の数によって異なります。線形コードと IF-THEN-ELSE コードの 2 つの例を示しています。



セクション 6.12.4.1 に、フラッシュ・パラメータを示します。

注

メイン・アレイのフラッシュ・プログラミングは、64 ビットのアドレス境界に合わせて整列させる必要があります、それぞれの 64 ビット・ワードは、書き込み / 消去サイクルごとに 1 回のみプログラムされます。

注

バンク消去コマンドに正しいセクタ・マスクを入力することが重要です。(他のセキュリティ・ゾーンに属する) アクセス不可能なセクタを消去するマスクが誤って選択された場合、バンク消去コマンドはセクタを永続的に消去しようとして試み続け、消去が成功しないため FSM が終了しません。このような状況を回避するため、注意して正しいマスクを選択する必要があります。ただし、誤ったマスクを選択する可能性があるため、FSM がバンク消去のために最大パルス数を発行した後、最大許容消去パルス数をゼロに初期化することを推奨します。このようにすると、アクセス不可能なセクタを最大許容消去パルス数の間消去しようとした後、FSM はバンク消去コマンドを終了します。

C2000Ware のフラッシュ API 使用例の Example_EraseBanks() 関数は、このシーケンスの実装を示しています (FSM がバンク消去コマンドを完了するまで待機する while ループの内容)。アプリケーションがセキュリティを使用しているかどうかにかかわらず、このコードをそのまま使用し、消去に失敗した場合に FSM がバンク消去操作を確実に終了するようにする必要があります。

6.12.4.1 フラッシュ・パラメータ

パラメータ		最小値	標準値	最大値	単位
プログラム時間 ⁽¹⁾	128 データ・ビット + 16 ECC ビット		150	300	μs
	8KB (セクタ)		50	100	ms
セクタの消去時間 ^{(2) (3)}	< 25 サイクル	8KB (セクタ)	15	56	ms
	1k サイクル		26	133	ms
	2k サイクル		31	226	ms
	20k サイクル		123	1026	ms
バンクの消去時間 ^{(2) (3)}	< 25 サイクル	128KB (バンク)	21	78	ms
	1k サイクル		35	183	ms
	2k サイクル		42	310	ms
	20k サイクル		169	1410	ms
N_{wec} 書き込み / 消去サイクル (1 セクタごと)				20000	サイクル
N_{wec} 書き込み / 消去サイクル (フラッシュ全体、すべてのセクタの合計)				100000	サイクル
$t_{retention}$ データ保持期間 ($T_J = 85^\circ\text{C}$)		20			年

- (1) プログラム時間は、デバイスの最大周波数におけるものです。プログラム時間には、フラッシュ・ステート・マシンのオーバーヘッドが含まれますが、以下に示すデータを RAM に転送する時間は含まれていません。
- フラッシュ API を使用してフラッシュをプログラムするコード
 - フラッシュ API そのもの
 - プログラムすべきフラッシュ・データ
- すなわち、この表に示す時間は、必要なすべてのコードおよびデータがデバイス RAM に収容され、プログラムの用意ができた後に適用されません。転送時間は、使用する JTAG デバッグ・プローブの速度によって大きく異なります。プログラム時間の計算は、指定された動作周波数で一度に 144 ビットをプログラムするという条件に基づいています。プログラム時間には、CPU によるプログラム検証が含まれます。書き込み / 消去 (W/E) の繰り返しにより、プログラム時間が長くなることはありませんが、消去時間は長くなります。消去時間には、CPU による消去検証が含まれ、データ転送時間は含まれません。

- (2) 消去時には、CPU による消去検証が含まれます。
- (3) 本デバイスがテキサス・インスツルメンツから出荷される時、オンチップ・フラッシュ・メモリは消去された状態になっています。したがって、デバイスを初めてプログラミングする際に、プログラミングの前にフラッシュ・メモリを消去する必要はありません。ただし、それ以降のすべてのプログラミング操作では、消去操作が必要になります。

6.12.5 RAM および ROM のパラメータ

F28003x デバイスのすべての揮発性メモリ (RAM および ROM) は、読み取りと書き込みの両方に対して 0 ウェイト状態であるため、メモリは SYSCLK と同じ速度で動作します。RAM ブロックのプロパティに、デバイスのさまざまな RAM インスタンスの特性を示します。ROM のプロパティに、デバイスの ROM インスタンスの特徴を示します。

表 6-7. RAM ブロックのプロパティ

RAM のタイプ	個々のサイズ	フェッチ時間 (サイクル)	読み取り時間 (サイクル)	書き込み時間 (サイクル)	サポートされるバスの幅 (ビット)	ホスト・アクセス・リスト	ウェイト状態	バースト・アクセスのサポート
M0	2KB	2	2	1	16/32	C28x	0	なし
M1						C28x/CLA		
LS RAM (LS0–LS7)	4KB					C28x/DMA/HIC		
GS RAM (GS0–GS3)	8KB					C28x/CLA		
CLA から CPU へのメッセージ RAM	256B							
CPU から CLA へのメッセージ RAM								
CLA から DMA へのメッセージ RAM								
DMA から CLA へのメッセージ RAM		CLA/DMA						

表 6-8. ROM のプロパティ

ROM のタイプ	個々のサイズ	フェッチ時間 (サイクル)	読み取り時間 (サイクル)	サポートされるバスの幅 (ビット)	ホスト・アクセス・リスト	ウェイト状態	バースト・アクセスのサポート
ブート ROM	64KB	2	2	16/32	C28x	0	なし
セキュア ROM	48KB				C28x/CLA		
CLA データ ROM	8KB				CLA		
CLA プログラム・カウンタ	96KB						

6.12.6 エミュレーション / JTAG

JTAG (IEEE 規格 1149.1-1990 標準テスト・アクセス・ポートおよびバウンダリ・スキャン・アーキテクチャ) ポートには、以下の 4 つの専用ピンがあります: TMS、TDI、TDO、TCK。cJTAG (IEEE 規格 1149.7-2009、ピン数削減および拡張機能テスト・アクセス・ポートおよびバウンダリ・スキャン・アーキテクチャ用) ポートは、必要なピンが 2 本だけ (TMS および TCK) というコンパクトな JTAG インターフェイスであり、今まで使われていた GPIO35 (TDI) および GPIO37 (TDO) ピンに他のデバイス機能を多重化できます。

通常、MCU ターゲットと JTAG ヘッダーの間の距離が 6 インチ (15.24cm) 未満で、JTAG チェーンに他のデバイスが存在しない場合、JTAG 信号にバッファは必要ありません。それ以外の場合は、各信号をバッファする必要があります。さらに、10MHz で動作するほとんどの JTAG デバッグ・プローブでは、JTAG 信号に直列抵抗は必要ありません。ただし、高いエミュレーション速度 (35MHz 程度) が想定される場合は、各 JTAG 信号に対して 22Ω の抵抗を直列に配置する必要があります。

JTAG デバッグ・プローブ・ヘッダーの PD (電源検出) ピンは、基板の 3.3V 電源に接続する必要があります。ヘッダーの GND ピンは、基板のグラウンドに接続する必要があります。TDIS (ケーブル切断検出) も基板のグラウンドに接続する必要があります。JTAG クロックは、ヘッダーの TCK 出力ピンからヘッダーの RTCK 入力ピンにループバックする必要があります (JTAG デバッグ・プローブによるクロックの連続性を検出するため)。この MCU は、14 ピンおよび 20 ピンのエミュレーション・ヘッダーに存在する EMU0 および EMU1 信号をサポートしていません。これらの信号は、常に、2.2kΩ~4.7kΩ の範囲 (デバッガ・ポートの駆動能力によって異なります) の基板上のプルアップ抵抗ペアを経由して、エミュレーション・ヘッダーでプルアップする必要があります。通常、2.2kΩ の値を使用します。

ヘッダーの $\overline{\text{RESET}}$ ピンは、JTAG デバッグ・プローブ・ヘッダーからのオープン・ドレイン出力であり、JTAG デバッグ・プローブ・コマンドを使用して基板のコンポーネントをリセットできます (20 ピンのヘッダーでのみ利用可能)。図 6-25 に、14 ピン JTAG ヘッダーを MCU の JTAG ポート信号に接続する方法を示します。図 6-26 に、20 ピン・ヘッダーへの接続方法を示します。20 ピン JTAG ヘッダーの EMU2、EMU3、および EMU4 ピンは使用しないので、グラウンドに接続する必要があります。

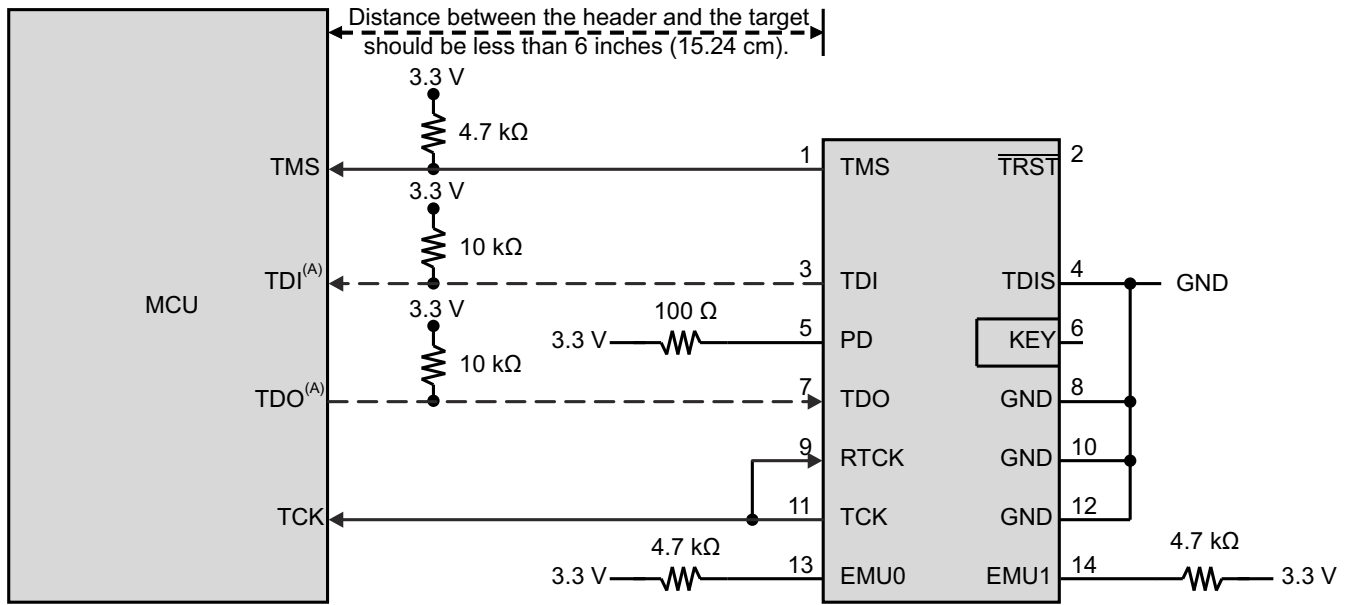
ハードウェア・ブレイクポイントとウォッチポイントの詳細については、『C2000 デバイス向け CCS でのハードウェア・ブレイクポイントとウォッチポイント』を参照してください。

JTAG エミュレーションの詳細については、『XDS ターゲット接続ガイド』を参照してください。

注

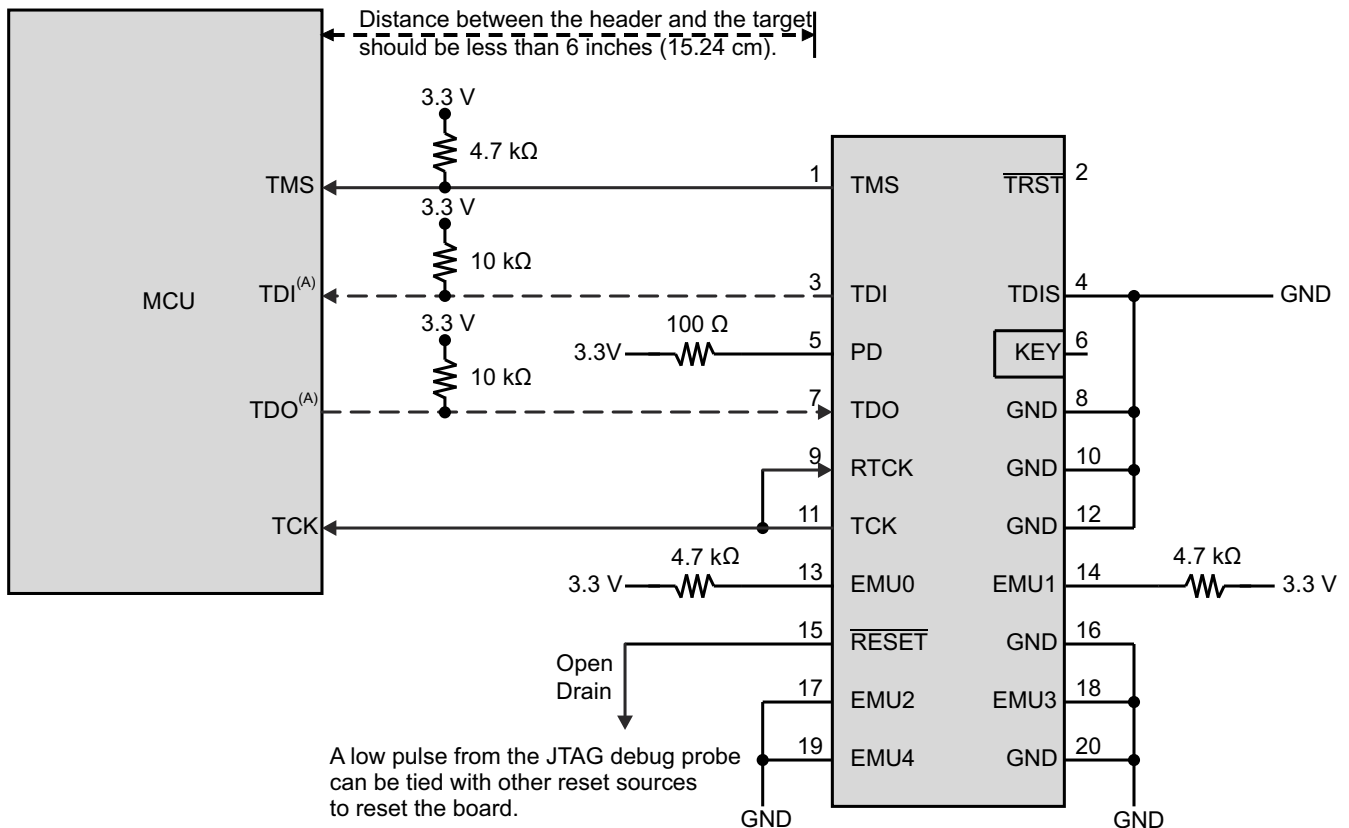
JTAG テスト・データ入力 (TDI) は、このピンのマルチプレクサにおいてデフォルトで選択されています。内部プルアップは、デフォルトでディセーブルになっています。このピンを JTAG の TDI として使用する場合、入力フローティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。cJTAG オプションでは、このピンを GPIO として使用できます。

JTAG テスト・データ出力 (TDO) は、このピンのマルチプレクサにおいてデフォルトで選択されています。内部プルアップは、デフォルトでディセーブルになっています。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティングのままになります。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。cJTAG オプションでは、このピンを GPIO として使用できます。



A. cJTAG オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 6-25. 14 ピン JTAG ヘッダーへの接続



A. cJTAG オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 6-26. 20 ピン JTAG ヘッダーへの接続

6.12.6.1 JTAG の電氣的データおよびタイミング

6.12.6.1.1 JTAG のタイミング要件

番号			最小値	最大値	単位
1	$t_c(\text{TCK})$	サイクル時間、TCK	66.66		ns
1a	$t_w(\text{TCKH})$	パルス幅、TCK High (t_c の 40%)	26.66		ns
1b	$t_w(\text{TCKL})$	パルス幅、TCK Low (t_c の 40%)	26.66		ns
3	$t_{su}(\text{TDI-TCKH})$	入力セットアップ時間、TDI 有効から TCK High まで	7		ns
	$t_{su}(\text{TMS-TCKH})$	入力セットアップ時間、TMS 有効から TCK High まで	7		
4	$t_h(\text{TCKH-TDI})$	入力ホールド時間、TCK High から TDI 有効の間	7		ns
	$t_h(\text{TCKH-TMS})$	入力ホールド時間、TCK High から TMS 有効の間	7		

6.12.6.1.2 JTAG のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ	最小値	最大値	単位	
2	$t_d(\text{TCKL-TDO})$	遅延時間、TCK Low から TDO 有効まで	6	20	ns

6.12.6.1.3 JTAG のタイミング図

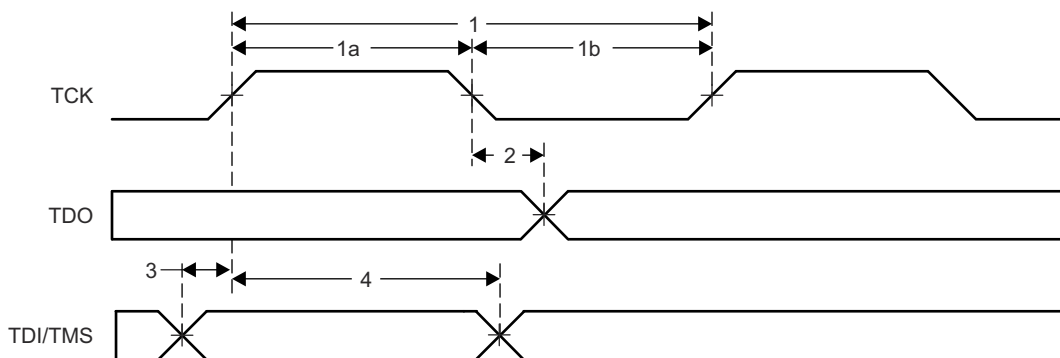


図 6-27. JTAG のタイミング

6.12.6.2 cJTAG の電気的データおよびタイミング

6.12.6.2.1 cJTAG のタイミング要件

番号			最小値	最大値	単位
1	$t_c(\text{TCK})$	サイクル時間、TCK	100		ns
1a	$t_w(\text{TCKH})$	パルス幅、TCK High (t_c の 40%)	40		ns
1b	$t_w(\text{TCKL})$	パルス幅、TCK Low (t_c の 40%)	40		ns
3	$t_{su}(\text{TMS-TCKH})$	入力セットアップ時間、TMS 有効から TCK High まで	7		ns
	$t_{su}(\text{TMS-TCKL})$	入力セットアップ時間、TMS 有効から TCK Low まで	7		ns
4	$t_h(\text{TCKH-TMS})$	入力ホールド時間、TCK High から TMS 有効の間	2		ns
	$t_h(\text{TCKL-TMS})$	入力ホールド時間、TCK Low から TMS 有効の間	2		ns

6.12.6.2.2 cJTAG のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位
2	$t_d(\text{TCKL-TMS})$	遅延時間、TCK Low から TMS 有効まで	5	20	ns
5	$t_{dis}(\text{TCKH-TMS})$	遅延時間、TCK High から TMS 無効まで		20	ns

6.12.6.2.3 cJTAG のタイミング図

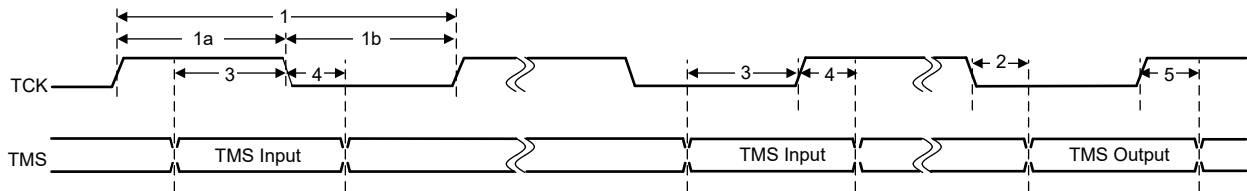


図 6-28. cJTAG タイミング

6.12.7 GPIO の電氣的データおよびタイミング

ペリフェラル信号は、汎用入出力 (GPIO) 信号と多重化されます。リセット時、GPIO ピンは入力として構成されます。特定の入力では、ユーザーが入力クオリファイヤのサイクル数を選択することで、不要なノイズ・グリッチをフィルタリングすることもできます。

GPIO モジュールには出力クロスバーが含まれており、GPIO マルチプレクサ内にある OUTPUTXBARx で指定することで、さまざまな内部信号を GPIO にルーティングできます。また、GPIO モジュールには入力クロスバーが含まれており、任意の GPIO 入力から、ADC、eCAP、ePWM、外部割り込みなどさまざまな IP ブロックに信号をルーティングするために使用できます。詳細については、『[TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「クロスバー」の章を参照してください。

6.12.7.1 GPIO - 出力タイミング

6.12.7.1.1 汎用出力のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			最小値	最大値	単位
$t_{r(GPO)}$	立ち上がり時間、GPIO が Low から High へ変化	すべての GPIO		8 ⁽¹⁾	ns
$t_{f(GPO)}$	立ち下がり時間、GPIO が High から Low へ変化	すべての GPIO		8 ⁽¹⁾	ns
f_{GPO}	切り替え周波数、GPIO ピン			50	MHz

(1) 立ち上がり時間と立ち下がり時間は負荷によって異なります。これらの値は、20pF の負荷を想定しています。

6.12.7.1.2 汎用出力のタイミング図

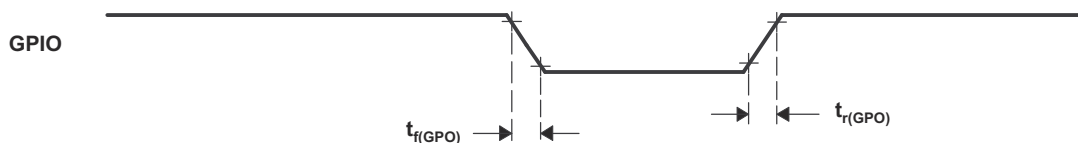


図 6-29. 汎用出力のタイミング

6.12.7.2 GPIO - 入力タイミング

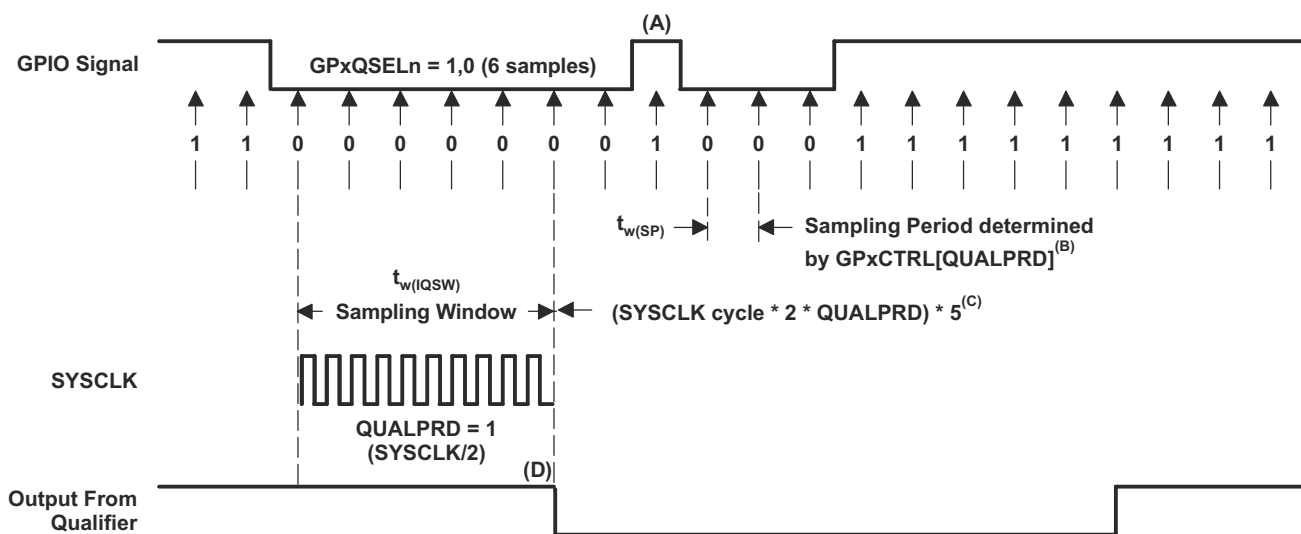
6.12.7.2.1 汎用入力のタイミング要件

			最小値	最大値	単位
$t_{w(SP)}$	サンプリング周期	QUALPRD = 0	$1t_{c(SYSCLK)}$		サイクル
		QUALPRD \neq 0	$2t_{c(SYSCLK)} * QUALPRD$		サイクル
$t_{w(IQSW)}$	入力クオリファイヤのサンプリング・ウィンドウ		$t_{w(SP)} * (n^{(1)} - 1)$		サイクル
$t_{w(GPI)}^{(2)}$	パルス幅、GPIO Low/High	同期モード	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤあり	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		サイクル

(1) 「n」は、GPxQSELn レジスタによって定義されたクオリフィケーション・サンプル数を表します。

(2) $t_{w(GPI)}$ のパルス幅は、アクティブ Low 信号については V_{IL} から V_{IL} まで、アクティブ High 信号については V_{IH} から V_{IH} までを測定します。

6.12.7.2.2 サンプリング・モード



- このグリッチは、入力クオリファイヤによって無視されます。クオリフィケーションのサンプリング期間は、QUALPRD ビット・フィールドで指定します。この値は、00~0xFF の範囲で設定できます。QUALPRD = 00 の場合、サンプリング期間は 1 SYSCLK サイクルです。その他の値「n」である場合、クオリフィケーションのサンプリング期間は、 $2n$ SYSCLK サイクルになります (すなわち、 $2n$ SYSCLK サイクルごとに GPIO ピンがサンプリングされます)。
- GPxCTRL レジスタで選択したこのクオリフィケーション期間は、8 つの GPIO ピン・グループに適用されます。
- このクオリフィケーション・ブロックは、3 つまたは 6 つのサンプルを取得できます。使用するサンプル・モードは、GPxQSELn レジスタで選択します。
- ここに示す例では、クオリファイヤが変化を検出するためには、入力が 10 SYSCLK サイクル以上の期間安定している必要があります。すなわち、入力は $(5 * QUALPRD * 2)$ SYSCLK サイクルにわたって安定している必要があります。これにより、5 サンプリング期間での検出実施が確保されます。外部信号は非同期で駆動されるため、13 SYSCLK 幅のパルスであれば信頼性の高い認識が保証されます。

図 6-30. サンプリング・モード

6.12.7.3 入力信号のサンプリング・ウィンドウ幅

以下のセクションでは、各種の入力クオリファイヤ構成に対する入力信号のサンプリング・ウィンドウ幅の概要を説明します。

この式の「サンプリング周波数」は、SYSCLK を基準にして、信号をサンプリングする頻度を表します。

QUALPRD ≠ 0 の場合、サンプリング周波数 = $\text{SYSCLK} / (2 \times \text{QUALPRD})$

QUALPRD = 0 の場合、サンプリング周波数 = SYSCLK

QUALPRD ≠ 0 の場合、サンプリング周期 = SYSCLK サイクル × 2 × QUALPRD

上記の式で、「SYSCLK サイクル」は、SYSCLK の時間周期を表しています。

QUALPRD = 0 の場合、サンプリング周期 = SYSCLK サイクル

決められたサンプリング ウィンドウの中で、入力信号の 3 つまたは 6 つのサンプルを取得して、信号の有効性を判定します。これは、GPxQSELn レジスタに書き込まれた値によって決定されます。

ケース 1:

3 つのサンプルを使用したクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = $(\text{SYSCLK サイクル} \times 2 \times \text{QUALPRD}) \times 2$

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = $(\text{SYSCLK サイクル}) \times 2$

ケース 2:

6 つのサンプルを使用したクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = $(\text{SYSCLK サイクル} \times 2 \times \text{QUALPRD}) \times 5$

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = $(\text{SYSCLK サイクル}) \times 5$

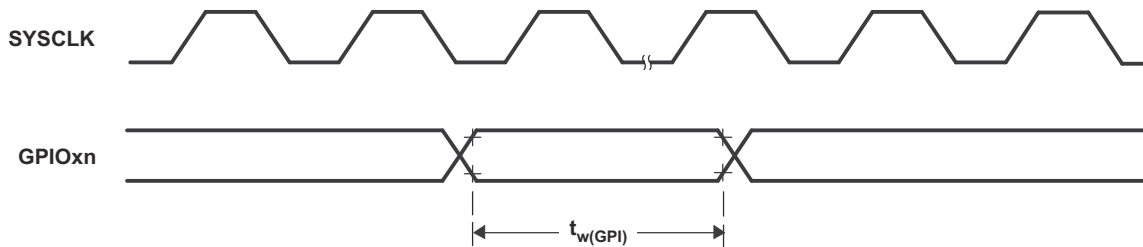


図 6-31. 汎用入力のタイミング

6.12.8 割り込み

C28x CPU には 14 本のペリフェラル割り込みラインがあります。そのうち 2 本 (INT13 および INT14) は、それぞれ CPU タイマ 1 および 2 に直接接続されています。残りの 12 本は、強化ペリフェラル割り込み拡張 (ePIE) モジュール経由でペリフェラル割り込み信号に接続されています。ePIE は、各 CPU 割り込みラインに最大 16 本のペリフェラル割り込みを多重化します。また、ベクタ・テーブルを拡張して、各割り込みに固有の ISR を割り当てることもできます。これにより、CPU は多数のペリフェラルをサポートできます。

割り込みパスは、ペリフェラル、ePIE、CPU の 3 つのステージに分けられます。各ステージには、独自のイネーブル・レジスタとフラグ・レジスタがあります。このシステムにより、CPU は 1 つの割り込みを処理しながら他の割り込みを保留したり、ソフトウェア内でネストされた割り込みを実装および優先順位付けしたり、特定の重要なタスク中に割り込みを無効にしたりできます。

図 6-32 に、このデバイスの割り込みアーキテクチャを示します。

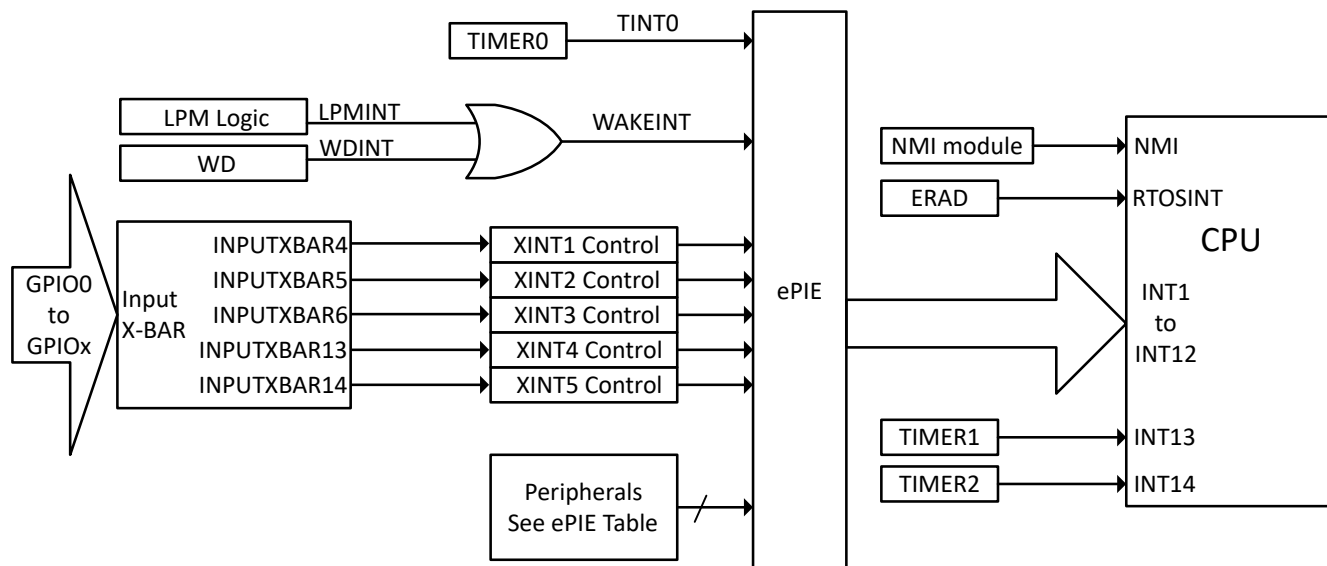


図 6-32. デバイス割り込みアーキテクチャ

6.12.8.1 外部割り込み (XINT) の電氣的データおよびタイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.12.8.1.1 外部割り込みのタイミング要件

			最小値	最大値	単位
$t_{w(INT)}$	パルス幅、INT 入力 Low/High	同期	$2t_c(SYSCLK)$		サイクル
		クオリファイヤあり	$t_w(IQSW) + t_w(SP) + 1t_c(SYSCLK)$		サイクル

6.12.8.1.2 外部割り込みのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(INT)}$	遅延時間、INT Low/High から割り込みベクタ・フェッチまで ⁽¹⁾	$t_w(IQSW) + 14t_c(SYSCLK)$	$t_w(IQSW) + t_w(SP) + 14t_c(SYSCLK)$	サイクル

(1) これは、ISR がシングルサイクル・メモリ内にあることを想定しています。

6.12.8.1.3 外部割り込みのタイミング

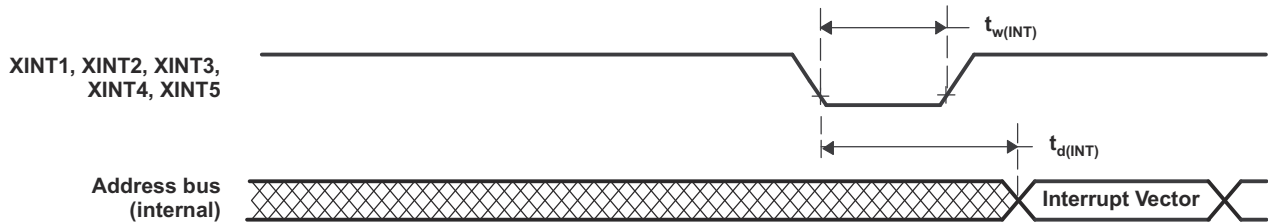


図 6-33. 外部割り込みのタイミング

6.12.9 低消費電力モード

このデバイスには、クロック・ゲーティング低消費電力モードとして、HALT、IDLE、および STANDBY が備わっています。

すべての低消費電力モードの詳細と、開始および終了手順の詳細については、『[TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「低消費電力モード」セクションを参照してください。

6.12.9.1 クロック・ゲーティング低消費電力モード

このデバイスの IDLE モードおよび HALT モードは、他の C28x デバイスのモードと同様です。表 6-9 に、いずれかのクロック・ゲート低消費電力モードに移行したときのシステムへの影響を示します。

表 6-9. クロック・ゲーティング低消費電力モードによるデバイスへの影響

モジュール/ クロック・ドメイン	IDLE	STANDBY	HALT
SYSCLK	アクティブ	ゲート	ゲート
CPUCLK	ゲート	ゲート	ゲート
PERx.SYSCLK に接続されたモジュールへのクロック	アクティブ	ゲート	ゲート
WDCLK	アクティブ	アクティブ	CLKSRCCTL1.WDHALTI = 0 の場合、ゲート
PLL	電源供給	電源供給	ソフトウェアは、HALT に入る前に PLL の電源をオフにする必要があります。
INTOSC1	電源供給	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
INTOSC2	電源供給	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
フラッシュ ⁽¹⁾	電源供給	電源供給	電源供給
XTAL ⁽²⁾	電源供給	電源供給	電源供給

- (1) フラッシュ・モジュールは、いずれの LPM においても、ハードウェアによってパワーダウンされることはありません。アプリケーションで必要な場合は、ソフトウェアを使用して電源をオフにすることができます。詳細については、『[TMS320F28003x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』のシステム制御の章にある「フラッシュおよび OTP メモリ」セクションを参照してください。
- (2) XTAL は、いずれの LPM においても、ハードウェアによってパワーダウンされることはありません。XTALCR.OSCOFF ビットを 1 に設定すると、ソフトウェアによって電源をオフにできます。XTAL が不要な場合は、アプリケーション実行中の任意の時点でこれを実行できます。

6.12.9.2 低消費電力モードのウェークアップ・タイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.12.9.2.1 IDLE モードのタイミング要件

		最小値	最大値	単位
$t_{w(WAKE)}$	パルス幅、外部ウェークアップ信号	入力クオリファイヤなし	$2t_{c(SYSCLK)}$	サイクル
		入力クオリファイヤあり	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

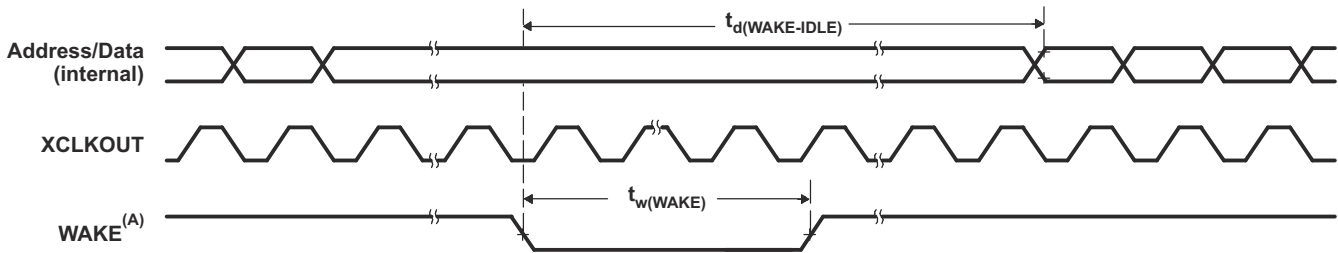
6.12.9.2.2 IDLE モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	最大値	単位
$t_{d(WAKE-IDLE)}$	フラッシュから (アクティブ状態)	入力クオリファイヤなし	$40t_{c(SYSCLK)}$	サイクル
		入力クオリファイヤあり	$40t_{c(SYSCLK)} + t_{w(WAKE)}$	サイクル
	フラッシュから (スリープ状態)	入力クオリファイヤなし	$9316t_{c(SYSCLK)}^{(2)}$	サイクル
		入力クオリファイヤあり	$9316t_{c(SYSCLK)}^{(2)} + t_{w(WAKE)}$	サイクル
	RAM から	入力クオリファイヤなし	$25t_{c(SYSCLK)}$	サイクル
		入力クオリファイヤあり	$25t_{c(SYSCLK)} + t_{w(WAKE)}$	サイクル

- (1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。
- (2) この値はフラッシュの起動時間に基づいています。これは、SYSCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。

6.12.9.2.3 IDLE 開始および終了タイミング図



- A. WAKE には、イネーブルになっている任意の割り込み、 \overline{WDINT} 、XRSn を使用できます。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。

図 6-34. IDLE 開始および終了タイミング図

6.12.9.2.4 STANDBY モードのタイミング要件

			最小値	最大値	単位
$t_w(\text{WAKE-INT})$	パルス幅、外部ウェークアップ信号	QUALSTDBY = 0 $2t_{c(\text{OSCCLK})}$		$3t_{c(\text{OSCCLK})}$	サイクル
		QUALSTDBY > 0 $(2 + \text{QUALSTDBY})t_{c(\text{OSCCLK})}$ ⁽¹⁾		$(2 + \text{QUALSTDBY}) * t_{c(\text{OSCCLK})}$	

(1) QUALSTDBY は、LPMCR レジスタの 6 ビット・フィールドです。

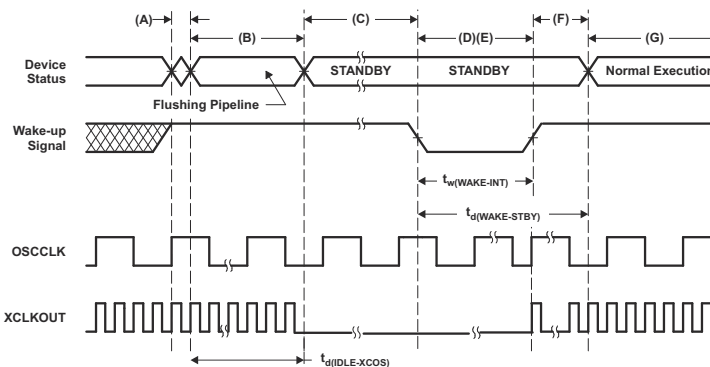
6.12.9.2.5 STANDBY モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	最大値	単位
$t_d(\text{IDLE-XCOS})$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$16t_{c(\text{INTOSC1})}$	サイクル
$t_d(\text{WAKE-STBY})$	フラッシュからのウェークアップ (フラッシュ・モジュールはアクティブ状態)		$175t_{c(\text{SYSCLK})} + t_w(\text{WAKE-INT})$	サイクル
$t_d(\text{WAKE-STBY})$	遅延時間、外部ウェークアップ信号からプログラム実行再開まで ⁽¹⁾ フラッシュからのウェークアップ (フラッシュ・モジュールはスリープ状態)		$9316t_{c(\text{SYSCLK})}$ ⁽²⁾ + $t_w(\text{WAKE-INT})$	サイクル
$t_d(\text{WAKE-STBY})$	RAM からのウェークアップ		$3t_{c(\text{OSC})} + 15t_{c(\text{SYSCLK})} + t_w(\text{WAKE-INT})$	サイクル

- (1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。
- (2) この値はフラッシュの起動時間に基づいています。これは、SYSCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。

6.12.9.2.6 STANDBY の開始 / 終了タイミング図



- 本デバイスを STANDBY モードに移行させるために、IDLE 命令が実行されます。
- LPM ブロックが STANDBY 信号に応答し、SYSCLK は、最大 16 INTOSC1 クロック・サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。
- ペリフェラルへのクロックがオフになります。ただし、PLL とウォッチドッグはシャットダウンされません。これで本デバイスは STANDBY モードに入りました。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。
- 外部ウェークアップ信号がアクティブに駆動されます。
- デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号ではグリッチをなくす必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなく、デバイスは後続のウェークアップ・パルスで低消費電力モードを終了できない場合があります。
- 一定の待ち時間が経過すると、STANDBY モードが終了します。

G. 通常動作を再開します。本デバイスは割り込み (有効化されている場合) に応答するようになります。

図 6-35. STANDBY の開始 / 終了タイミング図

6.12.9.2.7 HALT モードのタイミング要件

		最小値	最大値	単位
$t_{w(WAKE-GPIO)}$	パルス幅、GPIO ウェークアップ信号 ⁽¹⁾	$t_{oscst} + 2t_c(OSCCLK)$		サイクル
$t_{w(WAKE-XRS)}$	パルス幅、XRS ウェークアップ信号 ⁽¹⁾	$t_{oscst} + 8t_c(OSCCLK)$		サイクル

- (1) OSCCLK に X1/X2 を使用するアプリケーションでは、スタートアップ時間がデバイス外部の回路やレイアウトなどに依存するため、ユーザーは、その場合の発振器のスタートアップ時間の特性を評価する必要があります。詳細については、「水晶発振器 (XTAL)」セクションを参照してください。OSCCLK に INTOSC1 または INTOSC2 を使用するアプリケーションについては、「内部発振器」セクションの t_{oscst} を参照してください。発振器のスタートアップ時間は、X1 ピンでシングルエンド水晶発振器を使用するアプリケーションには適用されません。これは、デバイスの外部から電力が供給されるためです。

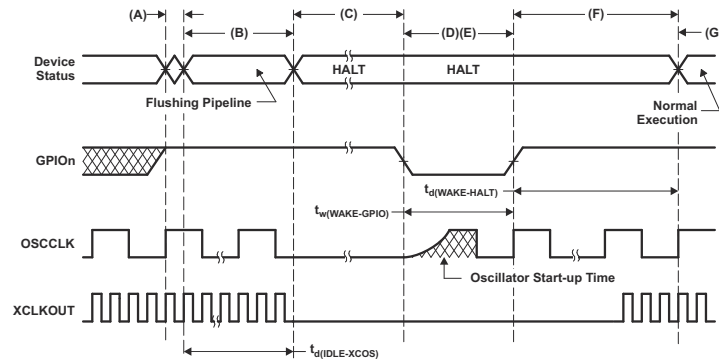
6.12.9.2.8 HALT モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

	パラメータ	最小値	最大値	単位
$t_d(IDLE-XCOS)$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$16t_c(INTOSC1)$	サイクル
$t_d(WAKE-HALT)$	遅延時間、外部ウェーク信号終了から CPU1 プログラム実行再開まで			サイクル
	フラッシュからのウェークアップ - アクティブ状態のフラッシュ・モジュール		$75t_c(OSCCLK)$	
	フラッシュからのウェークアップ - スリープ状態のフラッシュ・モジュール		$9316t_c(SYSCLK) + 75t_c(OSCCLK)$ ⁽¹⁾	
	RAM からのウェークアップ		$75t_c(OSCCLK)$	

- (1) この値はフラッシュの起動時間に基づいています。これは、SYSCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。

6.12.9.2.9 HALT 開始および終了タイミング図



- A. IDLE 命令が実行され、デバイスが HALT モードに移行します。
- B. LPM ブロックが HALT 信号にตอบสนองし、SYSCLK は、最大 16 INTOSC1 クロック・サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。
- C. ペリフェラルへのクロックがオフになり、PLL がシャットダウンされます。クロック・ソースとして水晶振動子またはセラミック発振子を使用する場合、内部発振器もシャットダウンされます。デバイスはこの時点で、HALT モードに移行しており、消費電力はごくわずかです。HALT モード中、ゼロピン内部発振器 (INTOSC1 および INTOSC2) とウォッチドッグを動作させたままにすることもできます。これは、CLKSRCCTL1.WDHALTI に 1 を書き込むことで行います。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。
- D. GPIOn ピン (デバイスの HALT を解除するために使用) を Low にすると、発振器がオンになり、発振器ウェークアップ・シーケンスが開始されます。GPIO ピンを High に駆動するのは、発振器が安定した後にする必要があります。これにより、PLL ロック・シーケンス時にクリーンなクロック信号を供給できます。GPIO ピンの立ち下がりエッジによって非同期的にウェークアップ手順が開始されるので、HALT モードに移行する前および HALT モードになっている間は、低ノイズ環境を維持するように注意する必要があります。
- E. デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号からはグリッチを完全に除去する必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなく、デバイスは後続のウェークアップ・パルスで低消費電力モードを終了できない場合があります。
- F. コアへの CLKIN がイネーブルになると、デバイスは、いくつかのレイテンシの後で割り込みにตอบสนองします (割り込みイネーブルの場合)。これで、HALT モードが終了します。
- G. 通常動作を再開します。
- H. ユーザーは、安定した PLL ロックを確保するために、HALT からのウェークアップの際に PLL を再ロックする必要があります。

図 6-36. HALT 開始および終了タイミング図

6.13 アナログ・ペリフェラル

このセクションでは、アナログ・サブシステム・モジュールについて説明します。

このデバイスのアナログ・モジュールは、ADC、温度センサ、CMPSS、バッファ付き DAC を備えています。

アナログ・サブシステムには次のような特長があります。

- フレキシブルな電圧リファレンス
 - これらの ADC は、VREFHix ピンおよび VSSA ピンを基準としています。
 - VREFHix ピンの電圧は、外部から駆動することも、内部バンドギャップ電圧リファレンスによって生成することもできます。
 - 内部電圧リファレンスの範囲は、0V~3.3V または 0V~2.5V のいずれかを選択できます。
 - バッファ付き DAC は、VREFHix および VSSA を基準としています。
 - または、VDAC ピンおよび VSSA を基準にすることもできます。
 - コンパレータ DAC は、VDDA および VSSA を基準としています。
 - または、VDAC ピンおよび VSSA を基準にすることもできます。
- フレキシブルなピンの用途
 - バッファ付き DAC 出力、コンパレータ・サブシステム入力、およびデジタル入力 (AIO) / 出力 (AGPIO) は、ADC 入力と多重化されています。
 - オフセット・セルフ・キャリブレーションのために、すべての ADC で V_{REFLO} に内部接続されています。

図 6-37 に、100 ピン PZ LQFP のアナログ・サブシステムのブロック図を示します。

図 6-38 に、80 ピン PN LQFP のアナログ・サブシステムのブロック図を示します。

図 6-39 に、64 ピン PM LQFP のアナログ・サブシステムのブロック図を示します。

図 6-40 に、48 ピン PT LQFP のアナログ・サブシステムのブロック図を示します。

図 6-41 に、アナログ・グループの接続を示します。セクション 6.13.1 に、アナログ・ピンと内部接続を示します。セクション 6.13.2 に、アナログ信号の説明を示します。

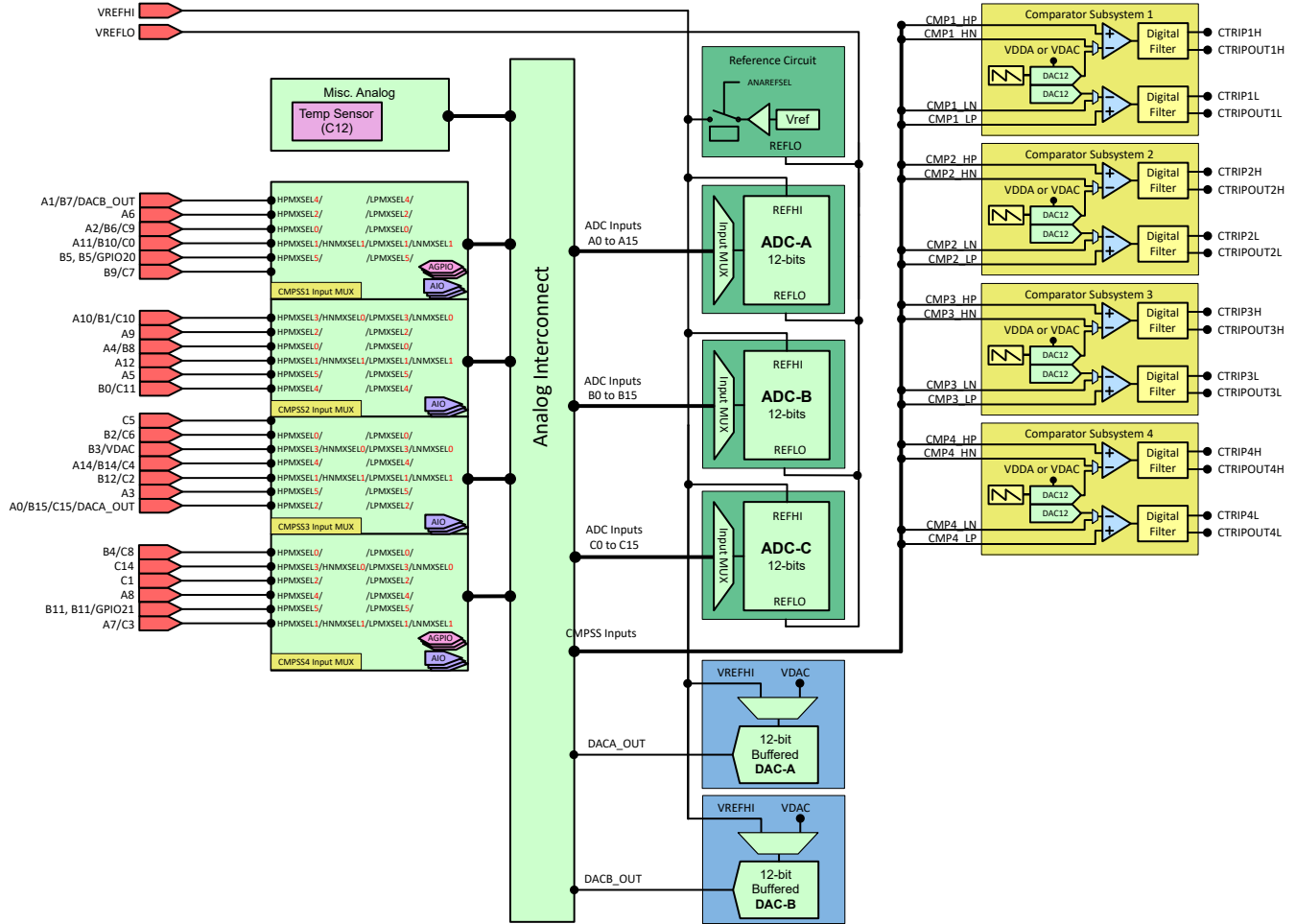


図 6-37. アナログ・サブシステムのブロック図 (100 ピン PZ LQFP)

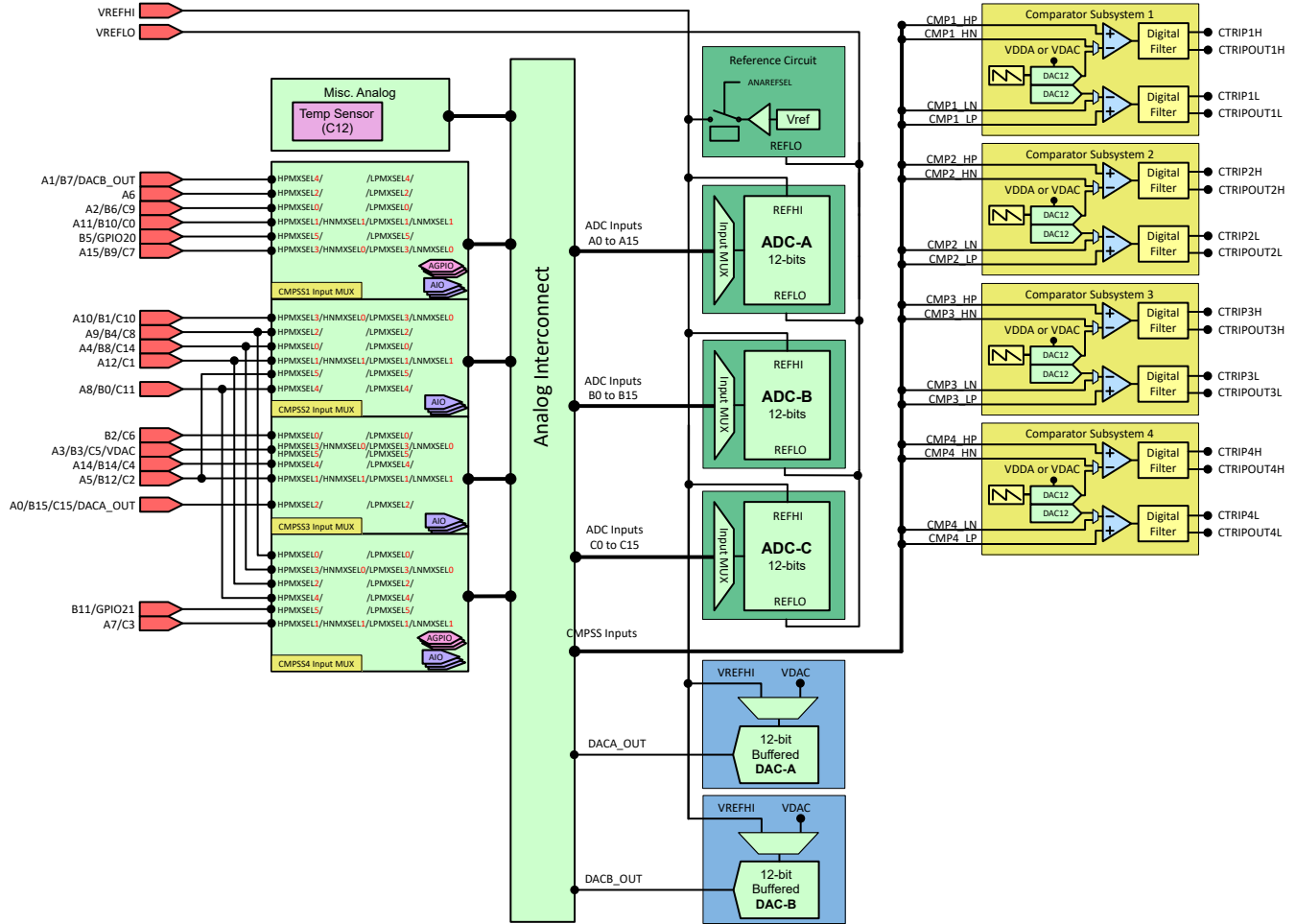


図 6-38. アナログ・サブシステムのブロック図 (80 ピン PN LQFP)

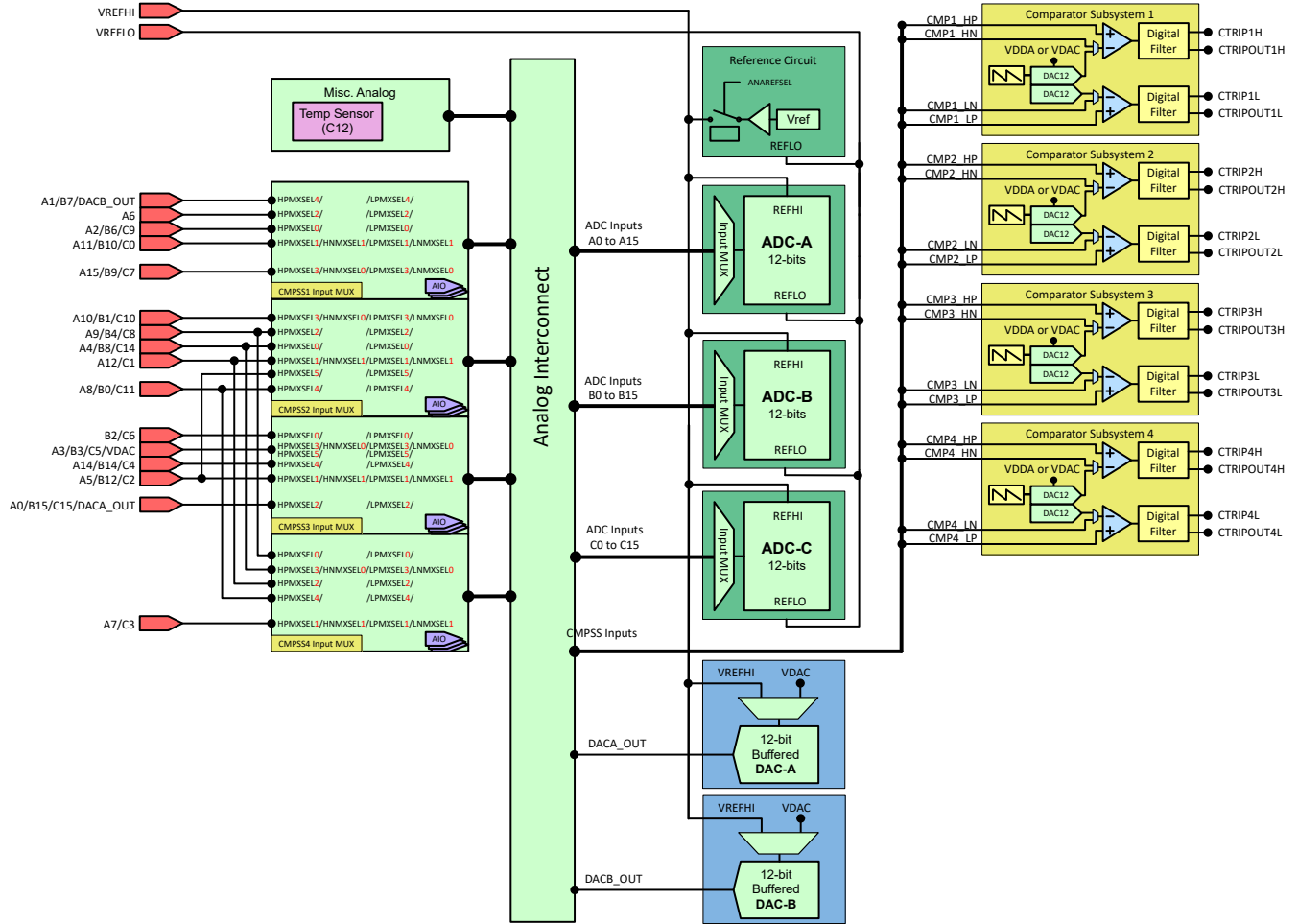


図 6-39. アナログ・サブシステムのブロック図 (64 ピン PM LQFP)

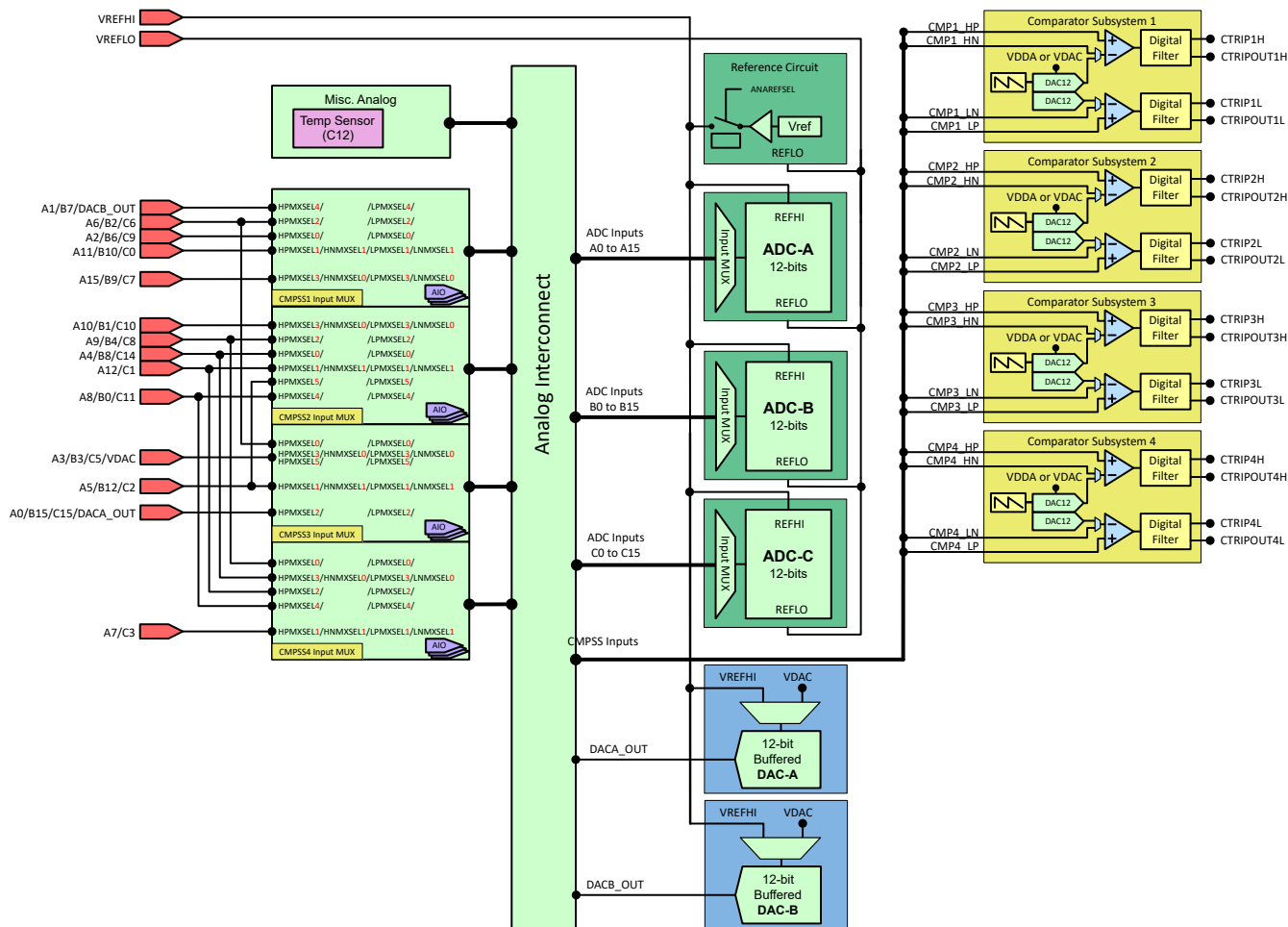
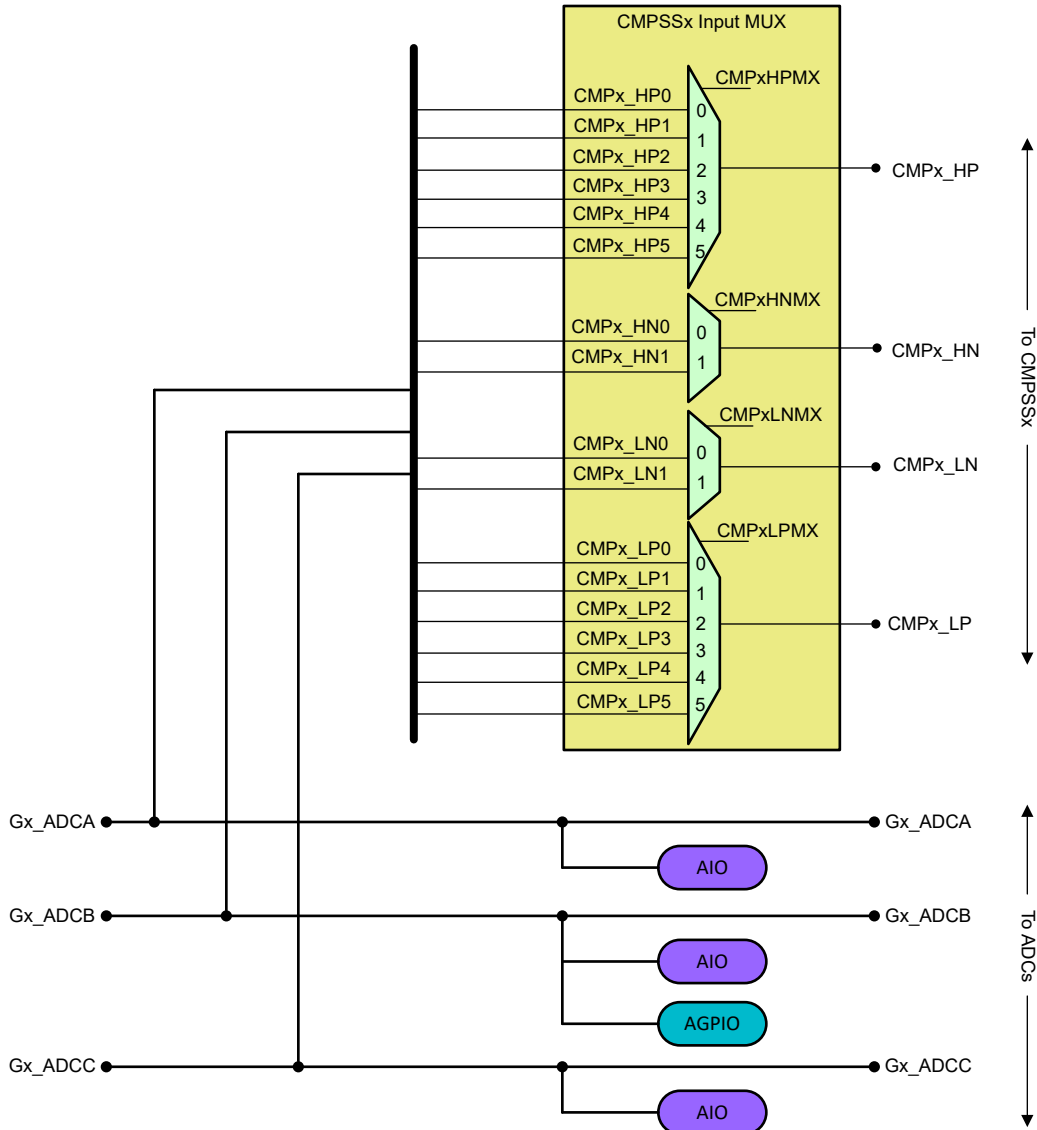


図 6-40. アナログ・サブシステムのブロック図 (48 ピン PT LQFP)



A. AIO は、デジタル入力モードのみをサポートしています。

図 6-41. アナログ・グループ接続

6.13.1 アナログ・ピンと内部接続

表 6-10. アナログ・ピンと内部接続

ピン名称	パッケージ・ピン				ADC			コンパレータ・サブシステム (MUX)				AIO 入力	
	100 PZ	80 PN	64 PM	48 PT	A	B	C	High 正	High 負	Low 正	Low 負		
VREFHI	24, 25	20	16	12									
VREFLO	26, 27	21	17	13	A13	B13	C13						
アナログ・グループ 1								CMP1					
A6	14	10	6	4 ⁽¹⁾	A6	-	-	CMP1 (HPMXSEL=2)		CMP1 (LPMXSEL=2)		AIO228	
A2/B6/C9	17	13	9	6	A2	B6	C9	CMP1 (HPMXSEL=0)		CMP1 (LPMXSEL=0)		AIO224	
A15	-	14	10	7	A15	-	-	CMP1 (HPMXSEL=3)	CMP1 (HNMXSEL=0)	CMP1 (LPMXSEL=3)	CMP1 (LNMXSEL=0)	AIO233	
B9/C7	18				-	B9	C7						
A11/B10/C0	20	16	12	8	A11	B10	C0	CMP1 (HPMXSEL=1)	CMP1 (HNMXSEL=1)	CMP1 (LPMXSEL=1)	CMP1 (LNMXSEL=1)	AIO237	
A1/B7/DACB_OUT	22	18	14	10	A1	B7	-	CMP1 (HPMXSEL=4)		CMP1 (LPMXSEL=4)		AIO232	
アナログ・グループ 2								CMP2					
A10/B1/C10	40	29	25	21	A10	B1	C10	CMP2 (HPMXSEL=3)	CMP2 (HNMXSEL=0)	CMP2 (LPMXSEL=3)	CMP2 (LNMXSEL=0)	AIO230	
アナログ・グループ 3								CMP3					
B2/C6	15	11	7	4 ⁽¹⁾	-	B2	C6	CMP3 (HPMXSEL=0)		CMP3 (LPMXSEL=0)		AIO226	
B3/VDAC ⁽²⁾	16	12	8	5	-	B3	-	CMP3 (HPMXSEL=3)	CMP3 (HNMXSEL=0)	CMP3 (LPMXSEL=3)	CMP3 (LNMXSEL=0)	AIO242	
C5	28				-	-	C5						
A3	-				A3	-	-	CMP3 (HPMXSEL=5)		CMP3 (LPMXSEL=5)			
A14/B14/C4	19	15	11	-	A14	B14	C4	CMP3 (HPMXSEL=4)		CMP3 (LPMXSEL=4)		AIO239	
A0/B15/C15/ DACA_OUT	23	19	15	11	A0	B15	C15	CMP3 (HPMXSEL=2)		CMP3 (LPMXSEL=2)		AIO231	
アナログ・グループ 4								CMP4					
A7/C3	31	23	19	15	A7	-	C3	CMP4 (HPMXSEL=1)	CMP4 (HNMXSEL=1)	CMP4 (LPMXSEL=1)	CMP4 (LNMXSEL=1)	AIO245	
アナログ・グループ 2/3 の組み合わせ								CMP2/3					
A5	35	-	-	-	A5	-	-	CMP2 (HPMXSEL=5)		CMP2 (LPMXSEL=5)		AIO249	
	-	-	-	-		-	-						
B12/C2	21	17	13	9	-	B12	C2	CMP3 (HPMXSEL=1)	CMP3 (HNMXSEL=1)	CMP3 (LPMXSEL=1)	CMP3 (LNMXSEL=1)	AIO244	
アナログ・グループ 2/4 の組み合わせ								CMP2/4					
A12	28	22	18	14	A12	-	-	CMP2 (HPMXSEL=1)	CMP2 (HNMXSEL=1)	CMP2 (LPMXSEL=1)	CMP2 (LNMXSEL=1)	AIO238	
C1	29				-	-	C1			CMP4 (HPMXSEL=2)		CMP4 (LPMXSEL=2)	

表 6-10. アナログ・ピンと内部接続 (続き)

ピン名称	パッケージ・ピン				ADC			コンパレータ・サブシステム (MUX)				AIO 入力
	100 PZ	80 PN	64 PM	48 PT	A	B	C	High 正	High 負	Low 正	Low 負	
A8	37	-	-	-	A8	-	-	CMP4 (HPMXSEL=4)		CMP4 (LPMXSEL=4)		AIO240
	-	24	20	16		-	-					AIO241
B0/C11	-	41	-	-	-	B0	C11	CMP2 (HPMXSEL=4)		CMP2 (LPMXSEL=4)		AIO253
	41				-							-
A4/B8	36	27	23	19	A4	B8	-	CMP2 (HPMXSEL=0)		CMP2 (LPMXSEL=0)		AIO225
C14	-	42	-	-	-	-	C14	CMP4 (HPMXSEL=3)	CMP4 (HNMXSEL=0)	CMP4 (LPMXSEL=3)	CMP4 (LNMXSEL=0)	AIO247
	42				-							-
A9	38	28	24	20	A9	-	-	CMP2 (HPMXSEL=2)		CMP2 (LPMXSEL=2)		AIO227
B4/C8	39	-	-	-	-	B4	C8	CMP4 (HPMXSEL=0)		CMP4 (LPMXSEL=0)		AIO236
その他のアナログ												
B5	32	-	-	-	-	B5	-	CMP1 (HPMXSEL=5)		CMP1 (LPMXSEL=5)		AIO252
B5/GPIO20 ⁽³⁾	48	33	-	-	-		-					GPI020
B11	30	-	-	-	-	B11	-	CMP4 (HPMXSEL=5)		CMP4 (LPMXSEL=5)		AIO251
B11/GPIO21 ⁽³⁾	49	34	-	-	-		-					GPI021
温度センサ ⁽⁴⁾	-	-	-	-	-	-	C12					

- (1) A6 と C6 は、ピン 4 として二重ボンディングされています。
- (2) オンチップ COMPDAC/GPDAC の外部基準電圧 (オプション)。このピンには、ADC 入力または COMPDAC/GPDAC 基準電圧のいずれに使用する場合でも、VSSA への内部容量があります。VDAC 基準電圧として使用する場合は、このピンに 1µF 以上のコンデンサを配置します。
- (3) これらのアナログ・ピンの GPIO は、完全なデジタル入出力機能をサポートしており、AGPIO と呼ばれます。デフォルトでは AGPIO は接続されておらず、アナログ機能とデジタル機能の両方がディセーブルになっています。構成の詳細については、「ADC ピンのデジタル入出力 (AGPIO)」セクションを参照してください。
- (4) 内部接続のみ。デバイス・ピンに接続されません。

6.13.2 アナログ信号の説明

表 6-11. アナログ信号の説明

信号名	説明
AIOx	ADC ピンのデジタル入力
GPIOx	デジタル入出力ピン、ADC 機能付き
Ax	ADC A 入力
Bx	ADC B 入力
Cx	ADC C 入力
CMPx_DACH	コンパレータ・サブシステムのハイ DAC 出力
CMPx_DACL	コンパレータ・サブシステムのロー DAC 出力
CMPx_HNy	コンパレータ・サブシステムのハイ・コンパレータ負入力
CMPx_HPy	コンパレータ・サブシステムのハイ・コンパレータ正入力
CMPx_LNy	コンパレータ・サブシステムのロー・コンパレータ負入力
CMPx_LPy	コンパレータ・サブシステムのロー・コンパレータ正入力
DACx_OUT	バッファ付き DAC 出力
温度センサ	内部温度センサ
VDAC	オンチップ COMPDAC の外部基準電圧 (オプション)。このピンの容量は、他のアナログ・ピンよりも高くなっています。詳細については、「チャンネルごとの寄生容量」表を参照してください。この容量は、ピンが ADC 入力または COMPDAC/GPDAC の基準電圧のどちらかに使用されている場合でも存在し、ディセーブルできません。このピンをオンチップ COMPDAC/GPDAC の基準電圧として使用する場合は、このピンに 1µF 以上のコンデンサを配置します。

6.13.3 A/D コンバータ (ADC)

ここで説明する ADC モジュールは、12 ビットの分解能を持つ逐次比較型 (SAR) ADC です。このセクションでは、コンバータのアナログ回路を「コア」と呼び、チャンネル選択マルチプレクサ、サンプル / ホールド (S/H) 回路、逐次比較回路、電圧リファレンス回路、その他のアナログ・サポート回路が含まれています。コンバータのデジタル回路は「ラッパー」と呼ばれ、プログラム可能な変換、結果レジスタ、アナログ回路へのインターフェイス、ペリフェラル・バスへのインターフェイス、後処理回路、およびその他のオンチップ・モジュールへのインターフェイス用のロジックが含まれています。

各 ADC モジュールは、単一のサンプル / ホールド (S/H) 回路で構成されています。ADC モジュールは、同じチップ上で複数回複製された設計になっており、複数の ADC を同時にサンプリングすることも、独立して動作させることもできます。ADC ラッパーは、変換開始 (SOC) ベースで動作します (『[TMS320F28003x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「A/D コンバータ (ADC)」の章にある「SOC の動作原理」セクションを参照)。

各 ADC には次のような特長があります。

- 12 ビットの分解能
- VREFHI/VREFLO によって設定されるレシオメトリック外部リファレンス
- 2.5V または 3.3V の内部リファレンスを選択可能
- シングルエンド信号モード
- 最大 16 チャンネルの入力マルチプレクサ
- 16 本の構成可能な SOC
- 16 個の個別にアドレス指定可能な結果レジスタ
- 複数のトリガ・ソース
 - ソフトウェアによる直接開始
 - すべての ePWM: ADCSOC A または B
 - GPIO XINT2
 - CPU タイマ 0/1/2
 - ADCINT1/2
- 4 つのフレキシブルな PIE 割り込み
- バースト・モード・トリガ・オプション
- 4 つの後処理ブロック、それぞれに次の機能を搭載:
 - 飽和オフセット較正
 - 設定点からの誤差の計算
 - 高、低、ゼロクロス比較、割り込みおよび ePWM トリップ機能付き
 - トリガからサンプルまでの遅延キャプチャ

注

すべてのチャンネルがすべての ADC からピンへ接続できるわけではありません。使用可能なチャンネルを確認するには、「ピン構成および機能」セクションを参照してください。

図 6-42 に、ADC コアと ADC ラッパーのブロック図を示します。

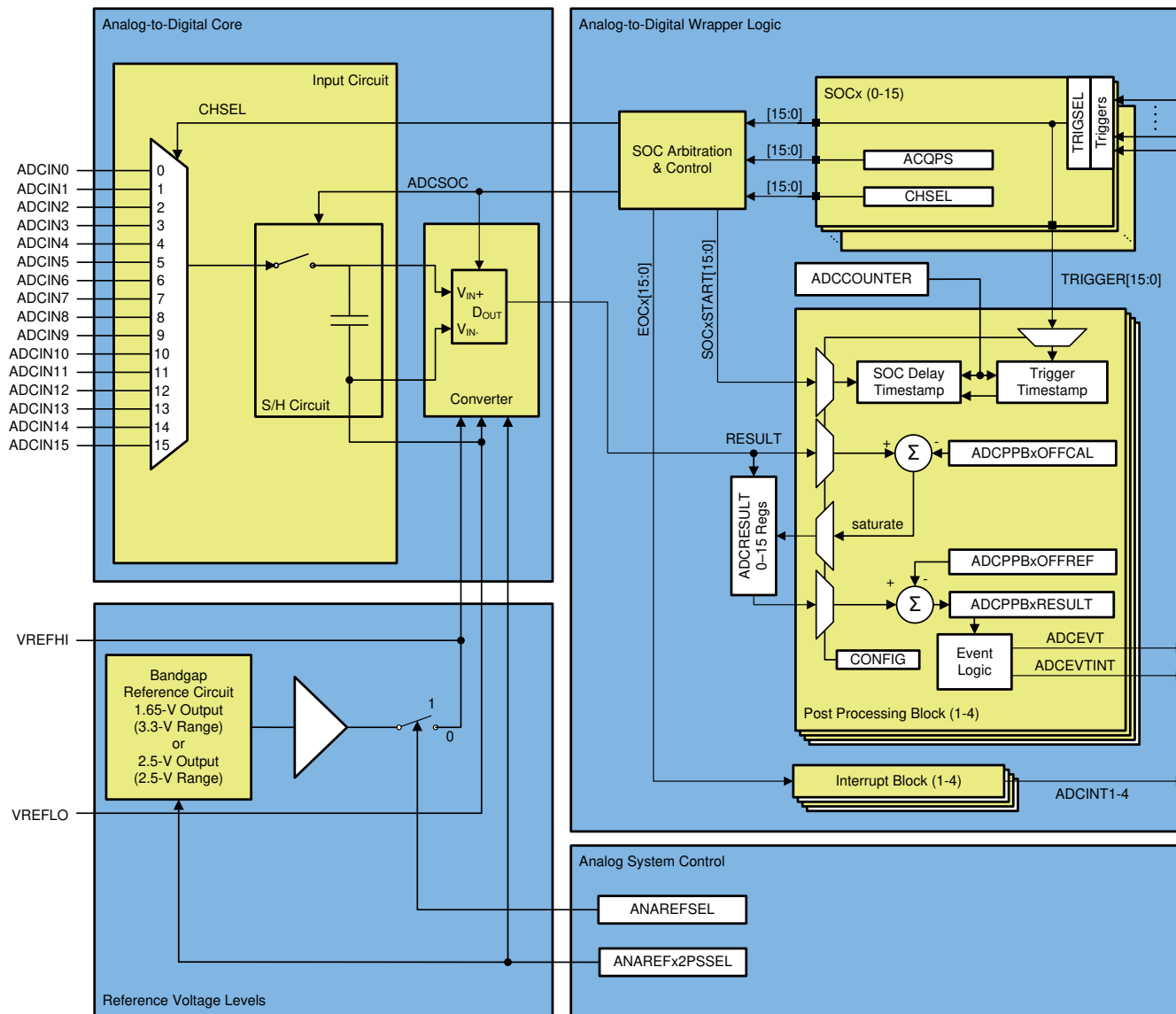


図 6-42. ADC モジュールのブロック図

6.13.3.1 ADC の構成可能性

一部の ADC 構成は、SOC によって個別に管理されますが、他の構成は、ADC モジュールごとにまとめて管理されます。表 6-12 に、基本的な ADC オプションとその構成レベルを示します。

表 6-12. ADC オプションおよび構成レベル

オプション	構成方法
クロック	モジュールごと ⁽¹⁾
分解能	構成不可 (12 ビット分解能のみ)
信号モード	構成不可 (シングルエンド信号モードのみ)
リファレンス電圧源	すべてのモジュールで外部または内部
トリガ・ソース	SOC ごと ⁽¹⁾
変換対象チャンネル	SOC ごと
アキュイジション・ウィンドウ幅	SOC ごと ⁽¹⁾
EOC の位置	モジュールごと
バースト・モード	モジュールごと ⁽¹⁾

(1) これらの設定について、異なる ADC モジュールに異なる値を書き込むと、ADC が非同期に動作する可能性があります。ADC の動作が同期になるか非同期になるかについてのガイダンスは、『[TMS320F28003x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「A/D コンバータ (ADC)」の章にある「同期動作の確保」セクションを参照してください。

6.13.3.1.1 信号モード

ADC は、シングルエンド信号処理をサポートしています。コンバータへの入力電圧は、1 本のピン (ADCINx) を介し、VREFLO を基準としてサンプリングされます。

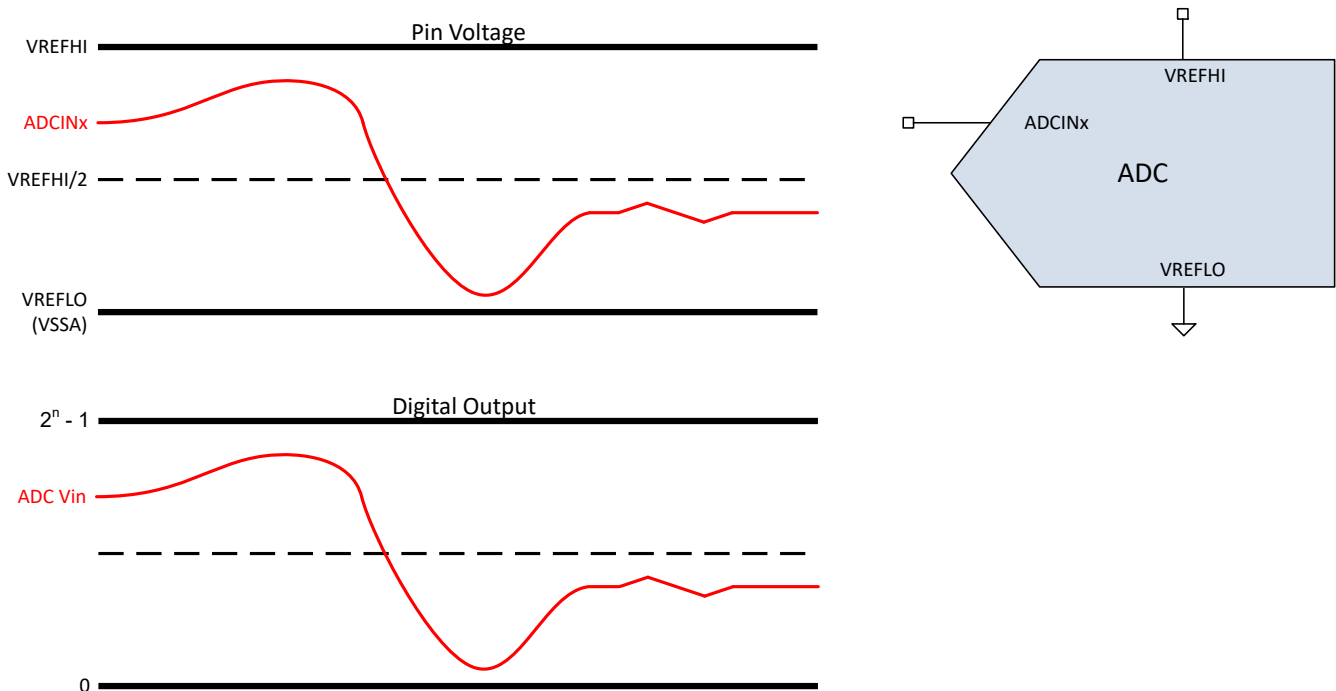


図 6-43. シングルエンド信号モード

6.13.3.2 ADC の電氣的データおよびタイミング

注

ADC 入力は $V_{DDA} + 0.3V$ よりも低く維持する必要があります。ADC 入力がこのレベルを超えると、ADC によって他のチャンネルに乱れが生じる可能性があります。メカニズムは次の 2 つです。

- ADC 入力の過電圧によって CMPSS マルチプレクサのオーバードライブが発生し、共通の CMPSS マルチプレクサを共有する他のすべてのチャンネルに乱れが生じます。この乱れは、過電圧の入力が ADC によってサンプリングされるかどうかに関係なく続きます。
- 過電圧の ADC 入力が ADC によってサンプリングされると、VREFHI がより高いレベルに引き上げられま
す。これにより、 V_{REF} が安定するまで、任意のチャンネルでの以降の ADC 変換に乱れが生じます。

注

正常な機能動作を確保するためには、VREFHI ピンを $V_{DDA} + 0.3V$ よりも低く維持する必要があります。VREFHI ピンがこのレベルを超えると、ブロッキング回路が動作し内部の VREFHI 値が 0V になることで、ADC 変換出力が不正確になる可能性があります。

6.13.3.2.1 ADC の動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5		60	MHz
サンプル・レート	120MHz SYSCLK			4	MSPS
	120MHz SYSCLK (AGPIO ピン)			3.75	MSPS
サンプル・ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) ⁽¹⁾	50Ω 以下の R_s	75			ns
	50Ω 以下の R_s , (AGPIO ピン)	90			ns
VREFHI	外部リファレンス	2.4	2.5 または 3.0	V_{DDA}	V
	内部リファレンス = 3.3V レンジ		1.65		V
VREFHI ⁽²⁾	内部リファレンス = 2.5V レンジ		2.5		V
VREFLO		VSSA		VSSA	V
VREFHI - VREFLO		2.4		V_{DDA}	V
変換範囲	内部リファレンス = 3.3V レンジ	0		3.3	V
	内部リファレンス = 2.5V レンジ	0		2.5	V
	外部リファレンス	VREFLO		VREFHI	V

- (1) この他、ADC を正しく動作させるために、サンプル・ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。
- (2) 内部リファレンス・モードでは、デバイスによってリファレンス電圧が VREFHI ピンから駆動されます。このモードでは、ピンに電圧を印加しないでください。

6.13.3.2.2 ADC 特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
全般					
ADCCLK 変換サイクル	120MHz SYSCLK	10.1		11	ADCCLK
パワーアップ時間	外部リファレンス・モード			500	μs
	内部リファレンス・モード			5000	μs
	内部リファレンス・モード、2.5V レンジと 3.3V レンジの間で切り替える場合。			5000	μs
VREFHI 入力電流 ⁽¹⁾			130		μA
内部リファレンス・コンデンサの値 ⁽²⁾		2.2			μF
外部リファレンス・コンデンサの値 ⁽²⁾		2.2			μF
DC 特性					
ゲイン誤差	内部リファレンス	-45		45	LSB
	外部リファレンス	-5	±3	5	
オフセット誤差		-5	±2	5	LSB
チャンネル間ゲイン誤差 ⁽⁴⁾			2		LSB
チャンネル間オフセット誤差 ⁽⁴⁾			2		LSB
ADC 間ゲイン誤差 ⁽⁵⁾	すべての ADC で同一の VREFHI および VREFLO		4		LSB
ADC 間オフセット誤差 ⁽⁵⁾	すべての ADC で同一の VREFHI および VREFLO		2		LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-2	±1.0	2	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-1		1	LSB
AC 特性					
SNR ⁽³⁾	外部および内部 VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		70.5		dB
	内部 VREFHI = 1.65V (0~3.3V の範囲)、fin = 100kHz、X1 からの SYSCLK		68.2		
	外部および内部 VREFHI、fin = 100kHz、INTOSC からの SYSCLK		60.1		dB
THD ⁽³⁾	外部および内部 VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		-85.0		dB
	内部 VREFHI = 1.65V (0~3.3V の範囲)、fin = 100kHz、X1 からの SYSCLK		-82.3		dB
SFDR ⁽³⁾	外部および内部 VREFHI、fin = 100kHz		79.2		dB
SINAD ⁽³⁾	外部および内部 VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		70.4		dB
	内部 VREFHI = 1.65V (0~3.3V の範囲)、fin = 100kHz、X1 からの SYSCLK		68.0		
	外部および内部 VREFHI、fin = 100kHz、INTOSC からの SYSCLK		60.0		dB
ENOB ⁽³⁾	外部 VREFHI および内部 VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、シングルおよび同期 ADC		11.4		ビット
	内部 VREFHI = 1.65V (0~3.3V の範囲)、fin = 100kHz、X1 からの SYSCLK、シングルおよび同期 ADC		11.0		
	すべての VREF モード、fin = 100kHz、X1 からの SYSCLK、非同期 ADC		非対応		

6.13.3.2.2 ADC 特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
PSRR	VDD = 1.2V DC + 100mV DC から 1kHz の正弦波まで		60		dB
	VDD = 1.2V DC + 100mV DC から 300kHz の正弦波まで		57		
	VDDA = 3.3V DC + 200mV DC から 1kHz の正弦波まで		60		
	VDDA = 3.3V DC + 200mV 900kHz の正弦波		57		

- (1) ADC 入力が増えると、VREFHI の負荷電流が増加します。その結果、不正確な変換が発生します。
- (2) 0805 以下のパッケージ・サイズのセラミック・コンデンサを推奨します。許容誤差は最大 $\pm 20\%$ です。
- (3) 容量性結合とクロストークを低減するためのベスト・プラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。
- (4) 同じ ADC モジュールに属するすべてのチャンネルでの変動。
- (5) 他の ADC モジュールと比較した場合のワーストケースの変動。

6.13.3.2.3 ADC 入力モデル

ADC 入力特性は、表 6-13 および 図 6-44 に示すとおりです。

表 6-13. 入力モデルのパラメータ

	説明	リファレンス・モード	値
C_p	寄生入力容量	すべて	表 6-14~表 6-17 を参照
R_{on}	サンプリング・スイッチ抵抗	外部リファレンス、2.5V 内部リファレンス	500 Ω
		3.3V 内部リファレンス	860 Ω
C_h	サンプリング・コンデンサ	外部リファレンス、2.5V 内部リファレンス	12.5pF
		3.3V 内部リファレンス	7.5pF
R_s	公称ソース・インピーダンス	すべて	50 Ω

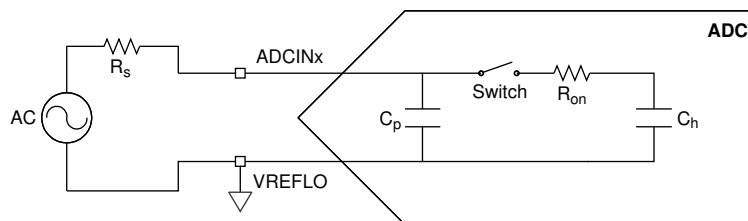


図 6-44. 入力モデル

この入力モデルは、アキュイジション・ウィンドウの幅を決定する際に、実際の信号源インピーダンスと合わせて使用する必要があります。詳細については、『TMS320F28003x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「A/D コンバータ (ADC)」の章にある「アキュイジション ウィンドウ幅の選択」セクションを参照してください。ADC 入力回路の改善に関する推奨事項については、『C2000 MCU 用 ADC 入力回路の評価』アプリケーション・レポートを参照してください。

表 6-14. 100 ピン PZ LQFP のチャンネルごとの寄生容量

ADC チャンネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0/B15/C15/DACA_OUT	9.1	11.6
A1/B7/DACB_OUT	7.4	9.9
A2/B6/C9	4.1	6.6

表 6-14. 100 ピン PZ LQFP のチャンネルごとの寄生容量 (続き)

ADC チャンネル	C _p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A3	3.3	5.8
A4/B8	3.8	6.3
A5	3.5	6
A6	3.2	5.7
A7/C3	3.8	6.3
A8	4.1	6.6
A9	3.1	5.6
A10/B1/C10	4.7	7.2
A11/B11/C0	4	6.5
A12	3.4	5.9
A14/B14/C4	3.8	6.3
B0/C11	4.1	6.6
B2/C6	3.9	6.4
B3/VDAC	75	77.5
B4/C8	3.8	6.3
B5	3.5	6
B9/C7	3.3	5.8
B11	3	5.5
B12/C2	3.6	6.1
C1	3	5.5
C5	3.6	6.1
C14	4.2	6.7
AGPIO_B5	3.2	5.7
AGPIO_B11	3.1	5.6

表 6-15. 80 ピン PN LQFP のチャンネルごとの寄生容量

ADC チャンネル	C _p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0/B15/C15/DACA_OUT	9.1	11.6
A1/B7/DACB_OUT	7.4	9.9
A2/B6/C9	4.1	6.6
A3/B3/C5/VDAC	81.9	89.4
A4/B8/C14	8	13
A5/B12/C2	7.1	12.1
A6	3.2	5.7
A7/C3	3.8	6.3
A8/B0/C11	8.2	13.2
A9/B4/C8	6.9	11.9
A10/B1/C10	4.7	7.2
A11/B11/C0	4	6.5
A12/C1	6.4	11.4
A14/B14/C4	3.8	6.3
A15/B9/C7	7.1	12.1
B2/C6	3.9	6.4

表 6-15. 80 ピン PN LQFP のチャンネルごとの寄生容量 (続き)

ADC チャンネル	C _p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
AGPIO_B5	3.2	5.7
AGPIO_B11	3.1	5.6

表 6-16. 64 ピン PM LQFP のチャンネルごとの寄生容量

ADC チャンネル	C _p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0/B15/C15/DACA_OUT	9.1	11.6
A1/B7/DACB_OUT	7.4	9.9
A2/B6/C9	4.1	6.6
A3/B3/C5/VDAC	81.9	89.4
A4/B8/C14	8	13
A5/B12/C2	7.1	12.1
A6	3.2	5.7
A7/C3	3.8	6.3
A8/B0/C11	8.2	13.2
A9/B4/C8	6.9	11.9
A10/B1/C10	4.7	7.2
A11/B11/C0	4	6.5
A12/C1	6.4	11.4
A14/B14/C4	3.8	6.3
A15/B9/C7	7.1	12.1
B2/C6	3.9	6.4

表 6-17. 48 ピン PT LQFP のチャンネルごとの寄生容量

ADC チャンネル	C _p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0/B15/C15/DACA_OUT	9.1	11.6
A1/B7/DACB_OUT	7.4	9.9
A2/B6/C9	4.1	6.6
A3/B3/C5/VDAC	81.9	89.4
A4/B8/C14	8	13
A5/B12/C2	7.1	12.1
A6/B2/C6	7.1	12.1
A7/C3	3.8	6.3
A8/B0/C11	8.2	13.2
A9/B4/C8	6.9	11.9
A10/B1/C10	4.7	7.2
A11/B11/C0	4	6.5
A12/C1	6.4	11.4
A15/B9/C7	7.1	12.1

6.13.3.2.4 ADC のタイミング図

図 6-45 に、以下の前提による 2 つの SOC の ADC 変換タイミングを示します。

- SOC0 および SOC1 は、同じトリガを使用するように構成されています。
- トリガが発生したときに、他の SOC が変換中または保留中になっていることはありません。
- ラウンド・ロビン・ポインタは、最初に SOC0 で変換が発生する状態になっています。
- ADCINTSEL は、SOC0 の変換終了時に ADCINT フラグを設定するように構成されています (このフラグを CPU に通知して割り込みを発生させるかどうかは、PIE モジュールの構成によって決まります)。

表 6-18 に、ADC タイミング・パラメータの説明を示します。表 6-19 に、ADC タイミングの一覧を示します。

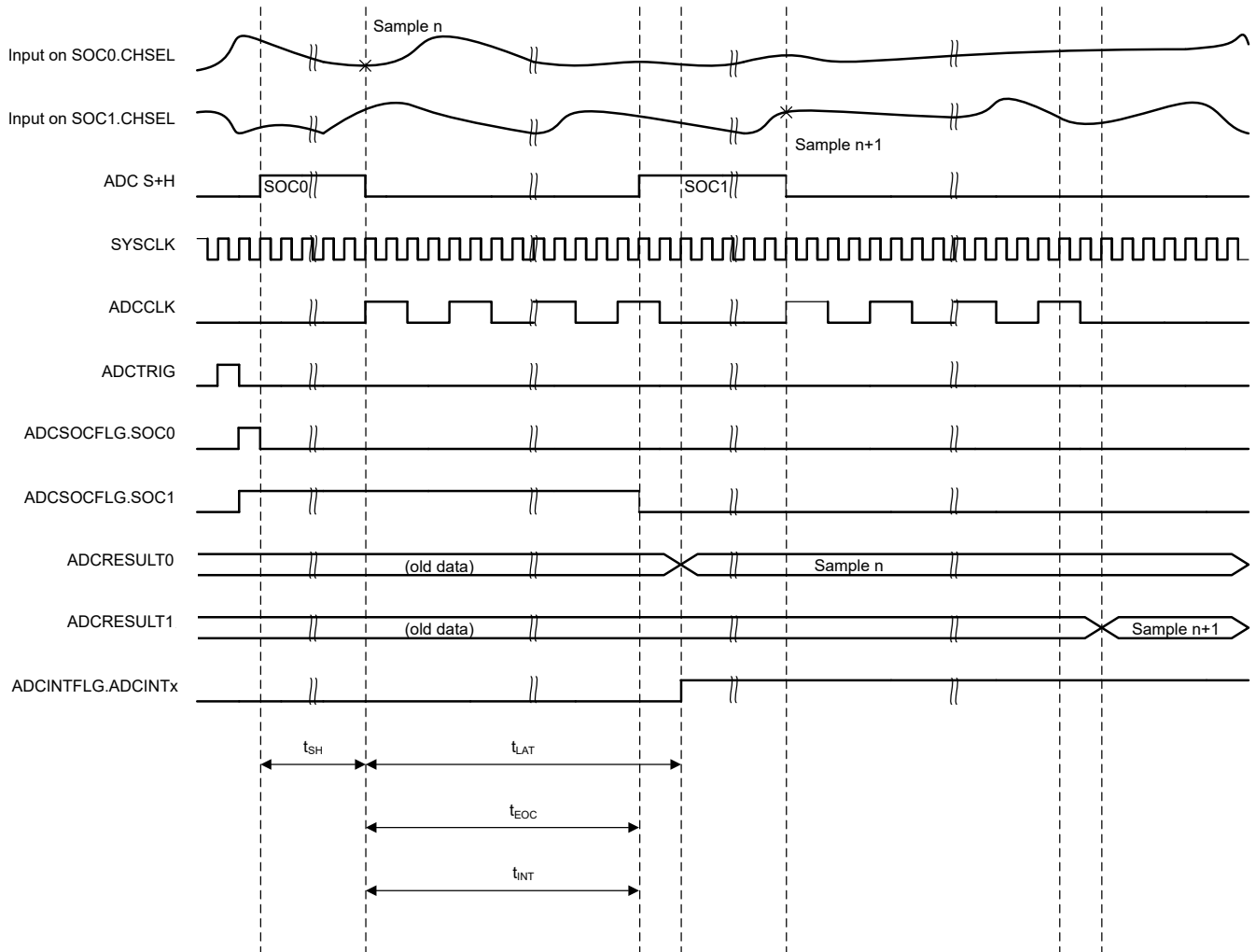


図 6-45. ADC タイミング

表 6-18. ADC タイミング・パラメータの説明

パラメータ	説明
t_{SH}	S+H ウィンドウの幅。 このウィンドウの終了時点における S+H コンデンサでの値が、デジタル値に変換される電圧になります。この時間は、(ACQPS + 1) SYSCLK サイクルで与えられます。ACQPS は、各 SOC に対して個別に構成できるため、異なる SOC の t_{SH} は、同じであるとは限りません。 注: デバイスのクロック設定に関係なく、S+H コンデンサでの値は、S+H ウィンドウ終了の約 5ns 前にキャプチャされます。
t_{LAT}	S+H ウィンドウ終了から、ADC 結果が ADCRESULTx レジスタにラッチされるまでの時間。 この時間より前に ADCRESULTx レジスタを読み取った場合、前回の変換結果が返されます。
t_{EOC}	S+H ウィンドウ終了から、次の ADC 変換を開始できる S+H ウィンドウまでの時間。その後は、変換結果がラッチされる前にサンプリングを開始できます。
t_{INT}	S+H ウィンドウの終了から ADCINT フラグが設定されるまでの時間 (そのように構成されている場合)。 ADCCTL1 レジスタの INTPULSEPOS ビットが設定されている場合、 t_{INT} は変換 (EOC) 信号の終了時点と一致します。 INTPULSEPOS ビットが 0 の場合、 t_{INT} は、S+H ウィンドウの終了時点と一致します。 t_{INT} によって ADC 結果レジスタの読み取りが (DMA を使用して直接、または結果を読み取る ISR をトリガして間接的に) トリガされる場合、結果がラッチされた後に読み取りが発生するように注意する必要があります (そうでなければ、前回の結果が読み取られます)。 INTPULSEPOS ビットが 0 であり、ADCINTCYCLE レジスタの OFFSET フィールドが 0 でない場合、ADCINT フラグが設定される前に、OFFSET SYSCLK サイクルの遅延が発生します。この遅延時間を使えば、ちょうどサンプリングの用意ができた時点で ISR に入ることができます。また、その時点で DMA をトリガすることもできます。

表 6-19. ADC タイミング

ADCCLK プリスケール		SYSCLK サイクル				ADCCLK サイクル
ADCCTL2 [PRESCALE]	比率 ADCCLK:SYSCLK	t_{EOC}	t_{LAT} ⁽¹⁾	$t_{INT(EARLY)}$ ⁽²⁾	$t_{INT(LATE)}$	t_{EOC}
0	1	11	13	1	11	11
2	2	21	23	1	21	10.5
4	3	31	34	1	31	10.3
6	4	41	44	1	41	10.3
8	5	51	55	1	51	10.2
10	6	61	65	1	61	10.2
12	7	71	76	1	71	10.1
14	8	81	86	1	81	10.1

- (1) 『TMS320F28003x リアルタイム MCU シリコン・エラーッタ』に掲載されている「ADC: 古い結果の DMA 読み取り」アドバイザリを参照してください。
(2) デフォルトでは、INTPULSEPOS が 0 の場合、S+H ウィンドウの後 1 SYSCLK サイクル経過してから t_{INT} が発生します。これは、ADCINTCYCLE レジスタの OFFSET フィールドに書き込むことで変更できます。

6.13.4 温度センサ

6.13.4.1 温度センサの電気的データおよびタイミング

温度センサを使用して、デバイスの接合部温度を測定できます。温度センサは、ADC への内部接続を介してサンプリングされ、テキサス・インスツルメンツが提供するソフトウェアを使用して温度に変換されます。温度センサをサンプリングする場合、ADC は、「温度センサの特性」表に示すアキュイジション時間を満たす必要があります。

6.13.4.1.1 温度センサの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T _{acc}	温度精度	外部リファレンス		±15		°C
t _{startup}	スタートアップ時間 (TSNSCTL[ENABLE] から温度センサのサンプリングまで)			500		µs
t _{acq}	ADC アキュイジション時間		450			ns

6.13.5 コンパレータ・サブシステム (CMPSS)

コンパレータ・サブシステム (CMPSS) は、アナログ・コンパレータとサポート回路で構成されており、ピーク電流モード制御、スイッチ・モード電源、力率補正、電圧トリップ監視などの電源アプリケーションに便利です。

コンパレータ・サブシステムは、多数のモジュールで構築されています。各サブシステムには、2 つのコンパレータ、2 つのリファレンス 12 ビット DAC、2 つのデジタル・フィルタが含まれています。サブシステムには、ランプ生成器も 1 つ含まれています。各モジュール内のコンパレータには、「H」または「L」の表記があります。この場合、「H」と「L」はそれぞれ「High」(ハイ)と「Low」(ロー)を表します。各コンパレータは、正入力の電圧が負入力の電圧よりも高いかどうかを示すデジタル出力を生成します。コンパレータの正入力、外部ピンから駆動されます (CMPSS で利用可能なマルチプレクサ オプションについては、『TMS320F28003x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「アナログ・サブシステム」の章を参照してください)。負入力は、外部ピンまたはプログラマブル・リファレンス 12 ビット DAC によって駆動できます。各コンパレータ出力は、プログラム可能なデジタル・フィルタを通過させることで、不要なトリップ信号を除去できます。フィルタリングが不要な場合は、フィルタなしの出力も使用できます。オプションで、サブシステムのハイ・コンパレータのリファレンス 12 ビット DAC 値の制御にランプ生成器回路を使用できます。

各 CMPSS には、次のものが含まれます。

- 2 つのアナログ・コンパレータ
- 2 つのプログラマブル・リファレンス 12 ビット DAC
- 1 つのランプ生成器
- 2 つのデジタル・フィルタ、最大フィルタ・クロック・プリスケール 65536
- サブモジュールを EPWMSYNCPER と同期可能
- EPWMBLANK によりクリア信号を拡張可能
- 出力を SYSCLK と同期可能
- 出力をラッチ可能
- 出力を反転可能
- 入力にヒステリシスを使用するオプション
- コンパレータの負入力を外部信号またはリファレンス DAC で駆動するオプション
- DAC リファレンス電圧として VDDA または VDAC を選択するオプション

6.13.5.1 CMPSS 接続図

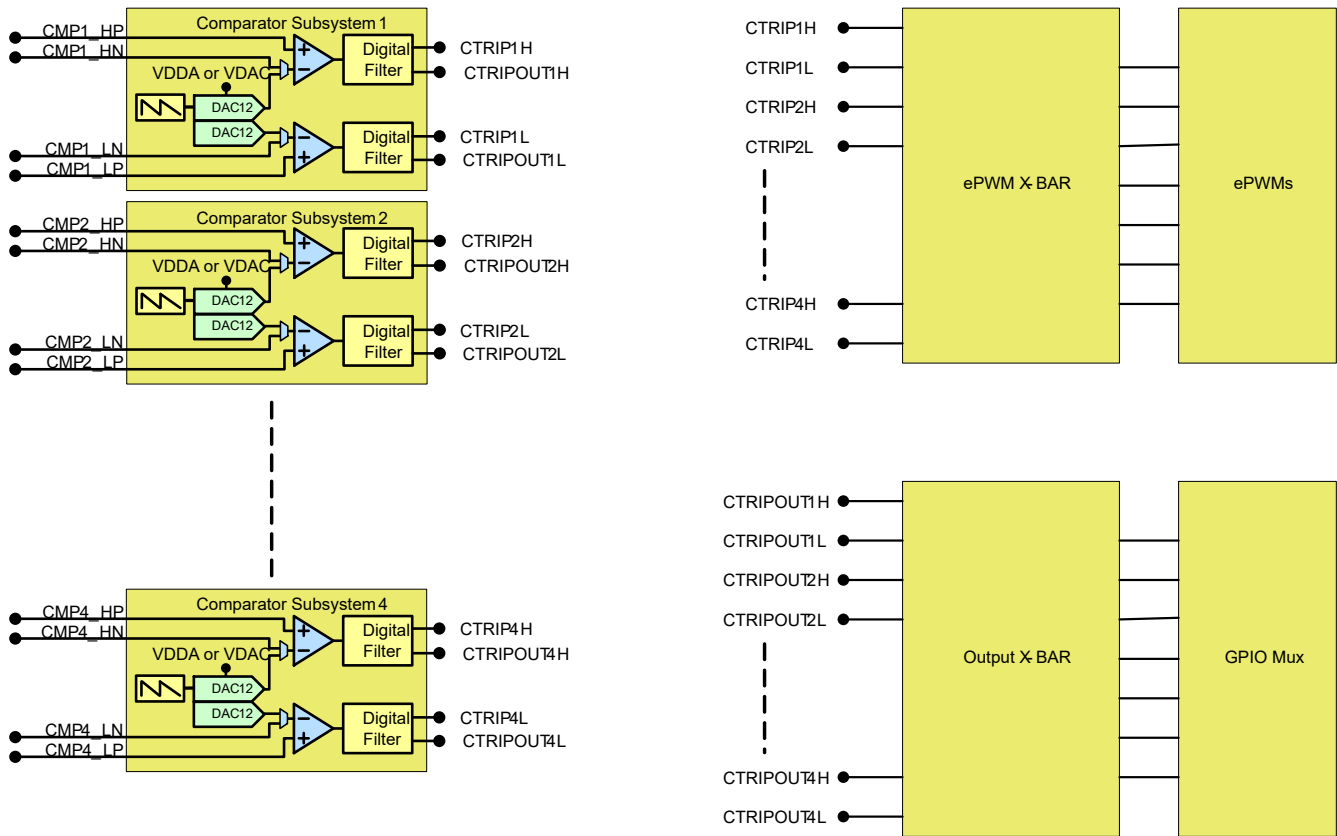


図 6-46. CMPSS の接続

6.13.5.2 ブロック図

CMPSS のブロック図を 図 6-47 に示します。

- ePWMトリップ応答のために、CTRI Px (x = H または L) 信号は、ePWM クロスバーに接続されています。ePWM クロスバーのマルチプレクサ構成の詳細については、『TMS320F28003x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「拡張パルス幅変調器 (ePWM)」の章を参照してください。
- CTRIPxOUTx (x = H または L) 信号は、外部信号用に出力クロスバーに接続されています。出力クロスバーのマルチプレクサ構成の詳細については、『TMS320F28003x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「汎用入出力 (GPIO)」の章を参照してください。

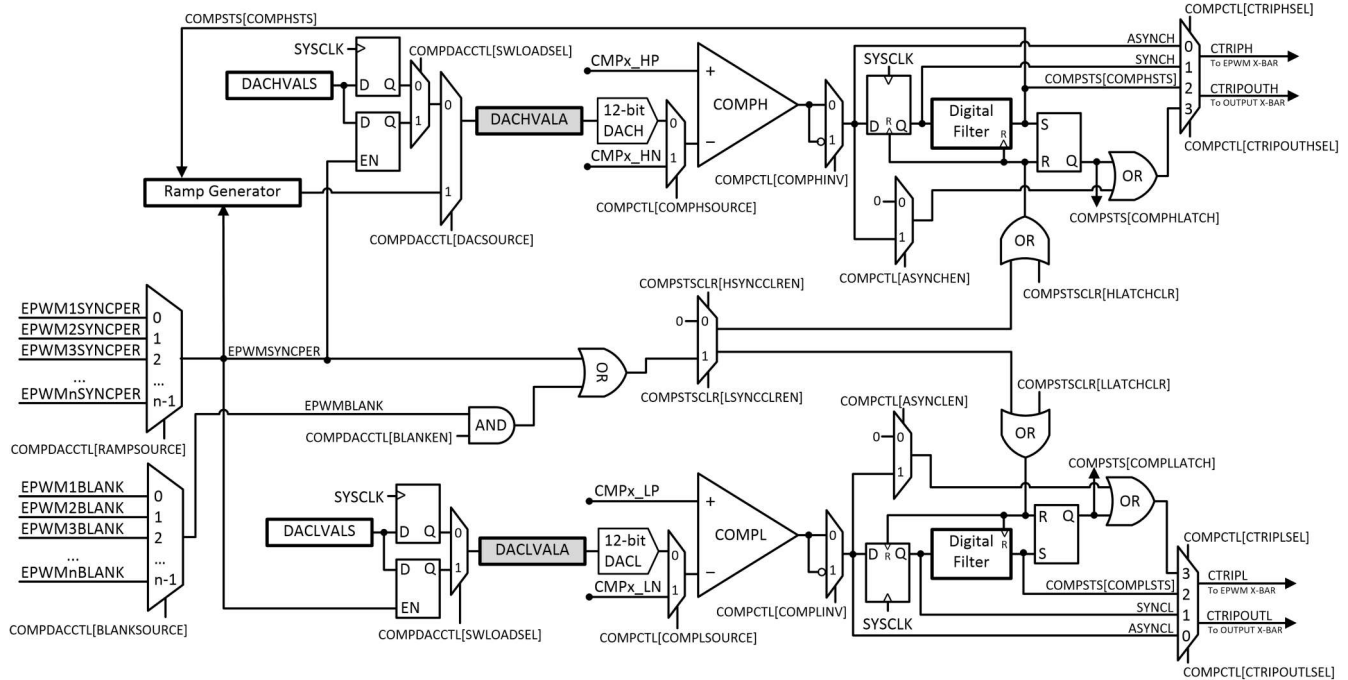


図 6-47. CMPSS モジュールのブロック図

各リファレンス 12 ビット DAC は、それぞれのコンパレータの負入力にリファレンス電圧を駆動するように構成できます。リファレンス 12 ビット DAC 出力は内部のみであり、外部では測定できません。リファレンス 12 ビット DAC を 図 6-48 に示します。

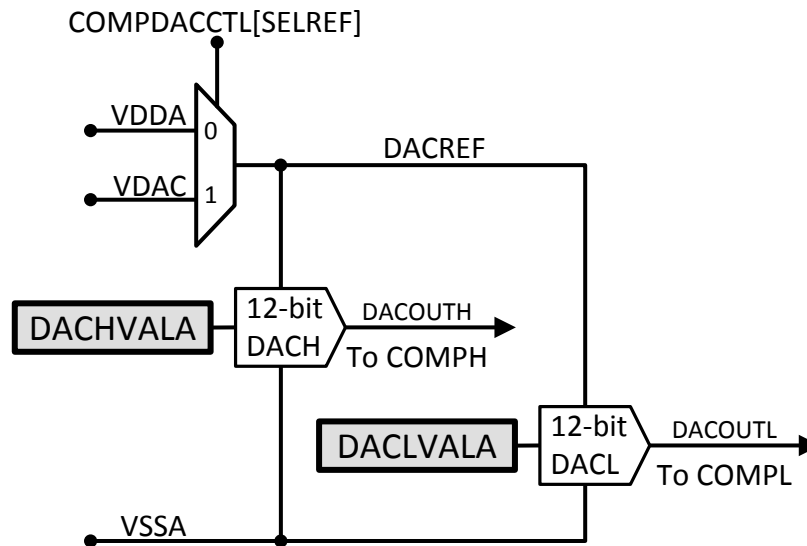


図 6-48. リファレンス DAC のブロック図

6.13.5.3 CMPSS の電氣的データおよびタイミング

6.13.5.3.1 コンパレータの電氣的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
TPU	パワーアップ時間				500	μs
コンパレータ入力 (CMPINxx) 範囲			0		VDDA	V
入力換算オフセット誤差		低同相モード、反転入力は 50mV に設定	-20		20	mV
ヒステリシス ⁽¹⁾	1x		4	12	20	LSB
	2x		17	24	33	
	3x		25	36	50	
	4x		30	48	67	
応答時間 (CMPINx 入力ピン変化から PWM クロスバードまたは出力クロスバード経由で GPIO 出力ピンまでの遅延)	ステップ応答			21	60	ns
	ランプ応答 (1.65V/μs)			26		
	ランプ応答 (8.25mV/μs)			30		ns
PSRR	電源除去比	最高 250kHz		46		dB
CMRR	同相除去比		40			dB

(1) 適用するヒステリシスの大きさを決定するための基準として、CMPSS DAC を使用します。したがって、ヒステリシスは CMPSS DAC リファレンス電圧に応じてスケールリングされます。ヒステリシスは、すべてのコンパレータ入力ソース構成で使用できます。

CMPSS コンパレータの入力換算オフセットとヒステリシス

注

正常な機能動作を確保するためには、CMPSS 入力を $VDDA + 0.3V$ よりも低く維持する必要があります。CMPSS 入力がこのレベルを超えると、内部ブロッキング回路によって内部コンパレータが外部ピンから絶縁され、外部ピンの電圧が $VDDA + 0.3V$ を下回るまでその状態が続きます。この期間中、内部コンパレータの入力はフローティング状態になり、約 $0.5\mu s$ 以内に $VDDA$ を下回るまで減衰します。この時間が経過した後、コンパレータは、他のコンパレータ入力の値に応じて、不正確な結果を出力する可能性があります。

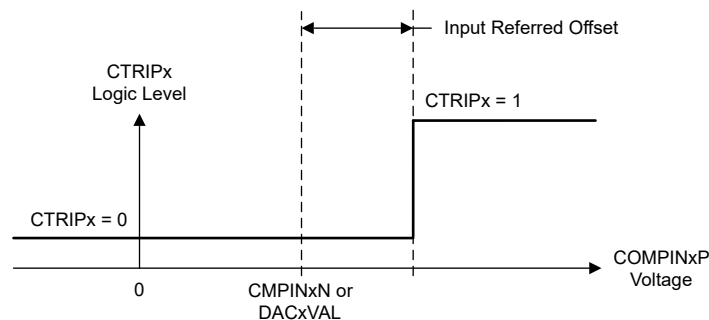


図 6-49. CMPSS コンパレータの入力換算オフセット

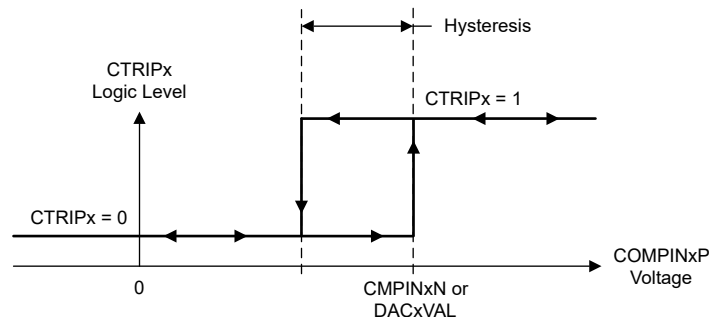


図 6-50. CMSS コンパレータのヒステリシス

6.13.5.3.2 CMPSS DAC の静的電気特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
CMPSS DAC 出力範囲	内部リファレンス	0		VDDA	V
	外部リファレンス	0		VDAC ⁽⁴⁾	
静的オフセット誤差 ⁽¹⁾		-25		25	mV
静的ゲイン誤差 ⁽¹⁾		-2		2	% (対 FSR)
静的 DNL	エンドポイント補正	>-1		4	LSB
静的 INL	エンドポイント補正	-16		16	LSB
セトリング時間	フルスケール出力変化後 1LSB にセトリング			1	μs
分解能			12		ビット
CMPSS DAC 出力の外乱 ⁽²⁾	コンパレータのトリップまたは CMPSS DAC コードの変化によって、同じ CMPSS モジュール内で発生する誤差	-100		100	LSB
CMPSS DAC の外乱時間 ⁽²⁾				200	ns
VDAC リファレンス電圧	VDAC がリファレンス電圧の場合	2.4	2.5 または 3.0	VDDA	V
VDAC 負荷 ⁽³⁾	VDAC がリファレンス電圧の場合	6	8	10	kΩ

- (1) コンパレータの入力換算誤差を含みます。
- (2) コンパレータのトリップ後、一定時間にわたって CMPSS DAC 出力に外乱誤差が生じることがあります。
- (3) アクティブな CMPSS モジュール 1 個あたり。
- (4) VDAC > VDDA の場合、最大出力電圧は VDDA です。

6.13.5.3.3 CMPSS の説明用グラフ

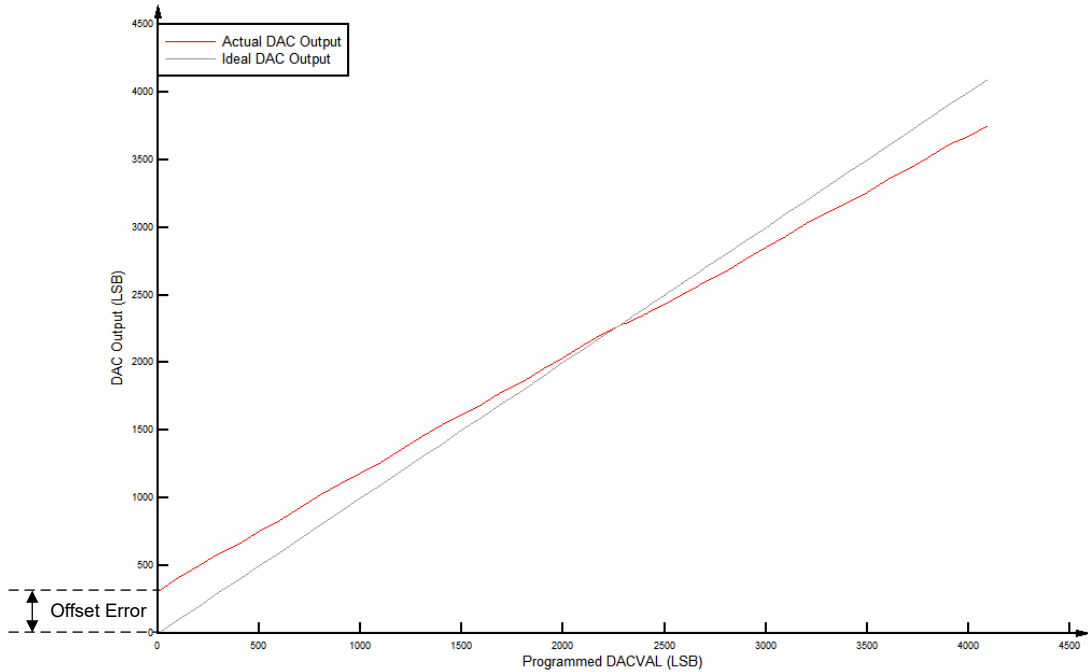


図 6-51. CMPSS DAC の静的オフセット

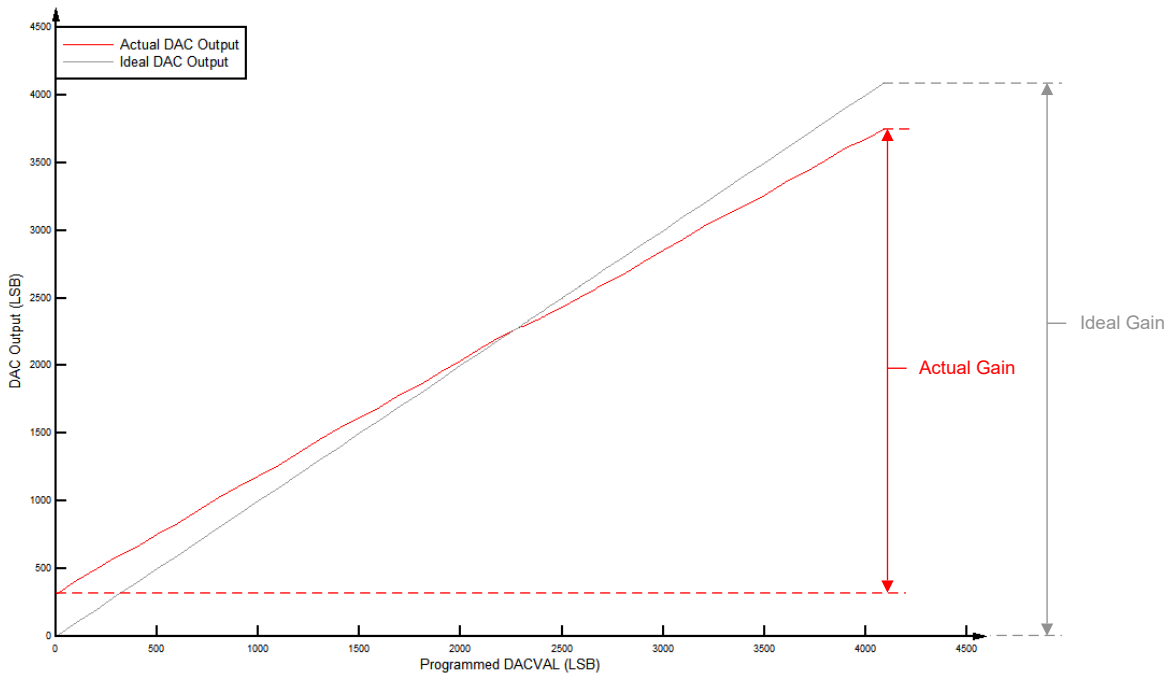


図 6-52. CMPSS DAC の静的ゲイン

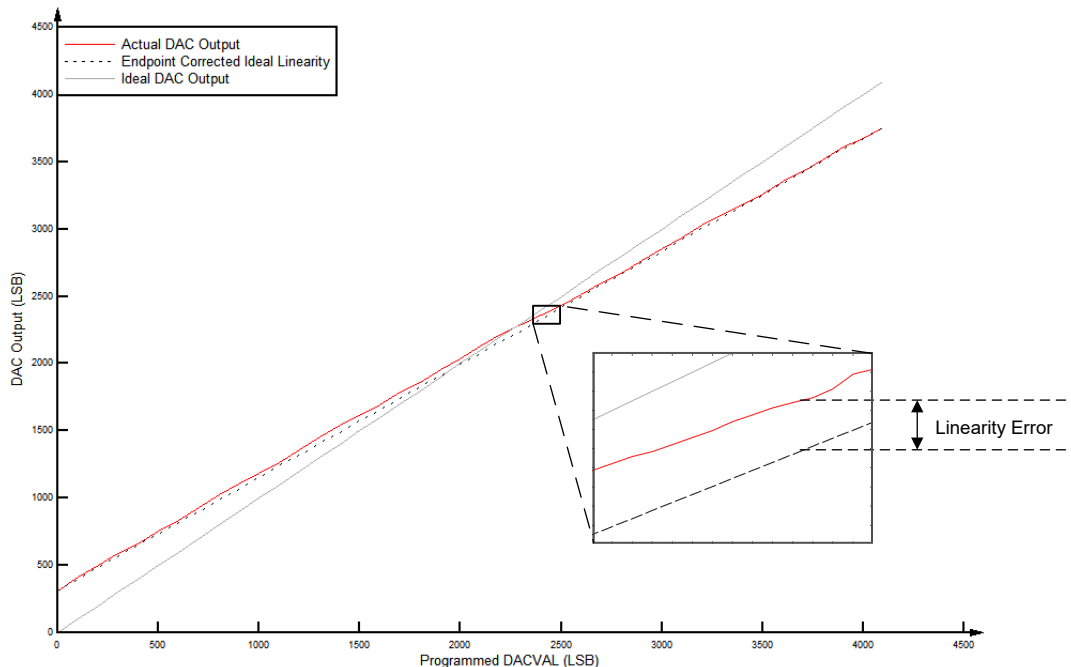


図 6-53. CMPSS DAC の静的直線性

6.13.5.3.4 CMPSS DAC の動的誤差

ランプ生成器を使用して内部 DAC を制御する場合、ステップ・サイズはアプリケーションのニーズに応じて変わることがあります。DAC のステップ・サイズはフルスケールの遷移より小さいため、セトリング時間は「CMPSS DAC の静的電気特性」の表に記載されている電気的仕様よりも改善されます。次の式と 図 6-54 は、RAMPxDECVALA の値に基づいて、想定される理想との電圧の誤差に関する指針を示しています。

$$DYNAMICERROR = (m \times RAMPxDECVALA) + b \quad (3)$$

表 6-20. DAC の最大動的誤差項

式のパラメータ	最小値 (LSB)	最大値 (LSB)
m	0.10	0.18
b	3.7	5.6

注

上記の誤差項は、ターゲット・デバイスの最大 SYSCLK に基づいています。最大 SYSCLK を下回る場合は、それに応じて「m」の誤差項をスケーリングする必要があります。

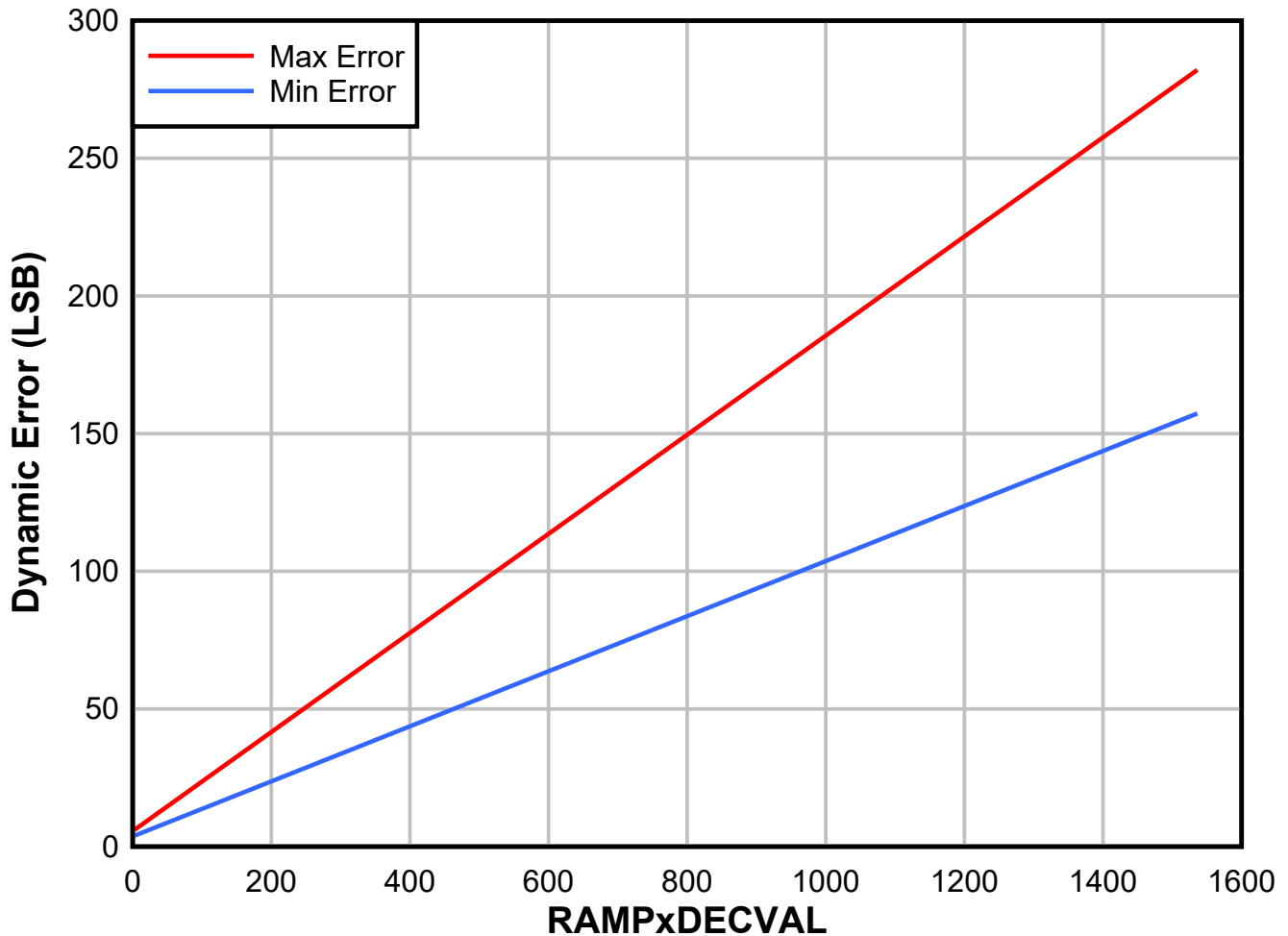


図 6-54. CMPSS DAC の動的誤差

6.13.6 バッファ付き D/A コンバータ (DAC)

バッファ付き DAC モジュールは、内部 12 ビット DAC と、外部負荷を駆動できるアナログ出力バッファで構成されています。標準よりもさらに高い負荷を駆動するには、負荷サイズと出力電圧スイングの間でトレードオフが可能です。バッファ付き DAC の負荷条件については、「バッファ付き DAC の電氣的データおよびタイミング」セクションを参照してください。バッファ付き DAC は汎用 DAC であり、正弦波、方形波、三角波などの DC 電圧または AC 波形を生成するために使用できます。DAC 値レジスタへのソフトウェア書き込みは、直ちに有効にすることもでき、また、EPWMSYNCO イベントと同期させることもできます。

各バッファ付き DAC には次のような機能があります。

- 12 ビット分解能
- リファレンス電圧源を選択可能
- 内部 VREFHI を使用する場合、x1 および x2 ゲイン・モード
- EPWMSYNCPER と同期可能

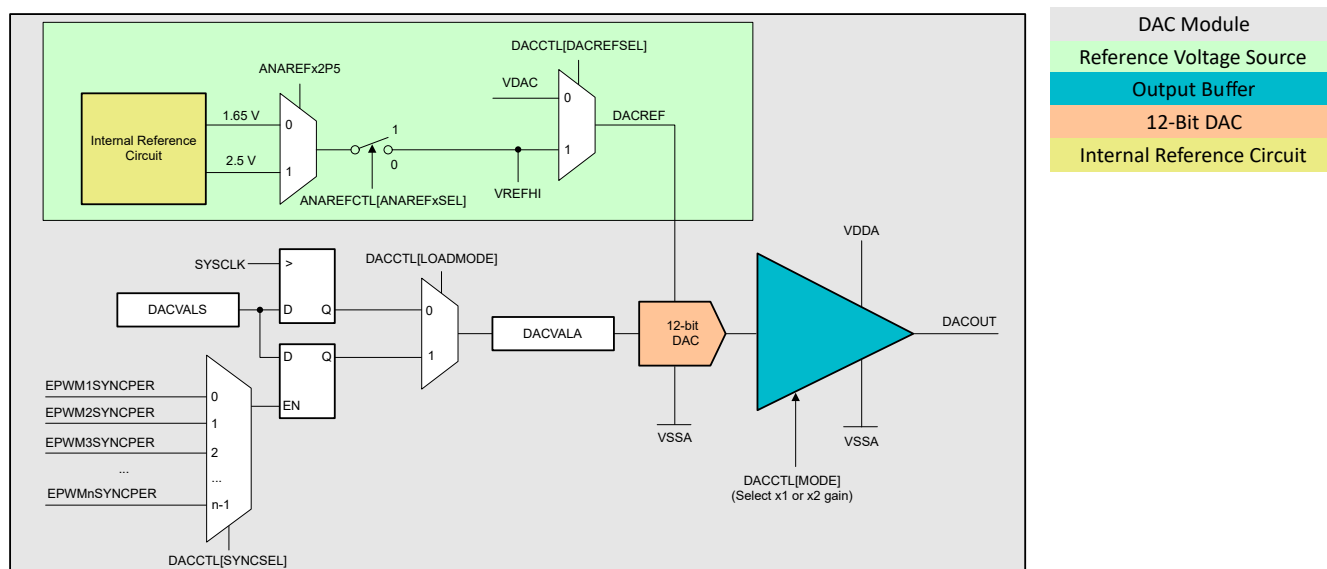


図 6-55. DAC モジュールのブロック図

6.13.6.1 バッファ付き DAC の電気的データおよびタイミング

6.13.6.1.1 バッファ付き DAC の動作条件

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _L	抵抗性負荷 ⁽²⁾		5			kΩ
C _L	容量性負荷				100	pF
V _{OUT}	有効出力電圧範囲 ⁽³⁾	R _L = 5kΩ	0.3		VDDA - 0.3	V
		R _L = 1kΩ	0.6		VDDA - 0.6	V
リファレンス電圧 ⁽⁴⁾		VDAC または VREFHI	2.4	2.5 または 3.0	VDDA	V

- (1) 特に記述のない限り、標準値は VREFHI = 3.3V および VREFLO = 0V で測定されます。最小値と最大値は、VREFHI = 2.5V および VREFLO = 0V でテストまたは特性評価しています。
- (2) DAC は最小 1kΩ の抵抗性負荷を駆動できますが、出力範囲は制限されます。
- (3) これは DAC の線形出力範囲です。DAC はこの範囲外の電圧を生成できますが、バッファがあるので出力電圧は線形ではありません。
- (4) 最高の PSRR 性能を得るには、VDAC または VREFHI は、VDDA よりも低くする必要があります。

6.13.6.1.2 バッファ付き DAC の電気的特性

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

パラメータ		テスト条件	最小値	標準値	最大値	単位
全般						
分解能				12		ビット
ロードレギュレーション			-1		1	mV/V
グリッチ・エネルギー				1.5		V-ns
電圧出力セトリング時間、フルスケール		0.3V から 3V への遷移後 2LSB にセトリング			2	μs
電圧出力セトリング時間、1/4 フルスケール		0.3V から 0.75V への遷移後 2LSB にセトリング			1.6	μs
電圧出力スルーレート		0.3V から 3V への遷移時のス ルーレート	2.8		4.5	V/μs
負荷過渡セトリング時間		5kΩ 負荷			328	ns
		1kΩ 負荷			557	ns
リファレンス電圧入力抵抗 ⁽²⁾		VDAC または VREFHI	160	200	240	kΩ
TPU	起動時間	外部リファレンス・モード			500	μs
		内部リファレンス・モード			5000	μs
DC 特性						
オフセット	オフセット誤差	中点	-10		10	mV
ゲイン	ゲイン誤差 ⁽³⁾		-2.5		2.5	% (対 FSR)
DNL	微分非直線性 ⁽⁴⁾	エンドポイント補正	-1	±0.4	1	LSB
INL	積分非直線性	エンドポイント補正	-5	±2	5	LSB
AC 特性						
出力ノイズ		100Hz~100kHz の積分ノイズ		600		μVrms
		10kHz でのノイズ密度		800		nVrms/√Hz
SNR	信号対雑音比	1kHz、200KSPS		64		dB
THD	全高調波歪み	1kHz、200KSPS		-64.2		dB
SFDR	スプリアス・フリー・ダイナミック・レンジ	1kHz、200KSPS		66		dB
SINAD	信号対雑音+歪み比	1kHz、200KSPS		61.7		dB

6.13.6.1.2 バッファ付き DAC の電気的特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

パラメータ		テスト条件	最小値	標準値	最大値	単位
PSRR	電源除去比 ⁽⁵⁾	DC		70		dB
		100kHz		30		dB

- (1) 特に記述のない限り、標準値は $V_{REFHI} = 3.3V$ および $V_{REFLO} = 0V$ で測定されます。最小値と最大値は、 $V_{REFHI} = 2.5V$ および $V_{REFLO} = 0V$ でテストまたは特性評価しています。
- (2) アクティブなバッファ付き DAC モジュール 1 個あたり。
- (3) ゲイン誤差は、線形出力範囲について計算しています。
- (4) DAC 出力は単調です。
- (5) $V_{REFHI} = 3.2V$ 、 $V_{DDA} = 3.3V$ DC + 100mV 正弦波。

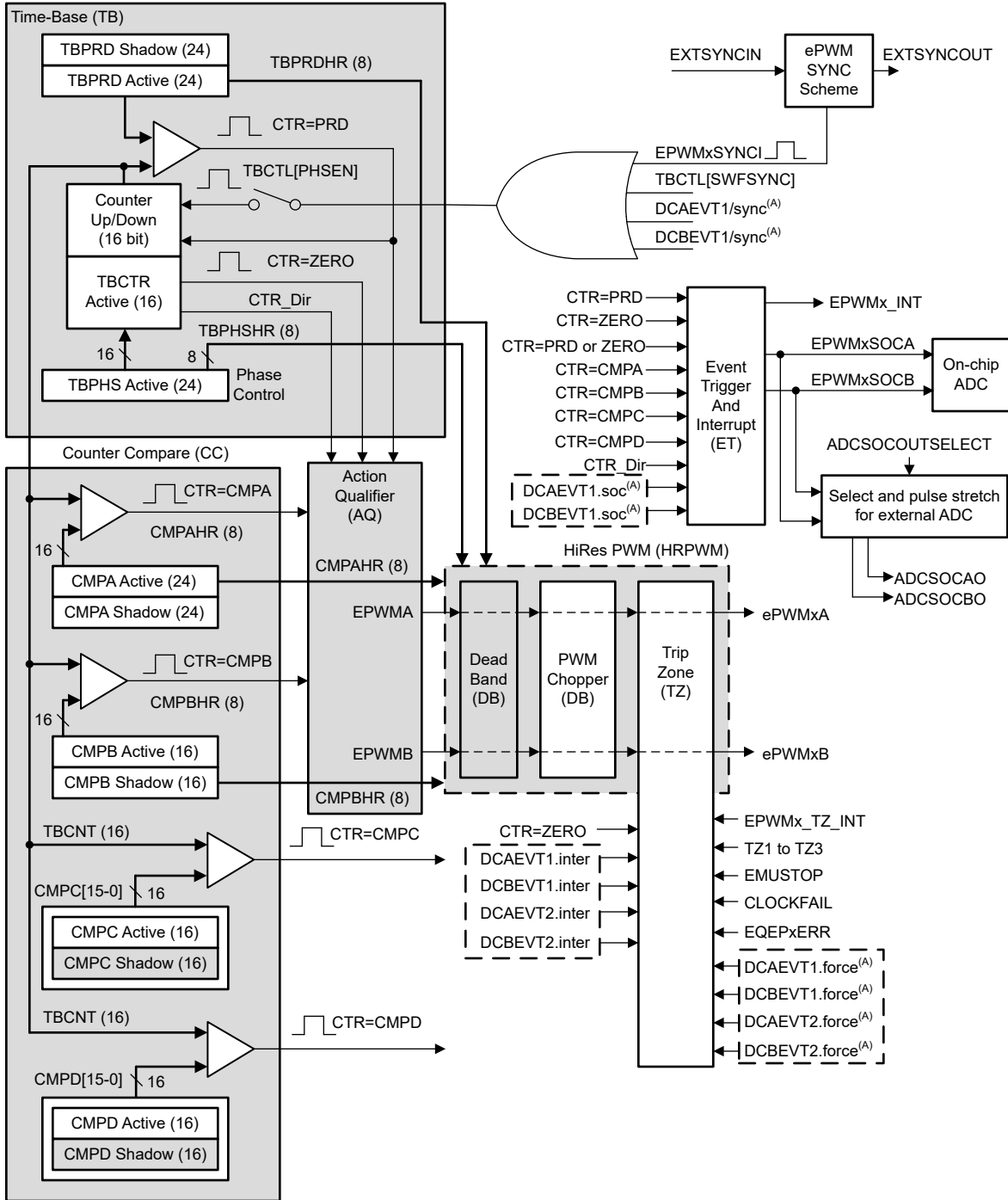
6.14 制御ペリフェラル

6.14.1 拡張パルス幅変調器 (ePWM)

ePWM ペリフェラルは、民生用および産業用機器で採用されている多くのパワー・エレクトロニクス・システムを制御するための重要な要素です。ePWM タイプ 4 モジュールは、個別のリソースが連携してシステムを形成するしくみによって、小さいモジュールからペリフェラルを構築して、最小限の CPU オーバーヘッドで複合パルス幅波形を生成できます。ePWM タイプ 4 モジュールの主な特長として、複合波形生成、デッドバンド生成、柔軟な同期方式、高度なトリップ・ゾーン機能、グローバル・レジスタ・リロード機能が挙げられます。

デバイスの ePWM と eCAP の同期スキームにより、ePWM および eCAP モジュールの分割に柔軟性が生まれ、モジュール内でのローカルな同期が可能になります。

ePWM モジュールを [図 6-56](#) に示します。[図 6-57](#) に、ePWM トリップ入力の接続を示します。



A. これらのイベントは、TRIPIN 入力のレベルに基づいて、ePWM デジタル比較 (DC) サブモジュールによって生成されます。

図 6-56. ePWM サブモジュールおよび重要な内部信号の相互接続

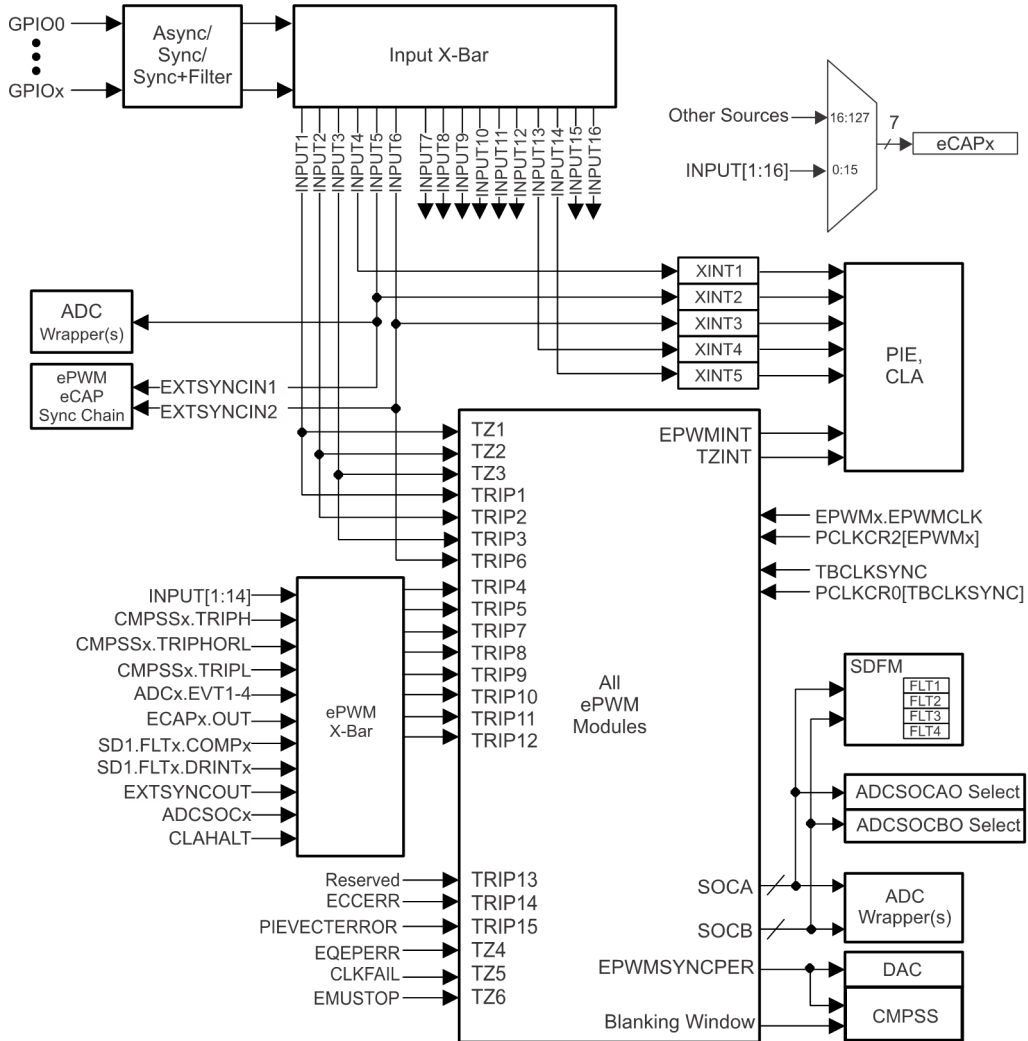


図 6-57. ePWM トリップ入力の接続

6.14.1.1 ePWM の電氣的データおよびタイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.14.1.1.1 ePWM のタイミング要件

			最小値	最大値	単位
$t_w(\text{SYNCIN})$	同期入力パルス幅	非同期	$2t_c(\text{EPWMCLK})$		サイクル
		同期	$2t_c(\text{EPWMCLK})$		
		入力クオリファイヤあり	$1t_c(\text{EPWMCLK}) + t_w(\text{IQSW})$		

6.14.1.1.2 ePWM のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ ⁽¹⁾		最小値	最大値	単位
$t_w(\text{PWM})$	パルス幅、PWMx 出力 High/Low	20		ns
$t_w(\text{SYNCOU})$	同期出力パルス幅	$8t_c(\text{SYSCLK})$		サイクル
$t_d(\text{TZ-PWM})$	遅延時間、トリップ入力アクティブから PWM 強制 High まで 遅延時間、トリップ入力アクティブから PWM 強制 Low まで 遅延時間、トリップ入力アクティブから PWM ハイ・インピーダンスまで		25	ns

(1) ピンの負荷は 20pF。

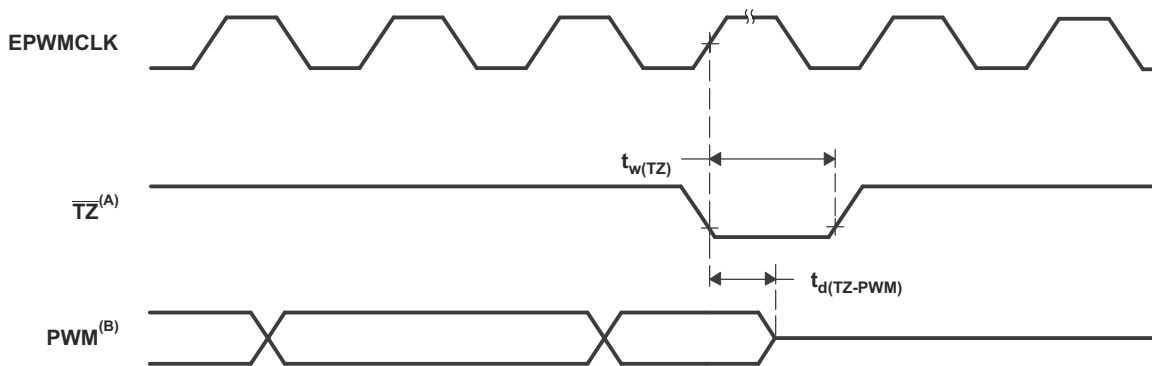
6.14.1.1.3 トリップ・ゾーン入力のタイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.14.1.1.3.1 トリップ・ゾーン入力のタイミング要件

			最小値	最大値	単位
$t_w(\text{TZ})$	パルス幅、 $\overline{\text{TZ}}_x$ 入力 Low	非同期	$1t_c(\text{EPWMCLK})$		サイクル
		同期	$2t_c(\text{EPWMCLK})$		サイクル
		入力クオリファイヤあり	$1t_c(\text{EPWMCLK}) + t_w(\text{IQSW})$		サイクル

6.14.1.1.3.2 PWM ハイ・インピーダンス特性のタイミング図



A. $\overline{\text{TZ}}$: $\overline{\text{TZ}}_1$, $\overline{\text{TZ}}_2$, $\overline{\text{TZ}}_3$, TRIP1~TRIP12

B. PWM は、デバイスのすべての PWM ピンのことです。 $\overline{\text{TZ}}$ が High になった後の PWM ピンの状態は、PWM 回復ソフトウェアによって異なります。

図 6-58. PWM ハイ・インピーダンス特性

6.14.2 高分解能パルス幅変調器 (HRPWM)

HRPWM は、複数のディレイ・ラインを 1 つのモジュールに統合し、専用のキャリブレーション・ディレイ・ラインを使用して、簡素化されたキャリブレーション・システムを実現しています。それぞれの ePWM モジュールに、2 つの HR 出力があります。

- チャンネル A の HR デューティおよびデッドバンド制御
- チャンネル B の HR デューティおよびデッドバンド制御

HRPWM モジュールは、従来のデジタル PWM 方式を使用した場合よりもはるかに優れた PWM 分解能 (時間の粒度) を提供します。HRPWM モジュールの主な特長は次のとおりです。

- 従来のデジタル PWM の時間分解能性能を大幅に拡張します
- この機能は、シングル・エッジ (デューティ・サイクルおよび位相シフト制御) およびデュアル・エッジ (周波数 / 周期変調制御) の両方で使用できます。
- ePWM モジュールの比較 A、比較 B、位相、周期、デッドバンド・レジスタを拡張することにより、より細かい時間粒度制御またはエッジの位置設定を制御します。

6.14.2.1 HRPWM の電氣的データおよびタイミング

6.14.2.1.1 高分解能 PWM の特性

パラメータ	最小値	標準値	最大値	単位
マイクロ・エッジ・ポジショニング (MEP) ステップ・サイズ ⁽¹⁾		150	310	ps

- (1) MEP ステップ・サイズは、高温かつ V_{DD} の最小電圧で、最大になります。温度の上昇および電圧の低下に伴って、MEP ステップ・サイズが増加し、温度の低下および電圧の上昇に伴って減少します。HRPWM 機能を使用するアプリケーションでは、MEP 係数最適化 (SFO) 推定ソフトウェア機能を使用する必要があります。最終アプリケーションで SFO 機能を使用する方法の詳細については、テキサス・インスツルメンツのソフトウェア・ライブラリを参照してください。SFO 機能は、HRPWM の動作中に、SYSCLK 周期あたりの MEP ステップ数を動的に推定するのに役立ちます。

6.14.3 外部 ADC 変換開始の電氣的データおよびタイミング

6.14.3.1 外部 ADC 変換開始のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	最大値	単位	
$t_w(\text{ADCSOCL})$	パルス幅、 $\overline{\text{ADCSOCxO}}$ Low		$32t_{c}(\text{SYSCLK})$	サイクル

6.14.3.2 $\overline{\text{ADCSOCAO}}$ または $\overline{\text{ADCSOCBO}}$ のタイミング図

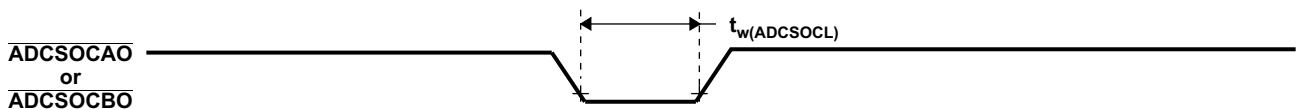


図 6-59. $\overline{\text{ADCSOCAO}}$ または $\overline{\text{ADCSOCBO}}$ のタイミング

6.14.4 拡張キャプチャ (eCAP)

eCAP モジュールの特長は次のとおりです。

- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール・センサで検知)
- 位置センサ・パルス間の経過時間測定
- パルス列信号の周期およびデューティ・サイクル測定
- デューティ・サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

この章で説明する eCAP モジュールの特長は次のとおりです。

- 4 つのイベント・タイムスタンプ・レジスタ (各 32 ビット)
- 最大 4 つの順序付きタイムスタンプ・キャプチャ・イベントのエッジ極性選択
- 4 つのイベントのいずれかが発生したときの割り込み
- 最大 4 つのイベント・タイムスタンプのシングルショット・キャプチャ
- 深さ 4 の循環バッファでのタイムスタンプの連続モード・キャプチャ
- 絶対タイムスタンプ・キャプチャ
- 差分 (デルタ) モード・タイムスタンプ・キャプチャ
- キャプチャ・モードで使用しない場合、eCAP モジュールを単一チャンネル PWM 出力として構成可能

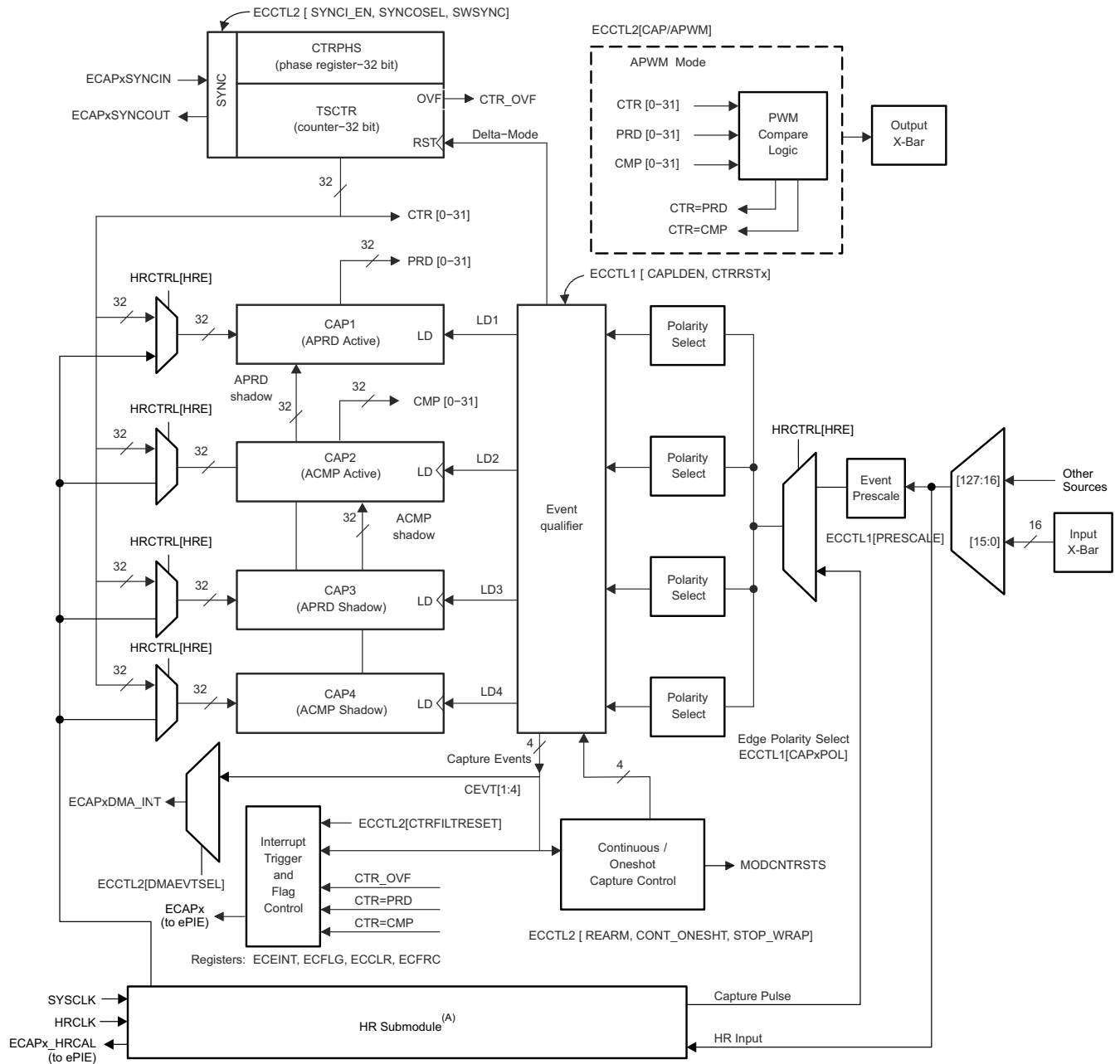
タイプ 1 の eCAP におけるキャプチャ機能は、タイプ 0 の eCAP を拡張したものであり、以下の機能が追加されています。

- イベント・フィルタ・リセット・ビット
 - ECCTL2[CTRFILTRESET] に 1 を書き込むと、イベント・フィルタ、モジュロ・カウンタ、および保留中の割り込みフラグがクリアされます。初期化とデバッグの際は、このビットのリセットが役立ちます。
- モジュロ・カウンタのステータス・ビット
 - モジュロ・カウンタ (ECCTL2 [MODCNRSTS]) は、どのキャプチャ・レジスタを次にロードするかを示します。タイプ 0 の eCAP には、モジュロ・カウンタの現在の状態を知る方法はありませんでした。
- DMA トリガ・ソース
 - eCAPxDMA が DMA トリガとして追加されました。CEVT[1-4] は、eCAPxDMA のソースとして構成できます。
- 入力マルチプレクサ
 - ECCTL0 [INPUTSEL] は、128 の入力信号のいずれかを選択します。詳細については、『[TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「拡張キャプチャ (eCAP)」の章にある「eCAP のデバイス・ピンの構成」を参照してください。
- EALLOW 保護
 - 重要なレジスタに EALLOW 保護が追加されました。タイプ 0 とのソフトウェア互換性を維持するには、DEV_CFG_REGS.ECAPTYPE で、これらのレジスタを保護しないように構成します。

タイプ 2 の eCAP におけるキャプチャ機能は、タイプ 1 の eCAP を拡張したものであり、以下の機能が追加されています。

- ECAPxSYNCINSEL レジスタを追加
 - 外部 SYNCIN を選択するために、各 eCAP に ECAPxSYNCINSEL レジスタが追加されています。すべての eCAP は、個別の SYNCIN 信号を使用できます。

6.14.4.1 eCAP および HRCAP のブロック図



A. HRCAP サブモジュールは、すべての eCAP モジュールで利用できるわけではありません。この場合、高分解能マルチプレクサとハードウェアは実装されていません。

図 6-60. eCAP および HRCAP のブロック図

6.14.4.2 eCAP の同期

eCAP の各モジュールは、共通の SYNCIN ソースを選択することで、互いに同期させることができます。eCAP 用の SYNCIN ソースには、ソフトウェア同期入力と外部同期入力のどちらかを使用できます。外部同期入力信号は、EPWM、eCAP、またはクロスバーのいずれかから供給されます。SYNC 信号は、図 6-61 に示すように、ECAPx の ECAPxSYNCINSEL[SEL] ビットでの選択によって定義されます。

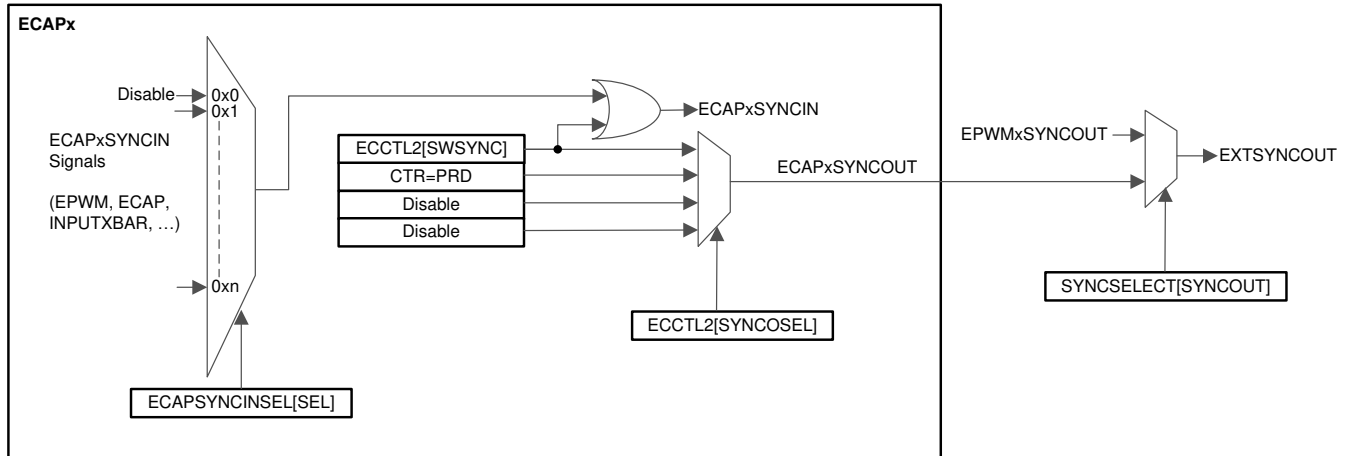


図 6-61. eCAP の同期方式

6.14.4.3 eCAP の電気的データおよびタイミング

6.14.4.3.1 eCAP のタイミング要件

		最小値	公称値	最大値	単位
$t_{w(CAP)}$	キャプチャ入力パルス幅	非同期		$2t_{c(SYSCLOCK)}$	ns
		同期		$2t_{c(SYSCLOCK)}$	
		入力クオリファイヤあり		$1t_{c(SYSCLOCK)} + t_{w(IQSW)}$	

6.14.4.3.2 eCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
$t_{w(APWM)}$	パルス幅、APWMx 出力 High/Low	20			ns

6.14.5 高分解能キャプチャ (HRCAP)

eCAP3 モジュールは、高分解能キャプチャ (HRCAP) サブモジュールとして構成できます。HRCAP サブモジュールは、システム・クロックと非同期にパルス間の時間差を測定します。このサブモジュールは、eCAP タイプ 1 モジュールの新機能であり、タイプ 0 HRCAP モジュールに対して多くの拡張が行われています。

HRCAP の主な用途:

- 静電容量式タッチ・アプリケーション
- パルス・トレイン・サイクルの周期とデューティ・サイクルを高分解能で測定
- 速度の瞬時値測定
- 周波数の瞬時値測定
- 絶縁境界にまたがる電圧測定
- 距離 / ソナーの測定とスキャン
- 流量測定

HRCAP サブモジュールの主な特長を以下に示します。

- 非高分解能モードまたは高分解能モードでのパルス幅キャプチャ
- 絶対モードのパルス幅キャプチャ
- 連続キャプチャまたはワンショット・キャプチャ
- 立ち下がりエッジと立ち上がりエッジのどちらかでのキャプチャ
- 深さ 4 のバッファによるパルス幅の連続モード・キャプチャ
- 高精度高分解能キャプチャのためのハードウェア・キャリブレーション・ロジック
- このリストに掲載されているすべてのリソースは、入力クロスバーを使って任意のピンで利用できます。

HRCAP サブモジュールは、キャリブレーション・ブロックに加えて、1 つの高分解能キャプチャ・チャンネルを備えています。このキャリブレーション・ブロックを使用すると、HRCAP サブモジュールを一定の間隔で継続的に再キャリブレーションでき、「ダウン・タイム」は発生しません。HRCAP サブモジュールは現在、それぞれの eCAP と同じハードウェアを使用しているため、HRCAP を使用すると、対応する eCAP は使用できません。

それぞれの高分解能対応チャンネルは、以下の独立した主要リソースを備えています。

- 対応する eCAP のすべてのハードウェア
- 高分解能のキャリブレーション・ロジック
- 専用のキャリブレーション割り込み

6.14.5.1 eCAP と HRCAP のブロック図

HRCAP ブロック図については、「拡張キャプチャ (eCAP)」セクションの eCAP および HRCAP ブロック図を参照してください。

6.14.5.2 HRCAP の電氣的データおよびタイミング

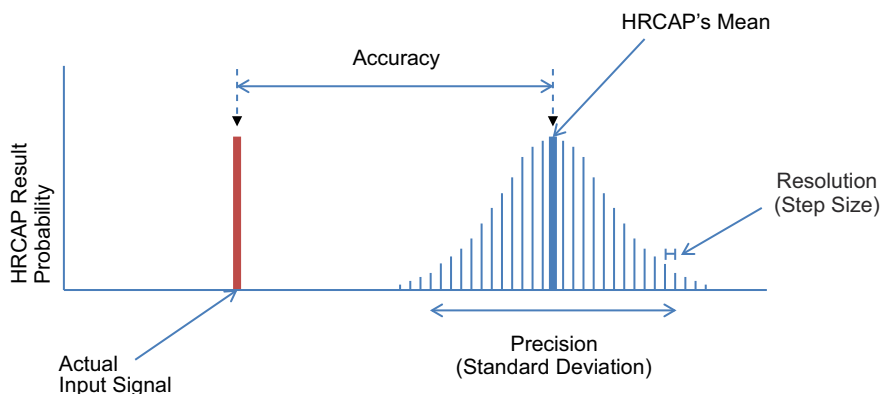
6.14.5.2.1 HRCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
入力パルス幅		110			ns
精度 ^{(1) (2) (3) (4)}	測定長 ≤ 5μs		±390	540	ps
	測定長 > 5μs		±450	1450	ps
標準偏差		HRCAP 標準偏差 特性 図を参照			
分解能			300		ps

- (1) 100PPM の発振回路を使用して値を取得すると、発振回路の精度が HRCAP の精度に直接影響を及ぼします。
- (2) 立ち上がりまたは立ち下がりエッジを使用して測定を完了します
- (3) 逆極性のエッジは、 V_{IH} と V_{IL} の差により、精度が低下します。この影響は、信号のスルーレートに依存します。
- (4) 精度は、時間に変換された測定にのみ適用されます。

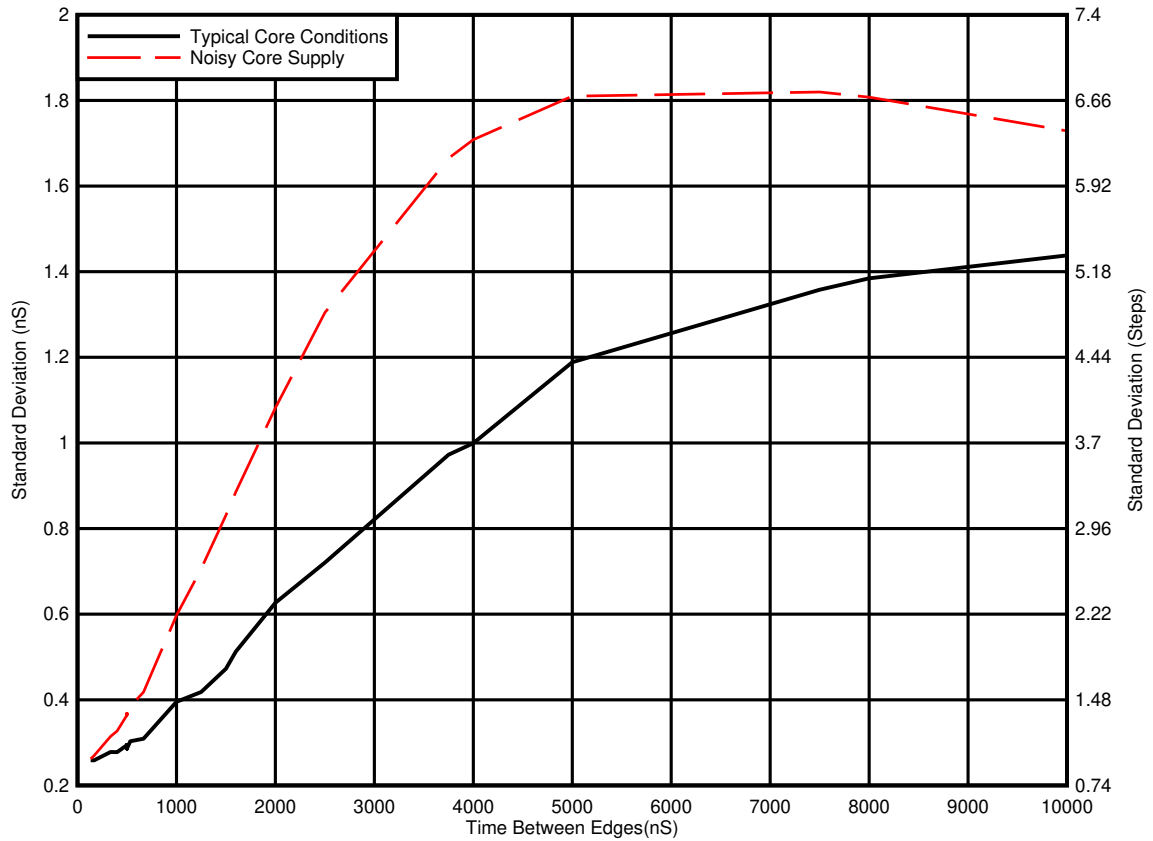
6.14.5.2.2 HRCAP の図とグラフ



A. HRCAP の性能にはいくらかの変動があるので、確率分布を以下に示す用語で記述します。

- 正確度: 入力信号と HRCAP の分布の平均との時間差。
- 精度: HRCAP の分布の幅であり、これは標準偏差として表されます。
- 分解能: 測定可能な最小増分。

図 6-62. HRCAP の正確度、精度、分解能



- A. 代表的な動作条件: すべてのペリフェラル・クロックはディセーブル。
- B. ノイズの多いコア電源: すべてのコア・クロックは、測定中に一定の周期でイネーブルおよびディセーブルになります。
- C. 1.2V レールの電流と電圧の変動により、HRCAP の標準偏差が上昇します。HRCAP を使用する際には、1.2V 電源がクリーンであること、また、クロック・ツリーのイネーブルおよびディセーブルなどのノイズの多い内部イベントを最小限に抑えることについて注意する必要があります。

図 6-63. HRCAP 標準偏差特性

6.14.6.1 eQEP の電氣的データおよびタイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.14.6.1.1 eQEP のタイミング要件

			最小値	最大値	単位
$t_{w(QEPP)}$	QEP 入力周期	同期 ⁽¹⁾	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤにより同期	$2[1t_{c(SYSCLK)} + t_{w(IQSW)}]$		
$t_{w(INDEXH)}$	QEP インデックス入力 High 時間	同期 ⁽¹⁾	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(INDEXL)}$	QEP インデックス入力 Low 時間	同期 ⁽¹⁾	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(STROBH)}$	QEP ストローブ High 時間	同期 ⁽¹⁾	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(STROBL)}$	QEP ストローブ入力 Low 時間	同期 ⁽¹⁾	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		

(1) eQEP モジュールの入力ピンでは、GPIO の GPxQSELn 非同期モードは使用できません。

6.14.6.1.2 eQEP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(CNTR)xin}$	遅延時間、外部クロックからカウンタ・インクリメントまで		$5t_{c(SYSCLK)}$	サイクル
$t_{d(PCS-OUT)QEP}$	遅延時間、QEP 入力エッジから位置比較同期出力まで		$7t_{c(SYSCLK)}$	サイクル

6.14.7 シグマ-デルタ・フィルタ・モジュール (SDFM)

SDFM の主な特長は次のとおりです。

- SDFM モジュールごとに 8 本の外部ピン
 - SDFM モジュールごとに 4 本のシグマ-デルタ・データ入力ピン (SD-Dx、ここで x = 1~4)
 - SDFM モジュールごとに 4 本のシグマ-デルタ・クロック入力ピン (SD-Cx、ここで x = 1~4)
- さまざまな構成可能な変調器クロック・モードをサポート:
 - モード 0: 変調器クロック・レートが変調器データ・レートに等しい。
- SDFM モジュールごとに 4 つの独立した構成可能な 2 次フィルタ (コンパレータ) ユニット:
 - 4 種類のフィルタ・タイプ選択 (Sinc1/Sinc2/SincFast/Sinc3) を利用可能
 - 値超過状態、値不足状態、スレッシュホールドクロッシング状態を検出可能
 1. 2 つの独立した高スレッシュホールド・コンパレータ (値超過状態の検出に使用)
 2. 2 つの独立した低スレッシュホールド・コンパレータ (値不足状態の検出に使用)
 3. 1 つの独立したスレッシュホールド・クロッシング・コンパレータ (eCAP でデューティ・サイクル / 周波数を測定するために使用)
 - 1~32 の範囲でプログラム可能なコンパレータ・フィルタ・ユニットの OSR 値 (COSR)
- SDFM モジュールごとに 4 つの独立した構成可能な 1 次フィルタ (データ・フィルタ) ユニット:
 - 4 種類のフィルタ・タイプ選択 (Sinc1/Sinc2/SincFast/Sinc3) を利用可能
 - 1~256 の範囲でプログラム可能なデータ・フィルタ・ユニットの OSR 値 (DOSR)
 - 個別のフィルタ・モジュールを有効または無効 (あるいはその両方) に設定可能
 - メイン フィルタ イネーブル (MFE) ビットまたは PWM 信号を使用して、SDFM モジュールの 4 つの独立したフィルタすべてを同期可能
- データ・フィルタ出力は、16 ビットまたは 32 ビットで表現可能。
- データ・フィルタ・ユニットにはプログラマブル・モード FIFO があり、割り込みオーバーヘッドを低減。FIFO の特長は次のとおりです。
 - 1 次フィルタ (データ・フィルタ) に深さ 16 x 32 ビット FIFO。
 - FIFO は、プログラムした数のデータ・レディ・イベントが発生した後 CPU に割り込みを発生させることが可能。
 - FIFO の同期待ち機能: PWM 同期信号 (SDSYNC) を受信するまで、データ・レディ・イベントを無視する機能。SDSYNC イベントを受信すると、データ・レディ・イベントごとに FIFO に書き込み。
 - データ・フィルタ出力は、16 ビットまたは 32 ビットで表現可能。
- PWMx.SOCA/SOCB は、データ・フィルタ・チャンネルごとに SDSYNC ソースとして機能するように構成可能。
- PWM を使用して、シグマ-デルタ・モジュレータ用の変調器クロックを生成可能。
- SD-Cx と SD-Dx の両方に構成可能な入力認定を利用可能。
- 1 つのフィルタ・チャンネル・クロック (SD-C1) を使用して、他のフィルタ・クロック・チャンネルにクロックを供給する機能。
- コンパレータ フィルタ イベントでスプリアス ノイズに起因するコンパレータ イベントを除外する構成可能なデジタル フィルタ。

図 6-65 に、SDFM モジュールのブロック図を示します。

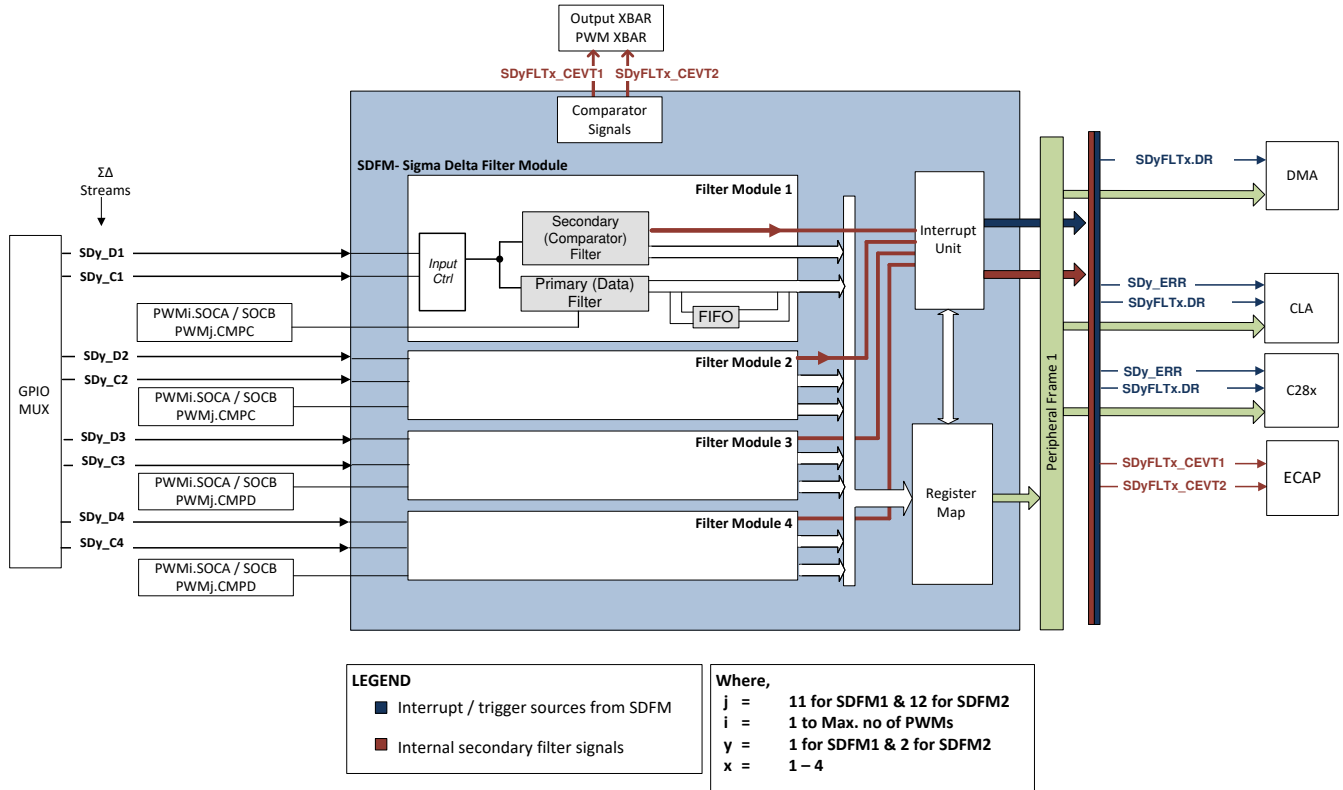


図 6-65. シグマ・デルタ・フィルタ・モジュール (SDFM) のブロック図

6.14.7.1 SDFM の電氣的データおよびタイミング

警告

SDFM タイミング要件を満たすクリーンでノイズのない信号を確保するため、SD-Cx および SD-Dx 信号の両方に特別な措置を取る必要があります。クロック・ドライバのインピーダンス・ミスマッチによるリングング・ノイズに備える直列終端抵抗や、他のノイズの多い信号からの配線間隔などに注意することを推奨します。

注

SDFM SD-Cx および SD-Dx 信号を PLLRAWCLK と同期させると、偶発的なランダム・ノイズ・グリッチによりコンパレータのトリップおよびフィルタ出力が誤って発生したために SDFM モジュールが破損することから保護できます。ただし、上記のタイミング要件の永続的な違反に対する保護を提供するものではありません。タイミング違反があると、要件に違反するビット数に比例してデータが破損する結果になります。

6.14.7.1.1 非同期 GPIO - ASYNC - オプション使用時の SDFM のタイミング要件

		最小値	最大値	単位
モード 0				
$t_{c(SDC)M0}$	サイクル時間、SDx_Cy	$4 * t_{c(PLLRAWCLK)}$	256 * SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	パルス幅、SDx_Dy (HIGH/LOW)	$2 * t_{c(PLLRAWCLK)}$		ns
$t_{su(SDDV-SDCH)M0}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	$1 * t_{c(PLLRAWCLK)} + 3$		ns
$t_{h(SDCH-SDD)M0}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	$1 * t_{c(PLLRAWCLK)} + 3$		ns

6.15 通信ペリフェラル

6.15.1 CAN (Controller Area Network)

注

CAN モジュールは、*DCAN* と呼ばれる IP を使用します。このドキュメントでは、このペリフェラルに言及するとき、*CAN* および *DCAN* という呼称を同じように使っています。

CAN モジュールの主な機能は次のとおりです。

- ISO11898-1 に準拠 (Bosch® CAN プロトコル仕様 2.0 A および B)
- 最大 1Mbps のビット・レート
- 複数のクロック・ソースに対応
- 32 個のメッセージ・オブジェクト (メールボックス)。それぞれに次の特長があります。
 - 受信または送信として構成可能
 - 標準 (11 ビット) または拡張 (29 ビット) の識別子で構成可能
 - プログラム可能な識別子受信マスクをサポート
 - データ・フレームおよびリモート・フレームをサポート
 - 0~8 バイトのデータを保持
 - 構成およびデータ RAM のパリティチェック
- 各メッセージ・オブジェクトに個別の識別子マスク
- メッセージ・オブジェクト用のプログラム可能な FIFO モード
- プログラム可能なループバック・モードによる自己テスト動作
- デバッグをサポートするためのサスペンド・モード
- ソフトウェアによるモジュール・リセット
- バス・オフ状態の後、プログラマブル 32 ビット・タイマにより自動的にバス・オン
- 2 つの割り込みライン
- DMA サポート

注

100MHz の CAN ビット・クロックの場合、可能な最小のビット・レートは 3.90625Kbps です。

注

オンチップのゼロ・ピン発振器の精度は、INTOSC の特性表に記載されています。CAN ビットのタイミング設定、ビット・レート、バス長、伝搬遅延などのパラメータによっては、この発振器の精度が CAN プロトコルの要件を満たさない場合があります。この状況では、外部クロック・ソースを使用する必要があります。

CAN のブロック図を [図 6-66](#) に示します。

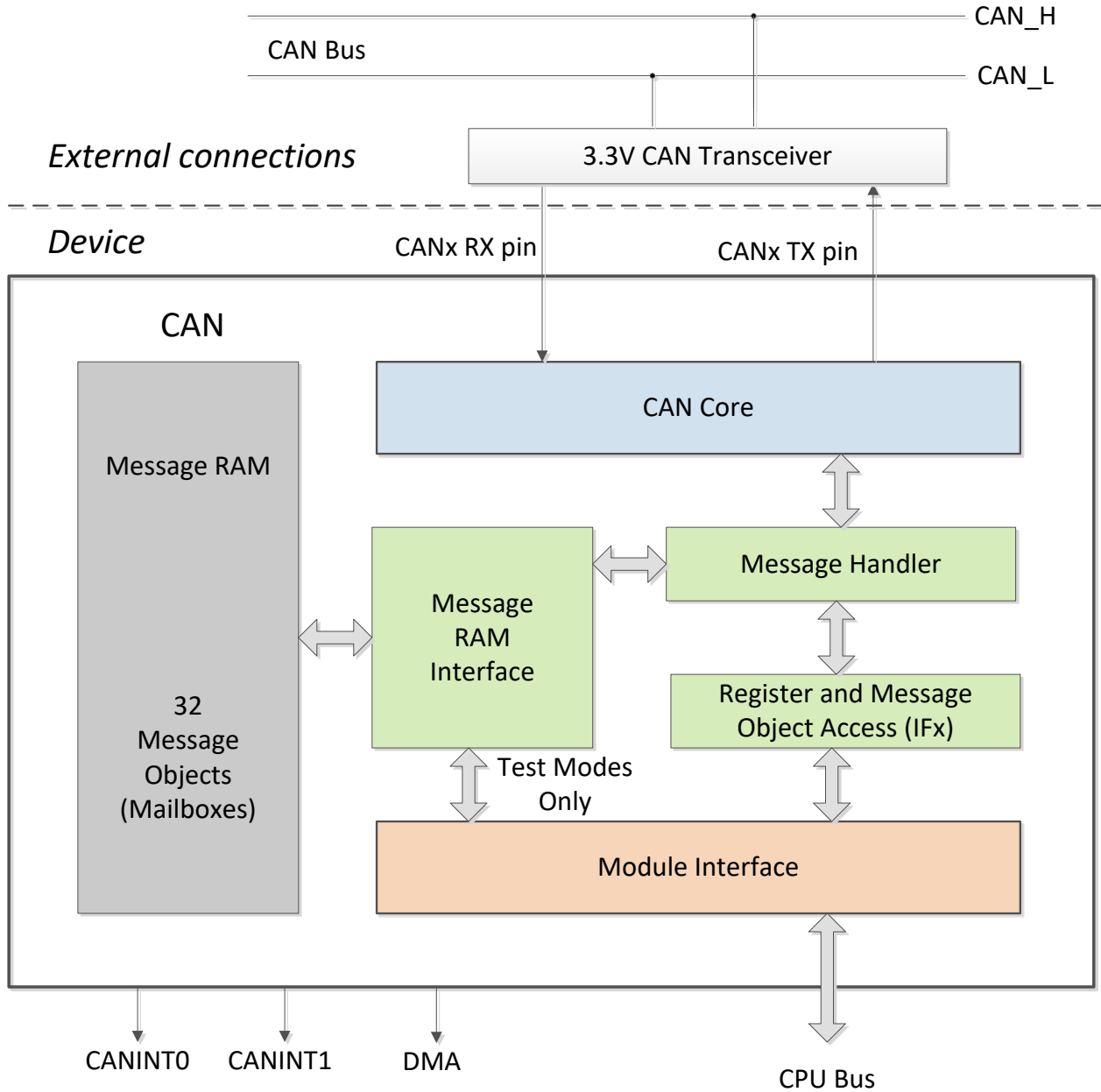


図 6-66. CAN ブロック図

6.15.2 モジュラー・コントローラ・エリア・ネットワーク (MCAN)

コントローラ・エリア・ネットワーク (CAN) は、高い信頼性で分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電氣的干渉に対する高い耐性を持ち、さまざまな種類のエラーを検出できます。CAN では、多くのショート・メッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型の CAN と CAN FD (CAN with flexible data-rate) の両方のプロトコルをサポートしています。CAN FD 機能により、データ・フレームあたりのスループットが向上し、ペイロードが増加します。従来型の CAN デバイスにおいて、バス・エラーを生成せずに CAN FD を検出および無視できる部分的ネットワーク・トランシーバが使用され

ているのであれば、従来型の CAN デバイスと CAN FD デバイスを、同じネットワーク上で競合なしで使用することが可能です。MCAN モジュールは、ISO 11898-1:2015 に準拠しています。

注

CAN FD 機能が利用可能かどうかは、デバイスの型番によります。詳細については、デバイスのデータシートを参照してください。

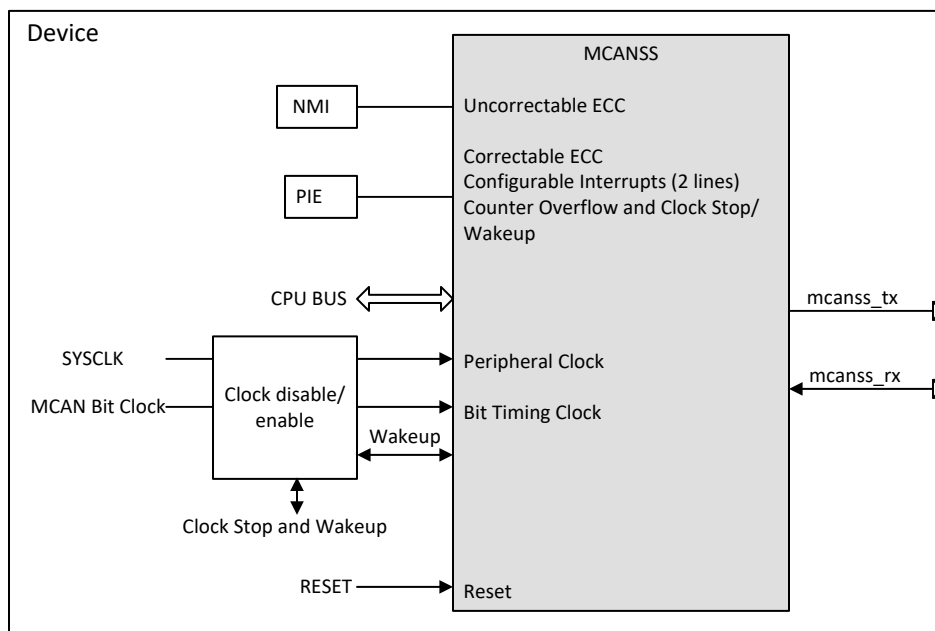


図 6-67. MCAN モジュールの概要

MCAN モジュールの主な機能は次のとおりです。

- CAN プロトコル 2.0A, B, ISO 11898-1:2015 に準拠
- 完全な CAN FD のサポート (最大 64 データ・バイト)
- AUTOSAR および SAE J1939 をサポート
- 柔軟なメッセージ RAM 割り当て (以下の最大構成は 4352 の 32 ビット・ワード・メッセージ RAM を搭載したデバイスの場合)
 - 最大 32 個の専用送信バッファ
 - 構成可能な送信 FIFO、最大 32 個の素子
 - 構成可能な送信キュー、最大 32 個の素子
 - 構成可能な送信イベント FIFO、最大 32 個の素子
 - 最大 64 個の専用受信バッファ
 - 2 つの構成可能な受信 FIFO、それぞれ最大 64 個の素子
 - 最大 128 個のフィルタ素子
- セルフ・テスト用のループバック・モード
- マスク可能割り込み (2 つの構成可能な割り込みライン、訂正可能 ECC、カウンタ・オーバーフロー、クロックの停止 / ウェークアップ)
- マスク不可能割り込み (訂正不可能な ECC)
- 2 つのクロック・ドメイン (CAN クロック / ホスト・クロック)
- メッセージ RAM の ECC チェック
- クロックの停止およびウェークアップのサポート
- タイムスタンプ・カウンタ

サポートされない機能:

- ホスト・バス・ファイアウォール
- クロックのキャリブレーション
- CAN 経由のデバッグ

6.15.3 I2C (Inter-Integrated Circuit)

I2C モジュールの主な機能は次のとおりです。

- NXP Semiconductors の I²C バス規格 (バージョン 2.1) に準拠:
 - 8 ビット形式の転送をサポート
 - 7 ビットおよび 10 ビットのアドレッシング・モード
 - ゼネラル・コール
 - START バイト・モード
 - 複数のマスタ・トランスミッタとスレーブ・レシーバをサポート
 - 複数のスレーブ・トランスミッタとマスタ・レシーバをサポート
 - マスタ送信 / 受信、受信 / 送信の組み合わせモード
 - 10Kbps~400Kbps のデータ転送レート (ファスト・モード)
- 以下と互換性のある電圧スレッシュホールドをサポート:
 - SMBus 2.0 以下
 - PMBus 1.2 以下
- 1 つの 16 バイト受信 FIFO と、1 つの 16 バイト送信 FIFO
- 2 つの ePIE 割り込みをサポート
 - I2Cx 割り込み – 以下のいずれかの条件で、I2Cx 割り込みを生成するように構成できます。
 - 送信準備完了
 - 受信準備完了
 - レジスタ・アクセス準備完了
 - アクノリッジなし
 - 調停消失
 - ストップ条件検出
 - スレーブとしてアドレス指定
 - I2Cx_FIFO 割り込み:
 - 送信 FIFO 割り込み
 - 受信 FIFO 割り込み
- モジュールのイネーブルおよびディセーブル機能
- フリー・データ・フォーマット・モード

図 6-68 に、I2C ペリフェラル・モジュールがデバイス内でどのようにインターフェイスするかを示します。

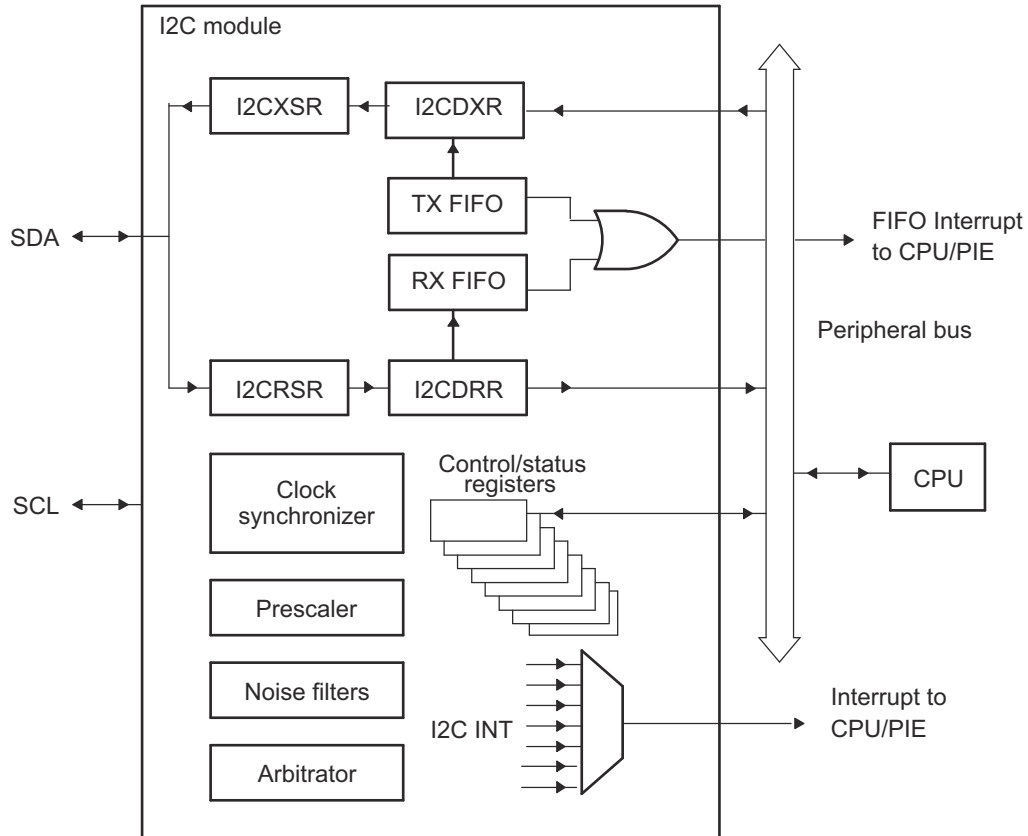


図 6-68. I2C ペリフェラル・モジュール・インターフェイス

6.15.3.1 I2C の電氣的データおよびタイミング

注

すべての I2C プロトコルのタイミング仕様を満たすには、I2C モジュールのクロックを 7MHz~12MHz の範囲で構成する必要があります。

プルアップ抵抗は、I2C の標準タイミングを満たすように選択する必要があります。ほとんどの状況では、VDDIO に対して 2.2kΩ の合計バス抵抗で十分です。特定の設計のプルアップ抵抗値の評価については、『[I2C バスのプルアップ抵抗の計算](#)』アプリケーション レポートを参照してください。

6.15.3.1.1 I2C のタイミング要件

番号			最小値	最大値	単位
スタンダード・モード					
T0	f _{mod}	I2C モジュールの周波数	7	12	MHz
T1	t _h (SDA-SCL)START	ホールド時間、START 条件、SDA 立ち下がり後の SCL 立ち下がり遅延	4.0		μs
T2	t _{su} (SCL-SDA)START	セットアップ時間、繰り返し START、SCL 立ち上がり後の SDA 立ち下がり遅延	4.0		μs
T3	t _h (SCL-DAT)	ホールド時間、SCL 立ち下がり後のデータ	0		μs
T4	t _{su} (DAT-SCL)	セットアップ時間、SCL 立ち上がり前のデータ	250 ⁽²⁾		ns
T5	t _r (SDA)	立ち上がり時間、SDA		1000 ⁽¹⁾	ns
T6	t _r (SCL)	立ち上がり時間、SCL		1000 ⁽¹⁾	ns
T7	t _f (SDA)	立ち下がり時間、SDA		300	ns
T8	t _f (SCL)	立ち下がり時間、SCL		300	ns
T9	t _{su} (SCL-SDA)STOP	セットアップ時間、STOP 条件、SCL 立ち上がり後の SDA 立ち上がり遅延	4.0		μs
T10	t _w (SP)	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	C _b	各バス・ラインの容量性負荷		400	pF
ファスト・モード					
T0	f _{mod}	I2C モジュールの周波数	7	12	MHz
T1	t _h (SDA-SCL)START	ホールド時間、START 条件、SDA 立ち下がり後の SCL 立ち下がり遅延	0.6		μs
T2	t _{su} (SCL-SDA)START	セットアップ時間、繰り返し START、SCL 立ち上がり後の SDA 立ち下がり遅延	0.6		μs
T3	t _h (SCL-DAT)	ホールド時間、SCL 立ち下がり後のデータ	0		μs
T4	t _{su} (DAT-SCL)	セットアップ時間、SCL 立ち上がり前のデータ	100		ns
T5	t _r (SDA)	立ち上がり時間、SDA	20	300	ns
T6	t _r (SCL)	立ち上がり時間、SCL	20	300	ns
T7	t _f (SDA)	立ち下がり時間、SDA	11.4	300	ns
T8	t _f (SCL)	立ち下がり時間、SCL	11.4	300	ns
T9	t _{su} (SCL-SDA)STOP	セットアップ時間、STOP 条件、SCL 立ち上がり後の SDA 立ち上がり遅延	0.6		μs
T10	t _w (SP)	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	C _b	各バス・ラインの容量性負荷		400	pF

- (1) 立ち上がり時間を最小化するため、正味 2.2kΩ 程度のプルアップ抵抗で SDA と SCL の両方のバスラインに強力なプルアップを使用することを推奨します。また、SCL ピンと SDA ピンの両方に使用するプルアップ抵抗の値を一致させることを推奨します。

- (2) C2000 I2C はファースト モード デバイスです。この I2C をスタンダード モードのホストでターゲットトランスミッタとして使用する場合には制限があります。詳細については、『[TMS320F28003x リアルタイム MCU シリコン エラッタ](#)』を参照してください。

6.15.3.1.2 I2C のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		テスト条件	最小値	最大値	単位
スタンダード・モード						
S1	f_{SCL}	SCL クロック周波数		0	100	kHz
S2	T_{SCL}	SCL クロック周期		10		μs
S3	$t_w(SCLL)$	パルス幅、SCL クロック Low		4.7		μs
S4	$t_w(SCLH)$	パルス幅、SCL クロック High		4.0		μs
S5	t_{BUF}	STOP 条件と START 条件間のバス開放時間		4.7		μs
S6	$t_v(SCL-DAT)$	有効時間、SCL 立ち下がり後のデータ			3.45	μs
S7	$t_v(SCL-ACK)$	有効時間、SCL 立ち下がりからアクノリッジまで			3.45	μs
S8	I_i	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10	μA
ファースト・モード						
S1	f_{SCL}	SCL クロック周波数		0	400	kHz
S2	T_{SCL}	SCL クロック周期		2.5		μs
S3	$t_w(SCLL)$	パルス幅、SCL クロック Low		1.3		μs
S4	$t_w(SCLH)$	パルス幅、SCL クロック High		0.6		μs
S5	t_{BUF}	STOP 条件と START 条件間のバス開放時間		1.3		μs
S6	$t_v(SCL-DAT)$	有効時間、SCL 立ち下がり後のデータ			0.9	μs
S7	$t_v(SCL-ACK)$	有効時間、SCL 立ち下がりからアクノリッジまで			0.9	μs
S8	I_i	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10	μA

6.15.3.1.3 I2C のタイミング図

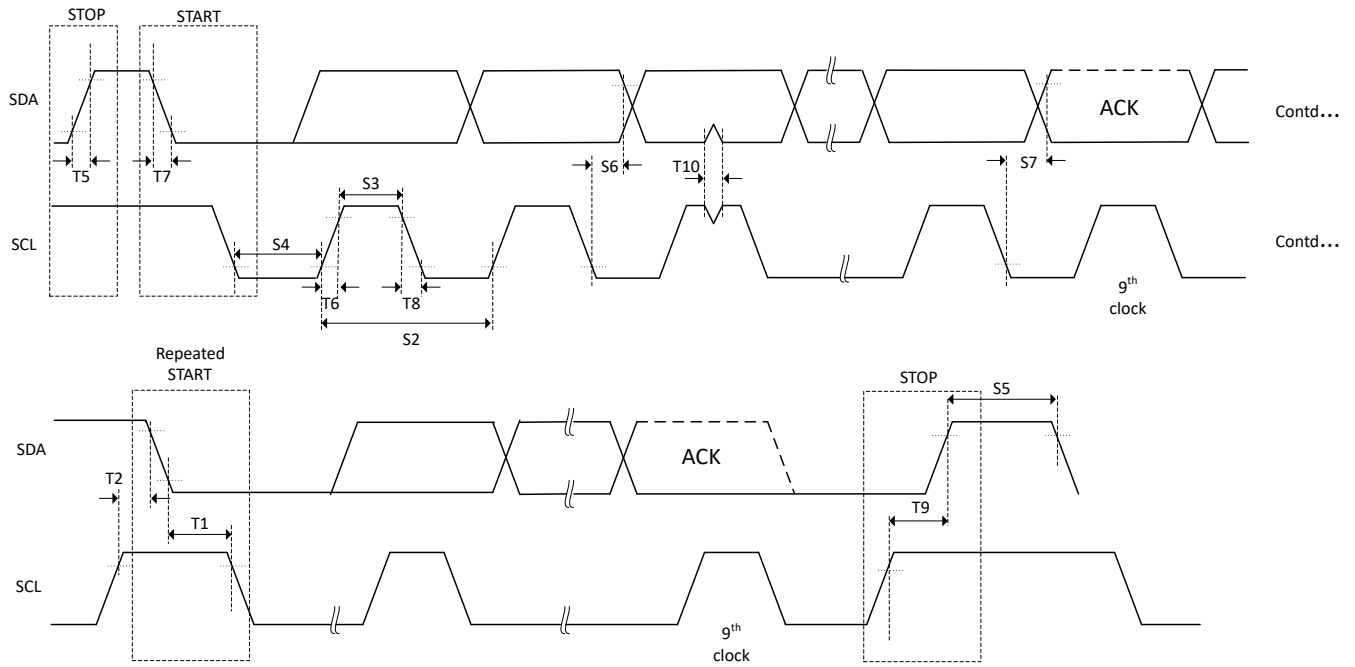


図 6-69. I2C のタイミング図

6.15.4 PMBus (Power-Management Bus) インターフェイス

PMBus モジュールの主な機能は次のとおりです。

- SMI フォーラム PMBus 仕様 (Part I v1.0 および Part II v1.1) 準拠
- 以下と互換性のある電圧スレッシュホールドをサポート:
 - PMBus 1.2 以下
 - SMBus 2.0 以下
- マスタ・モードとスレーブ・モードをサポート
- I2C モードのサポート
- 以下の 2 種類の速度をサポート
 - スタンダード・モード: 最高 100kHz
 - ファースト・モード: 400kHz
- パケット・エラー・チェック
- CONTROL 信号および ALERT 信号
- クロック High および Low でのタイムアウト
- 4 バイトの送信および受信バッファ
- 1 つのマスク可能割り込み、以下のいくつか条件によって生成可能:
 - 受信データ準備完了
 - 送信バッファ空
 - スレーブ・アドレス受信
 - メッセージ終了
 - ALERT 入力アサート
 - クロック Low タイムアウト
 - クロック High タイムアウト
 - バス・フリー

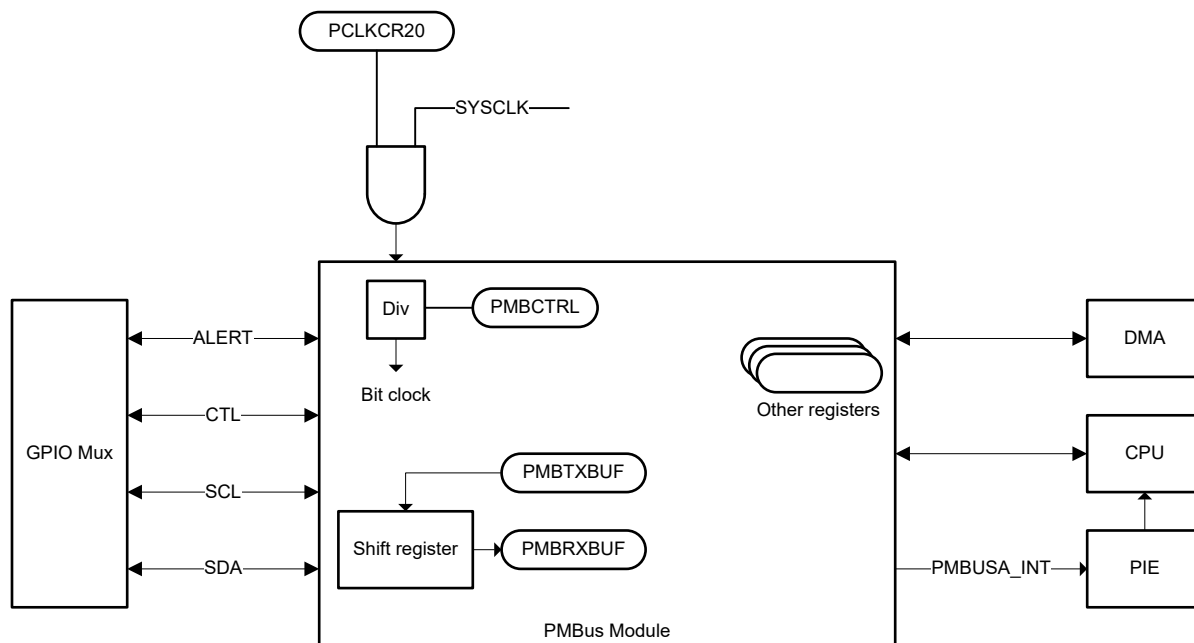


図 6-70. PMBus のブロック図

6.15.4.1 PMBus の電氣的データおよびタイミング

6.15.4.1.1 PMBus の電氣的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IL}	有効 Low レベル入力電圧				0.8	V
V _{IH}	有効 High レベル入力電圧		2.1		VDDIO	V
V _{OL}	Low レベル出力電圧	I _{pullup} = 4mA のとき			0.4	V
I _{OL}	Low レベル出力電流	V _{OL} ≤ 0.4V	4			mA
t _{SP}	入力フィルタにより抑制されるスパイクのパルス幅		0		50	ns
I _i	各ピンの入力リーク電流	0.1V _{bus} < V _i < 0.9V _{bus}	-10		10	μA
C _i	各ピンの容量				10	pF

6.15.4.1.2 PMBus ファスト・モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{FSM_CLK}	FSM_CLK クロック周波数		SYSCL K/32		10	MHz
f _{SCL}	SCL クロック周波数		10		400	kHz
t _{BUF}	STOP 条件と START 条件間のバス開放時間		1.3			μs
t _{HD:STA}	START 条件ホールド時間 - SDA 立ち下がりから SCL 立ち下がりまでの遅延		0.6			μs
t _{SU:STA}	繰り返し START のセットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延		0.6			μs
t _{SU:STO}	STOP 条件セットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延		0.6			μs
t _{HD:DAT}	SCL 立ち下がり後のデータ・ホールド時間		300			ns
t _{SU:DAT}	SCL 立ち上がり前のデータ・セットアップ時間		100			ns
t _{Timeout}	クロック Low タイムアウト		25		35	ms
t _{LOW}	SCL クロックの Low 期間		1.3			μs
t _{HIGH}	SCL クロックの High 期間		0.6		50	μs
t _{LOW;SEXT}	累積クロック Low 拡張時間 (スレーブ・デバイス)	START から STOP まで			25	ms
t _{LOW;MEXT}	累積クロック Low 拡張時間 (マスタ・デバイス)	各バイト内			10	ms
t _r	SDA および SCL の立ち上がり時間	5%~95%	20		300	ns
t _f	SDA および SCL の立ち下がり時間	95%~5%	20		300	ns

6.15.4.1.3 PMBus スタンダード・モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{FSM_CLK}	FSM_CLK クロック周波数		SYSCL K/32		10	MHz
f _{SCL}	SCL クロック周波数		10		100	kHz
t _{BUF}	STOP 条件と START 条件間のバス開放時間		4.7			μs
t _{HD;STA}	START 条件ホールド時間 - SDA 立ち下がりから SCL 立ち下がりまでの遅延		4			μs
t _{SU;STA}	繰り返し START のセットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延		4.7			μs
t _{SU;STO}	STOP 条件セットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延		4			μs
t _{HD;DAT}	SCL 立ち下がり後のデータ・ホールド時間		300			ns
t _{SU;DAT}	SCL 立ち上がり前のデータ・セットアップ時間		250			ns
t _{Timeout}	クロック Low タイムアウト		25		35	ms
t _{LOW}	SCL クロックの Low 期間		4.7			μs
t _{HIGH}	SCL クロック High 期間		4		50	μs
t _{LOW;SEXT}	累積クロック Low 拡張時間 (スレーブ・デバイス)	START から STOP まで			25	ms
t _{LOW;MEXT}	累積クロック Low 拡張時間 (マスタ・デバイス)	各バイト内			10	ms
t _r	SDA および SCL の立ち上がり時間				1000	ns
t _f	SDA および SCL の立ち下がり時間				300	ns

6.15.5 シリアル通信インターフェイス (SCI)

シリアル通信インターフェイス (SCI) は、一般的には UART と呼ばれる 2 線式非同期シリアル・ポートです。SCI モジュールは、CPU と、標準 NRZ (non-return-to-zero) フォーマットを使用する他の非同期ペリフェラルとの間のデジタル通信をサポートします。

SCI のレシーバおよびトランスミッタは、処理オーバーヘッドを削減するための 16 段 FIFO を備えており、それぞれ独自のイネーブル・ビットと割り込みビットを持ちます。この両方が、半二重通信用として個別に動作することも、全二重通信用として同時に動作することもできます。データの整合性を確保するために、SCI は、受信データのブレイク検出、パリティ、オーバーラン、およびフレーミングエラーをチェックします。ビット・レートは、16 ビットのボー選択レジスタにより、さまざまな速度にプログラム可能です。

SCI モジュールには次のような特長があります。

- 2 本の外部ピン:
 - SCITXD: SCI 送信出力ピン
 - SCIRXD: SCI 受信入力ピン
 - 64K までの異なるレートにプログラム可能なボーレート
- データ・ワード・フォーマット
 - 1 スタート・ビット
 - データ・ワード (1~8 ビットの範囲でワード長をプログラム可能)
 - パリティ・ビット (偶数 / 奇数 / なしを選択可能)
 - 1 または 2 ストップ・ビット
- 4 つのエラー検出フラグ: パリティ、オーバーラン、フレーム、ブレイク検出
- 2 つのウェイクアップ・マルチプロセッサ・モード: アイドル・ラインおよびアドレス・ビット
- 半二重または全二重動作
- ダブル・バッファ付きの受信および送信機能
- トランスミッタおよびレシーバの動作は、ステータス・フラグによる割り込み駆動、またはポーリング・アルゴリズムによって実現できます。
 - トランスミッタ: TXRDY フラグ (送信バッファ・レジスタは次の文字の受信準備完了) および TX EMPTY フラグ (送信シフト・レジスタは空)
 - レシーバ: RXRDY フラグ (受信バッファ・レジスタは次の文字の受信準備完了)、BRKDT フラグ (ブレイク条件発生)、RX ERROR フラグ (4 つの割り込み条件の監視)
- トランスミッタおよびレシーバの割り込み用に個別のイネーブル・ビット (BRKDT を除く)
- NRZ フォーマット
- 自動ボー検出ハードウェア・ロジック
- 16 レベルの送信および受信 FIFO

注

このモジュールのすべてのレジスタは、8 ビット・レジスタです。レジスタにアクセスすると、レジスタ・データは下位バイト (ビット 7~0) になり、上位バイト (ビット 15~8) はゼロとして読み取られます。上位バイトへの書き込みは、何も影響がありません。

SCI ブロック図を [図 6-71](#) に示します。

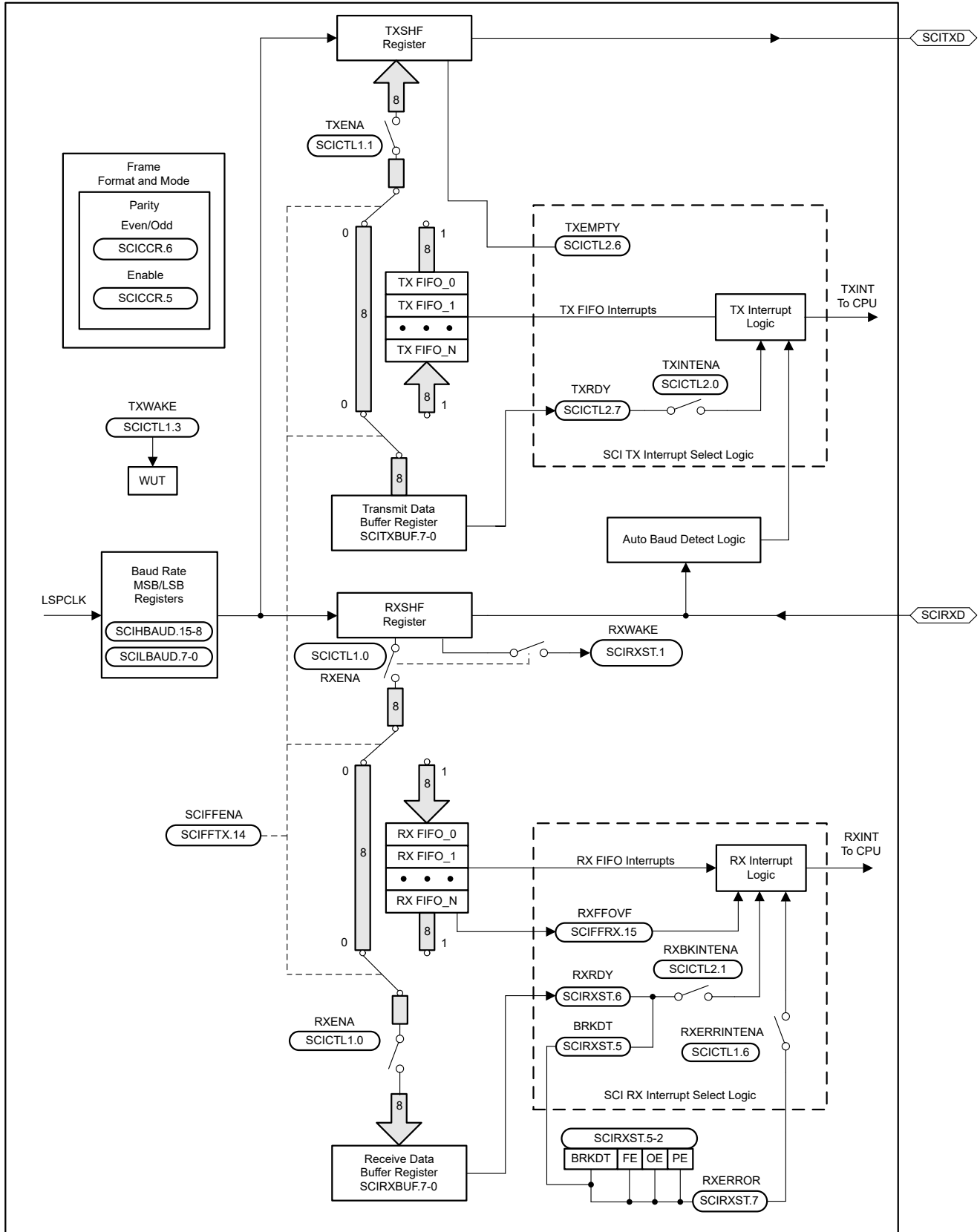


図 6-71. SCI ブロック図

6.15.6 シリアル・ペリフェラル・インターフェイス (SPI)

シリアル・ペリフェラル・インターフェイス (SPI) は、高速な同期シリアル入出力 (I/O) ポートであり、この機能により、プログラムされた長さ (1~16 ビット) のシリアル・ビット・ストリームを、プログラムされたビット転送速度でシフトして、デバイスに入力、デバイスから出力できます。SPI は、通常、MCU コントローラと、外部ペリフェラルや他のコントローラとの間の通信に使用されます。代表的なアプリケーションとして、シフト・レジスタ、ディスプレイ・ドライバ、A/D コンバータ (ADC) などのデバイスを使用した外部 I/O またはペリフェラルの拡張が挙げられます。マルチデバイス通信は、SPI のマスタまたはスレーブ動作によってサポートされています。このポートは、16 レベルの受信および送信 FIFO をサポートしており、CPU サービスのオーバーヘッドを低減できます。

SPI モジュールの主な特長は次のとおりです。

- **SPISOMI**: SPI スレーブ出力 / マスタ入力ピン
- **SPISIMO**: SPI スレーブ入力 / マスタ出力ピン
- **SPISTE**: SPI スレーブ送信イネーブルピン
- **SPICLK**: SPI シリアル・クロック・ピン
- 2 つの動作モード: マスタおよびスレーブ
- ボーレート: プログラム可能な 125 種類のレート。使用可能な最大ボーレートは、SPI ピンで使用される I/O バッファの最大速度によって制限されます。
- データ・ワード長: 1~16 データ・ビット
- 4 つのクロック方式 (クロックの極性とクロック位相ビットで制御) には、次のものがあります。
 - 位相遅延なしの立ち下がりエッジ: **SPICLK** アクティブ High。SPI は、**SPICLK** 信号の立ち下がりエッジでデータを送信し、**SPICLK** 信号の立ち上がりエッジでデータを受信します。
 - 位相遅延付きの立ち下がりエッジ: **SPICLK** アクティブ High。SPI は、**SPICLK** 信号の立ち下がりエッジより半サイクル前にデータを送信し、**SPICLK** 信号の立ち下がりエッジでデータを受信します。
 - 位相遅延なしの立ち上がりエッジ: **SPICLK** 非アクティブ Low。SPI は、**SPICLK** 信号の立ち上がりエッジでデータを送信し、**SPICLK** 信号の立ち下がりエッジでデータを受信します。
 - 位相遅延付きの立ち上がりエッジ: **SPICLK** 非アクティブ Low。SPI は、**SPICLK** 信号の立ち上がりエッジより半サイクル前にデータを送信し、**SPICLK** 信号の立ち上がりエッジでデータを受信します。
- 送受信の同時動作 (送信機能はソフトウェアで無効化可能)
- トランスミッタとレシーバの動作は、割り込み駆動またはポーリング・アルゴリズムによって実現されます。
- 16 レベルの送信 / 受信 FIFO
- DMA サポート
- 高速モード
- 遅延付き送信制御
- 3 線式 SPI モード
- 2 つの SPI モジュールを搭載したデバイスでデジタル・オーディオ・インターフェイス受信モードのための **SPISTE** 反転

図 6-72 に、SPI CPU インターフェイスを示します。

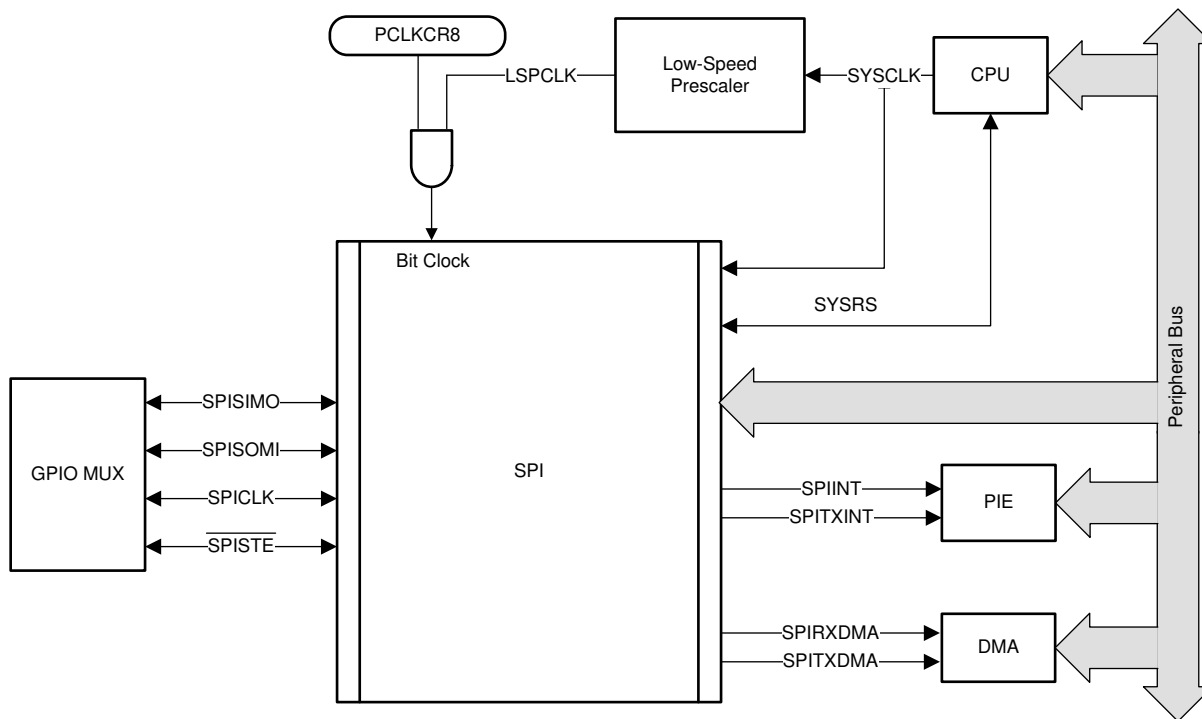


図 6-72. SPI CPU インターフェイス

6.15.6.1 SPI マスタ・モードのタイミング

以下のセクションに、SPI マスタ・モードのタイミングを示します。高速モードの SPI の詳細については、『TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「シリアル・ペリフェラル・インターフェイス (SPI)」の章を参照してください。

注

SPI 高速モードのすべてのタイミング・パラメータは、SPICLK、SPISIMO、SPISOMI の負荷容量を 5pF と仮定しています。

6.15.6.1.1 SPI マスタ・モードのタイミング要件

番号		(BRR + 1) ⁽¹⁾	最小値	最大値	単位
高速モード					
8	$t_{su(SOMI)M}$	セットアップ時間、SPISOMI 有効から SPICLK まで	偶数、奇数	1	ns
9	$t_{h(SOMI)M}$	ホールド時間、SPICLK 後の SPISOMI の有効期間	偶数、奇数	6.5	ns
通常モード					
8	$t_{su(SOMI)M}$	セットアップ時間、SPISOMI 有効から SPICLK まで	偶数、奇数	15	ns
9	$t_{h(SOMI)M}$	ホールド時間、SPICLK 後の SPISOMI の有効期間	偶数、奇数	0	ns

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

6.15.6.1.2 SPI マスタ・モードのスイッチング特性 - クロック位相 0

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ ⁽¹⁾ ⁽²⁾	(BRR + 1) ⁽³⁾	最小値	最大値	単位	
全般						
1	$t_{c(SPC)M}$	サイクル時間、SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	遅延時間、 \overline{SPISTE} 有効から SPICLK まで	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} + 3$	
24	$t_{v(STE)M}$	有効時間、SPICLK から \overline{SPISTE} 無効まで	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
高速モード						
4	$t_{d(SIMO)M}$	遅延時間、SPICLK から SPISIMO 有効まで	偶数、奇数		1	ns
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
通常モード						
4	$t_{d(SIMO)M}$	遅延時間、SPICLK から SPISIMO 有効まで	偶数、奇数		2	ns
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

(1) 高速モードではピンの負荷は 10pF。

(2) 通常モードではピンの負荷は 20pF。

(3) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

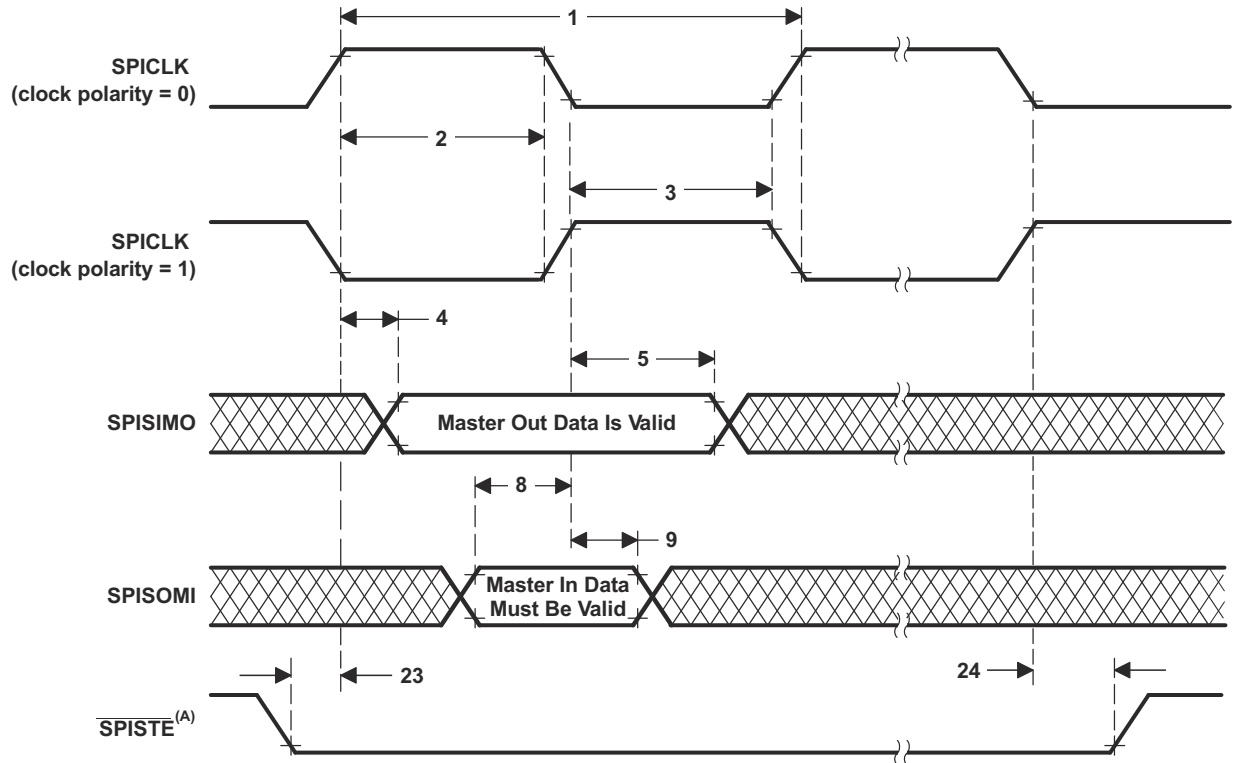
6.15.6.1.3 SPI マスタ・モードのスイッチング特性 - クロック位相 1

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ ⁽¹⁾ ⁽²⁾		(BRR + 1)	最小値	最大値	単位
全般						
1	$t_{c(SPC)M}$	サイクル時間、SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	遅延時間、 \overline{SPISTE} 有効から SPICLK まで	偶数、奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
24	$t_{d(STE)M}$	遅延時間、SPICLK から \overline{SPISTE} 無効まで	偶数	-3	3	ns
			奇数	-3	3	
高速モード						
4	$t_{d(SIMO)M}$	遅延時間、SPISIMO 有効から SPICLK まで	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$		
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
通常モード						
4	$t_{d(SIMO)M}$	遅延時間、SPISIMO 有効から SPICLK まで	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$		
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

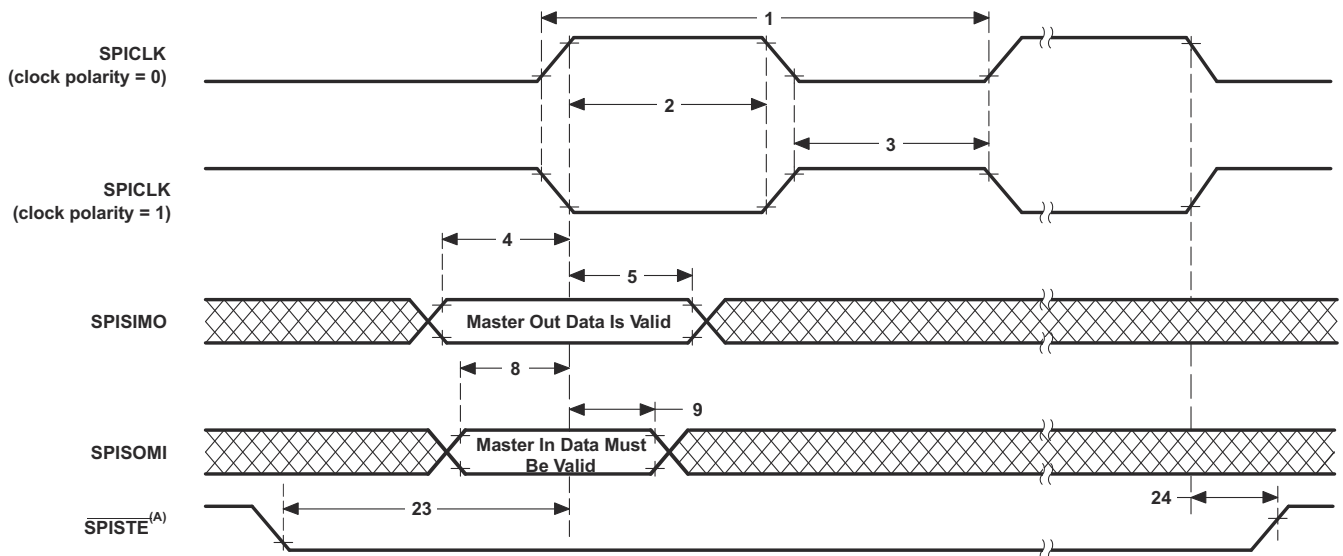
- (1) 高速モードではピンの負荷は 10pF。
(2) 通常モードではピンの負荷は 20pF。

6.15.6.1.4 SPI マスタ・モードのタイミング図



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、 $\overline{\text{SPISTE}}$ は非アクティブになります。

図 6-73. SPI マスタ・モードの外部タイミング (クロック位相 = 0)



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、 $\overline{\text{SPISTE}}$ は非アクティブになります。

図 6-74. SPI マスタ・モードの外部タイミング (クロック位相 = 1)

6.15.6.2 SPI スレーブ・モードのタイミング

以下のセクションに、SPI スレーブ・モードのタイミングを示します。高速モードの SPI の詳細については、『TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「シリアル・ペリフェラル・インターフェイス (SPI)」の章を参照してください。

6.15.6.2.1 SPI スレーブ・モードのタイミング要件

番号			最小値	最大値	単位
12	$t_{c(SPC)}S$	サイクル時間、SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)}S$	パルス幅、SPICLK、最初のパルス	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)}S$	パルス幅、SPICLK、2 番目のパルス	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(SIMO)}S$	セットアップ時間、SPISIMO 有効から SPICLK まで	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)}S$	ホールド時間、SPICLK 後の SPISIMO が有効な期間	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)}S$	セットアップ時間、SPISTE 有効から SPICLK まで (クロック位相 = 0)	$2t_{c(SYSCLK)} + 15$		ns
		セットアップ時間、SPISTE 有効から SPICLK まで (クロック位相 = 1)	$2t_{c(SYSCLK)} + 15$		ns
26	$t_{h(STE)}S$	ホールド時間、SPICLK から SPISTE 無効まで	$1.5t_{c(SYSCLK)}$		ns

6.15.6.2.2 SPI スレーブ・モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ ⁽¹⁾		最小値	最大値	単位
15	$t_{d(SOMI)}S$	遅延時間、SPICLK から SPISOMI 有効まで		12	ns
16	$t_{v(SOMI)}S$	有効時間、SPICLK 後の SPISOMI が有効な期間	0		ns

(1) ピンの負荷は 20pF。

6.15.6.2.3 SPI スレーブ・モードのタイミング図

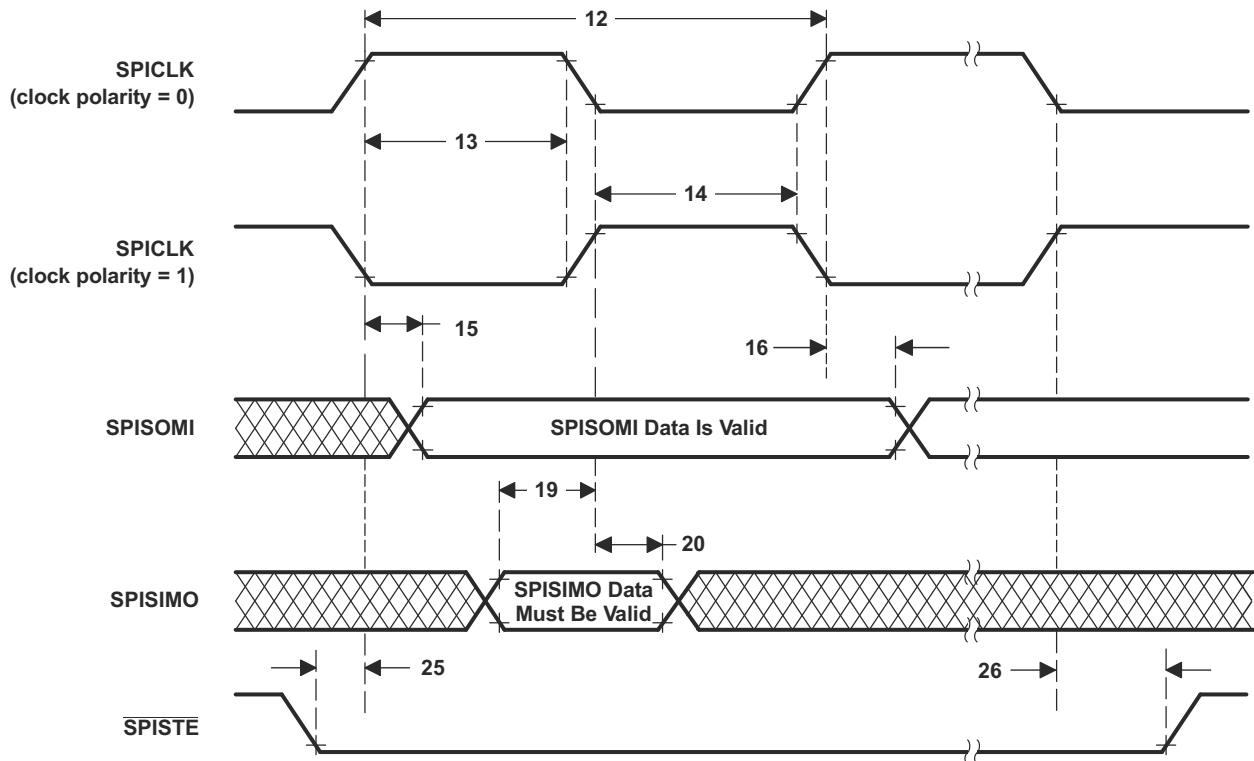


図 6-75. SPI スレーブ・モードの外部タイミング (クロック位相 = 0)

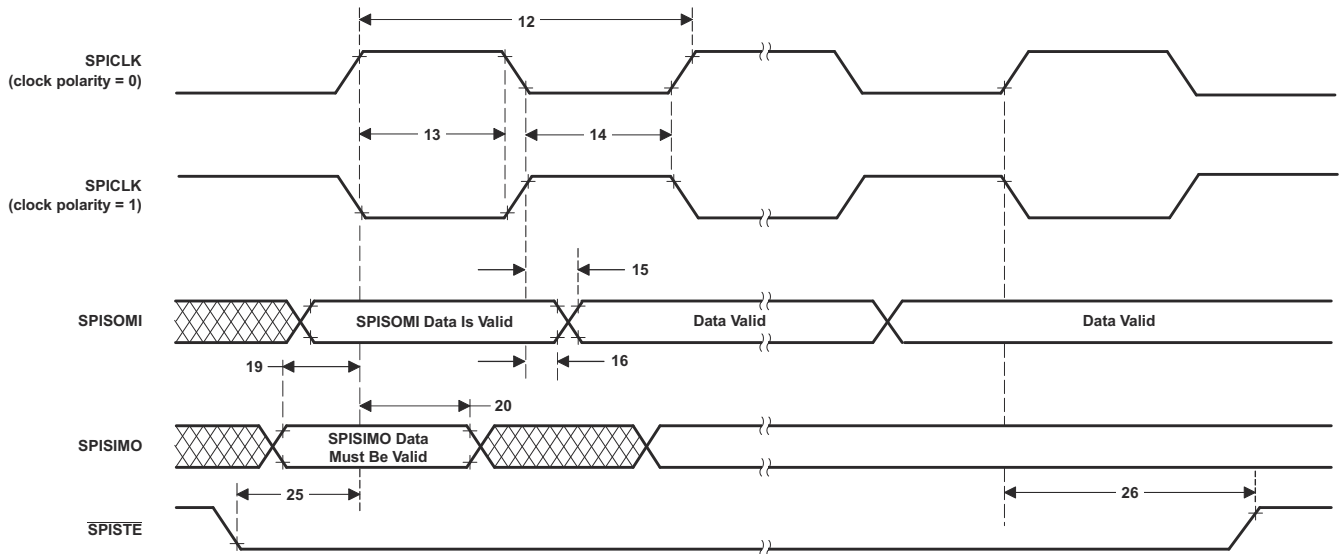


図 6-76. SPI スレーブ・モードの外部タイミング (クロック位相 = 1)

6.15.7 LIN (Local Interconnect Network)

このデバイスには、1 つの LIN (Local Interconnect Network) モジュールが搭載されています。この LIN モジュールは、LIN 仕様パッケージ・リビジョン 2.1 で定義されている LIN 2.1 規格に準拠しています。LIN は低コストのシリアル・インターフェイスであり、CAN プロトコルでは実装にコストがかかりすぎる可能性があるアプリケーション向けに設計されています。用途例としては、車載アプリケーションの車内照明やウィンドウ制御など、車内快適性機能を実現するための小規模サブネットワークなどがあります。

LIN 規格は、SCI (UART) シリアル・データ・リンク形式に基づいています。通信の基本構成は、任意のネットワーク・ノード間でマルチキャストを送信するためのメッセージ識別機能を備えたシングルマスタとマルチスレーブです。

この LIN モジュールは、モジュールのコアが SCI なので、LIN として動作する以外に、SCI として動作するようにもプログラムできます。SCI のハードウェア機能は、LIN との互換性を実現するために強化されています。この SCI モジュールは、標準 NRZ (非ゼロ復帰) フォーマットを実装するユニバーサル非同期レシーバ・トランスミッタ (UART) です。

レジスタは LIN および SCI で共通ですが、レジスタの説明には、異なるモードでのレジスタ / ビットの使用方法を識別するための注記があります。このため、このモジュール用に作成されたコードをスタンドアロンの SCI モジュールに直接移植することはできません。その逆も同様です。

LIN モジュールの主な機能は次のとおりです。

- LIN 1.3、2.0、2.1 の各プロトコルとの互換性
- 最大 20kbps の構成可能なボーレート (LIN 2.1 プロトコルによる)
- 2 本の外部ピン: LINRX と LINTX
- マルチバッファ付き送受信ユニット
- メッセージ・フィルタリング用識別マスク
- マスタ・ヘッダの自動生成
 - プログラマブルな同期ブレイク・フィールド
 - 同期フィールド
 - 識別子フィールド
- スレーブの自動同期
 - 同期ブレイク検出
 - オプションのボーレート更新
 - 同期検証
- 7 つのフラクショナル・ビットを使用した 2^{31} 種類のプログラマブルな転送レート
- トランシーバからの、LINRX ドミナント・レベルでのウェークアップ
- 自動ウェークアップのサポート
 - ウェークアップ信号の生成
 - 有効期限付きウェークアップ信号
- バス・アイドルの自動検出
- エラー検出
 - ビット・エラー
 - バス・エラー
 - 無応答エラー
 - チェックサム・エラー
 - 同期フィールド・エラー
 - パリティ・エラー
- ダイレクト・メモリ・アクセス (DMA) によるデータ送受信可能
- 優先度エンコード機能付きの 2 本の割り込みライン:
 - 受信
 - 送信
 - ID、エラー、ステータス
- LIN 2.0 チェックサムをサポート

- フレーム処理用の拡張シンクロナイザ有限ステート・マシン (FSM) をサポート
- 拡張フレームの処理能力を強化
- 拡張ボーレート・ジェネレータ
- ウェークアップ / スリープ移行を更新

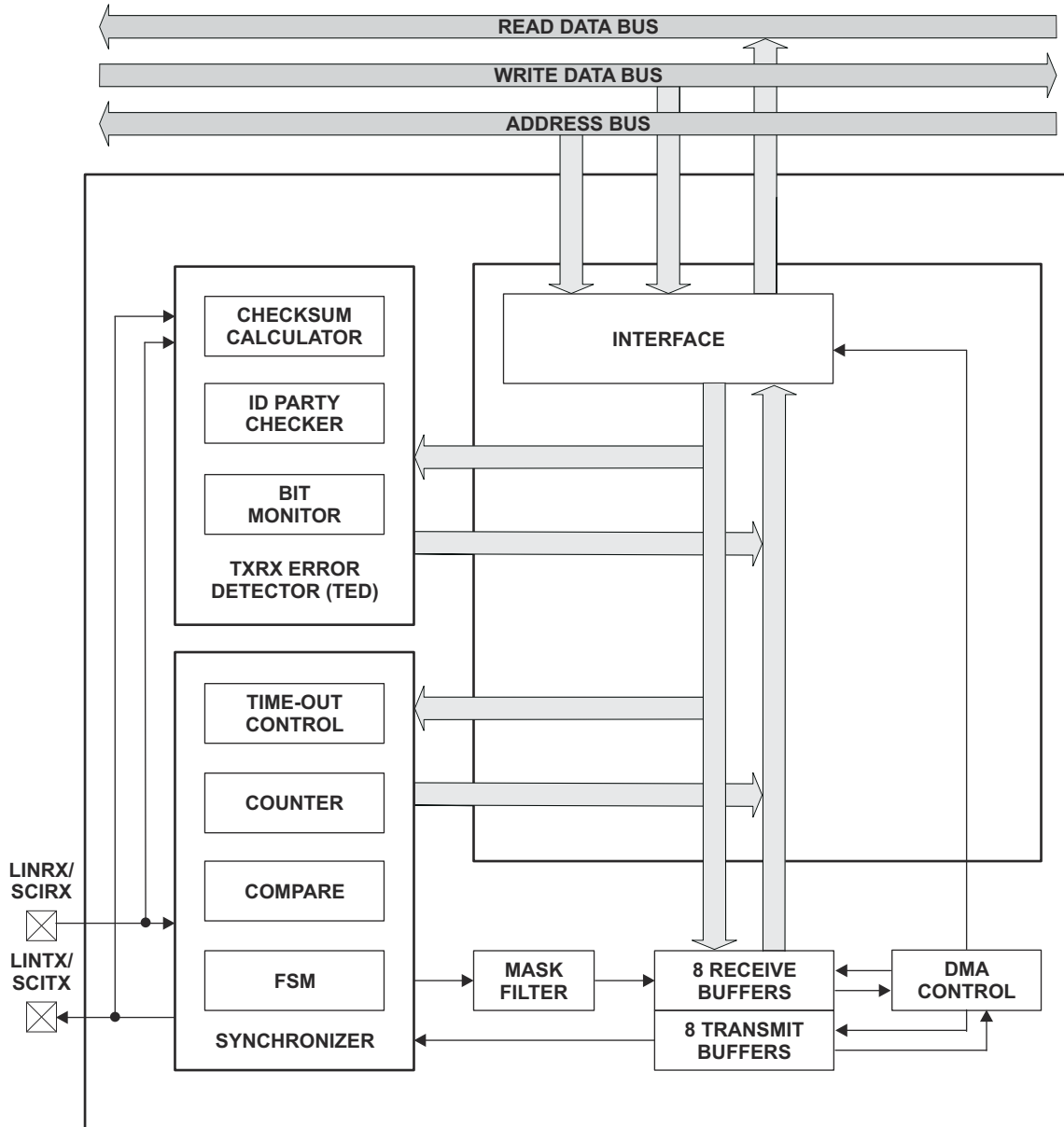


図 6-77. LIN のブロック図

6.15.8 高速シリアル・インターフェイス (FSI)

高速シリアル・インターフェイス (FSI) モジュールは、信頼性が高く堅牢な高速通信を実行できるシリアル通信ペリフェラルです。FSI は、チップ間や絶縁バリアをまたぐボード間など、多くのシステム条件にわたってデータの堅牢性を保証するように設計されています。CRC、フレーム開始およびフレーム終了パターン、ユーザー定義タグなどのペイロード整合性チェックは、送信前にエンコードされ、受信後に検証されます。このとき、CPU との追加のやり取りはありません。断線は、定期的な送信を使って検出でき、ハードウェアによってすべての管理と監視が行われます。FSI は、デバイス上の他の制御ペリフェラルとも密接に統合されています。最新のセンサ・データまたは制御パラメータを確実に利用できるように、制御ループ周期ごとにフレームを送信できます。レシーバにはスキュー補償ブロックが内蔵されており、クロック信号とデータ信号の間で発生する可能性のあるスキューを処理します。これには、トレース長のミスマッチや絶縁チップによって生じるスキューなど、さまざまな要因があります。FSI は、データの堅牢性チェック、データ・リンクの整合性チェック、スキュー補償を内蔵し、さらに制御ペリフェラルと統合されているため、あらゆるシステムで高速かつ堅牢な通信を実現できます。FSI のこれらの機能と他の多くの機能は以下のとおりです。

FSI モジュールの主な機能は次のとおりです。

- 独立したトランスミッタ・コアとレシーバ・コア
- ソース同期送信
- デュアル・データ・レート (DDR)
- 1 つまたは 2 つのデータ・ライン
- データ長をプログラム可能
- スキュー調整ブロックにより、基板とシステムの遅延のミスマッチを補償
- フレーム・エラー検出
- プログラム可能なフレーム・タグ機能によるメッセージ・フィルタリング
- 通信中の断線を検出するためのハードウェア ping (ping ウォッチドッグ)
- FSI コアごとに 2 つの割り込み
- 外部トリガによるフレーム生成
- ハードウェアまたはソフトウェアで計算された CRC
- ECC 計算モジュール内蔵
- レジスタ書き込み保護
- DMA サポート
- SPI 互換モード (限定された機能が利用可能)

デュアル・データ・レート (120Mbps) において FSI を最大速度 (60MHz) で動作させるには、ケースごとに特定の動作条件に応じて、内蔵のスキュー補償ブロックを構成する必要があります。高速シリアル・インターフェイス (FSI) スキュー補償アプリケーション・レポートには、高速シリアル・インターフェイスでの内蔵スキュー補償ブロックの構成および設定方法に関するサンプル・ソフトウェアが含まれています。

FSI は、独立したトランスミッタ (FSITX) コアとレシーバ (FSIRX) コアで構成されています。FSITX コアおよび FSIRX コアは、個別に構成されて動作します。FSITX および FSIRX で利用可能な機能については、「FSI トランスミッタ」セクションおよび「FSI レシーバ」セクションでそれぞれ説明しています。

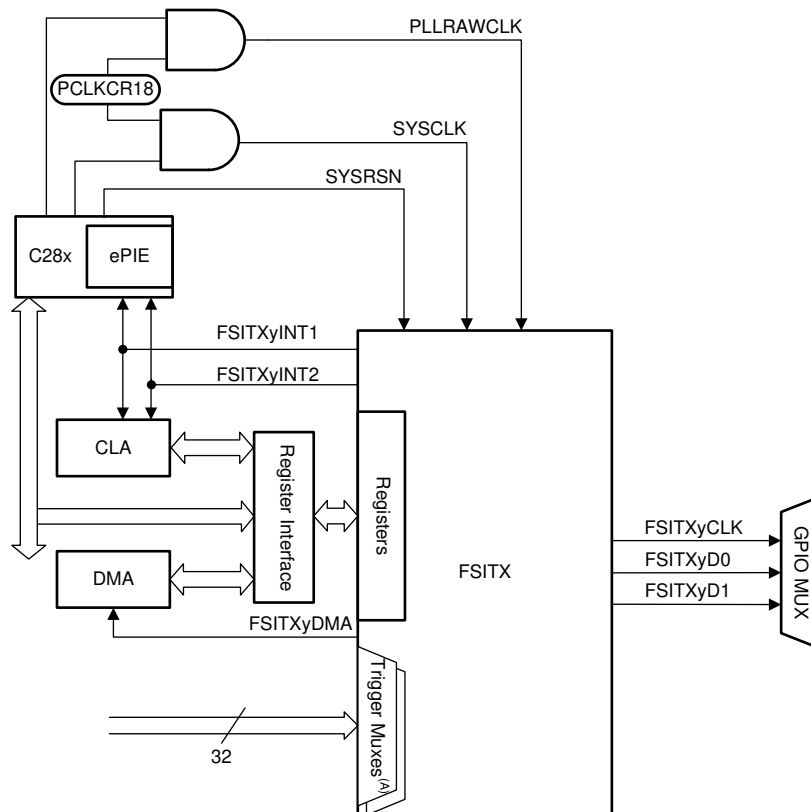
6.15.8.1 FSI トランスミッタ

FSI トランスミッタ・モジュールは、データのフレーミング、CRC 生成、TXCLK、TXD0、TXD1 の信号生成、割り込み生成を処理します。トランスミッタ・コアの動作は、プログラム可能な制御レジスタによって制御および構成されます。このトランスミッタ制御レジスタを使って、CPU は、FSI トランスミッタの動作をプログラム、制御、および監視できます。送信データバッファは、CPU、および DMA からアクセスできます。

トランスミッタの特長は次のとおりです。

- 自動化された ping フレーム生成
- 外部からトリガされる ping フレーム
- ソフトウェアで構成可能なフレーム長
- 16 ワードのデータ・バッファ
- データ・バッファのアンダーランおよびオーバーラン検出
- ハードウェアで生成されるデータ・ビットの CRC
- 選択したデータに対するソフトウェア ECC の計算
- DMA サポート

図 6-78 に、FSITX CPU インターフェイスを示します。図 6-79 に、FSITX の概略ブロック図を示します。すべてのデータ・バスと内部接続が表示されているわけではありません。この図は、FSITX に搭載されている内部モジュールの概要を示しています。



- A. トリガ・マルチプレクサに接続されている信号については、『TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニユアル』の高速シリアル・インターフェイス (FSI) の章にある「外部フレーム・トリガ・マルチプレクサ」セクションを参照してください。

図 6-78. FSITX CPU インターフェイス

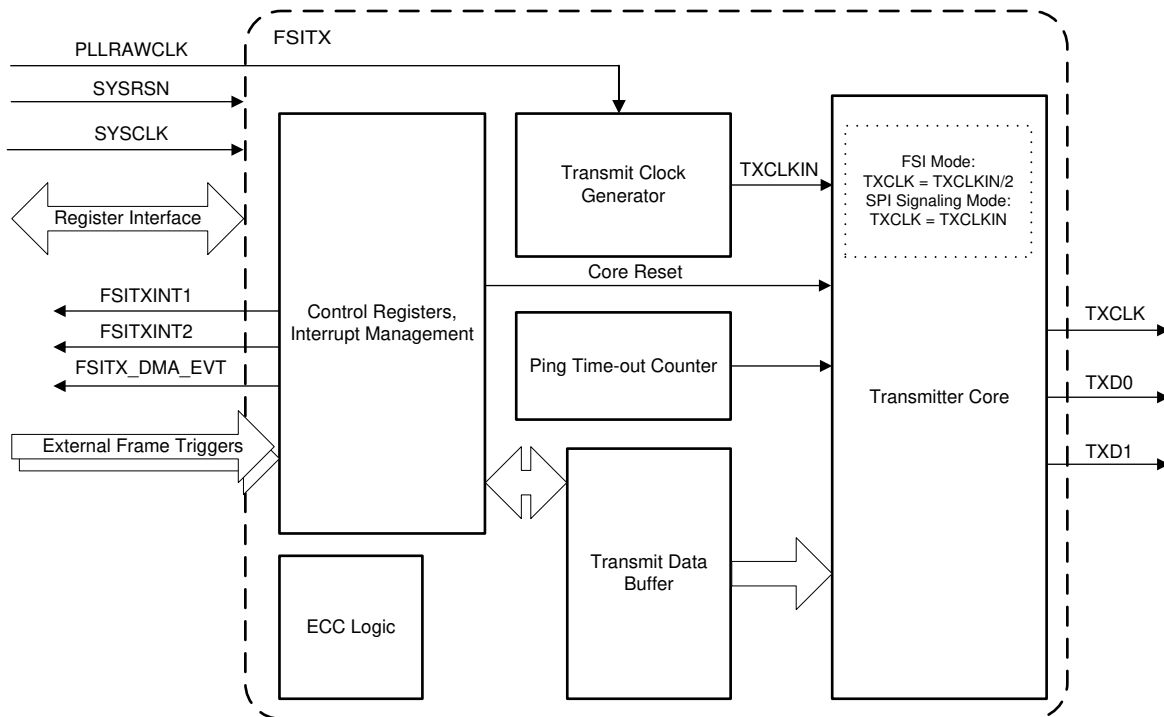


図 6-79. FSITX のブロック図

6.15.8.1.1 FSITX の電気的データおよびタイミング

6.15.8.1.1.1 FSITX のスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ (1)	最小値	最大値	単位
1	$t_c(\text{TXCLK})$	サイクル時間、TXCLK		ns
2	$t_w(\text{TXCLK})$	パルス幅、TXCLK LOW または TXCLK HIGH		ns
3	$t_d(\text{TXCLK-TXD})$	遅延時間、TXCLK の立ち上がりまたは立ち下がりから TXD 有効		ns
4	$t_d(\text{TXCLK})$	TX_DLYLINE_CTRL[TXCLK_DLY] = 31 での TXCLK 遅延補償		ns
5	$t_d(\text{TXD0})$	TX_DLYLINE_CTRL[TXD0_DLY] = 31 での TXD0 遅延補償		ns
6	$t_d(\text{TXD1})$	TX_DLYLINE_CTRL[TXD1_DLY] = 31 での TXD1 遅延補償		ns
7	$t_d(\text{DELAY_ELEMENT})$	TXCLK、TXD0、TXD1 の各デレイライン素子の増分遅延		ns
TDM1	$t_{\text{skew}}(\text{TDM_CLK-TDM_Dx})$	TXCLK-TDM_CLK 遅延と TXDx-TDM_Dx 遅延の間に生じる遅延スキュー		ns

(1) ピンの負荷は 10pF。

6.15.8.1.1.2 FSITX タイミング

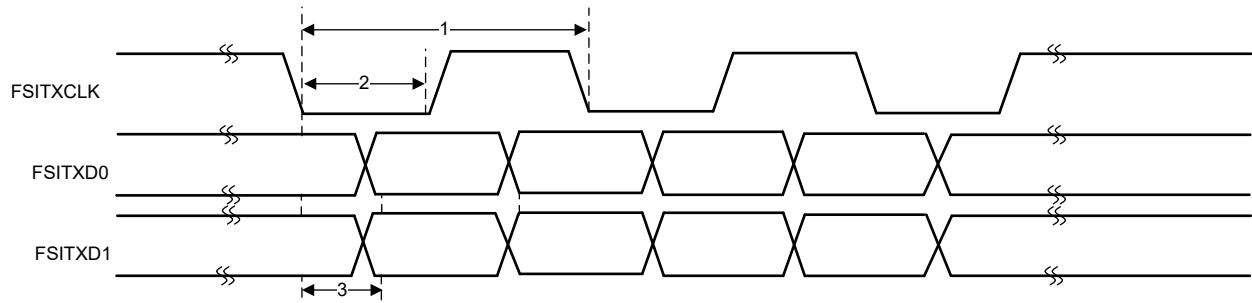


図 6-80. FSITX タイミング

6.15.8.2 FSI レシーバ

レシーバ・モジュールは、オプションのプログラマブル遅延ラインを通過した後の FSI クロック (RXCLK) およびデータ・ライン (RXD0 および RXD1) に接続します。レシーバ・コアは、データ・フレーミング、CRC 計算、フレーム関連のエラー・チェックを処理します。レシーバ・ビット・クロックおよびステート・マシンは、デバイスのシステム・クロックとは同期しない RXCLK 入力によって実行されます。

レシーバ制御レジスタにより、CPU は FSIRX の動作をプログラム、制御、および監視できます。受信データ バッファには、CPU、HIC、および DMA からアクセスできます。

レシーバ・コアは以下に示す機能を備えています。

- 16 ワードのデータ・バッファ
- 複数のフレーム・タイプをサポート
- Ping フレーム・ウォッチドッグ
- フレーム・ウォッチドッグ
- ハードウェアでの CRC 計算および比較
- ECC 検出
- 受信信号に対するプログラマブルなディレイ・ライン制御
- DMA サポート
- SPI 互換モード

図 6-81 に、FSIRX CPU インターフェイスを示します。図 6-82 に、FSIRX に搭載されている内部モジュールの概要を示します。すべてのデータ・パスと内部接続が表示されているわけではありません。

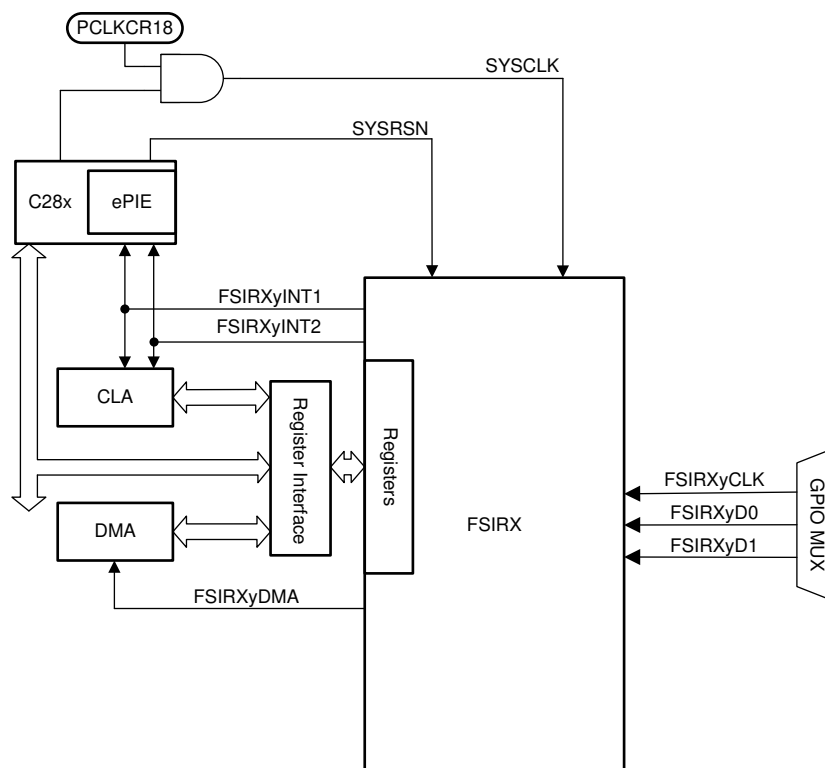


図 6-81. FSIRX CPU インターフェイス

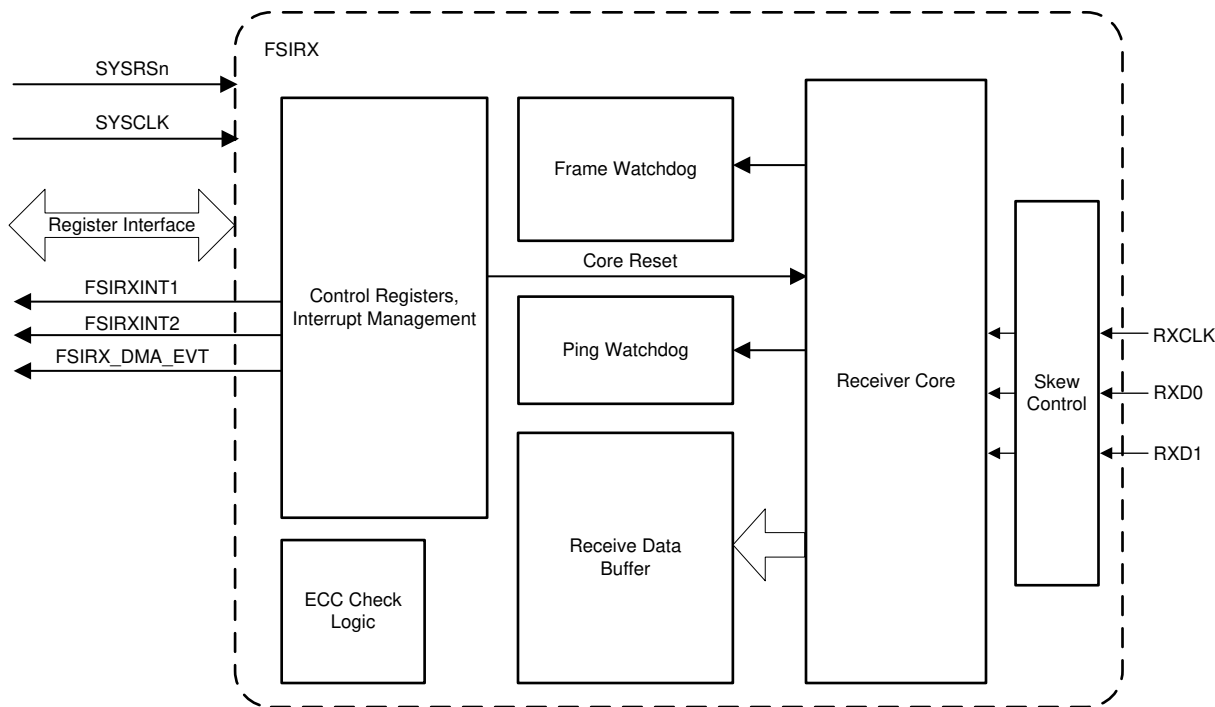


図 6-82. FSIRX のブロック図

6.15.8.2.1 FSIRX の電気的データおよびタイミング

6.15.8.2.1.1 FSIRX のタイミング要件

番号			最小値	最大値	単位
1	$t_{c(RXCLK)}$	サイクル時間、RXCLK	16.67		ns
2	$t_{w(RXCLK)}$	パルス幅、RXCLK LOW または RXCLK HIGH	$0.35t_{c(RXCLK)}$	$0.65t_{c(RXCLK)}$	ns
3	$t_{su(RXCLK-RXD)}$	RXCLK を基準とするセットアップ時間 (クロックの両方のエッジに適用)	1.7		ns
4	$t_{h(RXCLK-RXD)}$	RXCLK を基準とするホールド時間 (クロックの両方のエッジに適用)	2		ns

6.15.8.2.1.2 FSIRX のスイッチング特性

番号	パラメータ (1)	最小値	最大値	単位
1	$t_{d(RXCLK)}$	RX_DLYLINE_CTRL[RXCLK_DLY] = 31 での RXCLK 遅延補償	10	30 ns
2	$t_{d(RXD0)}$	RX_DLYLINE_CTRL[RXD0_DLY] = 31 での RXD0 遅延補償	10	30 ns
3	$t_{d(RXD1)}$	RX_DLYLINE_CTRL[RXD1_DLY] = 31 での RXD1 遅延補償	10	30 ns
4	$t_{d(DELAY_ELEMENT)}$	RXCLK、RXD0、RXD1 の各ディレイ・ライン素子の増分遅延	0.3	1 ns
TDM1	$t_{skew}(TDM_CLK-TDM_Dx)$	RXCLK-TDM_CLK 遅延と RXDx-TDM_Dx 遅延の間に生じる遅延スキュー	-3	3 ns

(1) ピンの負荷は 10pF。

6.15.8.2.1.3 FSIRX タイミング

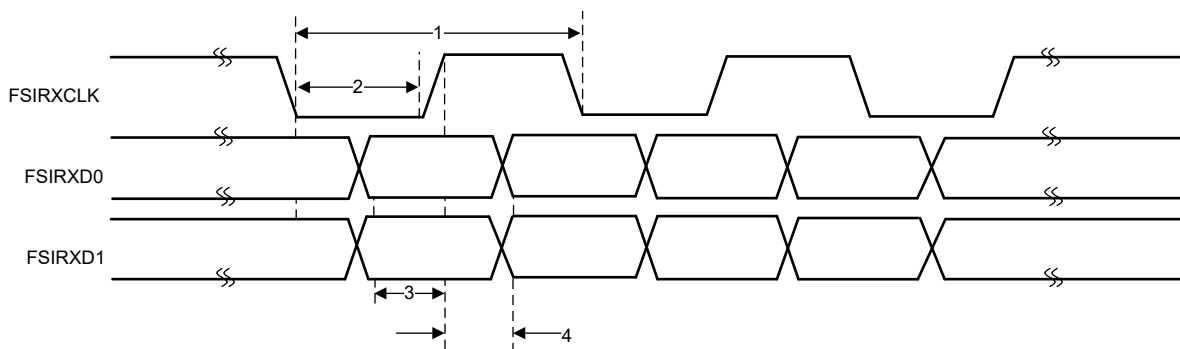


図 6-83. FSIRX タイミング

6.15.8.3 FSI SPI 互換モード

FSI は SPI 互換モードをサポートしており、プログラマブル SPI デバイスとの通信が可能です。このモードでは、FSI は単一クロック構成モードで、SPI と同じ方法でデータを送信します。FSI はこのモードで SPI と物理的にインターフェイスできますが、正常に通信を行うには、外部デバイスが FSI フレームをエンコードおよびデコードする必要があります。これは、FSI がプリアンブルとポストアンブルを除くすべての SPI フレーム・フェーズを送信するためです。FSI は、標準 FSI モードと同じようにデータ検証とフレーム・チェックを実行できるため、CPU サイクルを消費せずに、より堅牢な通信を実現できます。外部 SPI は、すべての関連情報を送信する必要があります。また、FSIRX の ping フレーム・ウォッチドッグ、フレーム・タグ、カスタム CRC 値などの標準 FSI 機能にアクセスできます。SPI 互換モードの機能のリストを以下に示します。

- データは、クロックの立ち上がりエッジで送信され、立ち下がりエッジで受信されます。
- 16 ビットのワード・サイズのみがサポートされています。
- TXD1 は、アクティブ LOW のチップセレクト信号のように駆動されます。この信号は、フレーム全体の送信中は LOW になります。
- レシーバ・チップセレクト入力は不要です。RXD1 は使用しません。データは、すべてのアクティブ・クロック・エッジでレシーバにシフト・インされます。
- プリアンブルまたはポストアンブル・クロックは送信されません。すべての信号は、フレーム・フェーズが完了した後、アイドル状態に戻ります。
- FSI TXCLK には外部クロック ソースを使用できないため、SPI スレーブ構成で送信することはできません。

6.15.8.3.1 FSITX SPI 信号モードの電氣的データおよびタイミング

SPI 信号モードの FSIRX では、特別なタイミングは必要ありません。「FSIRX のタイミング要件」表に記載されている FSIRX のタイミングは、SPI 互換モードに適用されます。立ち下がりエッジが SPI 信号モードのアクティブ・エッジなので、セットアップ時間とホールド時間は、FSIRXCLK の立ち下がりエッジでのみ有効です。

6.15.8.3.1.1 FSITX SPI 信号モードのスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ (1)		最小値	最大値	単位
1	$t_c(\text{TXCLK})$	サイクル時間、TXCLK	16.67		ns
2	$t_w(\text{TXCLK})$	パルス幅、TXCLK LOW または TXCLK HIGH	$(0.5t_c(\text{TXCLK})) - 1$	$(0.5t_c(\text{TXCLK})) + 1$	ns
3	$t_d(\text{TXCLKH-TXD0})$	遅延時間、TXCLK HIGH から TXD0 有効まで		3	ns
4	$t_d(\text{TXD1-TXCLK})$	遅延時間、TXD1 LOW から TXCLK HIGH まで	$t_w(\text{TXCLK}) - 3$		ns
5	$t_d(\text{TXCLK-TXD1})$	遅延時間、TXCLK LOW から TXD1 HIGH まで	$t_w(\text{TXCLK})$		ns

(1) ピンの負荷は 10pF

6.15.8.3.1.2 FSITX SPI 信号モードのタイミング

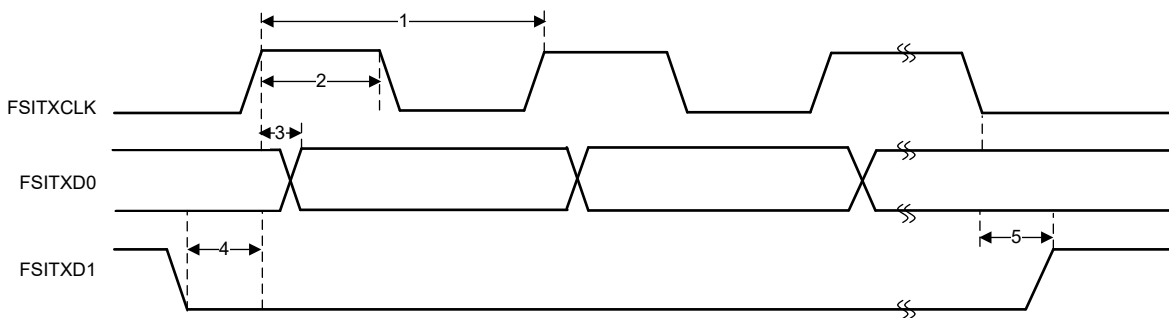


図 6-84. FSITX SPI 信号モードのタイミング

6.15.9 ホスト・インターフェイス・コントローラ (HIC)

HIC モジュールを使用すると、ASRAM プロトコルをエミュレートすることにより、外部ホスト・コントローラ (マスタ) からデバイス (スレーブ) のリソースに直接アクセスできます。ダイレクト・アクセスとメールボックス・アクセスの 2 つの動作モードがあります。ダイレクト・アクセス・モードでは、デバイス・リソースは外部ホストにより直接読み書きされます。メールボックス・アクセス・モードでは、外部ホストとデバイスがバッファに対して書き込みと読み出しを行い、バッファの書き込み / 読み取りが完了すると互いに通知し合います。外部ホストが HIC にアクセスするには、セキュリティ上の理由から、デバイスで HIC をイネーブルにする必要があります。

HIC には次のような特長があります。

- 8 ビットと 16 ビットの構成可能な I/O データ・ライン
- ダイレクト・アクセス・モードとメールボックス・アクセス・モード
- 8 つのアドレス・ラインと 8 つの構成可能なベース・アドレスにより、合計 2048 のアドレス指定可能領域が使用可能
- メールボックス・アクセス・モードの場合、外部ホストとデバイス用に 2 つの 64 バイト・バッファ
- バッファのフル / 空になったときに割り込みを生成
- 高スループット
- 他のペリフェラルから HIC アクティビティをトリガ
- システムまたはインターフェイスに対するエラー・インジケータ
- 構成レジスタへの書き込みをブロックするコミット機能

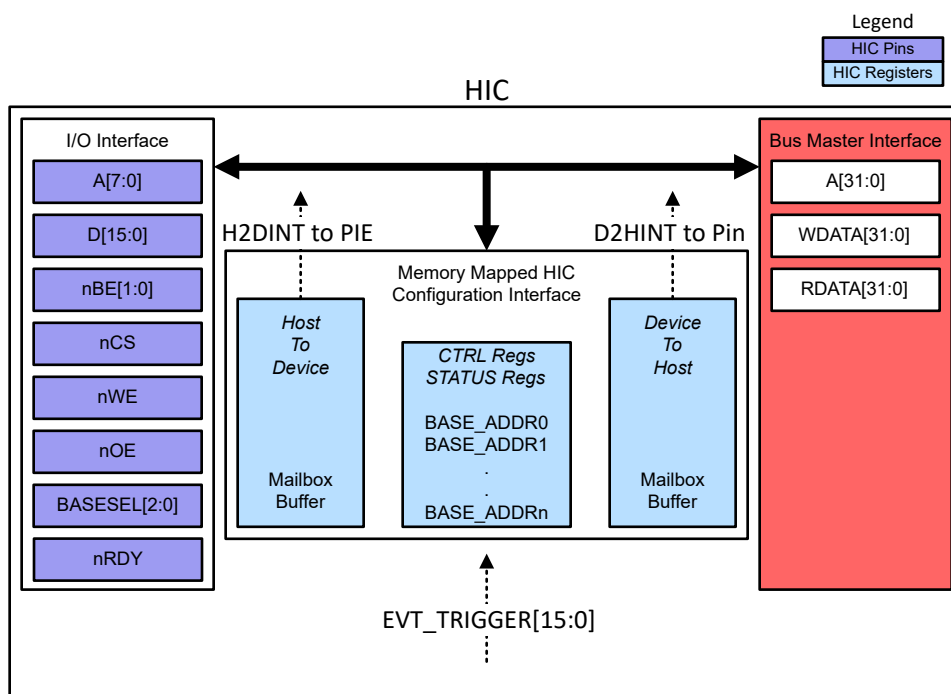


図 6-85. HIC のブロック図

6.15.9.1 HIC の電氣的データおよびタイミング

6.15.9.1.1 HIC のタイミング要件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
nOE および nWE ピンによるパラメータの読み取り / 書き込み - デュアル読み取り / 書き込みピン				
$t_{su}(ABBV-OEV)$	セットアップ時間、A/BASESEL/nBE から nOE がアクティブになるまで	0		ns
$t_{su}(ABBV-WEV)$	セットアップ時間、A/BASESEL/nBE から nWE がアクティブになるまで	0		ns
$t_{su}(CSV-OEV)$	セットアップ時間、nCS がアクティブになってから nOE がアクティブになるまで	$0.5t_{c(SYSCLK)}$		ns
$t_{su}(CSV-WEV)$	セットアップ時間、nCS がアクティブになってから nWE がアクティブになるまで	$0.5t_{c(SYSCLK)}$		ns
$t_h(ABBV-OEIV)$	ホールド時間、nOE が非アクティブになった後の A/BASESEL/nBE/nCS の保持期間	6		ns
$t_h(ABBV-WEIV)$	ホールド時間、nWE が非アクティブになった後の A/BASESEL/nBE/nCS の保持期間	6		ns
$t_w(OEV)$	nOE のアクティブ・パルス幅 (読み取り) ⁽¹⁾	$4t_{c(SYSCLK)}$		ns
$t_w(WEV)$	nWE のアクティブ・パルス幅 (書き込み)	$4t_{c(SYSCLK)}$		ns
$t_w(CSIV)$	nCS の非アクティブ・パルス幅 ⁽²⁾	$3t_{c(SYSCLK)}$		ns
$t_w(OEIV)$	nOE の非アクティブ読み出しパルス幅 ⁽²⁾	$3t_{c(SYSCLK)}$		ns
$t_w(WEIV)$	nWE の非アクティブ書き込みパルス幅 ⁽²⁾	$3t_{c(SYSCLK)}$		ns
$t_{su}(DV-WEV)$	セットアップ時間、D から nWE がアクティブになるまで	0		ns
$t_h(DV-WEIV)$	ホールド時間、nWE が非アクティブになった後の D の保持期間	6		ns
RnW ピンによるパラメータの読み取り / 書き込み - 単一読み取り / 書き込みピン				
$t_{su}(ABBV-CSV)$	セットアップ時間、A/BASESEL/nBE から nCS がアクティブになるまで	0		ns
$t_{su}(RNWV-CSV)$	セットアップ時間、RnW から nCS がアクティブになるまで	$0.5t_{c(SYSCLK)}$		ns
$t_h(ABBV-CSIV)$	ホールド時間、nCS が非アクティブになった後の A/BASESEL/nBE/RnW の保持期間	5		ns
$t_w(CSV_RD)$	読み取り動作の nCS のアクティブ・パルス幅 ⁽¹⁾	$4t_{c(SYSCLK)}$		ns
$t_w(CSV_WR)$	書き込み動作の nCS のアクティブ・パルス幅	$4t_{c(SYSCLK)}$		ns
$t_w(CSIV)$	nCS の非アクティブ・パルス幅 ⁽²⁾	$3t_{c(SYSCLK)}$		ns
$t_w(RNWIV)$	RnW の非アクティブ・パルス幅 ⁽²⁾	$3t_{c(SYSCLK)}$		ns
$t_{su}(DV-CSV)$	セットアップ時間、D から nCS がアクティブになるまで	0		ns
$t_h(DV-CSIV)$	ホールド時間、nCS が非アクティブになった後の D の保持期間	5		ns

(1) デバイス領域にアクセスするには、追加で 2 SYSCLK サイクルが必要です。

(2) nRDY ピンを使用してデバイス領域にアクセスするには、追加で 1 SYSCLK サイクルが必要です。

6.15.9.1.2 HIC のスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ ⁽¹⁾		最小値	最大値	単位
nOE および nWE ピンでのパラメータの読み取り / 書き込み				
$t_d(OEV-DV)$	出力データ遅延時間:nOE から D 出力有効 ⁽²⁾	$3t_{c(SYSCLK)}$	$4t_{c(SYSCLK)} + 15$	ns
$t_d(OEIV-DIV)$	出力データ・ホールド時間:nOE 無効から D 出力無効 (トライステート)	$1t_{c(SYSCLK)}$	$2t_{c(SYSCLK)} + 15$	ns
$t_d(OEV-RDYV)$	読み出し準備完了遅延時間:nOE から nRDY 出力有効	0	12	ns
$t_d(WEV-RDYV)$	書き込み準備完了遅延時間:nWE から nRDY 出力有効	0	12	ns
$t_d(RDYV-DV)$	準備完了からデータの遅延時間:nRDY 出力有効から D 出力有効	-3	3	ns
$t_w(RDYACT)$	nRDY 出力のアクティブ・パルス幅	$2t_{c(SYSCLK)}$		ns
RnW ピンによるパラメータの読み取り / 書き込み				

6.15.9.1.2 HIC のスイッチング特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ ⁽¹⁾		最小値	最大値	単位
$t_d(\text{CSV-DV})$	出力遅延時間:nCS アクティブから D 出力有効 ⁽²⁾	$3t_{c(\text{SYSCLK})}$	$4t_{c(\text{SYSCLK})} + 14$	ns
$t_d(\text{CSIV-DIV})$	出力ホールド時間:nCS 非アクティブから D 出力無効 (トライステート)	$1t_{c(\text{SYSCLK})}$	$2t_{c(\text{SYSCLK})} + 14$	ns
$t_d(\text{CSV-RDYV})$	出力遅延時間:nCS から nRDY 出力有効	0	12	ns
$t_d(\text{RDYV-DV})$	準備完了からデータの遅延時間:nRDY 出力有効から D 出力有効	-3	3	ns
$t_w(\text{RDYACT})$	nRDY 出力のアクティブ・パルス幅	$2t_{c(\text{SYSCLK})}$		ns

(1) ピンの負荷は 10pF。

(2) メールボックス・アクセスにのみ適用されます。ダイレクト・メモリ・マップ (デバイス) アクセスは、nRDY ピンで認定されています。

6.15.9.1.3 HIC のタイミング図

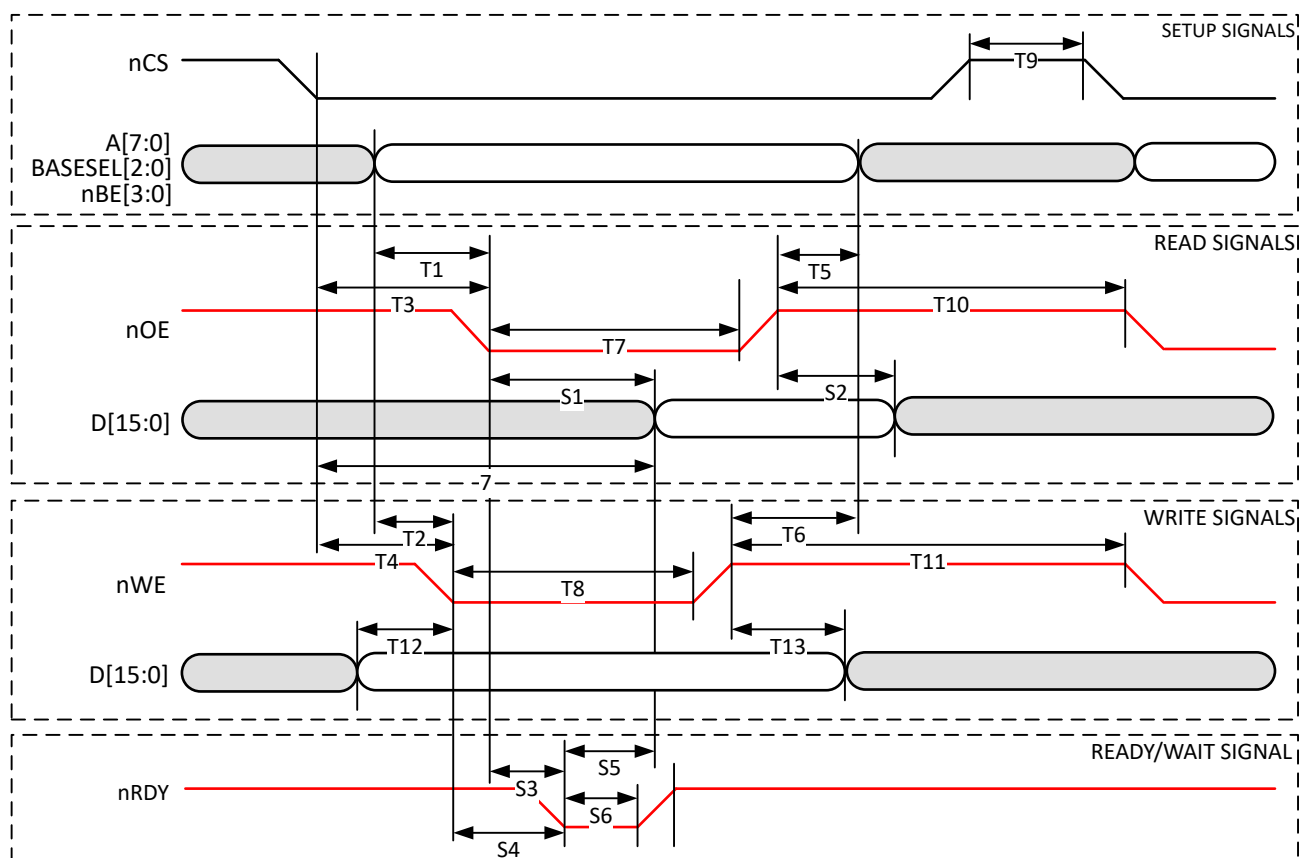


図 6-86. nOE および nWE ピンでの読み取り / 書き込み動作

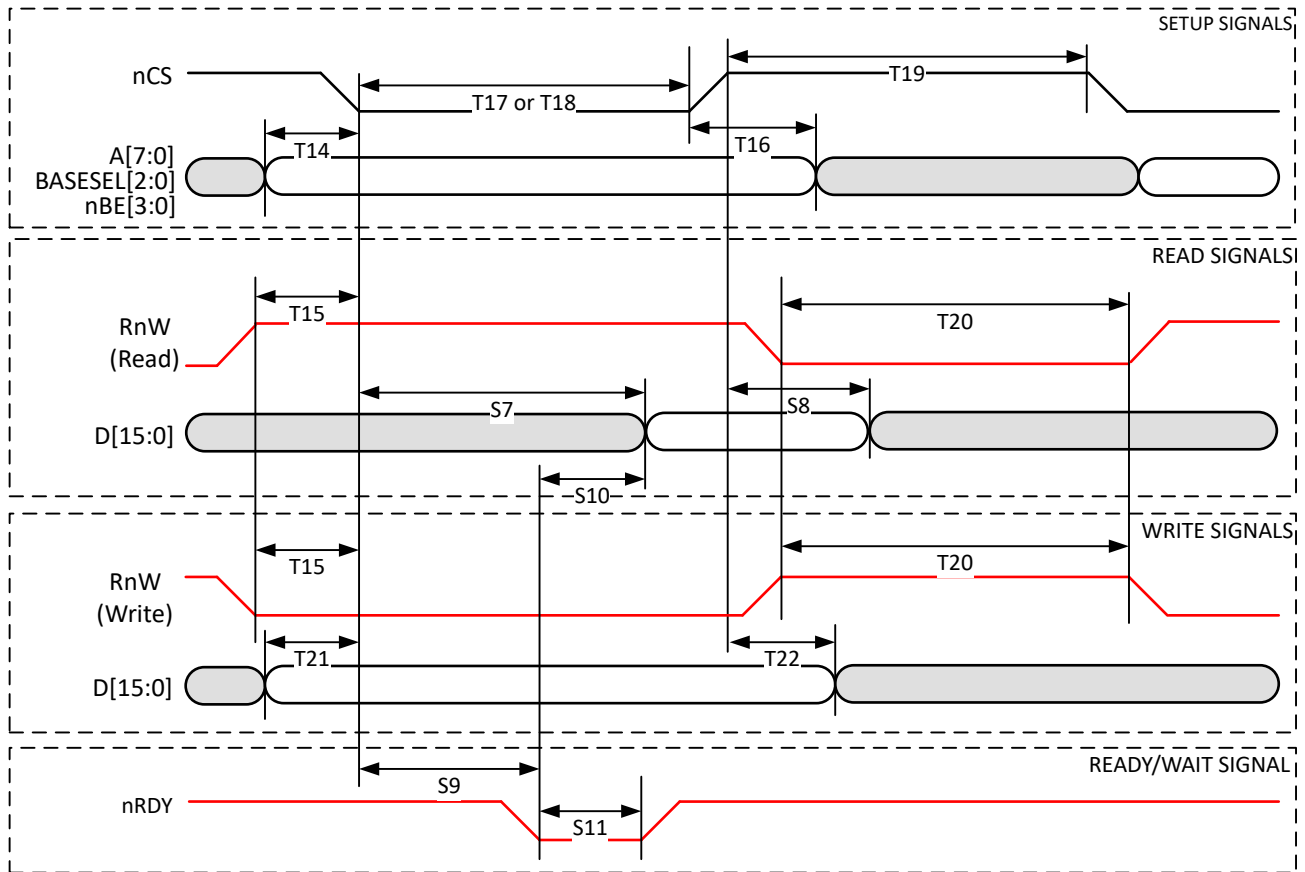


図 6-87. RnW ピンでの読み取り / 書き込み動作

7 詳細説明

7.1 概要

C2000™ 32 ビット・リアルタイム・マイクロコントローラは、処理、センシング、アクチュエーションに最適化されており、リアルタイム制御アプリケーション、たとえば産業用モーター・ドライブ、ソーラー・インバータおよびデジタル電源、電気自動車および輸送、モーター制御、センシングおよび信号処理などにおける閉ループ性能を向上します。

TMS320F28003x (F28003x) は、重要な制御ペリフェラル、差別化されたアナログ、不揮発性メモリを 1 つのデバイスに組み込むことができる、強力な 32 ビット浮動小数点マイクロコントローラ・ユニット (MCU) です。

このリアルタイム制御サブシステムは、テキサス・インスツルメンツの 32 ビット C28x CPU を基礎としており、120MHz の信号処理能力があります。C28x CPU は FPU、新しい TMU 拡張命令セット (変換およびトルク・ループ計算で一般に使用される三角関数演算を含むアルゴリズムを高速に実行可能)、および VCRC 拡張命令セット (エンコード・アプリケーションで一般に使用される複素数演算のレイテンシを短縮可能) によりさらに強化されています。

CLA により、一般的なタスクの負荷の多くをメインの C28x CPU から取り除くことができます。CLA は独立の 32 ビット浮動小数点演算アクセラレータであり、CPU と並列に実行されます。さらに、CLA には独自の専用メモリ・リソースがあり、一般的な制御システムで必要となる主要なペリフェラルに直接アクセスできます。ANSI C のサブセット、およびハードウェア・ブレイクポイントやハードウェアによるタスク切り替えなどの主要な機能が標準でサポートされています。

F28003x は、最大 384KB (192KW) のフラッシュ・メモリをサポートしています。これらは 3 つの 128KB (64KW) バンクに分割されるため、プログラミングと実行を並列に行えます。最大 69KB (34.5KW) のオンチップ SRAM も利用でき、フラッシュ・メモリを補完できます。

F28003x のライブ・ファームウェア・アップデート・ハードウェア拡張により、古いファームウェアから新しいファームウェアへのコンテキスト切り替えを高速化し、デバイス・ファームウェアの更新時のアプリケーションのダウンタイムを最小限に抑えることができます。

F28003x リアルタイム MCU には高性能のアナログ・ブロックが内蔵されており、さらにシステムの統合が可能です。3 つの独立した 12 ビット ADC により、複数のアナログ信号を正確かつ効率的に管理でき、最終的にシステムのスループットが向上します。4 つのアナログ・コンパレータ・モジュールが、トリップ条件の有無を判断するために入力電圧レベルを継続的に監視します。

TMS320C2000™ デバイスは、業界最先端の制御ペリフェラルと、周波数に依存しない ePWM/HRPWM と eCAP を内蔵しているため、クラス最高レベルのシステム制御が可能です。

接続性は、各種の業界標準通信ポート (SPI、SCI、I2C、PMBus、LIN、CAN、CAN FD など) によりサポートされており、各種アプリケーションで最適な信号配置を行うための複数の多重化方法を備えています。C2000™ プラットフォームの新機能であるホスト・インターフェイス・コントローラ (HIC) は、外部ホストから TMS320F28003x のリソースへのアクセスを可能にする高スループット・インターフェイスです。さらに、業界で初めて FSI による高速かつ堅牢な通信が可能になり、本デバイスに組み込まれている一連の豊富なペリフェラルを補完します。

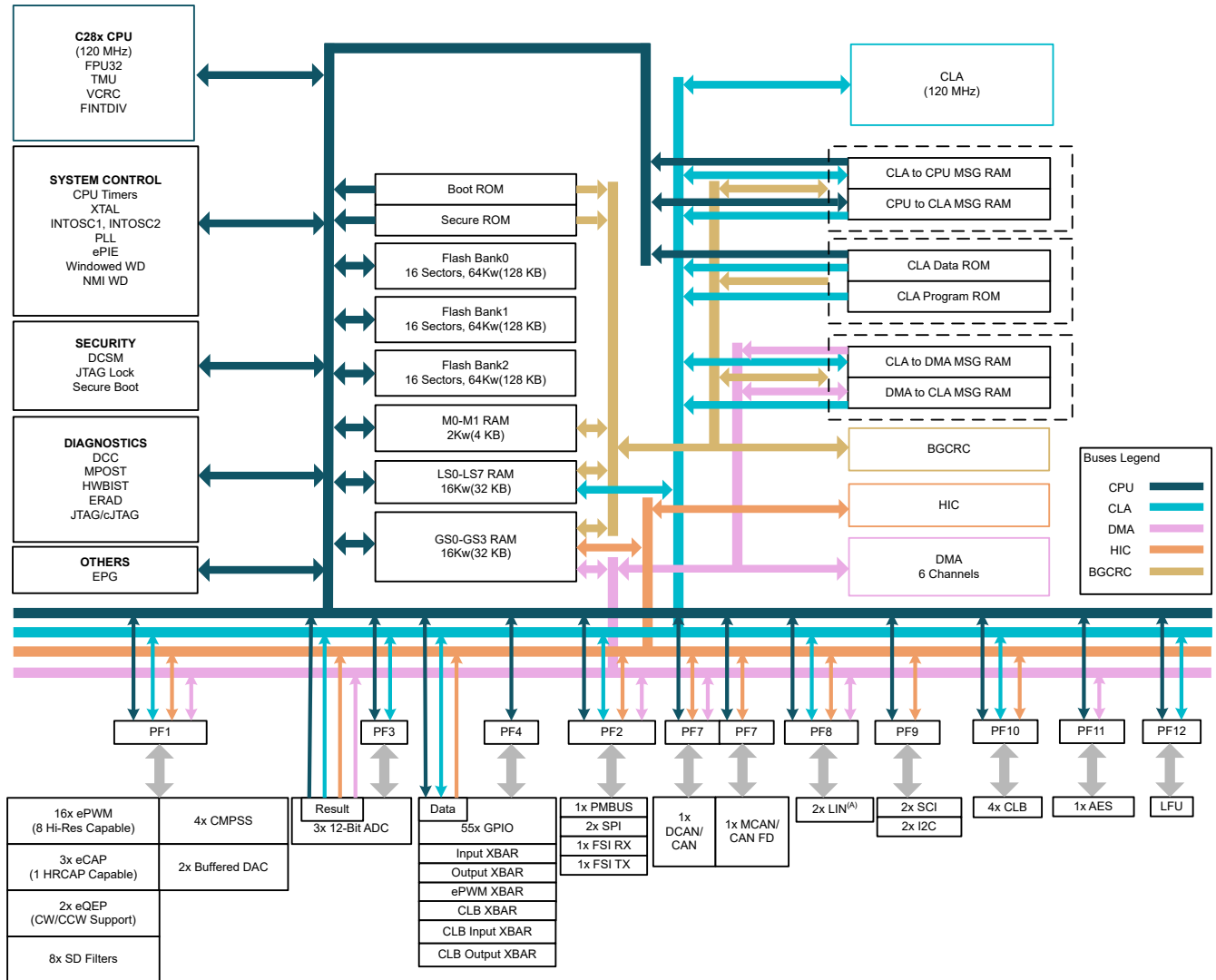
特別仕様の TMS320F28003xC では、構成可能ロジック・ブロック (CLB) を利用して追加のインターフェイス機能を実現できます。詳細については「表 4-1」を参照

組み込みのリアルタイム分析および診断 (ERAD) モジュールにより、追加のハードウェア・ブレイクポイントやプロファイリング用のカウンタを使用できるようになり、デバイスのデバッグおよびシステム分析機能が強化されます。

C2000 リアルタイム MCU の詳細については、[C2000™ リアルタイム制御 MCU](#) のページをご覧ください。

7.2 機能ブロック図

図 7-1 に、CPU システムおよび関連ペリフェラルを示します。



A. LIN モジュールは SCI としても動作することができます。

図 7-1. 機能ブロック図

7.3 メモリ

7.3.1 メモリ・マップ

「メモリ・マップ」表に、メモリ・マップを示します。『TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』のシステム制御の章にある「メモリ・コントローラ・モジュール」を参照してください。

表 7-1. メモリ・マップ

メモリ	サイズ	開始アドレス	終了アドレス	HIC アクセス	DMA アクセス	CLA アクセス	ECC / パリティ	アクセス保護	セキュリティ
M0 RAM	1K x 16	0x0000 0000	0x0000 03FF	-	-	-	ECC	あり	-
M1 RAM	1K x 16	0x0000 0400	0x0000 07FF	-	-	-	ECC	あり	-
PIE ベクタ・テーブル	512 x 16	0x0000 0D00	0x0000 0EFF	-	-	-	-	-	-
PIE ベクタ・テーブル・スワップ	512 x 16	0x0100 0900	0x0100 0AFF	-	-	-	-	-	-
LS0 RAM	2K x 16	0x0000 8000	0x0000 87FF	-	-	あり	ECC	あり	あり
LS1 RAM	2K x 16	0x0000 8800	0x0000 8FFF	-	-	あり	ECC	あり	あり
LS2 RAM	2K x 16	0x0000 9000	0x0000 97FF	-	-	あり	ECC	あり	あり
LS3 RAM	2K x 16	0x0000 9800	0x0000 9FFF	-	-	あり	ECC	あり	あり
LS4 RAM	2K x 16	0x0000 A000	0x0000 A7FF	-	-	あり	ECC	あり	あり
LS5 RAM	2K x 16	0x0000 A800	0x0000 AFFF	-	-	あり	ECC	あり	あり
LS6 RAM	2K x 16	0x0000 B000	0x0000 B7FF	-	-	あり	ECC	あり	あり
LS7 RAM	2K x 16	0x0000 B800	0x0000 BFFF	-	-	あり	ECC	あり	あり
GS0 RAM	4K x 16	0x0000 C000	0x0000 CFFF	あり	あり	-	ECC	あり	-
GS1 RAM	4K x 16	0x0000 D000	0x0000 DFFF	あり	あり	-	ECC	あり	-
GS2 RAM	4K x 16	0x0000 E000	0x0000 EFFF	あり	あり	-	ECC	あり	-
GS3 RAM	4K x 16	0x0000 F000	0x0000 FFFF	あり	あり	-	ECC	あり	-
CAN A メッセージ RAM	2K x 16	0x0004 9000	0x0004 97FF	あり	あり	-	パリティ	-	-
MCAN メッセージ RAM	8K x 16	0x0005 8000	0x0005 9FFF	あり	-	-	パリティ	-	-
CLA から CPU へのメッセージ RAM	128 x 16	0x0000 1480	0x0000 14FF	-	-	あり	ECC	-	-
CPU から CLA へのメッセージ RAM	128 x 16	0x0000 1500	0x0000 157F	-	-	あり	ECC	-	-
CLA から DMA へのメッセージ RAM	128 x 16	0x0000 1680	0x0000 16FF	-	あり	あり	ECC	-	-
DMA から CLA へのメッセージ RAM	128 x 16	0x0000 1700	0x0000 177F	-	あり	あり	ECC	-	-
TI OTP ¹	3K x 16	0x0007 0000	0x0007 0BFF	-	-	-	ECC	-	あり ²
ユーザー OTP	3K x 16	0x0007 8000	0x0007 8BFF	-	-	-	ECC	-	あり ²
フラッシュ	192K x 16	0x0008 0000	0x000A FFFF	-	-	-	ECC	-	あり
セキュア ROM	24K x 16	0x003F 2000	0x003F 7FFF	-	-	-	パリティ	-	あり
ブート ROM	32K x 16	0x003F 8000	0x003F FFFF	-	-	-	パリティ	-	-
PIE ベクタ・フェッチ・エラー (ブート ROM の一部)	1 x 16	0x003F FFBE	0x003F FFBF	-	-	-	パリティ	-	-
デフォルト・ベクタ (ブート ROM の一部)	64 x 16	0x003F FFC0	0x003F FFFF	-	-	-	パリティ	-	-

(1) TI OTP はテキサス・インスツルメンツの内部用。

(2) 一部のみセキュア。

7.3.1.1 専用 RAM (Mx RAM)

CPU サブシステムには、ECC 対応の 2 つの専用 RAM ブロックがあります。すなわち、M0 と M1 です。これらのメモリは、CPU と緊密に結合された小型の非セキュア・ブロックです (つまり、CPU のみがアクセスできます)。

7.3.1.2 ローカル共有 RAM (LSx RAM)

ローカル共有 RAM (LSx RAM) には、CPU、CLA、BGCRC からアクセスできます。すべての LSx RAM ブロックに ECC があります。これらのメモリはセキュアであり、CPU アクセス保護 (CPU 書き込み / CPU フェッチ) 機能を備えています。

7.3.1.3 グローバル共有 RAM (GSx RAM)

グローバル共有 RAM (GSx RAM) には、CPU、HIC、BGCRC、DMA からアクセスできます。CPU、HIC、および DMA で、これらのメモリに対する完全な読み取りおよび書き込みアクセスが可能です。すべての GSx RAM ブロックに ECC があります。GSx RAM は、アクセス保護機能 (CPU 書き込み / CPU フェッチ / DMA 書き込み / HIC 書き込み) を備えています。

7.3.1.4 メッセージ RAM

このデバイスには 2 種類のメッセージ RAM があり、CPU、CLA、DMA の間で共有するために使用できます。CLA-CPU メッセージ RAM は CLA と CPU の間でデータを共有し、CLA-DMA メッセージ RAM は CLA と DMA の間でデータを共有します。

7.3.2 制御補償器アクセラレータ (CLA) メモリ・マップ

表 7-2 に、CLA データ ROM メモリ・マップを示します。CLA プログラム ROM の詳細については、『[TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の CLA プログラム ROM (CLAPROMCRC) の章を参照してください。

表 7-2. CLA データ ROM メモリ・マップ

メモリ	開始アドレス	終了アドレス	長さ
FFT テーブル (ロード)	0x0100 1070	0x0100 186F	0x0800
データ (ロード)	0x0100 1870	0x0100 1FF9	0x078A
バージョン (ロード)	0x0100 1FFA	0x0100 1FFF	0x0006
FFT テーブル (実行)	0x0000 F070	0x0000 F86F	0x0800
データ (実行)	0x0000 F870	0x0000 FFF9	0x078A
バージョン (実行)	0x0000 FFFA	0x0000 FFFF	0x0006

7.3.3 フラッシュ・メモリ・マップ

F28003x デバイスには、3 つのフラッシュ・バンク (384KB [192KW]) を搭載しています。フラッシュをプログラムするコードは、RAM から実行する必要があります。消去またはプログラム動作が進行中の場合、フラッシュ・バンクにアクセスすることはできません。以下の「フラッシュ・セクタのアドレス」表に、各型番で使用可能なフラッシュ・セクタのアドレスを一覧で示します。

7.3.3.1 フラッシュ・セクタのアドレス

表 7-3. フラッシュ・セクタのアドレス

部品番号	セクタ	アドレス			ECC アドレス		
		サイズ	開始	終了	サイズ	開始	終了
OTP セクタ							
すべての F28003x	TI OTP バンク 0 (アンセキュア)	1008 x 16	0x0007 0000	0x0007 03EF	126 x 16	0x0107 0000	0x0107 007D
	TI OTP バンク 0 (セキュア)	16 x 16	0x0007 03F0	0x0007 03FF	2 x 16	0x0107 007E	0x0107 007F
	TI OTP バンク 1	1K x 16	0x0007 0400	0x0007 07FF	128 x 16	0x0107 0080	0x0107 00FF
F280039、 F280038	TI OTP バンク 2	1K x 16	0x0007 0800	0x0007 0BFF	128 x 16	0x0107 0100	0x0107 017F
すべての F28003x	ユーザーが構成 可能な DCSM OTP バンク 0	1K x 16	0x0007 8000	0x0007 83FF	128 x 16	0x0107 1000	0x0107 107F
	ユーザーが構成 可能な OTP バ ンク 1	1K x 16	0x0007 8400	0x0007 87FF	128 x 16	0x0107 1080	0x0107 10FF
F280039、 F280038	ユーザーが構成 可能な OTP バ ンク 2	1K x 16	0x0007 8800	0x0007 8BFF	128 x 16	0x0107 1100	0x0107 117F
バンク 0 セクタ							
F280039、 F280038、 F280037、 F280036	セクタ 0	4K x 16	0x0008 0000	0x0008 0FFF	512 x 16	0x0108 0000	0x0108 01FF
	セクタ 1	4K x 16	0x0008 1000	0x0008 1FFF	512 x 16	0x0108 0200	0x0108 03FF
	セクタ 2	4K x 16	0x0008 2000	0x0008 2FFF	512 x 16	0x0108 0400	0x0108 05FF
	セクタ 3	4K x 16	0x0008 3000	0x0008 3FFF	512 x 16	0x0108 0600	0x0108 07FF
	セクタ 4	4K x 16	0x0008 4000	0x0008 4FFF	512 x 16	0x0108 0800	0x0108 09FF
	セクタ 5	4K x 16	0x0008 5000	0x0008 5FFF	512 x 16	0x0108 0A00	0x0108 0BFF
	セクタ 6	4K x 16	0x0008 6000	0x0008 6FFF	512 x 16	0x0108 0C00	0x0108 0DFF
	セクタ 7	4K x 16	0x0008 7000	0x0008 7FFF	512 x 16	0x0108 0E00	0x0108 0FFF
F280039、 F280038、 F280037、 F280036、 F280034、 F280033	セクタ 8	4K x 16	0x0008 8000	0x0008 8FFF	512 x 16	0x0108 1000	0x0108 11FF
	セクタ 9	4K x 16	0x0008 9000	0x0008 9FFF	512 x 16	0x0108 1200	0x0108 13FF
	セクタ 10	4K x 16	0x0008 A000	0x0008 AFFF	512 x 16	0x0108 1400	0x0108 15FF
	セクタ 11	4K x 16	0x0008 B000	0x0008 BFFF	512 x 16	0x0108 1600	0x0108 17FF
	セクタ 12	4K x 16	0x0008 C000	0x0008 CFFF	512 x 16	0x0108 1800	0x0108 19FF
	セクタ 13	4K x 16	0x0008 D000	0x0008 DFFF	512 x 16	0x0108 1A00	0x0108 1BFF
	セクタ 14	4K x 16	0x0008 E000	0x0008 EFFF	512 x 16	0x0108 1C00	0x0108 1DFF
	セクタ 15	4K x 16	0x0008 F000	0x0008 FFFF	512 x 16	0x0108 1E00	0x0108 1FFF

表 7-3. フラッシュ・セクタのアドレス (続き)

部品番号	セクタ	アドレス			ECC アドレス		
		サイズ	開始	終了	サイズ	開始	終了
バンク 1 セクタ							
F280039、 F280038、 F280037、 F280036、 F280034、 F280033	セクタ 0	4K x 16	0x0009 0000	0x0009 0FFF	512 x 16	0x0108 2000	0x0108 21FF
	セクタ 1	4K x 16	0x0009 1000	0x0009 1FFF	512 x 16	0x0108 2200	0x0108 23FF
	セクタ 2	4K x 16	0x0009 2000	0x0009 2FFF	512 x 16	0x0108 2400	0x0108 25FF
	セクタ 3	4K x 16	0x0009 3000	0x0009 3FFF	512 x 16	0x0108 2600	0x0108 27FF
	セクタ 4	4K x 16	0x0009 4000	0x0009 4FFF	512 x 16	0x0108 2800	0x0108 29FF
	セクタ 5	4K x 16	0x0009 5000	0x0009 5FFF	512 x 16	0x0108 2A00	0x0108 2BFF
	セクタ 6	4K x 16	0x0009 6000	0x0009 6FFF	512 x 16	0x0108 2C00	0x0108 2DFF
	セクタ 7	4K x 16	0x0009 7000	0x0009 7FFF	512 x 16	0x0108 2E00	0x0108 2FFF
F280039、 F280038、 F280037、 F280036	セクタ 8	4K x 16	0x0009 8000	0x0009 8FFF	512 x 16	0x0108 3000	0x0108 31FF
	セクタ 9	4K x 16	0x0009 9000	0x0009 9FFF	512 x 16	0x0108 3200	0x0108 33FF
	セクタ 10	4K x 16	0x0009 A000	0x0009 AFFF	512 x 16	0x0108 3400	0x0108 35FF
	セクタ 11	4K x 16	0x0009 B000	0x0009 BFFF	512 x 16	0x0108 3600	0x0108 37FF
	セクタ 12	4K x 16	0x0009 C000	0x0009 CFFF	512 x 16	0x0108 3800	0x0108 39FF
	セクタ 13	4K x 16	0x0009 D000	0x0009 DFFF	512 x 16	0x0108 3A00	0x0108 3BFF
	セクタ 14	4K x 16	0x0009 E000	0x0009 EFFF	512 x 16	0x0108 3C00	0x0108 3DFF
	セクタ 15	4K x 16	0x0009 F000	0x0009 FFFF	512 x 16	0x0108 3E00	0x0108 3FFF
バンク 2 セクタ							
F280039、 F280038	セクタ 0	4K x 16	0x000A 0000	0x000A 0FFF	512 x 16	0x0108 4000	0x0108 41FF
	セクタ 1	4K x 16	0x000A 1000	0x000A 1FFF	512 x 16	0x0108 4200	0x0108 43FF
	セクタ 2	4K x 16	0x000A 2000	0x000A 2FFF	512 x 16	0x0108 4400	0x0108 45FF
	セクタ 3	4K x 16	0x000A 3000	0x000A 3FFF	512 x 16	0x0108 4600	0x0108 47FF
	セクタ 4	4K x 16	0x000A 4000	0x000A 4FFF	512 x 16	0x0108 4800	0x0108 49FF
	セクタ 5	4K x 16	0x000A 5000	0x000A 5FFF	512 x 16	0x0108 4A00	0x0108 4BFF
	セクタ 6	4K x 16	0x000A 6000	0x000A 6FFF	512 x 16	0x0108 4C00	0x0108 4DFF
	セクタ 7	4K x 16	0x000A 7000	0x000A 7FFF	512 x 16	0x0108 4E00	0x0108 4FFF
	セクタ 8	4K x 16	0x000A 8000	0x000A 8FFF	512 x 16	0x0108 5000	0x0108 51FF
	セクタ 9	4K x 16	0x000A 9000	0x000A 9FFF	512 x 16	0x0108 5200	0x0108 53FF
	セクタ 10	4K x 16	0x000A A000	0x000A AFFF	512 x 16	0x0108 5400	0x0108 55FF
	セクタ 11	4K x 16	0x000A B000	0x000A BFFF	512 x 16	0x0108 5600	0x0108 57FF
	セクタ 12	4K x 16	0x000A C000	0x000A CFFF	512 x 16	0x0108 5800	0x0108 59FF
	セクタ 13	4K x 16	0x000A D000	0x000A DFFF	512 x 16	0x0108 5A00	0x0108 5BFF
	セクタ 14	4K x 16	0x000A E000	0x000A EFFF	512 x 16	0x0108 5C00	0x0108 5DFF
	セクタ 15	4K x 16	0x000A F000	0x000A FFFF	512 x 16	0x0108 5E00	0x0108 5FFF

7.3.4 ペリフェラル・レジスタのメモリ・マップ

「ペリフェラル・レジスタ・メモリ・マップ (C28)」表に、ペリフェラル・レジスタを示します。

表 7-4. ペリフェラル・レジスタのメモリ・マップ

構造	DriverLib 名	ベース・アドレス	CPU1	DMA	HIC	CLA	パイプライン保護
ペリフェラル・フレーム 0 (PF0)							
ADC_RESULT_REGS	ADCARESULT_BASE	0x0000_0B00	あり	あり	あり	あり	-
ADC_RESULT_REGS	ADCBRESULT_BASE	0x0000_0B20	あり	あり	あり	あり	-
ADC_RESULT_REGS	ADCCRESULT_BASE	0x0000_0B40	あり	あり	あり	あり	-
CPUTIMER_REGS	CPUTIMER0_BASE	0x0000_0C00	あり	-	-	-	-
CLA_ONLY_REGS	CLA1_ONLY_BASE	0x0000_0C00	-	-	-	あり	-
CPUTIMER_REGS	CPUTIMER1_BASE	0x0000_0C08	あり	-	-	-	-
CPUTIMER_REGS	CPUTIMER2_BASE	0x0000_0C10	あり	-	-	-	-
CLA_SOFTINT_REGS	CLA1_SOFTINT_BASE	0x0000_0CE0	-	-	-	あり	-
PIE_CTRL_REGS	PIECTRL_BASE	0x0000_0CE0	あり	-	-	-	-
PIE_VECT_TABLE	PIEVECTTABLE_BASE	0x0000_0D00	あり	-	-	-	-
DMA_REGS	DMA_BASE	0x0000_1000	あり	-	-	-	-
DMA_CH_REGS	DMA_CH1_BASE	0x0000_1020	あり	-	-	-	-
DMA_CH_REGS	DMA_CH2_BASE	0x0000_1040	あり	-	-	-	-
DMA_CH_REGS	DMA_CH3_BASE	0x0000_1060	あり	-	-	-	-
DMA_CH_REGS	DMA_CH4_BASE	0x0000_1080	あり	-	-	-	-
DMA_CH_REGS	DMA_CH5_BASE	0x0000_10A0	あり	-	-	-	-
DMA_CH_REGS	DMA_CH6_BASE	0x0000_10C0	あり	-	-	-	-
CLA_REGS	CLA1_BASE	0x0000_1400	あり	-	-	-	-
UID_REGS	UID_BASE	0x0007_0200	あり	-	-	-	-
DCSM_Z1_OTP	DCSM_Z1OTP_BASE	0x0007_8000	あり	-	-	-	-
DCSM_Z2_OTP	DCSM_Z2OTP_BASE	0x0007_8200	あり	-	-	-	-
ペリフェラル・フレーム 1 (PF1)							
EPWM_REGS	EPWM1_BASE	0x0000_4000	あり	あり	あり	あり	あり
EPWM_REGS	EPWM2_BASE	0x0000_4100	あり	あり	あり	あり	あり
EPWM_REGS	EPWM3_BASE	0x0000_4200	あり	あり	あり	あり	あり
EPWM_REGS	EPWM4_BASE	0x0000_4300	あり	あり	あり	あり	あり
EPWM_REGS	EPWM5_BASE	0x0000_4400	あり	あり	あり	あり	あり
EPWM_REGS	EPWM6_BASE	0x0000_4500	あり	あり	あり	あり	あり
EPWM_REGS	EPWM7_BASE	0x0000_4600	あり	あり	あり	あり	あり
EPWM_REGS	EPWM8_BASE	0x0000_4700	あり	あり	あり	あり	あり
EQEP_REGS	EQEP1_BASE	0x0000_5100	あり	あり	あり	あり	あり
EQEP_REGS	EQEP2_BASE	0x0000_5140	あり	あり	あり	あり	あり
ECAP_REGS	ECAP1_BASE	0x0000_5200	あり	あり	あり	あり	あり
ECAP_REGS	ECAP2_BASE	0x0000_5240	あり	あり	あり	あり	あり
ECAP_REGS	ECAP3_BASE	0x0000_5280	あり	あり	あり	あり	あり
HRCAP_REGS	HRCAP3_BASE	0x0000_52A0	あり	あり	あり	あり	あり
DAC_REGS	DACA_BASE	0x0000_5C00	あり	あり	あり	あり	あり
DAC_REGS	DACB_BASE	0x0000_5C10	あり	あり	あり	あり	あり
CMPSS_REGS	CMPSS1_BASE	0x0000_5C80	あり	あり	あり	あり	あり
CMPSS_REGS	CMPSS2_BASE	0x0000_5CA0	あり	あり	あり	あり	あり
CMPSS_REGS	CMPSS3_BASE	0x0000_5CC0	あり	あり	あり	あり	あり
CMPSS_REGS	CMPSS4_BASE	0x0000_5CE0	あり	あり	あり	あり	あり
SDFM_REGS	SDFM1_BASE	0x0000_5E00	あり	あり	あり	あり	あり
SDFM_REGS	SDFM2_BASE	0x0000_5E80	あり	あり	あり	あり	あり

表 7.4. パリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース・アドレス	CPU1	DMA	HIC	CLA	パイプライン保護
パリアフェラル・フレーム 2 (PF2)							
SPI_REGS	SPIA_BASE	0x0000_6100	あり	あり	あり	あり	あり
SPI_REGS	SPIB_BASE	0x0000_6110	あり	あり	あり	あり	あり
BGCRC_REGS	BGCRC_CPU_BASE	0x0000_6340	あり	-	-	-	あり
BGCRC_REGS	BGCRC_CLA1_BASE	0x0000_6380	あり	-	-	あり	あり
PMBUS_REGS	PMBUSA_BASE	0x0000_6400	あり	あり	あり	あり	あり
HIC_CFG_REGS	HIC_BASE	0x0000_6500	あり	あり	-	-	あり
FSI_TX_REGS	FSITXA_BASE	0x0000_6600	あり	あり	あり	あり	あり
FSI_RX_REGS	FSIRXA_BASE	0x0000_6680	あり	あり	あり	あり	あり
パリアフェラル・フレーム 3 (PF3)							
ADC_REGS	ADCA_BASE	0x0000_7400	あり	-	-	あり	あり
ADC_REGS	ADCB_BASE	0x0000_7480	あり	-	-	あり	あり
ADC_REGS	ADCC_BASE	0x0000_7500	あり	-	-	あり	あり
パリアフェラル・フレーム 4 (PF4)							
INPUT_XBAR_REGS	INPUTXBAR_BASE	0x0000_7900	あり	-	-	-	あり
XBAR_REGS	XBAR_BASE	0x0000_7920	あり	-	-	-	あり
SYNC_SOC_REGS	SYNCSOC_BASE	0x0000_7940	あり	-	-	-	あり
INPUT_XBAR_REGS	CLBINPUTXBAR_BASE	0x0000_7960	あり	-	-	-	あり
DMA_CLA_SRC_SEL_REGS	DMACLASRCSEL_BASE	0x0000_7980	あり	-	-	-	あり
EPWM_XBAR_REGS	EPWMXBAR_BASE	0x0000_7A00	あり	-	-	-	あり
CLB_XBAR_REGS	CLBXBAR_BASE	0x0000_7A40	あり	-	-	-	あり
OUTPUT_XBAR_REGS	OUTPUTXBAR_BASE	0x0000_7A80	あり	-	-	-	あり
OUTPUT_XBAR_REGS	CLBOUTPUTXBAR_BASE	0x0000_7BC0	あり	-	-	-	あり
GPIO_CTRL_REGS	GPIOCTRL_BASE	0x0000_7C00	あり	-	-	-	あり
GPIO_DATA_REGS	GPIODATA_BASE	0x0000_7F00	あり	-	-	あり	あり
GPIO_DATA_READ_REGS	GPIODATAREAD_BASE	0x0000_7F80	あり	-	あり	あり	あり
CLK_CFG_REGS	CLKCFG_BASE	0x0005_D200	あり	-	-	-	あり
CPU_SYS_REGS	CPUSYS_BASE	0x0005_D300	あり	-	-	-	あり
SYS_STATUS_REGS	SYSSTAT_BASE	0x0005_D400	あり	-	-	-	あり
PERIPH_AC_REGS	PERIPHAC_BASE	0x0005_D500	あり	-	-	-	あり
ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x0005_D700	あり	-	-	-	あり
パリアフェラル・フレーム 5 (PF5)							
DEV_CFG_REGS	DEVCFG_BASE	0x0005_D000	あり	-	-	-	あり
ERAD_GLOBAL_REGS	ERAD_GLOBAL_BASE	0x0005_E800	あり	-	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP1_BASE	0x0005_E900	あり	-	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP2_BASE	0x0005_E908	あり	-	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP3_BASE	0x0005_E910	あり	-	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP4_BASE	0x0005_E918	あり	-	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP5_BASE	0x0005_E920	あり	-	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP6_BASE	0x0005_E928	あり	-	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP7_BASE	0x0005_E930	あり	-	-	-	あり
ERAD_HWBP_REGS	ERAD_HWBP8_BASE	0x0005_E938	あり	-	-	-	あり
ERAD_COUNTER_REGS	ERAD_COUNTER1_BASE	0x0005_E980	あり	-	-	-	あり

表 7-4. パリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース・アドレス	CPU1	DMA	HIC	CLA	パイプライン保護
ERAD_COUNTER_REGS	ERAD_COUNTER2_BASE	0x0005_E990	あり	-	-	-	あり
ERAD_COUNTER_REGS	ERAD_COUNTER3_BASE	0x0005_E9A0	あり	-	-	-	あり
ERAD_COUNTER_REGS	ERAD_COUNTER4_BASE	0x0005_E9B0	あり	-	-	-	あり
ERAD_CRC_GLOBAL_REGS	ERAD_CRC_GLOBAL_BASE	0x0005_EA00	あり	-	-	-	あり
ERAD_CRC_REGS	ERAD_CRC1_BASE	0x0005_EA10	あり	-	-	-	あり
ERAD_CRC_REGS	ERAD_CRC2_BASE	0x0005_EA20	あり	-	-	-	あり
ERAD_CRC_REGS	ERAD_CRC3_BASE	0x0005_EA30	あり	-	-	-	あり
ERAD_CRC_REGS	ERAD_CRC4_BASE	0x0005_EA40	あり	-	-	-	あり
ERAD_CRC_REGS	ERAD_CRC5_BASE	0x0005_EA50	あり	-	-	-	あり
ERAD_CRC_REGS	ERAD_CRC6_BASE	0x0005_EA60	あり	-	-	-	あり
ERAD_CRC_REGS	ERAD_CRC7_BASE	0x0005_EA70	あり	-	-	-	あり
ERAD_CRC_REGS	ERAD_CRC8_BASE	0x0005_EA80	あり	-	-	-	あり
EPG_REGS	EPG1_BASE	0x0005_EC00	あり	-	-	-	あり
EPG_MUX_REGS	EPG1MUX_BASE	0x0005_ECD0	あり	-	-	-	あり
DCSM_Z1_REGS	DCSM_Z1_BASE	0x0005_F000	あり	-	-	-	あり
DCSM_Z2_REGS	DCSM_Z2_BASE	0x0005_F080	あり	-	-	-	あり
DCSM_COMMON_REGS	DCSMCOMMON_BASE	0x0005_F0C0	あり	-	-	-	あり
MEM_CFG_REGS	MEMCFG_BASE	0x0005_F400	あり	-	-	-	あり
ACCESS_PROTECTION_REGS	ACCESSPROTECTION_BASE	0x0005_F500	あり	-	-	-	あり
MEMORY_ERROR_REGS	MEMORYERROR_BASE	0x0005_F540	あり	-	-	-	あり
TEST_ERROR_REGS	TESTERROR_BASE	0x0005_F590	あり	-	-	-	あり
FLASH_CTRL_REGS	FLASH0CTRL_BASE	0x0005_F800	あり	-	-	-	あり
FLASH_ECC_REGS	FLASH0ECC_BASE	0x0005_FB00	あり	-	-	-	あり
パリアフェラル・フレーム 7 (PF7)							
CAN_REGS	CANA_BASE	0x0004_8000	あり	あり	あり	-	あり
MCANSS_REGS	MCANASS_BASE	0x0005_C400	あり	-	あり	-	あり
MCAN_REGS	MCANA_BASE	0x0005_C600	あり	-	あり	-	あり
MCAN_ERROR_REGS	MCANA_ERROR_BASE	0x0005_C800	あり	-	あり	-	あり
HWBIST_REGS	HWBIST_BASE	0x0005_E000	あり	-	-	-	あり
PBIST_REGS	MPOST_BASE	0x0005_E200	あり	-	-	-	あり
DCC_REGS	DCC0_BASE	0x0005_E700	あり	-	-	-	あり
DCC_REGS	DCC1_BASE	0x0005_E740	あり	-	-	-	あり
パリアフェラル・フレーム 8 (PF8)							
LIN_REGS	LINA_BASE	0x0000_6A00	あり	あり	あり	あり	あり
LIN_REGS	LINB_BASE	0x0000_6B00	あり	あり	あり	あり	あり
パリアフェラル・フレーム 9 (PF9)							
WD_REGS	WD_BASE	0x0000_7000	あり	-	-	-	あり
NMI_INTERRUPT_REGS	NMI_BASE	0x0000_7060	あり	-	-	-	あり
XINT_REGS	XINT_BASE	0x0000_7070	あり	-	-	-	あり
SCI_REGS	SCIA_BASE	0x0000_7200	あり	-	あり	-	あり
SCI_REGS	SCIB_BASE	0x0000_7210	あり	-	あり	-	あり
I2C_REGS	I2CA_BASE	0x0000_7300	あり	-	あり	-	あり
I2C_REGS	I2CB_BASE	0x0000_7340	あり	-	あり	-	あり
パリアフェラル・フレーム 10 (PF10)							

表 7-4. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース・アドレス	CPU1	DMA	HIC	CLA	パイプライン保護
CLB_LOGIC_CONFIG_REGS	CLB1_LOGICCFG_BASE	0x0000_3000	あり	-	あり	あり	-
CLB_LOGIC_CONTROL_REGS	CLB1_LOGICCTRL_BASE	0x0000_3100	あり	-	あり	あり	-
CLB_DATA_EXCHANGE_REGS	CLB1_DATAEXCH_BASE	0x0000_3180	あり	-	あり	あり	-
CLB_LOGIC_CONFIG_REGS	CLB2_LOGICCFG_BASE	0x0000_3400	あり	-	あり	あり	-
CLB_LOGIC_CONTROL_REGS	CLB2_LOGICCTRL_BASE	0x0000_3500	あり	-	あり	あり	-
CLB_DATA_EXCHANGE_REGS	CLB2_DATAEXCH_BASE	0x0000_3580	あり	-	あり	あり	-
CLB_LOGIC_CONFIG_REGS	CLB3_LOGICCFG_BASE	0x0000_3800	あり	-	あり	あり	-
CLB_LOGIC_CONTROL_REGS	CLB3_LOGICCTRL_BASE	0x0000_3900	あり	-	あり	あり	-
CLB_DATA_EXCHANGE_REGS	CLB3_DATAEXCH_BASE	0x0000_3980	あり	-	あり	あり	-
CLB_LOGIC_CONFIG_REGS	CLB4_LOGICCFG_BASE	0x0000_3C00	あり	-	あり	あり	-
CLB_LOGIC_CONTROL_REGS	CLB4_LOGICCTRL_BASE	0x0000_3D00	あり	-	あり	あり	-
CLB_DATA_EXCHANGE_REGS	CLB4_DATAEXCH_BASE	0x0000_3D80	あり	-	あり	あり	-
ペリフェラル・フレーム 11 (PF11)							
AES_REGS	AESA_BASE	0x0004_2000	あり	あり	-	-	-
AES_SS_REGS	AESA_SS_BASE	0x0004_2C00	あり	あり	-	-	-
ペリフェラル・フレーム 12 (PF12)							
LFU_REGS	LFU_BASE	0x0000_7FE0	あり	-	-	あり	あり

7.4 識別

表 7-5 に、デバイス識別レジスタを示します。これらのデバイス識別レジスタの詳細については、『[TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』を参照してください。生産ステータス (TMX または TMS) の識別およびその他のデバイス情報については、PARTIDH および PARTIDL のレジスタの説明を参照してください。

表 7-5. デバイス識別レジスタ

名称	アドレス	サイズ (x16)	説明
PARTIDH	0x0005 D00A	2	デバイスの製品識別番号
			TMS320F280039C 0x05FF 0500
			TMS320F280039 0x05FF 0500
			TMS320F280038C 0x05FE 0500
			TMS320F280038 0x05FE 0500
			TMS320F280037C 0x05FD 0500
			TMS320F280037 0x05FD 0500
			TMS320F280036C 0x05FC 0500
			TMS320F280036 0x05FC 0500
			TMS320F280034 0x05FA 0500
TMS320F280033 0x05F9 0500			
REVID	0x0005 D00C	2	シリコンのリビジョン番号 リビジョン 0 0x0000 0000
UID_UNIQUE	0x0007 020C	2	固有の識別番号。この番号は、同じ PARTIDH を持つデバイスの中でそれぞれ異なっています。この固有の番号は、アプリケーションでシリアル番号として使用できます。この番号は TMS デバイスにのみ存在します。

7.5 バス・アーキテクチャ - ペリフェラル・コネクティビティ

「ペリフェラル・コネクティビティ」表に、各バス・マスタからペリフェラルおよび構成レジスタへのアクセス性に関する全体的な概観を示します。

表 7-6. ペリフェラルの接続

ペリフェラル	DMA	HIC	BGCRC	CLA	C28
システム・ペリフェラル					
CPU タイマ					Y
ERAD					Y
GPIO データ		Y		Y	Y
GPIO ピンのマッピングおよび構成					Y
XBAR 構成					Y
システム構成					Y
AES	Y				Y
EPG					Y
LFU				Y	Y
DCC					Y
メモリ					
M0/M1			Y		Y
LSx			Y	Y	Y
GSx	Y	Y	Y		Y
ROM			Y		Y
フラッシュ					Y
制御ペリフェラル					
ePWM/HRPWM	Y	Y		Y	Y
eCAP/HRCAP	Y	Y		Y	Y
eQEP ¹	Y	Y		Y	Y
CLB		Y		Y	Y
SDFM	Y	Y		Y	Y
アナログ・ペリフェラル					
CMPSS ¹	Y	Y		Y	Y
DAC ¹	Y	Y		Y	Y
ADC 構成				Y	Y
ADC の結果 ¹	Y	Y		Y	Y
通信ペリフェラル					
DCAN	Y	Y			Y
MCAN		Y			Y
FSITX/FSIRX	Y	Y		Y	Y
I2C		Y			Y
LIN	Y	Y		Y	Y
PMBus	Y	Y		Y	Y
SCI		Y			Y
SPI	Y	Y		Y	Y

(1) これらのモジュールは、DMA からアクセスできますが、DMA 転送をトリガすることはできません。

7.6 C28x プロセッサ

この CPU は 32 ビット固定小数点プロセッサです。このデバイスは、デジタル信号処理、RISC (Reduced Instruction Set Computing)、マイクロコントローラ・アーキテクチャ、ファームウェア、ツール・セットの機能を最大限に活用しています。

CPU の特長として、改良型ハーバード・アーキテクチャおよびサーキュラー・アドレッシングがあります。RISC の特長は、シングルサイクルの命令実行、レジスタ間の演算、改良型ハーバード・アーキテクチャです。マイクロコントローラの特長としては、直感的な命令セット、バイトのパッキングとアンパッキング、ビット操作などによる使いやすさがあります。改良型ハーバード・アーキテクチャの CPU は、命令とデータのフェッチを並列に実行できます。CPU は、データを書き込んでいる間に、命令とデータを同時に読み取ることができ、パイプライン全体でシングルサイクル命令実行の動作を維持できます。CPU は、6 つの独立したアドレス/データ・バスを使用してこの処理を行います。

CPU アーキテクチャおよび命令セットの詳細については、『[TMS320C28x CPU および命令セット・リファレンス・ガイド](#)』を参照してください。

7.6.1 浮動小数点演算ユニット (FPU)

C28x + 浮動小数点 (C28x+FPU) プロセッサでは、レジスタと命令を追加して C28x 固定小数点 CPU の機能を拡張することにより、IEEE 単精度浮動小数点の演算をサポートしています。

C28x+FPU を搭載したデバイスは、標準の C28x レジスタ・セットに加えて、追加の浮動小数点ユニット・レジスタ・セットを備えています。追加の浮動小数点ユニット・レジスタは以下のとおりです。

- 8 つの浮動小数点結果レジスタ RnH (n = 0~7)
- 浮動小数点ステータス・レジスタ (STF)
- リピート・ブロック・レジスタ (RB)

リピート・ブロック・レジスタを除くすべての浮動小数点レジスタにシャドウイングが行われます。このシャドウイングは、優先度の高い割り込みで使用して、浮動小数点レジスタのコンテキスト保存と復元を高速化できます。

C28x 浮動小数点ユニット (FPU) の詳細については、『[TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル](#)』を参照してください。

7.6.2 高速整数除算ユニット

C28x CPU の高速整数除算 (FINTDIV) ユニットの、データ・タイプ・サイズ (16/16、32/16、32/32、64/32、64/64) の異なる 3 種類の整数除算 (切り捨て、モジュラス、ユークリッド) を符号なしまたは符号付き形式でサポートしています。

- 切り捨て整数除算は、C 言語 (/、% 演算子) でネイティブにサポートされています。
- モジュラス除算とユークリッド除算は、制御アルゴリズムでより効率的であり、C 組み込み関数でサポートされています。

3 種類の整数除算はいずれも、指数成分と剰余成分の両方を生成し、割り込み可能で、最小数の確定的サイクル数 (32/32 除算では 10 サイクル) で実行されます。さらに、C28x CPU の高速除算機能は、浮動小数点 32 ビット (5 サイクル) および 64 ビット (20 サイクル) 除算の高速実行を独自にサポートしています。

高速整数除算の詳細については、『[高速整数除算 - C2000™ 製品ファミリでの異なる方法](#)』アプリケーション・レポートを参照してください。

7.6.3 三角関数演算ユニット (TMU)

三角関数演算ユニット (TMU) は、C28x+FPU に命令を追加するとともに既存の FPU 命令を活用することで、その機能を拡張し、[表 7-7](#) に示すような、一般的な三角関数と算術演算の実行を高速化します。

表 7-7. TMU がサポートする命令

命令	C での等価演算	パイプラインのサイクル数
MPY2PIF32 RaH,RbH	$a = b * 2\pi$	2/3
DIV2PIF32 RaH,RbH	$a = b / 2\pi$	2/3

表 7-7. TMU がサポートする命令 (続き)

命令	C での等価演算	パイプラインのサイクル数
DIVF32 RaH,RbH,RcH	$a = b/c$	5
SQRTF32 RaH,RbH	$a = \text{sqrt}(b)$	5
SINPUF32 RaH,RbH	$a = \sin(b*2\pi)$	4
COSPUF32 RaH,RbH	$a = \cos(b*2\pi)$	4
ATANPUF32 RaH,RbH	$a = \text{atan}(b)/2\pi$	4
QUADF32 RaH,RbH,RcH,RdH	ATANPU2 の計算に役立つ演算	5

C2000 デジタル制御ライブラリの非線形比例積分微分制御 (NLPID) コンポーネントにおける、浮動小数点累乗関数の演算をサポートするために、指数命令 IEXP2F32 および対数命令 LOG2F32 が追加されています。これら 2 つの追加命令により、累乗関数の計算を、ライブラリにあるエミュレーションを使用した場合の標準的な 300 サイクルから、10 サイクル未満に低減できます。

既存の命令、パイプライン、メモリ・バス・アーキテクチャに変更は加えられていません。すべての TMU 命令は、既存の FPU レジスタ・セット (R0H~R7H) を使用して演算を実行します。

詳細については、『TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル』を参照してください。

7.6.4 VCRC ユニット

巡回冗長検査 (CRC) アルゴリズムは、大規模なデータ・ブロック、通信パケット、またはコード・セクションでデータの整合性を検証するための明快な方法を提供します。C28x+VCRC は、8 ビット、16 ビット、24 ビット、32 ビットの CRC を実行できます。たとえば 10 バイトのブロック長の場合、VCRC は CRC 計算を 10 サイクルで完了します。CRC 結果レジスタには現在の CRC が収容されており、CRC 命令が実行されると値が更新されます。

以下が、VCRC の CRC 計算ロジックで使用される CRC 多項式です。

- CRC8 多項式 = 0x07
- CRC16 多項式 1 = 0x8005
- CRC16 多項式 2 = 0x1021
- CRC24 多項式 = 0x5d6dcb
- CRC32 多項式 1 = 0x04c11db7
- CRC32 多項式 2 = 0x1edc6f41

このモジュールでは、1 サイクルで 1 バイトのデータに対する CRC を計算できます。CRC8、CRC16、CRC24、CRC32 の CRC 計算は、(C28x コアが読み取る 16 ビットまたは 32 ビットのデータ全体を計算する代わりに) バイト単位で実行されるので、各種規格で要求されているバイト単位の計算要件にも適合します。

また、この VCRC ユニットでは、任意の多項式のサイズ (1 バイト~32 バイト) と値を指定して、カスタムの CRC 要件を満たすこともできます。カスタムの多項式を使用する場合には、CRC の実行時間が 3 サイクルに増加します。

巡回冗長検査 (VCRC) 命令セットの詳細については、『TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル』を参照してください。

7.7 制御補償器アクセラレータ (CLA)

CLA タイプ 2 は、独立した、完全にプログラマブルな 32 ビット浮動小数点演算プロセッサであり、C28x ファミリーで制御ループの同時実行を可能にします。CLA の割り込みレイテンシが短いため、ADC サンプルを「ジャスト・イン・タイム」で読み取ることができます。これにより、ADC サンプルから出力までの遅延が大幅に減少し、システム応答の高速化と高い MHz での制御ループを実現できます。CLA を使って時間に制約のある制御ループを処理することで、メイン CPU は、他のシステムタスク、たとえば通信や診断を自由に実行できます。

制御補償アクセラレータは、並列処理を追加することで C28x CPU の機能を拡張します。時間に制約のある制御ループを CLA で処理することにより、ADC のサンプリングから出力までの遅延を低減できます。したがって CLA を使用することで、より速いシステム応答とより高い周波数の制御ループを実現できます。時間に制約のあるタスクに CLA を利用すると、メイン CPU が解放され、その他のシステム機能と通信機能を同時に実行できます。

CLA の主な機能を以下に示します。

- CLA ソフトウェア開発には C コンパイラが利用可能
- メイン CPU と同じ速度のクロック (SYSCLKOUT) で動作
- 独立したアーキテクチャにより、メイン C28x CPU から独立して CLA アルゴリズムを実行
 - 充実したバス・アーキテクチャ:
 - プログラム・アドレス・バス (PAB) とプログラム・データ・バス (PDB)
 - データ読み取りアドレス・バス (DRAB)、データ読み取りデータ・バス (DRDB)、データ書き込みアドレス・バス (DWAB)、データ書き込みデータ・バス (DWDB)
 - 独立した 8 段パイプライン。
 - 16 ビット・プログラム・カウンタ (MPC)
 - 4 つの 32 ビット結果レジスタ (MR0~MR3)
 - 2 つの 16 ビット補助レジスタ (MAR0, MAR1)
 - ステータス・レジスタ (MSTF)
- 命令セットの内容:
 - IEEE 単精度 (32 ビット) 浮動小数点演算
 - 並列ロードまたはストア付き浮動小数点演算
 - 並列加減算付き浮動小数点乗算
 - $1/X$ と $1/\sqrt{X}$ の概算
 - データ・タイプ変換
 - 条件付き分岐および呼び出し
 - データのロード / ストア操作
- CLA プログラム・コードは、最大 8 つのタスクもしくは割り込みサービス・ルーチン、または 7 つのタスクとメインのバックグラウンド・タスクで構成できます。
 - 各タスクの開始アドレスは MVECT レジスタで指定されます。
 - 設定可能な CLA プログラム・メモリ空間内にタスクが収まる限り、タスク・サイズに制限はありません。
 - 一度に 1 つのタスクが最後まで処理されます。タスクのネスティングはありません。
 - タスクが完了すると、PIE 内でタスク固有の割り込みが生成されます。
 - 1 つのタスクが完了すると、次に優先度が高い保留タスクが自動的に開始されます。
 - タイプ 2 CLA では、バックグラウンドでメイン・タスクを継続的に実行しながら、優先度の高い他のイベントによってフォアグラウンド・タスクをトリガすることも可能です。
- タスク・トリガ機構:
 - C28x CPU から IACK 命令による
 - タスク 1~タスク 8: CLA が第 2 位の所有権を持つ共有バスに接続されているペリフェラルから、最大 256 のトリガ・ソースを使用可能。
 - タスク 8 は、バックグラウンド・タスクに設定でき、タスク 1~7 はペリフェラル・トリガに設定できます。
- メモリおよび共有ペリフェラル:
 - CLA とメイン CPU の間の通信のための 2 つの専用メッセージ RAM。

- C28x CPU は、CLA プログラムとデータ・メモリをメイン CPU 空間または CLA 空間に割り当てることが可能。

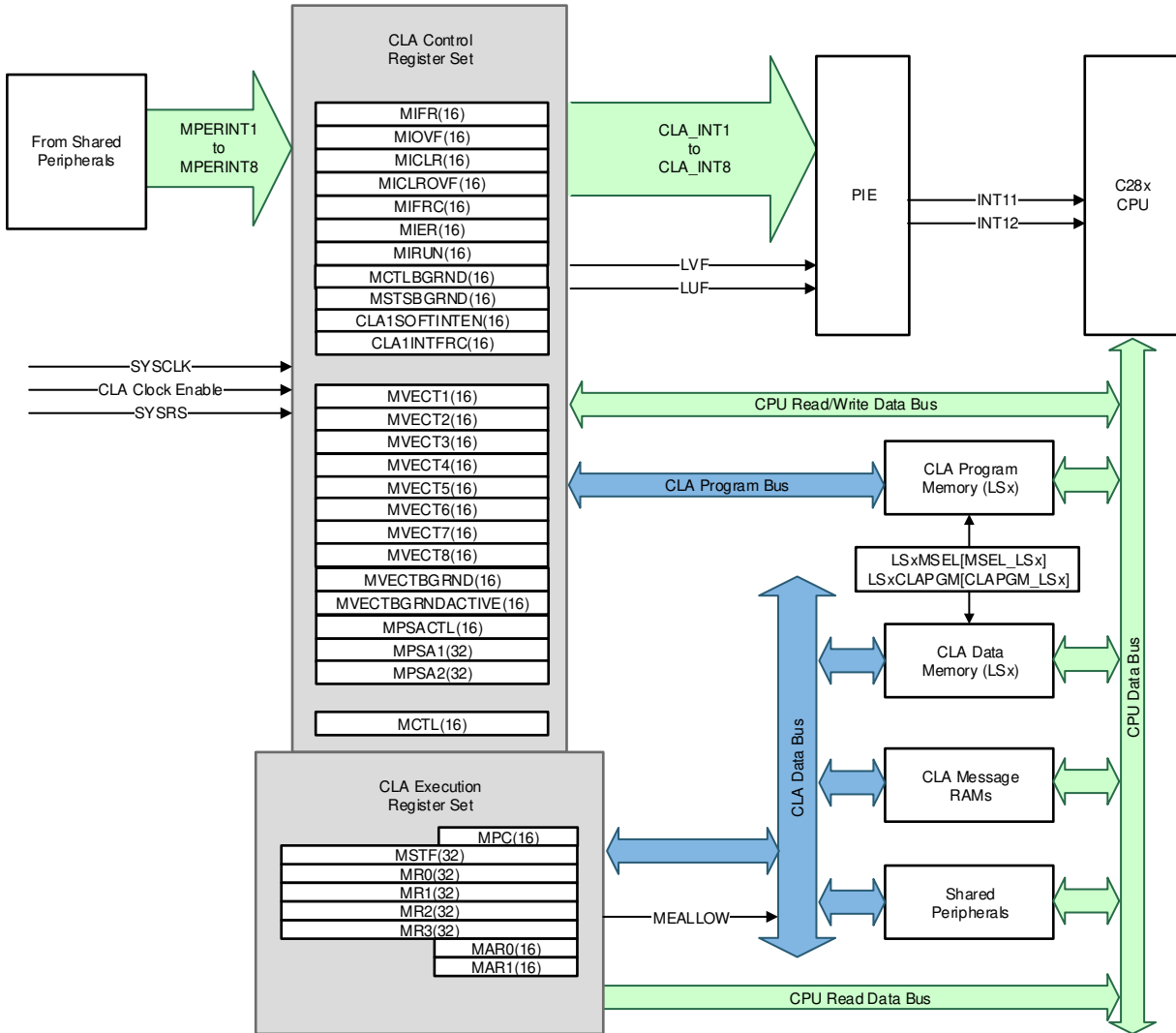


図 7-2. CLA のブロック図

7.8 組み込みのリアルタイム解析および診断 (ERAD)

ERAD モジュールは、デバイスのデバッグ機能とシステム分析機能を強化します。ERAD モジュールが提供するデバッグおよびシステム分析の拡張は、CPU の外部で行われます。ERAD モジュールは、拡張バス・コンパレータ・ユニットとシステム・イベント・カウンタ・ユニットで構成されています。拡張バス・コンパレータ・ユニットは、ハードウェア・ブレイクポイント、ハードウェア・ウォッチポイント、およびその他の出力イベントの生成に使用されます。システム・イベント・カウンタ・ユニットは、システムの分析とプロファイル作成に使用されます。ERAD モジュールは、デバッグとアプリケーション・ソフトウェアからアクセスでき、特にデバッグが接続されていない状況で、多くのリアルタイム・システムにおいてデバッグ性能が大幅に向上します。TMS320F28003x デバイスには、ERAD モジュールに 8 つの拡張バス・コンパレータ・ユニット (ハードウェア・ブレイクポイント数を 2 から 10 に増加) と、4 つのベンチマーク・システム・イベント・カウンタ・ユニットが搭載されています。

7.9 バックグラウンド CRC-32 (BGCRC)

バックグラウンド CRC (BGCRC) モジュールは、構成可能なメモリ・ブロックで CRC-32 を計算します。これは、アイドルサイクル中 (CPU、HIC、CLA、または DMA がメモリ・ブロックにアクセスしていないとき) に、指定されたメモリ・ブロックをフェッチすることで実行されます。計算された CRC-32 の値をゴールデン CRC-32 の値と比較して、合格か不合格かを示します。基本的に、BGCRC はメモリの障害や破損の識別に役立ちます。

BGCRC モジュールの主な機能は次のとおりです。

- 32 ビット・データの 1 サイクル CRC-32 計算
- ゼロ・ウェイト状態メモリの場合、CPU 帯域幅に影響なし
- ゼロでないウェイト状態メモリの場合、CPU 帯域幅への影響は最小限
- デュアル動作モード (CRC-32 モードおよびスクラブ・モード)
- CRC-32 完了の時間を計測するウォッチドッグ・タイマ
- CRC-32 計算を一時停止および再開可能

7.10 ダイレクト・メモリ・アクセス (DMA)

DMA モジュールは、CPU を介さずにペリフェラルやメモリ間でデータを転送するためのハードウェア方式を提供し、他のシステム機能の処理能力を解放します。さらに、DMA には、転送時にデータを直交的に再配置する機能、および複数のバッファを「ピンポン」方式で選択してデータを転送する機能があります。これらの機能は、最適な CPU 処理のためにデータをブロックに分けて構造化するのに役立ちます。DMA のデバイスレベル・ブロック図を **図 7-3** に示します。

DMA の特長:

- 独立した PIE 割り込みを持つ 6 つのチャンネル
- ペリフェラル割り込みトリガ・ソース
 - ADC 割り込みおよび EVT 信号
 - 外部割り込み
 - ePWM SOC 信号
 - CPU タイマ
 - eCAP
 - SPI 送信および受信
 - CAN 送信および受信
 - LIN 送信および受信
- データ転送元および転送先:
 - GSx RAM
 - ADC 結果レジスタ
 - 制御ペリフェラル・レジスタ (ePWM、eQEP、eCAP)
 - SPI、LIN、CAN、PMBus レジスタ
- ワード・サイズ: 16 ビットまたは 32 ビット (SPI は 16 ビットに限定)
- スループット: 調停なしで、1 ワードあたり 4 サイクル

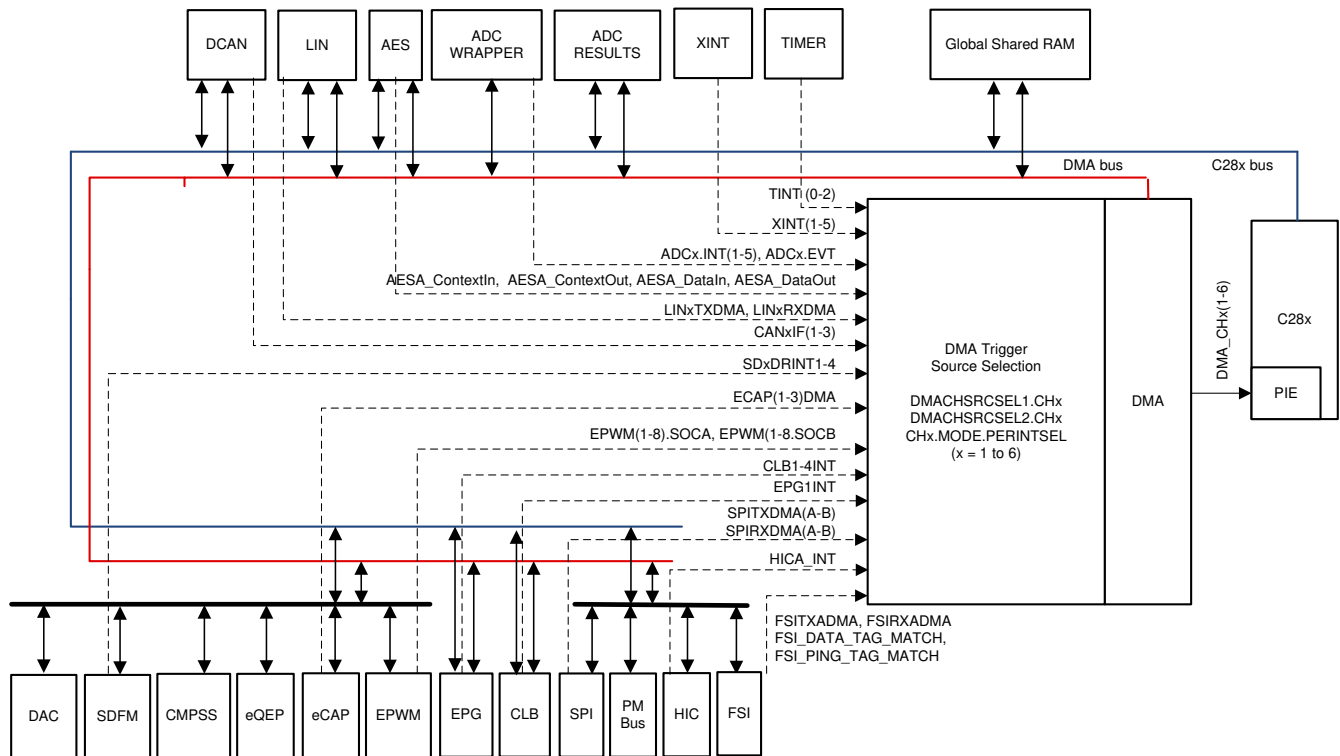


図 7-3. DMA のブロック図

7.11 デバイス・ブート・モード

このセクションでは、デフォルトのブート・モードと、このデバイスでサポートされているすべてのブート・モードについて説明します。ブート ROM は、ブート・モード選択、汎用入出力 (GPIO) ピンを使用して、ブート・モードの構成を判定します。

表 7-8 に、デフォルトのブート・モード選択ピンで選択可能なブート・モード・オプションを示します。ユーザーは、ブートアップ・テーブルで選択可能なブート・モードと、使用するブート・モード選択ピン GPIO をカスタマイズするようにデバイスをプログラムすることができます。

サポートされているすべてのペリフェラル・ブート・モードは、ペリフェラル・モジュールの最初のインスタンス (SCIA、SPIA、I2CA、CANa など) を使用します。この章で、これらのブート・モードに言及する場合は、最初のモジュール・インスタンスを指しています。たとえば SCI ブートと言え、SCIA ポートでの SCI ブートを意味します。他のペリフェラル・ブートについても同様です。

ブート ROM の実行からフラッシュ内の最初の命令をフェッチするまでの時間である $t_{boot-flash}$ については、セクション 6.12.2.2 および「パワーオン・リセット」図を参照してください。

表 7-8. デバイスのデフォルト・ブート・モード

ブート・モード	GPIO24 (デフォルトのブート・モード選択ピン 1)	GPIO32 (デフォルトのブート・モード選択ピン 0)
パラレル IO	0	0
SCI / ウェイト・ブート ⁽¹⁾	0	1
CAN	1	0
フラッシュ	1	1

(1) SCI ブート・モードは、SCI オートボー・ロック・プロセス中に SCI が「A」または「a」を待機し続ける限り、待機ブート・モードとして使用できます。

7.11.1 デバイス・ブートの構成

このセクションでは、利用可能なブート構成とその構成方法について詳しく説明します。このデバイスでは、0~3本のブート・モード選択ピンと、1~8個のブート・モードの構成がサポートされています。

デバイスをデフォルト設定からアプリケーションのカスタム設定に変更および構成するには、次のプロセスを使用します。

1. アプリケーションをブートできるようにするさまざまな方法をすべて決定します (たとえば、メイン・アプリケーション用のフラッシュ・ブートのプライマリ・ブート・オプション、ファームウェア更新用の CAN ブートのセカンダリ・ブート・オプション、デバッグ用の SCI ブートの 3 番目のブート・オプションなど)。
2. 必要なブート・モードの数に基づいて、ブート・モードの選択に必要なブート・モード選択ピン (BMSP) の数を決定します (たとえば、3 つのブート・モード・オプションから選択するには、2 つの BMSP が必要)。
3. 必要な BMSP を物理的な GPIO ピンに割り当てます (たとえば、BMSP0 を GPIO10 に、BMSP1 を GPIO51 に、BMSP2 をデフォルト (ディセーブル) のままにするなど)。これらの構成を実行する詳細については、[セクション 7.11.1.1](#) を参照してください。
4. 決定したブート・モード定義を、BMSP のデコードされた値に相関付けるカスタム・ブート・テーブルのインデックスに割り当てます。たとえば、BOOTDEF0 = フラッシュからブート、BOOTDEF1 = CAN ブート、BOOTDEF2 = SCI ブートに割り当て、その他のすべての BOOTDEFx はデフォルト / なしのままにします。カスタム・ブート・モード・テーブルの設定と構成の詳細については、[セクション 7.11.1.2](#) を参照してください。

また、『[TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「ブート・モードの使用例」セクションに、BMSP およびカスタム・ブート・テーブルの構成方法に関する使用例がいくつか記載されています。

注

CAN ブート・モードは、XTAL をオンにします。CAN ブート・モードを使用する前に、アプリケーションに XTAL がインストールされていることを確認してください。

7.11.1.1 ブート・モード・ピンの構成

このセクションでは、ユーザーが構成可能なデュアル・ゾーン・セキュリティ・モジュール (DCSM) OTP 内の BOOTPIN_CONFIG 領域 (表 7-9 を参照) をプログラムすることにより、ブート・モード選択ピンをユーザーがカスタマイズする方法について説明します。DCSM OTP 内のその領域は、Z1-OTP-BOOTPIN-CONFIG または Z2-OTP-BOOTPIN-CONFIG です。デバッグ時には、EMU-BOOTPIN-CONFIG が Z1-OTP-BOOTPIN-CONFIG/Z2-OTP-BOOTPIN-CONFIG をエミュレートする代用として機能するので、OTP に書き込まずにさまざまなブート・モードを検証するようにプログラムできます。このデバイスは、必要に応じて 0、1、2、3 のブート・モード選択ピンを使用するようにプログラムできます。

注

Z2-OTP-BOOTPIN-CONFIG を使用する場合、この領域にプログラムされた構成が Z1-OTP-BOOTPIN-CONFIG の構成よりも優先されます。まず Z1-OTP-BOOTPIN-CONFIG を使用し、OTP 構成を変更する必要がある場合に Z2-OTP-BOOTPIN-CONFIG を使用するように切り替えることを推奨します。

表 7-9. BOOTPIN_CONFIG のビット・フィールド

ビット	名称	説明
31:24	キー	この 8 ビットに 0x5A を書き込んでこのレジスタのビットが有効であることを示す
23:16	ブート・モード選択ピン 2 (BMSP2)	BMSP2 以外は BMSP0 の説明を参照
15:8	ブート・モード選択ピン 1 (BMSP1)	BMSP1 以外は BMSP0 の説明を参照
7:0	ブート・モード選択ピン 0 (BMSP0)	ブート時に使用する GPIO ピンを設定 (最大 255): - 0x0 = GPIO0 - 0x01 = GPIO1 - など 0xFF を書き込むと BMSP0 がディセーブルになり、このピンはブート・モードの選択には使用されない

以下の GPIO を BMSP として使用することはできません。ある BMSP に対してこの GPIO を選択した場合、ブート ROM は出荷時のデフォルト GPIO を自動的に選択します (BMSP2 の出荷時デフォルトは 0xFF であり、BMSP はディセーブルです)。

- GPIO 20 および GPIO 21
- GPIO 36 および GPIO 38
- GPIO 62~GPIO 223

表 7-10. スタンドアロンのブート・モード選択ピン・デコード

BOOTPIN_CONFIG キー	BMSP0	BMSP1	BMSP2	選択されるブート・モード
!= 0x5A	不定	不定	不定	工場出荷時デフォルトの BMSP で定義されるブート
= 0x5A	0xFF	0xFF	0xFF	ブート・モード 0 のブート・テーブルで定義されるブート (すべての BMSP が無効)
	有効な GPIO	0xFF	0xFF	BMSP0 の値で定義されるブート (BMSP1 および BMSP2 無効)
	0xFF	有効な GPIO	0xFF	BMSP1 の値で定義されるブート (BMSP0 および BMSP2 無効)
	0xFF	0xFF	有効な GPIO	BMSP2 の値で定義されるブート (BMSP0 および BMSP1 無効)
	有効な GPIO	有効な GPIO	0xFF	BMSP0 と BMSP1 の値で定義されるブート (BMSP2 無効)
	有効な GPIO	0xFF	有効な GPIO	BMSP0 と BMSP2 の値で定義されるブート (BMSP1 無効)
	0xFF	有効な GPIO	有効な GPIO	BMSP1 と BMSP2 の値で定義されるブート (BMSP0 無効)
	有効な GPIO	有効な GPIO	有効な GPIO	BMSP0、BMSP1、BMSP2 の値で定義されるブート
	無効な GPIO	有効な GPIO	有効な GPIO	BMSP0 は工場出荷時のデフォルトの BMSP0 GPIO にリセット BMSP0、BMSP1、BMSP2 の値で定義されるブート
	有効な GPIO	無効な GPIO	有効な GPIO	BMSP1 は工場出荷時のデフォルトの BMSP1 GPIO にリセット BMSP0、BMSP1、BMSP2 の値で定義されるブート
有効な GPIO	有効な GPIO	無効な GPIO	BMSP2 は工場出荷時のデフォルト状態 (ディセーブル) にリセット BMSP0 および BMSP1 の値で定義されるブート	

注

ブート・モードをデコードする際、BMSP0 がブート・テーブル・インデックス値の最下位ビット、BMSP2 が最上位ビットです。BMSP をディセーブルする場合は、まず BMSP2 をディセーブルすることをお勧めします。たとえば、BMSP2 のみを使用する場合 (BMSP1 と BMSP0 がディセーブル)、ブート・テーブル・インデックスの 0 と 4 のみが選択可能です。BMSP0 のみを使用する場合、選択可能なブート・テーブル・インデックスは 0 と 1 です。

7.11.1.2 ブート・モード・テーブルのオプションの構成

このセクションでは、デバイスおよび関連するブート・オプションのブート定義表、BOOTDEF を構成する方法について説明します。ユーザーが構成可能な DCSM OTP の中に、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH として 64 ビットの領域があります。デバッグ時には、EMU-BOOTDEF-LOW および EMU-BOOTDEF-HIGH が、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH をエミュレートする代用として機能するので、OTP に書き込まずにさまざまなブート・モード・オプションを検証するようにプログラムできます。ブート定義表に対するカスタマイズの範囲は、使用されているブート・モード選択ピン (BMSP) の数によって異なります。たとえば、0 BMSP は 1 つのテーブル・エントリ、1 BMSP は 2 つのテーブル・エントリ、2 BMSP は 4 つのテーブル・エントリ、3 BMSP は 8 つのテーブル・エントリに対応します。BOOTPIN_CONFIG および BOOTDEF 値の設定方法の例は、『TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』を参照してください。

注

Z2-OTP-BOOTPIN-CONFIG が構成されている場合、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH の代わりに Z2-OTP-BOOTDEF-LOW および Z2-OTP-BOOTDEF-HIGH の領域が使用されます。BOOTPIN_CONFIG の使用方法の詳細については、「ブート・モード・ピンの構成」を参照してください。

表 7-11. BOOTDEF のビット・フィールド

BOOTDEF 名	バイト位置	名称	説明
BOOT_DEF0	7:0	BOOT_DEF0 モード / オプション	ブート・テーブルのインデックス 0 のブート・モードを設定。 ブート・モードとそのオプションの例: 特定のブートローダまたは異なるフラッシュ・エントリ・ポイント・アドレスに異なる GPIO を使用するブート・モードなど。サポートされていないブート・モードを使用すると、デバイスはブートを待機するか、フラッシュからブート。 テーブルで設定する有効な BOOTDEF 値については「GPIO の割り当て」を参照。
BOOT_DEF1	15:8	BOOT_DEF1 モード / オプション	BOOT_DEF0 の説明を参照
BOOT_DEF2	23:16	BOOT_DEF2 モード / オプション	
BOOT_DEF3	31:24	BOOT_DEF3 モード / オプション	
BOOT_DEF4	39:32	BOOT_DEF4 モード / オプション	
BOOT_DEF5	47:40	BOOT_DEF5 モード / オプション	
BOOT_DEF6	55:48	BOOT_DEF6 モード / オプション	
BOOT_DEF7	63:56	BOOT_DEF7 モード / オプション	

7.11.2 GPIO の割り当て

このセクションでは、BOOT_DEF メモリの領域 Z1-OTP-BOOTDEF-LOW/Z2-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH/Z2-OTP-BOOTDEF-HIGH に含まれるブート・モードの設定に使用される GPIO とブート・オプションの値について詳細に説明します。BOOT_DEF の構成方法については、「ブート・モード・テーブルのオプションの構成」を参照してください。ブート・モード・オプションを選択するときは、使用する特定のデバイス・パッケージのピン・マルチプレクサ・オプションで、必要なピンが利用可能であることを確認します。

表 7-12. SCI ブート・オプション

オプション	BOOTDEF 値	SCITXDA GPIO	SCIRXDA GPIO
0 (デフォルト)	0x01	GPIO29	GPIO28
1	0x21	GPIO16	GPIO17
2	0x41	GPIO8	GPIO9
3	0x61	GPIO2	GPIO3
4	0x81	GPIO16	GPIO3

表 7-13. MCAN ブート・オプション

オプション	BOOTDEF 値	CANTXA GPIO	CANRXA GPIO
0 (デフォルト)	0x08	GPIO4	GPIO5
1	0x28	GPIO1	GPIO0
2	0x48	GPIO13	GPIO12

表 7-14. DCAN ブート・オプション

オプション	BOOTDEF 値	CANTXA GPIO	CANRXA GPIO
0 (デフォルト)	0x02	GPIO4	GPIO5
1	0x22	GPIO32	GPIO33
2	0x42	GPIO2	GPIO3
3	0x62	GPIO13	GPIO12

表 7-15. I2C ブート・オプション

オプション	BOOTDEF 値	SDAA GPIO	SCLA GPIO
0	0x07	GPIO32	GPIO33
1	0x27	GPIO0	GPIO1
2	0x47	GPIO10	GPIO8

表 7-16. RAM ブート・オプション

オプション	BOOTDEF 値	RAM エントリ・ポイント (アドレス)
0	0x05	0x0000 0000

表 7-17. フラッシュ・ブート・オプション

オプション	BOOTDEF 値	フラッシュ・エントリ・ポイント (アドレス)	フラッシュ・セクタ
0 (デフォルト)	0x03	0x0008 0000	バンク 0 セクタ 0
1	0x23	0x0008 8000	バンク 0 セクタ 8
2	0x43	0x0008 FFF0	バンク 0 セクタ 15
3	0x63	0x0009 0000	バンク 1、セクタ 0
4	0x83	0x0009 7FF0	バンク 1、セクタ 7
5	0xA3	0x0009 FFF0	バンク 1、セクタ 15
6	0xC3	0x000A 0000	バンク 2、セクタ 0

表 7-17. フラッシュ・ブート・オプション (続き)

オプション	BOOTDEF 値	フラッシュ・エントリ・ポイント (アドレス)	フラッシュ・セクタ
7	0xE3	0x000A FFF0	バンク 2、セクタ 15

表 7-18. LFU フラッシュ・ブート・オプション

オプション	BOOTDEF 値	フラッシュ・エントリ・ポイント (アドレス)	バンク
0 (デフォルト)	0x0B	0x0008 0000	バンク 0
		0x0009 0000	バンク 1
		0x000A 0000	バンク 2
1	0x2B	0x0008 8000	バンク 0
		0x0009 8000	バンク 1
		0x000A 8000	バンク 2
2	0x4B	0x0008 FFF0	バンク 0
		0x0009 FFF0	バンク 1
		0x000A FFF0	バンク 2
3	0x6B	0x0008 8000	バンク 0
		0x0009 0000	バンク 1
		0x000A 0000	バンク 2
4	0x8B	0x0008 EFF0	バンク 0
		0x0009 7FF0	バンク 1
		0x000A 7FF0	バンク 2

表 7-19. ウェイト・ブート・モード

オプション	BOOTDEF 値	ウォッチドッグ
0	0x04	イネーブル
1	0x24	ディセーブル

表 7-20. SPI ブート・オプション

オプション	BOOTDEF 値	SPISIMOA	SPISOMIA	SPICLKA	SPISTEA
0	0x06	GPIO2	GPIO1	GPIO3	GPIO5
1	0x26	GPIO16	GPIO1	GPIO3	GPIO0
2	0x46	GPIO8	GPIO10	GPIO9	GPIO11
3	0x66	GPIO8	GPIO17	GPIO9	GPIO11

表 7-21. パラレル・ブート・オプション

オプション	BOOTDEF 値	D0~D7 GPIO	28x(DSP) 制御 GPIO	ホスト制御 GPIO
0 (デフォルト)	0x00	D0 - GPIO28	GPIO16	GPIO29
		D1 - GPIO1		
		D2 - GPIO2		
		D3 - GPIO3		
		D4 - GPIO4		
		D5 - GPIO5		
		D6 - GPIO6		
		D7 - GPIO7		
1	0x20	D0 - GPIO0	GPIO16	GPIO11
		D1 - GPIO1		
		D2 - GPIO2		
		D3 - GPIO3		
		D4 - GPIO4		
		D5 - GPIO5		
		D6 - GPIO6		
		D7 - GPIO7		

7.12 セキュリティ

セキュリティ機能は、デュアル コード セキュリティ モジュール (DCSM) によって実装されます。第一の防御層はチップの境界を保護することであり、これは常に有効にしておく必要があります。それに加えて、デュアル ゾーン セキュリティ機能をコード分割のサポートに利用できます。

7.12.1 チップの境界の保護

次の 2 つの機能をファームウェア アップデート コードの認証と組み合わせて使用すると、デバイス上で不正なコードが実行されるのを防止するのに役立ちます。

7.12.1.1 JTAGLOCK

USER OTP で JTAGLOCK 機能をイネーブルにすると、デバイス上のリソースへの JTAG アクセス (デバッグ プローブなど) がディセーブルになります。

7.12.1.2 ゼロピン・ブート

USER OTP ブロックでゼロピンブート オプションをフラッシュ ブートと組み合わせてイネーブルにすると、ピンベースの外部ブートローダー オプション (SCI, CAN, Parallel など) がすべてブロックされます。

7.12.2 デュアル ゾーン セキュリティ

デュアル ゾーン セキュリティ メカニズムは、ゾーン 1 (Z1) とゾーン 2 (Z2) の 2 つのゾーンを保護します。両方のゾーンに対するセキュリティの実装は同一です。各ゾーンには、専用のセキュア・リソース (OTP メモリおよびセキュア ROM) と、割り当てられたセキュア・リソース (LSx RAM, フラッシュ・セクタ) があります。

7.12.3 免責事項

Code Security Module Disclaimer

このデバイスに搭載されているコード・セキュリティ・モジュール (CSM) は、関連メモリに保存されているデータをパスワードで保護するように設計されています。テキサス・インスツルメンツは、このデバイスに適用される保証期間において、標準契約条件に従って、この CSM がテキサス・インスツルメンツの発行した仕様書に準拠していることを保証します。

ただし、テキサス・インスツルメンツは、CSM で情報漏洩もしくは侵害が発生しないこと、または関連メモリに格納されているデータに他の手段でアクセスできないことを保証もしくは表明するものではありません。さらに、前述の規定を除き、テキサス・インスツルメンツは、商品性または特定目的への適合性に関する黙示の保証を含めて、CSM について、またはこのデバイスの動作について、保証または表明を行うものではありません。

いかなる場合においても、テキサス・インスツルメンツは、CSM またはこのデバイスの何らかの方法での使用に関連または起因して発生した、特別、間接的、偶発的、懲罰的な損害について、テキサス・インスツルメンツがこれらの損害の可能性について通知されていたかどうかにかかわらず、一切責任を負わないものとします。除外される損害には、データの消失、営業上の信用喪失、使用不能の損失、または業務の中断、その他の経済的損失が含まれますが、これらに限定されません。

7.13 ウォッチドッグ

このウォッチドッグ モジュールは、従来の TMS320C2000™ マイクロコントローラと同じですが、オプションでカウンタのソフトウェアリセット間隔の下限を設定できます。このウィンドウ付きカウントダウンは、デフォルトで無効になっているため、ウォッチドッグは完全に下位互換性があります。

ウォッチドッグは、リセットまたは割り込みのどちらかを生成します。選択可能な分周器付きの内部発振器からクロックが供給されます。

図 7-4 に、ウォッチドッグ・モジュール内の各種機能ブロックを示します。

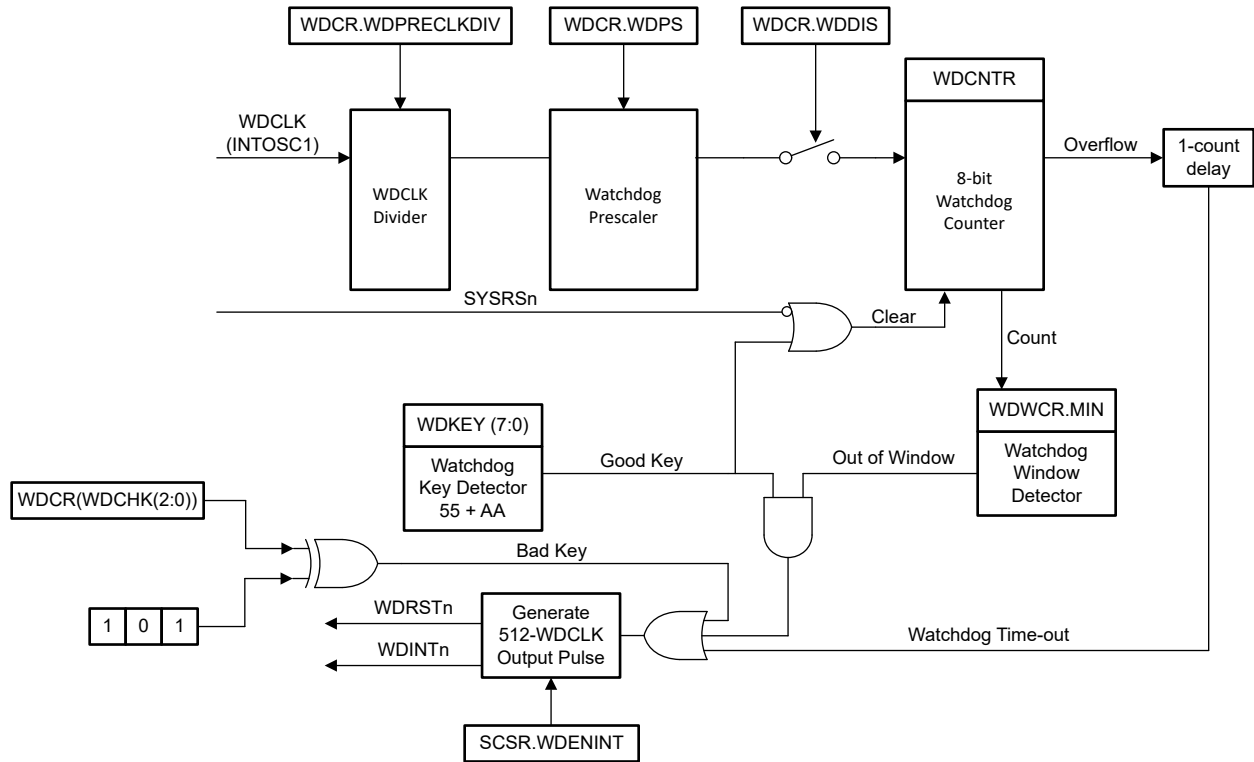


図 7-4. ウィンドウ付きウォッチドッグ

7.14 C28x タイマ

CPU タイマ 0、1、2 は、同一仕様の 32 ビット・タイマであり、周期をプリセット可能で、16 ビット・クロック・プリスケールリングを備えています。これらのタイマには、32 ビットのカウントダウン・レジスタがあり、カウンタが 0 に達したときに割り込みを発生させます。このカウンタは、CPU クロック速度をプリスケール値設定で除算した速度でデクリメントされます。カウンタが 0 になると、32 ビットの周期値が自動的に再ロードされます。

CPU タイマ 0 は汎用であり、PIE ブロックに接続されています。CPU タイマ 1 も汎用であり、CPU の INT13 に接続されています。CPU タイマ 2 は、TI-RTOS 用に予約されています。これは、CPU の INT14 に接続されています。TI-RTOS を使用していない場合は、CPU タイマ 2 を汎用として使用できます。

CPU タイマ 2 には、次のいずれかのクロックを供給できます。

- SYSCLK (デフォルト)
- 内部ゼロピン発振器 1 (INTOSC1)
- 内部ゼロピン発振器 2 (INTOSC2)
- X1 (XTAL)

7.15 デュアル・クロック・コンパレータ (DCC)

DCC モジュールは、より正確で信頼性の高いバージョンである 2 番目のクロックに基づいてクロック入力を評価および監視するのに使用されます。この計測機器は、クロック・ソースまたはクロック構造の障害を検出するために使用され、システムの安全性指標を強化します。

7.15.1 特長

DCC の特長は次のとおりです。

- アプリケーションが、2 つのクロック信号の周波数の間で固定比率を維持できるようにします。
- 基準クロック・サイクル数に関して、プログラム可能な許容範囲ウィンドウを定義できます。
- アプリケーションが介在しなくても継続的に監視できます。
- スポット測定のためのシングル・シーケンス・モードをサポートしています。
- 複数の特殊な使用事例のために各カウンタのクロック源を選択することもできます。

7.15.2 DCCx クロック・ソース入力のマッピング

表 7-22. DCCx クロック・ソース 0 表

DCCxCLKSRC0[3:0]	クロック名
0x0	XTAL / X1
0x1	INTOSC1
0x2	INTOSC2
0x4	TCK
0x5	CPU1.SYSCLK
0x8	AUXCLKIN
0xC	INPUT XBAR (入力クロスバーの出力 16)
その他	予約済み

表 7-23. DCCx クロック・ソース 1 表

DCCxCLKSRC1[4:0]	クロック名
0x0	PLLRAWCLK
0x2	INTOSC1
0x3	INTOSC2
0x6	CPU1.SYSCLK
0x9	Input XBAR (入力クロスバーの出力 15)
0xA	AUXCLKIN
0xB	EPWMCLK
0xC	LSPCLK
0xD	ADCCLK
0xE	WDCLK
0xF	CAN0BITCLK
その他	予約済み

7.16 構成可能ロジック・ブロック (CLB)

C2000 構成可能ロジック・ブロック (CLB) は、ソフトウェアを使って相互接続できるブロックの集合体であり、カスタム・デジタル・ロジック機能の実装や既存のオンチップ・ペリフェラルの拡張に使用できます。CLB は、一連のクロスバー相互接続を使用して既存のペリフェラルを拡張することができます。この相互接続によって、拡張パルス幅変調器 (ePWM)、拡張キャプチャ・モジュール (eCAP)、拡張直交エンコーダ・パルス・モジュール (eQEP) など、既存の制御ペリフェラルに高いレベルの接続性が得られます。クロスバーを使って、CLB を外部 GPIO ピンに接続することもできます。このように、CLB とデバイスのペリフェラルとの連携を構成することにより、コンパレータなどの小規模な論理機能を実行したり、またはカスタムのシリアル・データ交換プロトコルを実装したりできます。従来は外部のロジック・デバイスを使って他の方法で実現していた機能が、CLB によって MCU 内で実装できるようになりました。

CLB ペリフェラルは、CLB ツールを使って構成します。CLB ツール、使用例、アプリケーション・レポート、およびユーザー・ガイドの詳細については、[C2000 MCU 向け C2000Ware パッケージ \(C2000Ware_2_00_00_03 以降\)](#) の次の場所を参照してください。

- [C2000WARE_INSTALL_LOCATION\utilities\clb_tool\clb_syscfg\doc](#)
- [CLB ツール・ユーザー・ガイド](#)
- 『[C2000™ 構成可能ロジック・ブロック \(CLB\) を使用した設計](#)』アプリケーション・レポート
- 『[カスタム・ロジックを FPGA/CPLD から C2000™ マイクロコントローラへ移行する方法](#)』アプリケーション・レポート

図 7-5 に、CLB モジュールとその相互接続を示します。

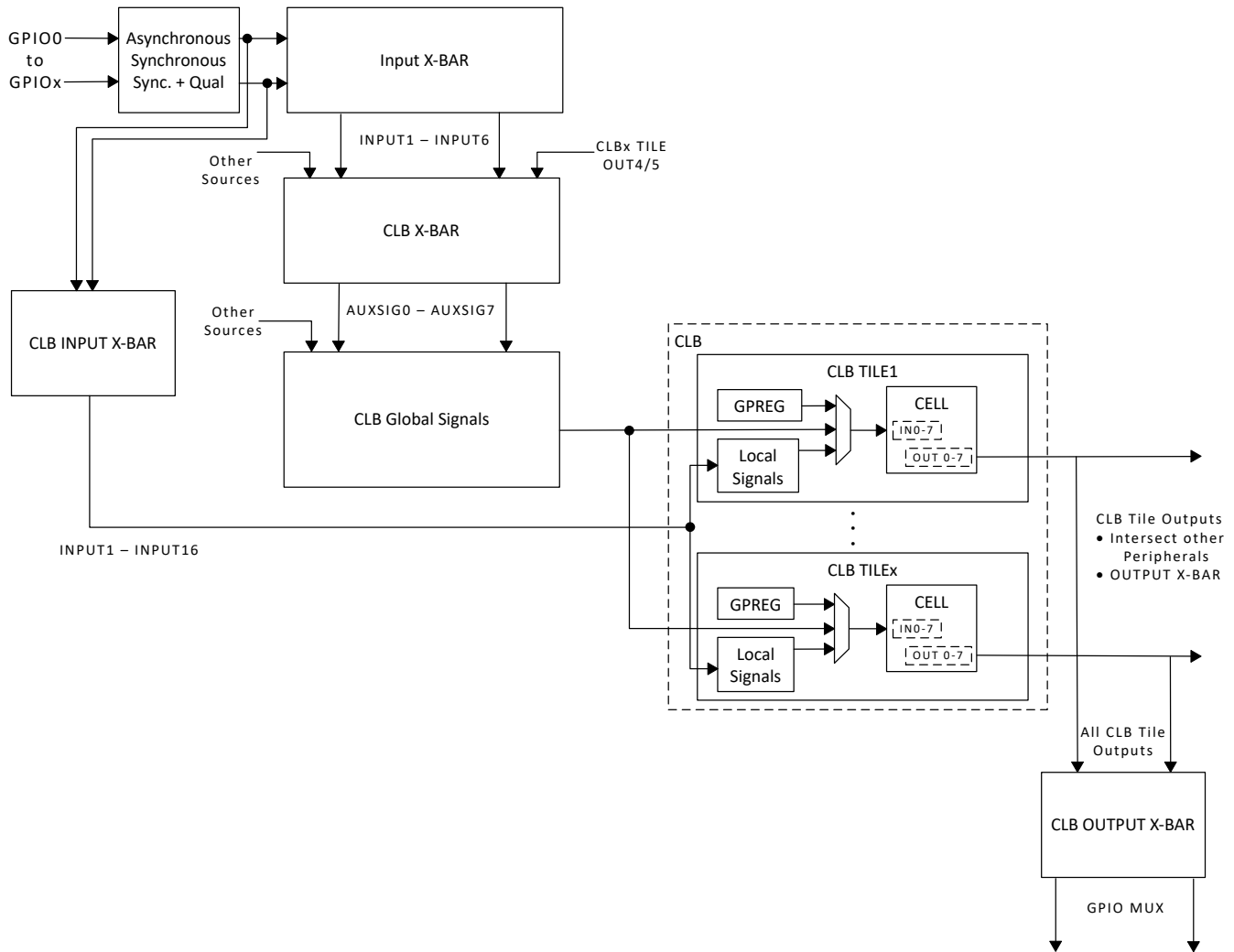


図 7-5. GPIO から CLB へのタイル接続

C2000Ware モーター制御 SDK では、アブソリュート・エンコーダ・プロトコル・インターフェイスが **Position Manager** ソリューションとして提供されています。C2000Ware モーター制御 SDK には、構成ファイル、アプリケーション・プログラマ・インターフェイス (API)、およびこれらのソリューションの使用例が付属しています。一部のソリューションでは、テキサス・インスツルメンツが構成した CLB を、SPI ポートや C28x CPU など他のオンチップ・リソースと組み合わせて使って、より複雑な機能を実行します。

7.17 機能安全

機能安全準拠製品は、ISO 26262 / IEC 61508 に準拠したハードウェア開発プロセスに基づいて開発されており、このプロセスは、ASIL D/SIL 3 の決定論的能力を満たすことが独立した機関によって評価および認証されています (認証書を参照)。TMS320F28003x は、コンポーネントレベルで ASIL B および SIL 2 のランダム ハードウェア性能を満たすことが認証されています (認証書を参照)。

すべてのハードウェアおよびソフトウェアの機能安全メカニズムについて説明した機能安全マニュアルを利用できます。[TMS320F28003x リアルタイム マイクロコントローラの機能安全マニュアル](#)を参照してください。

ランダム ハードウェア メトリックスの計算を可能にする、故障注入による詳細かつ調整可能で定量的な FMEDA (国際標準化機構 ISO 26262 および国際電気標準会議 IEC 61508 で規定されている車載用および産業用アプリケーション向け) も利用できます。この調整可能な FMEDA は、請求する必要があります。『[C2000™ 車載用および産業用リアルタイム・マイクロコントローラ向け安全パッケージ](#)』ユーザー・ガイドを参照してください。

- 調整可能な FMEDA の価値 (または利点) の概要を説明したホワイト・ペーパーをご用意しています。『[機能安全: C2000™ MCU 向けの調整可能な FMEDA](#)』出版物を参照してください。
- 5 部構成の FMEDA チューニング・トレーニングの第 1 部と第 2 部は、[テキサス・インスツルメンツのビデオ・ライブラリ](#) から入手できます。第 1 部は、『[FMEDA の基礎とシステム・レベルの安全性分析における有用性](#)』です。第 2 部は、『[C2000™ 調整可能な FMEDA の概要](#)』です。第 3 部、第 4 部、第 5 部は、調整可能な FMEDA とパッケージされているため、請求する必要があります。

F28003x シリーズのデバイス用に設計された 2 つの診断ライブラリは、機能安全システムの開発に役立ちます。CLA セルフ テスト ライブラリ (CLA_STL) とソフトウェア診断ライブラリ (SDL) です。CLA_STL は、CLA のソフトウェア・テストを提供し、独立して評価および認証を受けています。この製品は、ご請求いただいた場合のみ利用できます。『[C2000™ 車載用および産業用リアルタイム・マイクロコントローラ向け安全パッケージ](#)』ユーザー・ガイドをご覧ください。SDL は一連のリファレンス・ソフトウェアで構成されており、デバイスの安全マニュアルに記載されているいくつかの安全メカニズムの実装例を提供します。たとえば、HWBIST、SRAM のソフトウェア・テスト、クロック消失検出機能のソフトウェア・テスト、CPU タイマを使用したクロック整合性チェック、その他いくつかの重要な機能です。SDL は [C2000Ware](#) の一部として提供されています。

C2000 リアルタイム MCU には、テキサス・インスツルメンツのリリース検証に基づく C28x および CLA コンパイラ認定キット (CQKIT) が用意されています。このキットは無償で入手でき、[コンパイラ認定キット Web](#) ページで請求できます。

C2000 リアルタイム MCU を使用して機能安全システムを開発する方法の詳細については、以下の資料を参照してください。

- 『[C2000™ リアルタイム・マイクロコントローラの車載向け機能安全](#)』には、ISO 26262 認証プロセスを支援するために利用可能な機能安全製品、資料、ソフトウェア、およびサポートが要約されています。
- 『[C2000™ リアルタイム・マイクロコントローラの産業用機能安全](#)』には、IEC 61508 認証プロセスを支援するために利用可能な機能安全製品、資料、ソフトウェア、およびサポートが要約されています。
- 『[C2000™ ハードウェア組み込みセルフ・テスト](#)』では、C2000™ リアルタイム・マイクロコントローラのハードウェア組み込みセルフ・テスト (HWBIST) 機能について説明します。HWBIST は、C28x CPU で高レベルの診断カバレッジを達成する方法を提供します。これは、多くの場合、安全規格を満たすために必要となります。
- 『[SRAM でのエラー検出](#)』アプリケーション・レポートには、SRAM ビット・セルおよびビット・アレイの性質、SRAM 障害の発生源に関する技術情報が記載されています。さらに、電子システムのメモリ障害を管理する方法を示しています。この説明は、組み込み SRAM の堅牢性向上に関心のある電子システム開発者またはインテグレータを対象としたものです。
- 『[C2000™ CPU メモリの内蔵セルフ・テスト](#)』では、アクティブ制御ループでの C28x 中央処理装置 (CPU) を使った組み込みメモリの検証について説明します。メモリ検証に関するシステムの課題と、C2000 デバイスおよびソフトウェアが提供するさまざまなソリューションについて説明します。最後に、メモリ・テストに適用可能なソフトウェア診断ライブラリについて説明します。

8 アプリケーション、実装、およびレイアウト

8.1 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

『F2800x C2000™ リアルタイム MCU シリーズ用ハードウェア設計ガイド』アプリケーション・ノートは、C2000 デバイスを使用するハードウェア開発者向けの重要なガイドであり、設計プロセスの合理化と、設計不具合の可能性低減に役立ちます。ここで説明する主なトピックは、電源要件、汎用入出力 (GPIO) 接続、アナログ入力と ADC、クロック生成と要件、JTAG デバッグなどです。

8.2 デバイスの主な特長

表 8-1. デバイスの主な特長

モジュール	機能	システムの利点
処理		
リアルタイム制御 CPU	最大 120MIPS C28x: 120MIPS CLA: 120MIPS フラッシュ: 最大 384KB RAM: 最大 69KB 32 ビット浮動小数点ユニット (FPU32) 三角関数演算ユニット (TMU) CRC エンジンおよび命令 (VCRC)	オンチップ・フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 120MHz の信号処理能力があります。 CLA: 32 ビット浮動小数点制御補償器アクセラレータ、C28x CPU と並列実行 FPU32: IEEE 754 単精度浮動小数点演算のネイティブ・ハードウェア・サポート TMU: 制御アプリケーション向けに最適化された迅速な計算 (たとえば PLL や DQ 変換) のために、三角関数と算術演算の実行を高速化するために使用されるアクセラレータ。制御ループの高速化を実現し、効率の向上と部品サイズの小型化に貢献します。 非線形 PID 制御アルゴリズムをサポートするための特別な命令 VCRC: 大規模なデータ・ブロック、通信パケット、またはコード・セクションでデータの整合性を検証するための明快な方法を提供します。
センシング		
A/D コンバータ (ADC) (12 ビット)	最大 3 つの ADC モジュール 4MSPS 最大 23 チャネル	ADC は 3 相すべての電流と DC バスをジッタ 0 で高精度かつ同時にサンプリング。 ADC 後処理 - オンチップ・ハードウェアにより、ADC の ISR (割り込みサービス・ルーチン) の複雑さを緩和し、電流ループのサイクルを短縮。 マルチフェーズ・アプリケーションでは、多くの ADC が役に立ちます。より効果的な MSPS (オーバーサンプリング) と標準的な ENOB を提供し、制御ループの性能を向上します。

表 8-1. デバイスの主な特長 (続き)

モジュール	機能	システムの利点
コンパレータ・サブシステム (CMPSS)	CMPSS 4 つのウィンドウ付きコンパレータ デュアル 12 ビット DAC DAC ランプ生成 デジタル・フィルタ 検出からトリップまでの時間は 60ns スロープ補償	誤検出によるアラームを防止するシステム保護機能: コンパレータ・サブシステム (CMPSS) モジュールは、ピーク電流モード制御、スイッチング電源、力率補正、電圧トリップ監視などのアプリケーションに役立ちます。 アナログ・コンパレータ・サブシステムに搭載されているブランキング・ウィンドウとフィルタリング機能により、PWM トリップのトリガと不要なノイズの除去が簡単になります。 制御精度の向上を実現します。コンパレータと 12 ビット DAC (CMPSS) を使用して PWM を制御するために、CPU をさらに構成する必要はありません。 同じピンを使用して保護 (CMPSS) と制御 (ADC) を実現します。
拡張直交エンコーダ・パルス (eQEP)	2 つの eQEP モジュール	リニアまたはロータリ・インクリメンタル・エンコーダとの直接インターフェイスに使用して、高性能動作および位置制御システムに使用される回転機械から位置、方向、速度などの情報を入手できます。CW/CCW エンコードをサポートしています。また、外部デバイス (センサなど) からの入力パルスをカウントする、その他のアプリケーションでも使用できます。
拡張キャプチャ (eCAP)	3 つの eCAP モジュール イベント間の経過時間を測定します (最大 4 つのタイムスタンプ付きイベント)。 入力クロスバー経由で任意の GPIO に接続します。 キャプチャ・モードで使用しない場合、eCAP モジュールを単一チャネルの PWM 出力 (APWM) として構成可能です。	eCAP の用途は以下のとおりです。 回転機械の速度測定 (たとえば、歯付きスプロケットをホール・センサで検知) 位置センサ・パルス間の経過時間測定 パルス列信号の周期およびデューティ・サイクル測定 デューティ・サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

表 8-1. デバイスの主な特長 (続き)

モジュール	機能	システムの利点
アクチュエーション		
拡張パルス幅変調 (ePWM)	最大 16 個の ePWM チャンネル デッドバンド付きのハイサイド/ローサイド PWM を生成する能力 バレー・スイッチング (バレー・ポイントで PWM 出力を切り替える機能) とブランキング・ウィンドウなどの機能をサポート	最高のパワー・トポロジに対応する、フレキシブルな PWM 波形生成。 シャドウ・デッド・バンド自体およびシャドウ・アクション検証機能により、適応型 PWM の生成と保護が可能になり、制御精度の向上と電力損失の低減を実現できます。 力率補正 (PFC) アプリケーションに特に関係の深い、力率 (PF) と全高調波歪 (THD) の改善を可能にします。軽負荷時の効率向上
	ワンショット・リロードおよびグローバル・リロード機能	可変周波数およびマルチフェーズの DC-DC アプリケーションに不可欠であり、高い周波数の制御ループ (2MHz 超) の達成に役立ちます。 高い周波数でのインターリーブ LLC トポロジの制御を可能にします
	サイクルごと (CBC) のトリップ・イベントおよびワンショット・トリップ (OST) のトリップ・イベントに対して独立した PWM 動作	フォルト状態時に、サイクルごとの保護と完全な PWM シャットオフを実現します。マルチフェーズ PFC または DC-DC 制御の実装に役立ちます。
	SYNC でのロード (SYNC イベントでのシャドウからアクティブへのロードをサポート)	可変周波数アプリケーションを実現 (電力変換で LLC 制御が可能)。
	ソフトウェアの介入なし (ISR: 割り込みサービス・ルーチンの待ち時間なし) で PWM をシャットダウン可能	障害発生時の高速な保護
	遅延トリップ機能	ピーク電流モード制御 (PCMC) 位相シフト・フル・ブリッジ (PSFB) DC-DC によるデッドバンドの実装を容易にし、(コンパレータ、トリップ、または SYNC 入力によるトリガ・イベントでも) 多くの CPU リソースを占有しません。
	デッド・バンド・ジェネレータ (DB) サブモジュール	プログラマブル遅延を立ち上がり (RED) および立ち下がり (FED) PWM 信号エッジに追加することで、ハイサイドおよびローサイド・ゲートの同時オン状態を防止します。
フレキシブルな PWM 位相の関係とタイマの同期	各 ePWM モジュールは、他の ePWM モジュールや他のペリフェラルと同期させることができます。PWM エッジと特定のイベントとが完全同期するよう維持します。 パワー・デバイスのスイッチングと同期して、特定のサンプリング・ウィンドウを使用するフレキシブルな ADC スケジューリングをサポートします。	
高分解能パルス幅変調 (HRPWM)	8 本の高分解能チャンネル (150ps) デューティ・サイクル、周期、デッド・バンド、位相オフセットに対して 150ps のステップを備えており、99% の精度向上を実現します。	高精度の制御に役立ち、高い周波数での電力変換の性能向上を実現します。 よりクリーンな波形を実現し、出力の発振 / リミット・サイクルを回避します。
コネクティビティ		
シリアル・ペリフェラル・インターフェイス (SPI)	2 つの高速 SPI ポート	30MHz をサポート
シリアル通信インターフェイス (SCI)	2 つの SCI (UART) モジュール	コントローラとのインターフェイス
LIN (Local Interconnect Network)	2 つの LIN	コントローラ エリア ネットワーク (CAN) の帯域幅とフォルトトレランスが不要な場合に、低コストのソリューションを提供します。 シンプルな UART としても使用できます。
CAN (Controller Area Network) / DCAN	1 つの DCAN モジュール	Classic CAN モジュールとの互換性を提供

表 8-1. デバイスの主な特長 (続き)

モジュール	機能	システムの利点
コントローラ・エリア・ネットワーク (CAN FD/MCAN)	1 つの CAN FD/MCAN モジュール	CAN FD (フレキシブル・データ・レート) は、従来の CAN プロトコルを拡張したものです。CAN FD は、データ・セグメントでより高いビット・レート (1Mbps 超) への動的なスイッチングを容易にし、従来の CAN の 8 バイトと比較して最大 64 バイトを許容します。これを実行するのに、物理層を変更する必要はありません。これにより、従来の CAN よりも帯域幅が広がります。CAN-FD を使用するシステムでは、現場でのフラッシュ更新をより高速に実行できます。
I2C (Inter-Integrated Circuit)	2 つの I2C モジュール	外部 EEPROM、センサ、またはコントローラとのインターフェイス
PMBus (Power-Management Bus)	1 つの PMBus モジュール SMI フォーラム PMBus 仕様 (Part I v1.0 および Part II v1.1) 準拠	ハードウェア・ベースのシームレスなホスト通信
他のシステムの特長		
セキュリティ・エンハンサ	デュアル・ゾーン・コード・セキュリティ・モジュール (DCSM) ウォッチドッグ レジスタへの書き込み保護 クロック消失検出ロジック (MCD) 誤り訂正符号 (ECC) およびパリティ デュアル・クロック・コンパレータ (DCC)	DCSM: 社外秘コードの複製やリバース・エンジニアリングを防止 ウォッチドッグ: CPU が無限ループに陥った場合にリセットを生成 レジスタへの書き込み保護: システム構成レジスタのロック保護 不要な CPU 書き込みに対する保護 MCD: クロック故障の自動検出 ECC およびパリティ: シングル・ビットの誤り訂正とダブル・ビットの誤り検出 DCC: クロック・ソースの障害を検出するために使用
クロスバー (XBAR)	さまざまな構成でデバイスの入力、出力、内部リソースを接続できるフレキシビリティを実現します。 • 入力クロスバー • 出力クロスバー • ePWM クロスバー	ハードウェア設計の汎用性を向上: 入力クロスバー: 任意の GPIO からチップ内の複数の IP ブロックに信号を接続 出力クロスバー: 内部信号を指定された GPIO ピンに接続 ePWM クロスバー: 内部信号をさまざまな IP ブロックから ePWM に接続

8.3 アプリケーション情報

8.3.1 代表的なアプリケーション

「代表的なアプリケーション」セクションでは、このデバイスのいくつかのアプリケーションについて詳しく説明します。アプリケーションの詳細なリストについては、このデータシートの「アプリケーション」セクションを参照してください。

8.3.1.1 車載用ポンプ

フルードや燃料の制御ポンプは通常、必要なパワートレインのタイプに基づいて、自動車のエンジン管理システム内で使用されています。これらのアクチュエータは、システムのタイプと負荷のタイプに応じて、開ループまたは閉ループで実装され、高精度制御を可能にしています。

すべての自動車 (内燃エンジン、電気、ハイブリッド (ICE / EV / HEV)) は、さまざまな種類のポンプ (燃料ポンプ、クーラント・ポンプまたはウォーター・ポンプ、オイル・ポンプなど) を必要とします。各ポンプの目的は異なりますが、冷却水、燃料、またはオイルをある場所から別の場所に移動するというポンプの機能は同じです。燃料ポンプの例では、ポンプは燃料を燃料タンクからエンジン・チャンバーに転送し、エンジンで使用できるようにします。機能に応じて、可変速度ポンプまたは固定速度ポンプを使用できます。

車両のバッテリーは、燃料ポンプを駆動するために必要な電流を供給します。電子制御ユニット (ECU) は、ガソリンの出力圧力と量を制御し、タンクから流入する燃料を計測します。ECU は自動車の燃料節減に役立ち、経済性と消費電力を改善します。

8.3.1.1.1 システム・ブロック図

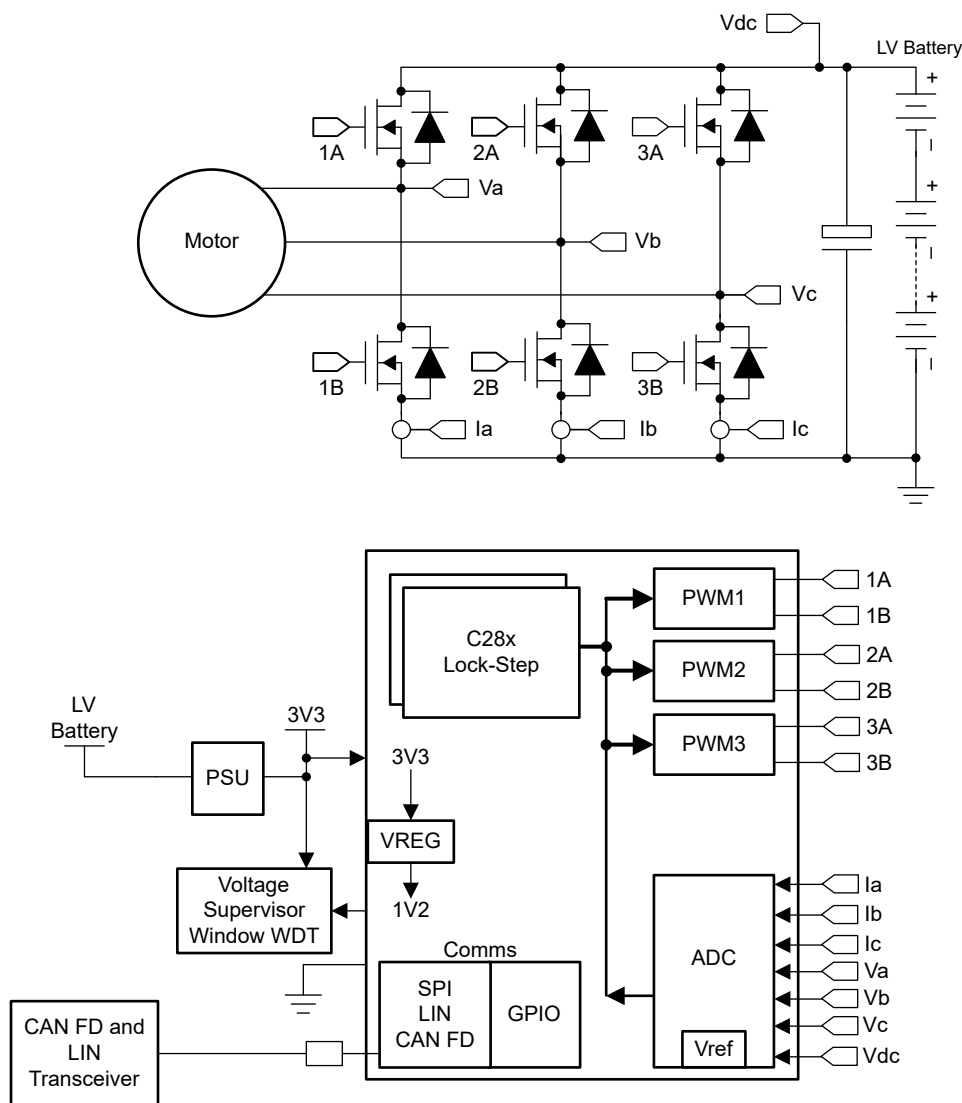


図 8-1. 車載用ポンプ

8.3.1.1.2 車載用ポンプの技術関連資料

リファレンス・デザインと関連トレーニング・ビデオ

[C2000™ MCU - 電気自動車 \(EV\) トレーニング・ビデオ \(ビデオ\)](#)

C2000™ MCU に関するこのビデオ・コレクションは、電気自動車 (EV) 特有のトレーニングを英語と中国語の両方で取り扱っています。

8.3.1.2 車載用 HVAC コンプレッサ

自動車では、従来型の HVAC コンプレッサの目的は車内を冷却することです。ハイブリッド車と電気自動車 (HEV および EV) では、コンプレッサ・システムは車内を冷却だけでなく、車両に電力を供給するバッテリーも冷却します。

HEV/EV で燃焼エンジンの小型化や省略化を図るためには、HVAC システムで重要な役割を果たす 2 つの部品を別途導入する必要があります。

- ブラシレス DC (BLDC) モーターは、エンジンに代わって AC コンプレッサを回転させる DC モーターの一種のです。

- 正温度係数 (PTC) ヒーター、または代替となるヒート・ポンプは、エンジンではなく冷却剤を加熱します。

車載対応 HVAC (空調) コンプレッサ・モジュールの設計要件:

- 絶縁型コンポーネント数の最小化。
- システム性能を最適化するための EMI 低減。
- 故障識別に役立つ包括的な診断機能。
- 低速時も高効率を維持できるセンサレス・トルク制御。

8.3.1.2.1 システム・ブロック図

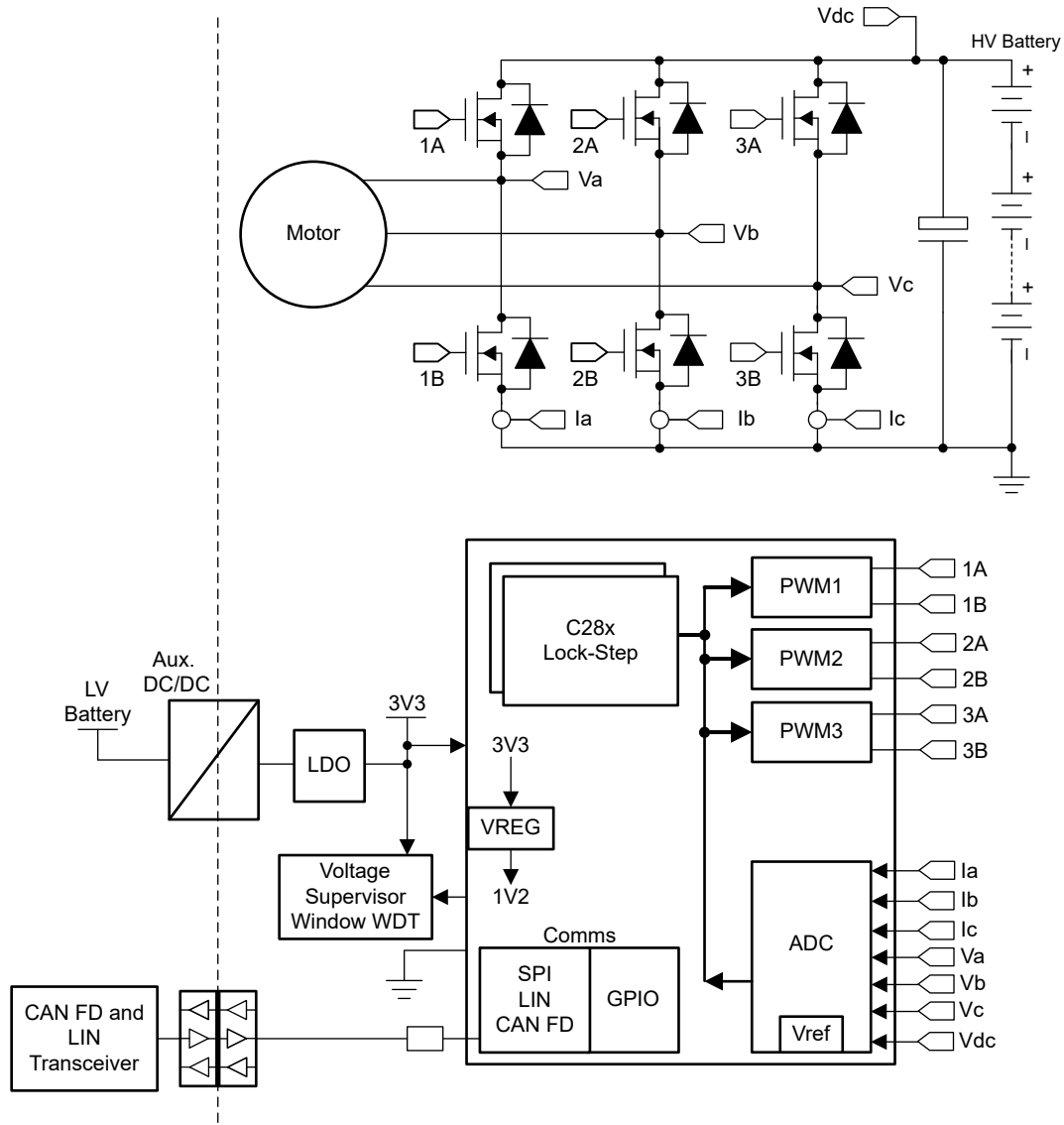


図 8-2. 車載用 HVAC (空調) コンプレッサ

8.3.1.2.2 HVAC のリソース

リファレンス・デザインと関連トレーニング・ビデオ

『成長を続ける HEV/EV (ハイブリッド車と電気自動車) 市場で車載 HVAC (エアコン) 設計を最適化する方法』

この記事では、この種の電子式 HVAC アプリケーションに関連する設計課題の概要を提示し、リアルタイム制御の性能、スケーラビリティ、コストを活用して、それらの課題に対処する方法を説明します。

[C2000™ MCU - 電気自動車 \(EV\) トレーニング・ビデオ \(ビデオ\)](#)

C2000™ MCU に関するこのビデオ・コレクションは、電気自動車 (EV) 特有のトレーニングを英語と中国語の両方で取り扱っています。

『HEV / EV 向けの冷暖房システムの設計方法』

このホワイト・ペーパーでは、48V、400V、800V の HEV / EV の新しい冷暖房制御モジュールについて説明します。その次に、これらのモジュールに固有のサブシステムについて、システム図と例を交えて説明します。最後に、貴社の実装計画の着手に役立つよう、これらのサブシステムの機能的なソリューションを改めて説明します。

『HEV/EV 向けの車載 HVAC コンプレッサ アプリケーションでの信頼性の高いリアルタイム制御』

この記事では、HEV および EV の冷暖房システムに搭載されている HVAC コンプレッサ サブシステムの設計上の課題に注目し、リアルタイム制御を活用してそれらの課題に対処する方法について説明します。

8.3.1.3 オンボード充電器 (OBC)

OBC および高電圧 DC/DC チャージャ (HV DCDC) 市場では、モジュール ベースの設計とコンボ ボックス ベースの設計が、採用されている 2 つの主要なアーキテクチャです。モジュール型のアプローチでは、製造とサービス後の柔軟性が得られます。コンボ・ボックス・アプローチは、コンパクト化のために複数の機能を 1 つの筐体に統合することを目的としています。F28003x は、モジュール ベースの制御アーキテクチャとコスト重視のソリューションを目的としています。たとえば、必要なコントローラの性能が限られていて (120MIPS 以下)、コントローラに ASIL B (D) の素子機能安全が必要な場合に適しています。

オンボード・チャージャは、2 つの電力段、PFC (AC/DC) パワー・コンバータとそれに続く DC/DC パワー・コンバータで構成されています。各電力段は、1 つの MCU で制御されます。

OBC 充電の設計要件は次のとおりです。

- 高効率の電力変換と電力密度の向上を可能にする、高性能で高速なデジタル制御ループ。
- 高帯域幅で高速応答の電流センシングを通じて、高精度の制御と過電流状況における高速シャットダウンを実現。
- パワー・スイッチ [絶縁ゲート・バイポーラ・トランジスタ / シリコン・カーバイド (IGBT/SiC)] を安全かつ効率的に制御および保護。

8.3.1.3.1 システム・ブロック図

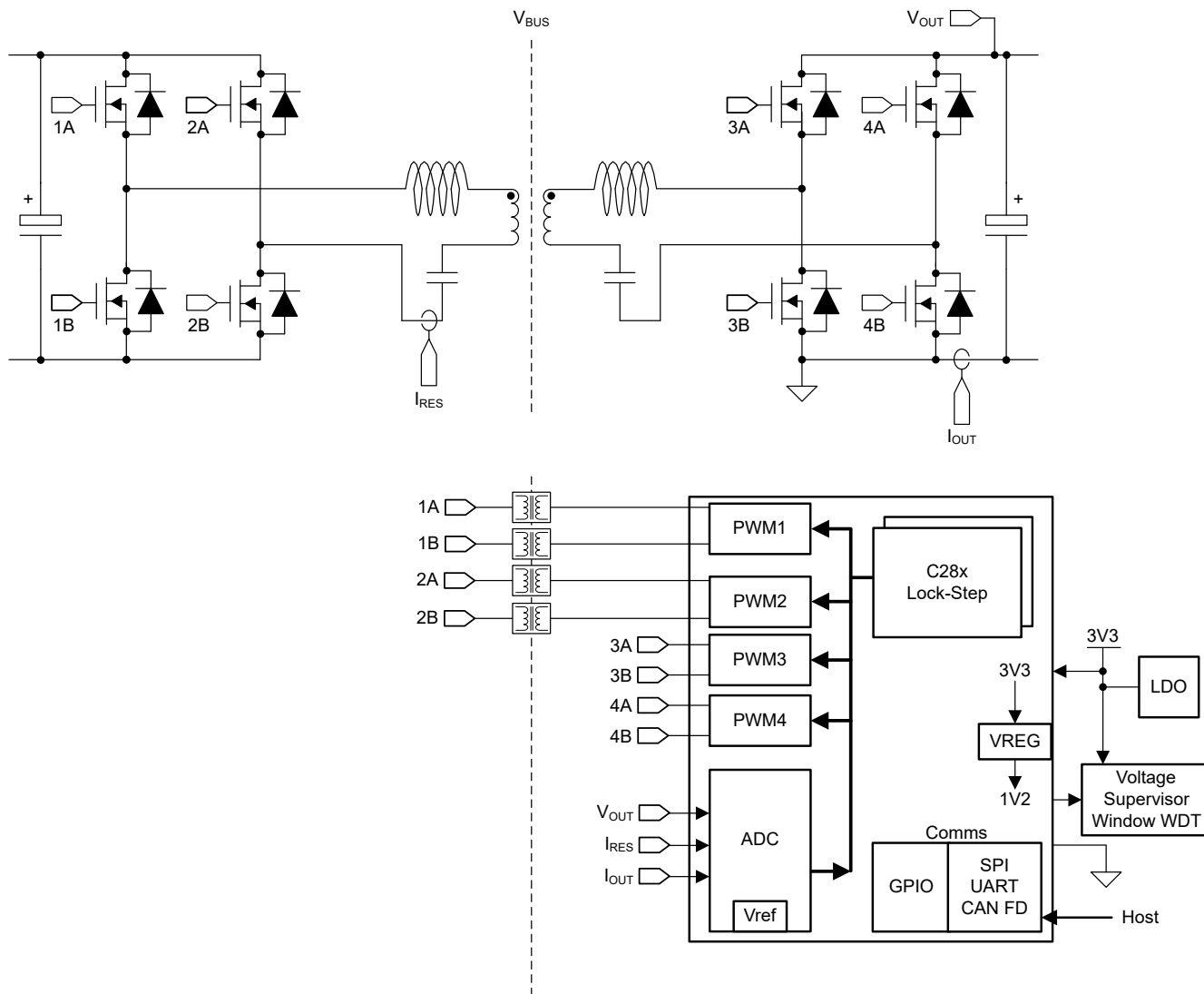


図 8-3. OBC - DC - DC

8.3.1.3.2 OBC の技術関連資料

リファレンス・デザインと関連トレーニング・ビデオ

[C2000™ デジタル電源トレーニング・シリーズ \(ビデオ\)](#)

このトレーニング・シリーズでは、デジタル電源制御の基礎と C2000™ マイクロコントローラへの実装方法を説明します。

[C2000™ MCU - 電気自動車 \(EV\) トレーニング・ビデオ \(ビデオ\)](#)

C2000™ MCU に関するこのビデオ・コレクションは、電気自動車 (EV) 特有のトレーニングを英語と中国語の両方で取り扱っています。

[TIDUEG2C TIDM-02002 HEV/EV オンボード・チャージャ向け双方向 CLLLC 共振デュアル・アクティブ・ブリッジ \(DAB\) のリファレンス・デザイン](#)

双方向の電源フロー能力とソフト・スイッチング特性を持つ CLLLC 共振 DAB は、ハイブリッド電気自動車 / 電気自動車 (HEV / EV) のオンボード・チャージャおよびエネルギー・ストレージ・アプリケーションに理想的な候補です。このデザイン

では、閉電圧および閉電流ループ・モードで C2000™ MCU を使ってこの電源トポロジを制御する方法を示します。このリファレンス・デザインのハードウェアとソフトウェアは開発期間の短縮を可能にします。

TIDUEG3A TIDM-1022 バレー・スイッチング、昇圧、力率補正 (PFC) のリファレンス・デザイン

このリファレンス・デザインでは、効率と全高調波歪み (THD) の基準を満たすことが難しい軽負荷条件で、昇圧力率補正 (PFC) コンバータの効率と THD を大幅に改善するためのデジタル制御方式を説明します。これは、C2000™ マイクロコントローラ (MCU) の内蔵デジタル制御機能を使用して実現されます。このリファレンス・デザインは、位相シェディング、バレー・スイッチング、バレー・スキッピング、ゼロ電圧スイッチング (ZVS) をサポートしており、各種の負荷および瞬時入力電圧条件に対応します。このリファレンス・デザインで利用可能なソフトウェアにより、製品開発期間を短縮できます。

8.3.1.4 サーボ・ドライブ制御モジュール

サーボ・ドライブは、高精度のトルク制御を実現するために高精度の電流および電圧センシングを必要とし、多くの場合、通信インターフェイスとともに複数のエンコーダ・タイプのインターフェイスをサポートします。この C2000 デバイスは、スタンドアロン サーボドライブ用のシングルチップ ソリューション (図 8-4 参照) として、または、非集中型システム (図 8-5 参照) で使用することができます。後者の場合、F28P65x C2000 デバイスはコントローラとして機能し、すべての電圧入力および電流入力をサンプリングして、インバータのための正確な PWM 信号を生成します。各 C2000 デバイスが、対象となる 1 軸のリアルタイム コントローラとして機能し、モーターの電流制御ループを実行します。高速シリアル インターフェイス (FSI) ペリフェラルを使用すると、1 つの C2000 デバイスで最大 16 軸を制御できます。C2000 デバイスは、外部ループコントローラとして、メイン軸のモーター制御を実行し、FSI 経由で他のすべての軸とのデータ交換を制御するとともに、EtherCAT 経由でホストまたは PLC と通信します。

8.3.1.4.1 システム・ブロック図

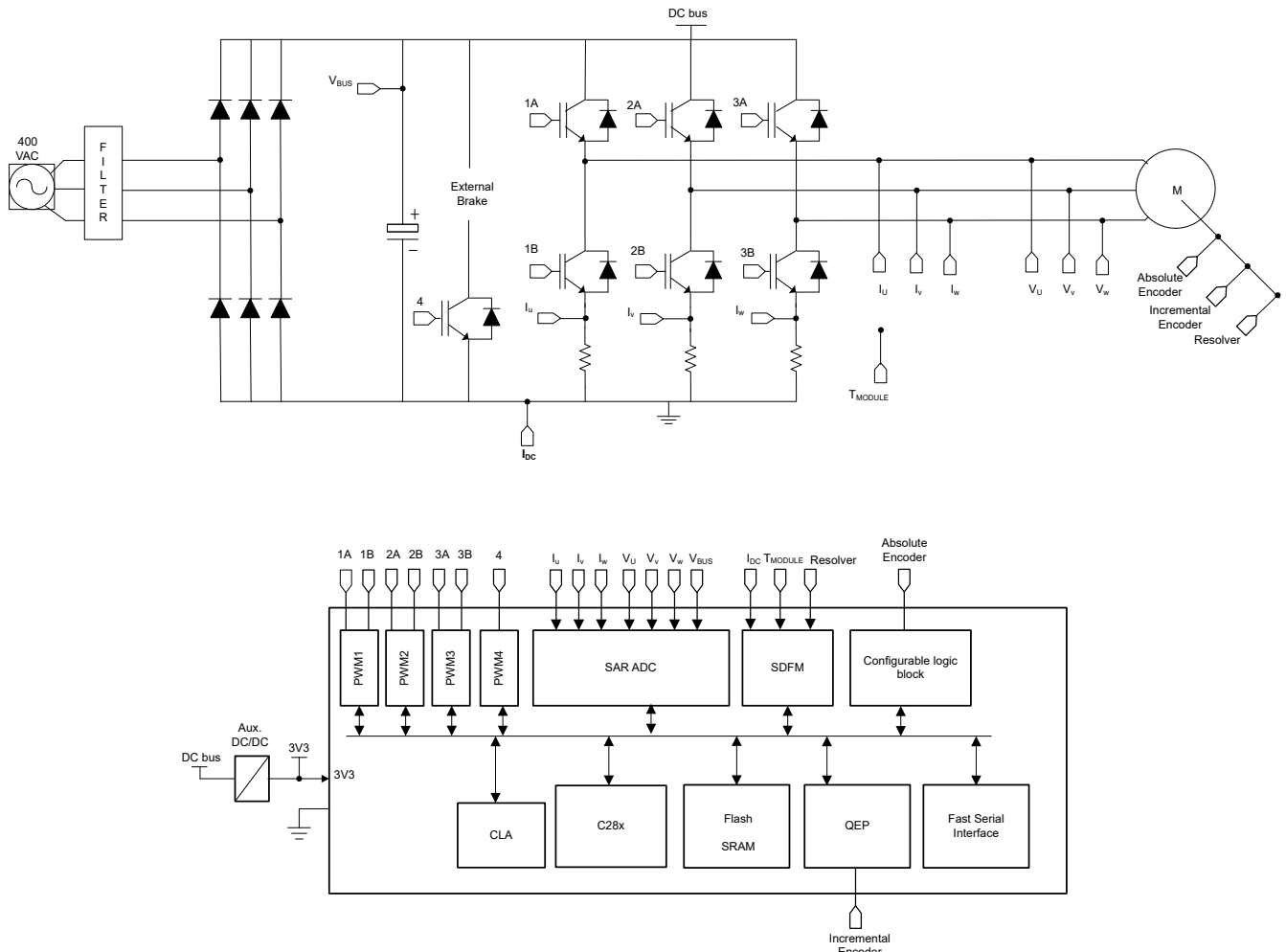


図 8-4. サーボ・ドライブ制御モジュール

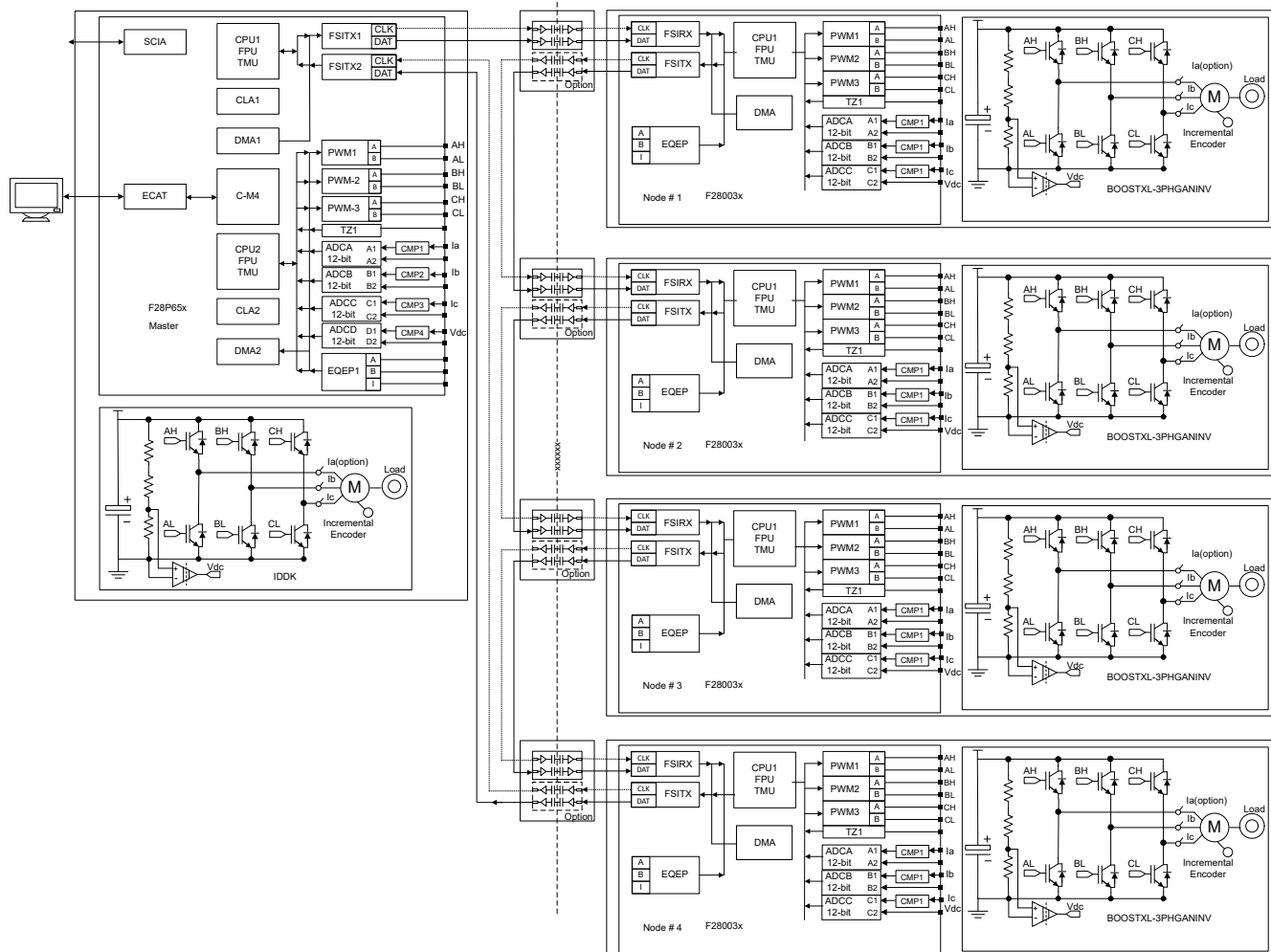


図 8-5. 分散型多軸サーボ・ドライブ

8.3.1.4.2 サーボ・ドライブ制御モジュールのリソース

リファレンス・デザインと関連トレーニング・ビデオ

シャント・ベースのインライン・モーター位相電流センシング機能を搭載した **48V 3 相インバータ評価モジュール**

BOOSTXL-3PHGANINV 評価モジュールは、高精度インライン・シャント・ベース位相電流センシング機能を搭載した 48V/10A 3 相 GaN インバータを採用し、サーボ・ドライブなどの高精度ドライブを正確に制御します。

産業用モーター制御向け **C2000 DesignDRIVE 開発キット**

この DesignDRIVE 開発キット (IDDK) ハードウェアによって、高電圧 3 相モーターを駆動する電力段全体を搭載した統合型サーボ・ドライブ設計を実現し、また、さまざまな位置フィードバック、電流センシング、制御トポロジーに関する評価を容易に実施することができます。

C2000 DesignDRIVE position manager BoosterPack™ プラグイン モジュール

この PositionManager BoosterPack は、アブソリュート・エンコーダ、リゾルバや SinCos トランスデューサなどのアナログ・センサへのインターフェイスを評価するためのフレキシブルな低電圧プラットフォームです。低コストのこの評価基板は、DesignDRIVE Position Manager ソフトウェア・ソリューションとの組み合わせにより、一般的に使用されている EnDat、BiSS、T-format などのさまざまなタイプのポジション・エンコーダを C2000 リアルタイム制御デバイスとインターフェイスするための強力なツールになります。C2000 Position Manager 技術は、最もよく使われているデジタルおよびアナ

ログ・ポジション・センサとのインターフェイスを C2000 リアルタイム・コントローラに統合して、このような機能のための外部 FPGA を不要にします。

C2000Ware モーター制御 SDK

C2000™ マイクロコントローラ (MCU) 用のモーター制御 SDK は、さまざまな 3 相モーター制御アプリケーション向けの C2000 リアルタイム・コントローラ・ベースのモーター制御システムの開発時間を最小限に抑える目的で設計された、ソフトウェア・インフラ、ツール、資料の包括的なセットです。このソフトウェアには、C2000 モーター制御評価モジュール (EVM) で動作するファームウェアと、産業用ドライブ、ロボット、家電製品、車載アプリケーションを対象とした TI Designs (TID) が含まれています。MotorControl SDK は、高性能モーター制御アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

TIDM-02006 高速シリアル・インターフェイス (FSI) 経由の分散型多軸サーボ・ドライブのリファレンス・デザイン

このリファレンス・デザインは、C2000™ リアルタイム・コントローラを使用した高速シリアル・インターフェイス (FSI) 経由の分散型または非集中型多軸サーボ・ドライブの例を示します。多軸サーボ・ドライブは、ファクトリ・オートメーションやロボットなど多くのアプリケーションで使用されています。この種のシステムで、1 軸当たりのコスト、性能、使いやすさは常に重要な考慮事項になっています。FSI は、低ジッタで、コスト最適化された信頼性の高い高速通信インターフェイスであり、複数の C2000 マイクロコントローラをデジタイゼーション接続することもできます。このデザインでは、TMS320F280039 または TMS320F280025 の各リアルタイム コントローラが、それぞれ 1 つの軸に対応する分散型のリアルタイム コントローラであり、モーターの電流制御ループを実行します。TMS320F28388D という単一製品が、すべての軸に対応する位置および速度の制御ループを実行します。同じ F2838x が、マルチコアを活用して、集中型のモーター制御軸に加えて EtherCAT 通信も実施します。このデザインは、テキサス・インスツルメンツの既存の EVM キットを複数使用しており、該当ソフトウェアは C2000WARE モーター制御 SDK の一部としてリリース済みです。

TIDM-02007 シングル MCU で高速電流ループ (FCL) および SFRA を使った 2 軸モーター・ドライブのリファレンス・デザイン

このリファレンス・デザインは、単一の C2000 コントローラ上で高速電流ループ (FCL) およびソフトウェア周波数応答アナライザ (SFRA) 技術を使った 2 軸モーター・ドライブの例を示します。FCL は、デュアル・コア (CPU、CLA) 並列処理技術を使って、制御帯域幅と位相マージンの大幅な拡大、フィードバック・サンプリングから PWM 更新までのレイテンシの短縮、制御帯域幅の拡大と変調指数の最大化、ドライブの DC バス使用率の向上とモーターの速度範囲の拡大を実現します。SFRA ツールが統合されているため、開発者は、アプリケーションの周波数応答を迅速に測定して、速度および電流コントローラを調整できます。システムレベルの統合と C2000 シリーズ MCU の性能により、非常に堅牢な位置制御と高い性能を同時に実現する 2 軸モーター・ドライブの要件をサポートできます。本ソフトウェアは C2000WARE MotorControl SDK でリリースされています。

TIDM-02010 HVAC 向けデジタル インターリーブ PFC 付きデュアル モーター制御のリファレンス デザイン

TIDM-02010 リファレンス デザインは、HVAC (エアコン) アプリケーションの可変周波数エアコン室外機向けの 1.5kW デュアル モーター駆動制御と PFC 制御に関するリファレンス デザインです。1 個の C2000™ マイコンを使用して、コンプレッサとファン モーターを駆動するセンサレス 3 相 PMSM (永久磁石同期モーター) ベクトル制御、および新しい各種効率規格に適合するデジタル インターリーブ昇圧 PFC を実装する方法を提示します。このリファレンス・デザインで利用できるハードウェアとソフトウェアはテスト済みであり、すぐに使用できるので、開発期間短縮に貢献します。このリファレンス・デザインには、ハードウェア設計ファイルとソフトウェア・コードが付属しています。

TIDM-02012 高電圧 HEV/EV の HVAC eCompressor モーター制御のリファレンス デザイン

TIDM-02012 は、中性能の C2000™ TMS320F28003x リアルタイム マイコンで制御する HEV/EV のコンプレッサ (eCompressor) アプリケーション向けの高電圧 5kW のリファレンス デザインです。400V と 800V どちらの DC バス使用時も評価できる設計を採用しており、バッテリー電圧の上昇という市場トレンドに対応しています。controlCARD をベースとした設計であり、開発ユーザーは複数のマイコンとゲート・ドライバ・オプションを評価できるほか、C2000™ 製品ラインアップ内の他のデバイスをサポートできるスケラビリティがあります。ほかに、サイバー・セキュリティ、機能安全、他の車載市場で続くニーズの増大への対応を踏まえた、将来のロードマップ・デバイスもサポートできます。

8.3.1.5 ソーラー・マイクロ・インバータ

ソーラー マイクロ インバータは、DC-AC インバータの電力段と 1 つ以上の最大電力点追従 (MPPT) DC-DC 電力段で構成されています。インバータ (DC-AC) の一般的なスイッチング周波数は 20kHz~50kHz で、DC-DC 側のスイッチング周波数は 100kHz~200kHz の範囲です。これを実現するために、さまざまな出力段トポロジを使用できます。この図は、代表的な出力段と、制御および通信の要件のみを示しています。C2000 マイクロコントローラには、オンチップの

EPWM、ADC、アナログ・コンパレータ・モジュールが搭載されており、このようなマイクロ・インバータ・システムの完全なデジタル制御を実装できます。

8.3.1.5.1 システム・ブロック図

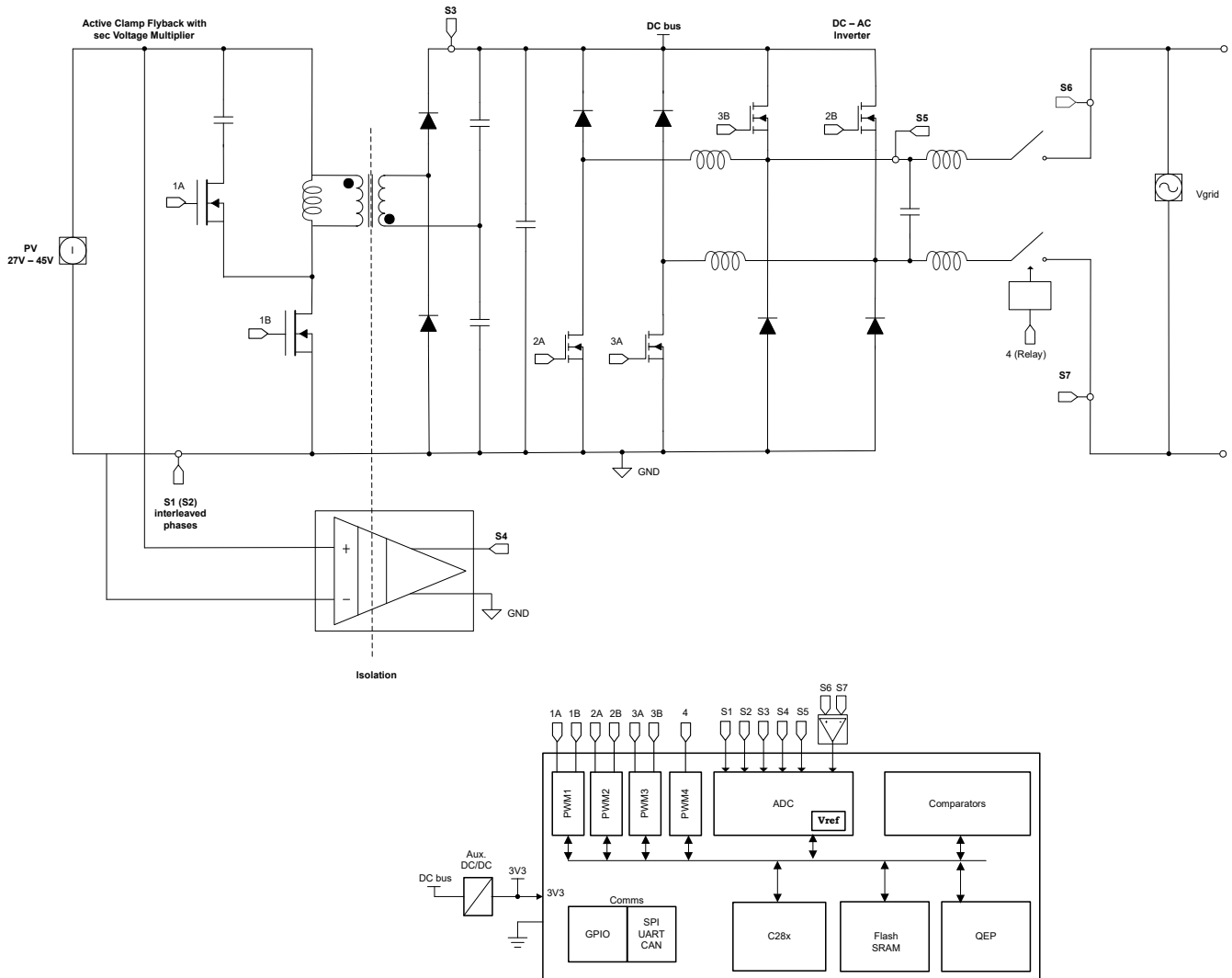


図 8-6. ソーラー・マイクロ・インバータ

8.3.1.5.2 ソーラー・マイクロ・インバータのリソース

リファレンス・デザインと関連トレーニング・ビデオ

TIDM-SOLARUINV グリッドに接続されたソーラー マイクロ インバータ、MPPT 付き

この C2000 ソーラー マイクロ インバータ EVM ハードウェアは、2 段で構成されています。それらを以下に示します。(1) 2 次側電圧マルチプライヤを搭載したアクティブ・クランプ・フライバック DC-DC コンバータと (2) DC-AC インバータ。図 1b に、このアプリケーションのブロック図を示します。DC-DC コンバータは、パネルが最大電力伝送ポイントで動作するように、PV パネルから DC 電流を引き込みます。そのためには、MPPT アルゴリズムで決定されたレベルでパネル出力、つまり DC-DC コンバータ入力を維持する必要があります。MPPT アルゴリズムは、最大電力伝送のためのパネル出力電流 (基準電流) を決定します。次に、フライバック・コンバータの電流制御ループにより、コンバータの入力電流が確実に MPPT 基準電流に追従するようになります。また、フライバック・コンバータは、DC-DC 段の高周波絶縁も実現します。フライバック段の出力は、高電圧 DC バスであり、これが DC-AC インバータを駆動します。インバータ段は、DC バスを目的

の設定点に維持し、制御された正弦波電流をグリッドに注入します。また、グリッド同期も実装しており、グリッド電圧の位相および周波数にロックされた電流波形を維持します。C2000 Piccolo マイクロコントローラは、オンチップ PWM、ADC、およびアナログ・コンパレータ・モジュールを搭載しており、このようなマイクロ・インバータ・システムの完全なデジタル制御を実装できます。

C2000™ デジタル電源トレーニング・シリーズ (ビデオ)

このトレーニング・シリーズでは、デジタル電源制御の基礎と C2000 マイクロコントローラへの実装方法を説明します。

組み込みプロセッサの有効寿命の計算

このアプリケーション レポートには、テキサス・インスツルメンツの組み込みプロセッサ (EP) を電子機器システムで、電力を供給して使用したときの有効寿命を計算するための手法が解説されています。これは、テキサス・インスツルメンツの EP の信頼性が最終システムの信頼性要件を満たすかどうかを判定したい一般的なエンジニアを対象としています。主な故障メカニズムとしてエレクトロマイグレーションをモデル化しています。

C2000™ Piccolo マイクロコントローラを使用したデジタル制御ソーラー・マイクロ・インバータの設計

このドキュメントは、C2000 マイクロコントローラを使用したデジタル制御ソーラー・マイクロ・インバータの実装の詳細を説明しています。250W の絶縁型マイクロ・インバータ設計では、Piccolo-B (F28035) 制御カードを使用して、必要なすべての PV インバータ機能を提供します。このドキュメントでは、マイクロ・インバータ・ボードの電力段について、さらには、開ループ動作と閉ループ動作を検証してソフトウェアを構築するインクリメンタル・ビルド・レベル・システムについて説明します。このガイドでは、電力フローの制御、PV パネルからの電力の最大化 (MPPT)、フェーズ・ロック・ループ (PLL) を使用したグリッドへのロック、テキサス・インスツルメンツのソーラー・マイクロインバータ・キット (TMSOLARUINVKIT) のハードウェア詳細について説明します。

『単相グリッド接続インバータ向け C2000™ マイクロコントローラを使用したソフトウェア・フェーズ・ロック・ループ設計』アプリケーション・レポート

グリッド接続アプリケーションでは、グリッドに同期して電力を供給するために、グリッドの位相を正確に推定する必要があります。これは、ソフトウェア・フェーズ・ロック・ループ (PLL) を使用して実現します。このアプリケーション・レポートでは、ソフトウェア・フェーズ・ロック・ループの設計におけるさまざまな課題について説明し、単相グリッド接続アプリケーション向けに C2000 コントローラを使用してフェーズ・ロック・ループを設計する方法を示します。

C2000WARE-DIGITALPOWER-SDK

C2000™ マイクロコントローラ (MCU) 向けの DigitalPower SDK は、ソフトウェア・インフラ、ツール、資料の包括的なセットであり、AC-DC、DC-DC、DC-AC 電源アプリケーション向け C2000 MCU ベースのデジタル電源システムの開発期間の大幅な短縮を可能にします。このソフトウェアには、C2000 デジタル電源評価モジュール (EVM) で動作するファームウェアと、太陽光発電、テレコム、サーバー、電気自動車 (EV) チャージャ、産業用電源供給アプリケーション向けの TI Designs (TID) が含まれています。DigitalPower SDK は、デジタル電源アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

8.3.1.6 商用テレコム整流器

商用テレコム整流器は、力率補正 (PFC) 段と DC-DC コンバータ段で構成されています。トータムポール PFC は、PFC 段として広く使用されています。DC-DC 段については、LLC と位相シフト・フルブリッジ (PSFB) が最も一般的な 2 つのトポロジです。商用テレコム整流器では、[図 8-7](#) および [図 8-8](#) に示すように、シングル チップとデュアル チップのアーキテクチャを使用できます。

PFC 段は、AC 電圧と同位相で AC 電源から正弦波電流を引き込み、出力範囲全体にわたって安定した DC バス電圧 (VDC、標準値 +400 V) を維持します。この出力電圧は、DC-DC 段の入力として供給され、この段で、絶縁された低い出力電圧 V_{out} (通常は 48V) に変換されます。

8.3.1.6.1 システム・ブロック図

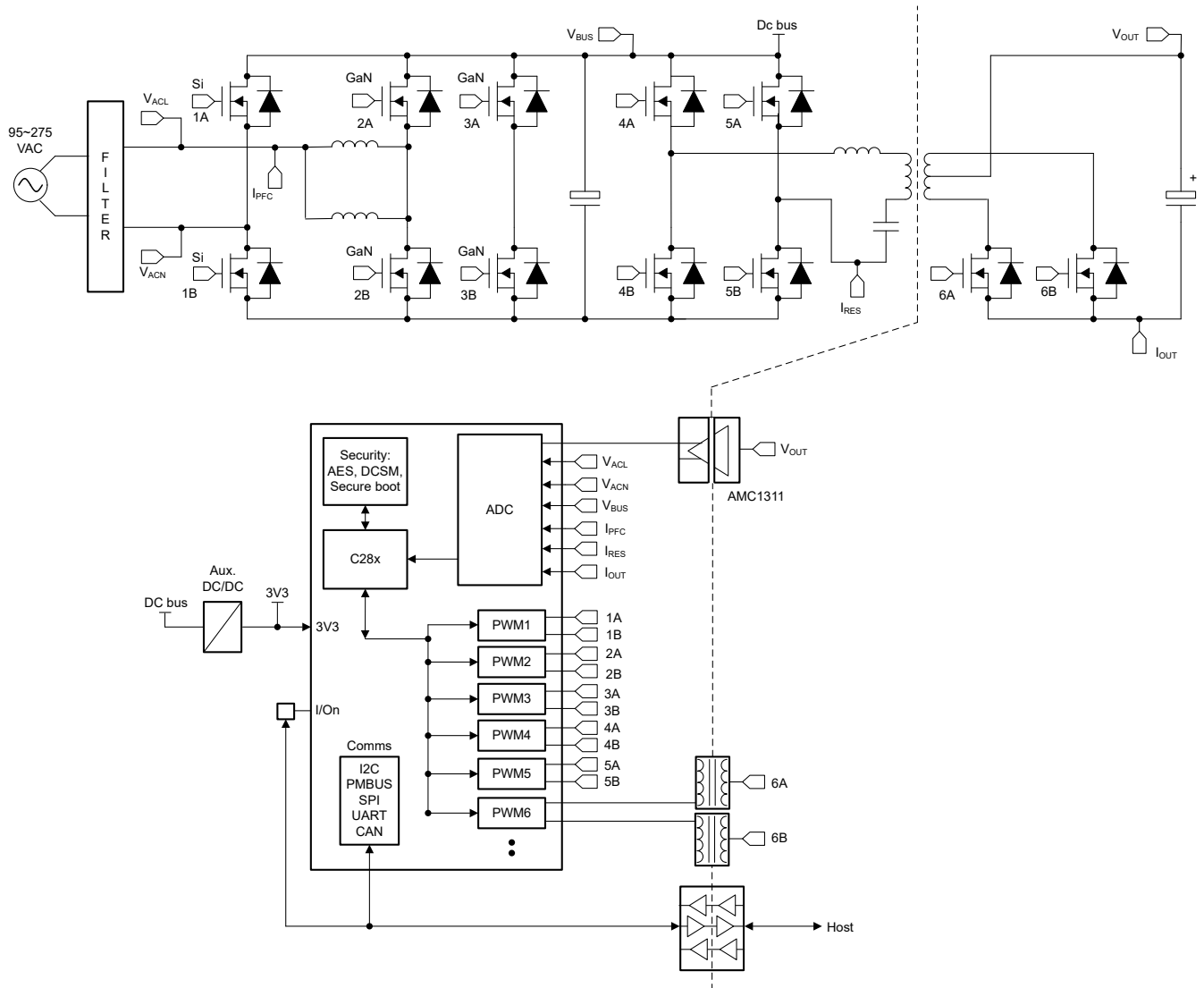


図 8-7. 商用テレコム整流器のシングルチップ・アーキテクチャ

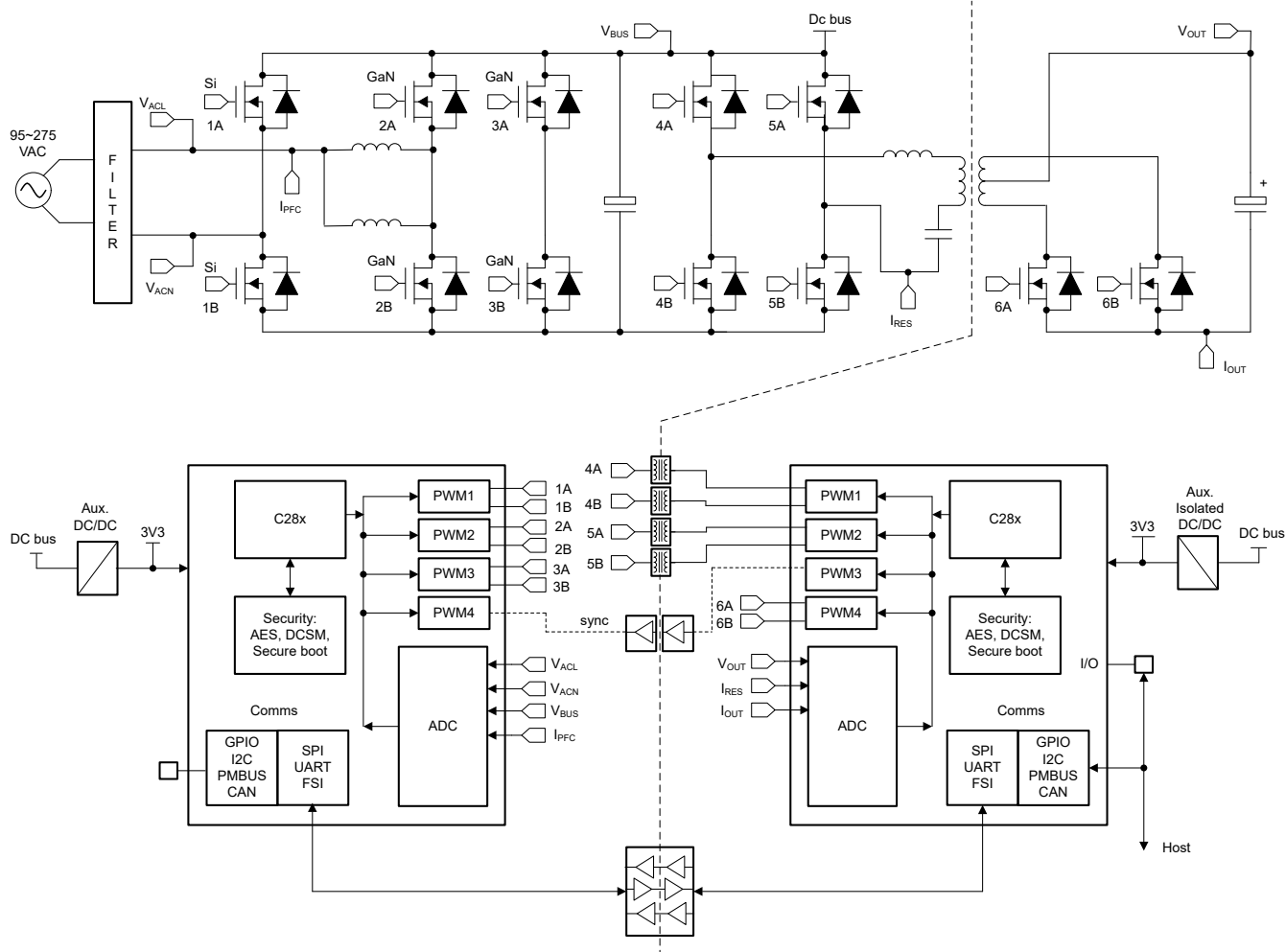


図 8-8. 商用テレコム整流器のデュアルチップ・アーキテクチャ

8.3.1.6.2 商用テレコム整流器のリソース

リファレンス・デザインと関連トレーニング・ビデオ

[PMP41006 C2000™ と GaN が実現する CCM トーテムポール PFC と電流モード LLC による 1kW のリファレンス デザイン](#)

このリファレンス デザインは、C2000™ F28004x マイクロコントローラによりハーフブリッジ LLC 段で一種の電流モード制御方式を採用したハイブリッド ヒステリシス制御 (HHC) 方式の実例を示しています。このハードウェアは、1kW、80 Plus Titanium、GaN TIDA トーテム・ポール・ブリッジレス CCM およびハーフ・ブリッジ PFC のリファレンス・デザインである TIDA-010062 をベースにしています。ハイブリッド・ヒステリシス制御の目的で、1 枚の独立したセンシング・カードを追加しています。このカードは、共振コンデンサを使用して電圧を再生します。この HHC LLC 段は、シングル・ループ電圧モード制御方式 (VMC) に比べて、優れた過渡応答と使いやすい制御ループ設計を実現します。

[PMP23126 270W/in³ を超える電力密度、アクティブ クランプ付き 3kW 位相シフトフルブリッジのリファレンス デザイン](#)

このリファレンス デザインは、GaN ベースの 3kW 位相シフトフルブリッジ (PSFB) であり、最大電力密度を目標としています。このデザインは、複数の 2 次側同期整流 MOSFET への電圧ストレスを最小化する目的でアクティブ・クランプを採用しているため、より良好な性能指数 (FoM) を達成する、電圧定格のより低い MOSFET を複数使用することができます。PMP23126 は、1 次側にテキサス・インスツルメンツの 30mΩ の GaN、2 次側にシリコン MOSFET を使用しています。LMG3522 は、ドライバと保護機能を内蔵した上面冷却 GaN であり、Si MOSFET と比較して、より広い範囲の動作

で ZVS (ゼロ電圧スイッチング) を維持できるので、効率の向上に貢献します。この PSFB (位相シフト・フルブリッジ) は 100kHz で動作し、97.74% のピーク効率を達成します。

PMP23069 180W/in³ を超える電力密度、3.6kW 単相トータム・ポール・ブリッジレス PFC のリファレンス・デザイン

このリファレンス・デザインは、GaN ベースの 3.6kW 単相連続導通モード (CCM) トータムポール力率補正 (PFC) コンバータであり、最大電力密度を目標としています。電力段の後段に小型の昇圧コンバータを配置しており、バルク・コンデンサの小型化に貢献します。ドライブと保護機能を内蔵した上面冷却 GaN である LMG3522 の採用により、効率の向上、電源の小型化と簡素化を実現しています。F28003x、F28004x、または F28002x の各 C2000™ コントローラは、多様な高度制御用途に適しており、高速リレー制御、AC 電圧低下イベント発生時の小規模昇圧動作、逆電流保護、PFC とハウスキーピング (各種管理機能) コントローラ間の通信などが該当します。この PFC は 65kHz のスイッチング周波数で動作し、98.7% のピーク効率を達成します。

C2000™ と GaN が実現する CCM トータムポール PFC と電流モード LLC による 1kW のリファレンス デザイン (ビデオ)

デジタル電源の分野における過渡応答の要件の変化に伴い、サーバー電源や他の産業用 ACDC 電源のようなアプリケーションで厳格な仕様を満たすことが課題となっています。C2000 リアルタイム MCU をベースとするデジタル ハイブリッドヒステリシス制御 (HHC) LLC コンバータを使用したこの設計は、従来の電圧モード制御に比べて優れた過渡応答を電流モード制御で実現し、最小限の CPU リソースで必要な性能を達成する方法の実例を示しています。

TIDA-010203 GaN および C2000™ リアルタイム制御 MCU を使った高効率 PFC 段 (ビデオ)

GaN パワー FET および C2000™ MCU により、トータムポール力率補正 (PFC) トポロジを実現し、ブリッジ整流器の電力損失をなくします。

TIDA-010062 1kW、80 Plus Titanium、GaN CCM トータム・ポール・ブリッジレス PFC およびハーフブリッジ LLC のリファレンス・デザイン

このリファレンス・デザインは、サーバー電源ユニット (PSU) およびテレコム整流器アプリケーション向けのデジタル制御されたコンパクトな 1kW AC/DC 電源の設計です。高効率設計により、フロントエンドの連続導通モード (CCM) トータム・ポール・ブリッジレス力率補正 (PFC) 段を含む、2 つの主電力段をサポートしています。広い負荷範囲にわたって高い効率を実現し、80 Plus Titanium 要件を満たすため、ドライブ内蔵 LMG341x GaN FET を PFC 段に採用しています。また、このデザインは、ハーフ・ブリッジ LLC 絶縁型 DC/DC 段もサポートしており、+12V DC 出力で 1kW を供給します。2 枚の制御カードは、C2000™ 基本的性能 MCU を使用して、両方の電力段を制御します。

TIDM-1001 C2000™ MCU を使った 2 相インターリーブ LLC 共振コンバータのリファレンス・デザイン

共振コンバータは、サーバー、テレコム、車載用、産業用、その他の電源アプリケーションでよく使用される一般的な DC-DC コンバータです。効率と電力密度が高く、さまざまな業界標準の要件および増大する電力密度の目標に対応しており、中電力から大電力アプリケーション向けのコンバータとして最適です。このリファレンス・デザインは、デジタル制御 500W 2 相インターリーブ LLC 共振コンバータを実装しています。このシステムは、単一の C2000™ マイクロコントローラ (MCU) である TMS320F280025C で制御しています。また、この MCU は、パワー・エレクトロニクスのスイッチング・デバイスがさまざまな動作モードで使用する PWM 波形も生成します。このリファレンス・デザインは、新しい電流共有技術を使用して、複数の相間における電流バランスを高精度で実現しています。

TIDM-1007 インターリーブ CCM トータムポール PFC のリファレンス・デザイン (ビデオ)

このビデオでは、C2000 マイクロコントローラを使ってトータムポール PFC を制御するために必要なハードウェアの特徴、制御の特徴、ソフトウェア設計について説明します。このリファレンス・デザインで得られたテスト結果も、このプレゼンテーションの一部として提示されています。

可変周波数、ZVS、5kW、GaN ベース、2 相トータムポール PFC のリファレンス・デザイン

このリファレンス・デザインは、高密度で高効率の 5kW トータムポール力率補正 (PFC) の設計を示しています。このデザインは、可変周波数と ZVS (ゼロ電圧スイッチング) の組み合わせで動作する 2 相トータムポール PFC を使用しています。この制御方式は、新しいトポロジと改良型の三角波電流モード (ITCM) を使用し、小型化と高効率化を実現します。このデザインは、TMS320F280049C マイコンの内部にある高性能プロセッシング・コアを使用し、広い動作範囲にわたって効率を維持します。この PFC は 100kHz~800kHz の可変周波数範囲で動作します。電力密度が 120kW/立方インチ (7.32kW/立方 cm) のオープン・フレームにおいて、99% のピーク・システム効率を達成しています。

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを、以下で紹介합니다。

9.1 使い始めと次の手順

『C2000™ リアルタイム制御マイクロコントローラ (MCU) を使用した設計の開始』入門ガイドは、C2000 デバイスを使用する開発について、ハードウェアからサポート・リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

デバイスの概要、機能、他のデバイスとの比較、およびパッケージの詳細については、「[新製品の更新: C2000™ リアルタイム MCU ファミリー: F28003x の概要](#)」を参照してください。

9.2 デバイス命名規則

製品開発サイクルの段階を示すために、テキサス・インスツルメンツでは TMS320 MCU デバイスとサポート・ツールのすべての型番に接頭辞が割り当てられています。TMS320™ MCU 商用ファミリの製品には、次の 3 つの接頭辞のいずれかが付いています。TMX、TMP、TMS (たとえば、TMS320F280039C)。テキサス・インスツルメンツでは、サポート・ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、エンジニアリング・プロトタイプ (デバイスでは TMX、ツールでは TMDX) から、完全に認定済みの量産版デバイスとツール (デバイスでは TMS、ツールでは TMDS) まで、製品開発の段階を表しています。

デバイスの開発進展フロー:

TMX 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ・フローを使用しない可能性があります。

TMP プロトタイプ・デバイス。最終的なシリコン・ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

TMS 認定済みのシリコン・ダイの量産バージョン。

サポート・ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

TMX および TMP デバイスと TMDX 開発サポート・ツールは、以下の免責事項の下で出荷されます。

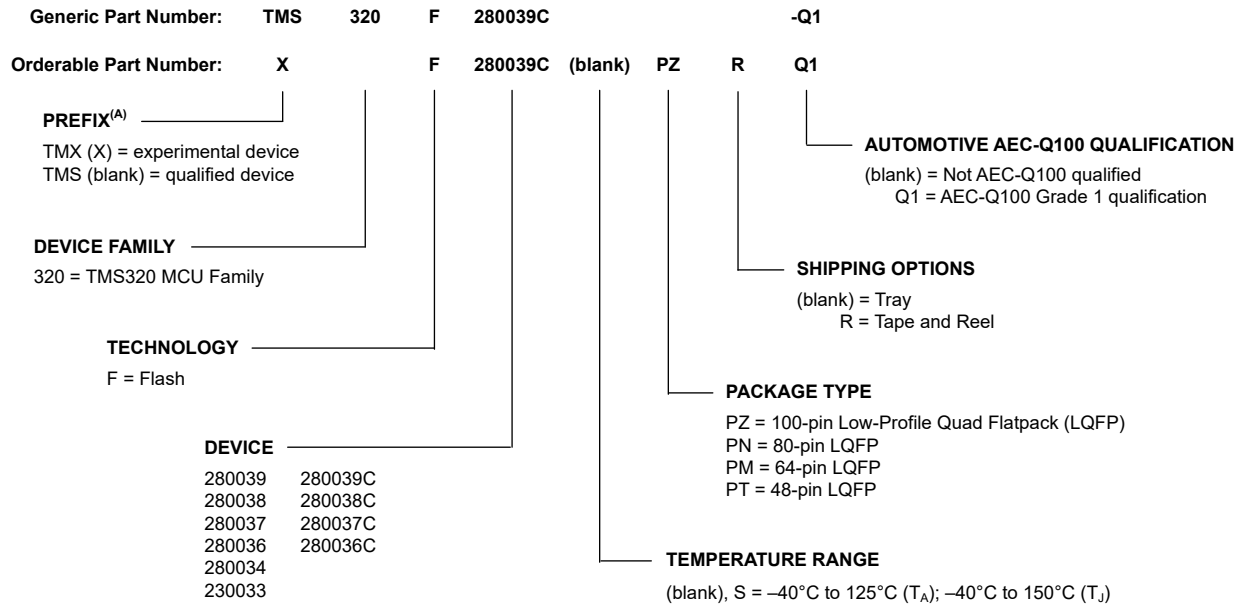
「開発中の製品は、社内での評価用です」。

量産デバイスおよび TMDS 開発サポート・ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ・デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツでは、それらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

テキサス・インスツルメンツのデバイスの命名規則には、デバイス・ファミリー名の接尾辞も含まれます。この接尾辞は、パッケージの種類 (例:PN) と温度範囲 (例:S) を示しています。

デバイスの部品番号、および注文情報の詳細については、テキサス・インスツルメンツの Web サイト (www.tij.co.jp) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

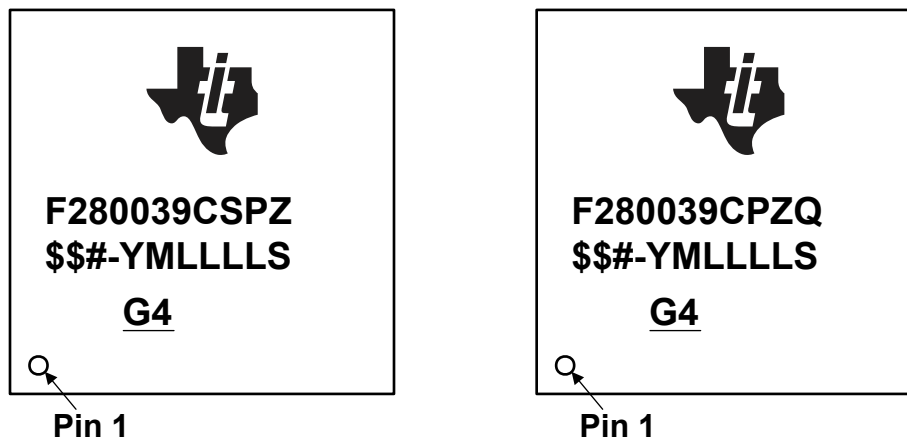


A. 注文用型番には接頭辞 X を使用。

図 9-1. デバイス命名規則

9.3 マーキング

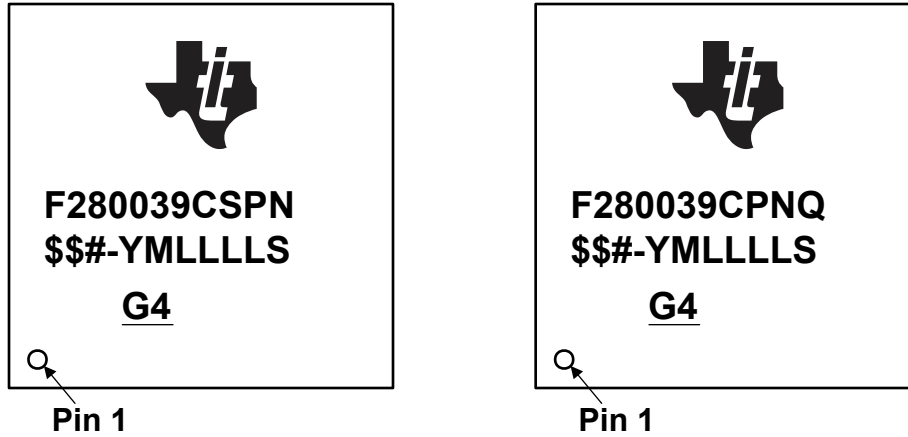
パッケージ・マーキングを 図 9-2、図 9-3、図 9-4、および 図 9-5 に示します。表 9-1 に、シリコンのリビジョン・コードを示します。



\$\$ = Wafer Fab Code (one or two characters)
= Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120

G4 = ECAT

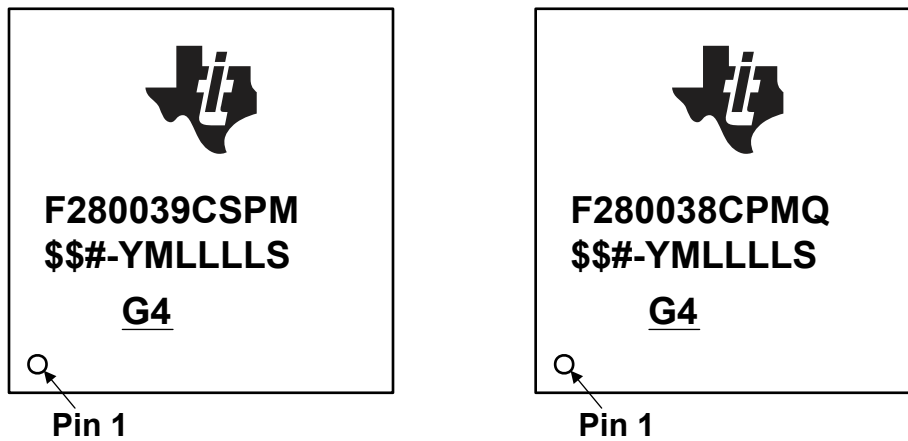
図 9-2. PZ パッケージのパッケージ・マーキング



\$\$ = Wafer Fab Code (one or two characters)
= Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120

G4 = ECAT

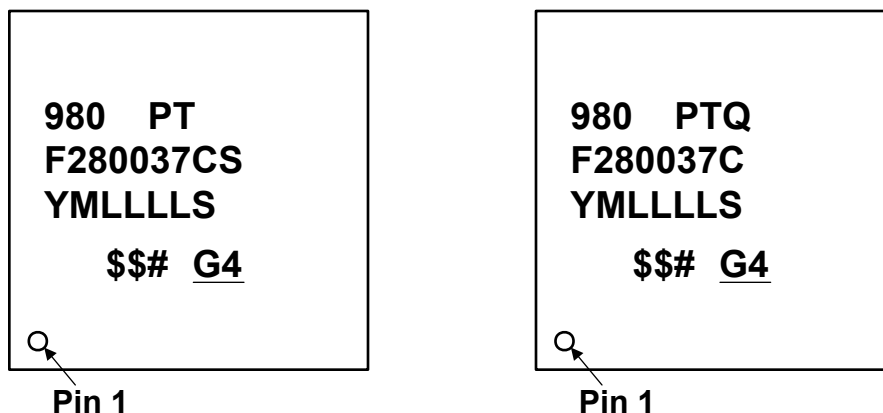
図 9-3. PN パッケージのパッケージ・マーキング



\$\$ = Wafer Fab Code (one or two characters)
= Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120

G4 = ECAT

図 9-4. PM パッケージのパッケージ・マーキング



980 = TI EIA Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120
\$\$ = Wafer Fab Code (one or two characters)
= Silicon Revision Code

G4 = ECAT

図 9-5. PT パッケージのパッケージ・マーキング

表 9-1. リビジョンの識別

シリコンのリビジョン・コード	シリコンのリビジョン	REVID ⁽¹⁾ アドレス:0x5D00C	備考
空白	0	0x0000 0000	このシリコン・リビジョンは TMX および TMS とし て供給されます。

(1) シリコンのリビジョン ID

9.4 ツールとソフトウェア

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。ツールおよびソフトウェアの一部は、デバイスの性能評価や、コードの生成に使用され、それによってソリューションの開発が行われます。C2000™ リアルタイム制御 MCU 用に提供しているすべてのツールおよびソフトウェアを参照するには、[C2000 リアルタイム制御 MCU - 設計および開発](#)のページをご覧ください。

開発ツール

TMDSCNCD280039C 制御カード

F280039C controlCARD は、HSEC180 controlCARD をベースとする、C2000™ F28003x シリーズのマイクロコントローラ製品向けの評価 / 開発ツールです。controlCARD は、初期評価とシステムのプロトタイプに最適です。controlCARD は、包括的なボードレベル・モジュールで、2 つの標準フォーム・ファクタ (100 ピン DIMM または 180 ピン HSEC) のいずれかを使用して、低プロファイルのシングルボード・コントローラ・ソリューションを実現します。初めて評価を行う場合、通常、controlCARD はベースボードとバンドルしたものか、あるいはアプリケーション・キットにバンドルされたものを購入します。

HSEC180 controlCARD ベースボード・ドッキング・ステーション

TMDSHSECDOCK は、互換性のある HSEC180 ベースの controlCARD の主要な信号にヘッダ・ピンからアクセスできるベースボードです。ブレッドボード領域は、迅速なプロトタイプに使用できます。ボードへの電力供給には、付属の USB ケーブルまたは 5V バレル電源を使用できます。

XDS110 JTAG デバッグ・プローブ

テキサス・インスツルメンツの XDS110 は、テキサス・インスツルメンツ組み込みプロセッサ用の新しいクラスのデバッグ・プローブ (エミュレータ) です。XDS110 は XDS100 ファミリーを置き換える製品であり、同時に、単一製品で幅広い規格 (IEEE1149.1、IEEE1149.7、SWD) をサポートしています。また、すべての XDS デバッグ・プローブは、ETB (Embedded Trace Buffer、組み込みトレース・バッファ) 搭載のすべての Arm® と DSP プロセッサに対し、コア・トレースとシステム・トレースをサポートしています。ピンのコア・トレースには、[XDS560v2 PRO TRACE レシーバとデバッグ・プローブ](#)が必要です。

XDS200 USB デバッグ・プローブ

XDS200 は、テキサス・インスツルメンツの組み込みデバイスのデバッグに使用するデバッグ・プローブ (エミュレータ) です。XDS200 は、低コストの XDS110 と高性能の XDS560v2 と比較して、低コストと良好な性能のバランスを重視しています。単一のポッドで幅広い規格 (IEEE1149.1、IEEE1149.7、SWD) をサポートしています。すべての XDS デバッグ・プローブは、ETB (Embedded Trace Buffer、組み込みトレース・バッファ) 搭載のすべての Arm® と DSP プロセッサに対し、コア・トレースとシステム・トレースをサポートしています。ピンのコア・トレースには、[XDS560v2 PRO TRACE レシーバとデバッグ・プローブ](#)が必要です。

XDS560v2 システム・トレース USB デバッグ・プローブ

XDS560v2 は、XDS デバッグ・プローブ・ファミリーの中で最高の性能を提供し、従来の JTAG 規格 (IEEE1149.1) および cJTAG (IEEE1149.7) の両方をサポートしています。シリアル・ワイヤ・デバッグ (SWD) はサポートしていないことに注意してください。

ソフトウェア・ツール

C2000™ ソフトウェア・ガイド

C2000™ リアルタイム・コントローラは、パワー・エレクトロニクスの制御専用の高性能マイクロコントローラ製品ラインアップです。産業用 / 車載の各アプリケーションで高度なデジタル信号処理を実現します。C2000 MCU の各種モジュールをプログラムするためのソフトウェア・コンポーネントは、C2000 ソフトウェア・リリースの一部としてリリースされています。このガイドでは、さまざまなソフトウェア・コンポーネントと利用可能な機能の概要を説明しています。

C2000 MCU 用 C2000Ware

C2000™ MCU 用の C2000Ware は、ソフトウェアおよびドキュメントの総合的なセットで、ソフトウェア開発時間を最小化できるよう設計されています。特定デバイス向けドライバ、ライブラリ、ペリフェラル・サンプルを収録しています。

Digital Power SDK

Digital Power SDK は、ソフトウェア・インフラ、ツール、資料の包括的なセットであり、AC-DC、DC-DC、DC-AC 電源アプリケーション向け C2000 MCU ベースのデジタル電源システムの開発期間の大幅な短縮を可能にします。このソフトウェアには、C2000 デジタル電源評価モジュール (EVM) で動作するファームウェアと、太陽光発電、テレコム、サーバー、電気自動車 (EV) チャージャ、産業用電源供給アプリケーション向けのリファレンス・デザインが含まれています。Digital Power SDK は、デジタル電源アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

モーター制御 SDK

モーター制御 SDK は、さまざまな 3 相モーター制御アプリケーションで使用するために C2000 MCU ベースのモーター制御システムの開発時間を最小限に抑える目的で設計されたソフトウェア・インフラ、ツール、資料の包括的なセットです。このソフトウェアは、C2000 モーター制御評価基板 (EVM) で動作するファームウェアと、産業用ドライブおよびその他のモーター制御向けのリファレンス・デザインで構成されています。モーター制御 SDK は、高性能モーター制御アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを用意しています。

C2000 マイクロコントローラ用の Code Composer Studio™ (CCS) 統合開発環境 (IDE)

Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよび組み込みプロセッサ・ポートフォリオをサポートする統合開発環境 (IDE) です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。これには、最適化 C/C++ コンパイラ、ソース・コード・エディタ、プロジェクト・ビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。この IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー・インターフェイスで実行できます。使い慣れたツールとインターフェイスに

より、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア・フレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

TI Resource Explorer

操作性を向上させるには、TI Resource Explorer からアプリケーションのサンプル、ライブラリ、資料を参照してください。

SysConfig システム構成ツール

SysConfig は、ピン、ペリフェラル、無線、サブシステム、その他のコンポーネントを構成するための包括的なグラフィカル・ユーティリティ・コレクションです。SysConfig を使用すると、競合の管理、表面化、解決をビジュアルな方法で実行できるので、より多くの時間をアプリケーションの差異化に割り当てることができます。このツールの出力には C ヘッダとコード・ファイルが含まれており、ソフトウェア開発キット (SDK) サンプルと組み合わせて使用することも、カスタム・ソフトウェアの構成に使用することもできます。SysConfig ツールは、入力した要件を満たす PinMux 設定を自動的に選択します。SysConfig ツールは CCS に統合されており、スタンドアロン・インストーラとしても提供されています。また、dev.ti.com クラウド・ツール・ポータルからも使用できます。SysConfig システム構成ツールの詳細については、システム構成ツールのページを参照してください。

C2000 サード・パーティー検索ツール

テキサス・インスツルメンツは複数の企業と協力し、テキサス・インスツルメンツの C2000 デバイスに対応する多様なソリューションとサービスを提供しています。これらの企業は、各種 C2000 デバイスを使用した量産へと至るお客様の開発工程の迅速化に役立ちます。この検索ツールをダウンロードすると、サード・パーティー各社の概要を手早く参照し、お客様のニーズに適したサード・パーティーを見つけることができます。

UniFlash スタンドアロン・フラッシュ・ツール

UniFlash は、GUI、コマンドライン、またはスクリプト・インターフェイスからオンチップ・フラッシュ・メモリをプログラムするために使用される、スタンドアロンのツールです。

C2000 コード生成ツール - コンパイラ

テキサス・インスツルメンツの C2000 C/C++ コンパイラ / アセンブリ言語ツールは、Concerto (F28M3xx)、基本的性能 (280xx)、プレミアム性能浮動小数点 (283xx)、C2000 固定小数点 (2823x/280x/281x) マイクロコントローラなど、テキサス・インスツルメンツの C2000 マイクロコントローラ・プラットフォーム向けアプリケーションの開発をサポートします。

モデル

製品の「設計および開発」ページでは、各種のモデルをダウンロードできます。これらのモデルには、I/O バッファ情報仕様 (IBIS) モデルや、バウンダリ・スキーマ記述言語 (BSDL) モデルが含まれます。利用可能なすべてのモデルを参照するには、各デバイス製品ページで「設計および開発」ページの「設計ツールとシミュレーション」サブセクションをご覧ください。

トレーニング

設計エンジニアが C2000 マイクロコントローラの機能および性能を十分に活用できるように、テキサス・インスツルメンツは各種のトレーニング・リソースを開発しました。オンライン・トレーニング資料や、ダウンロード可能な実践的ワークショップを活用することで、C2000 マイクロコントローラ・ファミリの完全な動作の知識を簡単に習得できます。これらのトレーニング資料は、習得を容易にし、開発期間を短縮し、製品を短期間で開発できるよう設計されています。各種トレーニング資料の詳細については、C2000™ リアルタイム制御 MCU - サポートおよびトレーニングのサイトを参照してください。また、C2000 Academy コースでは、新規ユーザーに C2000 デバイスとその多くの機能について短期間で学ぶための情報を提供します。これは、C2000 の開発を開始するユーザーにとって優れた出発点であり、C2000 Academy の Resource Explorer ページからアクセスできます。

9.5 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

プロセッサおよび関連ペリフェラルに関する最新ドキュメント、その他の技術資料を以下に示します。

エラー

『TMS320F28003x リアルタイム MCU シリコン・エラッタ』には、シリコンについて既知の問題と回避策が記載されています。

テクニカル・リファレンス・マニュアル

『TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』には、F28003x リアルタイム・マイクロコントローラの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング・モデルの詳細が記載されています。

CPU ユーザー・ガイド

『TMS320C28x CPU および命令セット・リファレンス・ガイド』では、TMS320C28x 固定小数点デジタル信号プロセッサ (DSP) の CPU (Central Processing Unit) およびアセンブリ言語命令について記述しています。このリファレンス・ガイドでは、これらの DSP で利用可能なエミュレーション機能についても解説しています。

『TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル』では、TMU、VCU-II、および FPU アクセラレータのアーキテクチャ、パイプライン、命令セットについて記述しています。

ペリフェラル・ガイド

『C2000 リアルタイム制御ペリフェラル・リファレンス・ガイド』には、28x DSP のペリフェラル・リファレンス・ガイドが記載されています。

ツール・ガイド

『TMS320C28x アセンブリ言語ツール v22.6.0.LTS ユーザー・ガイド』では、TMS320C28x デバイス用のアセンブリ言語ツール (アセンブリ言語コードを開発するためのアセンブラや他のツール)、アセンブラのディレクティブ、マクロ、共通オブジェクト・ファイル・フォーマット、シンボリック・デバッグ・ディレクティブについて記述しています。

『TMS320C28x 最適化 C/C++ コンパイラ v22.6.0.LTS ユーザー・ガイド』では、TMS320C28x C/C++ コンパイラについて記述しています。このコンパイラは、ANSI 標準の C/C++ ソースコードから、TMS320C28x デバイス用の TMS320 DSP アセンブリ言語ソースコードを生成します。

アプリケーション・レポート

『SMT & パッケージ・アプリケーション・ノート』Web サイトには、テキサス・インスツルメンツの表面実装テクノロジー (SMT) のドキュメントと、パッケージに関連する各種トピックについてのアプリケーション・ノートの一覧があります。

『半導体パッキング方法』では、半導体デバイスをエンド・ユーザーへの配送用に準備するためのパッキング手法について記述しています。

『組込みプロセッサの有効寿命計算』では、テキサス・インスツルメンツの組込みプロセッサ (EP) を電子機器システムにおいて通電状態で使用したときの有効寿命を計算するための手法を解説しています。これは、テキサス・インスツルメンツの EP の信頼性が最終システムの信頼性要件を満たすかどうかを判定したい一般的なエンジニアを対象としています。

『IBIS (I/O バッファ情報仕様) モデル作成の概要』では、IBIS の歴史、利点、互換性、モデルの生成フロー、入力 / 出力構造のモデル作成におけるデータの要件、将来の動向など、各種の側面から解説しています。

『C2000™ マイクロコントローラのシリアル・フラッシュ・プログラミング』には、フラッシュ・カーネルおよび ROM ロードを使用したデバイスのシリアル・プログラミングについて記載されています。

『高速整数除算 - C2000™ 製品ファミリでの異なる方法』には、さまざまな除算およびモジュロ (剰余演算) 機能とその関連プロパティの概要が記載されています。

『C2000™ リアルタイム・マイクロコントローラを使った開発のための基本ガイド』では、リアルタイム制御システムに関連する C2000 マイクロコントローラ・ユニット (MCU) を差別化するためのコンポーネントについて詳細に説明しています。

9.6 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.7 商標

C2000™, TMS320C2000™, TMS320™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Bosch® is a registered trademark of Robert Bosch GmbH Corporation.

Arm® is a registered trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

すべての商標は、それぞれの所有者に帰属します。

9.8 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.9 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from NOVEMBER 30, 2022 to DECEMBER 7, 2023

Page

• この改訂履歴には、SPRSP61B から SPRSP61C への変更点が記載されています。.....	1
• グローバル:TMS320F280033-Q1 デバイスを追加 [プレビュー情報 (量産データではありません)]......	1
• グローバル:TMS320F280039-Q1、TMS320F280039、TMS320F280038-Q1、TMS320F280037-Q1、 TMS320F280036C-Q1、TMS320F280036-Q1、TMS320F280034-Q1、TMS320F280033 の各デバイスの情報を 量産データに変更。.....	1
• グローバル:TMS320F280039C-Q1、TMS320F280039-Q1、TMS320F280037C-Q1、TMS320F280034-Q1 は 80 ピン PN パッケージで供給。.....	1
• 「特長」セクション: 「オンチップ・メモリ」のセキュリティの特長を変更。.....	1
• 「特長」セクション: 「機能安全準拠」機能と「安全関連認証」機能を更新。.....	1
• 「パッケージ情報」表: 表を追加。.....	3
• 「機能ブロック図」: バスの凡例を更新して「CLU」を「CLA」に変更。.....	6
• 「デバイスの比較」の表: 「オンチップ・フラッシュおよび RAM のコード・セキュリティ」を「セキュリティ: JTAGLOCK、ゼ ロピン ブート、デュアル ゾーン セキュリティ」に変更。.....	8
• 「デバイスの比較」の表: 100 ピン PZ パッケージの ADC チャンネルの数を 23 から 25 に変更。.....	8
• 「デバイスの比較」の表: TMS320F280039C-Q1、TMS320F280039-Q1、TMS320F280037C-Q1、 TMS320F280034-Q1、TMS320F280033-Q1 は 80 ピン PN パッケージで供給。.....	8
• 「ピン属性」の表: VREGENZ の説明を更新。.....	11
• 「電源およびグラウンド」表: VREGENZ の説明を更新。.....	38
• 「電気的特性」の表: R_{OH} と R_{OL} の値を更新。 $R_{PULLDOWN}$ と R_{PULLUP} を追加。.....	61
• 「ESD 定格 - 民生用」の表: コーナー ピンの値を追加。.....	61
• 「ESD 定格 - 車載用」の表: TMS320F280039C-Q1、TMS320F280039-Q1、TMS320F280037C-Q1、 TMS320F280034-Q1、TMS320F280033-Q1 は 80 ピン PN パッケージで供給。.....	62
• 「消費電流のグラフ」セクション: セクションを追加。.....	68
• 「外部監視回路の使用」セクション: セクションを更新。.....	78
• 「VREGENZ」セクション: セクションを更新。.....	79
• 「VDDIO デカップリング」セクション: セクションを更新。.....	79
• 「VDD デカップリング」セクション: セクションを更新。.....	80
• 「電源ピンの一括接続」セクション: セクションを更新。.....	80
• 「信号ピンの電源シーケンス」セクション: セクションを更新。.....	80
• 「電源シーケンスの概要と違反の影響」セクション: セクションを更新。.....	82
• 「電源スルーレート」セクション: セクションを更新。.....	83
• システム PLL の図: 図を更新。.....	90
• 「はじめに」セクション: セクションを更新。.....	95
• 「電気発振回路」セクション: セクションを更新。.....	95
• 「RAM および ROM のパラメータ」セクション: セクションを追加。.....	106
• 「A/D コンバータ (ADC) の特性」セクション: セクションを更新。.....	131
• 「ADC の電気的データおよびタイミング」セクション: 「ADC 入力を VDDA + 0.3V よりも低く維持する必要があります ...」の注を更新。.....	134
• 「ADC タイミング・パラメータの説明」の表: タイトルを「ADC タイミング・パラメータ」から「ADC タイミング・パラメータの 説明」に変更。表を更新。.....	139
• 「コンパレータ・サブシステム (CMPSS)」セクション: セクションを更新。「各 CMPSS には、次のものが含まれます」のリ ストに「2 つのデジタル フィルタ、最大フィルタ クロック プリスケール 65536」を追加。.....	142
• 「ブロック図」セクション: 「各リファレンス 12 ビット DAC は、それぞれのコンパレータの負入力にリファレンス電圧を駆 動するように構成できます」の段落を追加。「リファレンス DAC のブロック図」の図を追加。.....	143
• 「CMPSS DAC の動的誤差」セクション: セクションを追加。.....	149
• DAC モジュールのブロック図: 図を更新。.....	150

• 「拡張キャプチャ (eCAP)」セクション:セクションを更新。.....	158
• 「シグマ-デルタ フィルタ モジュール (SDFM)」セクション:「マスタ フィルタ イネーブル (MFE) ビット」を「メイン フィルタ イネーブル (MFE) ビット」に変更。.....	166
• 「モジュラー・コントローラ・エリア・ネットワーク (MCAN)」セクション:MCAN モジュールの特長のリストを更新。.....	169
• 「I2C の電氣的データおよびタイミング」セクション:注を更新。.....	174
• 「I2C のタイミング要件」の表:脚注を追加。.....	174
• 「PMBus ファスト・モードのスウィッチング特性」の表:f _{FSM_CLK} 、FSM_CLK クロック周波数を追加。.....	178
• 「PMBus 標準モードのスウィッチング特性」の表:f _{FSM_CLK} 、FSM_CLK クロック周波数を追加。.....	178
• SCI ブロック図:図を更新。.....	180
• 「機能ブロック図」: バスの凡例を更新して「CLU」を「CLA」に変更。.....	205
• 「ペリフェラル レジスタのメモリ マップ」の表:表のタイトルを「ペリフェラル レジスタのメモリ マップ (C28)」から「ペリフェラル レジスタのメモリ マップ」に変更。表を更新。.....	210
• 「デバイス識別レジスタ」の表:UID_UNIQUE を「0x0007 01F4」から「0x0007 020C」に変更。.....	214
• 「三角関数演算ユニット (TMU)」セクション:指数命令 IEXP2F32 および対数命令 LOG2F32 の追加についての段落を追加。.....	216
• セクション 7.6.3 の 2 番目の段落を追加.....	216
• 「制御補償器アクセラレータ (CLA)」セクション:主な機能の一覧に「CLA ソフトウェア開発には C コンパイラが利用可能」を追加。.....	218
• 「セキュリティ」セクション:「デュアル コード セキュリティ モジュール」セクションを「セキュリティ」セクションに変更。...	230
• 「機能安全」セクション: セクションを追加。.....	237
• 「アプリケーション、実装、およびレイアウト」セクション: セクションを変更。.....	238
• 「商用テレコム整流器のシングルチップ アーキテクチャ」の図: 下位 FET の EPWM ラベルを訂正。.....	253
• 「商用テレコム整流器のデュアルチップ アーキテクチャ」の図: 下位 FET の EPWM ラベルを訂正。.....	253

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

テキサス・インスツルメンツのパッケージの詳細については、[パッケージ情報 Web](#) サイトをご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F280033SPM	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033SPM
F280033SPM.A	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033SPM
F280033SPM.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033SPM
F280033SPN	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033SPN
F280033SPN.A	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033SPN
F280033SPN.B	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033SPN
F280033SPT	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033S PT
F280033SPT.A	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033S PT
F280033SPT.B	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033S PT
F280033SPTG4	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033S PT
F280033SPTG4.A	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033S PT
F280033SPTG4.B	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033S PT
F280033SPZ	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033SPZ
F280033SPZ.A	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033SPZ
F280033SPZ.B	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033SPZ
F280034PTRQ1	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034 PTQ

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F280034PTRQ1.A	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034 PTQ
F280034PTRQ1.B	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034 PTQ
F280034SPM	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034SPM
F280034SPM.A	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034SPM
F280034SPM.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034SPM
F280034SPN	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034SPN
F280034SPN.A	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034SPN
F280034SPN.B	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034SPN
F280034SPT	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034S PT
F280034SPT.A	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034S PT
F280034SPT.B	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034S PT
F280034SPZ	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034SPZ
F280034SPZ.A	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034SPZ
F280034SPZ.B	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034SPZ
F280036CPMRQ1	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280036CPMQ
F280036CPMRQ1.A	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280036CPMQ
F280036CPMRQ1.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280036CPMQ
F280036PMRQ1	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280036PMQ
F280036PMRQ1.A	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280036PMQ
F280036PMRQ1.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280036PMQ

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F280037CPTQ1	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037C PTQ
F280037CPTQ1.A	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037C PTQ
F280037CPTQ1.B	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037C PTQ
F280037CPTRQ1	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037C PTQ
F280037CPTRQ1.A	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037C PTQ
F280037CPTRQ1.B	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037C PTQ
F280037CPZRQ1	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CPZQ
F280037CPZRQ1.A	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CPZQ
F280037CPZRQ1.B	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CPZQ
F280037CSPM	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CSPM
F280037CSPM.A	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CSPM
F280037CSPM.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CSPM
F280037CSPN	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CSPN
F280037CSPN.A	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CSPN
F280037CSPN.B	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CSPN
F280037CSPT	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CS PT
F280037CSPT.A	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CS PT
F280037CSPT.B	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CS PT
F280037CSPTG4	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CS PT

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F280037CSPTG4.A	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CS PT
F280037CSPTG4.B	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CS PT
F280037CSPTR	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CS PT
F280037CSPTR.A	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CS PT
F280037CSPTR.B	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CS PT
F280037CSPZ	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CSPZ
F280037CSPZ.A	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CSPZ
F280037CSPZ.B	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CSPZ
F280037PTRQ1	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037 PTQ
F280037PTRQ1.A	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037 PTQ
F280037PTRQ1.B	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037 PTQ
F280037PZRQ1	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037PZQ
F280037PZRQ1.A	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037PZQ
F280037PZRQ1.B	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037PZQ
F280037SPM	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPM
F280037SPM.A	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPM
F280037SPM.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPM
F280037SPMR	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPM
F280037SPMR.A	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPM
F280037SPMR.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPM

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F280037SPN	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPN
F280037SPN.A	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPN
F280037SPN.B	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPN
F280037SPNR	Active	Production	LQFP (PN) 80	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPN
F280037SPNR.A	Active	Production	LQFP (PN) 80	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPN
F280037SPNR.B	Active	Production	LQFP (PN) 80	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPN
F280037SPT	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037S PT
F280037SPT.A	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037S PT
F280037SPT.B	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037S PT
F280037SPZ	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPZ
F280037SPZ.A	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPZ
F280037SPZ.B	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPZ
F280038CPMQ1	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280038CPMQ
F280038CPMQ1.A	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280038CPMQ
F280038CPMQ1.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280038CPMQ
F280038CPMRQ1	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280038CPMQ
F280038CPMRQ1.A	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280038CPMQ
F280038CPMRQ1.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280038CPMQ
F280038PMRQ1	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280038PMQ
F280038PMRQ1.A	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280038PMQ
F280038PMRQ1.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280038PMQ

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F280039CPNQ1	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CPNQ
F280039CPNQ1.A	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CPNQ
F280039CPNQ1.B	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CPNQ
F280039CPZQ1	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CPZQ
F280039CPZQ1.A	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CPZQ
F280039CPZQ1.B	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CPZQ
F280039CPZRQ1	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CPZQ
F280039CPZRQ1.A	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CPZQ
F280039CPZRQ1.B	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CPZQ
F280039CSPM	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPM
F280039CSPM.A	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPM
F280039CSPM.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPM
F280039CSPMR	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPM
F280039CSPMR.A	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPM
F280039CSPMR.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPM
F280039CSPN	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPN
F280039CSPN.A	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPN
F280039CSPN.B	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPN
F280039CSPNR	Active	Production	LQFP (PN) 80	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPN
F280039CSPNR.A	Active	Production	LQFP (PN) 80	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPN
F280039CSPNR.B	Active	Production	LQFP (PN) 80	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPN

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F280039CSPZ	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPZ
F280039CSPZ.A	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPZ
F280039CSPZ.B	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPZ
F280039CSPZR	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPZ
F280039CSPZR.A	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPZ
F280039CSPZR.B	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPZ
F280039PZRQ1	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039PZQ
F280039PZRQ1.A	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039PZQ
F280039PZRQ1.B	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039PZQ
F280039SPM	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPM
F280039SPM.A	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPM
F280039SPM.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPM
F280039SPN	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPN
F280039SPN.A	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPN
F280039SPN.B	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPN
F280039SPT	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPT
F280039SPT.A	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPT
F280039SPT.B	Active	Production	LQFP (PT) 48	250 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPT
F280039SPTR	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPT
F280039SPTR.A	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPT

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F280039SPTR.B	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039S PT
F280039SPZ	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPZ
F280039SPZ.A	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPZ
F280039SPZ.B	Active	Production	LQFP (PZ) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPZ

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TMS320F280034, TMS320F280034-Q1, TMS320F280037, TMS320F280037-Q1, TMS320F280037C, TMS320F280037C-Q1, TMS320F280039, TMS320F280039-Q1, TMS320F280039C, TMS320F280039C-Q1 :

● Catalog : [TMS320F280034](#), [TMS320F280037](#), [TMS320F280037C](#), [TMS320F280039](#), [TMS320F280039C](#)

● Automotive : [TMS320F280034-Q1](#), [TMS320F280037-Q1](#), [TMS320F280037C-Q1](#), [TMS320F280039-Q1](#), [TMS320F280039C-Q1](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F280034PTRQ1	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280036CPMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280036PMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280037CPTRQ1	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280037CPZRQ1	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F280037CSPTR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280037PTRQ1	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280037PZRQ1	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F280037SPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280037SPNR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F280038CPMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280038PMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280039CPZRQ1	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F280039CSPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280039CSPNR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F280039CSPZR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F280039PZRQ1	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F280039SPTR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
F280034PTRQ1	LQFP	PT	48	1000	336.6	336.6	31.8
F280036CPMRQ1	LQFP	PM	64	1000	336.6	336.6	41.3
F280036PMRQ1	LQFP	PM	64	1000	336.6	336.6	41.3
F280037CPTRQ1	LQFP	PT	48	1000	336.6	336.6	31.8
F280037CPZRQ1	LQFP	PZ	100	1000	367.0	367.0	55.0
F280037CSPTR	LQFP	PT	48	1000	336.6	336.6	31.8
F280037PTRQ1	LQFP	PT	48	1000	336.6	336.6	31.8
F280037PZRQ1	LQFP	PZ	100	1000	367.0	367.0	55.0
F280037SPMR	LQFP	PM	64	1000	336.6	336.6	41.3
F280037SPNR	LQFP	PN	80	1000	367.0	367.0	55.0
F280038CPMRQ1	LQFP	PM	64	1000	336.6	336.6	41.3
F280038PMRQ1	LQFP	PM	64	1000	336.6	336.6	41.3
F280039CPZRQ1	LQFP	PZ	100	1000	367.0	367.0	55.0
F280039CSPMR	LQFP	PM	64	1000	336.6	336.6	41.3
F280039CSPNR	LQFP	PN	80	1000	367.0	367.0	55.0
F280039CSPZR	LQFP	PZ	100	1000	367.0	367.0	55.0
F280039PZRQ1	LQFP	PZ	100	1000	367.0	367.0	55.0
F280039SPTR	LQFP	PT	48	1000	336.6	336.6	31.8

TRAY


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F280033SPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280033SPM.A	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280033SPM.B	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280033SPN	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280033SPN.A	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280033SPN.B	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280033SPT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280033SPT.A	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280033SPT.B	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280033SPTG4	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280033SPTG4.A	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280033SPTG4.B	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280033SPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280033SPZ.A	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280033SPZ.B	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280034SPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280034SPM.A	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F280034SPM.B	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280034SPN	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280034SPN.A	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280034SPN.B	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280034SPT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280034SPT.A	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280034SPT.B	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280034SPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280034SPZ.A	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280034SPZ.B	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280037CPTQ1	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280037CPTQ1.A	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280037CPTQ1.B	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280037CSPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280037CSPM.A	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280037CSPM.B	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280037CSPN	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280037CSPN.A	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280037CSPN.B	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280037CSPT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280037CSPT.A	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280037CSPT.B	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280037CSPTG4	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280037CSPTG4.A	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280037CSPTG4.B	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280037CSPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280037CSPZ.A	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280037CSPZ.B	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280037SPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280037SPM.A	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280037SPM.B	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280037SPN	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280037SPN.A	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280037SPN.B	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280037SPT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280037SPT.A	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280037SPT.B	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280037SPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280037SPZ.A	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280037SPZ.B	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280038CPMQ1	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F280038CPMQ1.A	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280038CPMQ1.B	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280039CPNQ1	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280039CPNQ1.A	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280039CPNQ1.B	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280039CPZQ1	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280039CPZQ1.A	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280039CPZQ1.B	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280039CSPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280039CSPM.A	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280039CSPM.B	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280039CSPN	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280039CSPN.A	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280039CSPN.B	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280039CSPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280039CSPZ.A	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280039CSPZ.B	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280039SPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280039SPM.A	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280039SPM.B	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280039SPN	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280039SPN.A	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280039SPN.B	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280039SPT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280039SPT.A	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280039SPT.B	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280039SPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280039SPZ.A	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280039SPZ.B	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4

PT0048A



PACKAGE OUTLINE

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



NOTES:

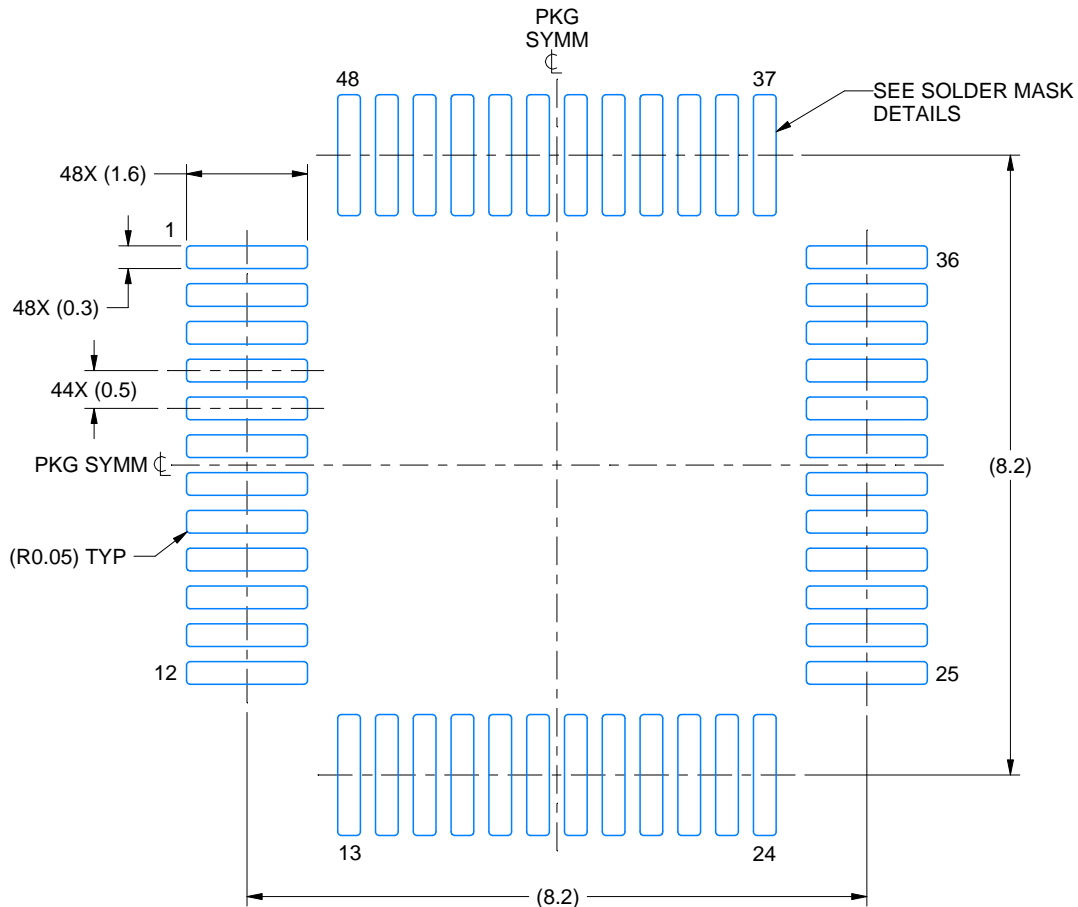
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. This may also be a thermally enhanced plastic package with leads connected to the die pads.

EXAMPLE BOARD LAYOUT

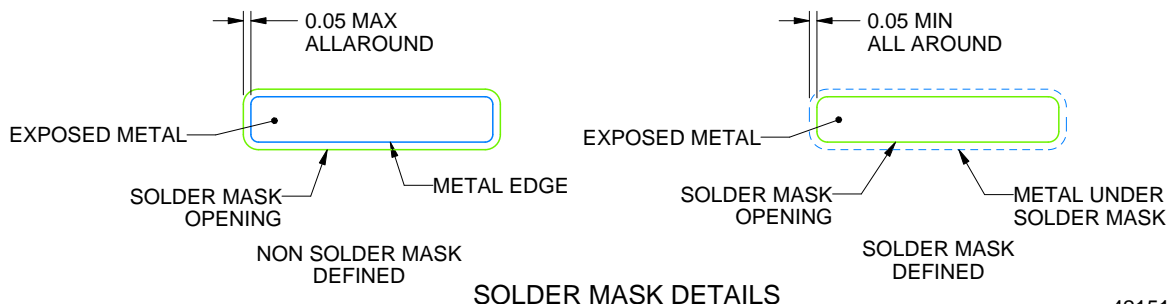
PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE 10.000



SOLDER MASK DETAILS

4215159/B 11/2023

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

PN0080A



PACKAGE OUTLINE

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



4215166/A 08/2022

NOTES:

- 1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- 2. This drawing is subject to change without notice.
- 3. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

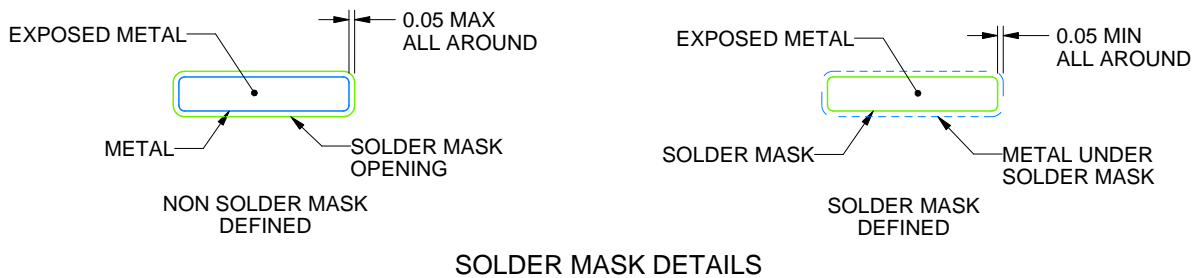
PN0080A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS

4215166/A 08/2022

NOTES: (continued)

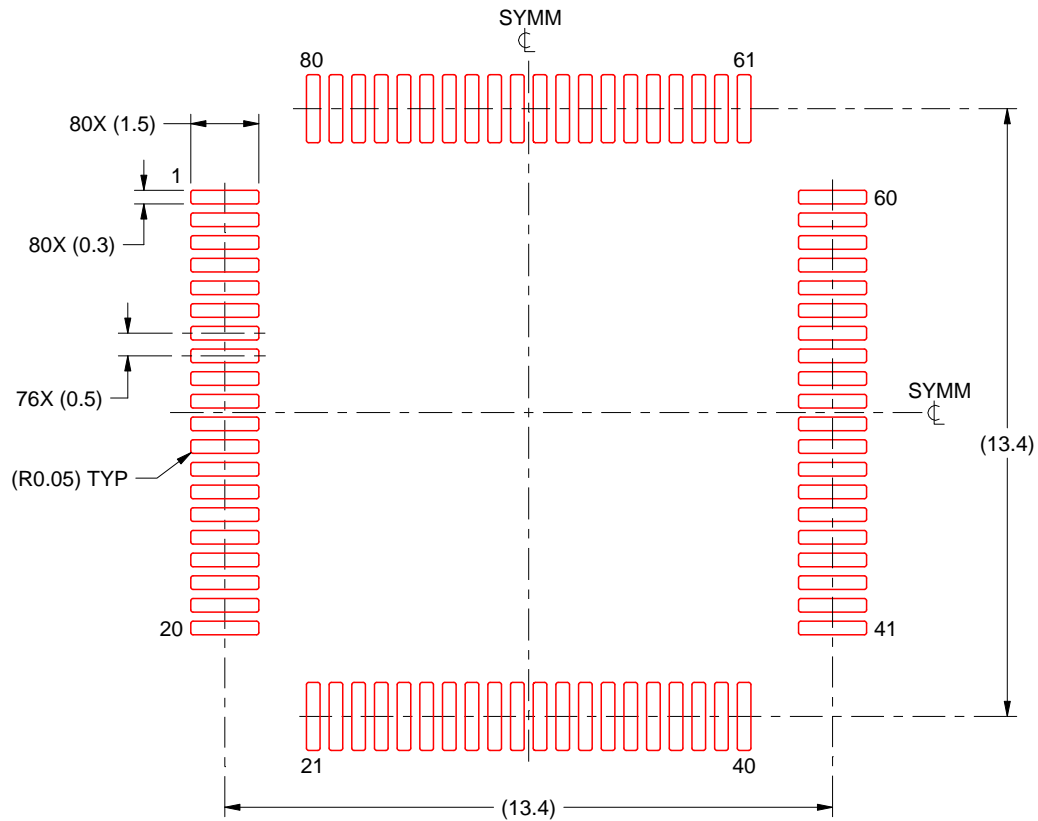
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

EXAMPLE STENCIL DESIGN

PN0080A

LQFP - 1.6 mm max height

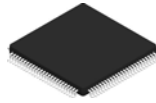
PLASTIC QUAD FLATPACK



4215166/A 08/2022

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

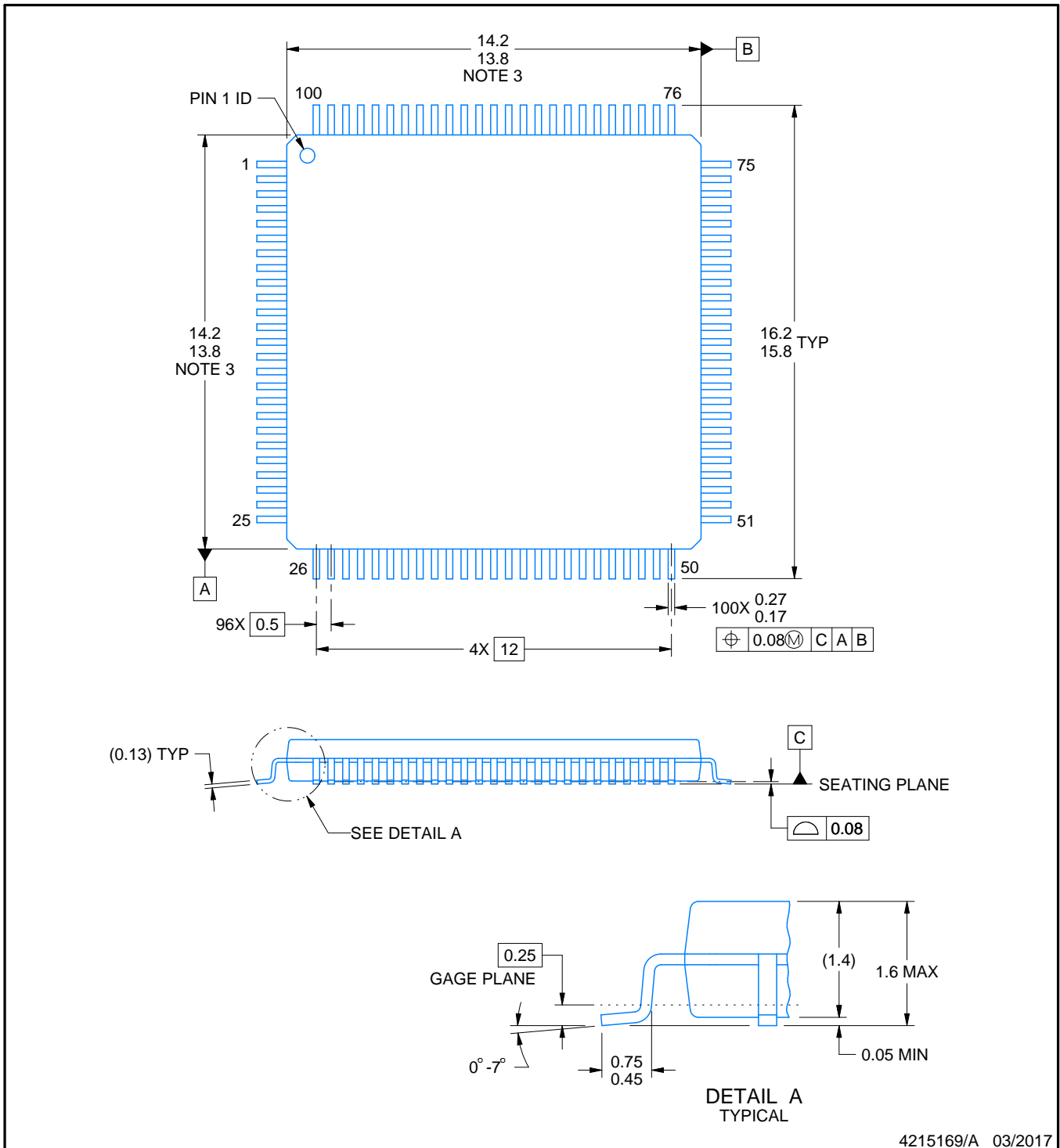


PACKAGE OUTLINE

PZ0100A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



4215169/A 03/2017

NOTES:

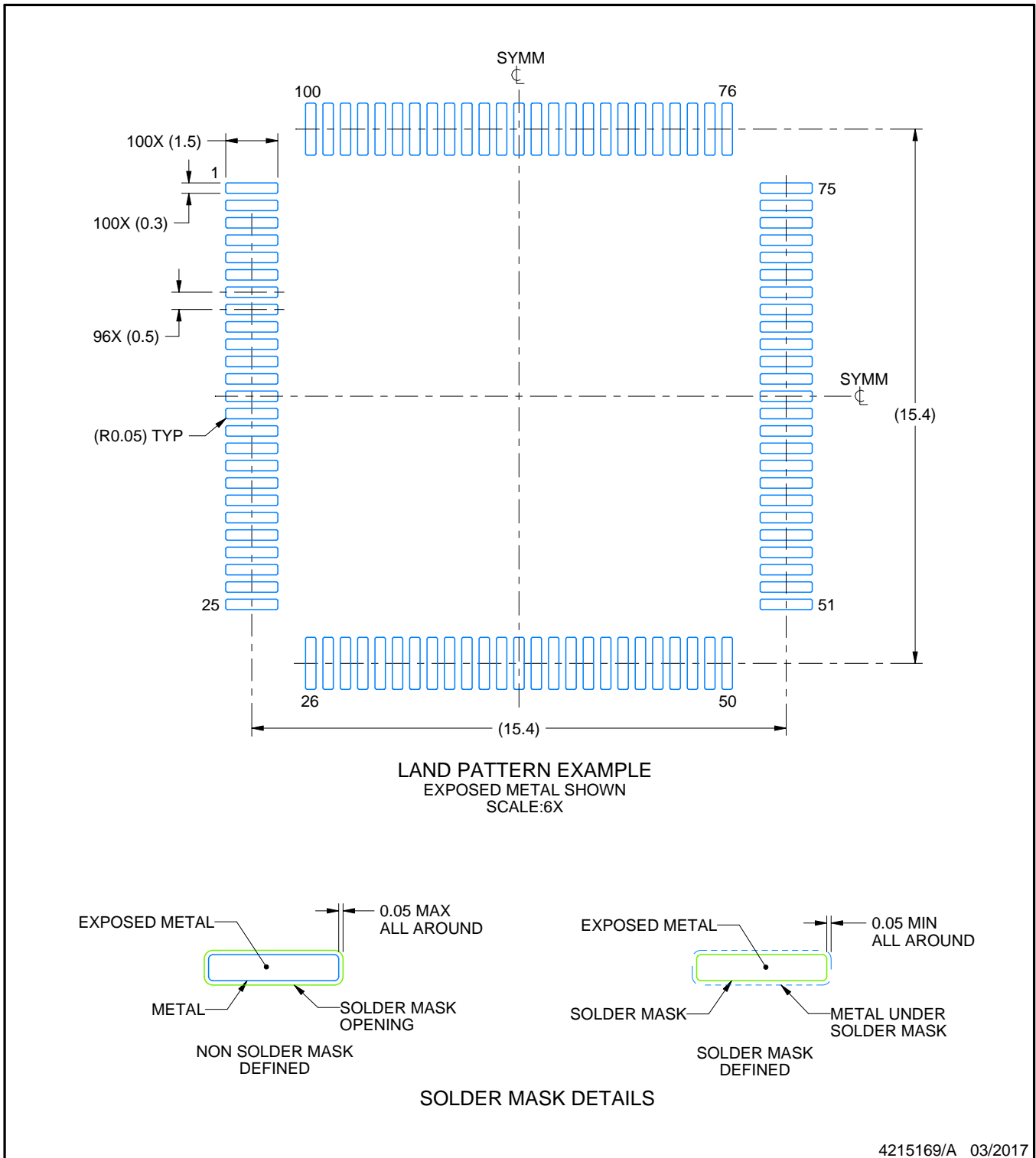
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

PZ0100A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

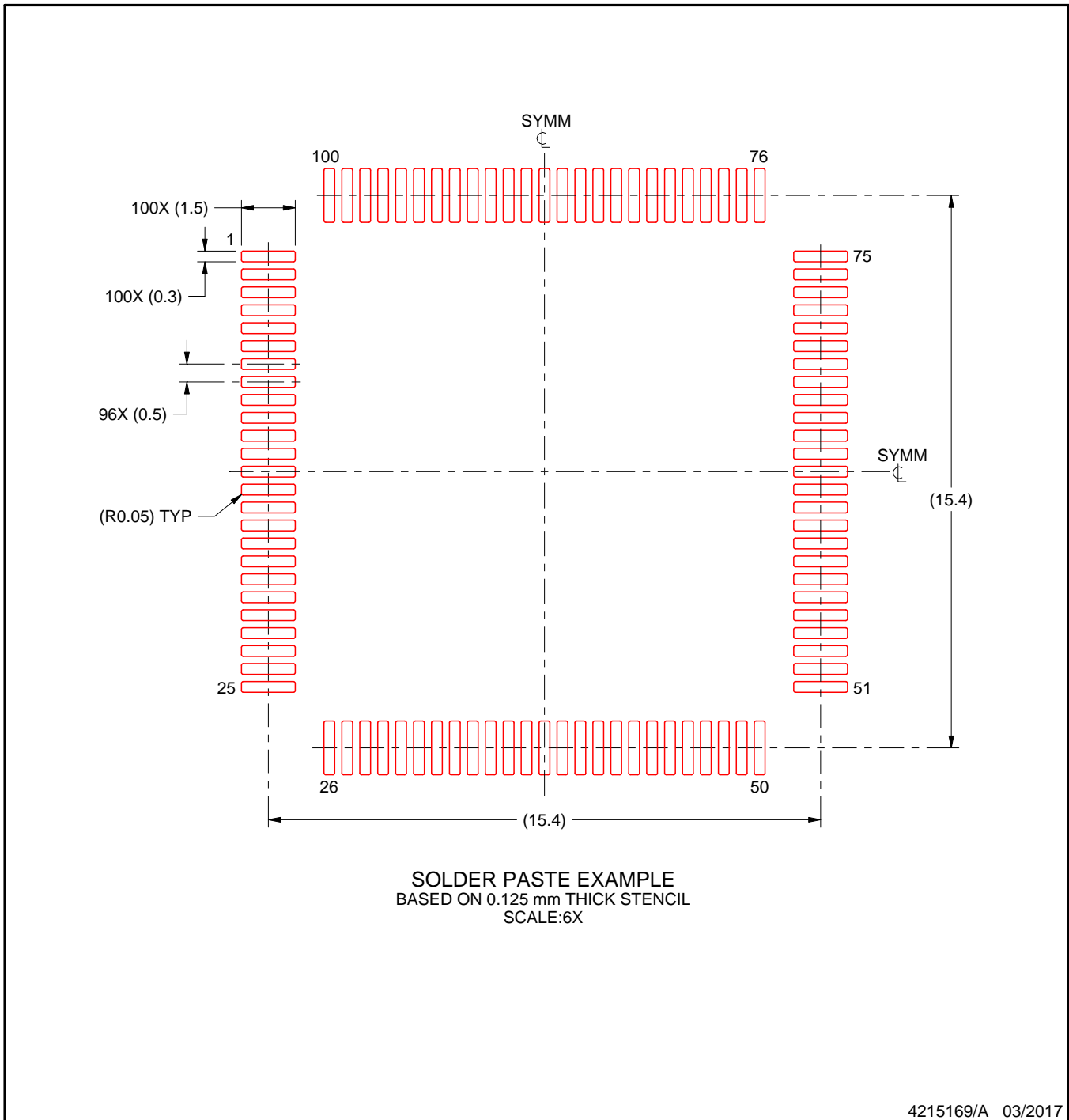
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

EXAMPLE STENCIL DESIGN

PZ0100A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PM0064A



PACKAGE OUTLINE

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

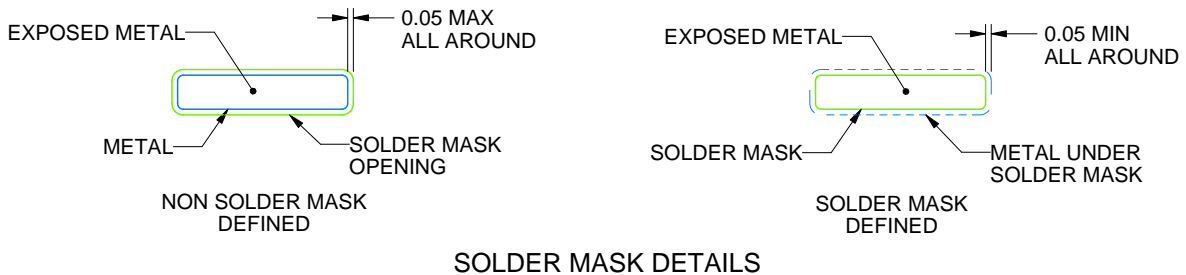
PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4215162/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

EXAMPLE STENCIL DESIGN

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月