

TPD4S480-Q1 USB Type-C® 48V EPR ポートプロテクタ : VBUSへの短絡過電圧 および IEC ESD 保護

1 特長

- 車載アプリケーション用に認定済み
- 下記内容で AEC-Q100 認定済み:
 - デバイス温度グレード 2:-40°C~+105°C の周囲動作温度範囲
- 4 チャネルの V_{BUS} への短絡過電圧保護 (CC1、CC2、SBU1、SBU2): 63V_{DC} 許容
- 4 チャネルの IEC 61000-4-2 ESD 保護 (CC1、CC2、SBU1、SBU2)
- CC1 および CC2 過電圧保護 FET: V_{CONN} 電力用
- CC ピンの ±65V サージ保護
- SBU ピンの +65/-35V サージ保護
- EPR レベル V_{BUS} を分割するためのイネーブルを搭載した内蔵 V_{BUS} 分圧回路
- 外部 EPR ブロッキング FET 制御用の FET ドライバを内蔵
- CC デッドバッテリ抵抗を統合し、デッドバッテリ状況に対応
- 3.5mm × 3.5mm の QFN パッケージ

2 アプリケーション

- 車載用 USB 充電
- 車載メディアハブ
- 車載用ヘッドユニット
- 車載ディスプレイモジュール

3 説明

TPD4S480-Q1 は、シングルチップの USB Type-C ポート保護デバイスであり、48V の V_{BUS} への短絡過電圧および IEC ESD 保護を提供します。

USB Type-C コネクタのリリース以降、USB Type-C 用でありながら、USB Type-C の仕様を満たしていない多くの製品やアクセサリがリリースされました。このような例の 1 つに USB Type-C パワー デリバリ アダプタがありますが、これは V_{BUS} ライン上にしか高電圧を印加しません。USB Type-C に関するもう 1 つの懸念は、小型コネクタのピンが近接して配置されているため、コネクタの機械的なねじれやスライドによりピン間が短絡する可能性があることです。この機械的なねじれやスライドにより、48V V_{BUS} が CC および SBU ピンと短絡する可能性があります。また、Type-C コネクタのピンが近接して配置されているため、破片や湿気により 48V V_{BUS} ピンが CC、SBU、または USB2 ピンと短絡する危険が高まっています。

これらの機械的事象や非標準機器により、CC および他のピンは 5V 以下で動作するにもかかわらず、48V 許容である必要があります。TPD4S480-Q1 は、CC および SBU または USB2 ピンに過電圧保護を提供することで、通常の動作に影響を与えず、これらのピンを 48V 許容にします。このデバイスは、SBU および CC ラインと直列に高電圧 FET を配置します。SBU 通信の代替モードを使用しないシステムでは、TPD4S480-Q1 の SBU ピンを使用して USB2 データラインを保護します。OVP スレッショルドを超える電圧がこれらのラインに検出された場合、高電圧スイッチが開き、システムの他の部分を、コネクタに存在している高電圧の状況から絶縁します。

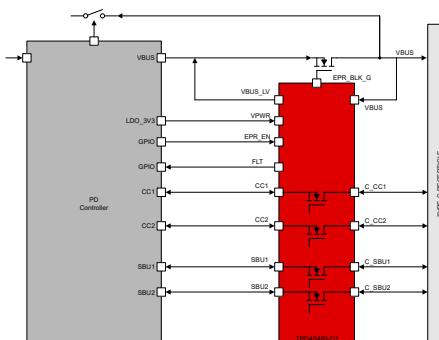
内蔵の V_{BUS} 分圧回路と FET ドライバにより、EPR 動作に適した定格を持たない PD コントローラでも EPR 電圧範囲で安全に動作することができます。GPIO でイネーブルにしたとき、または V_{BUS} が 24V を超えたとき自動的に、TPD4S480-Q1 はオプションの外部ブロッキング FET をディセーブルし、分圧器をイネーブルします。この動作により、20V 定格の PD コントローラが保護されるため、既存の V_{BUS} センス回路を使用できます。

最後に、ほとんどのシステムでは外部ピンについて IEC 61000-4-2 システム レベルの ESD 保護が必要です。TPD4S480-Q1 には、CC1、CC2、SBU1、SBU2 ピンの IEC 61000-4-2 ESD 保護が内蔵されているため、コネクタの外部に高電圧 TVS ダイオードを配置する必要はありません。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)
TPD4S480-Q1	RGR (VQFN, 20)	3.5mm × 3.5mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



CC および SBU の過電圧保護



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6.4 デバイスの機能モード	16
2 アプリケーション	1	7 アプリケーションと実装	17
3 説明	1	7.1 アプリケーション情報	17
4 ピン構成および機能	3	7.2 代表的なアプリケーション	17
5 仕様	5	7.3 設計要件	20
5.1 絶対最大定格	5	7.4 詳細な設計手順	21
5.2 ESD 定格 - JEDEC 仕様	5	7.5 アプリケーション曲線	22
5.3 ESD 定格 - IEC 仕様	5	7.6 電源に関する推奨事項	22
5.4 ESD 定格 - ISO 仕様	5	7.7 レイアウト	22
5.5 推奨動作条件	6	8 デバイスおよびドキュメントのサポート	24
5.6 熱に関する情報	6	8.1 ドキュメントのサポート	24
5.7 電気的特性	6	8.2 ドキュメントの更新通知を受け取る方法	24
5.8 タイミング要件	9	8.3 サポート・リソース	24
5.9 代表的特性	10	8.4 商標	24
6 詳細説明	12	8.5 静電気放電に関する注意事項	24
6.1 概要	12	8.6 用語集	24
6.2 機能ブロック図	12	9 改訂履歴	24
6.3 機能説明	12	10 メカニカル、パッケージ、および注文情報	24

4 ピン構成および機能

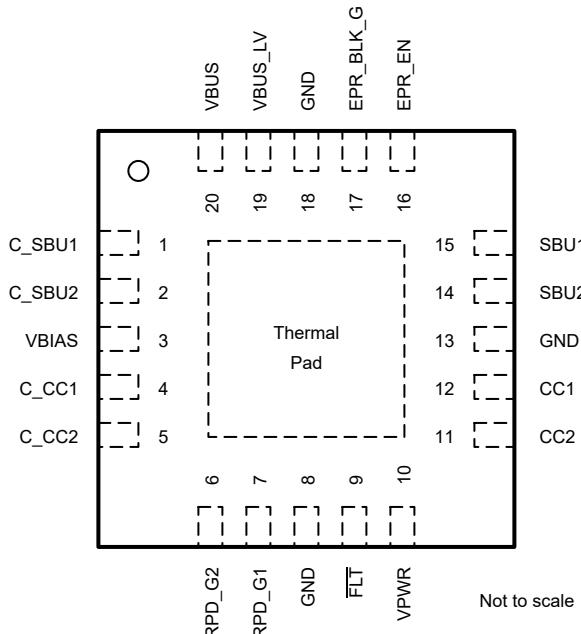


図 4-1. TPD4S480-Q1 RGR パッケージ、20 ピン QFN

表 4-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
番号	名称		
12	CC1	I/O	CC1 OVP FET のシステム側。CC/PD コントローラのいずれかの CC ピンに接続します。
11	CC2	I/O	CC2 OVP FET のシステム側。CC/PD コントローラのいずれかの CC ピンに接続します。
4	C_CC1	I/O	CC1 OVP FET のコネクタ側。USB Type-C コネクタのいずれかの CC ピンに接続します。
5	C_CC2	I/O	CC2 OVP FET のコネクタ側。USB Type-C コネクタのいずれかの CC ピンに接続します。
1	C_SBU1	I/O	SBU1 OVP FET のコネクタ側。USB Type-C コネクタのいずれかの SBU ピンに接続します。または、USB Type-C コネクタのいずれかの USB2.0 ピンに接続して、SBU ピンではなく USB2.0 ピンを保護することもできます。
2	C_SBU2	I/O	SBU2 OVP FET のコネクタ側。USB Type-C コネクタのいずれかの SBU ピンに接続します。または、USB Type-C コネクタのいずれかの USB2.0 ピンに接続して、SBU ピンではなく USB2.0 ピンを保護することもできます。
15	SBU1	I/O	SBU1 OVP FET のシステム側。SBU MUX のいずれかの SBU ピンに接続します。または、SBU ピンの代わりに USB2.0 ピンを保護する場合、USB2.0 PHY のいずれかの USB2.0 ピンに接続します。
14	SBU2	I/O	SBU2 OVP FET のシステム側。SBU MUX のいずれかの SBU ピンに接続します。または、SBU ピンの代わりに USB2.0 ピンを保護する場合、USB2.0 PHY のいずれかの USB2.0 ピンに接続します。
7	RPD_G1	I/O	デッドバッテリ抵抗が必要な場合、C_CC1 に短絡します。デッドバッテリ抵抗が不要な場合、ピンを GND に短絡します。
6	RPD_G2	I/O	デッドバッテリ抵抗が必要な場合、C_CC2 に短絡します。デッドバッテリ抵抗が不要な場合、ピンを GND に短絡します。
9	FLT	O	オープンドレインによる故障報告。

表 4-1. ピンの機能 (続き)

ピン		種類 ⁽¹⁾	説明
番号	名称		
8, 13, 18	GND	GND	グランド
3	VBIAS	P	ESD 対応コンデンサのピン。このピンに $0.1\mu\text{F}$ コンデンサをグランドに接続します。
10	VPWR	P	2.7V~4.5V の電源。
20	VBUS	I	EPR VBUS デバイダの入力。USB-C レセプタクルの VBUS ピンに接続します。
19	VBUS_LV	O	EPR VBUS デバイダの出力。EPR_EN がアサートされると、VBUS_LV は VBUS から分圧されます。EPR_EN が非アサートの場合、VBUS_LV は VBUS と等しくなります。
16	EPR_EN	I	EPR モードイネーブル入力。アサートされると EPR_BLK_G がディセーブルされ、VBUS_LV が VBUS から分圧されます。
17	EPR_BLK_G	O	オプションの VBUS ブロッキング FET へのゲートドライバ出力。FET は、SPR モードでイネーブルされ、EPR モードでディセーブルされます。
-	サーマル パッド	GND	GND に内部接続します。ヒートシンクとして使用されます。PCB GND プレーンに接続します

(1) I = 入力、O = 出力、I/O = 入力および出力、GND = グランド、P = 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

			最小値	最大値	単位
V_I	入力電圧	EPR_EN	-0.3	3.6	V
V_I	入力電圧	VPWR	-0.3	5	V
		RPD_G1, RPD_G2	-0.3	63	V
V_I	入力電圧	VBUS (VPWR = 0V)	-0.3	24	V
V_I	入力電圧	VBUS (VPWR > 2.7V)	-0.3	63	V
V_o	出力電圧	FLT	-0.3	6	V
		VBIAS	-0.3	63	V
V_o	出力電圧	VBUS_LV	-0.3	24	V
V_o	出力電圧	EPR_BLK_G	-0.3	30	V
V_{IO}	I/O 電圧	CC1, CC2, SBU1, SBU2	-0.3	6	V
		C_CC1, C_CC2, C_SBU1, C_SBU2	-0.3	63	V
t_{rise}	入力電圧立ち上がり時間 ($V_I > 36V$)	CC1, CC2, SBU1, SBU2	400		ns
T_J	動作時接合部温度		-40	125	°C
T_{stg}	保存温度		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格 - JEDEC 仕様

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠	±2000	V
$V_{(ESD)}$	静電放電	デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠	デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠	±500	V

5.3 ESD 定格 - IEC 仕様

				値	単位
$V_{(ESD)}$	静電放電	IEC 61000-4-2 (C_CC1, C_CC2)	接触放電	±8000	V
$V_{(ESD)}$	静電放電	IEC 61000-4-2 (C_CC1, C_CC2)	空中放電	±15000	V
$V_{(ESD)}$	静電放電	IEC 61000-4-2 (C_SBU1, C_SBU2)	接触放電	±8000	V
$V_{(ESD)}$	静電放電	IEC 61000-4-2 (C_SBU1, C_SBU2)	空中放電	±15000	V
$V_{(サージ)}$	雷およびサージ	IEC 61000-4-5 (C_CC1, C_CC2)	IEC 61000-4-5 (C_CC1, C_CC2)	±65	V
$V_{(サージ)}$	雷およびサージ	IEC 61000-4-5 (C_SBU1, C_SBU2)	IEC 61000-4-5 (C_SBU1, C_SBU2)	+65/-35	V

5.4 ESD 定格 - ISO 仕様

				値	単位
$V_{(ESD)}$	静電放電	ISO 10605 (330pF, 330Ω, C_CC1, C_CC2)	接触放電	±8000	V
$V_{(ESD)}$	静電放電	ISO 10605 (330pF, 330Ω, C_CC1, C_CC2)	空中放電	±15000	V
$V_{(ESD)}$	静電放電	ISO 10605 (330pF, 330Ω, C_SBU1, C_SBU2)	接触放電	±8000	V

5.4 ESD 定格 - ISO 仕様 (続き)

			値	単位
$V_{(ESD)}$	静電放電	ISO 10605 (330pF, 330Ω, C_SBU1, C_SBU2)	空中放電	±15000 V

5.5 推奨動作条件

			最小値	公称値	最大値	単位
V_I	入力電圧	VPWR	2.7	3.3	4.5	V
V_I	入力電圧	RPD_G1, RPD_G2	0		5.5	V
V_I	入力電圧	EPR_EN	0		VPWR	V
V_I	入力電圧	VBUS	0		51	V
V_O	出力電圧	FLT ブルアップ抵抗電源レール	2.7		5.5	V
V_{IO}	I/O 電圧	CC1, CC2, C_CC1, C_CC2	0		5.5	V
		SBU1, SBU2, C_SBU1, C_SBU2	0		4.3	V
I_{VCONN}	V_{CONN} 電流	CC1/2 に流入し、C_CC1/2 から流出する電流、 $T_J \leq 105^\circ\text{C}$		600		mA
I_{VCONN}	V_{CONN} 電流	CC1/2 に流入し、C_CC1/2 から流出する電流、 $T_J \leq 85^\circ\text{C}$		1.25		A
T_J	動作時の接合部温度		-40		125	°C
外付け部品 ⁽¹⁾	外付け部品 ⁽¹⁾	FLT ブルアップ抵抗	1.7	300		kΩ
		VBIAS コンデンサ容量 ⁽²⁾	0.04	0.1		μF
		VPWR 容量	0.3	1		μF
		VBUS_LV コンデンサ容量		0.1		μF

- (1) コンデンサおよび抵抗の推奨値では、標準値は基板上でピンの近傍に部品が配置されていることを想定します。記載された最小値および最大値には、製造公差、電圧ディレーティング、基板コンデンサ容量、温度変化が含まれます。提示された有効値は、表に記載された最小値および最大値の範囲内である必要があります。
- (2) VBIAS ピンには、最小 63VDC 定格コンデンサが必要です。コンデンサ容量のディレーティングを低減するため、100VDC 定格コンデンサを推奨します。
- VBIAS コンデンサの選択の詳細については、「VBIAS コンデンサの選択」を参照してください。

5.6 熱に関する情報

熱評価基準 ⁽¹⁾		デバイス	単位
		QFN	
		20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	43.2	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース(上面)への熱抵抗	43.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	18.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	19.0	°C/W
$R_{\theta JC(\text{bot})}$	接合部からケース(底面)への熱抵抗	5.3	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.7 電気的特性

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
CC OVP スイッチ					
R_{ON}	CC OVP FET のオン抵抗	CCx = 5.5V, $T_J \leq 85^\circ\text{C}$	272	420	mΩ

5.7 電気的特性 (続き)

接合部動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
C_{ON_CC}	等価オンキャパシタンス	デバイスに電力が供給されているとき、 CC_x または C_{CCx} から GND へのキャパシタンス。 $V_{C_CCx}/V_{CCx} = 0V$ から $1.2V$ 、 $f = 400kHz$ で測定します。	40	74	120	pF
RD_DB	デッドバッテリープルダウン抵抗 (デバイスの電源がオフのときのみ存在)	$V_{C_CCx} = 2.6V$	4.1	5.1	6.1	k Ω
VTH_DB	デッドバッテリ中に RD と直列に接続されたプルダウン FET の閾値電圧	$I_{C_CCx} = 80\mu A$	0.5	0.9	1.2	V
V_{OVPCC}	CC ピンの OVP 閾値	C_{CCx} に $5.5V$ を印加します。FLT ピンがアサートされるまで、 C_{CCx} を昇圧します。 $100mA$ 負荷を CC FET に接続し、FET がシャットオフすることを確認します。	5.6	5.9	6.2	V
V_{OVPCC_HYS}	CC OVP のヒステリシス	C_{CCx} に $6.5V$ を印加します。FLT ピンがディスアサートされるまで、 C_{CCx} の電圧を降圧します。 C_{CCx} の立ち上がり OVP 閾値と立ち下がり OVP 閾値の差を測定します。		50		mV
BW_{ON}	シングルエンドのオン帯域幅 (-3dB)	C_{CCx} から CC_x までの $-3dB$ 帯域幅を測定します。 $1.2V$ 。 シングルエンド測定、 50Ω システム。 $V_{cm} = 0.1V$ から		125		MHz
V_{STBUS_CC}	CC ピンの VBUS への短絡耐性	1 メートルの USB Type C ケーブルを使用して C_{CCx} をホットプラグし、 CC_x に 30Ω の負荷を配置します		51		V
$V_{STBUS_CC_CLAMP}$	CC ピン (CC_x) の VBUS への短絡システム側クランプ電圧	1 メートルの USB Type C ケーブルを使用して C_{CCx} をホットプラグします。 ホットプラグ電圧 $C_{CCx} = 51V$ 。 $VPWR = 3.3V$ 。 CC_x に 30Ω の負荷を配置します。		7		V
SBU OVP スイッチ						
R_{ON}	SBU OVP FET のオン抵抗	$SB_{UX} = 3.6V$ 、 $-40^\circ C \leq TJ \leq +85^\circ C$	4	6.8		Ω
C_{ON_SBU}	等価オンキャパシタンス	デバイスに電力が供給されているとき、 SB_{UX} または $C_{SB_{UX}}$ から GND へのキャパシタンス。 $V_{C_SB_{UX}}/V_{SB_{UX}} = 0.3V$ から $4.0V$ で測定します。	6			pF
$V_{OVP_{SBU}}$	SBU ピンの OVP 閾値	$C_{SB_{UX}}$ に $3.6V$ を印加します。FLT ピンがアサートされるまで、 $C_{SB_{UX}}$ を昇圧します。	4.0	4.2	4.41	V
$V_{OVP_{SBU_HYS}}$	SBU OVP のヒステリシス	C_{CCx} に $5V$ を印加します。FLT ピンがディスアサートされるまで、 C_{CCx} の電圧を降圧します。 $C_{SB_{UX}}$ の立ち上がり OVP 閾値と立ち下がり OVP 閾値の差を測定します。		50		mV
BW_{ON}	シングルエンドのオン帯域幅 (-3dB)	$C_{SB_{UX}}$ から SB_{UX} までの $-3dB$ 帯域幅を測定します。シングルエンド測定、 50Ω システム。 $V_{cm} = 0.1V$ から $3.6V$ 。	600	760		MHz
X_{TALK}	クロストーク	SB_{U1} から $C_{SB_{U2}}$ 、または SB_{U2} から $C_{SB_{U1}}$ まで、 $f = 1MHz$ でクロストークを測定します。 $V_{cm1} = 3.6V$ 、 $V_{cm2} = 0.3V$ 。オープン側を 50Ω に終端します。		-70		dB

5.7 電気的特性 (続き)

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位		
V_{STBUS_SBU}	SBU ピンの VBUS への短絡耐性	1 メートルの USB Type C ケーブルを使用して $C_{_SBUX}$ をホットプラグします。 $SBUX$ の GND との間に、 40Ω の抵抗と直列に $100nF$ のキャパシタを配置します。		51	V		
$V_{STBUS_SBU_CLAMP}$	SBU ピン ($SBUX$) の VBUS への短絡システム側クランプ電圧	1 メートルの USB Type C ケーブルを使用して $C_{_SBUX}$ をホットプラグします。ホットプラグ電圧 $C_{_SBUX} = 51V$ 。 $VPWR = 3.3V$ 。 $SBUX$ 上の GND との間に、 40Ω の抵抗と直列に $150nF$ のキャパシタを配置します。		7	V		
EPR アダプタ							
$VBUS_DIV_SPR$	$VBUS_LV$ と VBUS の分圧比、SPR モード	$VBUS_LV/VBUS$ 、 $EPR_EN = 0$ 、 $VBUS = 4.5$ から $21V$ 、 $I_{_VBUS_LV} = 0$ から $20mA$		1	V/V		
$VBUS_DIV_EPR$	$VBUS_LV$ と VBUS の分圧比、EPR モード	$VBUS_LV/VBUS$ 、 $EPR_EN = 1$ 、 $VBUS = 26.6\sim50.4V$ 、 $I_{_VBUS_LV} = 0\sim20mA$		0.42	V/V		
$I_{_VBUSLV}$	$VBUS_LV$ からの電流			20	mA		
$VFWD_VBUSLV$	$VBUS$ から $VBUS_LV$ への順方向電圧降下	$I_{_VBUS_LV} = 20mA$ 、 $VBUS = 4.5V$ 、 $EPR_EN = 0$		700	mV		
$VFWD_VBUSLV$	$VBUS$ から $VBUS_LV$ への順方向電圧降下	$I_{_VBUS_LV} = 20mA$ 、 $VBUS = 26V$ 、 $EPR_EN = 1$		2000	mV		
EPR_THRESH_R	自動 EPR 閾値の立ち上がり VBUS 閾値			22.7	V		
EPR_THRESH_F	自動 EPR 閾値の立ち下がり VBUS 閾値			22.4	23.4	V	
$V_{EPR_BLK_G}$	EPR_BLK_G のゲート駆動電圧	$0 \leq VBUS \leq 22V$		5	12	V	
$I_{EPR_BLK_G}$	ゲートドライバのソース電流	$0 \leq V_{EPR_BLK_G} - V_{VBUS} \leq 5V$ 、 $0V \leq V_{VBUS} \leq 22V$ 、 $I_{EPR_BLK_G}$ を測定します		4	μA		
EPR_EN_V+	EPR_EN 立ち上がり閾値				0.7* $VPWR$	V	
EPR_EN_V-	EPR_EN 立ち下がり閾値				0.3* $VPWR$	V	
電源電流とリーク電流							
V_{PWR_UVLO}	V_{PWR} 低電圧ロックアウト	SBU または CC FET がオンになるまで、 $VPWR$ に $1V$ を印加し、電圧を昇圧します。		2.1	2.3	2.6	V
$V_{PWR_UVLO_HYS}$	V_{PWR} UVLO のヒステリシス	SBU または CC FET がオフになるまで、 $VPWR$ に $3V$ を印加し、電圧を降圧します。立ち上がり UVLO と立ち下がり UVLO の差を測定し、ヒステリシスを計算します。		70	100	130	mV
I_{VPWR}	V_{PWR} の電源電流	$VPWR = 3.3V$ (標準)、 $VPWR = 4.5V$ (最大)、 $-40^{\circ}C \leq T_J \leq +85^{\circ}C$		112	160	μA	
$I_{C_CC_LEAK}$	デバイスに電力が供給されているときの $C_{_CCx}$ ピンのリーク電流	$VPWR = 3.3V$ 、 $V_{C_CCx} = 3.6V$ 、 CCx ピンがフローティング状態で、 $C_{_CCx}$ ピンへのリーク電流を測定します。			5	μA	
$I_{C_SBU_LEAK}$	デバイスに電力が供給されているときの $C_{_SBUX}$ ピンのリーク電流	$VPWR = 3.3V$ 、 $V_{C_SBUX} = 3.6V$ 、 $SBUX$ ピンがフローティング状態で、 $C_{_SBUX}$ ピンへのリーク電流を測定します。 $SBUX$ 側がバイアスされ、 $C_{_SBUX}$ がフローティング状態のままの場合、結果は同じになります。 $-40^{\circ}C \leq T_J \leq +85^{\circ}C$			3.2	μA	
$I_{C_CC_LEAK_OVP}$	デバイスが OVP 状態のときの $C_{_CCx}$ ピンのリーク電流	$VPWR = 0V$ または $3.3V$ 、 $V_{C_CCx} = 51V$ 、 CCx ピンを $0V$ に設定し、 $C_{_CCx}$ ピンへのリーク電流を測定します。			1200	μA	
$I_{C_SBU_LEAK_OVP}$	デバイスが OVP 状態のときの $C_{_SBUX}$ ピンのリーク電流	$VPWR = 0V$ または $3.3V$ 、 $V_{C_SBUX} = 51V$ 、 $SBUX$ ピンを $0V$ に設定し、 $C_{_SBUX}$ ピンへのリーク電流を測定します。			720	μA	

5.7 電気的特性 (続き)

接合部動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{CC_LEAK_OVP}$	デバイスが OVP 状態のときの CC ピンのリーク電流	$VPWR = 0V$ または $3.3V$, $V_{C_CCx} = 51V$ 、 CCx ピンを $0V$ に設定し、 CCx ピンから流れ出るリーク電流を測定します。			30	μA
$I_{SBU_LEAK_OVP}$	デバイスが OVP 状態のときの SBU ピンのリーク電流	$VPWR = 0V$, $V_{C_SBUX} = 51V$, $SBUX$ ピンを $0V$ に設定し、 $SBUX$ ピンへのリーク電流を測定します。	-1		1	μA
/FLT ピン						
V_{OL}	Low レベル出力電圧	$I_{OL} = 3mA$, \overline{FLT} ピンの電圧を測定します。			0.4	V
過熱保護機能						
T_{SD_RISING}	過熱保護の立ち上がりシャットダウン閾値		150	175		°C
$T_{SD_FALLING}$	過熱保護の立ち下がりシャットダウン閾値		130	140		°C
T_{SD_HYST}	過熱保護シャットダウン閾値のヒステリシス			35		°C

5.8 タイミング要件

		最小値	公称値	最大値	単位
電源オンおよび電源オフのタイミング					
t_{ON_FET}	$VPWR$ UVLO の立ち上がりクロスから CC および SBU OVP FET がオンになるまでの時間。		1.3	3.5	ms
$t_{ON_FET_DB}$	$VPWR$ UVLO の立ち上がりクロスから CC および SBU OVP FET がオンになり、デッドバッテリ抵抗がオフになるまでの時間。		5.7	9.5	ms
dV_{PWR_OFF}/dt	電源オフ時に CC および FET をオフに指定できる最小スルーレート。	-0.5			V/ μ s
過電圧保護					
$t_{OVP_RESPONSE_CC}$	CCx ピンでの OVP 応答時間。OVP がアサートされてから OVP FET がオフになるまでの時間。		70		ns
$t_{OVP_RESPONSE_SBU}$	SBUX ピンでの OVP 応答時間。OVP がアサートされてから OVP FET がオフになるまでの時間。		80		ns
$t_{OVP_RECOVERY_CC}$	CCx ピンでの OVP 復帰時間。OVP が発生した後、CC FET が再びオンになるまでの最小時間。CC FET を取り外して再びオンにします。		0.93	2.3	ms
$t_{OVP_RECOVERY_CC_DB}$	CCx ピンでの OVP 復帰時間。OVP が発生した後、CC FET が再びオンになり、デッドバッテリ抵抗がオフになるまでの最小時間。CC FET を取り外して再びオンにします。		5		ms
$t_{OVP_RECOVERY_SBU}$	SBUX ピンでの OVP 復帰時間。OVP が発生した後、SBU FET が再びオンになるまでの最小時間。SBU FET を取り外して再びオンにします。		0.62		ms
$t_{OVP_FLT_ASSERTION}$	OVP がアサートされてから \overline{FLT} ピンがアサートされるまでの時間。 \overline{FLT} のアサートは最大値の 10% です。 C_{CCx} または C_{SBUX} を最大 OVP スレッショルドを超えるように設定します。標準 OVP スレッショルド値を超える時間を開始します。		20		μ s
$t_{OVP_FLT_DEASSERTION}$	OVP 後の CC FET ターンオンか \overline{FLT} ピンのデアサートまでの時間。		5		ms

5.9 代表的特性

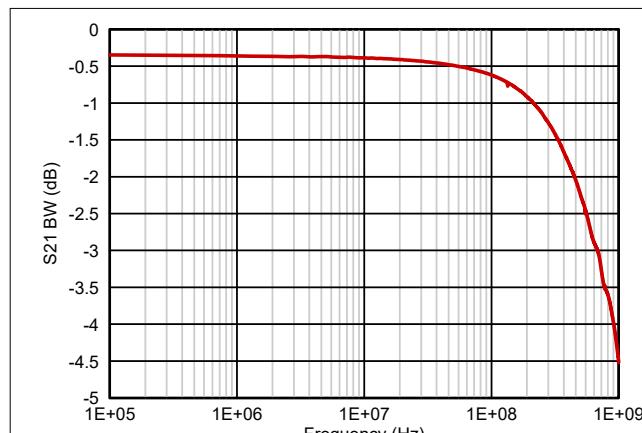


図 5-1. SBU 帯域幅

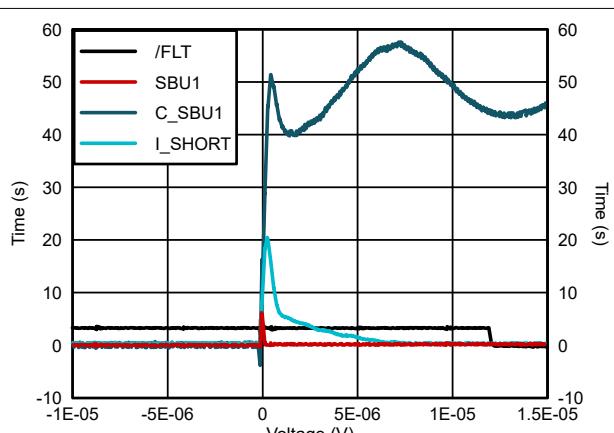
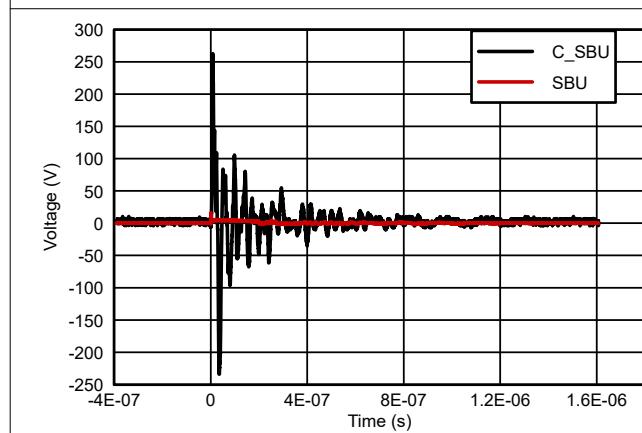
図 5-2. SBU の V_{BUS} 短絡保護 48V

図 5-3. SBU IEC 61000-4-2 4kV 応答波形

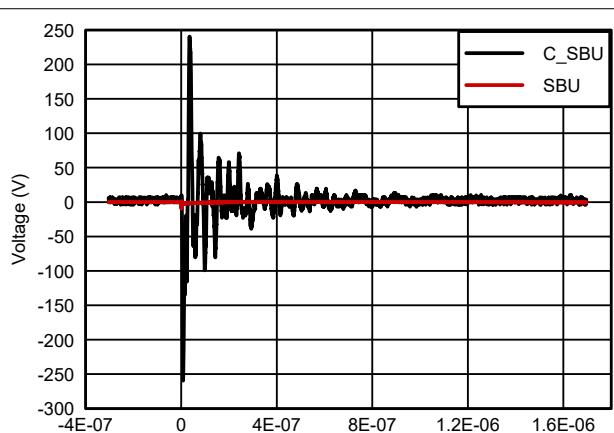


図 5-4. SBU IEC 61000-4-2 -4kV 応答波形

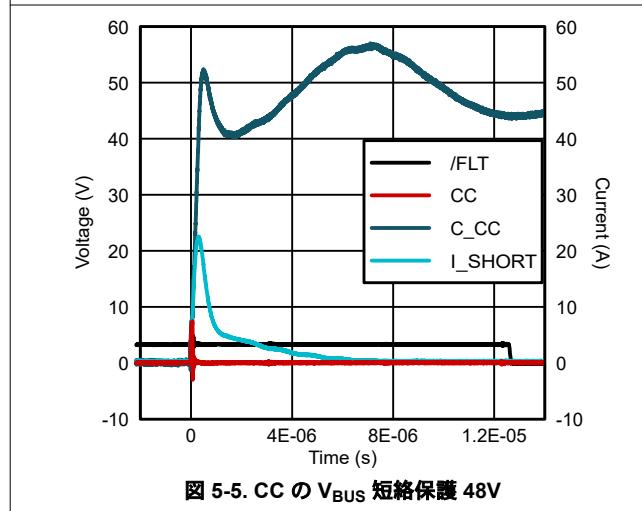
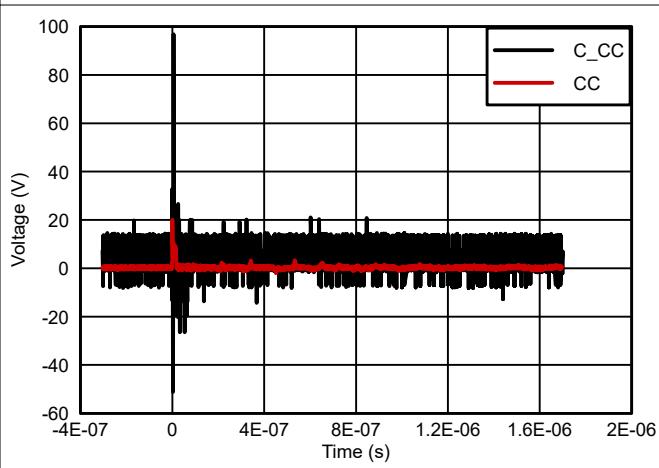
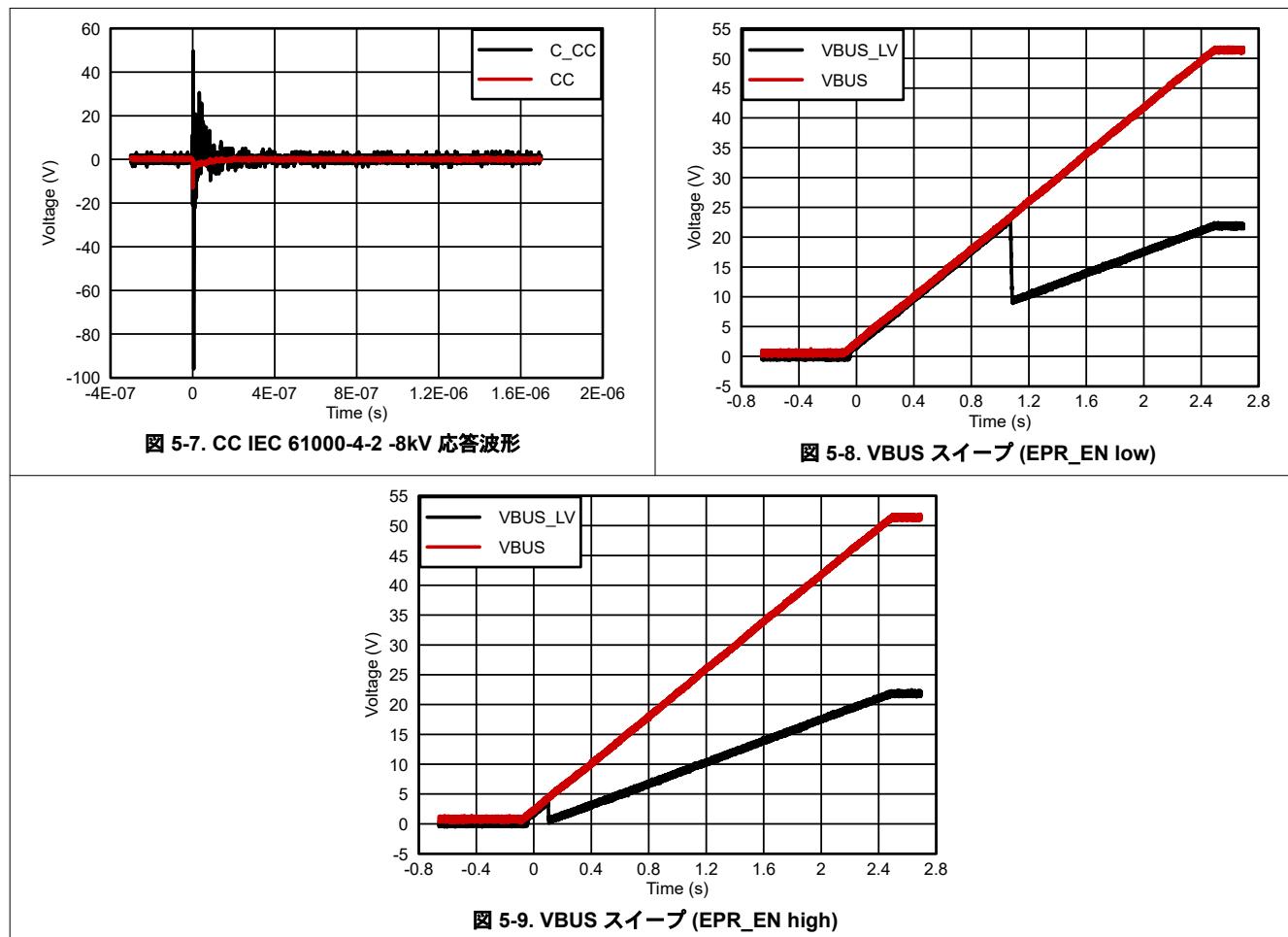
図 5-5. CC の V_{BUS} 短絡保護 48V

図 5-6. CC IEC 61000-4-2 8kV 応答波形

5.9 代表的特性 (続き)



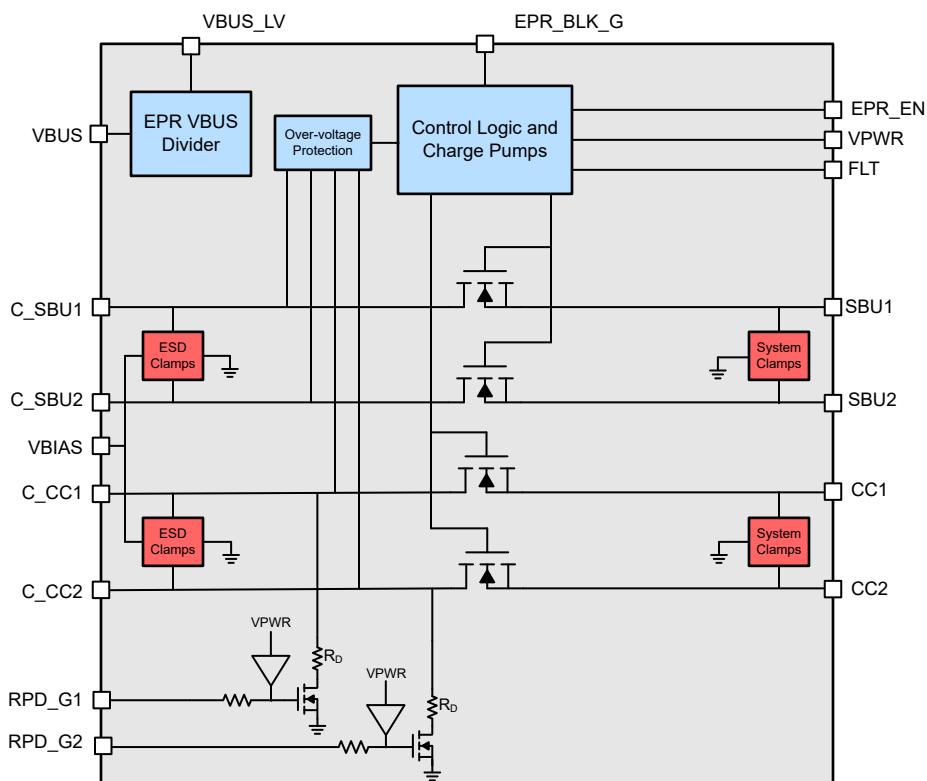
6 詳細説明

6.1 概要

TPD4S480-Q1 は、シングルチップの USB Type-C ポート保護デバイスであり、48V V_{BUS} 短絡過電圧保護および ESD 保護を提供します。USB Type-C コネクタのピンピッチが小さいこと、および非準拠の USB Type-C ケーブルやアクセサリにより、 V_{BUS} ピンが USB Type-C コネクタ内の CC および SBU ピンに短絡します。この V_{BUS} 短絡イベントにより、USB PD-EPR 全電圧範囲の保護をサポートするため、CC および SBU ピンは 48V 許容である必要があります。TPD4S480-Q1 は、USB Type-C コネクタの CC1、CC2、SBU1、SBU2 ピン用の 48V V_{BUS} 短絡過電圧保護の 4 チャネルを統合しています。

さらに、最終製品ユーザーが生成する ESD 衝撃から USB Type-C ポートを保護するには、IEC 61000-4-2 システムレベル ESD 保護が必要です。TPD4S480-Q1 は、USB Type-C コネクタの CC1、CC2、SBU1、SBU2 ピン用の IEC 61000-4-2 ESD 保護の 4 チャネルを統合し、USB Type-C コネクタの全低速ピンを保護します。また、CC および SBU ラインが ESD 保護および V_{BUS} 短絡保護を同時にサポートするには、55V DC 許容の高電圧 ESD 保護が必要です。TPD4S480-Q1 は、デバイス内部の過電圧保護 FET と連携して動作するよう設計された高電圧 ESD ダイオードを統合しています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 4 チャネルの V_{BUS} への短絡過電圧保護(CC1、CC2、SBU1、SBU2 ピンまたは CC1、CC2、DP、DM ピン) : 63V_{DC} 許容

TPD4S480-Q1 は、USB Type-C コネクタの CC1、CC2、SBU1、SBU2 ピン (または CC1、CC2、DP、DM ピン)に対し、4 チャネルの V_{BUS} への短絡過電圧保護を提供します。TPD4S480-Q1 は、C_CC1、C_CC2、C_SBU1、C_SBU2 ピンで 63V_{DC} を処理できます。USB PD 仕様に従って、48-V 動作に V_{BUS} が設定されている場合、異なる USB PD V_{BUS} 電圧からの電圧遷移で、 V_{BUS} 電圧が正しく 50.4V および 50.9V までスイングできるため、このレベル保護が必要

になります。短絡イベント時に発生する可能性のあるリンクギングをサポートするため、TPD4S480-Q1 は 50.9V 仕様を超えるマージンを確保し、最大 V_{BUS} を許容するよう設計されています。

V_{BUS} への短絡イベントが発生すると、ホットプラグイベントの RLC 素子によりリンクギングが発生します。RLC 回路の抵抗が低い場合、コネクタに最大 2 倍のセトリング電圧のリンクギングが現れます。 V_{BUS} への短絡イベント中に、ライン上のコンデンサのいずれかが容量値をディレーティングすると、DC レベルの 2 倍以上のリンクギングが発生します。この動作は、 V_{BUS} への短絡イベント時に、USB Type-C ピンに 90V 超の電圧が検出されることを意味します。TPD4S480-Q1 には、このリンクギングを処理する回路保護機能が内蔵されています。IEC ESD 保護に使用されるダイオードクランプは、 V_{BUS} への短絡イベント時にリンクギング電圧もクランプし、ピークリンギングを約 53V に制限します。さらに、TPD4S480-Q1 に内蔵された過電圧保護 FET は 63V 許容であり、 V_{BUS} への短絡イベント時に発生する高電圧リンクギング波形をサポートできます。TPD4S480-Q1 は、電圧クランプと 63V 許容の OVP FET の適切な設計により、最大 51V_{DC} のホットプラグ電圧による V_{BUS} への短絡ホットプラグイベントに対応します。

TPD4S480-Q1 はターンオフ時間が標準 70ns で非常に高速です。さらに、TPD4S480-Q1 のシステム側 (CC1、CC2、SBU1、SBU2) ピンの OVP FET の後に追加の電圧クランプが配置され、OVP FET がオフになる 70ns 間隔中に USB Type-C CC/PD コントローラに露出する電圧および電流をさらに制限します。コネクタ側の電圧クランプ、非常に高速なターンオフ時間の OVP FET、システム側の電圧クランプの組み合わせは連携して動作し、 V_{BUS} への短絡イベント時に CC1、CC2、SBU1、SBU2 ピンに発生するストレスのレベルを HBM イベント以下に抑えます。

SBU OVP FET は、SBU ピンの代わりに DP、DM (USB2.0) ピンをオプションで保護できるように設計されています。一部のシステム設計者は、コネクタ内の水分や水が V_{BUS} ピンから DP、DM ピンに短絡する可能性があるため、DP、DM ピンを V_{BUS} への短絡イベントから保護することを好みます。この保護機能は、USB Type-C コネクタを搭載した最終製品を防水にする場合に適用されます。USB Type-C コネクタの DP、DM ピンを V_{BUS} への短絡イベントから保護する場合、C_SBUx ピンを USB Type-C コネクタの DP、DM ピンに接続し、SBUx ピンを V_{BUS} への短絡イベントから保護されるシステムデバイスの USB2.0 ピンに接続します。

6.3.2.4 チャネルの IEC 61000-4-2 ESD 保護 (CC1、CC2、SBU1、SBU2 ピン)

TPD4S480-Q1 は、CC1、CC2、SBU1、SBU2 ピン用の 4 チャネルの IEC 61000-4-2 システムレベル ESD 保護を統合しています。エンド製品の USB Type-C ポートには、コネクタがエンドユーザーから受けられる可能性のある ESD イベントを適切に保護するため、システムレベル IEC ESD 保護が必要です。TPD4S480-Q1 は、USB Type-C コネクタの全低速ピン用の IEC ESD 保護をシングルチップで統合しています。なお、RPD_Gx ピンは個別に IEC ESD 定格を持ちませんが、C_CCx ピンに短絡している場合、C_CCx ピンが C_CCx ピンおよび RPD_Gx ピンの両方を保護します。また、IEC ESD および V_{BUS} 短絡保護を同時にサポートするには、CC および SBU ラインに 63V DC 耐圧の高電圧 IEC ESD 保護が必要です。このような保護を提供できるディスクリート市場ソリューションは多くありません。TPD4S480-Q1 はこのタイプの高電圧 ESD 保護を統合しており、システム設計者が IEC ESD および V_{BUS} 短絡保護の両方の要件を单一のデバイスで満たすことができます。

6.3.3 CC1、CC2 過電圧保護 FET : VCONN 電力を供給する 600mA 対応

USB Type-C コネクタの CC ピンは複数の機能を果たします。その 1 つは、アクティブケーブルへの電力供給です。 V_{BUS} ラインで 3A 超の電流を流す場合、または USB Type-C ポートがスーパースピードライン (TX1+、TX2-、RX1+、RX1-、TX2+、TX2-、RX2+、RX2-) を使用する場合、アクティブケーブルが必要です。CC が電力供給に構成されている場合、VCONN と呼ばれます。VCONN は 3V~5.5V の範囲の DC 電圧源です。VCONN をサポートする場合、VCONN プロバイダがケーブルに 1.5W の電力を供給できる能力を有効にします。これは、VCONN 電圧レベルに応じて 273mA~500mA の電流範囲に対応します。

USB Type-C ポートが VCONN 用に構成され、TPD4S480-Q1 を使用している場合、この VCONN 電流は TPD4S480-Q1 の OVP FET を流れます。したがって、TPD4S480-Q1 はこれらの電流を処理するよう設計されており、アクティブケーブルに仕様準拠の VCONN 電圧を供給するのに十分低い RON を備えています。

6.3.4 CC デッドバッテリ抵抗を内蔵し、モバイルデバイスのデッドバッテリ状況に対応

USB Type-C および USB PD の重要な機能の 1 つは、このコネクタをモバイルデバイスの唯一の電源として使用できること。USB PD をサポートする USB Type-C コネクタは、最大 240W をサポートし、従来の USB コネクタでは実現できなかつた新しいモバイルデバイスに電力を供給します。

USB Type-C コネクタがバッテリ駆動デバイスの唯一の電源である場合、バッテリが枯渇していても USB Type-C コネクタからデバイスを充電できるようにします。USB Type-C 電源アダプタが V_{BUS} に電力を供給するには、CC ピンに RD プルダウン抵抗を接続します。これらの RD 抵抗は通常、USB Type-C CC/PD コントローラに内蔵されています。ただし、TPD4S480-Q1 を使用して USB Type-C ポートを保護する場合、デバイス内部の OVP FET は、モバイルデバイスに電力が供給されていないとき、CC/PD コントローラのこれらの RD 抵抗を絶縁します。TPD4S480-Q1 に電源が供給されていない場合、OVP FET がオフになり、デッドバッテリ状態で過電圧保護を提供します。そのため、TPD4S480-Q1 は高電圧デッドバッテリ RD プルダウン抵抗を内蔵し、高電圧 OVP 保護と同時にデッドバッテリ充電を可能にします。

デッドバッテリ対応が必要な場合、**RPD_G1** ピンを **C_CC1** ピンに短絡し、**RPD_G2** ピンを **C_CC2** ピンに短絡します。この短絡により、デッドバッテリ抵抗をコネクタの CC ピンに接続します。TPD4S480-Q1 が未電源で、電源アダプタから RP プルアップ抵抗が接続されている場合、この RP プルアップ抵抗が TPD4S480-Q1 内部の RD 抵抗をアクティブにし、デッドバッテリ状態でも電源アダプタから V_{BUS} を印加します。電源がシステムおよび TPD4S480-Q1 の VPWR ピンに復帰すると、TPD4S480-Q1 は 3.5ms 以内に OVP FET をオンにし、デッドバッテリ RD をオフにします。TPD4S480-Q1 は最初に CC OVP FET を完全にオンにし、次にデッドバッテリ RD を除去し、PD コントローラの RD が完全に接続されることを確認してから、TPD4S480-Q1 の RD を除去します。

デッドバッテリモード中に CC/PD コントローラに電源を供給する場合、かつ CC/PD コントローラが DRP として構成されている場合、TPD4S480-Q1 は CC/PD コントローラに電源を供給する前または同時に電源を供給することが重要です。また、未電源の場合、CC/PD コントローラもデッドバッテリ抵抗を接続することが重要です。TPD4S480-Q1 が電源を供給されると、3.5ms 以内に CC/PD コントローラの CC ピンを接続し、次に自身の RD デッドバッテリ抵抗を除去します。TPD4S480-Q1 がオンになると、接続を維持するため、CC/PD コントローラの RD プルダウン抵抗を直ちに接続します。電源アダプタが RD を検出しない場合、 V_{BUS} が切断されます。このイベントにより、バッテリが十分に充電されていないデバイスから電力が除去され、その結果、CC/PD コントローラおよび TPD4S480-Q1 から電力が除去されます。次に TPD4S480-Q1 の RD 抵抗を再度接続し、電源アダプタの V_{BUS} を接続してこのサイクルを開始します。

CC/PD コントローラが DRP に設定され、TPD4S480-Q1 がオンになる前に DRP トグルを開始した場合、この DRP トグルは電源アダプタとの接続を維持できません。CC/PD コントローラが DRP に構成されている場合、PD コントローラのデッドバッテリ抵抗も接続し、TPD4S480-Q1 がオンになるまで抵抗を接続した状態に維持します。この動作は通常、デッドバッテリ動作時に CC/PD コントローラに電源を供給する際、CC/PD コントローラと同時に TPD4S480-Q1 に電源を供給することで実現されます。

アプリケーションでデッドバッテリ充電が不要な場合、**RPD_G1** ピンおよび **RPD_G2** ピンをグランドに接続します。

6.3.5 EPR アダプタ

TPD4S480-Q1 は追加回路を統合し、EPR アプリケーションで使用するため、EPR レベル未満のピン許容誤差の PD コントローラを適合させることができます。EPR アダプタは V_{BUS} 分周器および EPR ブロッキング FET ゲートドライバの 2 つの部品で構成されています。EPR アダプタの機能は、EPR_EN ピンをアサートするか、 V_{BUS} ピンが EPR_THRESH_R を超えるときにイネーブルされます。

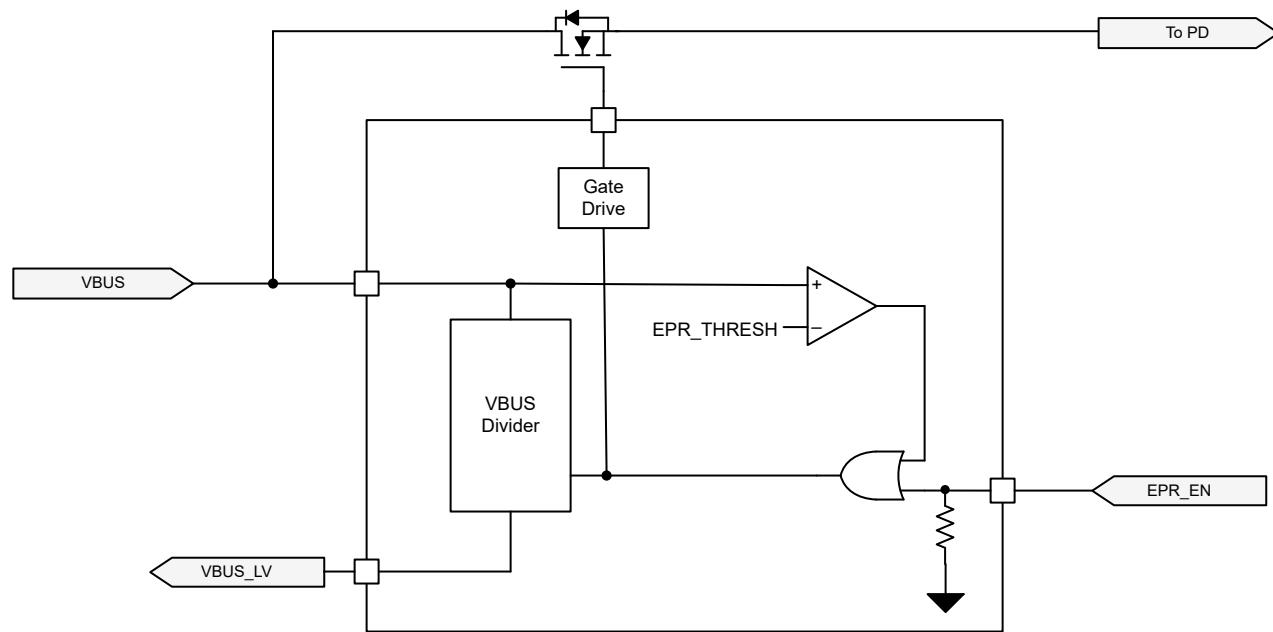


図 6-1. EPR アダプタ

6.3.5.1 VBUS ディバイダ

VBUS 分周器は VBUS の分割出力を提供し、接続された PD コントローラが EPR 電圧を安全に検出できるようにします。表 6-1 は VBUS 分周器の動作状態を要約します。

表 6-1. VBUS 分周器状態

EPR_EN	VBUS	VBUS_LV 比率 (VBUS_LV / VBUS)	説明
0	< EPR_THRES_R	1	SPR 動作
1	X	0.42	EPR 動作
X	> EPR_THRESH_R	0.42	

6.3.5.2 EPR ブロッキング FET ゲートドライバ

外部ブロッキング FET を制御する NFET ゲートドライバが統合されています。EPR モードでは、ゲートドライバがディセーブルされ、EPR 非対応回路を VBUS から絶縁します。SPR モードでは、ゲートドライバがイネーブルされ、低電圧部品を VBUS に接続します。

表 6-2. VBUS 分周器状態

EPR_EN	VBUS	ゲートドライバ状態	説明
0	< EPR_THRES_R	イネーブル	SPR 動作
1	X	ディセーブル	EPR 動作
X	> EPR_THRESH_R	ディセーブル	

6.4 デバイスの機能モード

表 6-3 は、TPD4S480-Q1 のすべての機能モードを説明します。以下の表の「X」は「ドントケア」条件であり、この値が機能モードを維持し、データシートの絶対最大定格内にあることを意味します。

表 6-3. デバイス モード表

デバイス モード表		入力					出力				
モード		VPWR	C_CCx	C_SBUx	RPD_Gx	T _J	FLT	CC FETs	SBU FETs	VBUS_LV	EPR_BLK_G
通常の動作条件	未電源、デッドバッテリサポートなし	<UVLO	X	X	グランド	X	ハイインピーダンス	OFF	OFF	VBUS	ディセーブル
	未電源、デッドバッテリサポート	<UVLO	X	X	C_CCx に短絡	X	ハイインピーダンス	OFF	OFF	VBUS	ディセーブル
	電源オン、SPR モード	>UVLO	<OVP	<OVP	X、強制オフ	<TSD	ハイインピーダンス	オン	オン	VBUS	イネーブル
	電源オン、EPR モード	>UVLO	<OVP	<OVP	X、強制オフ	<TSD	ハイインピーダンス	オン	オン	分圧 VBUS	ディセーブル
フォルト状態	サーマル シャットダウン	>UVLO	X	X	X、強制オフ	>TSD	Low (フォルトアサート)	OFF	OFF	EPR 状態を維持	EPR 状態を維持
	CC 過電圧状態	>UVLO	>OVP	X	X、強制オフ	<TSD	Low (フォルトアサート)	OFF	OFF	EPR 状態を維持	EPR 状態を維持
	SBU 過電圧状態	>UVLO	X	>OVP	X、強制オフ	<TSD	Low (フォルトアサート)	OFF	OFF	EPR 状態を維持	EPR 状態を維持
	IEC ESD による過電圧状態 ⁽¹⁾	>UVLO	X	X	RPD_Gx が C_CCx に短絡している場合、R _D はオンになります	<TSD	Low (フォルトアサート)	OFF	OFF	現在の EPR 状態を維持	現在の EPR 状態を維持

(1) この行は、IEC ESD 衝撃によりデバイスが OVP に移行した後、過電圧保護が終了し、C_CCx および C_SBUx ピンの電圧が通常の電圧レベルに復帰した後も、OVP 状態のデバイスの状態を説明します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPD4S480-Q1USB Type-C コネクタの CC1、CC2、SBU1、SBU2 ピンに 4 チャネルの V_{BUS} への短絡過電圧保護および 4 チャネルの IEC ESD 保護を提供します。TPD4S480-Q1 は適切なシステム保護を提供し、適切なシステム動作を維持します。以下のアプリケーション例では、TPD4S480-Q1 を USB Type-C システムに適切に設計する方法を説明します。

7.2 代表的なアプリケーション

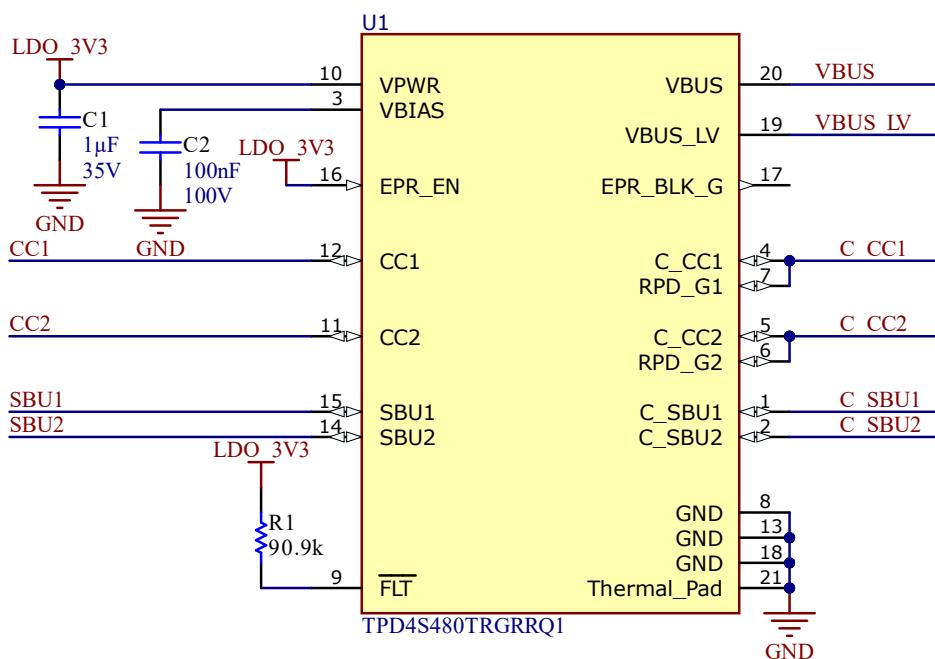


図 7-1. TPD4S480-Q1 デッドバッテリ (FET なし)

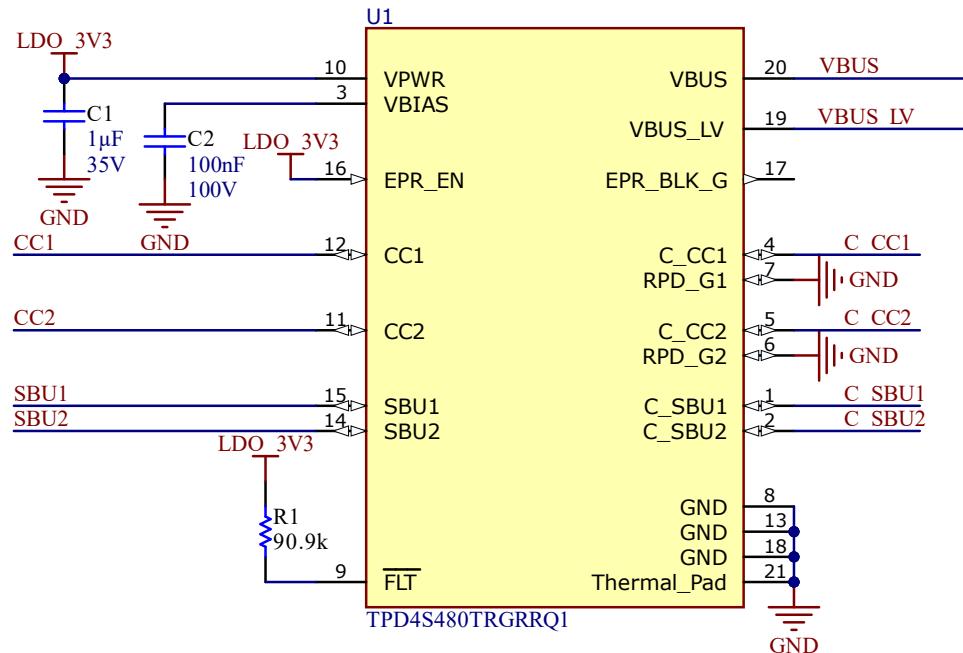


図 7-2. TPD4S480-Q1 デッドバッテリなし (FET なし)

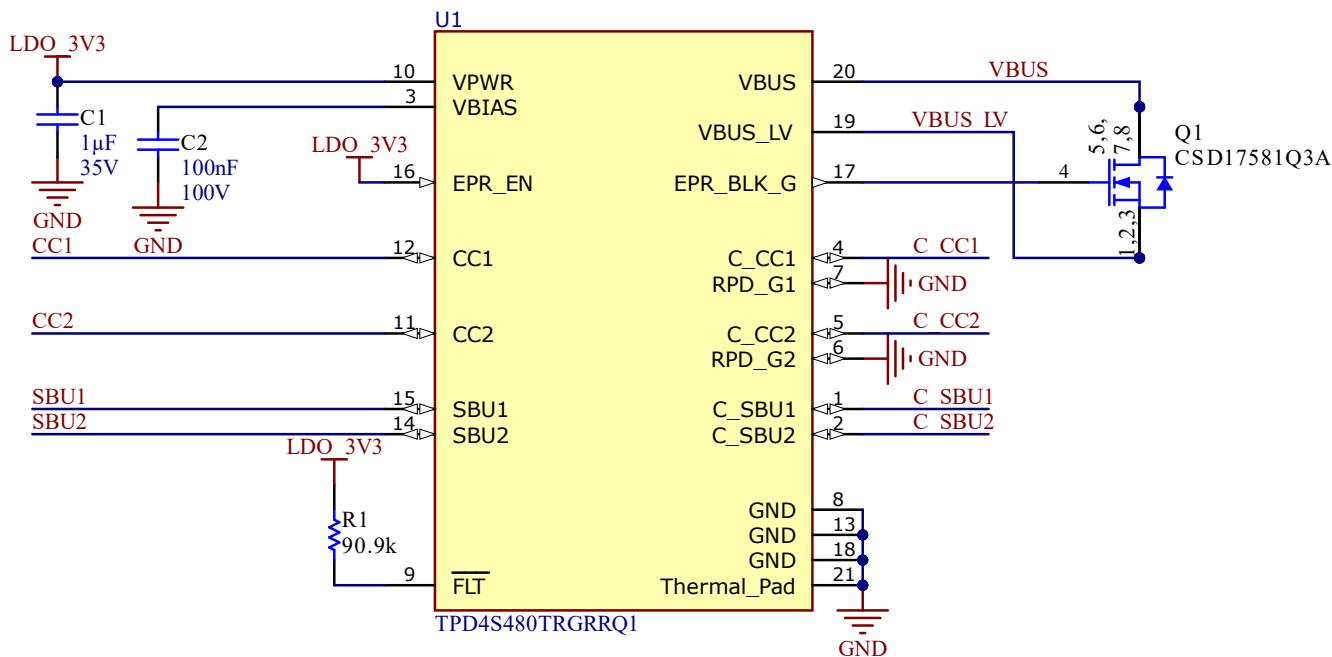


図 7-3. TPD4S480-Q1 デッドバッテリなし (FET 付き)

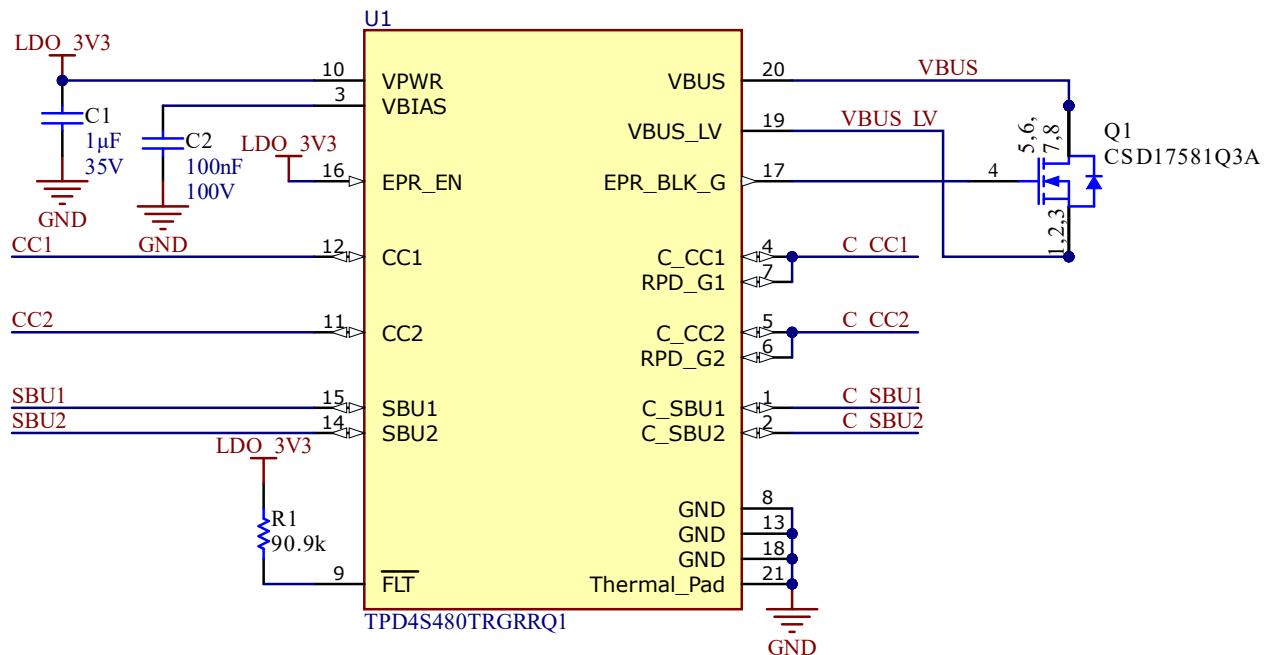


図 7-4. TPD4S480-Q1 デッドバッテリ (FET 付き)

7.3 設計要件

このアプリケーション例では、USB-PD および 240W 充電を備えた USB Type-C DRP ポートの保護要件を検討します。TPS2674x-Q1 を使用することで、DRP ポートを簡単に有効にできます。CC および SBU ピンは、Vbus への短絡イベントに影響を受けます。240W 充電では、V_{BUS} が 48V で動作し、CC および SBU ピンは 48V_{DC} を許容する必要があります。これらの保護要件が USB Type-C コネクタに必要であるため、TPD4S480-Q1 を使用します。

設計パラメータ表は、TPD4S480-Q1 の設計パラメータを一覧にします。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
V _{BUS} 公称動作電圧	48V
CC および SBU ピンの V _{BUS} 短絡耐性	63V
V _{BIAS} 公称容量	0.1μF
デッドバッテリ充電	240W

表 7-2 に示すように、Q1 の推奨 MOSFET 設定は次のとおりです：

表 7-2. MOSFET の選択

V _{DS} (V)	V _{GS} (V)	タイプ	RDS (on)
≥ 30V	≥ 15V	N チャネル	このパラメータを選択して、システム全体の電圧損失および熱要件を満たします

7.3.1 EPR 設計要件

TPD4S480-Q1 PD コントローラと連携して動作し、USB-PD EPR で以下の機能を提供します：

- Type-C コネクタの CC1 および CC2 ピンへの直接短絡に対する V_{BUS} 短絡保護機能。
- Type-C コネクタの SBU1 および SBU2 ピンに対する V_{BUS} 短絡保護。
- 液体検出機能が実装されている場合、Type-C コネクタの LQD ピンに接続された PD コントローラの液体検出回路に対する V_{BUS} 短絡保護。
- EPR 最大電圧から PD コントローラの V_{BUS} ピンの動作範囲への電圧レベル変換。
- 電圧 NMOS トランジスタ用のゲートドライブで、5V 出力のみを必要とするシステムで内部 5V パワーパスを使用して 5V を供給可能。

7.4 詳細な設計手順

7.4.1 VBIAS コンデンサの選択

セクション 5.5 表で示したように、VBIAS ピンには最小 $63V_{BUS}$ 定格コンデンサが必要であり、 $100V_{BUS}$ コンデンサを推奨します。VBIAS コンデンサは、TPD4S480-Q1 に内蔵された中央ダイオードクランプと並列に接続されます。順方向バイアスダイオードは、VBIAS ピンを C_CCx および C_SBUx ピンに接続します。したがって、 $48V$ で V_{BUS} への短絡イベントが発生すると、 $48V_{BUS}$ から順方向バイアスダイオードの電圧降下を引いた値が VBIAS ピンに印加されます。さらに、 V_{BUS} への短絡イベント中、リンクギングにより $48V$ のセッティング電圧がほぼ 2 倍になり、最大 $96V$ が C_CCx および C_SBUx ピンに印加される可能性があります。ただし、内部ダイオードクランプにより、C_CCx および C_SBUx ピンに印加される電圧は約 $63V$ に制限されます。したがって、 V_{BUS} への短絡イベント時に VBIAS コンデンサの破壊を防ぐため、最小 $63V$ のコンデンサが必要です。

コンデンサのディレーティング性能をさらに向上させるため、 $100V X7R$ コンデンサを推奨します。実際のコンデンサの電圧が上昇すると、容量値がディレーティングされます。コンデンサのディレーティングが大きいほど、 V_{BUS} への短絡 RLC 回路のリンクギングが大きくなります。 $100V X7R$ コンデンサは優れたディレーティング性能を備えており、TPD4S480-Q1 の V_{BUS} への短絡性能を最大限に発揮します。

7.4.2 CC ライン容量

USB PD は、CC ライン上で USB PD BMC 動作に必要な総容量の仕様を定めています。

表 7-3. USB PD cReceiver 仕様

名称	説明	最小値	最大値	単位	備考
cReceiver	CC レシーバ容量	200	600	pF	DFP または UFP システムの容量は、リンクで送信していない場合、この範囲内に収まります

USB PD を使用する場合、CC ラインの容量を $200pF$ ~ $600pF$ の範囲に維持します。TPS2674x-Q1、TPD4S480-Q1、および外部コンデンサによりシステムに追加される容量の組み合わせは、この範囲内に収める必要があります。

7.4.3 \overline{FLT} ピンの動作

C_CCx または C_SBUx ピンで V_{BUS} 短絡が発生すると、 \overline{FLT} ピンが $20\mu s$ (標準値) でアサートされ、PD コントローラに迅速に通知します。 V_{BUS} が CC または SBU に短絡している場合、USB PD コントローラで強制的にデタッチを実行して V_{BUS} をポートから除去することを推奨します。TPD4S480-Q1 は、これらの短絡イベントから保護しますが、USB Type-C ケーブルを介して接続された他のデバイスやケーブル内のアクティブ回路を保護しません。デタッチにより V_{BUS} をオフにしても、他のデバイスやケーブルの損傷が必ずしも停止するわけではありませんが、初期損傷後の大電流経路によるさらなる損傷を軽減します。また、アクティブケーブルや他のデバイスに適切な保護が備わっていても、 V_{BUS} 短絡イベントはアクティブケーブルまたは他の PD コントローラの構成を破損する可能性があるため、ポートをデタッチして再構成することが最善です。

7.4.4 デッドバッテリ動作

ほとんどの車載アプリケーションでは、PD デッドバッテリ動作は必要ありません。コネクタ CC1 および CC2 ピンにデッドバッテリ抵抗が接続されないよう、RPD_G1 ピンと RPD_G2 ピンをグランドに短絡します。

このアプリケーションではデッドバッテリサポートが必要なため、RPD_G1 を CC1 に短絡し、RPD_G2 を CC2 に短絡します。システム電力が供給されていない場合でも、デッドバッテリ抵抗が存在することを確保するため、ピンを短絡します。

TPD4S480-Q1 デッドバッテリ動作の詳細については、データシートの [CC デッドバッテリ抵抗を統合しモバイルデバイスのデッドバッテリ使用事例に対応](#) セクションを参照してください。

7.5 アプリケーション曲線

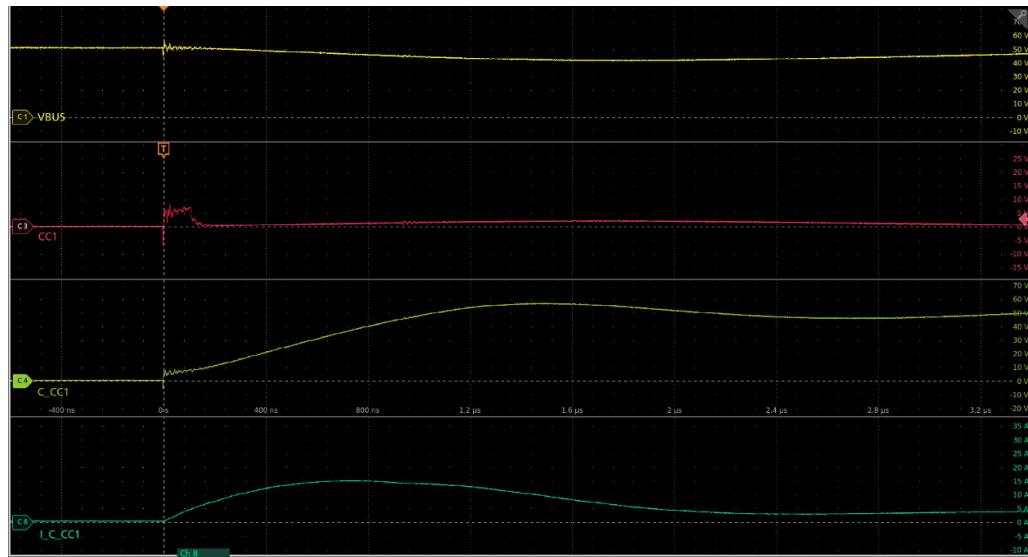


図 7-5. VBUS 短絡保護例

7.6 電源に関する推奨事項

V_{PWR} ピンは TPD4S480-Q1 内の全回路に電力を供給します。 $1\mu F$ のデカップリングコンデンサを V_{PWR} ピンにできる限り近く配置することが推奨されます。USB PD がデッドバッテリ状態で動作する場合、TPD4S480-Q1 がデッドバッテリブートアップで PD コントローラと同一の電源を共有することが重要です (同一のデッドバッテリ LDO を共有するなど)。詳細については、[CC デッドバッテリ抵抗を統合しモバイルデバイスのデッドバッテリ使用事例に対応セクション](#)を参照してください。

7.7 レイアウト

7.7.1 レイアウトのガイドライン

USB2.0、SBU、CC ライン信号の信号インテグリティを維持するには、適切な配線および配置が重要です。以下のガイドラインが TPD4S480-Q1 デバイスに適用されます：

- バイパスコンデンサを V_{PWR} ピンに可能な限り近接して配置し、ESD 保護コンデンサを V_{BIAS} ピンに可能な限り近接して配置します。コンデンサを確実なグラウンドに接続し、 V_{BUS} 短絡や ESD 衝撃などの過渡事象時の電圧外乱を最小化します。
- USB2.0 および SBU ラインを可能な限り直線的に配線し、鋭角な曲げを最小化します。

標準 ESD 推奨事項は、C_CC1、C_CC2、C_SBU1、C_SBU2 にも適用されます：

- デバイスの最適な配置は、コネクタに可能な限り近接して配置することです：
 - ESD イベント中の EMI は、被衝撃トレースから近接する保護されていないトレースに結合し、早期システム障害を引き起こします。
 - PCB 設計者は、TPD4S480-Q1 デバイスとコネクタの間に保護トレースから非保護トレースを遠ざけることで、EMI 結合の可能性を最小化します。
- 保護トレースを可能な限り直線的に配線します。
- 可能な限り大きな半径の丸みを帯びた角を使用し、TVS とコネクタの間の保護トレースの鋭角な角を排除します。
 - 電界は角で蓄積する傾向があり、EMI 結合を増加させます。

7.7.2 レイアウト例

表 7-4. 標準レイアウト

システム構成	表	底面/グランドプレーン
バイパス NMOS 付きの VBUS 分周器		
バイパス NMOS およびデッドバッテリ付きの VBUS 分周器		
VBUS ディバイダ		
VBUS 分周器 (デッドバッテリ)		

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

[TPS26744E-Q1 車載デュアルポート USB Type-C® PD コントローラ、240W EPR および USB Type-C® 経由 DisplayPort™ 対応](#)

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

USB Type-C® is a registered trademark of USB Implementers Forum.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (June 2025) to Revision A (August 2025)	Page
• 「特長」を更新し、デバイスの機能を明確化し、車載グレードの情報を追加。	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPD4S480TRGRRQ1	Active	Production	VQFN (RGR) 20	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	4S480

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

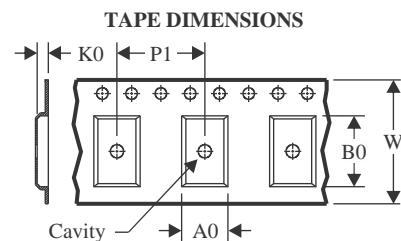
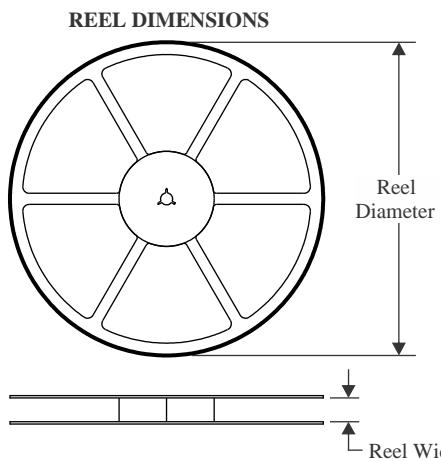
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPD4S480-Q1 :

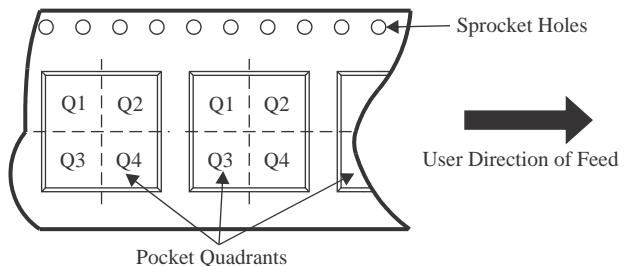
- Catalog : [TPD4S480](#)

NOTE: Qualified Version Definitions:

-
- Catalog - TI's standard catalog product

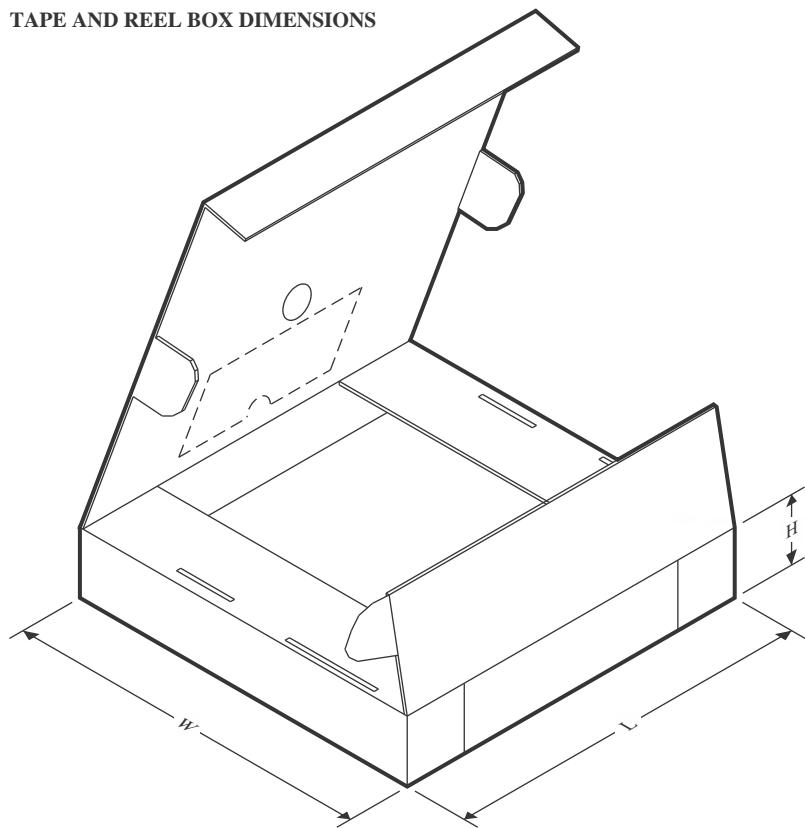
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPD4S480TRGRRQ1	VQFN	RGR	20	5000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2
TPD4S480TRGRRQ1	VQFN	RGR	20	5000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPD4S480TRGRRQ1	VQFN	RGR	20	5000	346.0	346.0	33.0
TPD4S480TRGRRQ1	VQFN	RGR	20	5000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

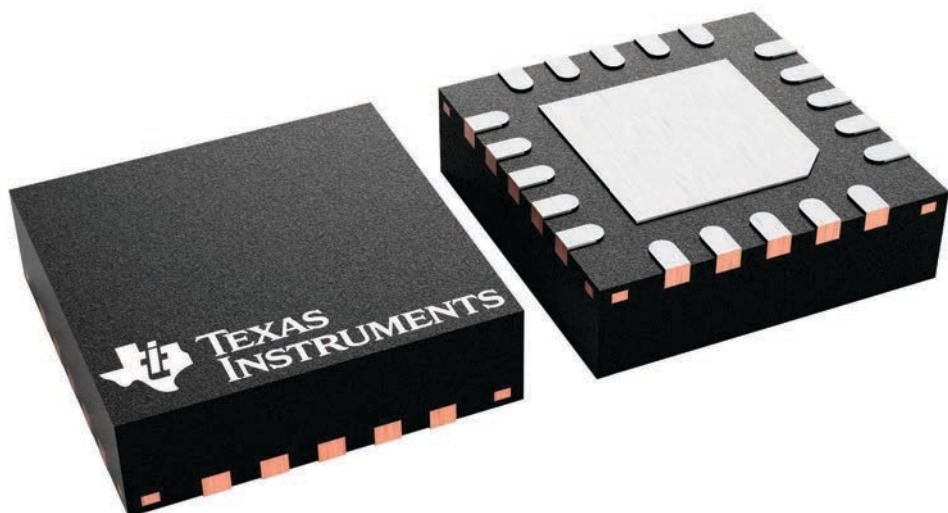
RGR 20

VQFN - 1 mm max height

3.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



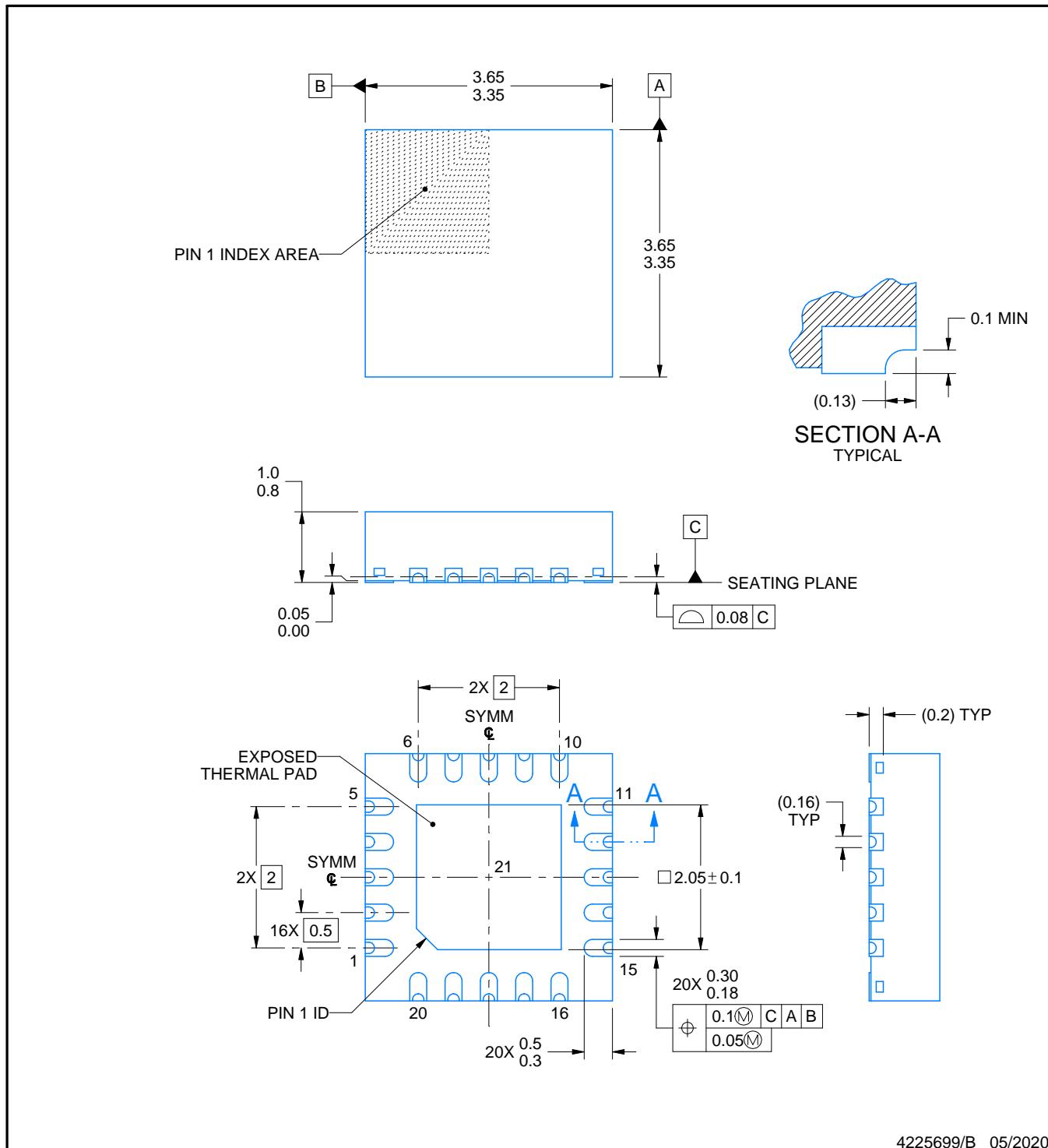
4228482/A

PACKAGE OUTLINE

RGR0020C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4225699/B 05/2020

NOTES:

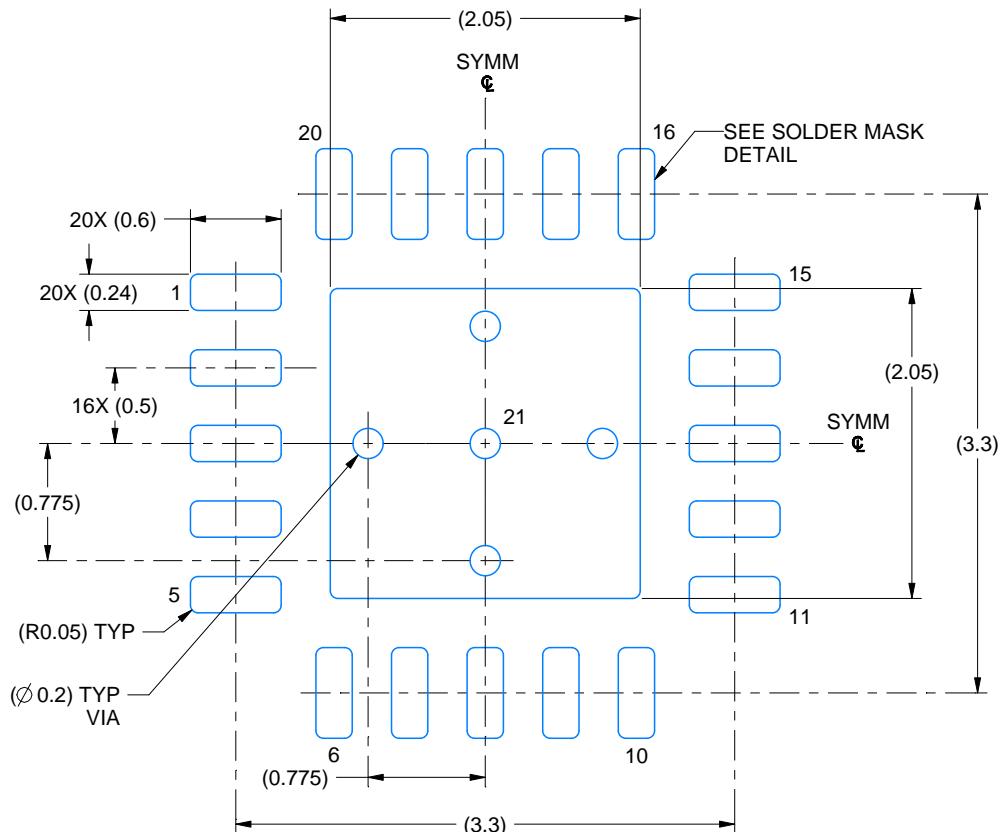
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGR0020C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

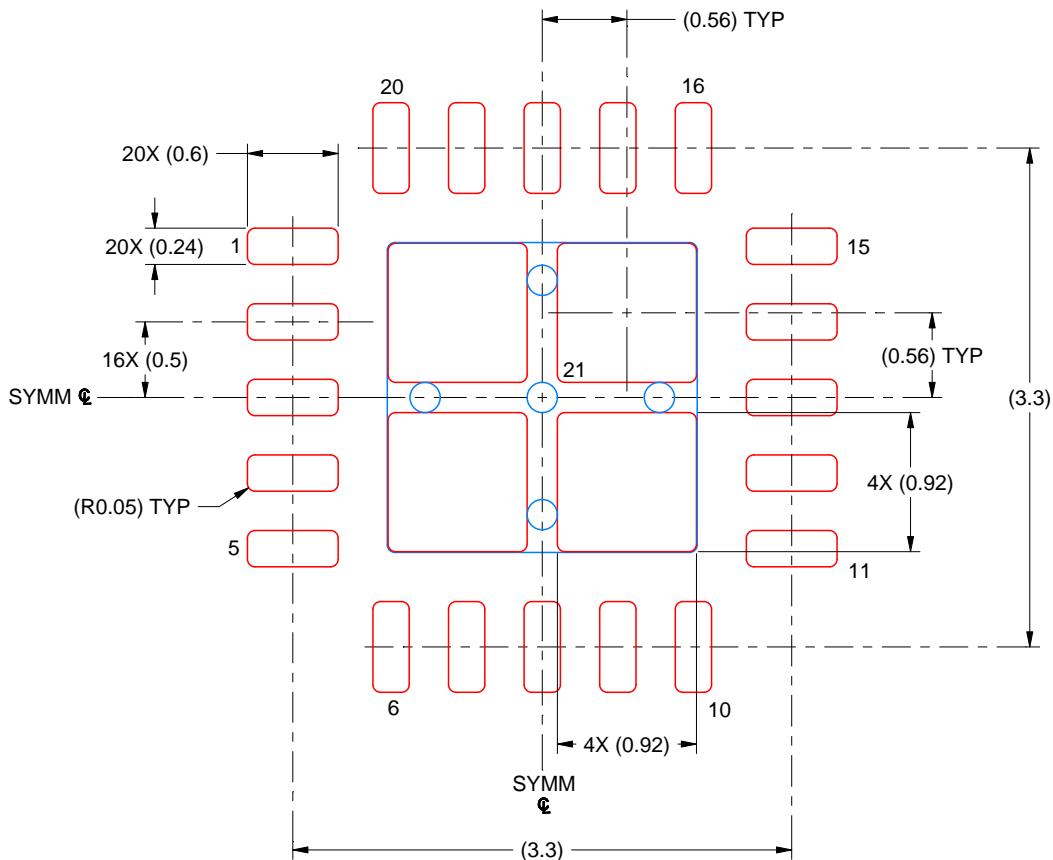
4225699/B 05/2020

EXAMPLE STENCIL DESIGN

RGR0020C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 21
81% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225699/B 05/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated