

TPLD801-Q1 車載対応プログラマブルロジックデバイス、6-GPIO 付

1 特長

- 動作特性
 - 拡張温度範囲: -40°C ~ 125°C
 - 広い電源電圧範囲: 1.65V ~ 5.5V
 - 車載アプリケーション認定済み
- 構成可能マクロセル
 - 2ビット、3ビット、および4ビットのルックアップテーブル
 - Dタイプフリップフロップおよびラッチ、リセット/セットオプションありとなし
 - 8ビットのパイプ遅延
 - カウンタと遅延ジェネレータ
 - グリッチ除去フィルタまたはエッジ検出器をプログラム可能
 - 発振器
- 柔軟なデジタル I/O 機能
 - すべてのデジタル信号を任意の GPIO に配線可能
 - デジタル入力モード: デジタル入力 (シュミットトリガあり/なし)、低電圧デジタル入力
 - デジタル出力モード: プッシュプル、オープンドレイン NMOS、トライステート
- 開発ツール
 - InterConnect Studio
 - TPLD801-Q1 評価基板
 - TPLD プログラミング基板

2 アプリケーション

- ファクトリオートメーション / 制御
- 通信機器
- リテールオートメーションおよびペイメント
- 試験および測定機器
- 業務用オーディオ、ビデオ、サイネージ
- パーソナルエレクトロニクス
- 車載用

3 概要

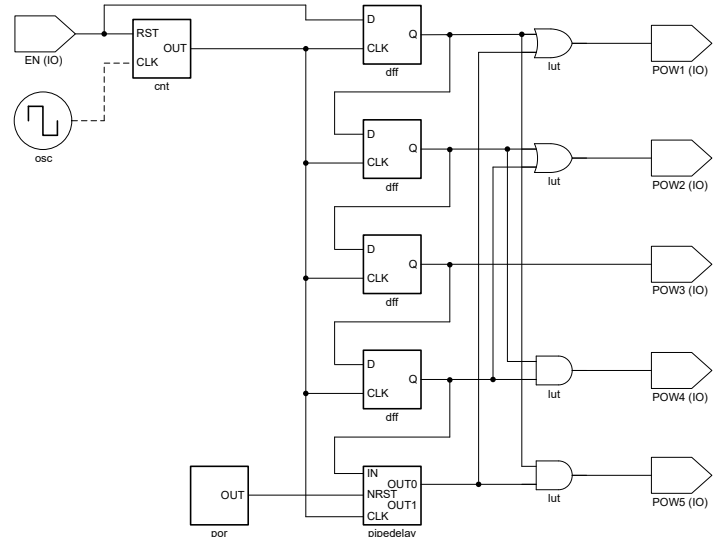
TPLD801-Q1 は、組み合わせ論理、順序論理、アナログブロックを内蔵した多用途のプログラマブルロジック IC に使用される、テキサス・インスツルメンツのプログラマブルロジックデバイス (TPLD) ファミリのデバイスです。TPLD は、タイミング遅延、電圧モニタ、システムリセット、電源シーケンス IC、I/O エクスパンダなどの共通のシステム機能を実装するための統合型低消費電力ソリューションを提供します。このデバイスは構成可能な I/O 構造を採用しているため、混合信号環境で互換性を拡張し、必要な個別部品の数を減らすことができます。

システム設計者は、不揮発性メモリを一時的にエミュレートするか、InterConnect Studio を通じてワンタイムプログラマブル (OTP) を永続的にプログラミングすることにより、回路を作成し、マクロセル、I/O ピン、および相互接続を構成できます。TPLD801-Q1 はハードウェアおよびソフトウェアのエコシステムによってサポートされており、アプリケーションノート、リファレンスデザイン、設計例が提供されています。詳細および設計ツールへのアクセスについては、ti.com をご覧ください。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
TPLD801-Q1	DRL (SOT-5X3, 8)	2.1mm × 1.6 mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



アプリケーション概略図



目次

1 特長.....	1	6 パラメータ測定情報.....	11
2 アプリケーション.....	1	7 詳細説明.....	13
3 概要.....	1	7.1 概要.....	13
4 ピン構成および機能.....	3	7.2 機能ブロック図.....	14
5 仕様.....	4	7.3 機能説明.....	15
5.1 絶対最大定格.....	4	7.4 デバイスの機能モード.....	33
5.2 ESD 定格.....	4	7.5 プログラミング.....	35
5.3 推奨動作条件.....	4	8 改訂履歴.....	35
5.4 熱に関する情報.....	5	9 メカニカル、パッケージ、および注文情報.....	35
5.5 電気的特性.....	5	9.1 付録: パッケージ オプション.....	36
5.6 電源電流特性.....	6	9.2 テープおよびリール情報.....	37
5.7 スイッチング特性.....	7	9.3 メカニカル データ.....	39

4 ピン構成および機能

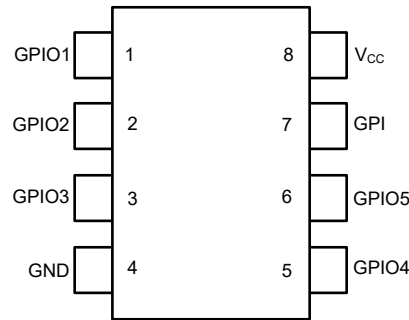


図 4-1. DRL パッケージ、8 ピン SOT-5X3 (上面図)

表 4-1. ピンの機能

ピン			説明	
名称	番号	種類 ⁽¹⁾	主な機能	2 次的な機能 (ある場合)
GPIO1	1	I/O	汎用 I/O。	外部 OSC IN
GPIO2	2	I/O	汎用 I/O。	
GPIO3	3	I/O	出力イネーブル (OE) 付きの汎用 I/O。 ⁽³⁾	
GND	4	P	グラウンド。	
GPIO4	5	I/O	汎用 I/O。	
GPIO5	6	I/O	汎用 I/O。	
GPI	7	I	汎用入力。 ⁽²⁾	
VCC	8	P	正電源。	

(1) P = 電源、I/O = 入出力、I = 入力

(2) 汎用入力 (GPI) ピンはプログラミング中の高電圧 (VPP) に耐えます。イン システム プログラミングを実行する場合、このピンに接続されたペリフェラルに特に注意を払います。

(3) 出力イネーブル (OE) 接続は、接続マルチプレクサを介して利用でき、InterConnect Studio で構成できます。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	GND を基準とした V _{CC} 電源電圧	-0.5	7	V
V _I	入力電圧	-0.5	V _{CC} + 0.5	V
V _O	出力電圧	-0.5	V _{CC} + 0.5	V
I _{IOK}	入力 / 出力クランプ電流	V _{IO} < 0 または V _{IO} > V _{CC}		mA
I _O	連続出力電流	V _O = 0 ~ V _{CC}		mA
I _{DC}	平均または DC 電流 (各ピンを流れる電流) の最大値	プッシュプル 1X		mA
		プッシュプル 2X		
		オープンドレイン NMOS 1X		
		オープンドレイン NMOS 2X		
T _J	接合部温度		150	°C
T _{stg}	保管温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC 仕様 JS-002 に準拠、すべてのピン ⁽²⁾	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		V _{CC}	最小値	最大値	単位
V _{CC}	電源電圧		1.65	5.5	V
V _I	入力電圧		0	V _{CC}	V
V _O	出力電圧		0	V _{CC}	V
V _{IH}	High レベル入力電圧	ロジック入力	1.65V ~ 5.5V	0.53 × V _{CC}	V
		低電圧ロジック入力	1.8V ± 0.15V	0.90	
			3.3V ± 0.3V	1.08	
			5V ± 0.5V	1.23	
V _{IL}	Low レベル入力電圧	ロジック入力	1.65V ~ 5.5V	0.36 × V _{CC}	V
		低電圧ロジック入力	1.8V ± 0.15V	0.46	
			3.3V ± 0.3V	0.63	
			5V ± 0.5V	0.74	
T _A	周囲温度		-40	125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPLD801-Q1	単位
		DRL (SOT-5X3)	
		8-PIN	
$R_{\theta JA}$	接合部から周囲への熱抵抗	118.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	77.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	26.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	3.9	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	25.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V_{CC}	最小値	標準値	最大値	単位
電源およびパワーオンリセット								
V_{PORR}	パワーオンリセット電圧、 V_{CC} 立ち上がり		$V_I = V_{CC}$ または GND、 $I_O = 0$	1.65V~5.5V	1.04	1.30	1.50	V
V_{PORF}	パワーオンリセット電圧、 V_{CC} 立ち下がり		$V_I = V_{CC}$ または GND、 $I_O = 0$	1.65V~5.5V	0.98	1.17	1.33	V
t_{SU}	起動時間		V_{CC} が V_{PORR} を超えて立ち上がってから	1.65V~5.5V		270		μs
V_{PP}	プログラミング電圧			1.65V~5.5V	7.5	8	8.5	V
デジタル IO								
V_{T+}	正方向入力スレッショルド電圧	ロジック入力 (シュミットトリガ付き)		1.8V ± 0.15V	0.92		1.29	V
				3.3V ± 0.3V	1.55		2.17	
				5V ± 0.5V	2.21		3.19	
V_{T-}	負方向入力スレッショルド電圧	ロジック入力 (シュミットトリガ付き)		1.8V ± 0.15V	0.56		0.96	V
				3.3V ± 0.3V	1.10		1.79	
				5V ± 0.5V	1.63		2.70	
V_{HYS}	シュミットトリガ ヒステリシス ($V_{T+} - V_{T-}$)	ロジック入力 (シュミットトリガ付き)		1.8V ± 0.15V	0.23		0.49	V
				3.3V ± 0.3V	0.33		0.54	
				5V ± 0.5V	0.42		0.66	
V_{OH}	High レベル出力電圧	プッシュプル 1X またはオープンドレイン PMOS 1X	$I_{OH} = -100\mu A$	1.8V ± 0.15V	1.626		V	
		プッシュプル 2X またはオープンドレイン PMOS 2X			1.636			
V_{OH}	High レベル出力電圧	プッシュプル 1X またはオープンドレイン PMOS 1X	$I_{OH} = -3mA$	3.3V ± 0.3V	2.710		V	
		プッシュプル 2X またはオープンドレイン PMOS 2X			2.820			
V_{OH}	High レベル出力電圧	プッシュプル 1X またはオープンドレイン PMOS 1X	$I_{OH} = -5mA$	5V ± 0.5V	4.120		V	
		プッシュプル 2X またはオープンドレイン PMOS 2X			4.240			

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V _{CC}	最小値	標準値	最大値	単位
V _{OL}	Low レベル出力電圧	プッシュプル 1X	I _{OL} = 100μA	1.8V ± 0.15V			0.009	V
		プッシュプル 2X					0.005	
		オープンドレイン NMOS 1X					0.009	
		オープンドレイン NMOS 2X					0.005	
V _{OL}	Low レベル出力電圧	プッシュプル 1X	I _{OL} = 3mA	3.3V ± 0.3V			0.118	V
		プッシュプル 2X					0.076	
		オープンドレイン NMOS 1X					0.118	
		オープンドレイン NMOS 2X					0.076	
V _{OL}	Low レベル出力電圧	プッシュプル 1X	I _{OL} = 5mA	5V ± 0.5V			0.139	V
		プッシュプル 2X					0.096	
		オープンドレイン NMOS 1X					0.139	
		オープンドレイン NMOS 2X					0.096	
I _I	入力リーク電流	すべてのピン	V _I = V _{CC}	1.65V ~ 5.5V			±1	μA
			V _I = GND	1.65V ~ 5.5V			±1	
R _{pu(int)}	内部プルアップ抵抗						1	MΩ
							100	kΩ
							10	kΩ
R _{pd(int)}	内部プルダウン抵抗						1	MΩ
							100	kΩ
							10	kΩ
R _{pd(int)} _{GPI}	内部プルダウン抵抗 - GPI/INO						1	MΩ
							100	kΩ
							15	kΩ

5.6 電源電流特性

 T_A = 25°C (特に記述のない限り)

パラメータ		テスト条件	V _{CC} = 1.8V ± 0.15V			V _{CC} = 3.3V ± 0.3V			V _{CC} = 5V ± 0.5V			単位
			最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
スタンバイ												
I _{CC}	静止時電流		入力 = 静止、 出力 = オープン、 I _O = 0、 OSC パワー オフ		1.04		1.10		0.95			μA
発振器												
I _{CC}	静止時電流	OSC0 有効:25kHz	事前分周 = 1	6.33		8.23		12.67				μA
			事前分周 = 8	6.56		8.23		12.44				
I _{CC}	静止時電流	OSC0 有効:2MHz	事前分周 = 1	61.05		70.08		88.78				μA
			事前分周 = 8	48.86		57.90		76.13				

5.7 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		V _{CC}	最小値	標準値	最大値	単位
デジタル IO						
t _{pd}	遅延	デジタル入力 (シュミットトリガなし) からプッシュプル出力 (立ち上がり) まで	1.8V ± 0.15V	46.9	ns	
		デジタル入力 (シュミットトリガなし) からプッシュプル出力 (立ち下がり) まで		39.5		
		デジタル入力 (シュミットトリガなし) からプッシュプル出力 (立ち上がり) まで	3.3V ± 0.3V	27.3		
		デジタル入力 (シュミットトリガなし) からプッシュプル出力 (立ち下がり) まで		26.4		
		デジタル入力 (シュミットトリガなし) からプッシュプル出力 (立ち上がり) まで	5V ± 0.5V	22.3		
		デジタル入力 (シュミットトリガなし) からプッシュプル出力 (立ち下がり) まで		22.5		
t _{pd}	遅延	デジタル入力 (シュミットトリガ付き) からプッシュプル出力 (立ち上がり) まで	1.8V ± 0.15V	50.8	ns	
		デジタル入力 (シュミットトリガ付き) からプッシュプル出力 (立ち下がり) まで		42.2		
		デジタル入力 (シュミットトリガ付き) からプッシュプル出力 (立ち上がり) まで	3.3V ± 0.3V	29.7		
		デジタル入力 (シュミットトリガ付き) からプッシュプル出力 (立ち下がり) まで		27.2		
		デジタル入力 (シュミットトリガ付き) からプッシュプル出力 (立ち上がり) まで	5V ± 0.5V	24.2		
		デジタル入力 (シュミットトリガ付き) からプッシュプル出力 (立ち下がり) まで		22.8		
t _{pd}	遅延	低電圧デジタル入力からプッシュプル出力 (立ち上がり) まで	1.8V ± 0.15V	45.6	ns	
		低電圧デジタル入力からプッシュプル出力 (立ち下がり) まで		49.5		
		低電圧デジタル入力からプッシュプル出力 (立ち上がり) まで	3.3V ± 0.3V	25.4		
		低電圧デジタル入力からプッシュプル出力 (立ち下がり) まで		33.0		
		低電圧デジタル入力からプッシュプル出力 (立ち上がり) まで	5V ± 0.5V	19.6		
		低電圧デジタル入力からプッシュプル出力 (立ち下がり) まで		31.5		

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		V _{CC}	最小値	標準値	最大値	単位
t _{pd}	遅延	デジタル入力 (シュミットトリガなし) からオープンドレイン NMOS 出力 (立ち上がり) まで	1.8V ± 0.15V	57.0		ns
		デジタル入力 (シュミットトリガなし) からオープンドレイン NMOS 出力 (立ち下がり) まで		39.3		
		デジタル入力 (シュミットトリガなし) からオープンドレイン NMOS 出力 (立ち上がり) まで	3.3V ± 0.3V	47.8		
		デジタル入力 (シュミットトリガなし) からオープンドレイン NMOS 出力 (立ち下がり) まで		26.2		
		デジタル入力 (シュミットトリガなし) からオープンドレイン NMOS 出力 (立ち上がり) まで	5V ± 0.5V	38.2		
		デジタル入力 (シュミットトリガなし) からオープンドレイン NMOS 出力 (立ち下がり) まで		22.3		
t _{pd}	遅延	ピンからの出力イネーブル、OE、ハイ インピーダンスから 1 まで (立ち上がり)	1.8V ± 0.15V	45.9		ns
			3.3V ± 0.3V	27.3		
			5V ± 0.5V	22.4		
t _{pd}	遅延	ピンからの出力イネーブル、OE、ハイ インピーダンスから 0 まで (立ち下がり)	1.8V ± 0.15V	41.1		ns
			3.3V ± 0.3V	24.5		
			5V ± 0.5V	19.6		
構成可能な使用ロジック						
t _{pd}	遅延	2 ビット LUT (立ち上がり)	1.8V ± 0.15V	1.16		ns
		2 ビット LUT (立ち下がり)		1.31		
		2 ビット LUT (立ち上がり)	3.3V ± 0.3V	1.16		
		2 ビット LUT (立ち下がり)		1.31		
		2 ビット LUT (立ち上がり)	5V ± 0.5V	1.16		
		2 ビット LUT (立ち下がり)		1.31		
t _{pd}	遅延	3 ビット LUT (立ち上がり)	1.8V ± 0.15V	1.04		ns
		3 ビット LUT (立ち下がり)		1.26		
		3 ビット LUT (立ち上がり)	3.3V ± 0.3V	1.04		
		3 ビット LUT (立ち下がり)		1.26		
		3 ビット LUT (立ち上がり)	5V ± 0.5V	1.04		
		3 ビット LUT (立ち下がり)		1.26		
t _{pd}	遅延	4 ビット LUT (立ち上がり)	1.8V ± 0.15V	1.62		ns
		4 ビット LUT (立ち下がり)		1.99		
		4 ビット LUT (立ち上がり)	3.3V ± 0.3V	1.62		
		4 ビット LUT (立ち下がり)		1.99		
		4 ビット LUT (立ち上がり)	5V ± 0.5V	1.62		
		4 ビット LUT (立ち下がり)		1.99		
t _{pd}	遅延	ラッチ (立ち上がり)	1.8V ± 0.15V	1.32		ns
		ラッチ (立ち下がり)		1.34		
		ラッチ (立ち上がり)	3.3V ± 0.3V	1.32		
		ラッチ (立ち下がり)		1.34		
		ラッチ (立ち上がり)	5V ± 0.5V	1.32		
		ラッチ (立ち下がり)		1.34		

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			V _{CC}	最小値	標準値	最大値	単位
t _{pd}	遅延	nRST/nSET をラッチ (立ち上がり)	1.8V ± 0.15V	1.43		ns	
		nRST/nSET をラッチ (立ち下がり)		1.46			
		nRST/nSet をラッチ (立ち上がり)	3.3V ± 0.3V	1.43			
		nRST/nSET をラッチ (立ち下がり)		1.46			
		nRST/nSet をラッチ (立ち上がり)	5V ± 0.5V	1.43			
		nRST/nSET をラッチ (立ち下がり)		1.46			
カウンタ / 遅延							
t _{pd}	遅延	CNT/DLY (立ち上がり)	1.8V ± 0.15V	2.61		ns	
		CNT/DLY (立ち下がり)		2.59			
		CNT/DLY (立ち上がり)	3.3V ± 0.3V	2.61			
		CNT/DLY (立ち下がり)		2.59			
		CNT/DLY (立ち上がり)	5V ± 0.5V	2.61			
		CNT/DLY (立ち下がり)		2.59			
発振器							
f _{err}	発振器の周波数誤差	OSC0 25kHz	1.8V ± 0.15V	-5	5	%	
			3.3V ± 0.3V	-5	5		
			5V ± 0.5V	-5	5		
f _{err}	発振器の周波数誤差	OSC0 2MHz	1.8V ± 0.15V	-5	5	%	
			3.3V ± 0.3V	-5	5		
			5V ± 0.5V	-5	5		
t _{d_osc}	発振器のスタートアップ遅延	OSC0 25kHz (自動パワー オン)	1.8V ± 0.15V	14.3		μs	
			3.3V ± 0.3V	14.2			
			5V ± 0.5V	14.1			
t _{d_osc}	発振器のスタートアップ遅延	OSC0 2 MHz (自動パワー オン)	1.8V ± 0.15V	6.24		μs	
			3.3V ± 0.3V	6.43			
			5V ± 0.5V	6.64			
t _{set_osc}	発振器のスタートアップ セトリング時間	OSC0 25kHz (自動パワー オン)	1.8V ± 0.15V	1		μs	
			3.3V ± 0.3V	1			
			5V ± 0.5V	1			
t _{set_osc}	発振器のスタートアップ セトリング時間	OSC0 2 MHz (自動パワー オン)	1.8V ± 0.15V	7		μs	
			3.3V ± 0.3V	7			
			5V ± 0.5V	7			
t _{d_err}	遅延誤差	OSC (強制パワー オン)	1.65V~5.5V	0	1	CLK サイクル	
プログラム可能なフィルタ							
t _{pflt_pw}	パルス幅、1 セル	PFLT モード:(任意) エッジ検出、エッジ検出出力	1.8V ± 0.15V	138.0		ns	
			3.3V ± 0.3V	141.3			
			5V ± 0.5V	141.7			
t _{pflt_pw}	パルス幅、2 セル	PFLT モード:(任意) エッジ検出、エッジ検出出力	1.8V ± 0.15V	232.6		ns	
			3.3V ± 0.3V	236.0			
			5V ± 0.5V	236.5			

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			V _{CC}	最小値	標準値	最大値	単位
t _{pflt_pw}	パルス幅、3 セル	PFLT モード:(任意) エッジ検出、エッジ検出出力	1.8V ± 0.15V		326.8		ns
			3.3V ± 0.3V		330.5		
			5V ± 0.5V		330.9		
t _{pflt_pw}	パルス幅、4 セル	PFLT モード:(任意) エッジ検出、エッジ検出出力	1.8V ± 0.15V		420.9		ns
			3.3V ± 0.3V		424.7		
			5V ± 0.5V		425.0		
t _{pflt_pd}	遅延、任意のセル	PFLT モード:(任意) エッジ検出、エッジ検出出力	1.8V ± 0.15V		67.4		ns
			3.3V ± 0.3V		48.7		
			5V ± 0.5V		43.7		
t _{pflt_d}	遅延、1 セル	PFLT モード:両エッジ遅延 (共有マクロセル入力)	1.8V ± 0.15V		208.4		ns
			3.3V ± 0.3V		191.5		
			5V ± 0.5V		186.9		
t _{pflt_d}	遅延、2 セル	PFLT モード:両エッジ遅延 (共有マクロセル入力)	1.8V ± 0.15V		303.3		ns
			3.3V ± 0.3V		286.3		
			5V ± 0.5V		281.5		
t _{pflt_d}	遅延、3 セル	PFLT モード:両エッジ遅延 (共有マクロセル入力)	1.8V ± 0.15V		397.7		ns
			3.3V ± 0.3V		380.6		
			5V ± 0.5V		375.9		
t _{pflt_d}	遅延、4 セル	PFLT モード:両エッジ遅延 (共有マクロセル入力)	1.8V ± 0.15V		491.9		ns
			3.3V ± 0.3V		474.6		
			5V ± 0.5V		469.8		

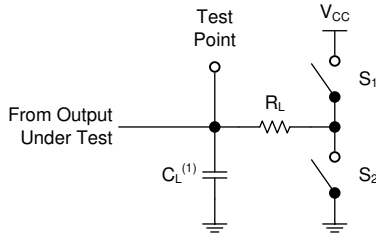
ADVANCE INFORMATION

6 パラメータ測定情報

波形間の位相関係は、任意に選択されています。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、 $Z_O = 50\Omega$ 、 $t_f < 2.5\text{ ns}$ 。

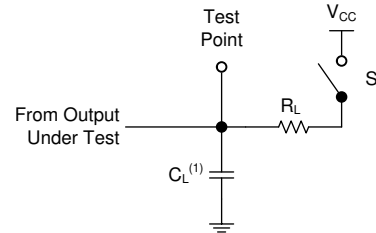
クロック入力の f_{max} は、入力デューティサイクルが 50% のときの測定値です。

出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。



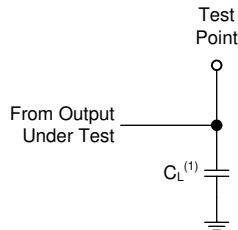
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. 3 ステート出力の負荷回路



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-2. オープンドレイン出力の負荷回路



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-3. プッシュプル出力のための負荷回路

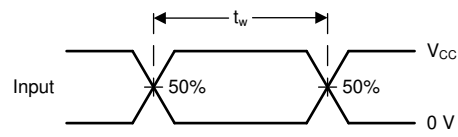


図 6-4. 電圧波形、パルス幅

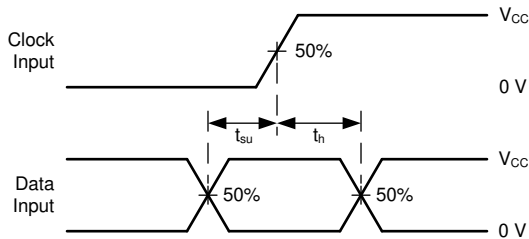
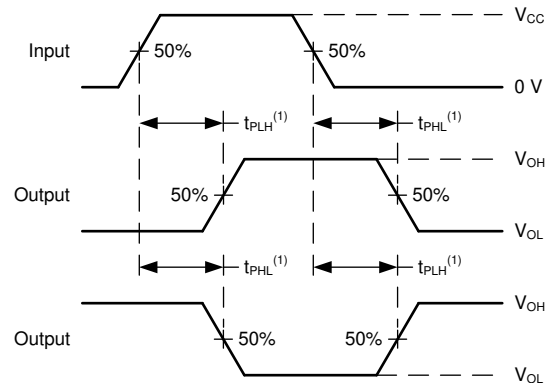


図 6-5. 電圧波形、セットアップ時間およびホールド時間



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-6. 電圧波形、伝搬遅延

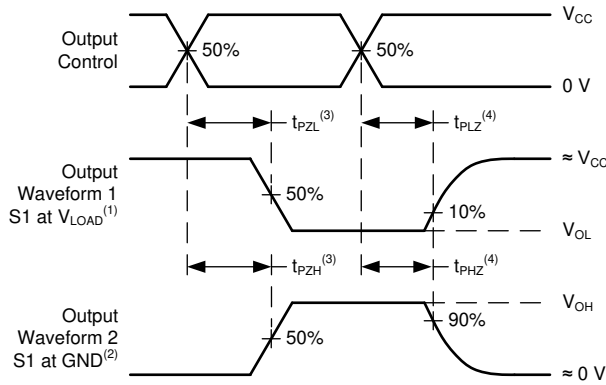
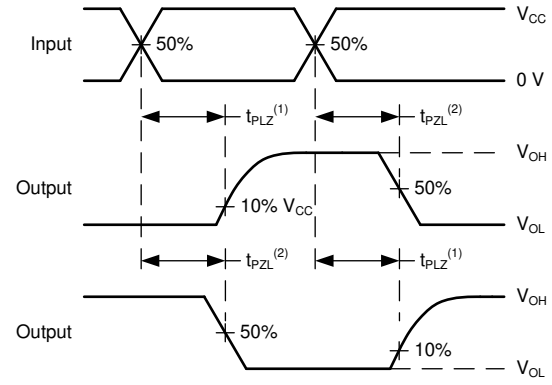
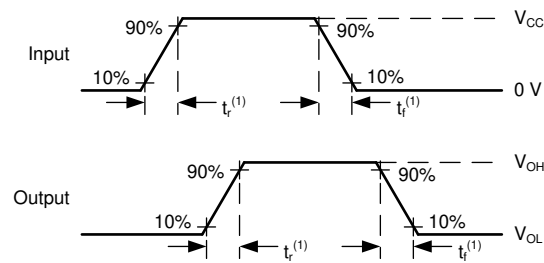


図 6-7. 電圧波形、伝搬遅延



(1) t_{PLZ} と t_{PZL} の大きい方が t_{pd} に相当します。

図 6-8. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-9. 電圧波形、入力および出力の遷移時間

ADVANCE INFORMATION

7 詳細説明

7.1 概要

TPLD801-Q1 は、組み合わせ論理、順序論理、アナログ ブロックを内蔵した多用途のプログラマブル ロジック IC を特長とするテキサス・インスツルメンツ プログラマブル ロジック デバイス (TPLD) ファミリのデバイスであり、一般的なシステム機能を実装するためのコンパクトな統合型低消費電力ソリューションを提供します。

TPLD801-Q1 は、デジタル入力、デジタル出力、デジタル入出力として構成できる 1 つの GPI と 5 つの GPIO を備えています。

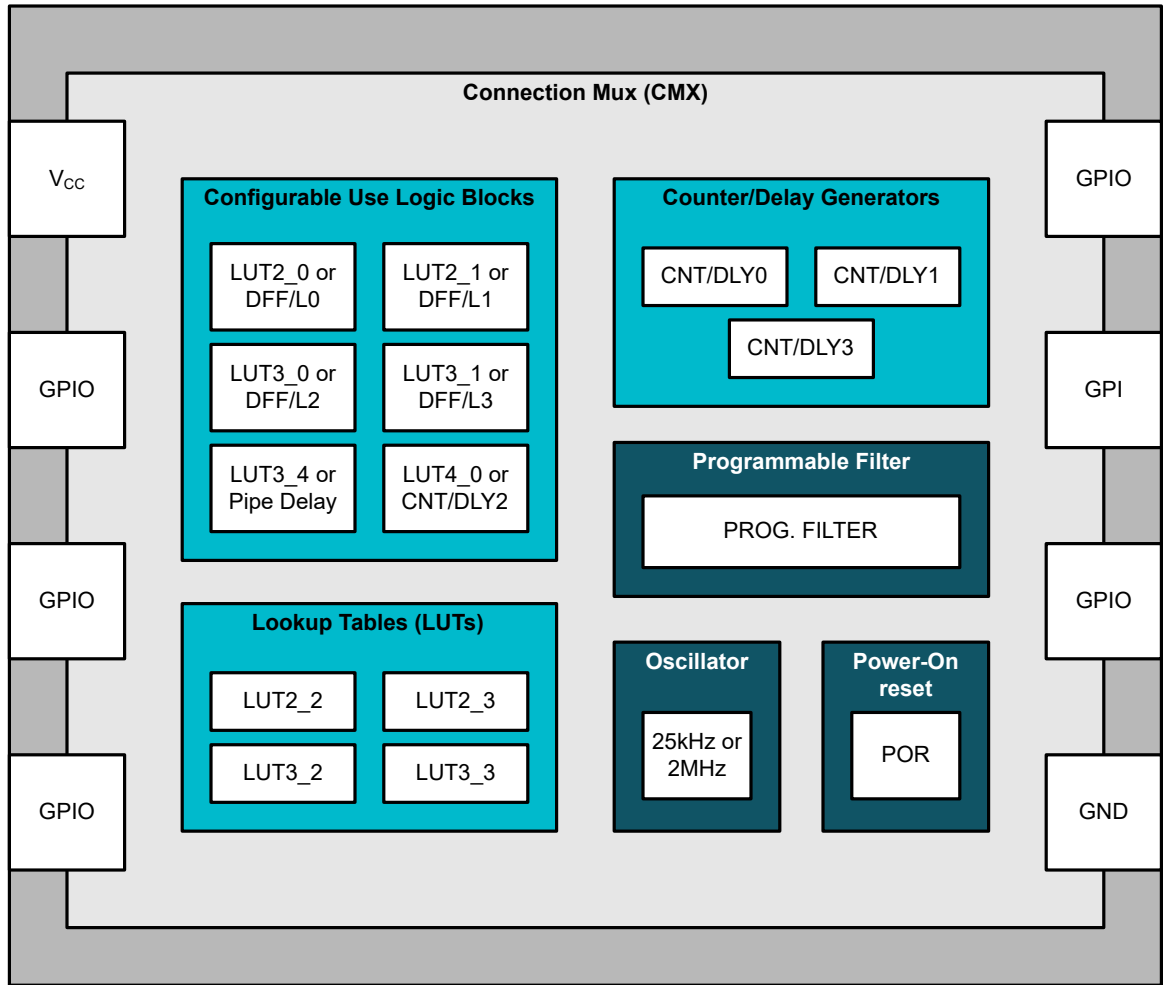
TPLD801-Q1 は、内部マクロセルと I/O ピンの配線を構成するための相互接続システム (接続マルチプレクサとも呼びます) を備えています。各接続マルチプレクサの入力は、特定のデジタル マクロセルの出力 (デジタル I/O、ルックアップ テーブルなど) に配線で接続されています。接続マルチプレクサを使うと、各デジタル入力を 1 つの出力のみに接続できるため、バスの競合が発生しません。

TPLD801-Q1 は、次のマクロセルを備えています。

- 使用論理ブロック数を構成可能
 - 2 つの 2 ビット ルックアップ テーブル (LUT)
 - 2 つの 3 ビット LUT
 - 2 つの 2 ビット LUT または D タイプ フリップ フロップ (DFF) / ラッチ
 - 2 つの 3 ビット LUT または DFF / ラッチ (リセット / セット オプション付き)
 - 1 つの 3 ビット LUT またはパイプ遅延
 - 1 つの 4 ビット LUT または 8 ビット カウンタ (CNT) または遅延ジェネレータ (DLY)
- 3 つの 8 ビット CNT/DLY
- 1 つのプログラマブル グリッチ除去フィルタ (PFLT) またはエッジ検出器 (EDET)
- 25kHz または 2MHz のどちらかのクロックを生成するための 1 つの発振器 (OSC)

InterConnect Studio ソフトウェア環境を使うと、カスタム回路を設計し、マクロ セル、I/O ピン、相互接続を構成するためのシンプルなドラッグ アンド ドロップ インターフェイスを実現できます。InterConnect Studio は、回路の作成に加えて、設計の検証と消費電力の標準値の推定を行うため、デジタルおよびアナログ機能のシミュレーションを実行できます。回路設計が終了した時点で、InterConnect Studio は不揮発性メモリ内でその設計を一時的にエミュレートできます。または、ワンタイム プログラマブル (OTP) メモリに恒久的に書き込むことができます。OTP は、その内容を読み出せないようにロックできます。

7.2 機能ブロック図



ADVANCE INFORMATION



-  Digital macrocell
-  Analog/Mixed-signal macrocell

図 7-1. TPLD801-Q1 機能ブロック図

7.3 機能説明

7.3.1 I/O ピン

TPLD801-Q1 には 1 つの入力と 5 つのマルチファンクション I/O ピンがあります。GPIO ピンは、ユーザー定義の入力、出力、または特殊機能のいずれかとして使用できます。

入力モード:ピンを入力として構成する場合、以下のオプションを使用できます。

- シュミットトリガなしのデジタル入力
- シュミットトリガ付きデジタル入力
- 低電圧デジタル入力

低電圧デジタル入力は、シュミットトリガなしのデジタル入力よりも V_{IH}/V_{IL} の仕様が低くなります。これにより、低電圧デジタル入力 V_{IH} および V_{IL} 仕様を満たす V_{CC} より低い任意の電圧ドメインからの昇圧変換が可能です。以下のピンには、特別な機能を持つオプションもあります。

- IO1:外部クロック入力

出力モード:ピンを出力として構成する場合、ドライブ強度をプログラム可能な以下のオプションを利用できます。

- 1x プッシュプル出力
- 2x プッシュプル出力
- 1x オープンドレイン NMOS 出力
- 2x オープンドレイン NMOS 出力
- 1x オープンドレイン PMOS 出力
- 2x オープンドレイン PMOS 出力

プルアップ / プルダウン抵抗:すべての I/O ピンには、ピン構造に接続できるユーザー選択可能な抵抗のオプションがあります。これらの抵抗で選択可能な値は、10k Ω 、100k Ω 、1M Ω です。内部抵抗は、プルアップまたはプルダウンとして構成できます。InterConnect Studio での設計時には、設計で未使用のままになっているピンはすべて、デフォルトで 1M Ω のプルダウンを使用して構成されます。さらに、パワーオン イベントの後、パワーオンリセットシーケンスが完了するまで、すべてのポートがハイインピーダンス状態になります。

表 7-1. ピン構成オプション

GPIO	IO の選択	OE	IO オプション	抵抗	抵抗値 (Ω)
IN0	使用されていないピン	—	—	プルダウン	1M
	デジタル入力	0	シュミットトリガなしのデジタル入力 シュミットトリガ付きのデジタル入力 低電圧デジタル入力	フローティング	—
				プルダウン	10k
					100k
1M					

注:GPIO/IN0 には、電源オン時にチップをリセットするオプションもあります。POR とは異なり、外部リセットは GPI、LUT、DLY、OSC、DFF、ラッチ、パイプ遅延、マトリクス、GPO にのみ影響します。NVM は以前の状態のままです。

外部リセットは、「ディスエーブル」、「レベルセンシティブ」、または「エッジトリガ」のいずれかを選択できます。

「レベルセンシティブ」が選択されている場合、入力が High のとき、デバイスはリセットモードになり、すべての内部デバイスがリセットされます。このピンが Low になると、デバイスはリセットパワーオンシーケンスを開始します。

「エッジトリガ」を選択すると、エッジ検出器を立ち上がりエッジまたは立ち下がりエッジに構成でき、GPIO/IN0 のエッジはデバイスをリセットし、リセット電源オンシーケンスを開始します。

表 7-1. ピン構成オプション (続き)

GPIO	IO の選択	OE	IO オプション	抵抗	抵抗値 (Ω)
IO1、IO2、 IO4、IO5	使用されていないピン	—	—	プルダウン	1M
	デジタル入力	0	シュミットトリガなしのデジタル入力 シュミットトリガ付きのデジタル入力 低電圧デジタル入力	フローティング	—
				プルアップ	10k
					100k
					1M
				プルダウン	10k
					100k
	1M				
	デジタル出力	1	プッシュプル (1X、2X) オープンドレイン NMOS (1X、2X) オープンドレイン PMOS (1X、2X)	フローティング	—
				プルアップ	10k
					100k
					1M
				プルダウン	10k
					100k
	1M				
デジタル入出力	1	オープンドレイン NMOS (1X、2X)	フローティング	—	
			プルアップ	10k	
				100k	
				1M	
			プルダウン	10k	
				100k	
1M					

ADVANCE INFORMATION

表 7-1. ピン構成オプション (続き)

GPIO	IO の選択	OE	IO オプション	抵抗	抵抗値 (Ω)
IO3	使用されていないピン	—	—	プルダウン	1M
	デジタル入力	0	シュミットトリガなしのデジタル入力 シュミットトリガ付きのデジタル入力 低電圧デジタル入力	フローティング	—
				プルアップ	10k
					100k
					1M
				プルダウン	10k
					100k
	1M				
	デジタル出力	1/0	プッシュプル (1X, 2X) オープンドレイン NMOS (1X, 2X) 3 ステート出力 (1X, 2X)	フローティング	—
				プルアップ	10k
					100k
					1M
				プルダウン	10k
					100k
	1M				
	デジタル入出力	0	シュミットトリガなしのデジタル入力 シュミットトリガ付きのデジタル入力 低電圧デジタル入力	フローティング	—
				プルアップ	10k
					100k
1M					
プルダウン				10k	
				100k	
		1M			
1	プッシュプル (1X, 2X) オープンドレイン NMOS (1X, 2X)	上記と共有			

ADVANCE INFORMATION

7.3.2 接続マルチプレクサ

TPLD801-Q1 は、内部マクロセルと I/O ピンの配線を構成するための相互接続システム (接続マルチプレクサと呼びます) を備えています。この接続マルチプレクサは 32 の入力と 44 の出力を持っています。接続マルチプレクサの 32 の入力はそれぞれ、I/O ピン、LUT、アナログ コンパレータ、その他のデジタル リソース、VCC、GND を含む特定のマクロセルに配線で接続されています。デジタル マクロセルへの入力は、これらの 32 本の入力ラインのいずれかを選択するため、5 ビットレジスタを使います。

7.3.3 使用論理ブロック数を構成可能

組み合わせロジックは、TPLD801-Q1 内のルックアップ テーブル (LUT) によりサポートされており、2 つの 2 ビット LUT と 2 つの 3 ビット LUT が含まれています。組み合わせ機能マクロセルの入力と出力は、OTP ビットの状態によって定義される特定のロジック機能を持つように、接続マルチプレクサによって構成されます。

TPLD801-Q1 は、複数のロジックまたはタイミング機能を備えた 7 つの組み合わせ機能ブロック (マクロセル) を内蔵しています。いずれの場合も、これらはルックアップ テーブル (LUT)、または別のロジックまたはタイミング機能として機能できます。これらのロジックブロックに実装できる機能については、以下の一覧表を参照してください。

- 2 つの 2 ビット LUT
- 3 つの 2 ビット LUT
- 2 つの 2 ビット LUT または D タイプ フリップ フロップ / ラッチ
- 2 つの 3 ビット LUT または D タイプ フリップ フロップ / ラッチ (リセット / セット オプション付き)
- 1 つの 3 ビット LUT またはパイプ遅延
- 1 つの 4 ビット LUT または 8 ビット カウンタ / 遅延ジェネレータ

7.3.3.1 2 ビット LUT マクロセル

LUT 機能を実装するために使用する場合、2 ビット LUT は接続マルチプレクサから 2 つの入力信号を取り込んで単一出力を生成し、その出力を接続マルチプレクサに戻します。

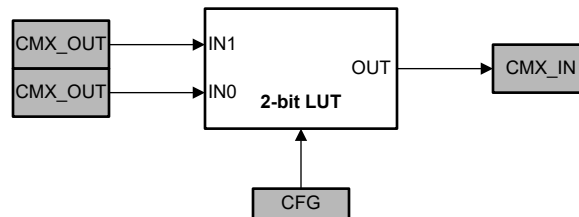


図 7-2. 2 ビット LUT のブロック図

これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 2 入力ユーザー定義機能に構成できます。

表 7-2 に、2 ビット LUT の真理値表を示します。

表 7-2. 2 ビット LUT の真理値表

IN1	IN0	OUT
0	0	ユーザー定義
0	1	
1	0	
1	1	

出力機能を定義するため、各 2 ビット LUT は OTP 内に 4 つのビットを備えています。

7.3.3.2 3 ビット LUT マクロセル

LUT 機能を実装するために使用する場合、3 ビット LUT は接続マルチプレクサから 3 つの入力信号を取り込み、単一出力を生成します。その出力は接続マルチプレクサに戻ります。

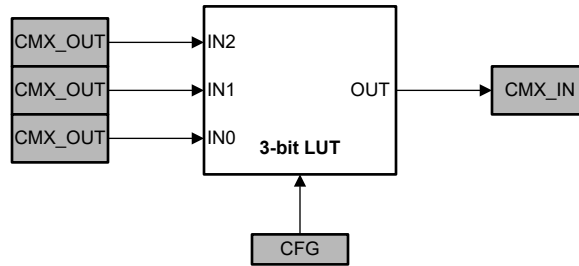


図 7-3. 3 ビット LUT のブロック図

これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 3 入力ユーザー定義機能に構成できます。

表 7-3 に、3 ビット LUT の真理値表を示します。

表 7-3. 3 ビット LUT の真理値表

IN2	IN1	IN0	OUT
0	0	0	ユーザー定義
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

出力機能を定義するため、各 3 ビット LUT は OTP 内に 8 つのビットを備えています。

7.3.3.2 ビット LUT または D フリップ フロップ / ラッチ マクロセル

用途を設定可能なこのロジック ブロックは、2 ビット LUT か D フリップ フロップまたはラッチのどちらかとして機能できます。

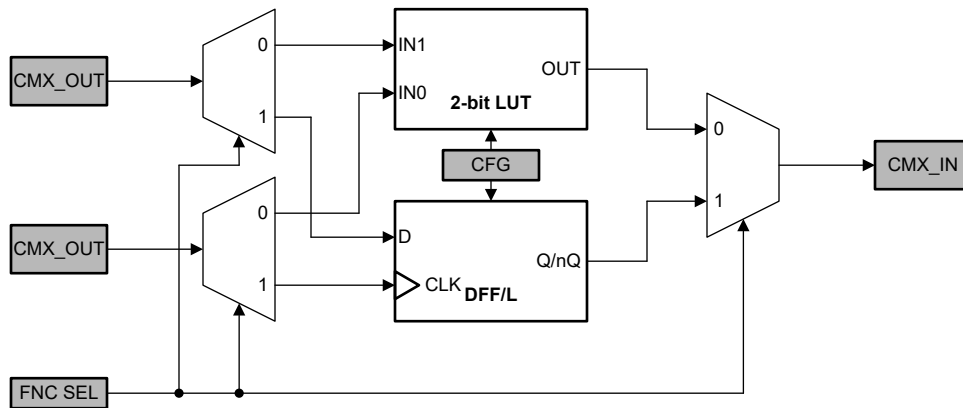


図 7-4. 2 ビット LUT または DFF / ラッチのブロック図

LUT 機能を実装するために使用する場合、2 ビット LUT は接続マルチプレクサから 2 つの入力信号を取り込み、単一出力を生成します。その出力は接続マルチプレクサに戻ります。これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 2 入力ユーザー定義機能に構成できます。

表 7-4 に、2 ビット LUT の真理値表を示します。

表 7-4. 2 ビット LUT の真理値表

IN1	IN0	OUT
0	0	ユーザー定義
0	1	
1	0	
1	1	

出力機能を定義するため、各 2 ビット LUT は 4 ビット OTP を備えています。

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 2 つの入力信号は、フリップフロップまたはラッチのデータ (D) およびクロック (CLK) 入力に入力され、その出力は接続マルチプレクサに戻ります。このマクロセルはクロックおよび出力極性パラメータだけでなく、初期状態パラメータを持っています。

D フリップフロップ / ラッチの動作は、以下の機能説明に従います。

- クロック極性は設定可能であり、非反転 (CLKPOL = 0、CLK) または反転 (CLKPOL = 1、nCLK) に設定できます。
 - CLK を使った DFF: CLK は立ち上がりエッジでトリガされ、Q = D になります。それ以外の場合、Q は変化しません。
 - nCLK を使った DFF: CLK は立ち下がりエッジでトリガされ、Q = D になります。それ以外の場合、Q は変化しません。
 - CLK を使ったラッチ: CLK が Low になると、Q = D になります。それ以外の場合、Q は前の値のまま維持されます (CLK が High の場合、入力 D は出力に影響を与えません)。
 - nCLK を使ったラッチ: CLK が High になると、Q = D になります。それ以外の場合、Q は前の値のまま維持されます (CLK が Low の場合、入力 D は出力に影響を与えません)。
- 出力極性は設定可能であり、非反転 (Q) または反転 (nQ) に設定できます。

表 7-5 と表 7-6 に、それぞれ D フリップフロップと D ラッチの真理値表を示します。

表 7-5. D フリップフロップの真理値表

CLKPOL	CLK	D	Q	nQ
0	↓	0	Q ₀	nQ ₀
	↑	0	0	1
	↓	1	Q ₀	nQ ₀
	↑	1	1	0
1	↓	0	0	1
	↑	0	Q ₀	nQ ₀
	↓	1	1	0
	↑	1	Q ₀	nQ ₀

表 7-6. D ラッチの真理値表

CLKPOL	CLK	D	Q	nQ
0	0	0	0	1
	1	0	Q ₀	nQ ₀
	0	1	1	0
	1	1	Q ₀	nQ ₀
1	0	0	Q ₀	nQ ₀
	1	0	0	1
	0	1	Q ₀	nQ ₀
	1	1	1	0

7.3.3.4 3 ビット LUT または D フリップ フロップ / ラッチ (セット / リセット付き) マクロセル

用途を設定可能なこのロジックブロックは、3 ビット LUT か D フリップ フロップまたはラッチ (セットまたはリセット付き) のどちらかとして機能できます。

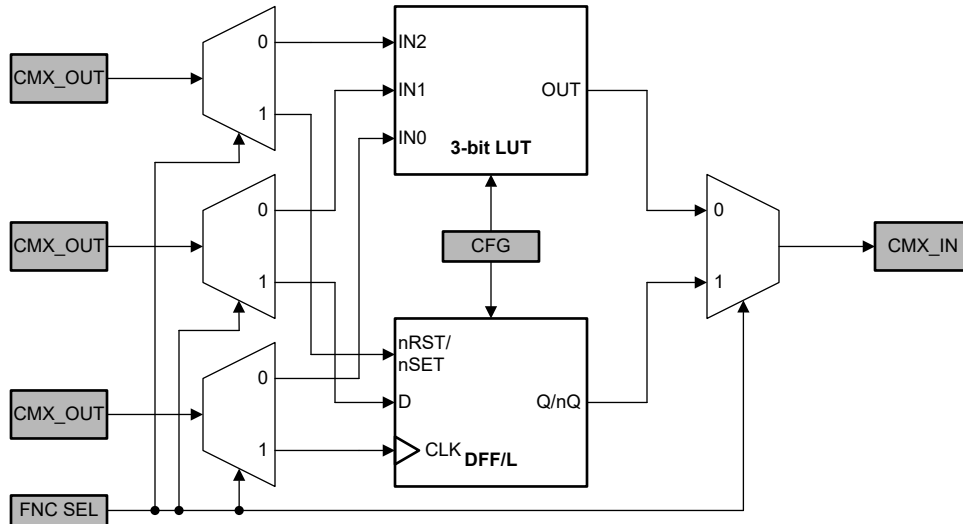


図 7-5. 3 ビット LUT または DFF / ラッチ (nRST/nSET 付き) のブロック図

LUT 機能を実装するために使用する場合、3 ビット LUT は接続マルチプレクサから 3 つの入力信号を取り込み、単一出力を生成します。その出力は接続マルチプレクサに戻ります。これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 3 入力ユーザー定義機能に構成できます。

表 7-7 に、3 ビット LUT の真理値表を示します。

表 7-7. 3 ビット LUT の真理値表

IN2	IN1	IN0	OUT
0	0	0	ユーザー定義
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

出力機能を定義するため、各 3 ビット LUT は 8 ビット OTP を備えています。

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 3 つの入力信号は、フリップフロップまたはラッチのデータ (D)、クロック (CLK)、リセット / セット (nRST/nSET) 入力に入力され、その出力は接続マルチプレクサに戻ります。このマクロセルは初期状態、クロック極性、リセット / セット極性、出力極性のパラメータを持っています。

D フリップフロップ / ラッチの動作は、以下の機能説明に従います。

- クロック極性は設定可能であり、非反転 (CLKPOL = 0、CLK) または反転 (CLKPOL = 1、nCLK) に設定できます。
 - CLK を使った DFF: CLK は立ち上がりエッジでトリガされ、Q = D になります。それ以外の場合、Q は変化しません。
 - nCLK を使った DFF: CLK は立ち下がりエッジでトリガされ、Q = D になります。それ以外の場合、Q は変化しません。
 - CLK を使ったラッチ: CLK が Low になると、Q = D になります。それ以外の場合、Q は前の値のまま維持されます (CLK が High の場合、入力 D は出力に影響を与えません)。
 - nCLK を使ったラッチ: CLK が High になると、Q = D になります。それ以外の場合、Q は前の値のまま維持されず (CLK が Low の場合、入力 D は出力に影響を与えません)。
- これらの DFF / ラッチには、アクティブ Low のリセットまたはセットを選択する方法があります。
 - nRST: 入力を High にすると、DFF / ラッチは通常動作に入り、入力を Low にすると、Q は 0 にリセットされます。
 - nSET: 入力を High にすると、DFF / ラッチは通常動作に入り、入力を Low にすると、Q は 1 にセットされます。
- リセット / セットが不要な場合、この入力を V_{CC} またはその他の定電圧源に接続できます。
- 出力極性は設定可能であり、非反転 (Q) または反転 (nQ) に設定できます。

表 7-8 と表 7-9 に、それぞれ D フリップフロップと D ラッチ (リセット / セット付き) の真理値表を示します。

表 7-8. D フリップフロップ (nRST/nSET 付き) の真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	Q ₀	nQ ₀
			↑	0	0	1
			↓	1	Q ₀	nQ ₀
			↑	1	1	0

表 7-8. D フリップフロップ (nRST/nSET 付き) の真理値表 (続き)

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	0	1
			↑	0	Q ₀	nQ ₀
			↓	1	1	0
			↑	1	Q ₀	nQ ₀

表 7-9. D ラッチ (nRST/nSET 付き) の真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		0	0	0	1
			1	0	Q ₀	nQ ₀
			0	1	1	0
			1	1	Q ₀	nQ ₀
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		0	0	Q ₀	nQ ₀
			1	0	0	1
			0	1	Q ₀	nQ ₀
			1	1	1	0

7.3.3.5 3 ビット LUT またはパイプ遅延マクロセル

このマクロセルは 3 ビット LUT とパイプ遅延のどちらかとして機能できます。

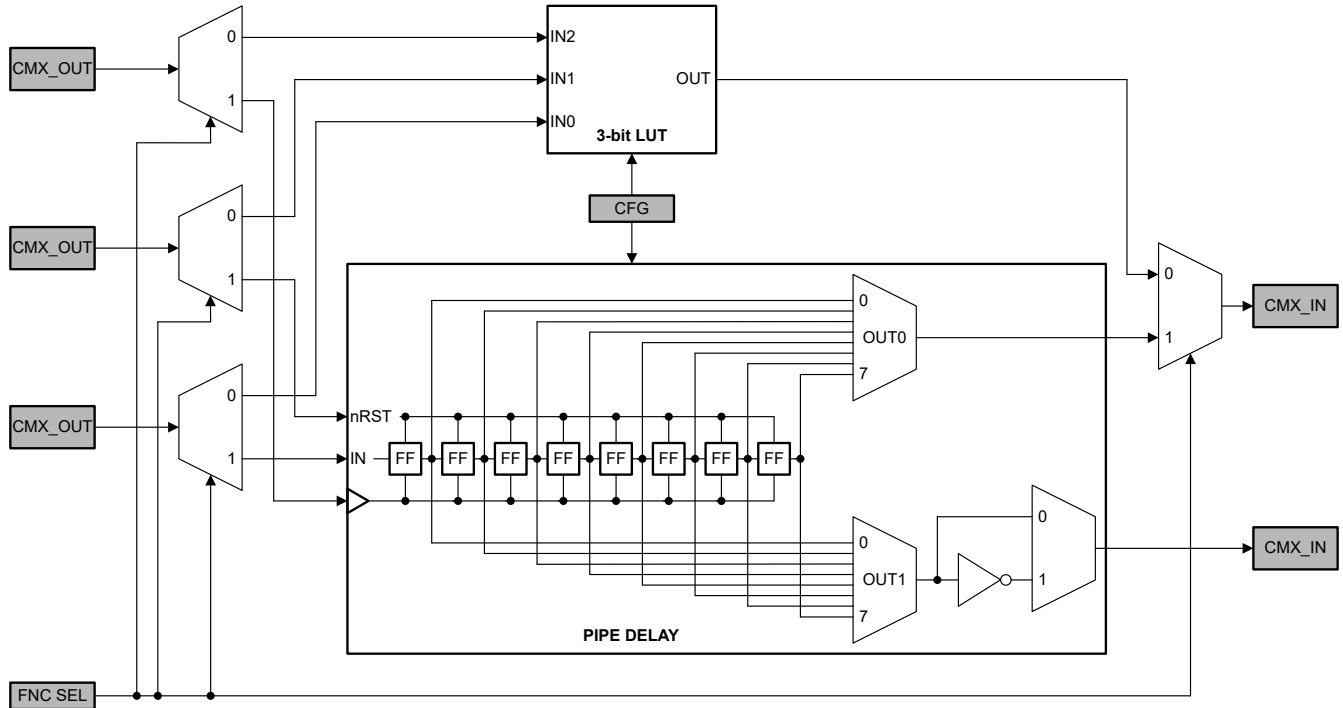


図 7-6.3 ビット LUT またはパイプ遅延のブロック図

LUT 機能を実装するために使用する場合、3 ビット LUT は接続マルチプレクサから 3 つの入力信号を取り込み、単一出力を生成します。その出力は接続マルチプレクサに戻ります。これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 3 入力ユーザー定義機能に構成できます。

表 7-10 に、3 ビット LUT の真理値表を示します。

表 7-10. 3 ビット LUT の真理値表

IN2	IN1	IN0	OUT
0	0	0	ユーザー定義
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

出力機能を定義するため、各 3 ビット LUT は OTP 内に 8 つのビットを備えています。

パイプ遅延を実装するために使用する場合、接続マルチプレクサからの 3 つの入力信号は、フリップ フロップまたはラッチの遅延入力 (IN)、クロック (CLK)、リセット (nRST) 入力に入力され、2 つの出力は接続マルチプレクサに戻ります。このマクロセルを使うと、ユーザーは出力ごとの遅延段数 (1~8) と OUT1 の出力極性を選択できます。

パイプ遅延は、8 つの DFF で構成された 8 段の遅延です。DFF セルは直列に接続され、各遅延セルの出力が隣の DFF セルに転送されます。マルチプレクサへの OUT0 および OUT1 出力の各組には、各パイプ遅延出力の遅延量の選択を制御するために使用される遅延出力点があります。

通常のパイプ遅延機能の場合、nRST 入力を High にする必要があります。nRST 入力が Low の場合、パイプ遅延マクロセルはリセット状態に入り、すべての出力は Low になります。

図 7-7 に、2 段の遅延を選択したパイプ遅延マクロセルの例を示します。

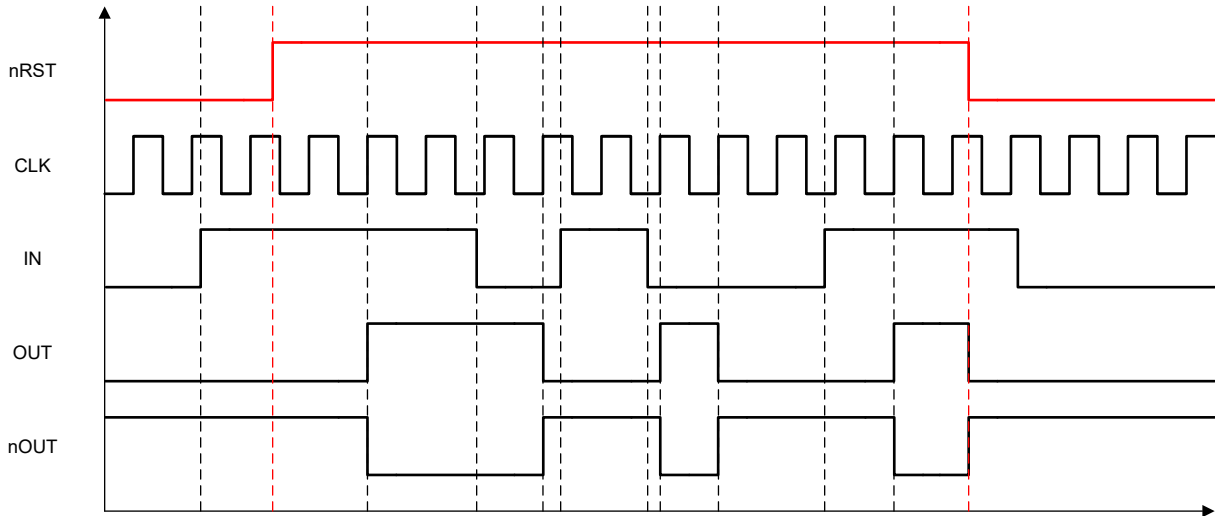


図 7-7. パイプ遅延マクロセルのタイミング例 (遅延 = 2)

7.3.3.6 4 ビット LUT または 8 ビット カウンタ / 遅延マクロセル

このマクロセルは 4 ビット LUT とカウンタ / 遅延ジェネレータ (CNT/DLY) のどちらかとして機能できます。

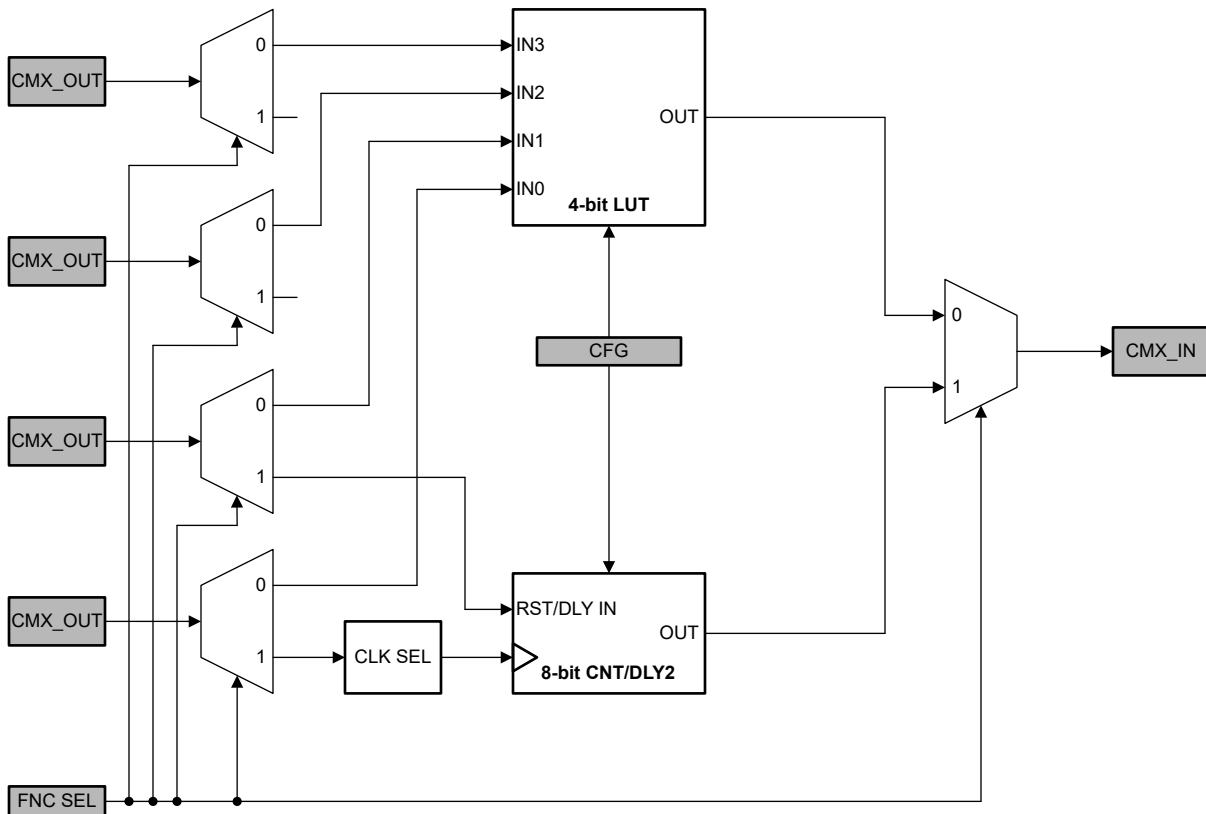


図 7-8. 4 ビット LUT または 8 ビット CNT/DLY のブロック図

LUT 機能を実装するために使用する場合、4 ビット LUT は接続マルチプレクサから 4 つの入力信号を取り込み、単一出力を生成します。その出力は接続マルチプレクサに戻ります。これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 4 入力ユーザー定義機能に構成できます。

表 7-11 に、4 ビット LUT の真理値表を示します。

表 7-11. 4 ビット LUT の真理値表

IN3	IN2	IN1	IN0	OUT
0	0	0	0	ユーザー定義
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

出力機能を定義するため、各 4 ビット LUT は OTP 内に 16 のビットを備えています。

8 ビット カウンタ / 遅延機能を実装するために使用する場合、接続マルチプレクサからの 2 つの入力信号は、カウンタ / 遅延マクロセルのクロック (CLK) とリセット (RST/DLY IN) に入力され、その出力は接続マルチプレクサに戻ります。カウンタとして本マクロセルは、定められたデータ値をカウントし、設定値に達すると、パルスを生成し、またはリセットします。遅延として本マクロセルは、レジスタ値の関数として設定された期間だけ立ち上がりエッジおよび / または立ち下がりエッジを遅らせます。

CNT/DLY マクロセルの詳細については、[セクション 7.3.4](#) を参照してください。

7.3.4.8 ビット カウンタ / 遅延ジェネレータ (CNT/DLY)

カウンタ / 遅延ジェネレータは 8 ビットで、1~255 のカウンタ データ値をサポートします。柔軟性を高めるため、これらの各マクロセルのクロック ソースは、内部発振器、発振器から生成された分周クロック (OSC/4、/12、/24、/64、/4096)、または接続マルチプレクサから生成される外部クロック ソースとして構成できます。前の CNT/DLY マクロセルの出力からチェーン接続して、より長いカウンタ / 遅延回路を実装するオプションもあります。カウンタ / 遅延マクロセルが立ち上がりエッジトリガであることに注意してください。つまり、クロックの立ち上がりエッジでカウンタがインクリメント / デクリメントします。

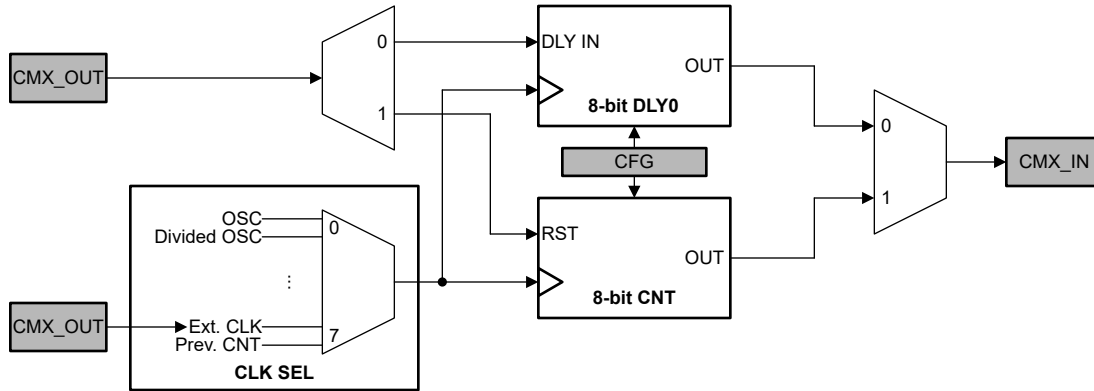


図 7-9. CNT/DLY ブロック図

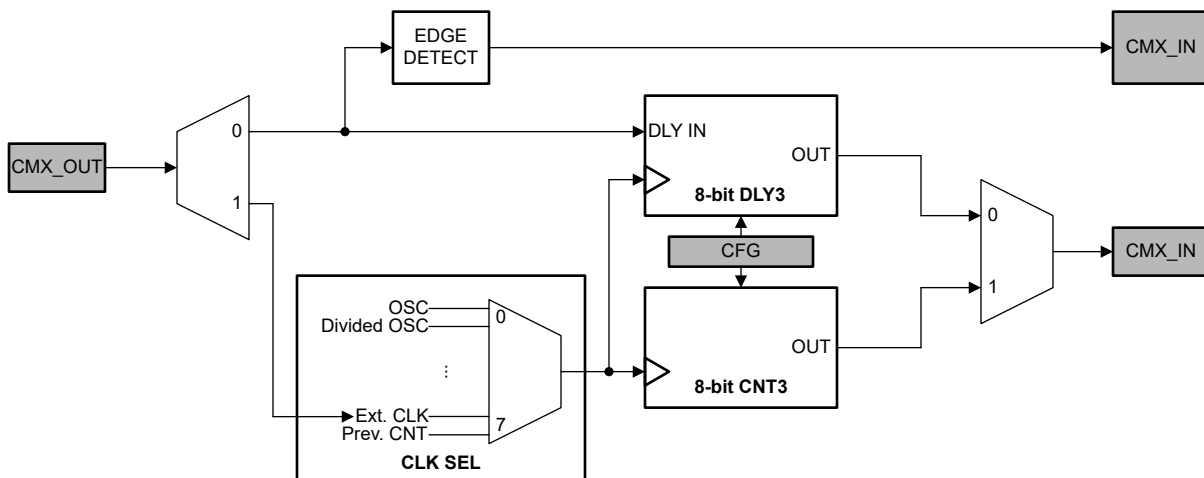


図 7-10. CNT/DLY3 のブロック図

カウンタ / 遅延 (CNT/DLY) マクロセルとして、モードを遅延、カウンタから選択できます。

DLY3 にはオプションのエッジ検出器もあり、遅延出力に加えて、指定されたエッジで短いパルスを生成します。

7.3.4.1 遅延モード

遅延ジェネレータ (DLY) として構成されている場合、このマクロセルは、カウンタ DATA と CLK 入力周波数に基づいて入力を遅延させ、立ち上がり / 立ち下がりエッジを遅延します。遅延するエッジは、エッジ選択パラメータで選択され、次のように設定できます。

- **Rising:** IN の立ち上がりエッジでのみ遅延します。
- **Falling:** IN の立ち下がりエッジでのみ遅延します。
- **Both:** IN の立ち上がりエッジと立ち下がりエッジの両方で遅延します。

遅延アプリケーションの場合、より大きなカウンタ DATA 値を使用して誤差を低減することを推奨します。入力パルス幅が指定の遅延時間より短い場合、パルスはフィルタで除去されます。この機能はグリッチ除去に役立ちます。

オンチップ発振器を使用する場合、OSC が「強制電源オン」と「自動電源オン」のどちらに設定されているかに応じて、遅延誤差またはオフセットが発生します。クロック同期の遅延計算には、さらに 2 クロック サイクルが含まれますが、クロック同期をバイパスするオプションもあります。

遅延時間は、 $DELAY = (DATA + (t_{d_err} \text{ または } t_{d_os}) + 2) / f_{CLK}$ で計算されます。

OSC が「自動電源オン」に設定され、その後前の出力が存在する前に DLY マクロセルがトリガされると、OSC はクロックを継続し、DLY が次の立ち上がりエッジで開始します。したがって、それ以降の遅延は、OSC が「強制電源オン」に設定されているかのように計算できます。

図 7-11 に、両方のエッジ遅延 (both) と DATA = 1 に設定された遅延マクロセル動作の例を示します。

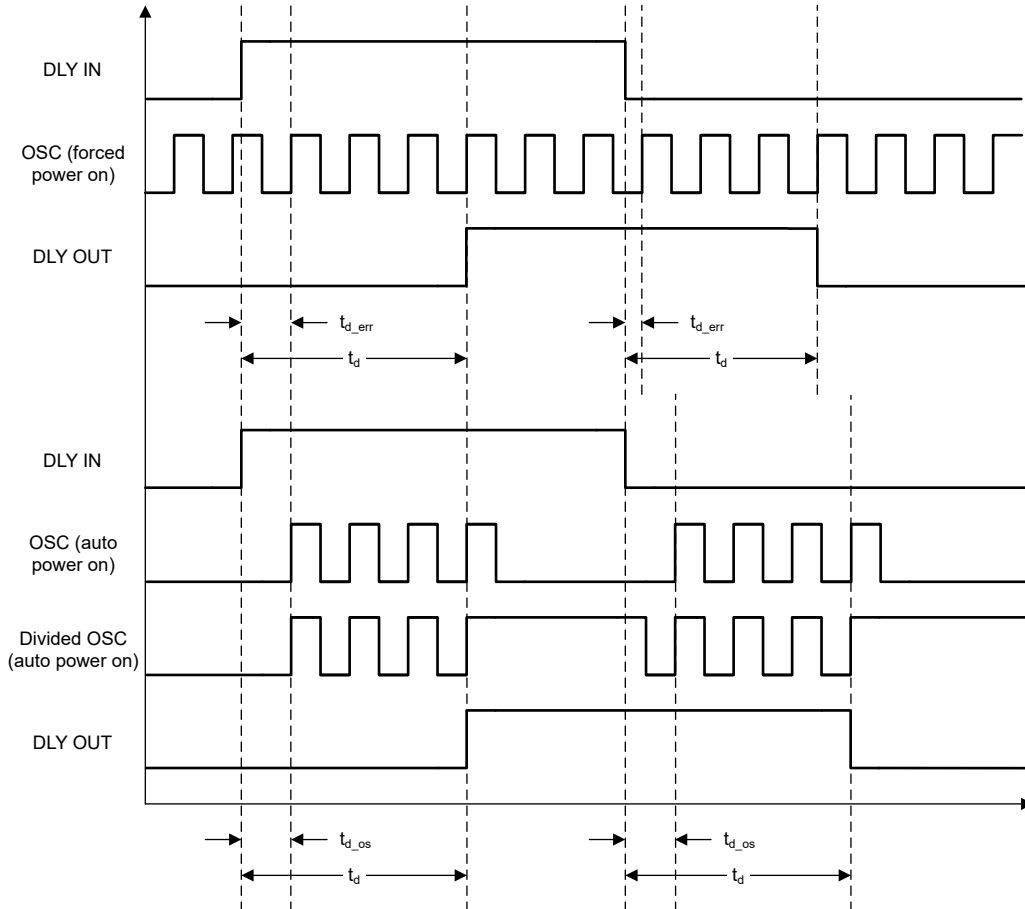


図 7-11. 遅延出力タイミングの例 (両方のエッジ遅延と DATA = 1)

図 7-12 に、OSC を「自動電源オン」に設定した状態で、2 つの異なる遅延マクロセルが連続的にトリガされるタイミングの例を示します。

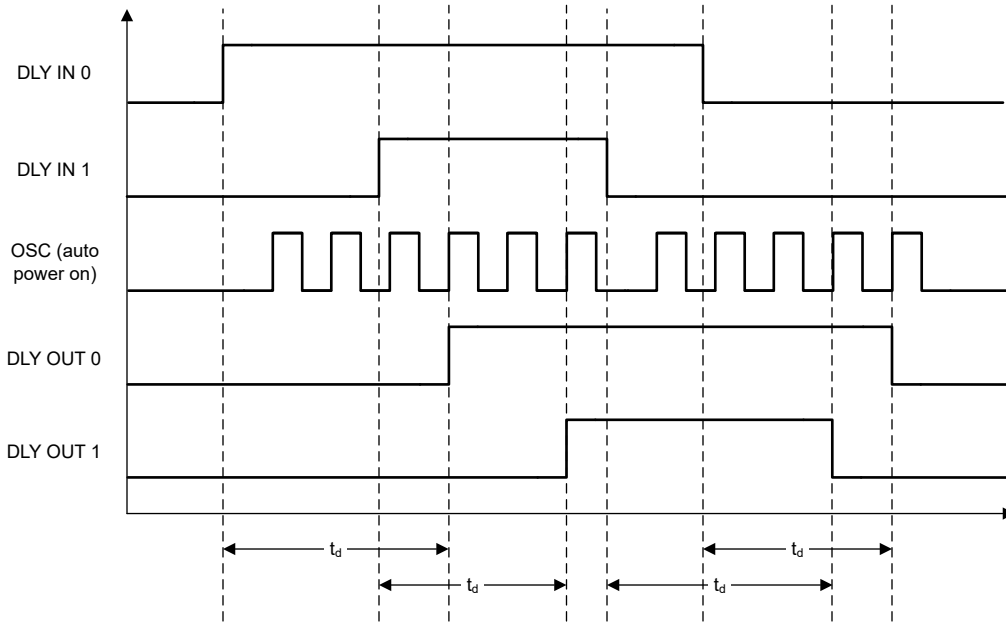


図 7-12. 遅延出力タイミングの例 (2 つの遅延マクロセル、両方のエッジ遅延、DATA = 1、OSC POWER = AUTO)

7.3.4.2 カウンタ モードのリセット

カウンタ (CNT) として構成し、IN 入力に有効なエッジが表示されると、このマクロセルは内部カウンタを 0 にリセットし、次の立ち上がりクロック エッジで DATA からカウントダウンを開始します。その後、カウントが 0 に達した時点で、マクロセルは 1 CLK 周期の間パルスを出し、DATA の値にラップアラウンドします。カウンタは、別のリセットを受信するまで継続的に動作します。カウンタがリセットされるエッジは、エッジ選択パラメータによって決定され、次のように構成できます。

- **Rising:** IN の立ち上がりエッジのみがカウンタをリセットします。
- **Falling:** IN の立ち下がりエッジのみがカウンタをリセットします。
- **Both:** IN の立ち上がりエッジと立ち下がりエッジの両方で、カウンタがリセットされます。
- **High Level Reset:** IN が High のときは常にカウンタは 0 にリセットされ、リセット後、カウンタ出力は次の立ち上がり CLK エッジまで Low に維持され、その後は通常動作します。

カウンタ時間は、 $COUNT = (DATA + 1)/f_{CLK}$ によって計算されます。リセット後、クロック同期のためにさらに 2 クロック サイクルが追加されますが、クロック同期をバイパスするオプションもあります。

注

POR 後、カウンタは DATA = 0 で初期化されます。

図 7-13 および図 7-14 に、それぞれ DATA=1 および DATA=3 でのエッジ選択パラメータごとのカウンタ出力タイミング図の例を示します。

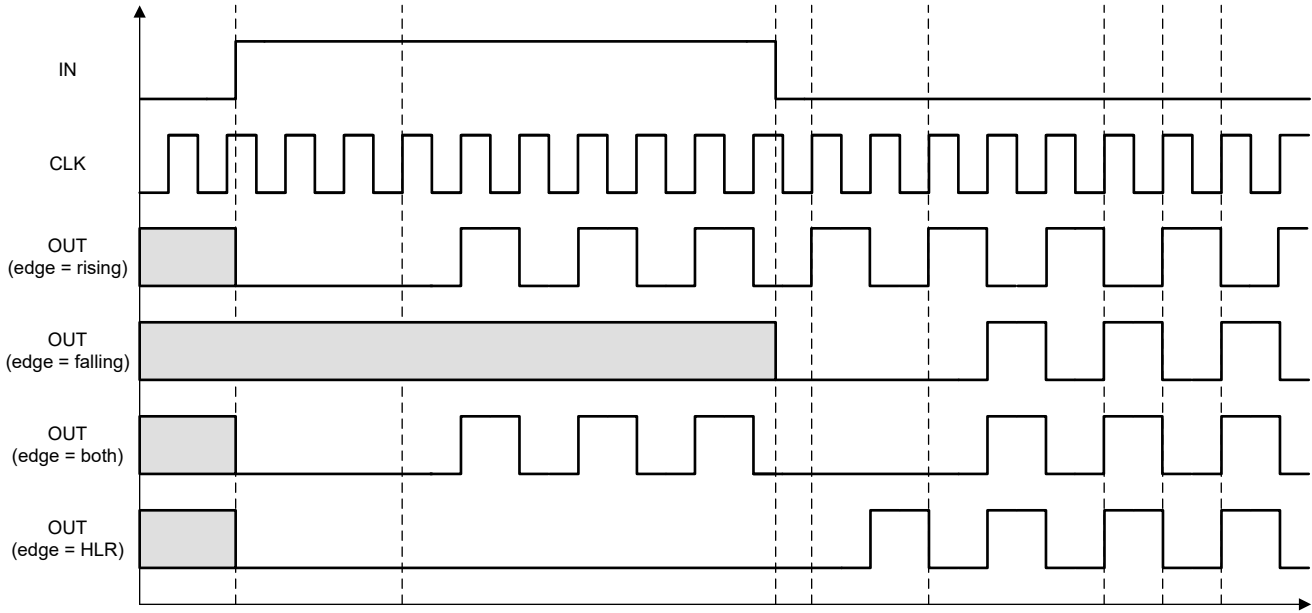


図 7-13. カウンタ出カタイミングの例 (DATA = 1)

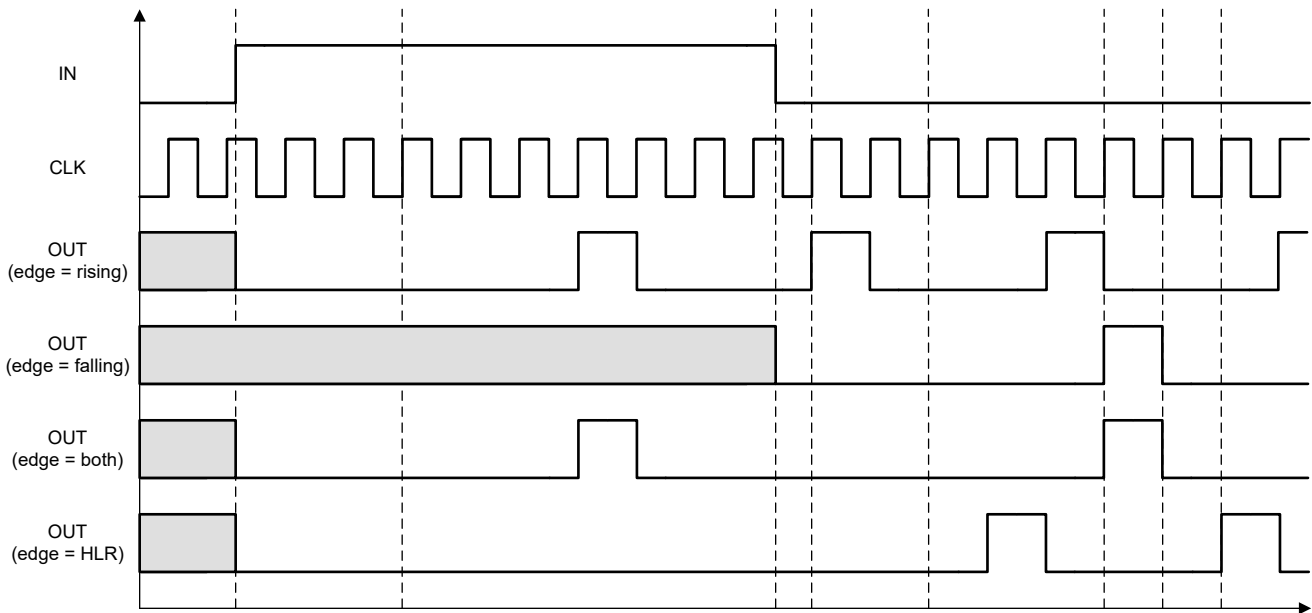


図 7-14. カウンタ出カタイミングの例 (DATA = 3)

図 7-15 に、IN 信号がカウンタの長さより短い場合のカウンタ マクロセルの動作の例を示します (エッジ選択パラメータが「Both」に設定されている場合に表示)。

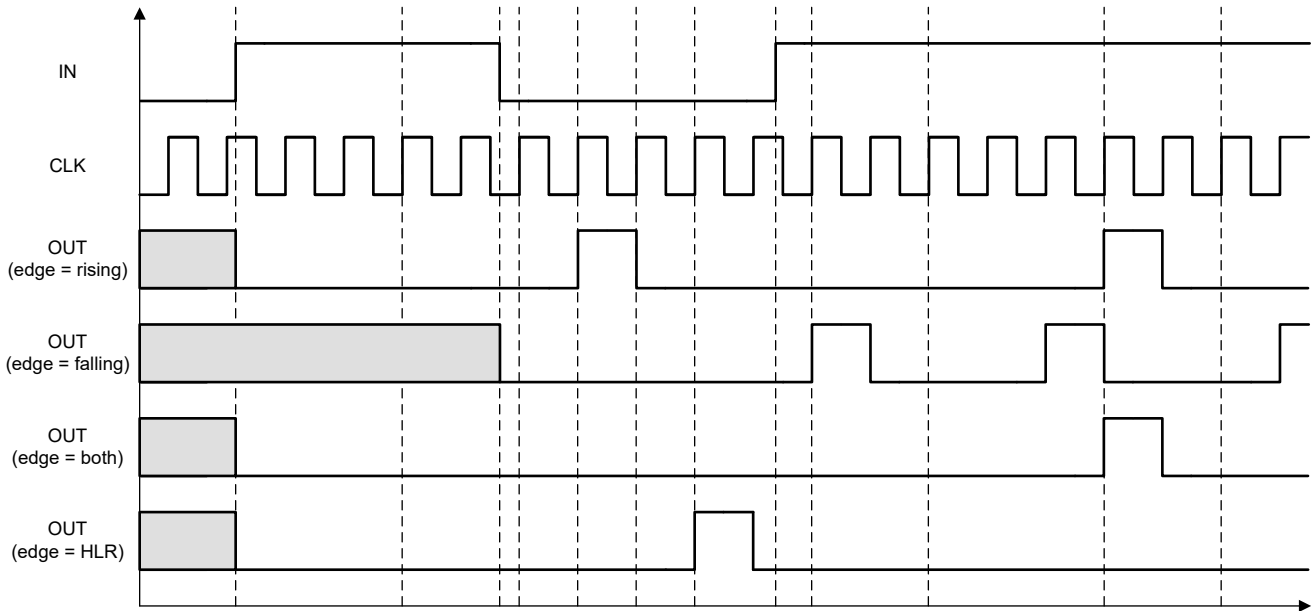


図 7-15. RST < DATA (DATA = 3) でのカウンタ出力タイミング例

7.3.5 プログラム可能なグリッチ除去フィルタまたはエッジ検出器マクロセル

TPLD801-Q1 には 1 つのマクロセルがあり、プログラマブルフィルタ (PFLT) またはエッジ検出器 (EDET) として構成できます。PFLT マクロセルを使用すると、 t_{pflt_pw} および t_{pflt_pd} で特性化される遅延 (t_{pflt_d}) を生成できます。 t_{pflt_pw} は 125ns、250ns、375ns、500ns に設定でき、 t_{pflt_pd} は約 40ns の固定値です。さらに、マクロセルの出力は、立ち上がりエッジ検出、立ち下がりエッジ検出、両方のエッジ検出、または両方のエッジ遅延の 4 つのオプションのいずれかに構成できます。最後に、このフィルタは短いローパスフィルタとして動作し、出力を非反転または反転に設定できます。

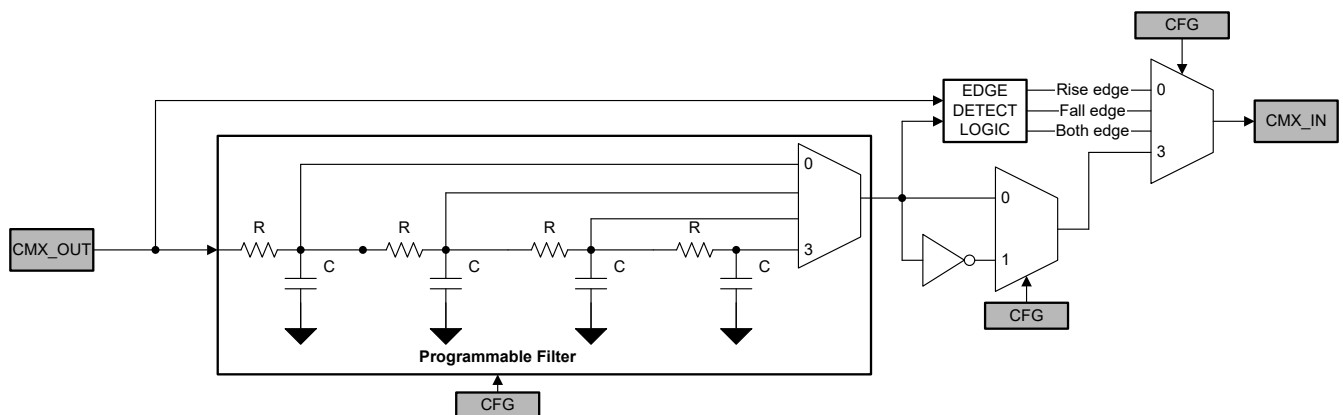


図 7-16. プログラム可能なフィルタおよびエッジ検出器のブロック図

注

入力信号は t_{pflt_d} より長くする必要があります。長くしないと、フィルタによって除去されます。

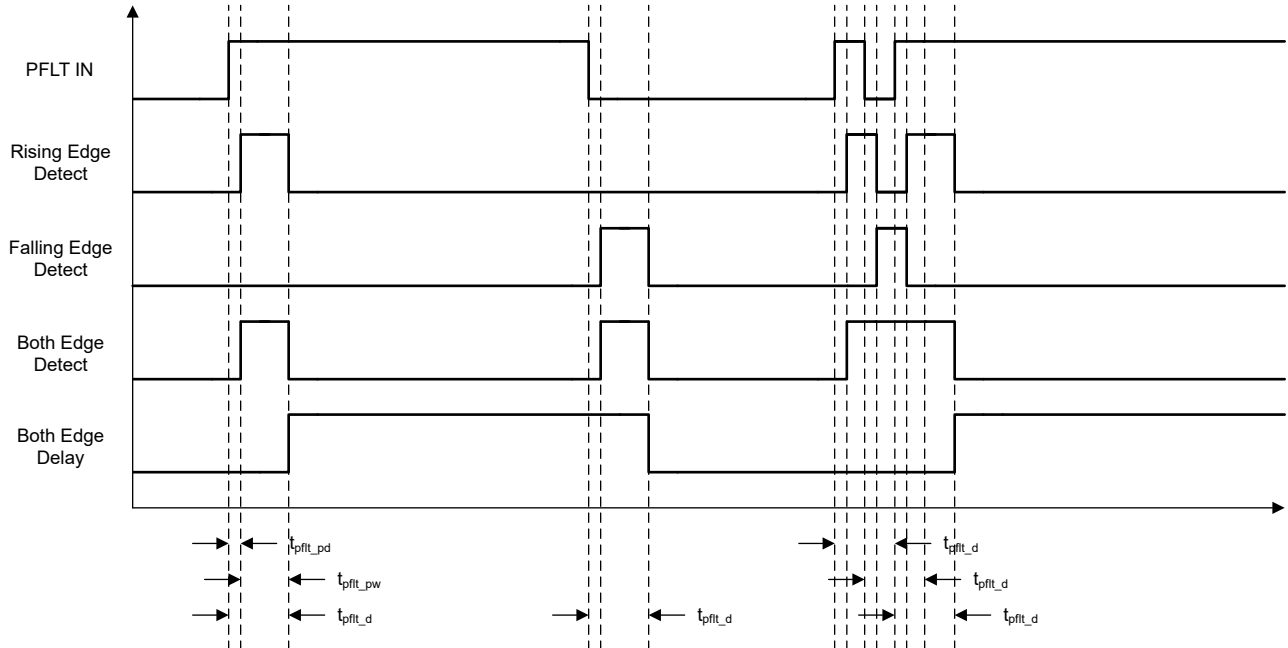


図 7-17. プログラム可能なフィルタおよびエッジ検出器の出力タイミング図の例

7.3.6 周波数選択可能発振器

TPLD801-Q1 には 1 つの内部発振器があり、25 kHz または 2 MHz で動作するよう選択できます。OSC マクロセルに対してこれらの動作周波数のいずれかを選択することも、内部発振器をバイパスして、外部クロックから動作周波数を供給することもできます。

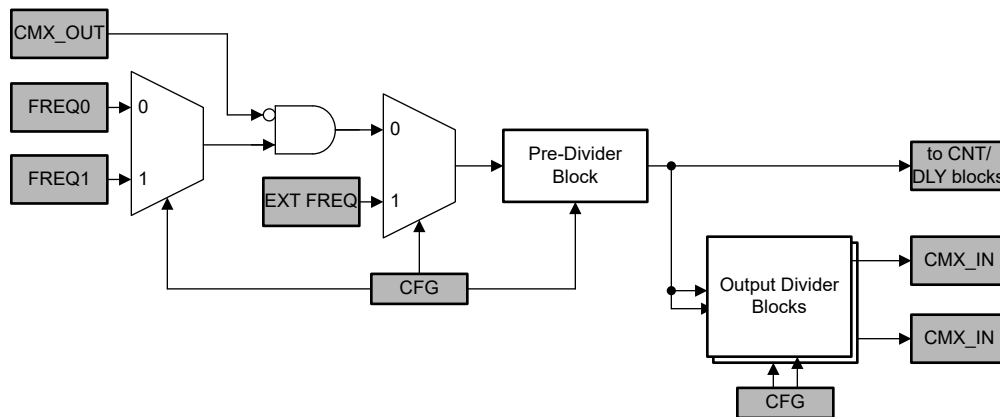


図 7-18. 発振器のブロック図

動作クロック入力に続いて、2 つの分周ステージがあり、さまざまなクロック周波数をデバイス全体で柔軟に使用できます。

第 1 ステージ分周器を使用すると、表 7-13 に示すように、発振器の動作周波数から最大 4 つのオプションを選択できます。第 1 ステージ分周器の出力は、カウンタ / 遅延ジェネレータのマクロセル CLK 入力に直接配線され、ここでは独立した第 2 ステージ分周器が利用可能です。

第 1 ステージ分周器の出力は、発振器マクロセル内の第 2 ステージ分周器にも配線されています。発振器のマクロセルには 2 つの独立した第 2 ステージ分周器があり、接続マルチプレクサへの 2 つの独立したクロック (OUT0 および OUT1) の出力が可能です。表 7-14 を参照してください。

発振器の電力モード: 本デバイスの内部発振器を使用する場合、次の 2 つの構成設定が利用できます。

- **強制パワーオン:** デバイスの電源がオンになっている間、内部発振器は連続的に動作します。
- **自動電源オン:** 内部発振器は、いずれかのマクロセルが接続マルチプレクサではなく、プリデバイダ ブロック出力から直接発振器を要求すると動的にオンになり、タスクが完了すると電源オフになります。
- **外部電源のオン/オフ:** PDWN が High にアサートされると、内部発振器の電源がオフになります。PDWN 信号は、発振器の電力モードよりも優先されます。これは、内部発振器が選択されている場合のみ適用され、外部クロックが使用されている場合はバイパスされます。

表 7-12. 周波数オプションおよび制限

周波数オプション	最小値	標準値	最大値
FREQ0	23.75 kHz	25 kHz	26.25 kHz
FREQ1	1.9 MHz	2 MHz	2.1 MHz
EXT	-	-	-

表 7-13. 発振器プリデバイダ

プリデバイダ オプション	振幅、大きさ
P0	1
P1	2
P2	4
P3	8

表 7-14. 発振器出力分周器

出力分周器オプション	振幅、大きさ
OD0	1
OD1	2
OD2	3
OD3	4
OD4	8
OD5	12
OD6	24
OD7	64

7.4 デバイスの機能モード

7.4.1 パワーオンリセット

TPLD801-Q1 にはパワーオンリセット (POR) マクロセルがあり、デバイスが正しく初期化され、デバイス内のすべてのマクロセルが確実に動作します。POR 回路の目的は、最初に V_{CC} 電源が本デバイスに印加された際と、パワーダウン中に V_{CC} が低下する際に、一貫性のある挙動と予測可能な結果を得ることです。この目標を達成するため POR は、本デバイス内の各種マクロセルの状態、最終的には I/O ピンの状態を変化させるきっかけとなる一連の定義済み内部イベントを実行させます。

パワーオンリセット (POR) マクロセルは、本デバイスの電源 (V_{CC}) が約 V_{PORR} に上がり、本デバイスが完全に起動すると、出力としてロジック High 信号を生成します。すべての出力がハイインピーダンス状態になり、チップは OTP からのデータの読み込みを開始します。内部マクロセルに対するリセット信号は解放され、すべてのレジスタはデフォルト状態に初期化されます。図 7-19 に、特定のマクロセルを有効化する一連の信号を POR システムが生成する様子を示します。

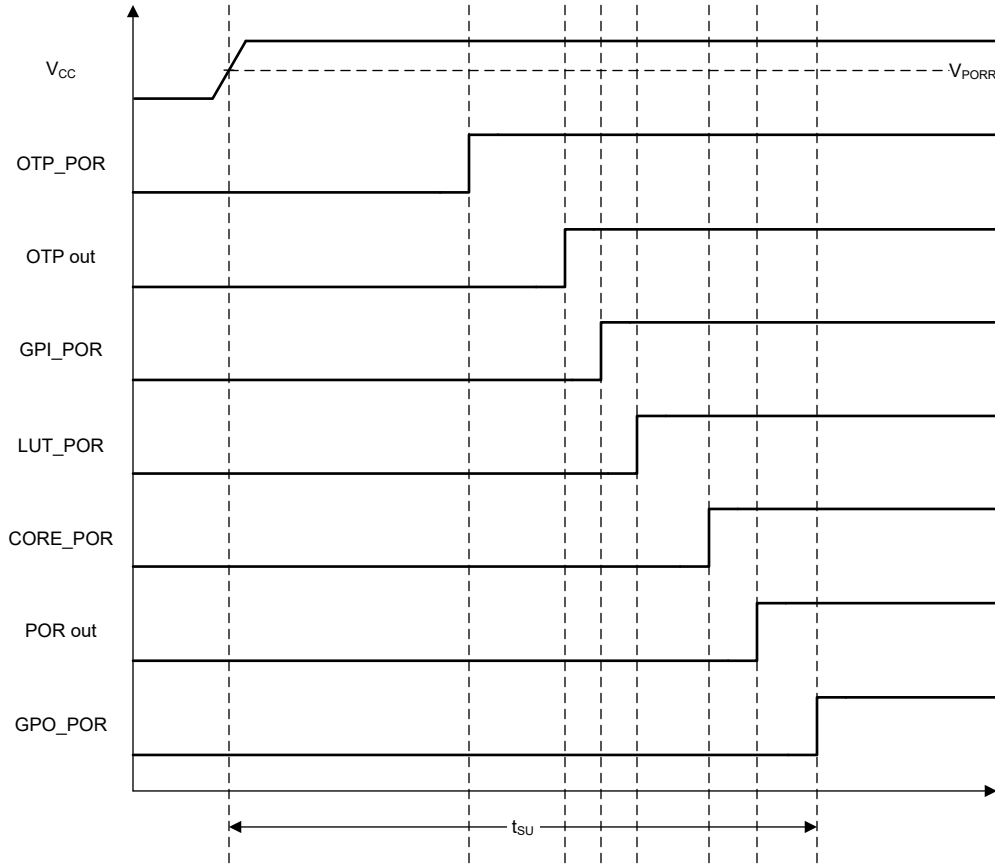


図 7-19. POR シーケンス

図 7-19 に示すように、 V_{CC} が上昇を開始し、 V_{PORR} スレッショルドを横切った後、次の動作が行われます。

- まず、オンチップ OTP メモリがリセットされます。
- 次に、本デバイスは OTP メモリからデータを読み取り、各マクロセルと接続マルチプレクサを構成するため、この情報を転送します。
- 第 3 段階では、入力として構成された GPIO がリセットされ、それらが有効化されます。
- その後、LUT がリセットされ、アクティブになります。LUT の後、遅延セル、OSC、DFF、ラッチ、パイプ遅延が初期化されます。
- すべてのマクロセルが初期化されると、POR マクロセルによって生成された内部 POR 信号が Low から High に変化します。
- 本デバイスの初期化される最後の部分は出力ピンであり、これらの出力ピンはこの時点でハイインピーダンスからアクティブタイプに移ります。

遅延ブロックは、スタートアップシーケンス中に、構成ごとに信号を遅延させることなく入力を出力に渡します。そのため、DLY の入力の前に LUT を追加して、DLY 入力と POR の AND により、デバイスの電源が完全にオンになるまで、入力信号が出現しないことが保証されます。

GPIO の高速充電: 特に大きな容量が存在する場合、入力が正常な電圧により早く到達できるように、任意の構成済みプルアップ/プルダウン抵抗と並列に $2k\Omega$ の抵抗を接続する方法があります。10k Ω 、100k Ω 、1M Ω の GPIO プルアップ/プルダウン抵抗は、POR シーケンスが完了するまで有効化されません。

初期化: すべての内部マクロセルはデフォルトで Low レベルに初期化されます。 V_{CC} が V_{PORR} を超えると、TPLD801-Q1 のマクロセルがパワーオンされ、強制的にリセット状態になります。

POR 信号が High になることは、前述のパワーアップシーケンスが完了したことを示します。

7.5 プログラミング

7.5.1 ワンタイム プログラマブル メモリ (OTP)

TPLD801-Q1 はワンタイム プログラマブル (OTP) 不揮発性メモリを内蔵しています。このメモリは、電源がなくてもデバイス構成を保持します。本デバイスに対して POR イベントが発行されると、[セクション 7.4.1](#) に示す POR シーケンスに従って、OTP コンテンツがマクロセルに読み込まれます。

TPLD801-Q1 の OTP メモリは、迅速なインシステム評価のためにエミュレートすることも、TPLD801-Q1 EVM と InterConnect Studio ソフトウェア プラットフォームを使って恒久的に書き込むこともできます。OTP をエミュレートしている間、TPLD は、電源が供給されている限り、プログラムされた構成を保持します。パワー サイクルが行われると、TPLD は、OTP に保存された構成に戻ります。

8 改訂履歴

日付	改訂	注
2024 年 9 月	*	事前情報のリリース

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

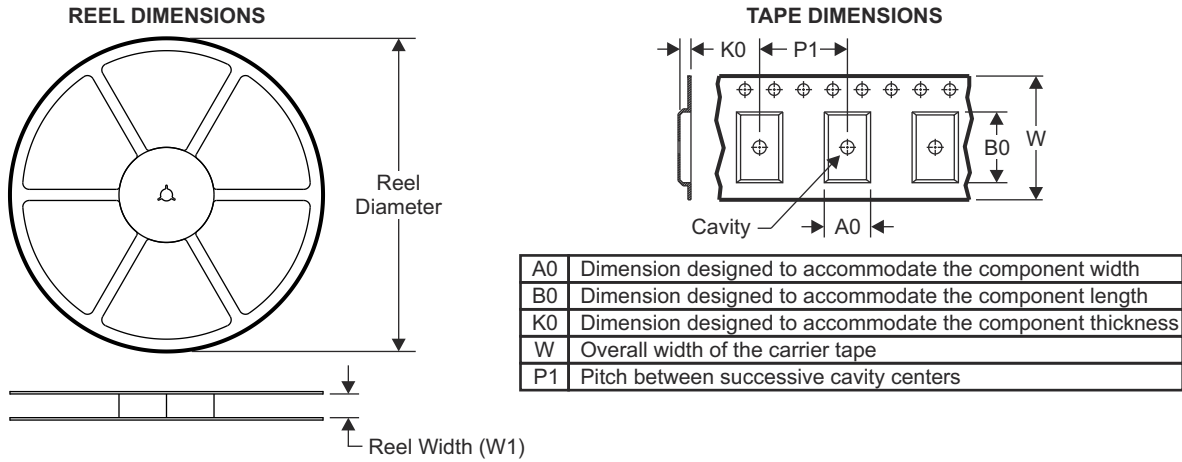
9.1 付録 : パッケージ オプション

パッケージ情報

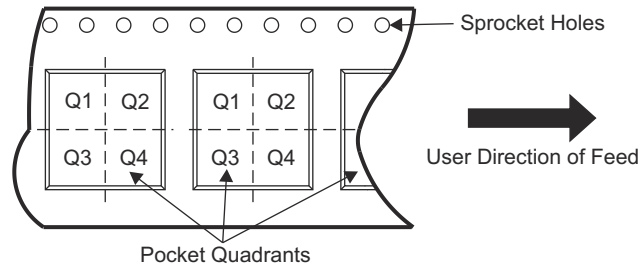
発注可能なデバイス	供給状況 (1)	パッケージタイプ	パッケージ図	ピン数	パッケージの数量	エコ プラン (2)	リード / ボール仕上げ (4)	MSL ピーク温度 (3)	動作温度 (°C)	デバイス マーキング (5) (6)
PTPLD801DRLRQ1	プレビュー	SOT-5X3	DRL	8	3000	RoHS & グリーン	MATTE SN	Level-1-260C-UNLIM	-40~125	P801Q

- (1) マーケティング ステータスの値は次のように定義されています。
供給中:新しい設計への使用が推奨される量産デバイス。
最終受注中:テキサス・インスツルメンツによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。
非推奨品:新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。
量産開始前:量産されていない、市販されていない、またはウェブで発表されていない未発表デバイスで、サンプルは提供されていません。
プレビュー:デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。
生産中止品:テキサス・インスツルメンツはデバイスの生産を終了しました。
- (2) エコ プラン - 環境に配慮した計画的な分類:鉛フリー (RoHS)、鉛フリー (RoHS 適用除外)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。
未定:鉛フリー / グリーン転換プランが策定されていません。
鉛フリー (RoHS):テキサス・インスツルメンツにおける「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温はんだに対応した テキサス・インスツルメンツ鉛フリー製品は、鉛フリー仕様プロセスでの使用に適しています。
鉛フリー (RoHS 適用除外):この部品は、1) ダイとパッケージとの間に鉛ベース フリップ チップのはんだバンプ使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかについて、RoHS が免除されています。この部品はそれ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。
グリーン (RoHS 準拠、Sb/Br 非含有):テキサス・インスツルメンツにおけるグリーンは、鉛フリー (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。
- (3) MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。
- (4) リード / ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード / ボール仕上げの値が最大列幅に収まらない場合は、2 行にまたがります。
- (5) ロゴ、ロットトレース コード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります
- (6) 複数のデバイス マーキングが、括弧書きされています。カッコ内に複数のデバイス マーキングがあり、「~」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。
重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。
 いかなる場合においても、そのような情報から生じたテキサス・インスツルメンツの責任は、このドキュメント発行時点でのテキサス・インスツルメンツ製品の価格に基づくテキサス・インスツルメンツからお客様への合計購入価格 (年次ベース) を超えることはありません。

9.2 テープおよびリール情報

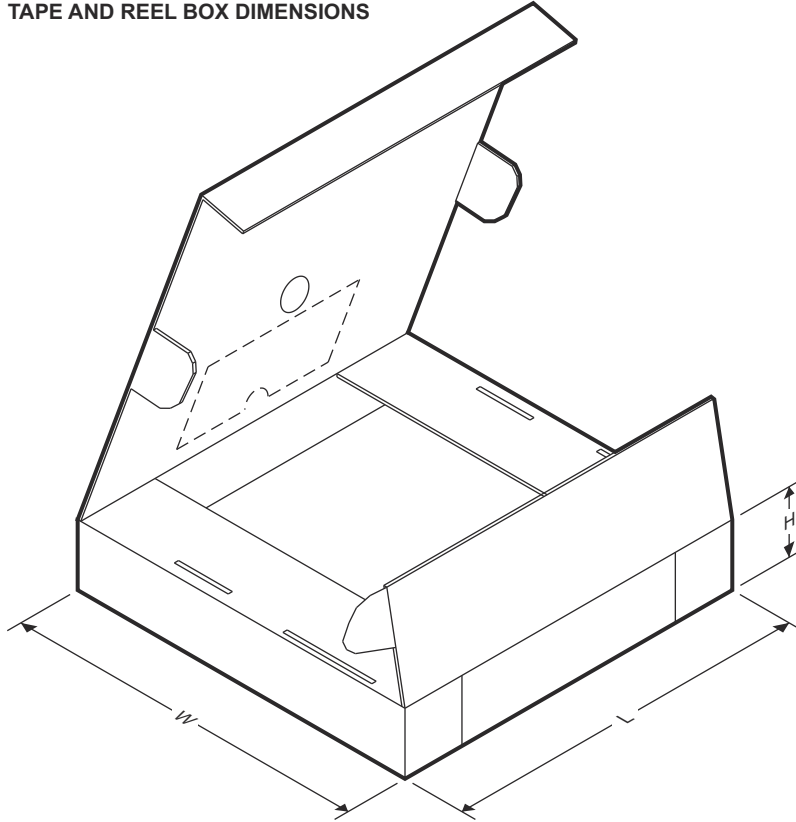


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン数	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の 象限
PTPLD801DRLRQ1	SOT-5X3	DRL	8	3000	180	8.4	2.4	1.9	0.75	4	8	3


TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン数	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PTPLD801DRLRQ1	SOT-5X3	DRL	8	3000	210	185	35

ADVANCE INFORMATION

9.3 メカニカル データ

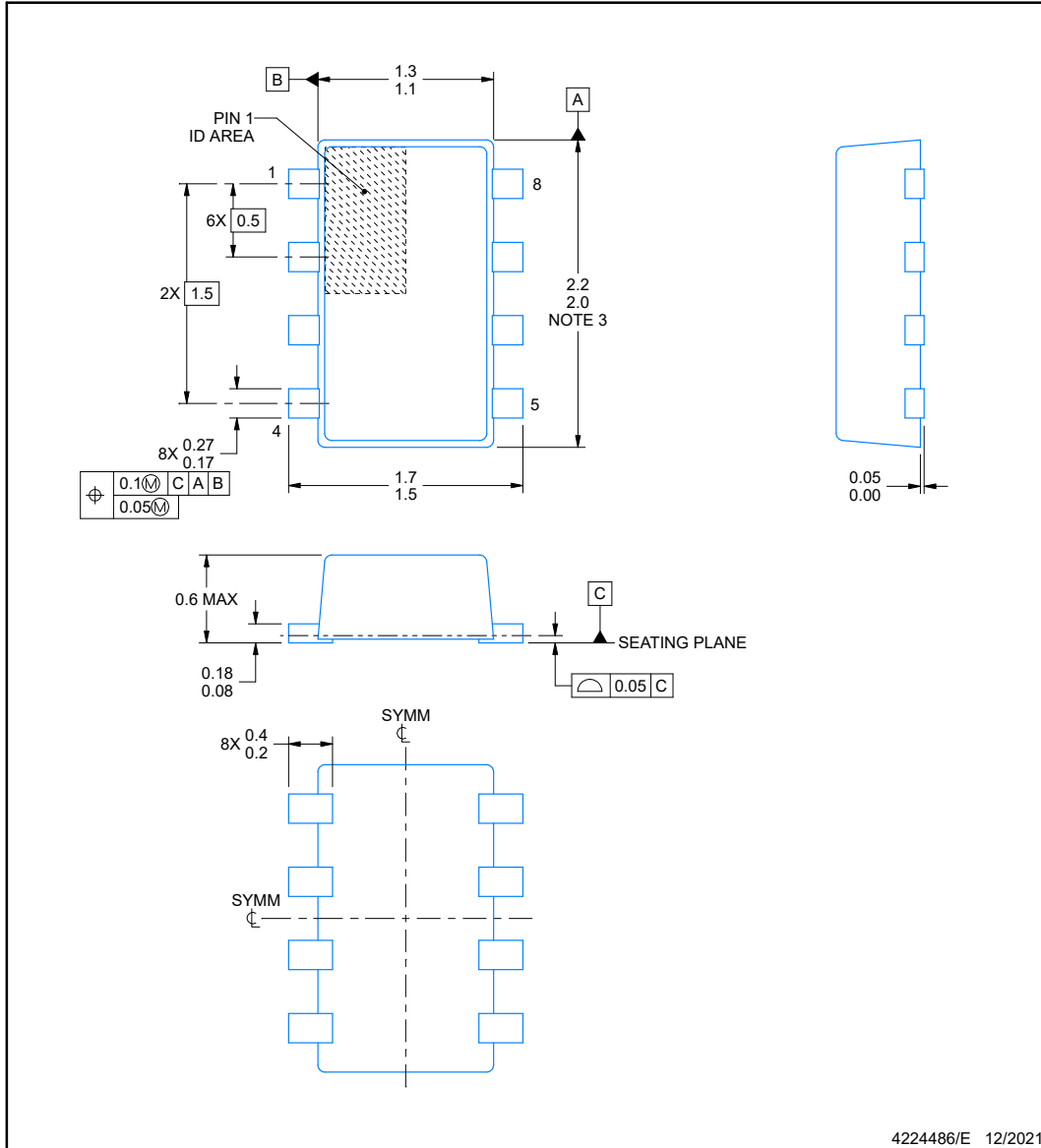


DRL0008A

PACKAGE OUTLINE

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



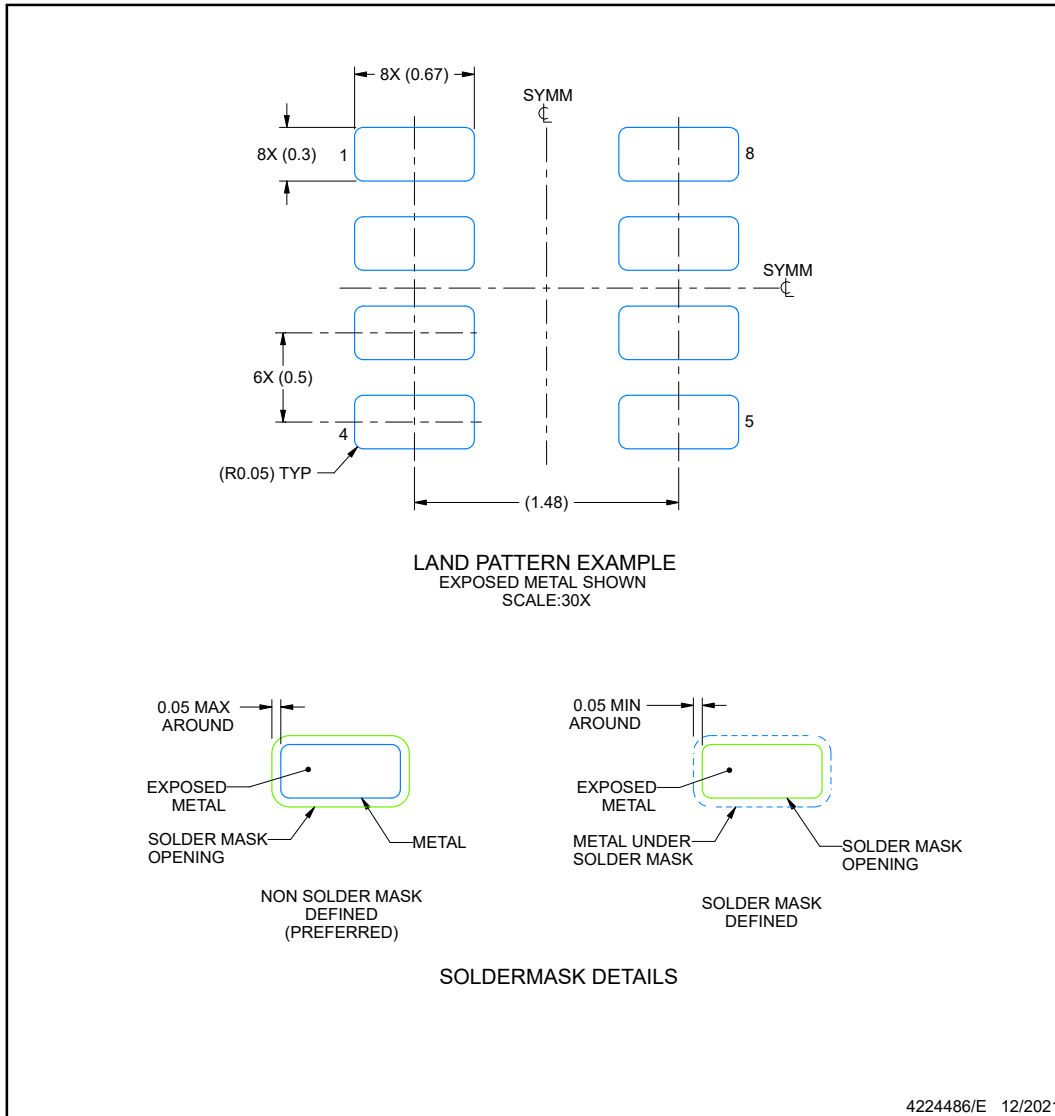
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

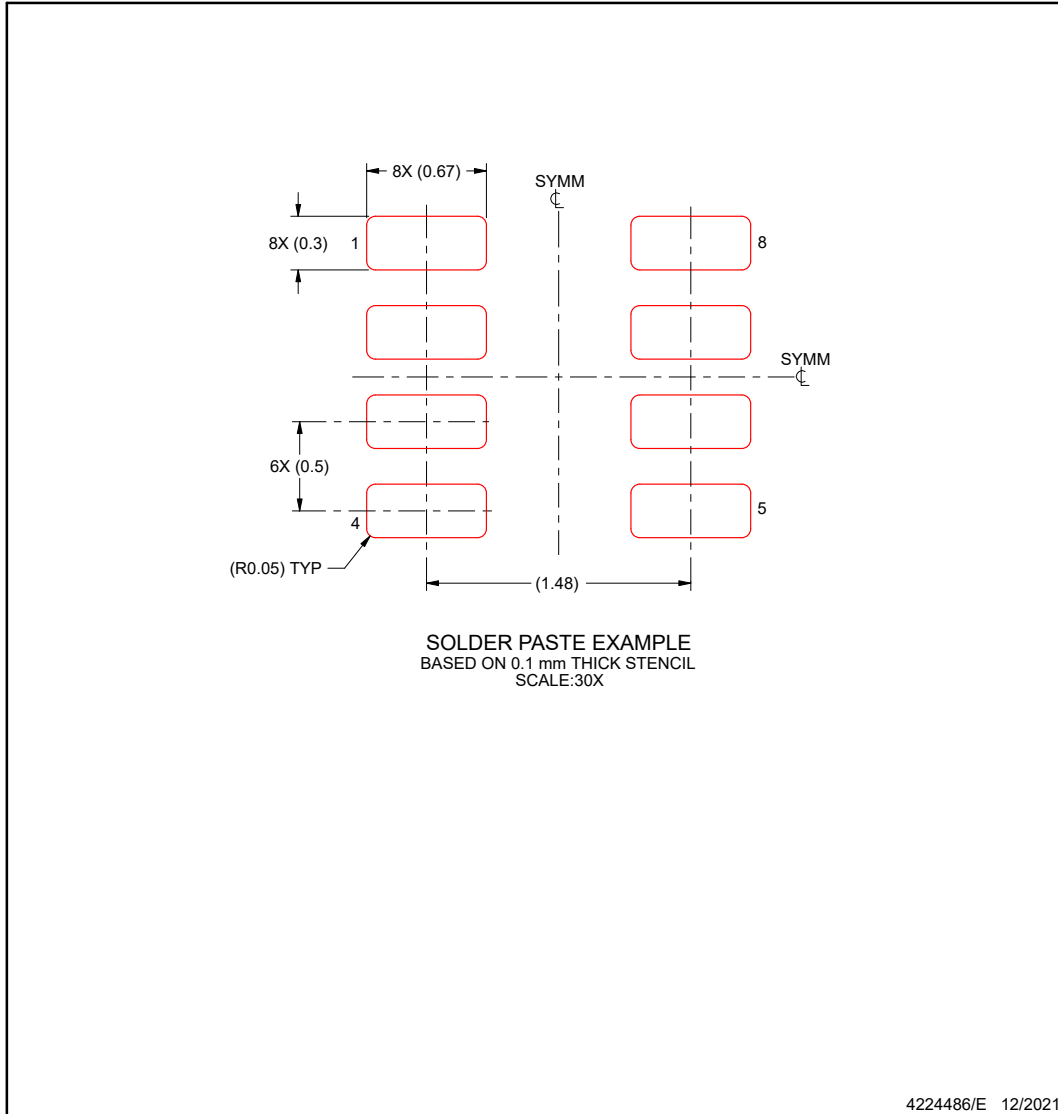
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
PTPLD801DRLRQ1	ACTIVE	SOT-5X3	DRL	8		TBD	Call TI	Call TI	-40 to 125		Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

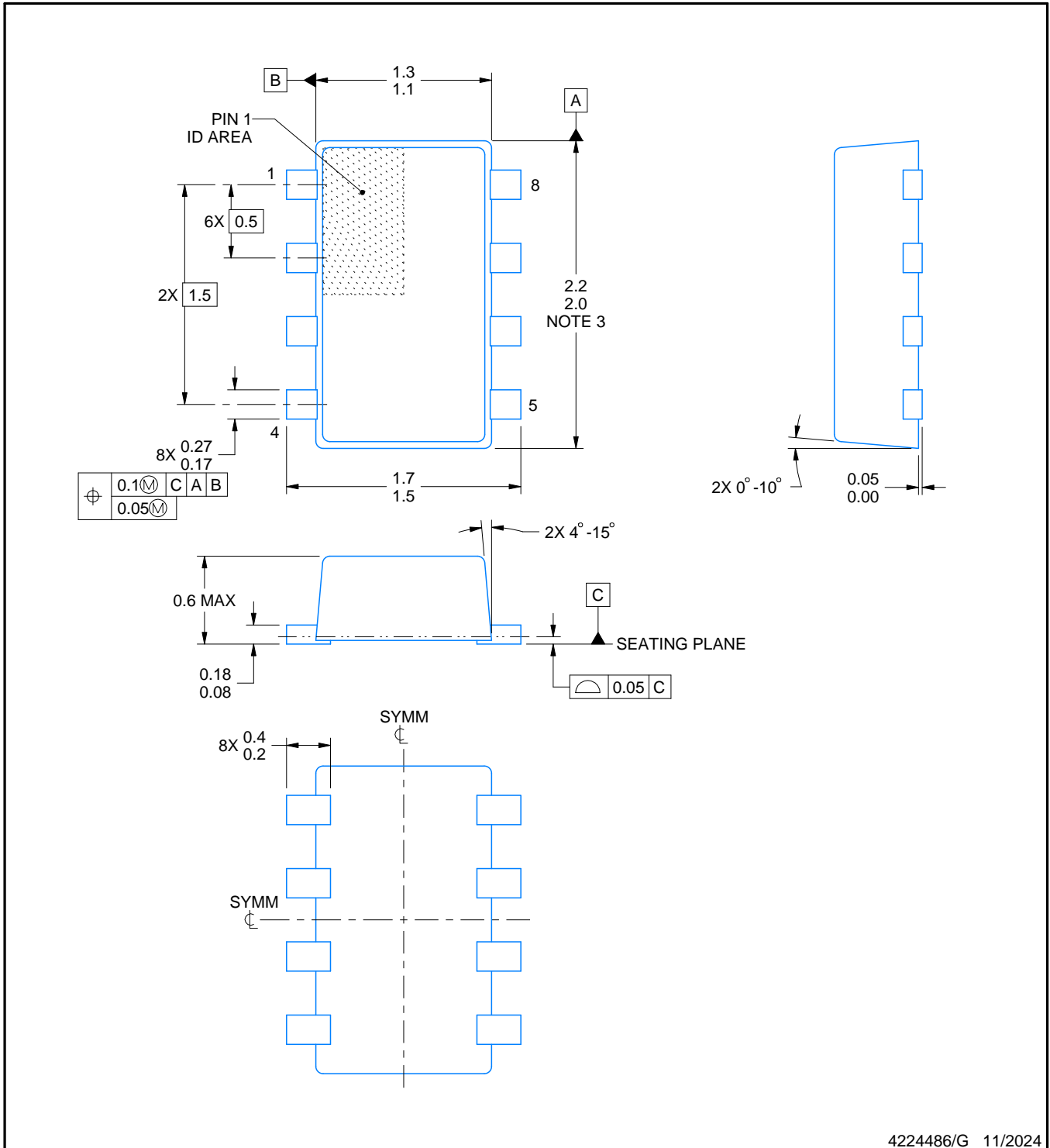
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPLD801-Q1 :

- Catalog : [TPLD801](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product



4224486/G 11/2024

NOTES:

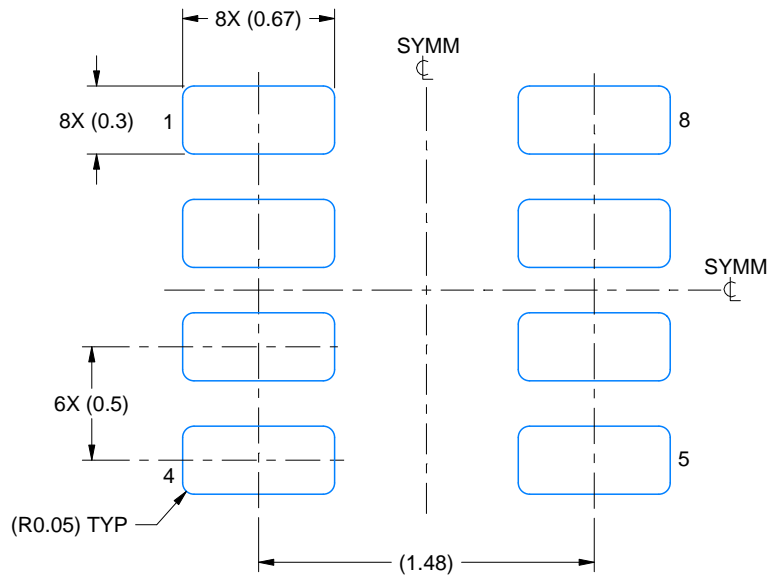
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, interlead flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC Registration MO-293, Variation UDAD

EXAMPLE BOARD LAYOUT

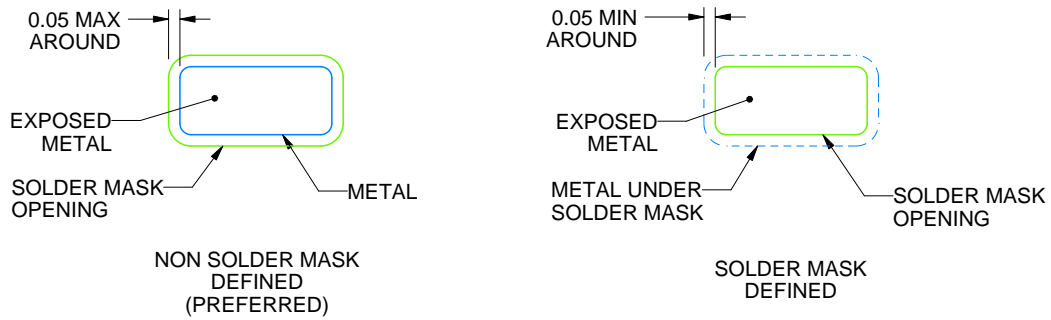
DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:30X



SOLDERMASK DETAILS

4224486/G 11/2024

NOTES: (continued)

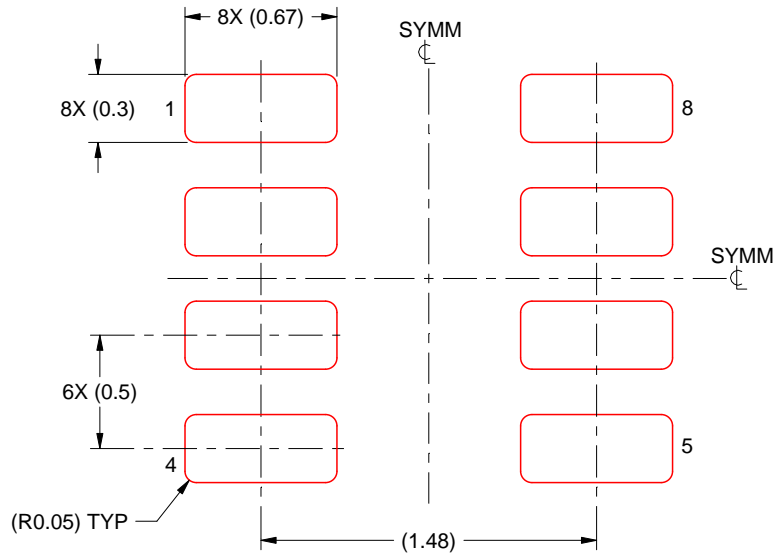
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4224486/G 11/2024

NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated