

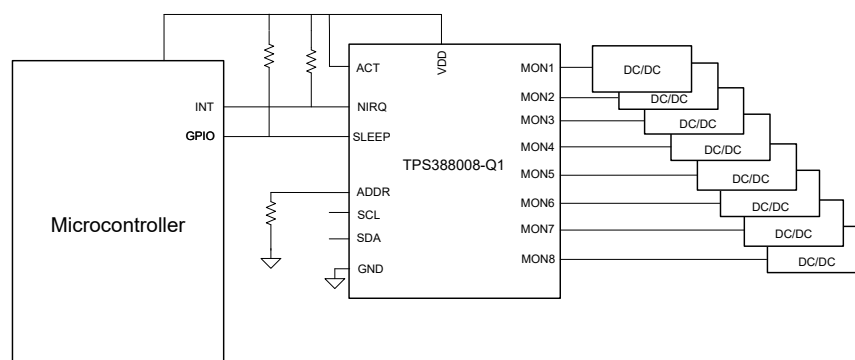
# TPS38800-Q1/TPS388R0-Q1 マルチチャネル過電圧および低電圧 I<sup>2</sup>C プログラマブルな電圧スーパーバイザ

## 1 特長

- 以下の結果で AEC-Q100 認定済み:
  - デバイス温度グレード 1: -40°C ~ +125°C
- 機能安全準拠**
  - 機能安全アプリケーション向けに開発
  - ISO 26262 システムの設計に役立つ資料**
  - ASIL D までの決定論的対応能力
  - ASIL B までのハードウェア機能
- 最新の SoC を監視
  - ±6mV のスレッシュホールド精度 (-40°C ~ +125°C)
  - 入力電圧範囲: 2.5V ~ 5.5V
  - 低電圧誤動作防止 (UVLO): 2.48V
  - 低静止電流 (最大値): アイドル モード時 200µA
  - 2~8 チャネルの構成を利用可能
  - 固定ウィンドウのスレッシュホールド レベル
    - 0.2V ~ 1.475V, 5mV ステップ
    - 0.8V ~ 5.5V, 20mV ステップ
- 小さなパッケージ サイズと最小限の部品コスト
  - 3mm × 3mm の QFN パッケージ
  - ユーザーが I<sup>2</sup>C で変更可能なグリッチ耐性
  - 調整可能な電圧スレッシュホールド レベル (I<sup>2</sup>C 利用)
- 安全アプリケーション向けに設計
  - アクティブ Low、オープンドレイン NIRQ 出力 (ラッチ付き)
  - アクティブ Low、オープンドレイン NRST 出力 (リセット遅延)
  - 巡回冗長性検査 (CRC)
  - パケット エラー チェック (PEC)

## 2 アプリケーション

- 先進運転支援システム (ADAS)**
- センサ フュージョン**



TPS38800-Q1 の回路例

## 3 概要

TPS38800-Q1/TPS388R0-Q1 デバイスは、2 ~ 8 チャネルのウィンドウ スーパーバイザ IC で、16 ピンの 3mm × 3mm QFN パッケージで供給されます。この高精度のマルチチャネル電圧スーパーバイザは、低電圧電源レールで動作する、電源誤差の余地が小さいシステム向けに設計されています。

I<sup>2</sup>C 機能により、スレッシュホールド、リセット遅延、グリッチ フィルタ、ピン機能を柔軟に選択できます。内部グリッチ耐性およびノイズ フィルタにより、外部 RC 部品が不要になり、電源過渡による誤リセットを低減できます。TPS38800-Q1/TPS388R0-Q1 は、外付け抵抗なしで過電圧および低電圧リセットのスレッシュホールドを設定できるため、総合的な精度、コスト、サイズをさらに最適化でき、安全性システムの信頼性も向上します。

### 製品情報

部品番号	パッケージ (1)	本体サイズ (公称) (2)
TPS38800-Q1/ TPS388R0-Q1	WQFN (16)	3mm × 3 mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



## 目次

1 特長.....	1	7.5 レジスタ マップ.....	29
2 アプリケーション.....	1	8 アプリケーションと実装.....	114
3 概要.....	1	8.1 アプリケーション情報.....	114
4 デバイスの比較.....	3	8.2 代表的なアプリケーション.....	115
5 ピン構成および機能.....	5	8.3 電源に関する推奨事項.....	119
6 仕様.....	7	8.4 レイアウト.....	120
6.1 絶対最大定格.....	7	9 デバイスおよびドキュメントのサポート.....	121
6.2 ESD 定格.....	7	9.1 デバイスの命名規則.....	121
6.3 推奨動作条件.....	7	9.2 ドキュメントのサポート.....	122
6.4 熱に関する情報.....	8	9.3 ドキュメントの更新通知を受け取る方法.....	122
6.5 電気的特性.....	8	9.4 サポート・リソース.....	122
6.6 タイミング要件.....	10	9.5 商標.....	122
7 詳細説明.....	14	9.6 静電気放電に関する注意事項.....	122
7.1 概要.....	14	9.7 用語集.....	122
7.2 機能ブロック図.....	14	10 改訂履歴.....	122
7.3 機能説明.....	16	11 メカニカル、パッケージ、および注文情報.....	122
7.4 デバイスの機能モード.....	22		

## 4 デバイスの比較

図 4-1 および 図 4-2 にそれぞれ、TPS38800-Q1 および TPS388R0-Q1 のデバイス命名規則が示されています。表 4-1 に、利用可能なデバイス機能と対応する部品番号の概要が示されています。詳細とその他のオプションの提供状況については、TI の販売代理店にお問い合わせください。または、オンラインで TI の [E2E フォーラム](#) にアクセスしてください。最小注文数量が適用されます。

デバイスの注文コードの詳細については、[セクション 9.1](#) を参照してください。表 9-1 および 表 9-2 に、部品番号に基づいてデバイスの機能を識別する方法が示されています。

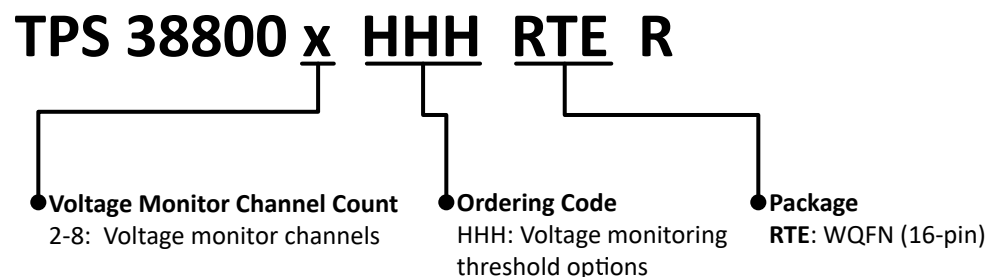


図 4-1. TPS38800-Q1 デバイスの命名規則

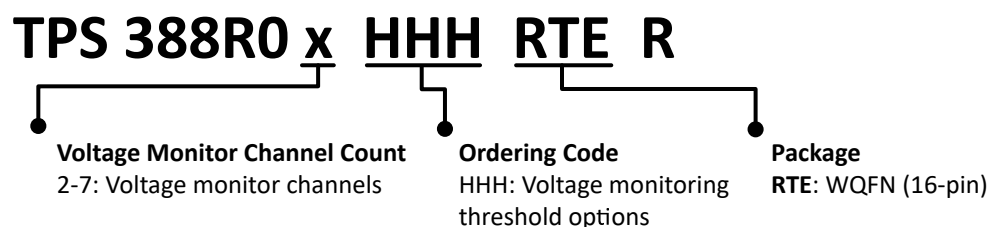


図 4-2. TPS388R0-Q1 デバイスの命名規則

表 4-1. マルチチャネル スーパーバイザの概要表

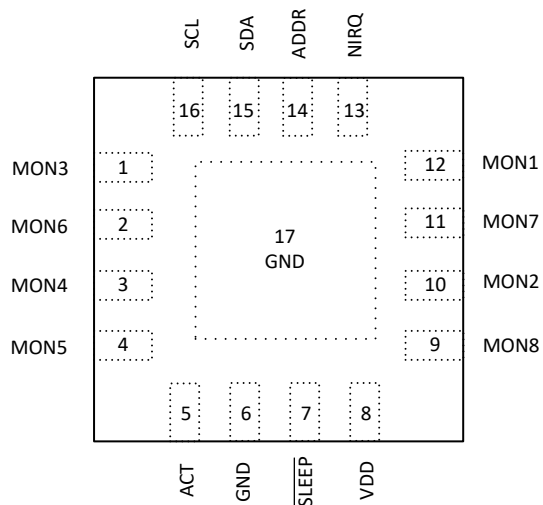
仕様	TPS38900x-Q1	TPS389R0x-Q1 <sup>(1)</sup>	TPS38800x-Q1 <sup>(1)</sup>	TPS388R0x-Q1 <sup>(1)</sup>	TPS389C0x-Q1	TPS388C0x-Q1 <sup>(1)</sup>
ハードウェア ASIL 定格	D	D	B	B	D	B
チャンネル数の監視	2～8	2～7	2～8	2～7	2～6	2～6
監視範囲	0.2 ～ 5.5V	0.2 ～ 5.5V	0.2 ～ 5.5V	0.2 ～ 5.5V	0.2 ～ 5.5V	0.2 ～ 5.5V
コンパレータ監視 (HF フォルト)	✓	✓	✓	✓	✓	✓
ADC 監視 (LF フォルト)	✓	✓	x	x	✓	x
ウォッチドッグ	x	x	x	x	Q&A	ウィンドウ
電圧テレメトリ	✓	✓	x	x	✓	x

表 4-1. マルチチャネル スーパーバイザの概要表 (続き)

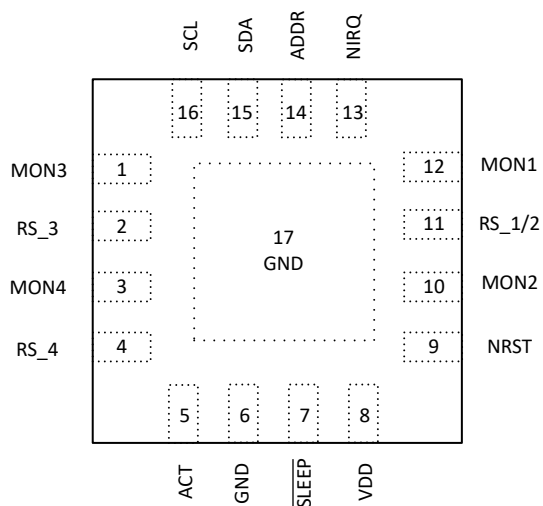
仕様	TPS38900x-Q1	TPS389R0x-Q1 <sup>(1)</sup>	TPS38800x-Q1 <sup>(1)</sup>	TPS388R0x-Q1 <sup>(1)</sup>	TPS389C0x-Q1	TPS388C0x-Q1 <sup>(1)</sup>
グリッチ フィルタリングの監視	✓	✓	✓	✓	✓	✓
シーケンス ログ	✓	✓	✓	✓	x	✓
NIRQ ピン	✓	✓	✓	✓	✓	✓
NRST ピン	x	✓	x	✓	✓	✓
SYNC ピン	✓	x	x	x	x	x
WDO ピン	x	x	x	x	✓	✓
WDI ピン	x	x	x	x	x	✓
ESM ピン	x	x	x	x	✓	x

(1) プレビューし、他のオプションの詳細と提供状況については、TI の販売代理店または TI の E2E にお問い合わせください。

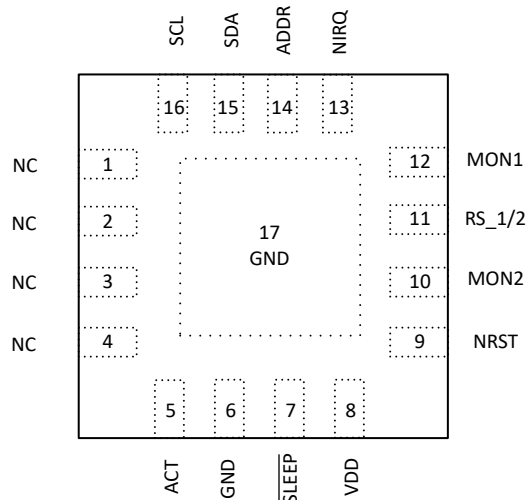
## 5 ピン構成および機能



**図 5-1. RTE パッケージ  
16 ピン WQFN TPS388008-Q1 上面図**



**図 5-2. RTE パッケージ  
16 ピン WQFN  
TPS388R04-Q1 上面図**



**図 5-3. RTE パッケージ  
16 ピン WQFN  
TPS388R02-Q1 上面図**

番号	ピン			I/O	説明
	TPS388008-Q1 名称	TPS388R04-Q1 名称	TPS388R02-Q1 名称		
1	MON3	MON3	NC	I	電圧モニタチャンネル 3 / 接続なし
2	MON6	RS_3	NC	I	電圧モニタ チャンネル 6 / チャンネル 3/ 接続なし
3	MON4	MON4	NC	I	電圧モニタチャンネル 4 / 接続なし
4	MON5	RS_4	NC	I	電圧モニタ チャンネル 5 / チャンネル 4/ 接続なし
5	ACT	ACT	ACT	I	メイン イネーブル
6	GND	GND	GND	-	電源グラウンド
7	SLEEP	SLEEP	SLEEP	I	アクティブ Low のスリープ イネーブル
8	VDD	VDD	VDD	-	電源レール
9	MON8	NRST	NRST	I	電圧モニタ チャンネル 8 / 接続なし / オープン ドレインリセットピン
10	MON2	MON2	MON2	I	電圧モニタ チャンネル 2
11	MON7	RS_1/2	RS_1/2	I	電圧モニタ チャンネル 7 / チャンネル 1/2 用のリ モート センス
12	MON1	MON1	MON1	I	電圧モニタ チャンネル 1
13	NIRQ	NIRQ	NIRQ	O	アクティブ Low オープン ドレイン 割り込み 出 力
14	ADDR	ADDR	ADDR	I	I <sup>2</sup> C アドレス選択ピン
15	SDA	SDA	SDA	I/O	I <sup>2</sup> C データピン
16	SCL	SCL	SCL	I	I <sup>2</sup> C クロック ピン
17	GND	GND	GND	-	露出した電源グラウンド パッド

## 6 仕様

### 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
電圧	VDD	-0.3	6	V
電圧	NIRQ、NRST	-0.3	6	V
電圧	ACT、 $\overline{\text{SLEEP}}$ 、SCL、SDA	-0.3	6	V
電圧	ADDR	-0.3	2	V
電圧	MONx	-0.3	6	V
電流	NIRQ、NRST		±10	mA
温度 <sup>(2)</sup>	連続総許容損失	「熱に関する情報」を参照		
	動作時の接合部温度、 $T_J$	-40	150	°C
	自由気流での動作温度 ( $T_A$ )	-40	125	°C
	保管温度、 $T_{stg}$	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、デバイスの信頼性に影響を及ぼす場合があります。
- (2) このデバイスの消費電力は低いいため、 $T_J = T_A$  です。

### 6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±500	
		すべてのピン 角のピン	±750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています

### 6.3 推奨動作条件

		最小値	公称値	最大値	単位
VDD	電源ピンの電圧	2.5		5.5	V
NIRQ、NRST	ピン電圧	0		5.5	V
$I_{NIRQ,NRST}$	ピン電流	0		±5	mA
ADDR	アドレス ピン電圧	0		1.8	V
MONx	モニタ ピン	0		5.5	V
ACT、 $\overline{\text{SLEEP}}$ 、SCL、SDA	ピン電圧	0		5.5	V
$R_{UP}$ <sup>(1)</sup>	プルアップ抵抗 (オープンドレイン構成)	10		100	kΩ

## 6.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		TPS38800-Q1/TPS388R0-Q1	単位
		RTE (WQFN)	
		ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	53.4	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	51.4	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	17.2	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	0.3	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	20.7	°C/W
R <sub>θJC(bot)</sub>	接合部からケース (底面) への熱抵抗	3.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

## 6.5 電気的特性

2.6V ≤ VDD ≤ 5.5V, NIRQ, NRST 電圧 = 10kΩ ~ VDD, NIRQ, NRST 負荷 = 10pF、および自由気流での動作温度範囲 – 40°C ~ 125°C (特に記述のない限り)。代表値は  $T_J = 25^{\circ}\text{C}$ 、代表条件は VDD = 3.3V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
共通パラメータ						
VDD	入力電源電圧		2.6		5.5	V
VDD <sub>UVLO</sub>	立ち上がりスレッシュホールド		2.67		2.81	V
	立ち下がりスレッシュホールド		2.48		2.60	V
V <sub>POR</sub>	パワー オンリセット電圧 <sup>(2)</sup>				1.65	V
I <sub>DD_Active</sub>	VDD ピンへの電源電流 (MON = HF アクティブ) ACT = High、Sleep = High	VDD ≤ 5.5V		1.55	2	mA
I <sub>DD_Sleep</sub>	VDD ピンへの電源電流 (MON = HF アクティブ) ACT = High、Sleep = Low、I2C = スリープ電源ビットを 1 に設定	VDD ≤ 5.5V		1.55	2	mA
I <sub>DD_Idle</sub>	VDD ピンへの電源電流 ACT = Low、アイドル状態-I2C アクティブおよび OVLF mon	VDD ≤ 5.5V >10ms BIST		200	280	μA
I <sub>DD_Deep Sleep</sub>	VDD ピンへの電源電流 (MON = HF アクティブ)、ACT = High、Sleep = Low、I2C = スリープ電源ビットを 0 に設定	VDD ≤ 5.5V		275	380	μA
V <sub>MONX</sub>	MON 電圧範囲		0.2		5.5	V
I <sub>MONX</sub>	入力電流 MONx ピン	V <sub>MON</sub> = 5V			20	μA
I <sub>MONX_ADJ</sub>	ADJ バージョンの入力電流 (1x)	V <sub>MON</sub> = 5V			0.1	μA
V <sub>MON_HF</sub>	1x モード (スケーリングなし)		0.2		1.475	V
	4x スケーリング		0.8		5.5	V
スレッシュホールドの粒度 <sub>HF</sub>	1x モード (スケーリングなし) の LSB			5		mV
	4x モード (スケーリングあり) の LSB			20		mV
Accuracy <sub>HF</sub>	V <sub>MON</sub>	0.2V ≤ V <sub>MONX</sub> ≤ 1.0V	-6		6	mV
		1.0V < V <sub>MONX</sub> ≤ 1.475V	-7.5		7.5	mV
		1.475V < V <sub>MONX</sub> ≤ 2.95V	-0.6		0.6	%
		V <sub>MONX</sub> > 2.95V	-0.5		0.5	%



## 6.5 電気的特性 (続き)

2.6V ≤ VDD ≤ 5.5V, NIRQ, NRST 電圧 = 10kΩ ~ VDD, NIRQ, NRST 負荷 = 10pF, および自由気流での動作温度範囲 – 40°C ~ 125°C (特に記述のない限り)。代表値は J = 25°C、代表条件は VDD = 3.3V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V <sub>HYS_HF</sub>	UV、OV ピンのヒステリシス (ヒステリシスはトライポイント (UV)、(OV) に対して) <sup>(1)</sup>	0.2V ≤ V <sub>MONX</sub> ≤ 1.475V		5	11	mV
		1.475V < V <sub>MONX</sub> ≤ 2.95V		9	16	
		V <sub>MONX</sub> > 2.95V		17	28	mV
V <sub>HYS_HF</sub>	UV、OV ピンのヒステリシス (ヒステリシスはトライポイント (UV)、(OV) に対して) <sup>(1)</sup>	ヒステリシスが無くても注文可能		0		mV
MON_OFF	OFF 電圧スレッシュホールド	監視対象の V <sub>MON</sub> 立ち下がりがエッジ	140		215	mV
I <sub>LKG</sub>	出力リーク電流 -NIRQ	VDD = V <sub>NIRQ</sub> = 5.5V			300	nA
ACT_L	ロジック Low 入力	DEV_CONFIG.SOC_IF1=1			0.36	V
ACT_H	ロジック High 入力	DEV_CONFIG.SOC_IF1=1	0.84			V
SLEEP_L	ロジック Low 入力	DEV_CONFIG.SOC_IF1=1			0.36	V
SLEEP_H	ロジック High 入力	DEV_CONFIG.SOC_IF1=1	0.84			V
ACT	内部プルダウン			100		kΩ
SLEEP	内部プルダウン			100		kΩ
UV、OV	ステップ / 分解能	0.2V < V <sub>MONX</sub> ≤ 1.475V		5		mV
		0.8V < V <sub>MONX</sub> < 5.5V		20		
V <sub>OL</sub>	Low レベル出力電圧-NIRQ	NIRQ、5.5V / 5mA			100	mV
I <sub>kg(OD)</sub>	オープンドレイン出力リーク電流-NIRQ	NIRQ ピンがハイ インピーダンス、V <sub>NIRQ</sub> = 5.5、アサート状態なし			90	nA
V <sub>OL</sub>	Low レベル出力電圧-NRST	NRST、5.5V / 5mA			100	mV
I <sub>kg(OD)</sub>	オープンドレイン出力リーク電流-NRST	NRST ピンがハイ インピーダンス、V <sub>NRST</sub> = 5.5、アサート状態なし			90	nA
I <sub>ADDR</sub>	ADDR ピン電流			20		μA
I <sup>2</sup> C ADDR	(16 進形式)	R=5.36k		0x30		
		R=16.2k		0x31		
		R=26.7k		0x32		
		R=37.4k		0x33		
		R=47.5k		0x34		
		R=59.0k		0x35		
		R=69.8k		0x36		
		R=80.6k		0x37		
TSD	サーマル シャットダウン			155		°C
TSD Hys	サーマル シャットダウン ヒステリシス			20		°C
RS	リモート センス範囲		-100		100	mV
<b>I2C の電気的仕様</b>						
C <sub>B</sub>	SDA および SCL の容量性負荷				400	pF
SDA、SCL	Low スレッシュホールド	1.2V 構成注文可能			0.36	V
SDA、SCL	High スレッシュホールド	1.2V 構成注文可能	0.84			V
SDA、SCL	Low スレッシュホールド	3.3V 構成注文可能			0.99	V
SDA、SCL	High スレッシュホールド	3.3V 構成注文可能	2.31			V
SDA、SCL	Low スレッシュホールド	1.8V 構成注文可能			0.54	V
SDA、SCL	High スレッシュホールド	1.8V 構成注文可能	1.26			V

## 6.5 電気的特性 (続き)

2.6V ≤ VDD ≤ 5.5V, NIRQ, NRST 電圧 = 10kΩ ~ VDD, NIRQ, NRST 負荷 = 10pF、および自由気流での動作温度範囲 – 40°C ~ 125°C (特に記述のない限り)。代表値は J = 25°C、代表条件は VDD = 3.3V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
SDA	VOL	I <sub>OL</sub> = 5mA			0.4	V

- (1) ヒステリシスは、トリポイント (V<sub>IT-</sub> (UV)、V<sub>IT+</sub> (OV)) と関連しています。  
 (2) V<sub>POR</sub> は、制御された出力状態の最小 V<sub>DDX</sub> 電圧レベルです。

## 6.6 タイミング要件

At 2.6V ≤ VDD ≤ 5.5V, NIRQ, NRST 電圧 = 10kΩ ~ VDD, NIRQ, NRST 負荷 = 10pF、および自由気流での動作温度範囲 – 40°C ~ 125°C (特に記述のない限り)。代表値は T<sub>J</sub> = 25°C、代表条件は VDD = 3.3V。

			最小値	公称値	最大値	単位
<b>共通パラメータ</b>						
t <sub>BIST</sub>	BIST 付きで POR を準備完了、TEST_CFG.AT_POR=1	OTP 負荷を含む			12	ms
t <sub>NBIST</sub>	BIST なしで POR を準備完了、TEST_CFG.AT_POR=0	OTP 負荷を含む			2	ms
BIST	BIST 時間、TEST_CFG.AT_POR=1 または TEST_CFG.AT_SHDN=1				10	ms
t <sub>I2C_ACT</sub>	BIST 完了から I <sup>2</sup> C がアクティブ				0	μs
t <sub>SEQ_Range</sub>	シーケンスのタイムスタンプ範囲、ACT または SLEEP エッジから最大カウンタまで				4	s
t <sub>SEQ_LSB</sub>	シーケンス タイムスタンプの分解能			50		μs
t <sub>MON_ACT</sub>	ACT 立ち上がりエッジから監視が有効				10	μs
t <sub>NIRQ</sub>	フォルト検出から NIRQ アサートまでのレイテンシ (OV / UV フォルトを除く)				25	μs
t <sub>PD_NIRQ_1X</sub>	HF フォルト伝搬検出遅延 (デフォルトのグリッチ除去フィルタ) には、デジタル遅延が含まれます	VIT_OV / UV +/- 100mV			650	ns
t <sub>PD_NIRQ_4X</sub>	HF フォルト伝搬検出遅延 (デフォルトのグリッチ除去フィルタ) には、デジタル遅延が含まれます	VIT_OV / UV +/- 400mV			750	ns
t <sub>NRST</sub>	フォルト検出から NRST アサートまでのレイテンシ (OV / UV フォルトを除く)				25	μs
t <sub>PD_NRST_1X</sub>	HF フォルト伝搬検出遅延 (デフォルトのグリッチ除去フィルタ) には、デジタル遅延が含まれます	VIT_OV / UV +/- 100mV			650	ns
t <sub>PD_NRST_4X</sub>	HF フォルト伝搬検出遅延 (デフォルトのグリッチ除去フィルタ) には、デジタル遅延が含まれます	VIT_OV / UV +/- 400mV			750	ns
t <sub>SEQ_ACC</sub>	シーケンス タイムスタンプの精度		-5		5	%

## 6.6 タイミング要件 (続き)

At  $2.6V \leq VDD \leq 5.5V$ 、NIRQ、NRST 電圧 =  $10k\Omega \sim VDD$ 、NIRQ、NRST 負荷 =  $10pF$ 、および自由気流での動作温度範囲 –  $40^{\circ}C \sim 125^{\circ}C$  (特に記述のない限り)。代表値は  $T_J = 25^{\circ}C$ 、代表条件は  $VDD = 3.3V$ 。

			最小値	公称値	最大値	単位
$t_D$	RESET 時間遅延	I2C レジスタ時間遅延 = 000		200		$\mu s$
		I2C レジスタ時間遅延 = 001		1		ms
		I2C レジスタ時間遅延 = 010		10		ms
		I2C レジスタ時間遅延 = 011		16		ms
		I2C レジスタ時間遅延 = 100		20		ms
		I2C レジスタ時間遅延 = 101		70		ms
		I2C レジスタ時間遅延 = 110		100		ms
		I2C レジスタ時間遅延 = 111		200		ms
$t_{GLR}$	I2C を介した UV および OV デバウンス範囲	FLT_HF(N)	0.1		102.4	$\mu s$

## 6.6 タイミング要件 (続き)

At 2.6V ≤ VDD ≤ 5.5V、NIRQ、NRST 電圧 = 10kΩ ~ VDD、NIRQ、NRST 負荷 = 10pF、および自由気流での動作温度範囲 – 40°C ~ 125°C (特に記述のない限り)。代表値は T<sub>J</sub> = 25°C、代表条件は VDD = 3.3V。

			最小値	公称値	最大値	単位
<b>I2C のタイミング特性</b>						
f <sub>SCL</sub>	シリアル クロック周波数	スタンダード モード			100	kHz
f <sub>SCL</sub>	シリアル クロック周波数	ファスト モード			400	kHz
f <sub>SCL</sub>	シリアル クロック周波数	ファスト モード+			1	MHz
t <sub>LOW</sub>	SCL Low 時間	スタンダード モード	4.7			μs
t <sub>LOW</sub>	SCL Low 時間	ファスト モード	1.3			μs
t <sub>LOW</sub>	SCL Low 時間	ファスト モード+	0.5			μs
t <sub>HIGH</sub>	SCL High 時間	スタンダード モード	4			μs
t <sub>HIGH</sub>	SCL High 時間	ファスト モード+	0.26			μs
t <sub>SU,DAT</sub>	データ セットアップ時間	スタンダード モード	250			ns
t <sub>SU,DAT</sub>	データ セットアップ時間	ファスト モード	100			ns
t <sub>SU,DAT</sub>	データ セットアップ時間	ファスト モード+	50			ns
t <sub>HD,DAT</sub>	データ ホールド時間	スタンダード モード	10		3450	ns
t <sub>HD,DAT</sub>	データ ホールド時間	ファスト モード	10		900	ns
t <sub>HD,DAT</sub>	データ ホールド時間	ファスト モード+	10			ns
t <sub>SU,STA</sub>	開始または反復開始条件のセットアップ時間	スタンダード モード	4.7			μs
t <sub>SU,STA</sub>	開始または反復開始条件のセットアップ時間	ファスト モード	0.6			μs
t <sub>SU,STA</sub>	開始または反復開始条件のセットアップ時間	ファスト モード+	0.26			μs
t <sub>HD,STA</sub>	開始または反復開始条件のホールド時間	スタンダード モード	4			μs
t <sub>HD,STA</sub>	開始または反復開始条件のホールド時間	ファスト モード	0.6			μs
t <sub>HD,STA</sub>	開始または反復開始条件のホールド時間	ファスト モード+	0.26			μs
t <sub>BUF</sub>	STOP 条件と START 条件の間のバス フリー時間	スタンダード モード	4.7			μs
t <sub>BUF</sub>	STOP 条件と START 条件の間のバス フリー時間	ファスト モード	1.3			μs
t <sub>BUF</sub>	STOP 条件と START 条件の間のバス フリー時間	ファスト モード+	0.5			μs
t <sub>SU,STO</sub>	停止条件のセットアップ時間	スタンダード モード	4			μs
t <sub>SU,STO</sub>	停止条件のセットアップ時間	ファスト モード	0.6			μs
t <sub>SU,STO</sub>	停止条件のセットアップ時間	ファスト モード+	0.26			μs
trDA	SDA 信号の立ち上がり時間	スタンダード モード			1000	
trDA	SDA 信号の立ち上がり時間	ファスト モード	20		300	ns
trDA	SDA 信号の立ち上がり時間	ファスト モード+			120	ns
tfDA	SDA 信号の立ち下がり時間	スタンダード モード			300	ns
tfDA	SDA 信号の立ち下がり時間	ファスト モード	1.4		300	ns
tfDA	SDA 信号の立ち下がり時間	ファスト モード+	6.5		120	ns
trCL	SCL 信号の立ち上がり時間	スタンダード モード			1000	ns
trCL	SCL 信号の立ち上がり時間	ファスト モード	20		300	ns
trCL	SCL 信号の立ち上がり時間	ファスト モード+			120	ns
tfCL	SCL 信号の立ち下がり時間	スタンダード モード			300	ns
tfCL	SCL 信号の立ち下がり時間	ファスト モード	6.5		300	ns
tfCL	SCL 信号の立ち下がり時間	ファスト モード+	6.5		120	ns

## 6.6 タイミング要件 (続き)

At  $2.6V \leq VDD \leq 5.5V$ 、NIRQ、NRST 電圧 =  $10k\Omega \sim VDD$ 、NIRQ、NRST 負荷 = 10pF、および自由気流での動作温度範囲 –  $40^{\circ}C \sim 125^{\circ}C$  (特に記述のない限り)。代表値は  $T_J = 25^{\circ}C$ 、代表条件は  $VDD = 3.3V$ 。

			最小値	公称値	最大値	単位
tSP	抑制されている SCL および SDA スパイクのパルス幅	標準モード、ファストモード、ファストモード+			50	ns

## 7 詳細説明

### 7.1 概要

TPS38800-Q1 ファミリのデバイスには最大 8 つのチャンネルがあり、ウィンドウ構成で過電圧、低電圧、または両方に構成できます。フォルト出力は、NIRQ ピンに選択的にマッピングできます。TPS38800-Q1 は、高精度のウィンドウ スレッシュホールド電圧 (最大  $\pm 6\text{mV}$ ) および各種の電圧スレッシュホールドを備えています。これは、工場出荷時の構成を使用するか、起動時に I2C コマンドで構成することができます。

TPS388R0-Q1 ファミリのデバイスには最大 6 つのチャンネルがあり、ウィンドウ構成で過電圧、低電圧、または両方に構成できます。フォルト出力は、NIRQ または NRST ピンに選択的にマッピングできます。TPS388R0-Q1 は、高精度のウィンドウ スレッシュホールド電圧 (最大  $\pm 6\text{mV}$ ) および各種の電圧スレッシュホールドを備えています。これは、工場出荷時の構成を使用するか、起動時に I2C コマンドで構成することができます。

TPS38800-Q1/TPS388R0-Q1 には、デバイス内部で過電圧スレッシュホールドおよび低電圧スレッシュホールドを設定するための抵抗が含まれています。これらの内部抵抗によって、部品点数が削減でき、外部抵抗の精度を考慮したマージンを追加する必要がないため、設計を大幅に簡略化できます。

TPS38800-Q1 は、監視対象の電圧が安全なウィンドウ外であるときに、アクティブ Low の出力信号 (NIRQ) をアサートするように設計されています。TPS388R0-Q1 は、監視対象の電圧が安全なウィンドウ外であるときに、アクティブ LOW の出力信号 (NIRQ / NRST) をアサートするように設計されています。工場出荷時の構成では、OTP に応じて、過電圧および低電圧フォルト、シーケンス タイムアウト、POR 時の BIST イネーブル、過電圧および低電圧グリッチ除去設定に対する割り込みを無効化することが可能です。

### 7.2 機能ブロック図

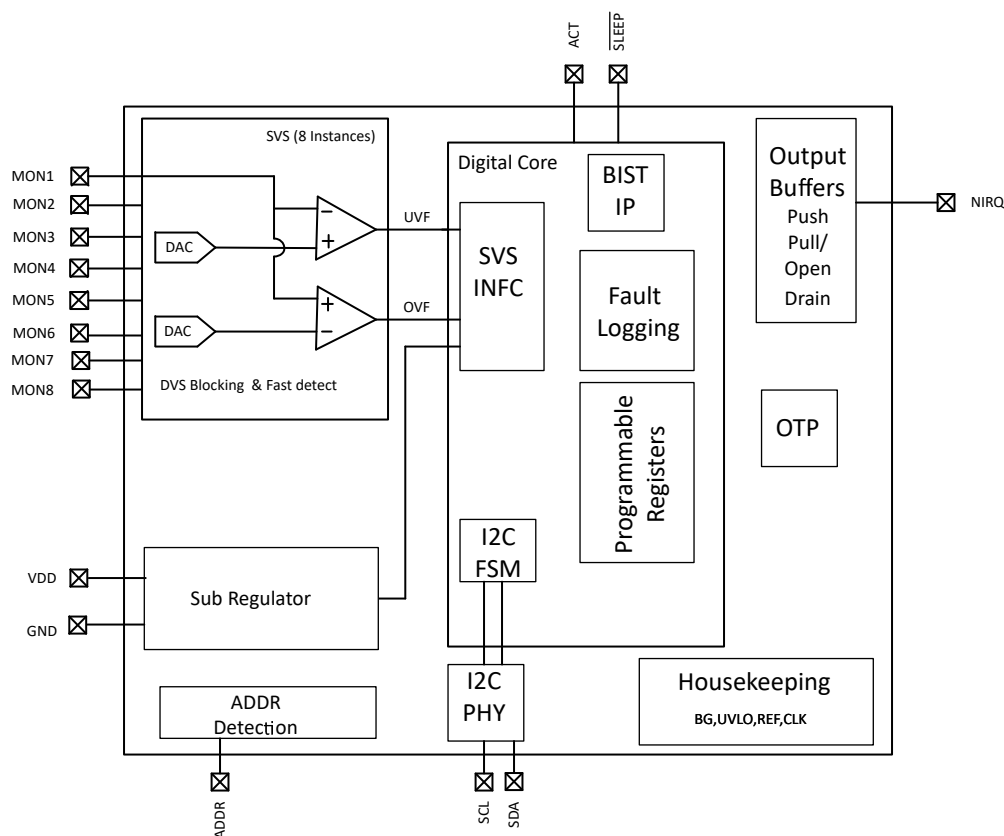


図 7-1. TPS38800-Q1 のブロック図

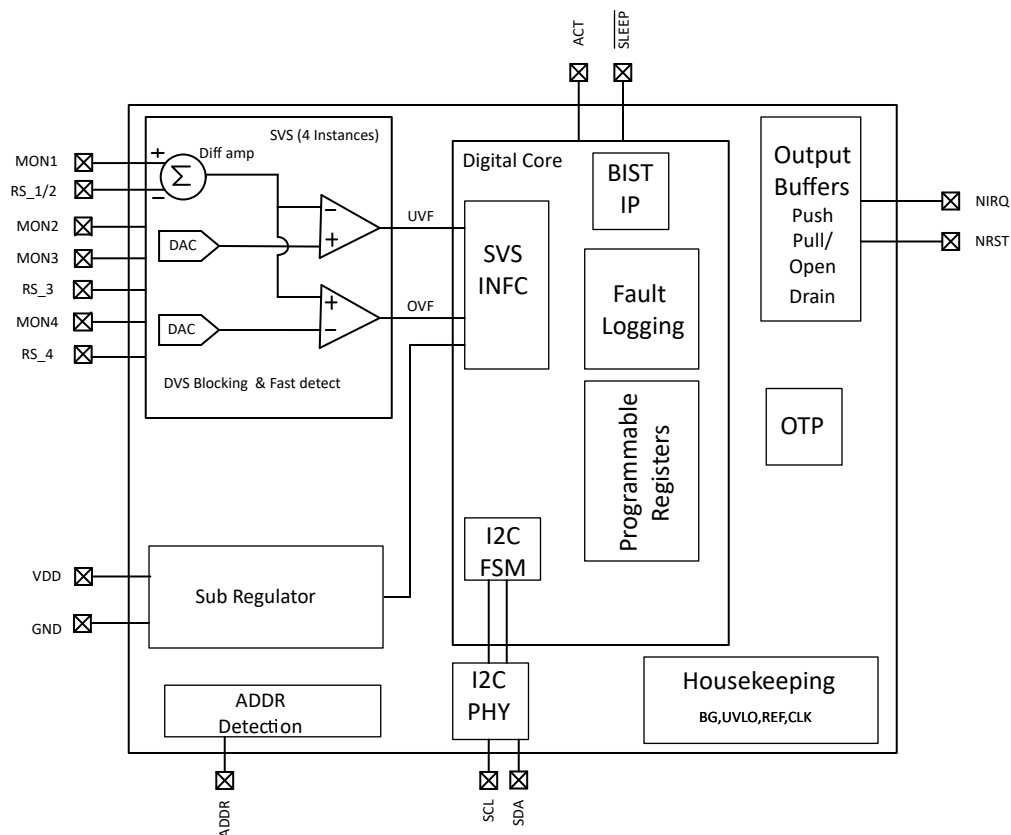


図 7-2. TPS388R04-Q1 のブロック図

## 7.3 機能説明

### 7.3.1 I<sup>2</sup>C

TPS38800-Q1/TPS388R0-Q1 デバイスは I<sup>2</sup>C プロトコル (最大 1Mhz) に従っており、MCU またはシステム オン チップ (SoC) などのホスト デバイスとの通信を管理できます。I<sup>2</sup>C は、クロック (SCL) とデータ (SDA) という 2 つの信号を使用して実装された 2 線式通信プロトコルです。ホスト デバイスは、通信の主なコントローラです。TPS38800-Q1/TPS388R0-Q1 デバイスは、I<sup>2</sup>C プロトコルで定義されている読み取りまたは書き込み動作中に、データ ライン上で応答します。SCL 信号と SDA 信号はいずれもオープンドレイントポロジであり、他のデバイスとの有線 OR 構成で通信バスを共有するために使用できます。SCL ピンと SDA ピンの両方に、電源電圧に対する外付けプルアップ抵抗が必要です (10kΩ 推奨)。

図 7-3 に、SCL ラインと SDA ライン間の 1 バイトのデータを転送するタイミング関係が示されています。SCL ラインは常に、ホストによって制御されます。1 バイトのデータを転送するには、ホストは SCL で 9 クロックを送信する必要があります。データの場合は 8 クロック、ACK または NACK の場合は 1 クロックです。SDA ラインは、読み取りまたは書き込みの動作に基づいて、ホストまたは TPS38800-Q1/TPS388R0-Q1 デバイスによって制御されます。図 7-4 および 図 7-5 に、アクティブな通信中にさまざまなインスタンスで SDA ラインを制御する通信プロトコルのフロー、およびどのデバイスが SDA ラインを制御するかが示されています。

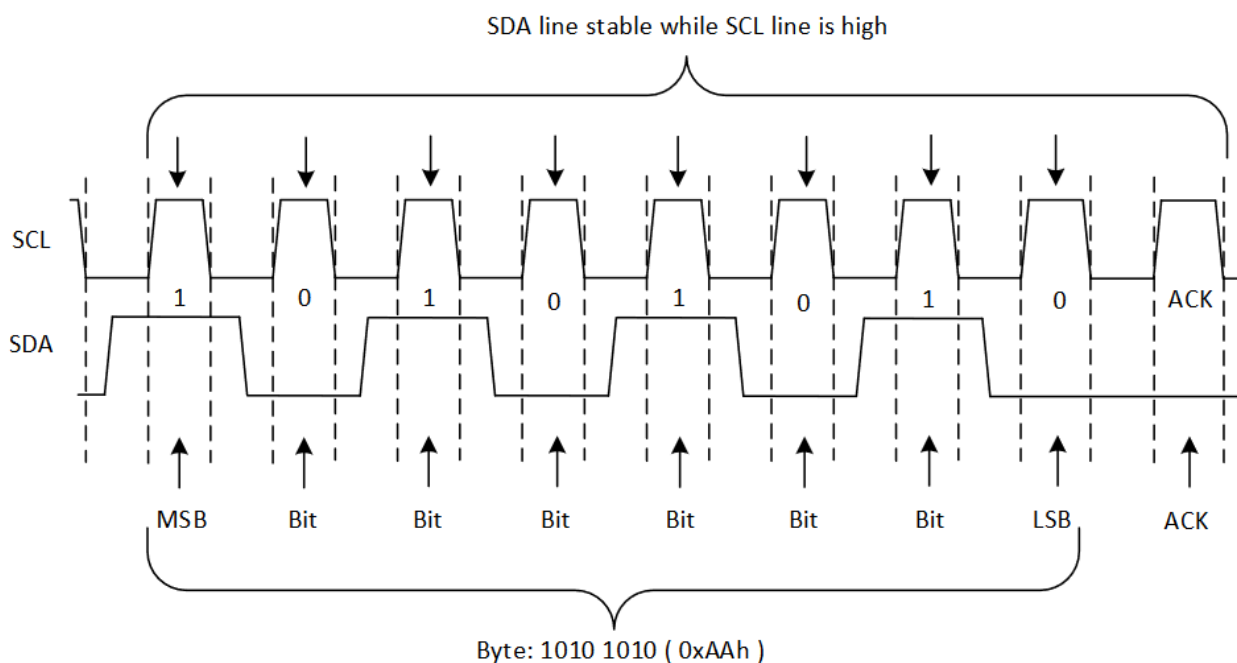


図 7-3. 1 バイトのデータ転送の SCL から SDA へのタイミング



- ☒ Controller Controls SDA Line
- ☐ Target Controls SDA Line

### Write to One Register in a Device

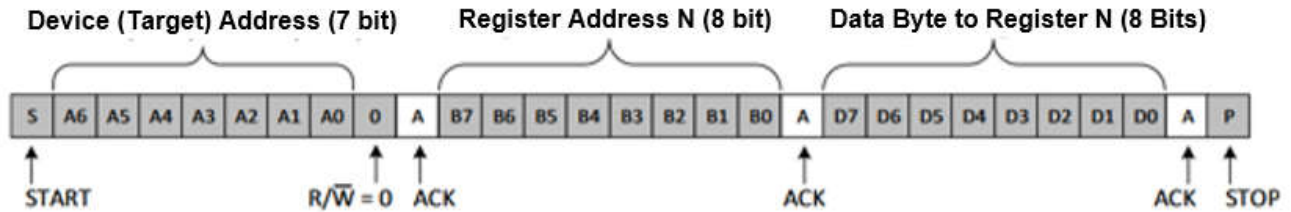


図 7-4. I<sup>2</sup>C 書き込みプロトコル

- ☒ Controller Controls SDA Line
- ☐ Target Controls SDA Line

### Read From One Register in a Device

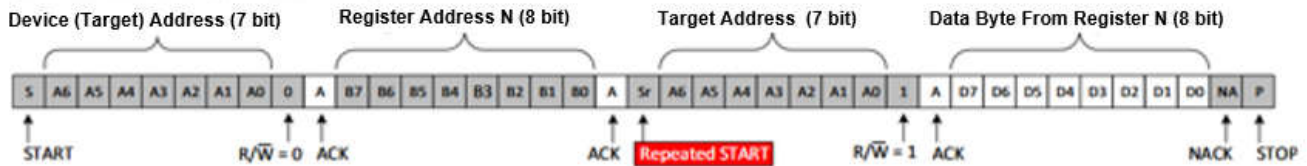


図 7-5. I<sup>2</sup>C 読み取りプロトコル

I<sup>2</sup>C プロトコルで通信を開始する前に、ホストは I<sup>2</sup>C バスが通信で利用可能であることを確認する必要があります。SCL と SDA ラインを監視し、いずれかのラインが **Low** にプルされると、I<sup>2</sup>C バスが使用されます。ホストは、バスが通信に利用可能になるまで待機する必要があります。通信にバスが利用可能になると、ホストは **START** 条件を発行して、読み取りまたは書き込み動作を開始できます。I<sup>2</sup>C 通信が完了したら、**STOP** コマンドを発行してバスを解放します。図 7-6 に、START 条件および STOP 条件の実装方法が示されています。

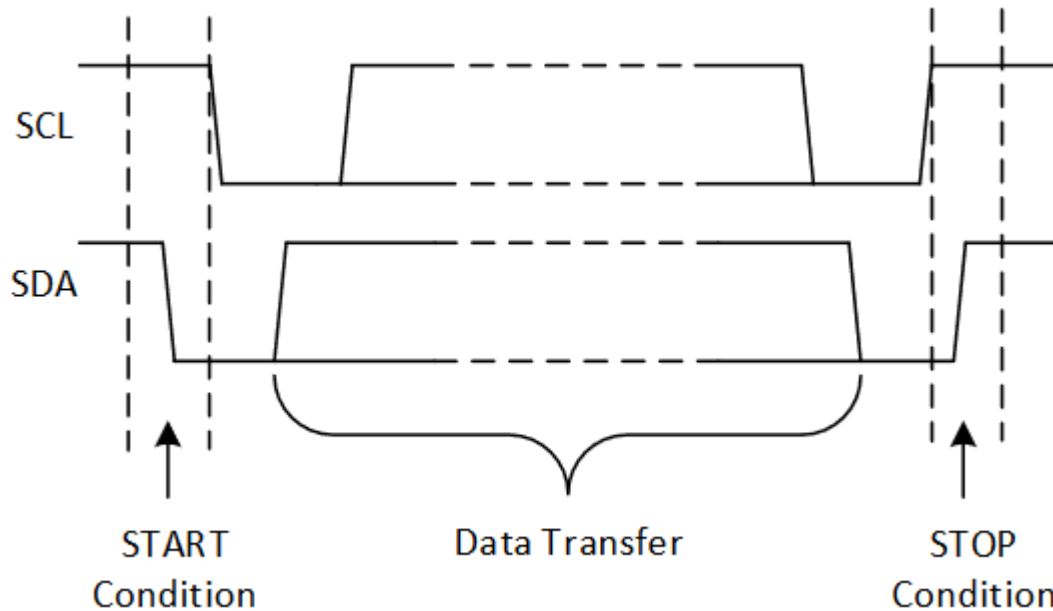


図 7-6. I<sup>2</sup>C の START 条件と STOP 条件

表 7-1 に、I<sup>2</sup>C でプログラムする際に利用できる各種の機能が示されています。

表 7-1. ユーザー プログラマブル I<sup>2</sup>C 機能

機能	説明
OV / UV 高速ループのスレッシュホールド	0.2V ~ 1.475V の範囲で 5mV ステップ、0.8V ~ 5.5V の範囲で 20mV ステップで調整可能
電圧監視スケーリング	1 または 4
OV / UV 高速ループのグリッチ耐性	0.1us~102.4us
シーケンスのタイムアウトを有効化	1ms~4s
スリープ シーケンスのタイムアウト	1ms~4s
ACT による自動マスクの OFF-ON-OFF	各 MON チャンネルで選択可
SLEEP による自動マスクの OFF-ON-OFF	各 MON チャンネルで選択可
I <sup>2</sup> C のパケット エラー チェック	有効化または無効化
NIRQ アサートを強制	I <sup>2</sup> C レジスタによる制御
個別チャンネル MON	有効または無効
割り込み無効化機能	BIST、PEC、TSD、CRC

### 7.3.2 自動マスク (AMSK)

パワーアップの場合は、AMSK\_ON レジスタと AMSK\_EXS レジスタが適用されます。MON 電圧が MON の OFF スレッシュホールドまたはシーケンス タイムアウトのいずれか早い方に達するまで、TPS38800-Q1/TPS388R0-Q1 が割り込みをマスクします。パワーダウンの場合は、AMSK\_OFF レジスタと AMSK\_ENS レジスタが適用されます。MON 電圧が OFF スレッシュホールドを下回るまで、割り込みがマスクされます。

表 7-2 に、ACT および SLEEP 遷移の自動マスク動作が示されています。

**表 7-2. 遷移表**

遷移	自動マスクが適用されます	自動マスクが以下に適用されます	自動マスクは非アクティブです	MON チャネルの割り込みアクティブは自動マスクにありません
ACT (Low -> High)	AMSK_ON	IEN_UVHF, IEN_OVHF	SEQ_TOUT が期限切れになるか、レールが MON の OFF スレッショルドを超えます	ACT=High 時
ACT (High -> Low)	AMSK_OFF		SEQ_TOUT が期限切れになるまで、遷移で自動マスクがアクティブになります	SEQ_TOUT が期限切れるまで
SLEEP (Low -> High) ACT = High	AMSK_EXS		SEQ_TOUT が期限切れになるか、レールが MON の OFF スレッショルドを超えます	常にアクティブです
SLEEP (High -> Low) ACT = High	AMSK_ENS		自動マスクがアクティブです	常にアクティブです

### 7.3.3 PEC

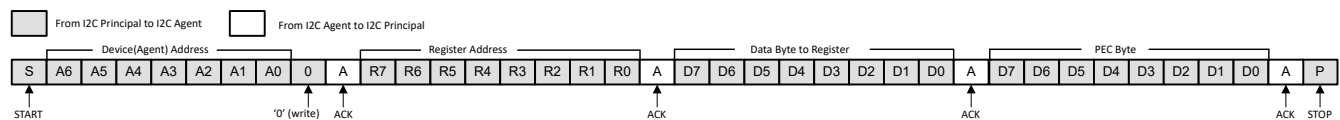
TPS38800-Q1/TPS388R0-Q1 はパケット エラー チェック (PEC) をサポートしています。TPS38800-Q1/TPS388R0-Q1 多項式  $C(x)=x^8 + x^2 + x + 1$  で表される CRC-8 を使用し、CRC 初期値は 0x00 に設定されます。PEC の計算には、アドレス、コマンド、データを含め、送信のすべてのバイトが含まれます。PEC の計算には、ACK ビットと NACK ビット、または START、STOP、反復 START 条件は含まれません。ペリフェラルとして機能し PEC をサポートするデバイスは、PEC の有無にかかわらず転送を実行する準備をする必要があります。PEC が存在する場合は PEC の正確さを検証し、PEC が正しい場合のみメッセージを処理する必要があります。

- EN\_PEC によって PEC がイネーブルになっており、かつ PEC バイトが書き込みトランザクションに存在する場合、デバイスは NACK を通知し、PEC バイトが正しくない場合は NIRQ をアサートします。
- EN\_PEC によって PEC がイネーブルになっており、かつ PEC バイトが書き込みトランザクションに存在しない場合

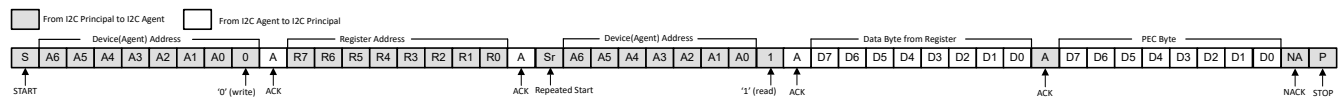
- REQ\_PEC = 0 の場合、PEC の欠落は正常な PEC として扱われ、レジスタへの書き込みは成功します。NIRQ はアサートされません。

- REQ\_PEC = 1 の場合、PEC の欠落は不正な PEC として扱われ、レジスタへの書き込みは失敗します。NIRQ はアサートされます。

図 7-7 および 図 7-8 に、アクティブな通信中にさまざまなインスタンスで PEC が必要な場合に SDA ラインを制御する通信プロトコルのフロー、およびどのデバイスが SDA ラインを制御するかが示されています。



**図 7-7. PEC があるシングル バイト書き込み**



**図 7-8. PEC があるシングル バイト読み取り**

### 7.3.4 VDD

TPS38800-Q1/TPS388R0-Q1 は、2.6V ~ 5.5V の入力電源電圧範囲で動作するように設計されています。このデバイスには入力電源コンデンサは必要ありませんが、入力電源にノイズが多い場合は、VDD ピンと GND ピンの間に 1μF コンデンサを配置する方法がアナログ手法として適切です。

デバイスが完全に機能するには、スタートアップ遅延 ( $t_{SD} + t_D$ ) の  $V_{DD(MIN)}$  が少なくとも  $V_{DD}$  以上である必要があります。

### 7.3.5 MON

TPS38800-Q1/TPS388R0-Q1 には、高精度リファレンス電圧を備えた 2 つのコンパレータおよびモニタ (MON) チャネルごとに調整された抵抗デバイスが組み合わさっています。この構成によって、すべての抵抗許容誤差が精度と性能仕様において考慮されているため、デバイスの精度が最適化されます。両方のコンパレータには、ノイズ耐性をもたらし、安定した動作を維持するヒステリシスも内蔵されています。

大半の場合必要ではありませんが、ノイズの多いアプリケーションでは、MON 入力に  $1\text{nF} \sim 10\text{nF}$  のバイパスコンデンサを配置して、監視対象の信号の過渡電圧に対する感度を低減する方法が優れたアナログ設計手法といえます。具体的なデバウンス時間やグリッチ除去時間は、I2C レジスタにより各 MON に対して個別に設定することもできます。グリッチ耐性のデバウンスフィルタは、各 MON チャネルに対応する BANK1 の FLT\_HF レジスタを使用して、各モニタに対して構成できます。

VDD 電源電圧を監視する場合、MON ピンを VDD に直接接続できます。MON ピンの電圧がスレッシュホールドの上限と下限の間にあるときは、出力 (NIRQ / NRST) はハイインピーダンスになります。

### 7.3.6 NIRQ

一般的な TPS38800-Q1/TPS388R0-Q1 アプリケーションでは、NIRQ 出力は、プロセッサ (デジタル信号プロセッサ (DSP)、特定用途向け集積回路 (ASIC)、その他のプロセッサタイプなど) のリセット入力またはイネーブル入力、または電圧レギュレータ (DC-DC コンバータや低ドロップアウトレギュレータ (LDO) など) のイネーブル入力に接続されます。NIRQ はラッチ動作を伴う割り込みエラー出力であり、監視対象の電圧が、プログラムされた OVHF および UVHF スレッシュホールドを越えて低下または上昇すると、NIRQ がアサートされます。NIRQ は、フォルトの原因となっている動作が解消され、フォルトが発生したことを示すビットに「1 でビットをクリア」が書き込まれるまで Low 状態を維持します。異常検出力レジスタからの NIRQ のマッピングが解除されても、NIRQ 信号はデアサートされません。

TPS38800-Q1/TPS388R0-Q1 にはオープンドレインのアクティブ Low 出力があり、これらのラインを必要な電圧ロジックまで High に保持するためにプルアップ抵抗が必要です。プルアップ抵抗を適切な電圧レールに接続し、出力を適切なインターフェイス電圧レベルで他のデバイスに接続できるようにします。適切な電圧レベルを維持するためには、プルアップ抵抗の値を選択する際にある程度の配慮が必要になります。プルアップ抵抗の値は、 $V_{OL}$ 、出力容量性負荷、および出力リーク電流によって決定されます。セクション 6 に、これらの値が指定されています。オープンドレイン出力は、別の TPS38800-Q1/TPS388R0-Q1 NIRQ ピンなどの他のオープンドレイン信号を使って有線 OR ロジックとして接続できます。

### 7.3.7 NRST

NRST ピンにはプログラマブルリセット遅延時間があり、I2C RESET 時間遅延レジスタを使用する場合、 $0.2\text{ms} \sim 200\text{ms}$  の範囲で調整できます。NRST はオープンドレイン出力であり、external  $1\text{k}\Omega \sim 100\text{k}\Omega$  のプルアップ抵抗を必要とします。デバイスのパワーアップ時に POR が完了すると、BIST が完了するまで NRST が Low にアサートされます。BIST の後、マッピング可能なフォルト条件によってトリガされるまで、NRST は High のままです (アサートされない)。NRST ピンが予期しない状態にプルされると、nRST\_MISMATCH フォルトがアサートされます。たとえば、NRST ピンがハイインピーダンス状態 (ロジック High) で、外部から Low に駆動されると、NRST\_MISMATCH フォルトがアサートされます。NRST トグルの間、 $2\mu\text{s}$  の後で NRST 不一致がアクティブになります。ロジック High 状態と見なされるには、NRST が  $0.6 \times V_{DD}$  を超えている必要があります。

NRST は、FC\_LF[n] レジスタを使用して、OVHF および UVHF フォルトにマッピングできます。監視対象の電圧がプログラムされた OVHF および UVHF スレッシュホールドを下回る、または上回ると、NRST がアサートされ、NRST ピンが Low に駆動されます。監視対象の電圧が有効なウィンドウに戻ると、リセット遅延回路が有効になり、指定されたリセット遅延期間 ( $t_D$ ) にわたって NRST を Low に保持します。

$t_D$  期間は、TI\_CONTROL レジスタにある RST\_DLY[2:0] の値によって決定されます。リセット遅延が経過すると、NRST ピンはハイインピーダンス状態に移行し、プルアップ抵抗を使用して NRST を High に保持します。他のデバイスを正しいインターフェイス電圧で接続できるように、プルアップ抵抗を適切な電圧レールに接続する必要があります。適切な電圧

レベルを維持するためには、プルアップ抵抗の値を選択する際に配慮が必要になります。プルアップ抵抗の値は、Low 電圧出力 (VOL)、容量性負荷、リーク電流によって決定されます。

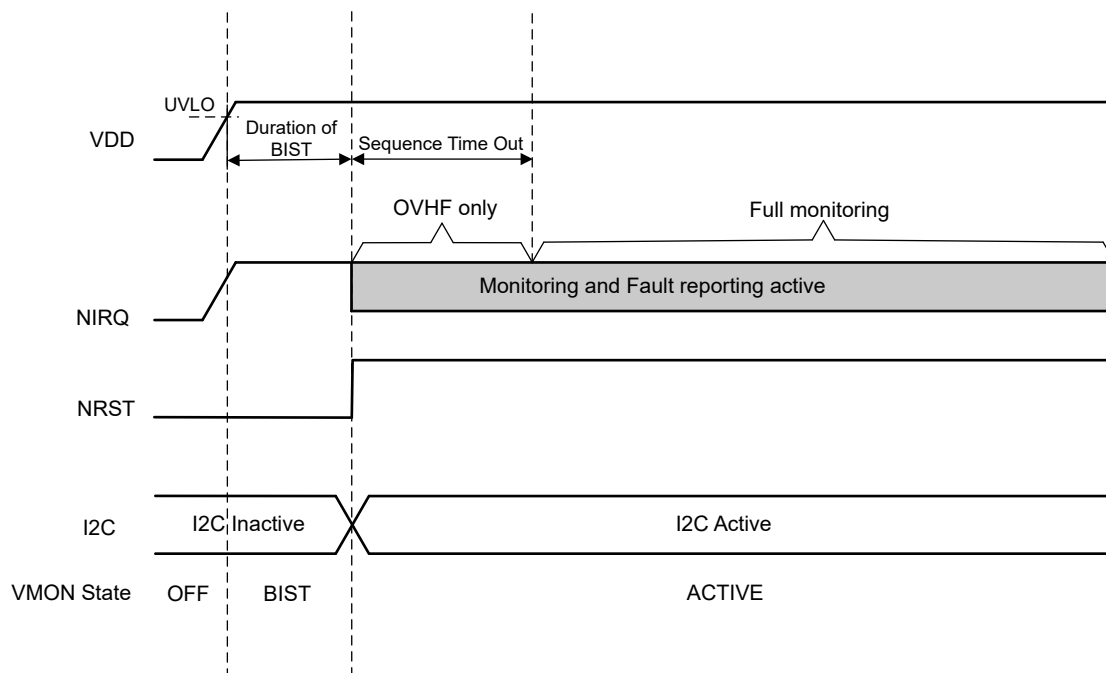


図 7-9. NRST スタートアップ時の動作

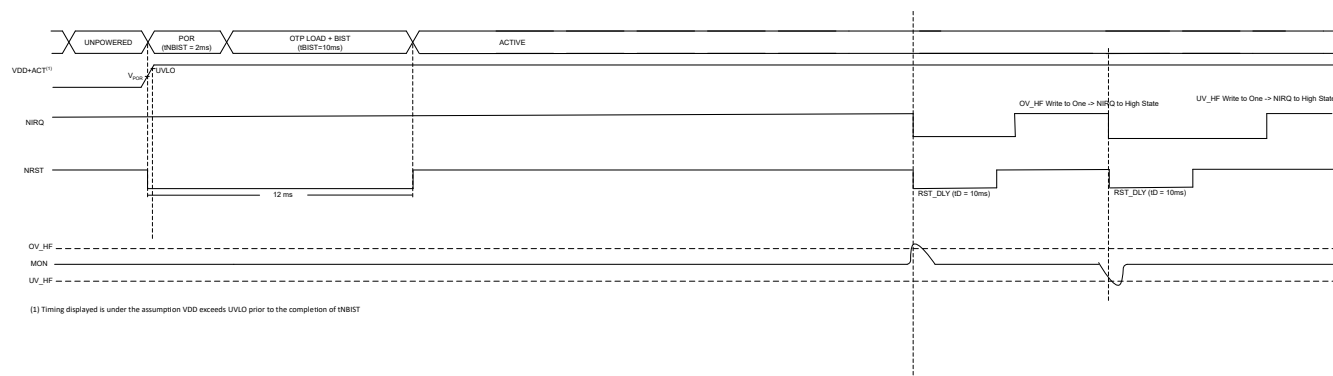


図 7-10. 電圧フォルトの NRST タイミング図

## 7.4 デバイスの機能モード

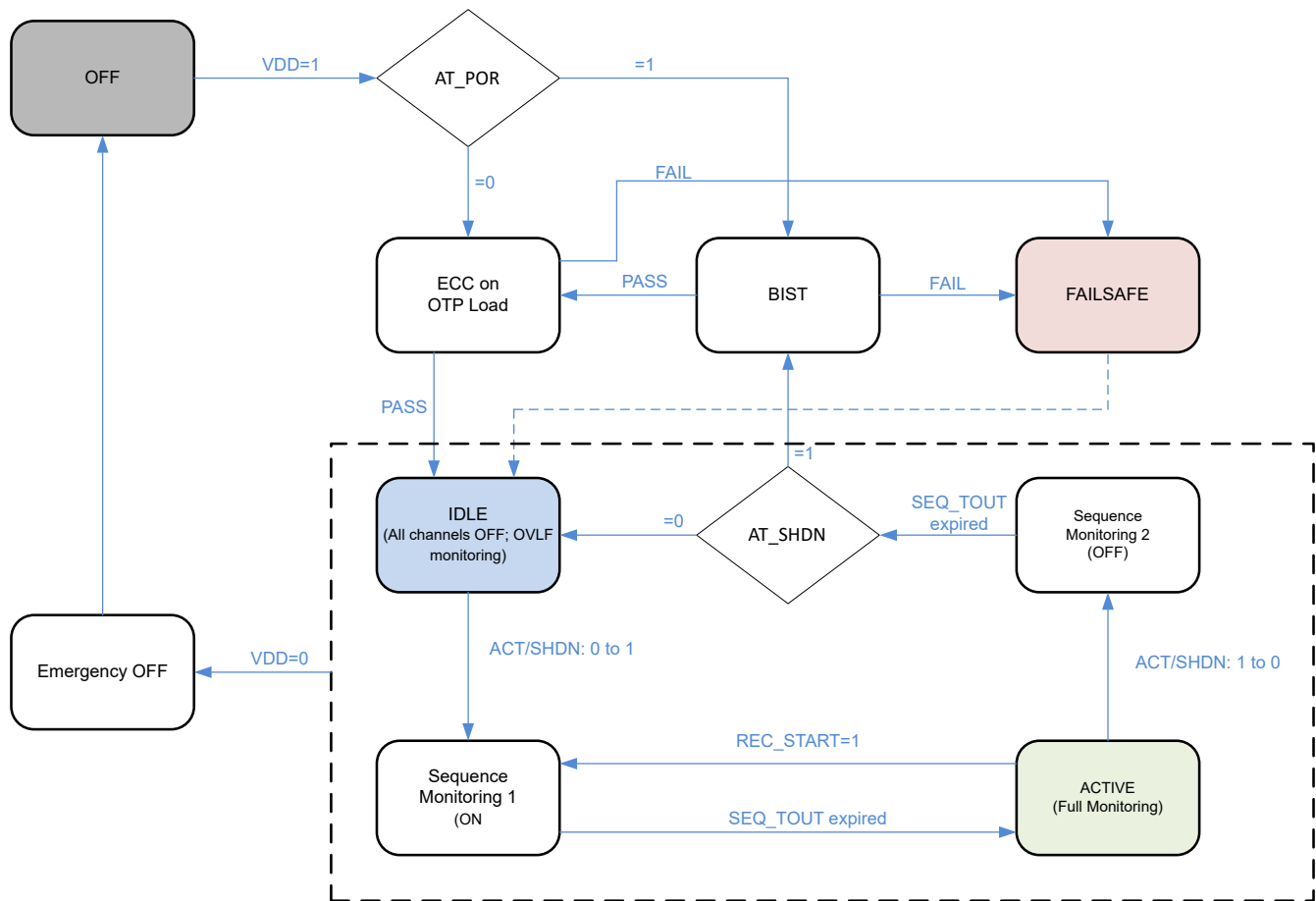


図 7-11. TPS38800-Q1/TPS388R0-Q1 状態遷移図

### 7.4.1 組み込みセルフテストと構成の読み込み

内蔵セルフテスト (BIST) が実行されます:

1. TEST\_CFG.AT\_POR=1 の場合、パワーオンリセット (POR) 時
2. TEST\_CFG.AT\_SHDN=1 の場合、ACT が 1→0 に遷移して ACTIVE 状態を終了するとき

OTP からの構成ロードは、ECC によってアシストされます (SEC-DED をサポート)。これは、データの整合性の問題から保護し、システムの可用性を最大化するためです。

BIST 中、NIRQ はアサート解除され (故障時にアサートされる)、入力ピンは無視され、I<sup>2</sup>C ブロックは非アクティブで、SDA および SCL はアサート解除されます。BIST 中、NRST が Low にアサートされます。BIST には、技術安全要件を満たすためのデバイステストが含まれています。障害なしで BIST が完了すると、I<sup>2</sup>C が直ちにアクティブになり、デバイスは OTP から構成データをロードした後、IDLE 状態に入ります。BIST に失敗するか、ECC がダブルエラー検出 (DED) を通知すると、NIRQ がアサートされ、デバイスはフェイルセーフ状態に入り、アクティブな I<sup>2</sup>C に対して最善の取り組みが試みられます。TEST\_INFO レジスタでは、テスト結果の追加情報を提供します。

BIST の成功 / 失敗時の詳細な動作は、INT\_TEST および IEN\_TEST レジスタによって制御されます。BIST 結果の通知は、以下によって実行されます。

- NIRQ ピン: テスト結果および IEN\_TEST の BIST\_C と BIST ビットに応じて Low になります
- NRST ピン: BIST 中に Low になります



- IEN\_TEST 設定に応じて、INT\_TEST レジスタの I\_BIST\_C ビットと BIST ビット
- VMON\_STAT.ST\_BIST\_C レジスタビット
- TEST\_INFO[3:0] レジスタビット

#### 7.4.1.1 BIST 実行に関する注意事項

TPS38800-Q1/TPS388R0-Q1 は、POR 時に、TEST\_CFG.AT\_POR レジスタ ビットの値に基づいて、BIST を実行するかどうかを決定する必要があります。BIST が ECC ロジックをチェックした後にこのレジスタの ECC が実行されると仮定すると、BIST を実行する前にデータの整合性は証明されません。

#### 7.4.2 TPS38800-Q1 電源オン

TPS38800-Q1/TPS388R0-Q1 が電源オンになると、オプションで BIST が実行されます (TEST\_CFG.AT\_POR レジスタビットに応じて)。BIST が完了すると、直ちに I<sup>2</sup>C およびフォルト通知 (NIRQ 経由) がアクティブになり、OTP から構成がロードされます (ECC によるアシスト、SEC-DED をサポート)。

構成ロード ECC および BIST 結果の詳細が TEST\_INFO レジスタに通知されます。

ACT 立ち上がりエッジが検出されると、TPS38800-Q1/TPS388R0-Q1 はシーケンス タイム アウトを開始し、自動マスクレジスタ AMSK\_ON で選択された入力、低電圧高周波数 (UVHF) 状態のマスク (無効化) された割り込みによって開始されます。選択された入力は、MON の OFF スレッショルドを超えるか、シーケンス タイム アウトが終了するまでマスクされます。ACT が High になり、シーケンス タイム アウトが終了するまで、SLEEP は無視されます。次に TPS38800-Q1/TPS388R0-Q1 は、SLEEP 遷移時に動作して、スリープ開始 / 終了シーケンスを監視 / 記録します。

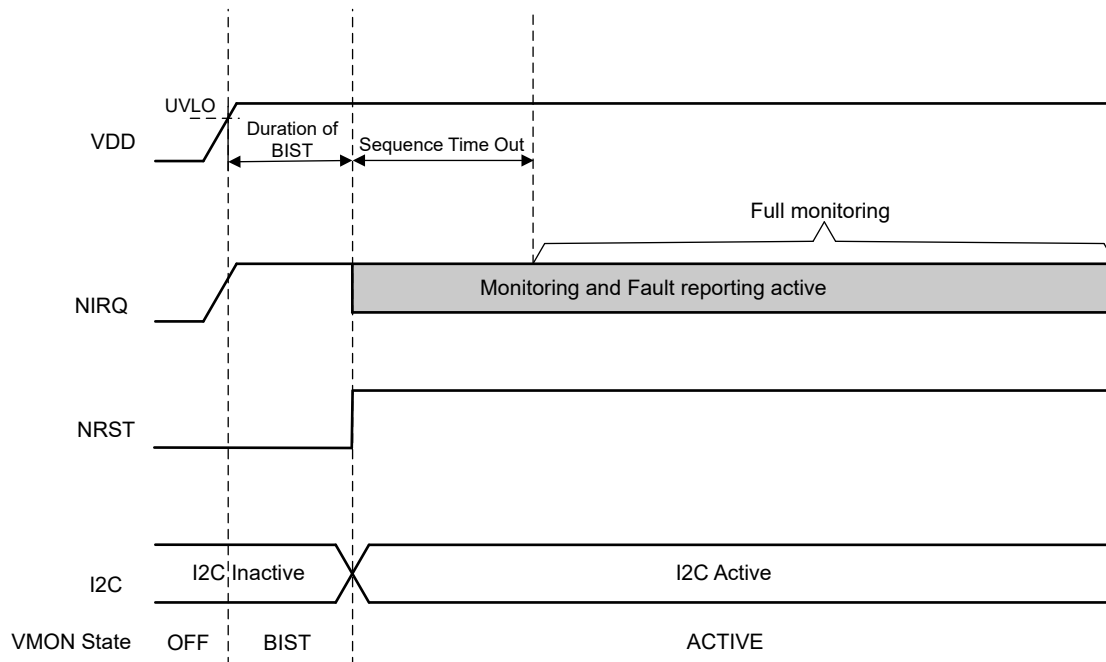


図 7-12. TPS38800-Q1/TPS388R0-Q1 電源 ON 信号処理と内部状態

BIST の完了は、割り込みまたはレジスタのポーリングによって検出できます:

- 割り込み: INT\_TEST\_I\_BIST\_C フラグがセットされ、IEN\_TEST\_C = 1 の場合は NIRQ がアサートされます
- ポーリング: VMON\_STAT レジスタは、ポーリングにより ST\_BIST\_C ビットを読み出すことができます

#### 7.4.3 一般監視

##### 7.4.3.1 IDLE 監視

TPS38800-Q1/TPS388R0-Q1 は、ACT が Low で BIST が完了すると、IDLE 状態になります。

この状態では、監視対象のすべてのチャンネルがオフ状態 (OFF スレッシュホールド未満) になることが予想されます。この状態では、すべての監視が無効になります。

#### 7.4.3.2 ACTIVE 監視

TPS38800-Q1/TPS388R0-Q1 は、ACT が High のとき、ACTIVE 状態になります。

VMON モニタは、低電圧高周波数 (UVHF) および過電圧高周波数 (OVHF) スレッシュホールドに対して高周波数チャンネルレベルをモニタします。

一部のチャンネルは、ユーザー ソフトウェアで制御されるレールに接続できます。TPS38800-Q1/TPS388R0-Q1 が ACTIVE 状態のとき、このようなチャンネルは OFF 状態 (OFF スレッシュホールド未満) にすることができ、通常は UVHF 割り込みがディスエーブルになります。これらのレールが ON になると、TPS38800-Q1/TPS388R0-Q1 ホストはチャンネル UVHF 割り込みをイネーブルにして、完全な監視を可能にします。同様に、これらのレールが OFF になる前に、TPS38800-Q1/TPS388R0-Q1 ホストはチャンネル UVHF 割り込みをディスエーブルにして、ランプダウン時の誤った UV 違反を回避します。これらのチャンネルは ACT または SLEEP によって開始されるシーケンスの一部ではないため、自動マスクレジスタを使用して UVHF / OVHF 割り込みを自動的にイネーブル / ディスエーブルにすることはできません。

他のイネーブル チャンネルは、SLEEP 1→0 遷移シーケンスの結果として、OFF 状態にできます。これらのチャンネルは、AMSK\_ENS 自動マスクレジスタによって識別され、遷移中の UVHF および OVHF 割り込みを回避します。

表 7-3. モードの動作の概要

モード	ピン / ビット条件	Iq	監視対象 - Chx が有効の場合に NIRQ をトリガします	ステータスのみ
アクティブ	ACT=High, Sleep=High	1.5mA	OVHF, UVHF	OFF
IDLE	ACT=Low, Sleep=X	230uA	OVHF	OFF
SLEEP ACT=High, SLEEP=Low スリープ電源ビット=1	CHx の Sleep への割り当てなし	1.5mA	OVHF, UVHF	OFF
	CHx を Sleep に割り当て (AMSK = 1)		監視なし	OFF
	CHx を Sleep に割り当て (AMSK = 0)		OVHF, UVHF	OFF
ディープスリープ ACT=High, SLEEP=Low スリープ電源ビット=0	CHx の Sleep への割り当てなし	330uA	OVHF, UVHF	-
	CHx を Sleep に割り当て (AMSK = 1)		監視なし	-
	CHx を Sleep に割り当て (AMSK = 0)		OVHF, UVHF	-

#### 7.4.3.3 シーケンス監視 1

シーケンス監視 1 は、次の場合に移行される遷移状態です。

1. ACT の遷移は 0→1
2. ACT = 1 の場合、SLEEP は 0→1 に遷移します
3. ACT = 1 の場合、SLEEP は 1→0 に遷移します

次のセクションでは、わかりやすくするために 3 つのケースのアクションについて説明します。



#### 7.4.3.3.1 ACT の遷移は 0→1

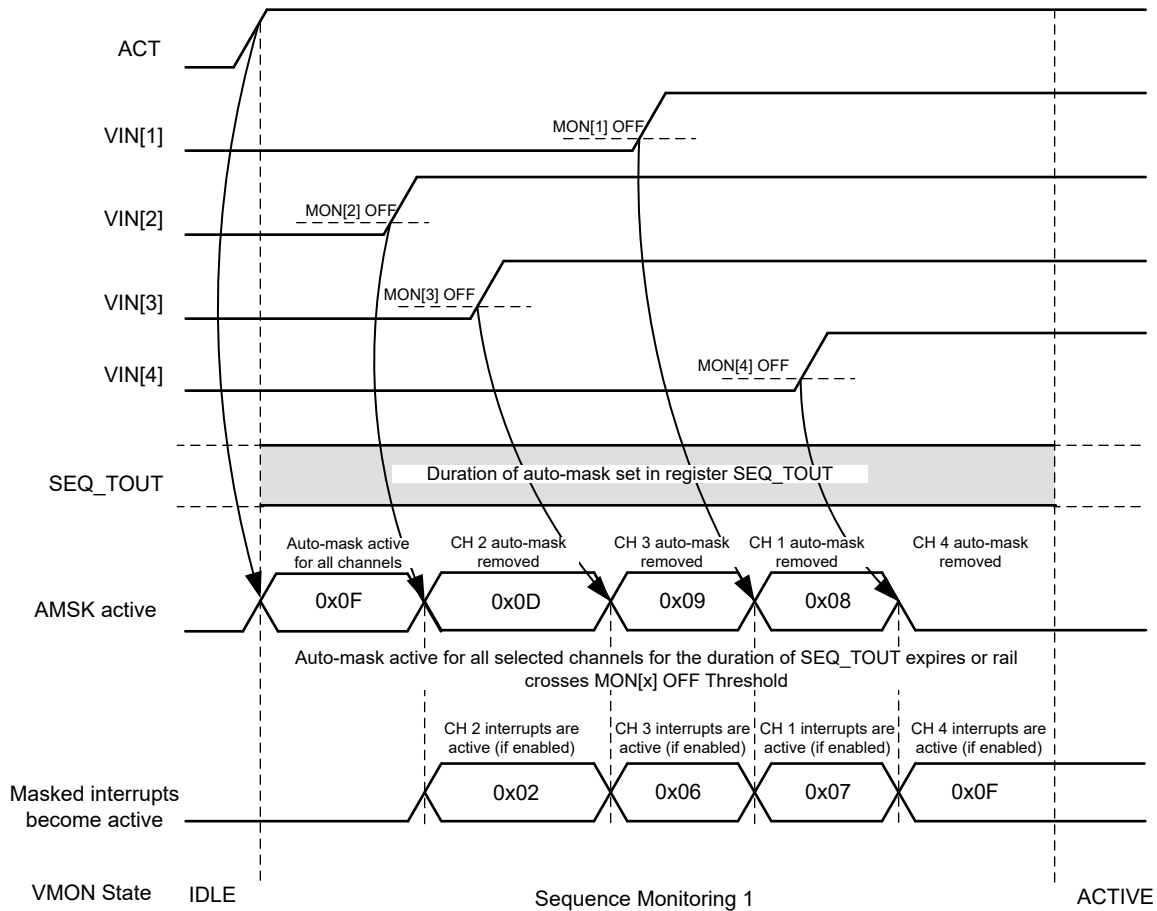


図 7-13. ACT 0→1 遷移

TPS38800-Q1/TPS388R0-Q1 は、ACT 0→1 遷移時に複数のアクションを実行します。

##### 1. ACT 0→1 遷移の後:

- 自動マスクレジスタ **AMSK\_ON** で選択されたすべての TPS38800-Q1/TPS388R0-Q1 入力は、低電圧高周波数 (UVHF) 状態のマスク (無効化) された割り込みによって開始されます。
- 各レールが **MON** の **OFF** スレッショルドを超えると、10μs **IEN\_UVHF** および **IEN\_OVHF** レジスタに従って、関連する UV および OV 割り込みがマスクされず、有効 / 無効になります。

##### 2. SEQ\_TOUT タイムアウトの後:

- TPS38800-Q1/TPS388R0-Q1 は、ACTIVE 状態で、通常の監視を開始します。

#### 7.4.3.3.2 SLEEP の遷移は 1→0

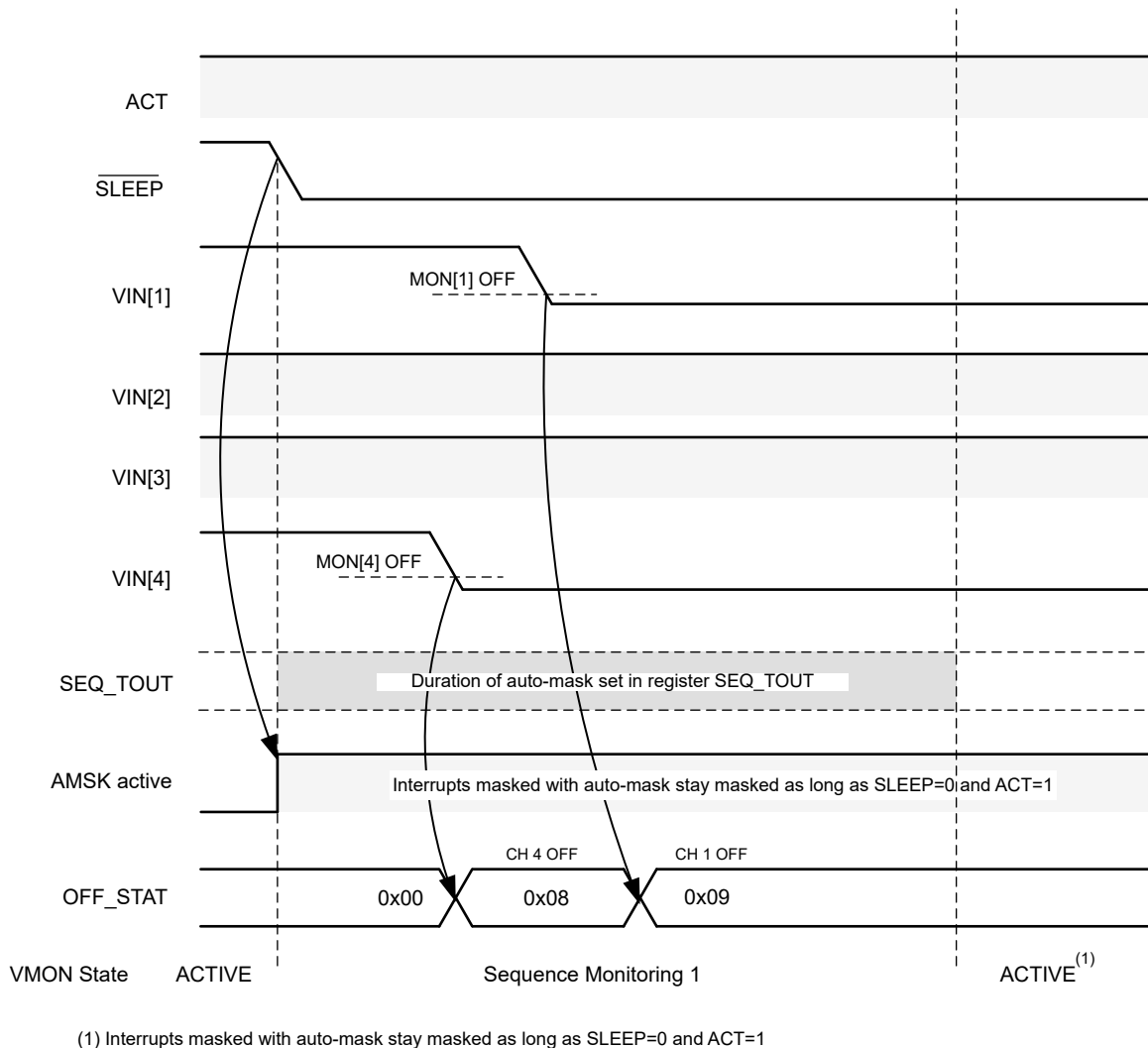


図 7-14. SLEEP 1→0 遷移

TPS38800-Q1/TPS388R0-Q1 は、SLEEP 1→0 遷移時に複数のアクションを実行します。

1. SLEEP 1→0 遷移の後:
  - a. 自動マスクレジスタ **AMSK\_ENS** で選択された関連 TPS38800-Q1/TPS388R0-Q1 入力は、UVHF および OVHF 状態のマスクされた割り込みでセットされます。
2. SEQ\_TOUT が期限切れになった後:
  - a. TPS38800-Q1/TPS388R0-Q1 が **ACTIVE** 状態になり、UVHF および OVHF 条件の割り込みは、**SLEEP = 0** および **ACT = 1** である限りマスクされたままです。

#### 7.4.3.3.3 SLEEP の遷移は 0→1

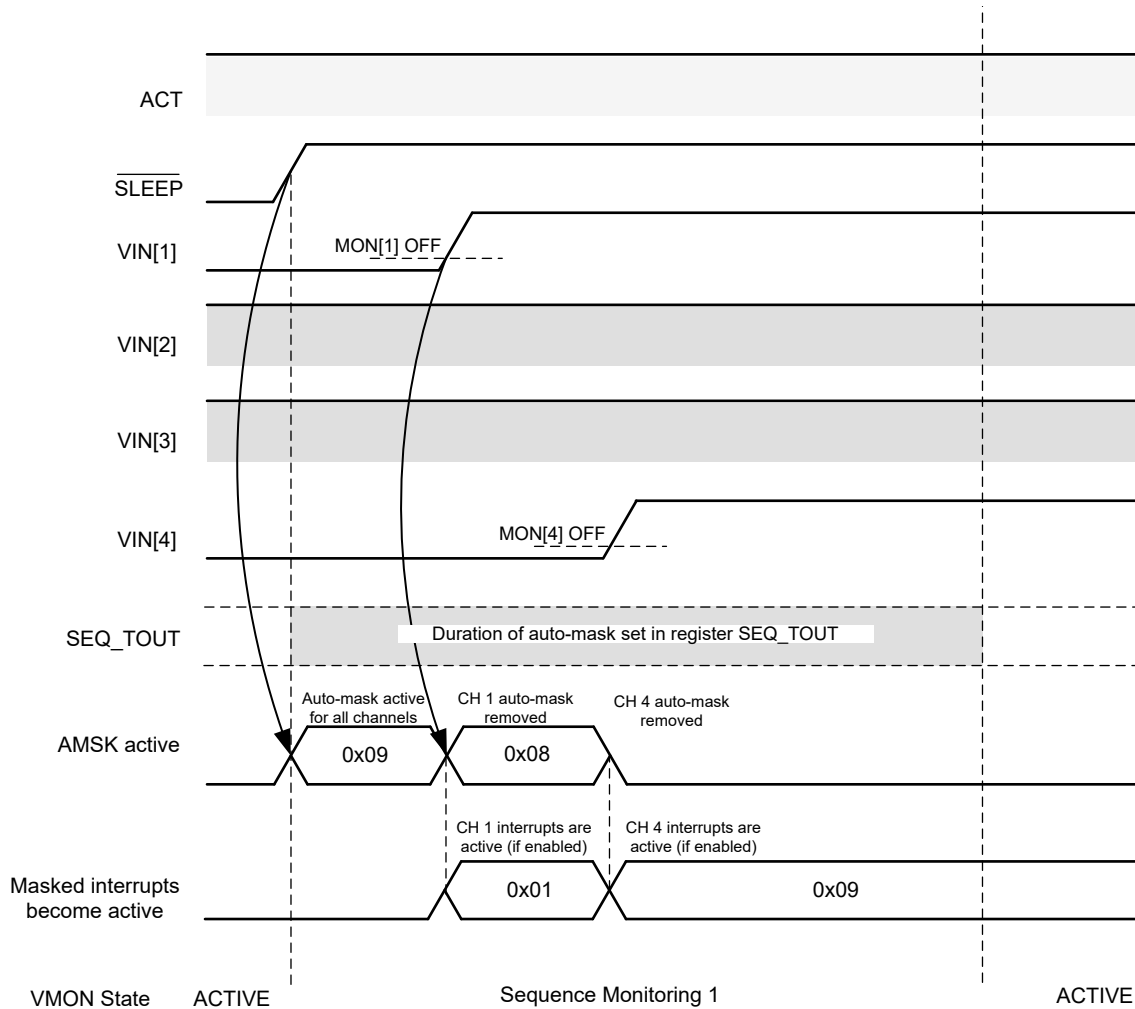


図 7-15. SLEEP 0→1 遷移

TPS38800-Q1/TPS388R0-Q1 は、SLEEP 0→1 遷移時に複数のアクションを実行します。

1. SLEEP 0→1 遷移の後:
  - a. 各レールが MON の OFF スレッショルドを超えると、自動的に (およそ 5 ~ 10μs 以内に発生すると予想されます)、IEN\_UVHF および IEN\_OVHF レジスタに従って、関連する UV および OV 割り込みがマスクされず、有効 / 無効になります。
2. SEQ\_TOUT が期限切れになった後。
  - a. TPS38800-Q1/TPS388R0-Q1 は ACTIVE 状態に入り、TPS38800-Q1/TPS388R0-Q1 は IEN\_UVHF および IEN\_OVHF レジスタに応じた通常監視を継続します。

#### 7.4.3.4 シーケンス監視 2

シーケンス監視 2 はシーケンス監視 1 と非常によく似ていますが、この遷移状態を終了するときには、TEST\_CFG.AT\_SHDN レジスタビットに応じて、追加手順が実行されます。

ACT が 1→0 に遷移すると、シーケンス監視 2 に入ります。実行されるアクションについては、[セクション 7.4.3.4.1](#) を参照してください。

#### 7.4.3.4.1 ACT の遷移は 1→0

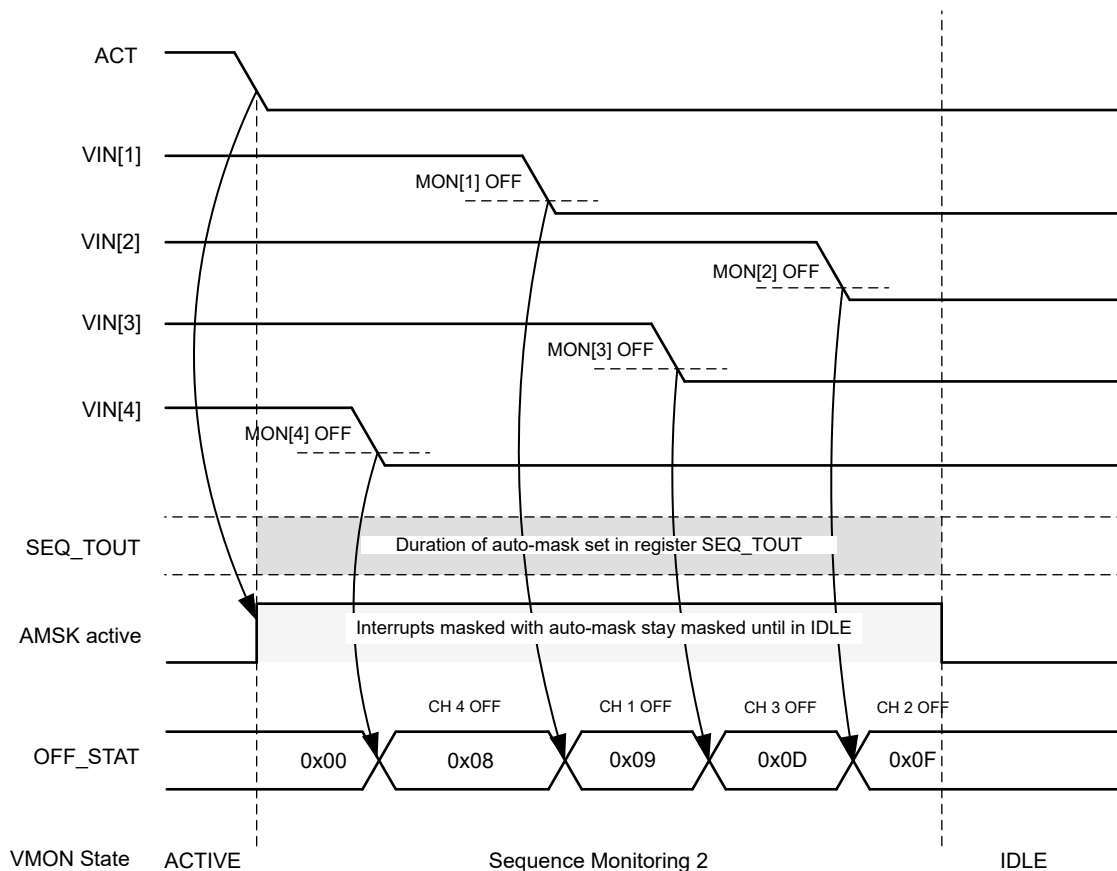


図 7-16. ACT 1→0 遷移

TPS38800-Q1/TPS388R0-Q1 は、ACT 1→0 遷移時に複数のアクションを実行します。

##### 1. ACT 1→0 遷移の後:

- 自動マスクレジスタ **AMSK\_OFF** で選択されたすべての TPS38800-Q1/TPS388R0-Q1 入力、UVHF 状態のマスク (無効化) された割り込みでセットされます。

##### 2. SEQ\_TOUT タイムアウトの後:

- すべての UVHF 割り込みはマスク (無効化) されます。
- TEST\_CFG.AT\_SHDN** レジスタビットが設定されている場合、**BIST** が実行されます (次の状態は BIST 結果に依存します)。
- TEST\_CFG.AT\_SHDN** レジスタビットが設定されていない場合、TPS38800-Q1/TPS388R0-Q1 は IDLE 状態に移行します。

## 7.5 レジスタ マップ

### 7.5.1 レジスタの概要

レジスタ マップは、以下の構成で、レジスタ バンクを使用して最大 16 個のチャンネルをサポートするように設計されています。

- バンク 0 - ステータス レジスタ セットの概要:
  - ベンダ情報および使用レジスタ (バンクに非依存)
  - 割り込みレジスタ
  - ステータス レジスタ
  - バンク選択レジスタ (バンクに非依存)
  - 保護レジスタ (バンクに非依存)
  - デバイス構成レジスタ (バンクに非依存)
- バンク 1 チャンネル 1-8 構成レジスタセットの概要:
  - ベンダ情報および使用レジスタ (バンクに非依存)
  - 制御レジスタ (デバイス グローバル レジスタ)
  - モニタ構成レジスタ (チャンネル固有のレジスタ)
  - シーケンス構成レジスタ (デバイス グローバルおよびチャンネル固有のレジスタの両方)
  - バンク選択レジスタ (バンクに非依存)
  - 保護レジスタ (バンクに非依存)
  - デバイス構成レジスタ (バンクに非依存)

現在のバンクの選択に関係なく、バンクに非依存のレジスタは同じアドレスでアクセスできます。他のレジスタにアクセスするには、適切なバンクを選択する必要があります。

すべてのレジスタは 8 ビット幅であり、ブート時に、ここで説明されているデフォルト値、または工場出荷時にプログラムされた OTP 値がロードされます。

未使用のレジスタ アドレスは、以後の使用のために予約されており、最大 16 チャンネルをサポートします。

保護されたレジスタ (PROT1/2 の詳細を参照)、無効なレジスタ、または無効データが含まれている有効なレジスタへの書き込みアクセスは NACK されます。

#### 7.5.1.1 BANK0 のレジスタ

BANK0 レジスタのメモリマップされたレジスタを、表 7-4 に示します。表 7-4 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

**表 7-4. BANK0 のレジスタ**

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
10h	INT_SRC	F_OTHER	予約済み				TEST	制御	モニタ
11h	INT_MONITOR	予約済み					OVHF	予約済み	UVHF
12h	INT_UVHF	F_UVHF[8]	F_UVHF[7]	F_UVHF[6]	F_UVHF[5]	F_UVHF[4]	F_UVHF[3]	F_UVHF[2]	F_UVHF[1]
16h	INT_OVHF	F_OVHF[8]	F_OVHF[7]	F_OVHF[6]	F_OVHF[5]	F_OVHF[4]	F_OVHF[3]	F_OVHF[2]	F_OVHF[1]
22h	INT_CONTROL	予約済み			F_CRC	F_NIRQ	F_TSD	予約済み	F_PEC
23h	INT_TEST	予約済み				ECC_SEC	ECC_DED	BIST_Complete_INT	BIST_Fail_INT
24h	INT_VENDOR	Self-Test_CRC	LDO_OV_Error	NRST_MIS_MATCH	Freq_DEV_Error	SHORT_DET	OPEN_DET	予約済み	
30h	VMON_STAT	FAILSAFE	ST_BIST_C	ST_VDD	ST_NIRQ	RSVD	アクティブ	予約済み	
31h	TEST_INFO	予約済み		ECC_SEC	ECC_DED	BIST_VM	BIST_NVM	BIST_L	BIST_A
32h	OFF_STAT	MON[8]	MON[7]	MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	MON[1]

表 7-4. BANK0 のレジスタ (続き)

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
90h	SEQ_TIME_MSB[1]	CLOCK[7:0]							
91h	SEQ_TIME_LSB[1]	CLOCK[7:0]							
92h	SEQ_TIME_MSB[2]	CLOCK[7:0]							
93h	SEQ_TIME_LSB[2]	CLOCK[7:0]							
94h	SEQ_TIME_MSB[3]	CLOCK[7:0]							
95h	SEQ_TIME_LSB[3]	CLOCK[7:0]							
96h	SEQ_TIME_MSB[4]	CLOCK[7:0]							
97h	SEQ_TIME_LSB[4]	CLOCK[7:0]							
98h	SEQ_TIME_MSB[5]	CLOCK[7:0]							
99h	SEQ_TIME_LSB[5]	CLOCK[7:0]							
9Ah	SEQ_TIME_MSB[6]	CLOCK[7:0]							
9Bh	SEQ_TIME_LSB[6]	CLOCK[7:0]							
9Ch	SEQ_TIME_MSB[7]	CLOCK[7:0]							
9Dh	SEQ_TIME_LSB[7]	CLOCK[7:0]							
9Eh	SEQ_TIME_MSB[8]	CLOCK[7:0]							
9Fh	SEQ_TIME_LSB[8]	CLOCK[7:0]							
F0h	BANK_SEL	予約済み							BANK_Select
F1h	PROT1	予約済み		WRKC	予約済み	CFG	IEN	MON	予約済み
F2h	PROT2	予約済み		WRKC	予約済み	CFG	IEN	MON	予約済み
F3h	PROT_MON	MON[8]	MON[7]	MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	MON[1]
F9h	I2CADDR	予約済み	ADDR_NVM[3:0]				ADDR_STRAP[2:0]		
FAh	DEV_CFG	予約済み							予約済み

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-5 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-5. BANK0 のアクセス タイプ コード

アクセス タイプ	表記	概要
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

#### 7.5.1.1.1 INT\_SRC レジスタ (オフセット = 10h) [リセット = X0h]

表 7-6 に、INT\_SRC が示されています。

概略表に戻ります。

グローバル割り込みソース ステータス レジスタ。

**表 7-6. INT\_SRC レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	F_OTHER	R	0h	ベンダー内部定義のフォルト。詳細は、INT_Vendor に報告されています。INT_Vendor のすべてのビットの論理和の値を表します。 0 = ベンダ定義のフォルトは未検出 1 = ベンダ定義のフォルトを検出済み
6-3	予約済み	R	0h	予約済み
2	TEST	R	Xh	内部テストまたは構成ロード フォルト。詳細は、INT_TEST に報告されています。INT_TEST のすべてのビットの論理和の値を表します。 0 = テスト / 構成フォルトは未検出 1 = テスト / 構成フォルトを検出済み
1	制御	R	Xh	制御ステータスまたは通信フォルト詳細は、INT_CONTROL に報告されています。INT_CONTROL のすべてのビットの論理和の値を表します。 0 = ステータスまたは通信フォルトが検出されていない 1 = ステータスまたは通信フォルトを検出済み
0	モニタ	R	Xh	電圧モニタ フォルト。詳細は、INT_MONITOR に報告されています。INT_MONITOR のすべてのビットの論理和の値を表します。 0 = 電圧フォルトは未検出 1 = 電圧フォルトを検出済み

### 7.5.1.1.2 INT\_MONITOR レジスタ (オフセット = 11h) [リセット = X0h]

表 7-7 に、INT\_MONITOR が示されています。

概略表に戻ります。

電圧監視割り込みステータス レジスタ。

**表 7-7. INT\_MONITOR レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-3	予約済み	R	0h	予約済み
2	OVHF	R	Xh	コンパレータ ベースの監視によって報告された過電圧高周波フォルト。詳細は、INT_OVHF に報告されています。INT_OVHF のすべてのビットの論理和の値を表します。 0 = OVHF フォルトは未検出 1 = OVHF フォルトを検出済み
1	予約済み	R	0h	予約済み
0	UVHF	R	Xh	コンパレータ ベースの監視によって報告された低電圧高周波フォルト。詳細は、INT_UVHF に報告されています。INT_UVHF のすべてのビットの論理和の値を表します。 0 = UVHF フォルトは未検出 1 = UVHF フォルトを検出済み



### 7.5.1.1.3 INT\_UVHF レジスタ (オフセット = 12h) [リセット = X0h]

表 7-8 に、INT\_UVHF が示されています。

概略表に戻ります。

高周波数チャネル低電圧割り込みステータス レジスタ。

**表 7-8. INT\_UVHF レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	F_UVHF[8]	R/W1C	0h	MON8 の低電圧高周波フォルト。MON8 高周波信号が UVHF[8] を下回るとトリップします。 0 = MON8 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効) 1 = MON8 に UVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON8 高周波信号が UVHF[8] を上回っている場合)。
6	F_UVHF[7]	R/W1C	0h	MON7 の低電圧高周波フォルト。MON7 高周波信号が UVHF[7] を下回るとトリップします。 0 = MON7 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効) 1 = MON7 に UVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON7 高周波信号が UVHF[7] を上回っている場合)。
5	F_UVHF[6]	R/W1C	0h	MON6 の低電圧高周波フォルト。MON6 高周波信号が UVHF[6] を下回るとトリップします。 0 = MON6 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効) 1 = MON6 に UVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON6 高周波信号が UVHF[6] を上回っている場合)。
4	F_UVHF[5]	R/W1C	0h	MON5 の低電圧高周波フォルト。MON5 高周波信号が UVHF[5] を下回るとトリップします。 0 = MON5 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効) 1 = MON5 に UVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON5 高周波信号が UVHF[5] を上回っている場合)。
3	F_UVHF[4]	R/W1C	Xh	MON4 の低電圧高周波フォルト。MON4 高周波信号が UVHF[4] を下回るとトリップします。 0 = MON4 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効) 1 = MON4 に UVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON4 高周波信号が UVHF[4] を上回っている場合)。

表 7-8. INT\_UVHF レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
2	F_UVHF[3]	R/W1C	Xh	<p>MON3 の低電圧高周波フォルト。MON3 高周波信号が UVHF[3] を下回るとトリップします。</p> <p>0 = MON3 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効)</p> <p>1 = MON3 に UVHF フォルトを検出済み</p> <p>フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON3 高周波信号が UVHF[3] を上回っている場合)。</p>
1	F_UVHF[2]	R/W1C	Xh	<p>MON2 の低電圧高周波フォルト。MON2 高周波信号が UVHF[2] を下回るとトリップします。</p> <p>0 = MON2 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効)</p> <p>1 = MON2 に UVHF フォルトを検出済み</p> <p>フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON2 高周波信号が UVHF[2] を上回っている場合)。</p>
0	F_UVHF[1]	R/W1C	Xh	<p>MON1 の低電圧高周波フォルト。MON1 高周波信号が UVHF[1] を下回るとトリップします。</p> <p>0 = MON1 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効)</p> <p>1 = MON1 に UVHF フォルトを検出済み</p> <p>フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON1 高周波信号が UVHF[1] を上回っている場合)。</p>

#### 7.5.1.1.4 INT\_OVHF レジスタ (オフセット = 16h) [リセット = X0h]

表 7-9 に、INT\_OVHF が示されています。

概略表に戻ります。

高周波チャネル過電圧割り込みステータス レジスタ

**表 7-9. INT\_OVHF レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	F_OVHF[8]	R/W1C	0h	MON8 の過電圧高周波フォルト。MON8 高周波信号が OVHF[8] を上回るとトリップします。 0 = MON8 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効) 1 = MON8 に OVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON8 高周波信号が OVHF[8] を下回っている場合)
6	F_OVHF[7]	R/W1C	0h	MON7 の過電圧高周波フォルト。MON7 高周波信号が OVHF[7] を上回るとトリップします。 0 = MON7 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効) 1 = MON7 に OVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON7 高周波信号が OVHF[7] を下回っている場合)
5	F_OVHF[6]	R/W1C	0h	MON6 の過電圧高周波フォルト。MON6 高周波信号が OVHF[6] を上回るとトリップします。 0 = MON6 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効) 1 = MON6 に OVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON6 高周波信号が OVHF[6] を下回っている場合)
4	F_OVHF[5]	R/W1C	0h	MON5 の過電圧高周波フォルト。MON5 高周波信号が OVHF[5] を上回るとトリップします。 0 = MON5 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効) 1 = MON5 に OVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON5 高周波信号が OVHF[5] を下回っている場合)
3	F_OVHF[4]	R/W1C	Xh	MON4 の過電圧高周波フォルト。MON4 高周波信号が OVHF[4] を上回るとトリップします。 0 = MON4 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効) 1 = MON4 に OVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON4 高周波信号が OVHF[4] を下回っている場合)

表 7-9. INT\_OVHF レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
2	F_OVHF[3]	R/W1C	Xh	<p>MON3 の過電圧高周波フォルト。MON3 高周波信号が OVHF[3] を上回るとトリップします。</p> <p>0 = MON3 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効)</p> <p>1 = MON3 に OVHF フォルトを検出済み</p> <p>フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON3 高周波信号が OVHF[3] を下回っている場合)</p>
1	F_OVHF[2]	R/W1C	Xh	<p>MON2 の過電圧高周波フォルト。MON2 高周波信号が OVHF[2] を上回るとトリップします。</p> <p>0 = MON2 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効)</p> <p>1 = MON2 に OVHF フォルトを検出済み</p> <p>フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON2 高周波信号が OVHF[2] を下回っている場合)</p>
0	F_OVHF[1]	R/W1C	Xh	<p>MON1 の過電圧高周波フォルト。MON1 高周波信号が OVHF[1] を上回るとトリップします。</p> <p>0 = MON1 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効)</p> <p>1 = MON1 に OVHF フォルトを検出済み</p> <p>フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON1 高周波信号が OVHF[1] を下回っている場合)</p>

### 7.5.1.1.5 INT\_CONTROL レジスタ (オフセット = 22h) [リセット = X0h]

表 7-10 に、INT\_CONTROL が示されています。

概略表に戻ります。

制御および通信割り込みステータス レジスタ。

**表 7-10. INT\_CONTROL レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-5	予約済み	R	0h	予約済み
4	F_CRC	R/W1C	0h	ランタイム レジスタ CRC フォルト: 0 = フォルトは未検出 (または IEN_CONTROL.RT_CRC が無効) 1 = レジスタ CRC フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。同じフォルトが検出された場合、次のレジスタ CRC チェック中に、このビットが再度設定されます
3	F_NIRQ	R/W1C	Xh	割り込みピン フォルト (フォルトビットは常に有効、イネーブル ビットなし): 0 = NIRQ ピンでフォルトは未検出 1 = NIRQ ピンで電源への低抵抗パスを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。NIRQ フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
2	F_TSD	R/W1C	Xh	サーマル シャットダウン フォルト: 0 = TSD フォルトは未検出 (または IEN_CONTROL.TSD が無効) 1 = TSD フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。TSD フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
1	予約済み	R	0h	予約済み
0	F_PEC	R/W1C	Xh	パケット エラー チェック フォルト: 0 = PEC 不一致は未発生 (または IEN_CONTROL.PEC が無効) 1 = PEC 不一致が発生、または VMON_MISC.REQ_PEC = 1 および PEC が書き込みトランザクションで欠落 フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。同じフォルトが検出されると、次の I2C トランザクション中にこのビットが再び設定されます。

### 7.5.1.1.6 INT\_TEST レジスタ (オフセット = 23h) [リセット = X0h]

表 7-11 に、INT\_TEST が示されています。

概略表に戻ります。

内部テストおよび構成ロード割り込みステータスレジスタ。

**表 7-11. INT\_TEST レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-4	予約済み	R	0h	予約済み
3	ECC_SEC	R/W1C	Xh	OTP 構成ロードで ECC 単一エラーを訂正: 0 = シングル エラーは未訂正 (または IEN_TEST.ECC_SEC が無効) 1 = シングル エラーを訂正済み W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。同じフォルトが検出されると、次の OTP 構成ロード時にこのビットが再度設定されます。
2	ECC_DED	R/W1C	Xh	OTP 構成ロードでの ECC ダブル エラーを検出済み: 0 = OTP ロードでのダブル エラーは未検出 1 = OTP ロードでのダブル エラーを検出済み フォルトビットは常に有効です (関連付けられる割り込みイネーブル ビットはありません)。ダブル エラー検出時に、デバイスはフェイルセーフ モードに移行します。
1	BIST_Complete_INT	R/W1C	Xh	内蔵セルフ テスト完了の表示: 0 = BIST は未完了 (または IEN_TEST.BIST_C が無効) 1 = BIST を完了済み W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。次の BIST 実行が完了すると、このビットが再び設定されます
0	BIST_Fail_INT	R/W1C	Xh	内蔵セルフ テスト フォルト: 0 = BIST フォルトは未検出 (または IEN_TEST.BIST が無効) 1 = BIST フォルトを検出済み W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。フォルトが検出されると、次の BIST 実行時にこのビットが再び設定されます

### 7.5.1.1.7 INT\_VENDOR レジスタ (オフセット = 24h) [リセット = X0h]

表 7-12 に、INT\_VENDOR が示されています。

概略表に戻ります。

ベンダ固有の内部割り込みステータス レジスタ。

**表 7-12. INT\_VENDOR レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	Self-Test_CRC	R/W1C	0h	スタートアップ レジスタ CRC セルフ テスト 0 = セルフ テスト合格 1 = セルフ テスト失敗 1 を書き込むことでクリア
6	LDO_OV_Error	R/W1C	0h	内部 LDO 過電圧エラー。 0 = 内部 LDO 過電圧フォルトは未検出 1 = 内部 LDO 過電圧フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。LDO フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
5	NRST_MISMATCH	R/W1C	0h	駆動状態と読み戻しによるエラーを指定します。NRST トグルの間、2μs の後で NRST 不一致がアクティブになります。ロジック High 状態と見なされるには、NRST が 0.6*VDD を超えている必要があります。 0 = NRST ピンでのフォルトは未検出 1 = 駆動状態と読み戻しによるエラー。 フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。NRST フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
4	Freq_DEV_Error	R/W1C	0h	内部周波数誤差を指定します。 0 = 内部周波数フォルトは未検出 1 = 内部周波数フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。周波数フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
3	SHORT_DET	R/W1C	Xh	アドレス ビン短絡検出。 0 = 内部アドレス ビン短絡フォルトは未検出 1 = 内部アドレス ビン短絡フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。内部アドレス ビン短絡フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
2	OPEN_DET	R/W1C	Xh	アドレス ビン開放検出。 0 = 内部アドレス ビン開放フォルトは未検出 1 = 内部アドレス ビン開放フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストが W1C (1 を書き込むことでビットをクリア) を実行した場合のみ、このフォルトがクリアされます。内部アドレス ビンの開放フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
1-0	予約済み	R	0h	予約済み

### 7.5.1.1.8 VMON\_STAT レジスタ (オフセット = 30h) [リセット = X0h]

表 7-13 に、VMON\_STAT が示されています。

概略表に戻ります。

内部動作およびその他の重要な状態のステータス フラグ。

**表 7-13. VMON\_STAT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	FAILSAFE	R	0h	1 = デバイスが FAILSAFE 状態
6	ST_BIST_C	R	0h	内蔵セルフ テストの状態: 0 = BIST は未完了 1 = BIST を完了済み
5	ST_VDD	R	0h	ステータス VDD
4	ST_NIRQ	R	0h	ステータス NIRQ ピン
3	RSVD	R	Xh	RSVD
2	アクティブ	R	Xh	1 = デバイスは ACTIVE 状態
1-0	予約済み	R	0h	予約済み



### 7.5.1.1.9 TEST\_INFO レジスタ (オフセット = 31h) [リセット = X0h]

表 7-14 に、TEST\_INFO が示されています。

概略表に戻ります。

内部セルフ テストおよび ECC 情報。

**表 7-14. TEST\_INFO レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-6	予約済み	R	0h	予約済み
5	ECC_SEC	R	0h	OTP 構成ロードでの ECC シングル エラー訂正のステータス。 0 = エラー訂正は未適用 1 = シングル エラー訂正を適用済み
4	ECC_DED	R	0h	OTP 構成ロードでの ECC ダブル エラー検出のステータス。 0 = ダブル エラーは未検出 1 = ダブル エラーを検出済み
3	BIST_VM	R	Xh	BIST からの揮発性メモリ テスト出力のステータス。 0 = 揮発性メモリ テスト合格 1 = 揮発性メモリ テスト不合格
2	BIST_NVM	R	Xh	BIST からの不揮発性メモリ テスト出力のステータス。 0 = 不揮発性メモリ テスト合格 1 = 不揮発性メモリ テスト不合格
1	BIST_L	R	Xh	BIST からのロジック テスト出力のステータス。 0 = ロジック テスト合格 1 = ロジック テスト不合格
0	BIST_A	R	Xh	BIST からのアナログ テスト出力のステータス。 0 = アナログ テスト合格 1 = アナログ テスト不合格

### 7.5.1.1.10 OFF\_STAT レジスタ (オフセット = 32h) [リセット = X0h]

表 7-15 に、OFF\_STAT が示されています。

概略表に戻ります。

チャンネル OFF のステータス。

**表 7-15. OFF\_STAT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	MON[8]	R	0h	各チャンネルの OFF ステータスを表します: 0 = チャンネル 8 は OFF でない 1 = チャンネル 8 はオフである (OFF スレッシュホールド未満)
6	MON[7]	R	0h	各チャンネルの OFF ステータスを表します: 0 = チャンネル 7 は OFF でない 1 = チャンネル 7 はオフである (OFF スレッシュホールド未満)
5	MON[6]	R	0h	各チャンネルの OFF ステータスを表します: 0 = チャンネル 6 は OFF でない 1 = チャンネル 6 はオフである (OFF スレッシュホールド未満)
4	MON[5]	R	0h	各チャンネルの OFF ステータスを表します: 0 = チャンネル 5 は OFF でない 1 = チャンネル 5 はオフである (OFF スレッシュホールド未満)
3	MON[4]	R	Xh	各チャンネルの OFF ステータスを表します: 0 = チャンネル 4 は OFF でない 1 = チャンネル 4 はオフである (OFF スレッシュホールド未満)
2	MON[3]	R	Xh	各チャンネルの OFF ステータスを表します: 0 = チャンネル 3 は OFF でない 1 = チャンネル 3 はオフである (OFF スレッシュホールド未満)
1	MON[2]	R	Xh	各チャンネルの OFF ステータスを表します: 0 = チャンネル 2 は OFF でない 1 = チャンネル 2 はオフである (OFF スレッシュホールド未満)
0	MON[1]	R	Xh	各チャンネルの OFF ステータスを表します: 0 = チャンネル 1 は OFF でない 1 = チャンネル 1 はオフである (OFF スレッシュホールド未満)

#### 7.5.1.1.11 SEQ\_TIME\_MSB[1] レジスタ (オフセット = 90h) [リセット = X0h]

SEQ\_TIME\_MSB[1] が表 7-16 に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-16. SEQ\_TIME\_MSB[1] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 1 のシーケンス タイムスタンプの MSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[1] スレッシュホルドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホルド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50μs (tSEQ_LSB と同じ) に相当します。

### 7.5.1.1.12 SEQ\_TIME\_LSB[1] レジスタ (オフセット = 91h) [リセット = X0h]

SEQ\_TIME\_LSB[1] が [表 7-17](#) に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-17. SEQ\_TIME\_LSB[1] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 1 のシーケンス タイムスタンプの LSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[1] スレッシュホルドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホルド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50 $\mu$ s (tSEQ_LSB と同じ) に相当します。

### 7.5.1.1.13 SEQ\_TIME\_MSB[2] レジスタ (オフセット = 92h) [リセット = X0h]

SEQ\_TIME\_MSB[2] が 表 7-18 に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-18. SEQ\_TIME\_MSB[2] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 2 のシーケンス タイムスタンプの MSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[2] スレッシュホールドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホールド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50μs (tSEQ_LSB と同じ) に相当します。

#### 7.5.1.1.14 SEQ\_TIME\_LSB[2] レジスタ (オフセット = 93h) [リセット = X0h]

SEQ\_TIME\_LSB[2] が [表 7-19](#) に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-19. SEQ\_TIME\_LSB[2] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 2 のシーケンス タイムスタンプの LSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[2] スレッシュホルドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホルド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50 $\mu$ s (tSEQ_LSB と同じ) に相当します。

#### 7.5.1.1.15 SEQ\_TIME\_MSB[3] レジスタ (オフセット = 94h) [リセット = X0h]

SEQ\_TIME\_MSB[3] が 表 7-20 に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-20. SEQ\_TIME\_MSB[3] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 3 のシーケンス タイムスタンプの MSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[3] スレッシュホルドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホルド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50μs (tSEQ_LSB と同じ) に相当します。

### 7.5.1.1.16 SEQ\_TIME\_LSB[3] レジスタ (オフセット = 95h) [リセット = X0h]

SEQ\_TIME\_LSB[3] が [表 7-21](#) に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-21. SEQ\_TIME\_LSB[3] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 3 のシーケンス タイムスタンプの LSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[3] スレッシュホルドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホルド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50 $\mu$ s (tSEQ_LSB と同じ) に相当します。



#### 7.5.1.1.17 SEQ\_TIME\_MSB[4] レジスタ (オフセット = 96h) [リセット = X0h]

SEQ\_TIME\_MSB[4] が 表 7-22 に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-22. SEQ\_TIME\_MSB[4] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 4 のシーケンス タイムスタンプの MSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[4] スレッシュホールドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホールド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50μs (tSEQ_LSB と同じ) に相当します。

### 7.5.1.1.18 SEQ\_TIME\_LSB[4] レジスタ (オフセット = 97h) [リセット = X0h]

SEQ\_TIME\_LSB[4] が [表 7-23](#) に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-23. SEQ\_TIME\_LSB[4] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 4 のシーケンス タイムスタンプの LSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[4] スレッシュホルドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホルド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50 $\mu$ s (tSEQ_LSB と同じ) に相当します。

#### 7.5.1.1.19 SEQ\_TIME\_MSB[5] レジスタ (オフセット = 98h) [リセット = X0h]

SEQ\_TIME\_MSB[5] が 表 7-24 に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-24. SEQ\_TIME\_MSB[5] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 5 のシーケンス タイムスタンプの MSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[5] スレッシュホールドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホールド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50μs (tSEQ_LSB と同じ) に相当します。

### 7.5.1.1.20 SEQ\_TIME\_LSB[5] レジスタ (オフセット = 99h) [リセット = X0h]

SEQ\_TIME\_LSB[5] が [表 7-25](#) に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-25. SEQ\_TIME\_LSB[5] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 5 のシーケンス タイムスタンプの LSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[5] スレッシュホルドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホルド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50 $\mu$ s (tSEQ_LSB と同じ) に相当します。

#### 7.5.1.1.21 SEQ\_TIME\_MSB[6] レジスタ (オフセット = 9Ah) [リセット = X0h]

SEQ\_TIME\_MSB[6] が 表 7-26 に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-26. SEQ\_TIME\_MSB[6] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 6 のシーケンス タイムスタンプの MSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[6] スレッシュホルドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホルド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50μs (tSEQ_LSB と同じ) に相当します。

### 7.5.1.1.22 SEQ\_TIME\_LSB[6] レジスタ (オフセット = 9Bh) [リセット = X0h]

SEQ\_TIME\_LSB[6] が [表 7-27](#) に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-27. SEQ\_TIME\_LSB[6] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 6 のシーケンス タイムスタンプの LSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[6] スレッシュホルドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホルド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50 $\mu$ s (tSEQ_LSB と同じ) に相当します。

### 7.5.1.1.23 SEQ\_TIME\_MSB[7] レジスタ (オフセット = 9Ch) [リセット = X0h]

SEQ\_TIME\_MSB[7] が 表 7-28 に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-28. SEQ\_TIME\_MSB[7] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 7 のシーケンス タイムスタンプの MSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[7] スレッシュホルドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホルド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50μs (tSEQ_LSB と同じ) に相当します。

### 7.5.1.1.24 SEQ\_TIME\_LSB[7] レジスタ (オフセット = 9Dh) [リセット = X0h]

SEQ\_TIME\_LSB[7] が [表 7-29](#) に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-29. SEQ\_TIME\_LSB[7] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 7 のシーケンス タイムスタンプの LSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[7] スレッシュホルドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホルド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50 $\mu$ s (tSEQ_LSB と同じ) に相当します。



#### 7.5.1.1.25 SEQ\_TIME\_MSB[8] レジスタ (オフセット = 9Eh) [リセット = X0h]

SEQ\_TIME\_MSB[8] が 表 7-30 に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-30. SEQ\_TIME\_MSB[8] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 8 のシーケンス タイムスタンプの MSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[8] スレッシュホルドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホルド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50μs (tSEQ_LSB と同じ) に相当します。

### 7.5.1.1.26 SEQ\_TIME\_LSB[8] レジスタ (オフセット = 9Fh) [リセット = X0h]

SEQ\_TIME\_LSB[8] が [表 7-31](#) に示されています。

[概略表](#)に戻ります。

チャンネル N シーケンスのタイムスタンプ値 MSB および LSB (すべてのシーケンス)。

**表 7-31. SEQ\_TIME\_LSB[8] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	CLOCK[7:0]	R	Xh	このレジスタには、チャンネル 8 のシーケンス タイムスタンプの LSB が格納されます。シーケンス タイマ値は、ACT または SLEEP によってトリガされるシーケンス中にチャンネルに割り当てられた時間です。電圧の立ち上がりレベルが、電源オンおよびスリープ終了シーケンス (ACT 01 または SLEEP 01) の UV_LF[8] スレッシュホルドを超えると、タイムスタンプが保存されます。電圧の立ち下がりレベルが、電源オフおよびスリープ開始シーケンス (ACT 10 または SLEEP 10) の OFF スレッシュホルド (200mV) を超えると、タイムスタンプが保存されます。最下位ビットは 50 $\mu$ s (tSEQ_LSB と同じ) に相当します。

#### 7.5.1.1.27 BANK\_SEL レジスタ (オフセット = F0h) [リセット = X0h]

表 7-32 に、BANK\_SEL が示されています。

概略表に戻ります。

バンクの選択。

**表 7-32. BANK\_SEL レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-1	予約済み	R	0h	予約済み
0	BANK_Select	R/W	Xh	バンクの選択を表します。 0 = バンク 0 1 = バンク 1

### 7.5.1.1.28 PROT1 レジスタ (オフセット = F1h) [リセット = X0h]

PROT1 を表 7-33 に示します。

[概略表](#)に戻ります。

レジスタの変更をロックまたはロック解除します。PROT2 と一致する必要があります。

**表 7-33. PROT1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-6	予約済み	R	0h	予約済み
5	WRKC	R/W	0h	WRKC グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
4	予約済み	R	0h	予約済み
3	CFG	R/W	Xh	CFG グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
2	IEN	R/W	Xh	IEN グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
1	MON	R/W	Xh	MON グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
0	予約済み	R	0h	予約済み

### 7.5.1.1.29 PROT2 レジスタ (オフセット = F2h) [リセット = X0h]

PROT2 を表 7-34 に示します。

[概略表](#)に戻ります。

レジスタの変更をロックまたはロック解除します。PROT1 と一致する必要があります。

**表 7-34. PROT2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-6	予約済み	R	0h	予約済み
5	WRKC	R/W	0h	CFG グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
4	予約済み	R	0h	予約済み
3	CFG	R/W	Xh	CFG グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
2	IEN	R/W	Xh	IEN グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
1	MON	R/W	Xh	MON グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
0	予約済み	R	0h	予約済み

### 7.5.1.1.30 PROT\_MON レジスタ (オフセット = F3h) [リセット = X0h]

表 7-35 に、PROT\_MON が示されています。

概略表に戻ります。

PROT1 および PROT2 と並行して MON レジスタをロックします。

**表 7-35. PROT\_MON レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	MON[8]	R/W	0h	PROT1 および PROT2 とともに書き込みから MON8 を保護します。 0 = 変更できる 1 = 変更できない
6	MON[7]	R/W	0h	PROT1 および PROT2 とともに書き込みから MON7 を保護します。 0 = 変更できる 1 = 変更できない
5	MON[6]	R/W	0h	PROT1 および PROT2 とともに書き込みから MON6 を保護します。 0 = 変更できる 1 = 変更できない
4	MON[5]	R/W	0h	PROT1 および PROT2 とともに書き込みから MON5 を保護します。 0 = 変更できる 1 = 変更できない
3	MON[4]	R/W	Xh	PROT1 および PROT2 とともに書き込みから MON4 を保護します。 0 = 変更できる 1 = 変更できない
2	MON[3]	R/W	Xh	PROT1 および PROT2 とともに書き込みから MON3 を保護します。 0 = 変更できる 1 = 変更できない
1	MON[2]	R/W	Xh	PROT1 および PROT2 とともに書き込みから MON2 を保護します。 0 = 変更できる 1 = 変更できない
0	MON[1]	R/W	Xh	PROT1 および PROT1 とともに書き込みから MON1 を保護します。 0 = 変更できる 1 = 変更できない

### 7.5.1.1.31 I2CADDR レジスタ (オフセット = F9h) [リセット = X0h]

I2CADDR を表 7-36 に示します。

[概略表](#)に戻ります。

I2C アドレス

**表 7-36. I2CADDR レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	予約済み	R	0h	予約済み
6-3	ADDR_NVM[3:0]	R	Xh	内部 OTP からの I2C アドレスを表します。
2-0	ADDR_STRAP[2:0]	R	Xh	ADDR ピンの抵抗値からの I2C アドレスを表します。

### 7.5.1.1.32 DEV\_CFG レジスタ (オフセット = FAh) [リセット = X0h]

DEV\_CFG を表 7-37 に示します。

概略表に戻ります。

I2C インターフェイス電圧レベルのステータス。

**表 7-37. DEV\_CFG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	予約済み	R	0h	予約済み

### 7.5.1.2 BANK1 のレジスタ

BANK1 レジスタのメモリマップされたレジスタを、表 7-38 に示します。表 7-38 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

**表 7-38. BANK1 のレジスタ**

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
10h	VMON_CTL	予約済み				RESET_P ROT	予約済み		FORCE_N RQ_LOW
11h	VMON_MISC	予約済み						REQ_PEC	EN_PEC
12h	TEST_CFG	予約済み					AT_SHDN	AT_POR[1]	AT_POR[0]
13h	IEN_UVHF	MON[8]	MON[7]	MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	MON[1]
15h	IEN_OVHF	MON[8]	MON[7]	MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	MON[1]
1Bh	IEN_CONTROL	予約済み			RT_CRC_I nt	予約済み	TSD_INT	予約済み	PEC_INT
1Ch	IEN_TEST	予約済み				ECC_SEC	予約済み	BIST_Com plete_INT	BIST_Fail INT
1Dh	IEN_VENDOR	スタートアッ プ Self- Test_CRC	予約済み	NRST_MIS MATCH	予約済み				
1Eh	MON_CH_EN	MON[8]	MON[7]	MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	MON[1]
1Fh	VRANGE_MULT	MON[8]	MON[7]	MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	MON[1]
20h	UV_HF[1]	THRESHOLD[7:0]							
21h	OV_HF[1]	THRESHOLD[7:0]							
24h	FLT_HF[1]	OV_DEB[3:0]				UV_DEB[3:0]			
25h	FC_LF[1]	予約済み			OVHF_TO _NRST	UVHF_TO _NRST	予約済み		
30h	UV_HF[2]	THRESHOLD[7:0]							
31h	OV_HF[2]	THRESHOLD[7:0]							
34h	FLT_HF[2]	OV_DEB[3:0]				UV_DEB[3:0]			
35h	FC_LF[2]	予約済み			OVHF_TO _NRST	UVHF_TO _NRST	予約済み		
40h	UV_HF[3]	THRESHOLD[7:0]							
41h	OV_HF[3]	THRESHOLD[7:0]							
44h	FLT_HF[3]	OV_DEB[3:0]				UV_DEB[3:0]			
45h	FC_LF[3]	予約済み			OVHF_TO _NRST	UVHF_TO _NRST	予約済み		
50h	UV_HF[4]	THRESHOLD[7:0]							
51h	OV_HF[4]	THRESHOLD[7:0]							
54h	FLT_HF[4]	OV_DEB[3:0]				UV_DEB[3:0]			
55h	FC_LF[4]	予約済み			OVHF_TO _NRST	UVHF_TO _NRST	予約済み		



**表 7-38. BANK1 のレジスタ (続き)**

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
60h	UV_HF[5]	THRESHOLD[7:0]								
61h	OV_HF[5]	THRESHOLD[7:0]								
64h	FLT_HF[5]	OV_DEB[3:0]				UV_DEB[3:0]				
65h	FC_LF[5]	予約済み			OVHF_TO_Nrst	UVHF_TO_Nrst	予約済み			
70h	UV_HF[6]	THRESHOLD[7:0]								
71h	OV_HF[6]	THRESHOLD[7:0]								
74h	FLT_HF[6]	OV_DEB[3:0]				UV_DEB[3:0]				
75h	FC_LF[6]	予約済み			OVHF_TO_Nrst	UVHF_TO_Nrst	予約済み			
80h	UV_HF[7]	THRESHOLD[7:0]								
81h	OV_HF[7]	THRESHOLD[7:0]								
84h	FLT_HF[7]	OV_DEB[3:0]				UV_DEB[3:0]				
85h	FC_LF[7]	予約済み			OVHF_TO_Nrst	UVHF_TO_Nrst	予約済み			
90h	UV_HF[8]	THRESHOLD[7:0]								
91h	OV_HF[8]	THRESHOLD[7:0]								
94h	FLT_HF[8]	OV_DEB[3:0]				UV_DEB[3:0]				
95h	FC_LF[8]	予約済み			OVHF_TO_Nrst	UVHF_TO_Nrst	予約済み			
9Fh	TI_CONTROL	ENTER_BIST	予約済み	I2C_MR	予約済み		RST_DLY[2:0]			
A1h	AMSK_ON	MON[8]	MON[7]	MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	予約済み	
A2h	AMSK_OFF	MON[8]	MON[7]	MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	MON[1]	
A3h	AMSK_EXS	MON[8]	MON[7]	MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	MON[1]	
A4h	AMSK_ENS	MON[8]	MON[7]	MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	MON[1]	
F0h	BANK_SEL	予約済み								BANK_Select

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-39 に、このセクションでアクセス タイプに使用しているコードを示します。

**表 7-39. BANK1 のアクセス タイプ コード**

アクセス タイプ	表記	概要
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

#### 7.5.1.2.1 VMON\_CTL レジスタ (オフセット = 10h) [リセット = X0h]

表 7-40 に、VMON\_CTL が示されています。

概略表に戻ります。

VMON デバイス制御レジスタ。

表 7-40. VMON\_CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-4	予約済み	R	0h	予約済み
3	RESET_PROT	R/W	Xh	RESET_PROT = 読み取り 0、書き込み 1 で保護レジスタをクリア
2-1	予約済み	R	0h	予約済み
0	FORCE_NIRQ_LOW	R/W	Xh	NIRQ の強制アサート

### 7.5.1.2.2 VMON\_MISC レジスタ (オフセット = 11h) [リセット = X0h]

表 7-41 に、VMON\_MISC が示されています。

概略表に戻ります。

その他の VMON 構成。

**表 7-41. VMON\_MISC レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-2	予約済み	R	0h	予約済み
1	REQ_PEC	R/W	Xh	PEC が必要です。 0 = PEC 不要 1 = PEC 必要
0	EN_PEC	R/W	Xh	PEC をイネーブルにします。 0 = PEC 無効 1 = PEC 有効

### 7.5.1.2.3 TEST\_CFG レジスタ (オフセット = 12h) [リセット = X0h]

表 7-42 に、TEST\_CFG が示されています。

概略表に戻ります。

内蔵セルフ テスト (BIST) 実行構成。

表 7-42. TEST\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-3	予約済み	R	0h	予約済み
2	AT_SHDN	R/W	Xh	SHDN で BIST を実行
1	AT_POR[1]	R/W	Xh	POR で BIST を実行し、2 番目のビットに冗長性を確保
0	AT_POR[0]	R/W	Xh	POR で BIST を実行

#### 7.5.1.2.4 IEN\_UVHF レジスタ (オフセット = 13h) [リセット = X0h]

表 7-43 に、IEN\_UVHF が示されています。

[概略表](#)に戻ります。

高周波数チャネル低電圧割り込みイネーブル レジスタ

**表 7-43. IEN\_UVHF レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	MON[8]	R/W	0h	MON8 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
6	MON[7]	R/W	0h	MON7 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
5	MON[6]	R/W	0h	MON6 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
4	MON[5]	R/W	0h	MON5 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
3	MON[4]	R/W	Xh	MON4 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
2	MON[3]	R/W	Xh	MON3 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
1	MON[2]	R/W	Xh	MON2 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
0	MON[1]	R/W	Xh	MON1 の UVHF 割り込み有効 、0 = 無効、 1 = 有効

### 7.5.1.2.5 IEN\_OVHF レジスタ (オフセット = 15h) [リセット = X0h]

表 7-44 に、IEN\_OVHF が示されています。

概略表に戻ります。

高周波チャネル過電圧割り込みイネーブル レジスタ。

**表 7-44. IEN\_OVHF レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	MON[8]	R/W	0h	MON8 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
6	MON[7]	R/W	0h	MON7 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
5	MON[6]	R/W	0h	MON6 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
4	MON[5]	R/W	0h	MON5 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
3	MON[4]	R/W	Xh	MON4 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
2	MON[3]	R/W	Xh	MON3 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
1	MON[2]	R/W	Xh	MON2 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
0	MON[1]	R/W	Xh	MON1 の OVHF 割り込み有効 、0 = 無効、 1 = 有効

### 7.5.1.2.6 IEN\_CONTROL レジスタ (オフセット = 1Bh) [リセット = X0h]

表 7-45 に、IEN\_CONTROL が示されています。

概略表に戻ります。

制御および通信フォルト割り込みイネーブル レジスタ。

**表 7-45. IEN\_CONTROL レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-5	予約済み	R	0h	予約済み
4	RT_CRC_Int	R/W	0h	レジスタの実行時間 CRC (巡回冗長性検査) エラー割り込みは、レジスタマップの内容に対して実行される静的 CRC です。有効化すると、この CRC チェックを実行するためにデータの読み取りや書き込みを実行する必要はありません。この CRC は、レジスタ マップの内容の静的ビット反転またはランダム エラーが発生したかどうかを識別することです。これは安全性メカニズムであり、CRC-8 多項式を使用して実行されます。読み取りまたは書き込み動作の場合、レジスタ マップの内容が変更され、多項式は変更後に新しい値で再計算されます。割り込みは、バンク 0 の INT_CONTROL_F_CRC レジスタに通知されます。 0 = 割り込みマッピングを無効化、 1 = 割り込みマッピングを有効化
3	予約済み	R	0h	予約済み
2	TSD_INT	R/W	Xh	サーマル シャットダウン割り込み。 0 = 無効、 1 = 有効
1	予約済み	R	0h	予約済み
0	PEC_INT	R/W	Xh	PEC エラー割り込み。 0 = 無効、 1 = 有効

### 7.5.1.2.7 IEN\_TEST レジスタ (オフセット = 1Ch) [リセット = X0h]

表 7-46 に、IEN\_TEST が示されています。

概略表に戻ります。

内部テストおよび構成ロード フォルト割り込みイネーブル レジスタ

**表 7-46. IEN\_TEST レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-4	予約済み	R	0h	予約済み
3	ECC_SEC	R/W	Xh	SEC エラー割り込み。 0 = 無効、 1 = 有効
2	予約済み	R	0h	予約済み
1	BIST_Complete_INT	R/W	Xh	BIST 完了割り込み。 0 = 無効、 1 = 有効
0	BIST_Fail_INT	R/W	Xh	BIST 失敗割り込み。 0 = 無効、 有効 = 1



#### 7.5.1.2.8 IEN\_VENDOR レジスタ (オフセット = 1Dh) [リセット = X0h]

表 7-47 に、IEN\_VENDOR が示されています。

概略表に戻ります。

ベンダ固有の内部割り込みイネーブル レジスタ。

**表 7-47. IEN\_VENDOR レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	スタートアップ Self-Test_CRC	R/W	0h	スタートアップ Self-Test_CRC 割り込み。 0 = 割り込みマッピングを無効化、 1 = 割り込みマッピングを有効化
6	予約済み	R	0h	予約済み
5	NRST_MISMATCH	R/W	0h	NRST 不一致割り込み。 0 = 割り込みマッピングを無効化、 1 = 割り込みマッピングを有効化
4-0	予約済み	R	0h	予約済み

### 7.5.1.2.9 MON\_CH\_EN レジスタ (オフセット = 1Eh) [リセット = X0h]

表 7-48 に、MON\_CH\_EN が示されています。

概略表に戻ります。

チャンネル電圧監視有効。

**表 7-48. MON\_CH\_EN レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	MON[8]	R/W	0h	MON8 モニタリングを有効にします。 0 = 無効、 1 = 有効
6	MON[7]	R/W	0h	MON7 モニタリングを有効にします。 0 = 無効、 1 = 有効
5	MON[6]	R/W	0h	MON6 モニタリングを有効にします。 0 = 無効、 1 = 有効
4	MON[5]	R/W	0h	MON5 モニタリングを有効にします。 0 = 無効、 1 = 有効
3	MON[4]	R/W	Xh	MON4 モニタリングを有効にします。 0 = 無効、 1 = 有効
2	MON[3]	R/W	Xh	MON3 モニタリングを有効にします。 0 = 無効、 1 = 有効
1	MON[2]	R/W	Xh	MON2 モニタリングを有効にします。 0 = 無効、 1 = 有効
0	MON[1]	R/W	Xh	MON1 モニタリングを有効にします。 0 = 無効、 1 = 有効

### 7.5.1.2.10 VRANGE\_MULT レジスタ (オフセット = 1Fh) [リセット = X0h]

表 7-49 に、VRANGE\_MULT が示されています。

概略表に戻ります。

チャネル電圧監視範囲 / スケーリング。

**表 7-49. VRANGE\_MULT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	MON[8]	R/W	0h	MON8 のスカラー。 0 = 1x、 1 = 4x
6	MON[7]	R/W	0h	MON7 のスカラー。 0 = 1x、 1 = 4x
5	MON[6]	R/W	0h	MON6 のスカラー。 0 = 1x、 1 = 4x
4	MON[5]	R/W	0h	MON5 のスカラー。 0 = 1x、 1 = 4x
3	MON[4]	R/W	Xh	MON4 のスカラー。 0 = 1x、 1 = 4x
2	MON[3]	R/W	Xh	MON3 のスカラー。 0 = 1x、 1 = 4x
1	MON[2]	R/W	Xh	MON2 のスカラー。 0 = 1x、 1 = 4x
0	MON[1]	R/W	Xh	MON1 のスカラー。 0 = 1x、 1 = 4x

#### 7.5.1.2.11 UV\_HF[1] レジスタ (オフセット = 20h) [リセット = X0h]

表 7-50 に、UV\_HF[1] が示されています。

概略表に戻ります。

チャンネル 1 高周波チャンネルの低電圧スレッショルド。

表 7-50. UV\_HF[1] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の低電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

### 7.5.1.2.12 OV\_HF[1] レジスタ (オフセット = 21h) [リセット = X0h]

表 7-51 に、OV\_HF[1] が示されています。

概略表に戻ります。

チャンネル 1 高周波チャンネル過電圧スレッシュホールド。

**表 7-51. OV\_HF[1] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

### 7.5.1.2.13 FLT\_HF[1] レジスタ (オフセット = 24h) [リセット = X0h]

表 7-52 に、UV\_HF[1] が示されています。

概略表に戻ります。

高周波スレッシュホールド コンパレータ出力のチャネル 1 UV および OV デバウンス。

**表 7-52. FLT\_HF[1] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-4	OV_DEB[3:0]	R/W	0h	高周波監視パスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s
3-0	UV_DEB[3:0]	R/W	Xh	高周波監視パスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s

#### 7.5.1.2.14 FC\_LF[1] レジスタ (オフセット = 25h) [リセット = X0h]

表 7-53 に、FC\_LF[1] が示されています。

概略表に戻ります。

チャンネル 1 の UV と OV の NRST エラー出力へのマッピング

**表 7-53. FC\_LF[1] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-5	予約済み	R	0h	予約済み
4	OVHF_TO_NRST	R/W	0h	MON1 OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	Xh	MON1 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2-0	予約済み	R	0h	予約済み

#### 7.5.1.2.15 UV\_HF[2] レジスタ (オフセット = 30h) [リセット = X0h]

表 7-54 に、UV\_HF[2] が示されています。

概略表に戻ります。

チャンネル 2 高周波チャンネルの低電圧スレッショルド。

表 7-54. UV\_HF[2] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の低電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。



#### 7.5.1.2.16 OV\_HF[2] レジスタ (オフセット = 31h) [リセット = X0h]

表 7-55 に、UV\_HF[2] が示されています。

概略表に戻ります。

チャンネル 2 高周波チャンネル過電圧スレッシュホールド。

**表 7-55. OV\_HF[2] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

### 7.5.1.2.17 FLT\_HF[2] レジスタ (オフセット = 34h) [リセット = X0h]

表 7-56 に、UV\_HF[2] が示されています。

概略表に戻ります。

高周波スレッシュホールド コンパレータ出力のチャネル 2 UV および OV デバウンス。

**表 7-56. FLT\_HF[2] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-4	OV_DEB[3:0]	R/W	0h	高周波監視パスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s
3-0	UV_DEB[3:0]	R/W	Xh	高周波監視パスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s

### 7.5.1.2.18 FC\_LF[2] レジスタ (オフセット = 35h) [リセット = X0h]

表 7-57 に、FC\_LF[2] が示されています。

概略表に戻ります。

チャンネル 2 の UV と OV の NRST エラー出力へのマッピング

**表 7-57. FC\_LF[2] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-5	予約済み	R	0h	予約済み
4	OVHF_TO_NRST	R/W	0h	MON2 OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	Xh	MON2 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2-0	予約済み	R	0h	予約済み

#### 7.5.1.2.19 UV\_HF[3] レジスタ (オフセット = 40h) [リセット = X0h]

表 7-58 に、UV\_HF[3] が示されています。

概略表に戻ります。

チャンネル 3 高周波チャンネルの低電圧スレッショルド。

表 7-58. UV\_HF[3] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の低電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

#### 7.5.1.2.20 OV\_HF[3] レジスタ (オフセット = 41h) [リセット = X0h]

表 7-59 に、UV\_HF[3] が示されています。

概略表に戻ります。

チャンネル 3 高周波チャンネル過電圧スレッシュホールド。

**表 7-59. OV\_HF[3] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

### 7.5.1.2.21 FLT\_HF[3] レジスタ (オフセット = 44h) [リセット = X0h]

表 7-60 に、UV\_HF[3] が示されています。

概略表に戻ります。

高周波スレッシュホールド コンパレータ出力のチャネル 3 UV および OV デバウンス。

**表 7-60. FLT\_HF[3] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-4	OV_DEB[3:0]	R/W	0h	高周波監視パスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s
3-0	UV_DEB[3:0]	R/W	Xh	高周波監視パスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s

### 7.5.1.2.22 FC\_LF[3] レジスタ (オフセット = 45h) [リセット = X0h]

表 7-61 に、FC\_LF[3] が示されています。

概略表に戻ります。

チャンネル 3 の UV と OV の NRST エラー出力へのマッピング

**表 7-61. FC\_LF[3] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-5	予約済み	R	0h	予約済み
4	OVHF_TO_NRST	R/W	0h	MON3 OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	Xh	MON3 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2-0	予約済み	R	0h	予約済み

#### 7.5.1.2.23 UV\_HF[4] レジスタ (オフセット = 50h) [リセット = X0h]

表 7-62 に、UV\_HF[4] が示されています。

概略表に戻ります。

チャンネル 4 高周波チャンネルの低電圧スレッショルド。

表 7-62. UV\_HF[4] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の低電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。



#### 7.5.1.2.24 OV\_HF[4] レジスタ (オフセット = 51h) [リセット = X0h]

表 7-63 に、UV\_HF[4] が示されています。

概略表に戻ります。

チャンネル 4 高周波チャンネル過電圧スレッシュホールド。

**表 7-63. OV\_HF[4] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

### 7.5.1.2.25 FLT\_HF[4] レジスタ (オフセット = 54h) [リセット = X0h]

表 7-64 に、UV\_HF[4] が示されています。

概略表に戻ります。

高周波スレッショルド コンパレータ出力のチャネル 4 UV および OV デバウンス。

**表 7-64. FLT\_HF[4] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-4	OV_DEB[3:0]	R/W	0h	高周波監視パスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s
3-0	UV_DEB[3:0]	R/W	Xh	高周波監視パスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s

### 7.5.1.2.26 FC\_LF[4] レジスタ (オフセット = 55h) [リセット = X0h]

表 7-65 に、FC\_LF[4] が示されています。

概略表に戻ります。

チャンネル 4 の UV と OV の NRST エラー出力へのマッピング

**表 7-65. FC\_LF[4] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-5	予約済み	R	0h	予約済み
4	OVHF_TO_NRST	R/W	0h	MON4 OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	Xh	MON4 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2-0	予約済み	R	0h	予約済み

#### 7.5.1.2.27 UV\_HF[5] レジスタ (オフセット = 60h) [リセット = X0h]

表 7-66 に、UV\_HF[5] が示されています。

概略表に戻ります。

チャンネル 5 高周波チャンネルの低電圧スレッショルド。

表 7-66. UV\_HF[5] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の低電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

### 7.5.1.2.28 OV\_HF[5] レジスタ (オフセット = 61h) [リセット = X0h]

表 7-67 に、UV\_HF[5] が示されています。

概略表に戻ります。

チャンネル 5 高周波チャンネル過電圧スレッシュホールド。

**表 7-67. OV\_HF[5] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

### 7.5.1.2.29 FLT\_HF[5] レジスタ (オフセット = 64h) [リセット = X0h]

表 7-68 に、UV\_HF[5] が示されています。

概略表に戻ります。

高周波スレッショルド コンパレータ出力のチャネル 5 UV および OV デバウンス。

**表 7-68. FLT\_HF[5] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-4	OV_DEB[3:0]	R/W	0h	高周波監視パスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s
3-0	UV_DEB[3:0]	R/W	Xh	高周波監視パスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s

### 7.5.1.2.30 FC\_LF[5] レジスタ (オフセット = 65h) [リセット = X0h]

表 7-69 に、FC\_LF[5] が示されています。

概略表に戻ります。

チャンネル 5 の UV と OV の NRST エラー出力へのマッピング

**表 7-69. FC\_LF[5] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-5	予約済み	R	0h	予約済み
4	OVHF_TO_NRST	R/W	0h	MON5 OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	Xh	MON5 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2-0	予約済み	R	0h	予約済み

### 7.5.1.2.31 UV\_HF[6] レジスタ (オフセット = 70h) [リセット = X0h]

表 7-70 に、UV\_HF[6] が示されています。

概略表に戻ります。

チャンネル 6 高周波チャンネルの低電圧スレッショルド。

表 7-70. UV\_HF[6] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の低電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。



### 7.5.1.2.32 OV\_HF[6] レジスタ (オフセット = 71h) [リセット = X0h]

表 7-71 に、UV\_HF[6] が示されています。

概略表に戻ります。

チャンネル 6 高周波チャンネル過電圧スレッシュホールド。

**表 7-71. OV\_HF[6] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

### 7.5.1.2.33 FLT\_HF[6] レジスタ (オフセット = 74h) [リセット = X0h]

表 7-72 に、UV\_HF[6] が示されています。

概略表に戻ります。

高周波スレッシュホールド コンパレータ出力のチャネル 6 UV および OV デバウンス。

**表 7-72. FLT\_HF[6] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-4	OV_DEB[3:0]	R/W	0h	高周波監視パスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s
3-0	UV_DEB[3:0]	R/W	Xh	高周波監視パスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s

### 7.5.1.2.34 FC\_LF[6] レジスタ (オフセット = 75h) [リセット = X0h]

表 7-73 に、FC\_LF[6] が示されています。

概略表に戻ります。

チャンネル 6 の UV と OV の NRST エラー出力へのマッピング

**表 7-73. FC\_LF[6] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-5	予約済み	R	0h	予約済み
4	OVHF_TO_NRST	R/W	0h	MON6 OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	Xh	MON6 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2-0	予約済み	R	0h	予約済み

### 7.5.1.2.35 UV\_HF[7] レジスタ (オフセット = 80h) [リセット = X0h]

表 7-74 に、UV\_HF[7] が示されています。

概略表に戻ります。

チャンネル 7 高周波チャンネルの低電圧スレッショルド。

表 7-74. UV\_HF[7] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の低電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

### 7.5.1.2.36 OV\_HF[7] レジスタ (オフセット = 81h) [リセット = X0h]

表 7-75 に、UV\_HF[7] が示されています。

概略表に戻ります。

チャンネル 7 高周波チャンネル過電圧スレッシュホールド。

**表 7-75. OV\_HF[7] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

### 7.5.1.2.37 FLT\_HF[7] レジスタ (オフセット = 84h) [リセット = X0h]

表 7-76 に、UV\_HF[7] が示されています。

概略表に戻ります。

高周波スレッシュホールド コンパレータ出力のチャネル 7 UV および OV デバウンス。

**表 7-76. FLT\_HF[7] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-4	OV_DEB[3:0]	R/W	0h	高周波監視パスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s
3-0	UV_DEB[3:0]	R/W	Xh	高周波監視パスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s

### 7.5.1.2.38 FC\_LF[7] レジスタ (オフセット = 85h) [リセット = X0h]

表 7-77 に、FC\_LF[7] が示されています。

概略表に戻ります。

チャンネル 7 の UV と OV の NRST エラー出力へのマッピング

**表 7-77. FC\_LF[7] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-5	予約済み	R	0h	予約済み
4	OVHF_TO_NRST	R/W	0h	MON7 OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	Xh	MON7 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2-0	予約済み	R	0h	予約済み

### 7.5.1.2.39 UV\_HF[8] レジスタ (オフセット = 90h) [リセット = X0h]

表 7-78 に、UV\_HF[8] が示されています。

概略表に戻ります。

チャンネル 8 高周波チャンネルの低電圧スレッショルド。

表 7-78. UV\_HF[8] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の低電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。



#### 7.5.1.2.40 OV\_HF[8] レジスタ (オフセット = 91h) [リセット = X0h]

表 7-79 に、UV\_HF[8] が示されています。

概略表に戻ります。

チャンネル 8 高周波チャンネル過電圧スレッシュホールド。

**表 7-79. OV\_HF[8] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

### 7.5.1.2.41 FLT\_HF[8] レジスタ (オフセット = 94h) [リセット = X0h]

表 7-80 に、UV\_HF[8] が示されています。

概略表に戻ります。

高周波スレッシュホールド コンパレータ出力のチャネル 8 UV および OV デバウンス。

**表 7-80. FLT\_HF[8] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-4	OV_DEB[3:0]	R/W	0h	高周波監視パスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s
3-0	UV_DEB[3:0]	R/W	Xh	高周波監視パスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 $\mu$ s 1000b = 25.6 $\mu$ s 0001b = 0.2 $\mu$ s 1001b = 51.2 $\mu$ s 0010b = 0.4 $\mu$ s 1010b = 102.4 $\mu$ s 0011b = 0.8 $\mu$ s 1011b = 102.4 $\mu$ s 0100b = 1.6 $\mu$ s 1100b = 102.4 $\mu$ s 0101b = 3.2 $\mu$ s 1101b = 102.4 $\mu$ s 0110b = 6.4 $\mu$ s 1110b = 102.4 $\mu$ s 0111b = 12.8 $\mu$ s 1111b = 102.4 $\mu$ s

#### 7.5.1.2.42 FC\_LF[8] レジスタ (オフセット = 95h) [リセット = X0h]

表 7-81 に、FC\_LF[8] が示されています。

概略表に戻ります。

チャンネル 8 の UV と OV の NRST エラー出力へのマッピング

**表 7-81. FC\_LF[8] レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-5	予約済み	R	0h	予約済み
4	OVHF_TO_NRST	R/W	0h	MON8 OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	Xh	MON8 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2-0	予約済み	R	0h	予約済み

### 7.5.1.2.43 TI\_CONTROL レジスタ (オフセット = 9Fh) [リセット = X0h]

表 7-82 に、TI\_CONTROL が示されています。

概略表に戻ります。

I2C / リセット遅延による手動 BIST / 手動リセット

**表 7-82. TI\_CONTROL レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	ENTER_BIST	R/W	0h	手動 BIST。 1 = BIST に移行
6	予約済み	R	0h	予約済み
5	I2C_MR	R/W	0h	手動リセット。 1 = NRST を Low にアサート
4-3	予約済み	R	0h	予約済み
2-0	RST_DLY[2:0]	R/W	Xh	リセット遅延 000 = 200μs 001 = 1ms 010 = 10ms 011 = 16ms 100 = 20ms 101 = 70ms 110 = 100ms 111 = 200ms

#### 7.5.1.2.44 AMSK\_ON レジスタ (オフセット = A1h) [リセット = X0h]

表 7-83 に、AMSK\_ON が示されています。

概略表に戻ります。

パワーアップ遷移時に UVHF および OVHF 割り込みを自動マスクします。

**表 7-83. AMSK\_ON レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	MON[8]	R/W	0h	MON8 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
6	MON[7]	R/W	0h	MON7 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
5	MON[6]	R/W	0h	MON6 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
4	MON[5]	R/W	0h	MON5 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
3	MON[4]	R/W	Xh	MON4 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
2	MON[3]	R/W	Xh	MON3 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
1	MON[2]	R/W	Xh	MON2 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
1	MON[1]	R/W	Xh	MON1 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
0	予約済み	R	0h	

### 7.5.1.2.45 AMSK\_OFF レジスタ (オフセット = A2h) [リセット = X0h]

表 7-84 に、AMSK\_OFF が示されています。

概略表に戻ります。

パワーダウン遷移時に UVHF および OVHF 割り込みを自動マスクします。

**表 7-84. AMSK\_OFF レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	MON[8]	R/W	0h	MON8 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
6	MON[7]	R/W	0h	MON7 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
5	MON[6]	R/W	0h	MON6 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
4	MON[5]	R/W	0h	MON5 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
3	MON[4]	R/W	Xh	MON4 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
2	MON[3]	R/W	Xh	MON3 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
1	MON[2]	R/W	Xh	MON2 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
0	MON[1]	R/W	Xh	MON1 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効

#### 7.5.1.2.46 AMSK\_EXS レジスタ (オフセット = A3h) [リセット = X0h]

AMSK\_EXS を [表 7-85](#) に示します。

[概略表](#)に戻ります。

スリープ終了遷移時に UVHF および OVHF 割り込みを自動マスクします。

**表 7-85. AMSK\_EXS レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	MON[8]	R/W	0h	MON8 のスリープ終了時に自動マスクします。 0 = 無効 1 = 有効
6	MON[7]	R/W	0h	MON7 のスリープ終了時に自動マスクします。 0 = 無効 1 = 有効
5	MON[6]	R/W	0h	MON6 のスリープ終了時に自動マスクします。 0 = 無効 1 = 有効
4	MON[5]	R/W	0h	MON5 のスリープ終了時に自動マスクします。 0 = 無効 1 = 有効
3	MON[4]	R/W	Xh	MON4 のスリープ終了時に自動マスクします。 0 = 無効 1 = 有効
2	MON[3]	R/W	Xh	MON3 のスリープ終了時に自動マスクします。 0 = 無効 1 = 有効
1	MON[2]	R/W	Xh	MON2 のスリープ終了時に自動マスクします。 0 = 無効 1 = 有効
0	MON[1]	R/W	Xh	MON1 のスリープ終了時に自動マスクします。 0 = 無効 1 = 有効

### 7.5.1.2.47 AMSK\_ENS レジスタ (オフセット = A4h) [リセット = X0h]

AMSK\_ENS を [表 7-86](#) に示します。

[概略表](#)に戻ります。

スリープ遷移時に UVHF および OVHF 割り込みを自動マスクします。

**表 7-86. AMSK\_ENS レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7	MON[8]	R/W	0h	MON8 のスリープ移行時に自動マスクします。 0 = 無効 1 = 有効
6	MON[7]	R/W	0h	MON7 のスリープ移行時に自動マスクします。 0 = 無効 1 = 有効
5	MON[6]	R/W	0h	MON6 のスリープ移行時に自動マスクします。 0 = 無効 1 = 有効
4	MON[5]	R/W	0h	MON5 のスリープ移行時に自動マスクします。 0 = 無効 1 = 有効
3	MON[4]	R/W	Xh	MON4 のスリープ移行時に自動マスクします。 0 = 無効 1 = 有効
2	MON[3]	R/W	Xh	MON3 のスリープ移行時に自動マスクします。 0 = 無効 1 = 有効
1	MON[2]	R/W	Xh	MON2 のスリープ移行時に自動マスクします。 0 = 無効 1 = 有効
0	MON[1]	R/W	Xh	MON1 のスリープ移行時に自動マスクします。 0 = 無効 1 = 有効



#### 7.5.1.2.48 BANK\_SEL レジスタ (オフセット = F0h) [リセット = X0h]

表 7-87 に、BANK\_SEL が示されています。

概略表に戻ります。

バンクの選択。

**表 7-87. BANK\_SEL レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	概要
7-1	予約済み	R	0h	予約済み
0	BANK_Select	R/W	Xh	バンクの選択を表します。 0 = バンク 0 1 = バンク 1

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはアプリケーションの正確性も完全性も保証いたしません。お客様のシステムの目的に対する製品の適合性については、お客様の責任で判断していただくことになります。システムの機能を確認するには、設計実装を検証しテストすることをお勧めします。

### 8.1 アプリケーション情報

最新の SOC および FPGA デバイスには通常、IC 内のさまざまなブロックに電力を供給するために複数の電源レールがあります。これらのデバイスの適切な動作を維持するには、正確な電圧レベルとタイミング要件が一般的であり、その条件を満たす必要があります。TPS38800-Q1 とマルチチャネル電圧シーケンサを利用することで、パワーアップ / パワーダウンシーケンシング要件だけでなく、ターゲット SOC または FPGA デバイスのコア電圧要件も満たすことができます。この設計は、TPS38800-Q1 を使用し、SOC のタイミング要件を満たすことを重視しています。

## 8.2 代表的なアプリケーション

### 8.2.1 マルチチャネル シーケンスおよびモニタ

図 8-1 に、TPS38800-Q1 の代表的なアプリケーションを示します。TPS38800-Q1 は、ターゲット SOC デバイスの適切な電圧監視を行うために使用されます。マルチチャネル電圧モニタ TPS38800-Q1 は、これらのレールのパワーアップおよびパワーダウン時に電圧レールを監視するために使用され、両方の状況で正しいシーケンスが発生していることを確認します。セーフティー マイコンは、TPS38800-Q1 およびマルチチャネル電圧モニタに ACT、NIRQ、I<sup>2</sup>C コマンドを提供するためにも使用されます。セーフティー マイコンからの ACT 信号は、TPS38800-Q1 が ACTIVE 状態または SHDN 状態に移行するタイミングを決定し、フォルトが発生したときに TPS38800-Q1 の NIRQ ピンが設定される割り込みピンとして機能します。ホスト マイコンは、影響を受けるレジスタに 1 を書き込むことでフォルトをクリアできます単純化するため、セーフティー マイコンの電源レールは、図 8-1 には表示されていません。

図 8-1. TPS38800-Q1 電圧モニタ設計のブロック図

### 8.2.2 設計要件

- この設計では、DC/DC コンバータから電力を供給される 6 つの異なる電圧レールを適切に監視する必要があります。
- シーケンスで検出された障害はすべて、外部ハードウェア割り込み信号により通知されます。
- 検出された障害はすべて内部レジスタに記録され、I<sup>2</sup>C 経由で外部プロセッサからアクセスできます

### 8.2.3 詳細な設計手順

- TPS38800-Q1/ TPS388R0-Q1 デバイス オプションには、過電圧、低電圧、パワーアップおよびパワーダウン時に予測されるシーケンスのデフォルト値があらかじめプログラムされています。
- NIRQ ピンには、10kΩ ~ 100kΩ までの範囲のプルアップ抵抗が必要です。
- SDA および SCL ラインには、10kΩ の範囲内にプルアップ抵抗が必要です。
- ACT ピンは外部のセーフティー マイコンによって駆動されます。ACT ピンが High に駆動されると、デバイスは ACTIVE モードに移行します。ACT ピンが Low に駆動されると、デバイスは SHDN モードに移行します。
- セーフティー マイコンは、NIRQ 割り込みピンと INT\_SCR1 および INT\_SCR2 レジスタにより通知されたフォルト割り込みをクリアするために使用されます。ホスト マイコンの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、割り込みフラグがクリアされます。フォルト条件が解消されても、割り込みフラグは自動的にクリアされません。

## 8.2.4 アプリケーション曲線

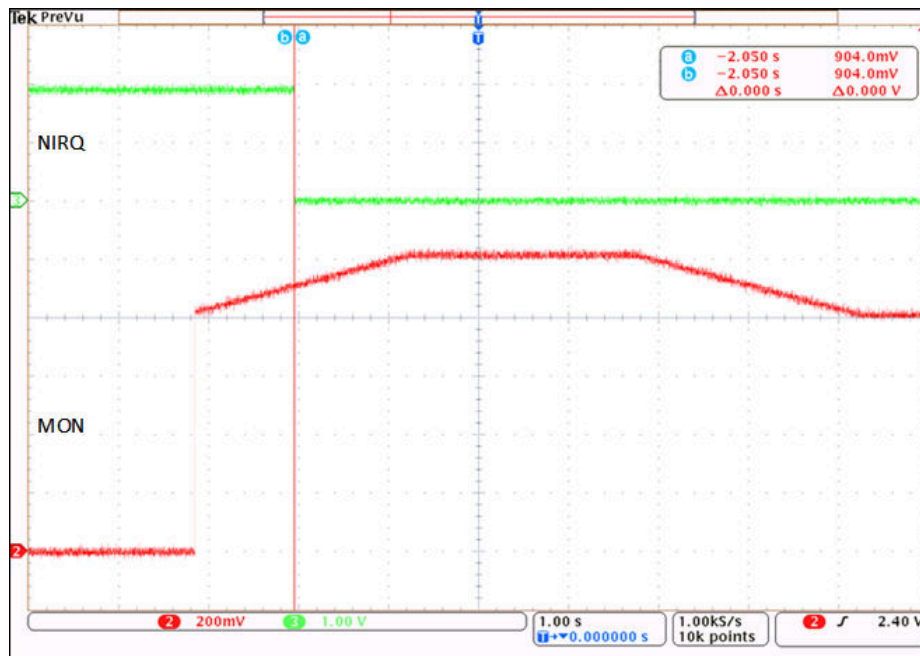


図 8-2. NIRQ は過電圧フォルトの後にトリガされます

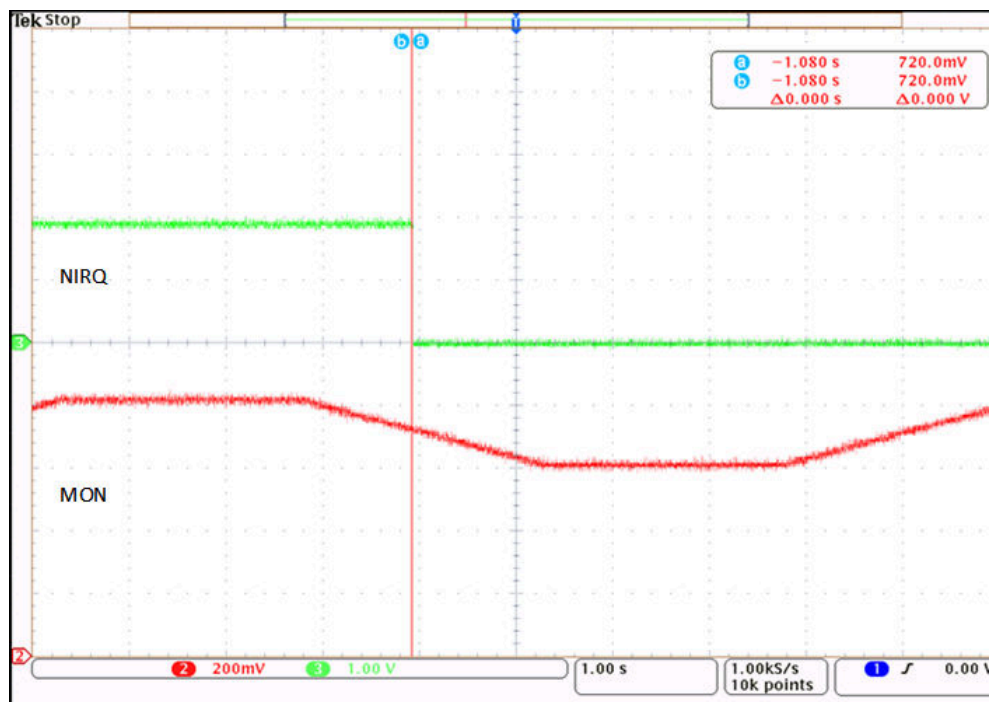


図 8-3. NIRQ は低電圧フォルトの後にトリガされます

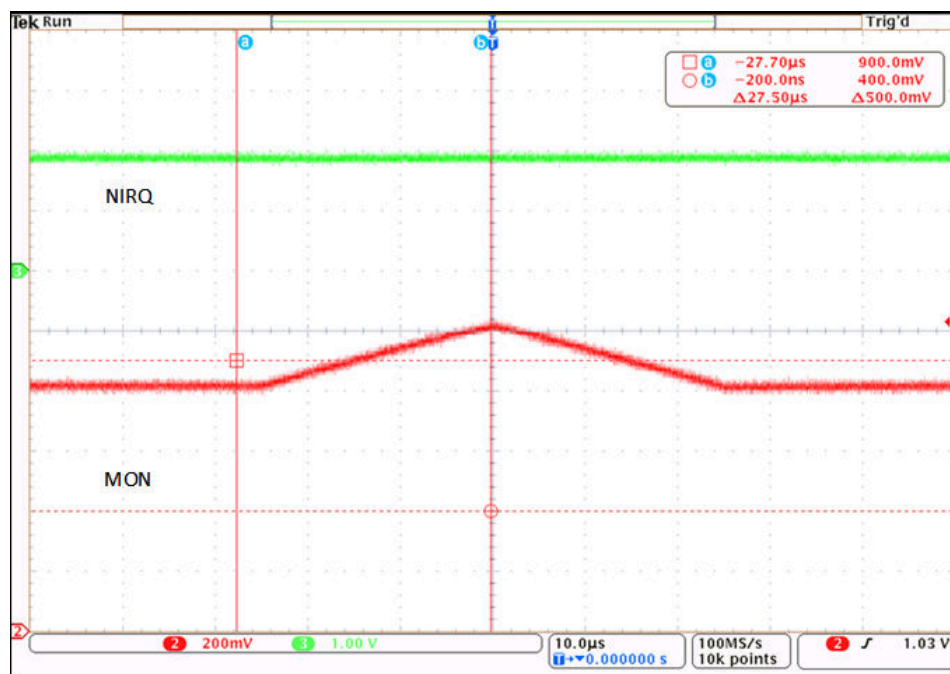


図 8-4. NIRQ は 51.2μs OV デバウンス フィルタによって過電圧フォルトでトリガされません

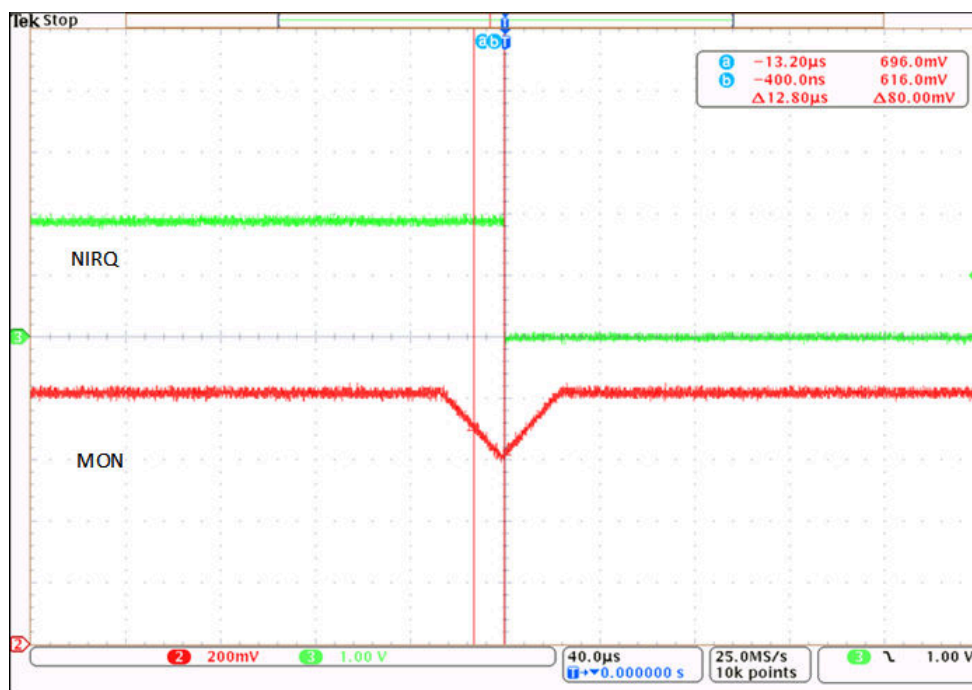


図 8-5. NIRQ は 12.8μs UV デバウンス フィルタによって低電圧フォルトでトリガされます

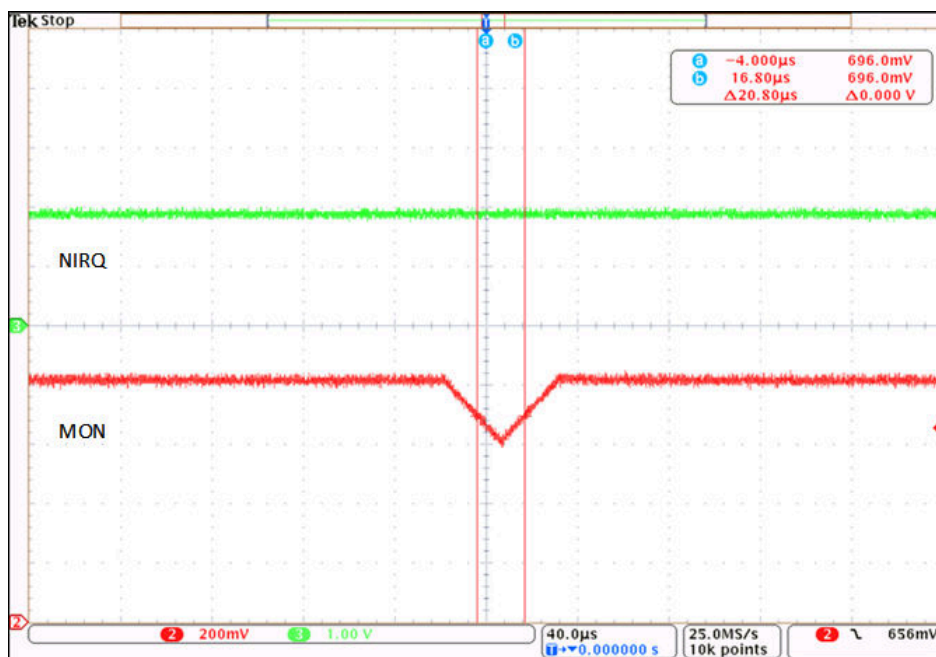


図 8-6. NIRQ は 25μs UV デバウンス フィルタによって低電圧フォルトでトリガされません

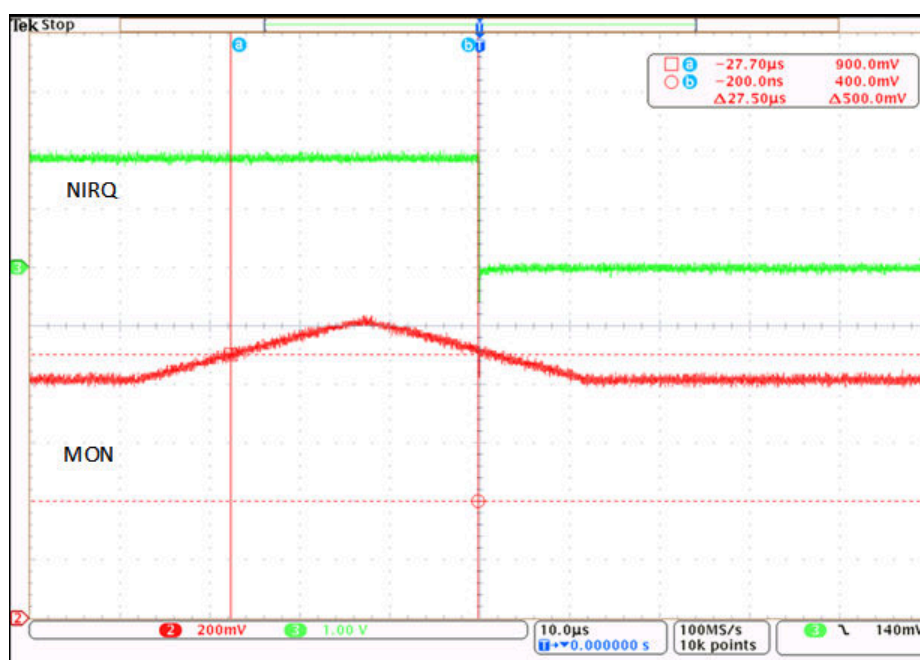


図 8-7. NIRQ は 25μs OV デバウンス フィルタによって過電圧フォルトでトリガされます



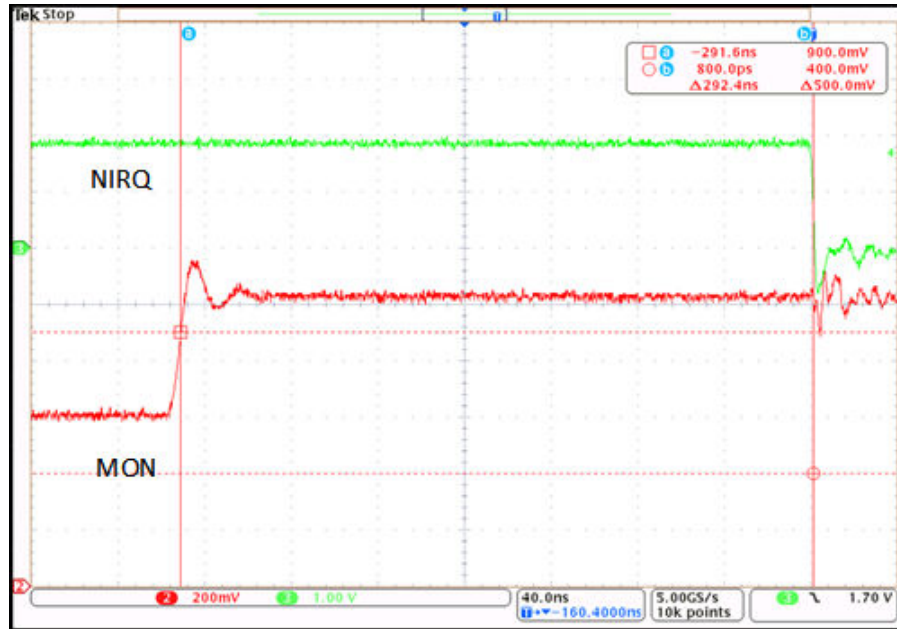


図 8-8. 過電圧フォルトに起因する NIRQ 伝搬遅延

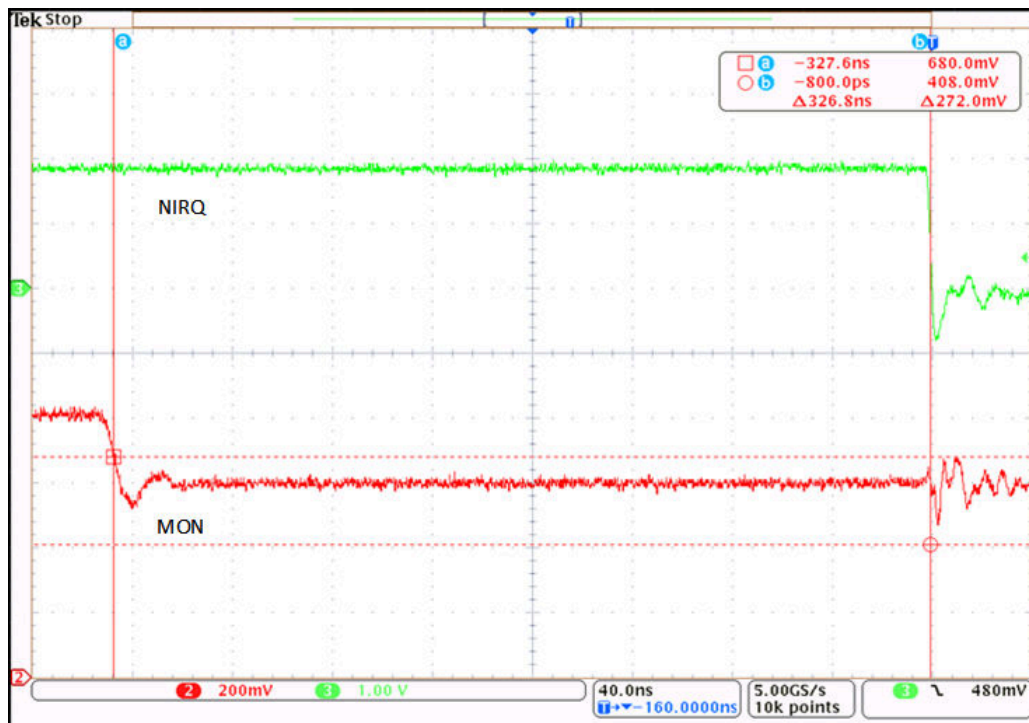


図 8-9. 低電圧フォルトに起因する NIRQ の伝搬遅延

## 8.3 電源に関する推奨事項

### 8.3.1 電源に関するガイドライン

このデバイスは、2.5V ~ 5.5V の入力電源電圧範囲で動作するように設計されています。TPS38800-Q1/TPS388R0-Q1 の VDD ピンの絶対最大定格は 6V です。入力電圧の電源ノイズに応じて、VDD ピンと GND ピンの間に 0.1μF ~ 1μF のコンデンサを配置するのが優れたアナログ手法といえます。VDD に電力を供給する電源電圧が、最大仕様を超え

るような大きな電圧過渡の影響を受けやすい場合は、追加の予防措置を講じる必要があります。詳細については、『[高電圧アプリケーションでの電圧スーパーバイザの使用](#)』を参照してください。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

- 外付け部品は、可能な限りデバイスに近く配置します。こうすることで、寄生誤差の発生を防ぐことができます。
- VDD 電源ノードには、長いトレースを使用しないでください。VDD コンデンサは、電源からコンデンサまでの寄生インダクタンスとともに LC 回路を形成し、最大 VDD 電圧を上回るピーク電圧のリンギングを発生させる可能性があります。
- MON ピンに対して、長い電圧トレースを使用しないでください。長いトレースを使用すると、寄生インダクタンスを増加させて、正確な監視や診断ができなくなります。
- MON1 および / または MON2 に差動電圧検出が必要な場合は、RS\_1/2 ピンを測定点に配線します
- デジタル パターンと並行して敏感なアナログ パターンを配線しないでください。デジタル パターンとアナログ パターンはできるだけ交差しないようにします。どうしても必要な場合には、直角に交差させます。

### 8.4.2 レイアウト例

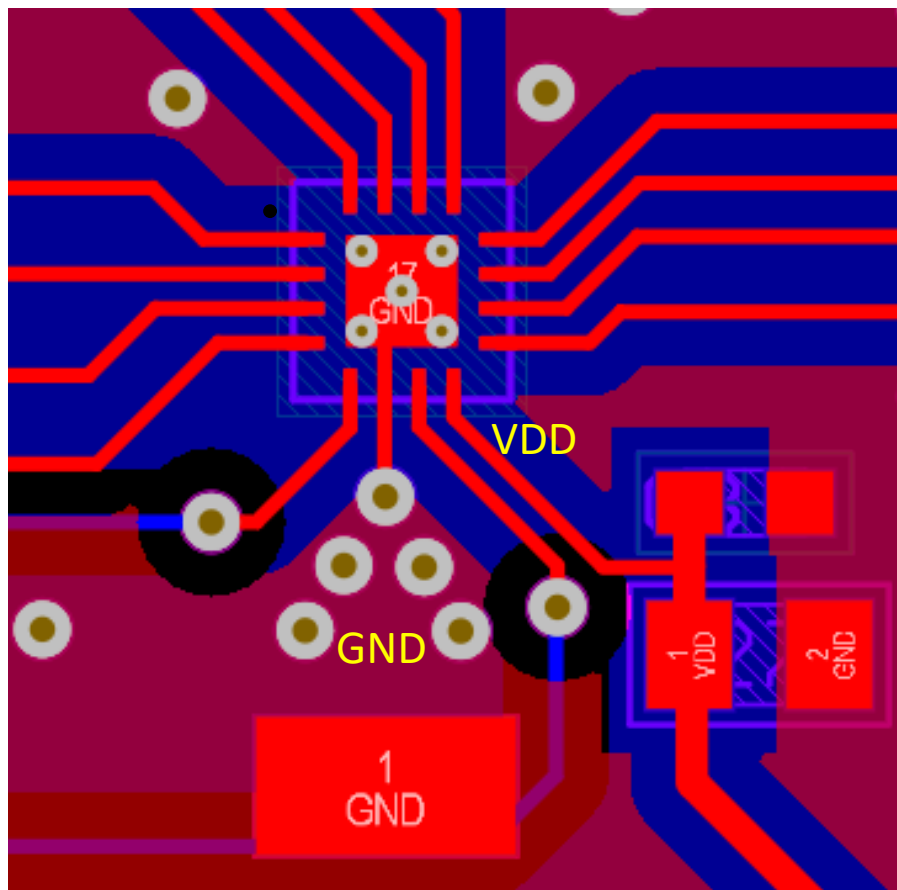


図 8-10. 推奨レイアウト



## 9 デバイスおよびドキュメントのサポート

### 9.1 デバイスの命名規則

表 9-1 および 表 9-2 に、部品番号に基づいてデバイスの機能を識別する方法が示されています。

**表 9-1. デバイスのスレッシュホールド**

注文コード	スレッシュ ホールド	VMON1 (V)	VMON2 (V)	VMON3 (V)	VMON4 (V)	VMON5 (V)	VMON6 (V)	VMON7 (V)	VMON8 (V)
TPS388R02001-Q1	UV_HF / OV_HF	1.15/1.25	3.16/3.44	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし
TPS388R02002-Q1	UV_HF / OV_HF	1.15/1.25	3.16/3.44	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし
TPS388R04H01-Q1	UV_HF / OV_HF	0.705/0.82	0.705/0.82	0.845/0.985	0.79/0.925	該当なし	該当なし	該当なし	該当なし
TPS388R04H00-Q1	UV_HF / OV_HF	0.705/0.82	0.705/0.82	0.725/0.84	0.685/0.80	該当なし	該当なし	該当なし	該当なし
TPS388008001RTER	UV_HF / OV_HF	0.765/0.835	1.195/1.305	1.72/1.88	1.195/1.305	該当なし	1.195/1.305	3.16/3.44	該当なし
TPS388005001RTER	UV_HF / OV_HF	1.195/1.305	該当なし	該当なし	1.25/1.145	1.25/1.145	該当なし	該当なし	該当なし
TPS388008002RTER	UV_HF / OV_HF	1.135/1.37	1.135/1.37	1.62/1.96	1.135/1.37	1.135/1.37	1.135/1.37	0.725/0.875	1.135/1.37
TPS388008003RTER	UV_HF / OV_HF	1.72/1.88	1.145/1.25	1.145/1.25	0.765/0.835	0.765/0.835	1.195/1.305	1.195/1.305	1.195/1.305

**表 9-2. デバイス構成表**

注文コード	機能	除外対象の報告	OV / UV デ バウンス	ヒステリシス _HF	BIST	SEQ タイム アウト	PEC	I <sup>2</sup> C ブルア ップ電圧 (V)
TPS388R02001RTERQ1	監視 HF	該当なし	0.1μsec	ディセーブル	POR 時	1ms	無効	3.3
TPS388R02002RTERQ1	監視 HF	該当なし	0.1μsec	イネーブル	POR 時	1ms	無効	3.3
TPS388R04H01RTERQ1	監視 HF	MON2	51.2μsec	イネーブル	POR 時	100ms	イネーブル	1.8
TPS388R04H00RTERQ1	監視 HF	MON2	51.2μsec	イネーブル	POR 時	100ms	イネーブル	1.8
TPS388008001RTER	監視 HF	MON5、MON8	51.2μsec	イネーブル	POR 時	200ms	無効	1.2
TPS388005001RTER	監視 HF	MON2、MON3	51.2μsec	ディセーブル	POR 時	200ms	無効	1.2
TPS388008002RTER	監視 HF	該当なし	51.2μsec	ディセーブル	POR 時	200ms	無効	1.2
TPS388008003RTER	監視 HF	該当なし	51.2μsec	ディセーブル	POR 時	200ms	無効	1.2

## 9.2 ドキュメントのサポート

### 9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 9.7 用語集

### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

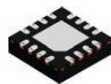
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (December 2024) to Revision B (May 2025)	Page
機能安全の表現を更新し、リンクを追加.....	1
2 チャネルのピン配置を追加し、ピン機能の表を更新.....	5
リリースされた OPN を反映するようにデバイスの命名規則表を更新.....	121

Changes from Revision * (March 2022) to Revision A (December 2024)	Page
量産データのリリース.....	1
I2C アドレス選択抵抗を変更.....	8

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

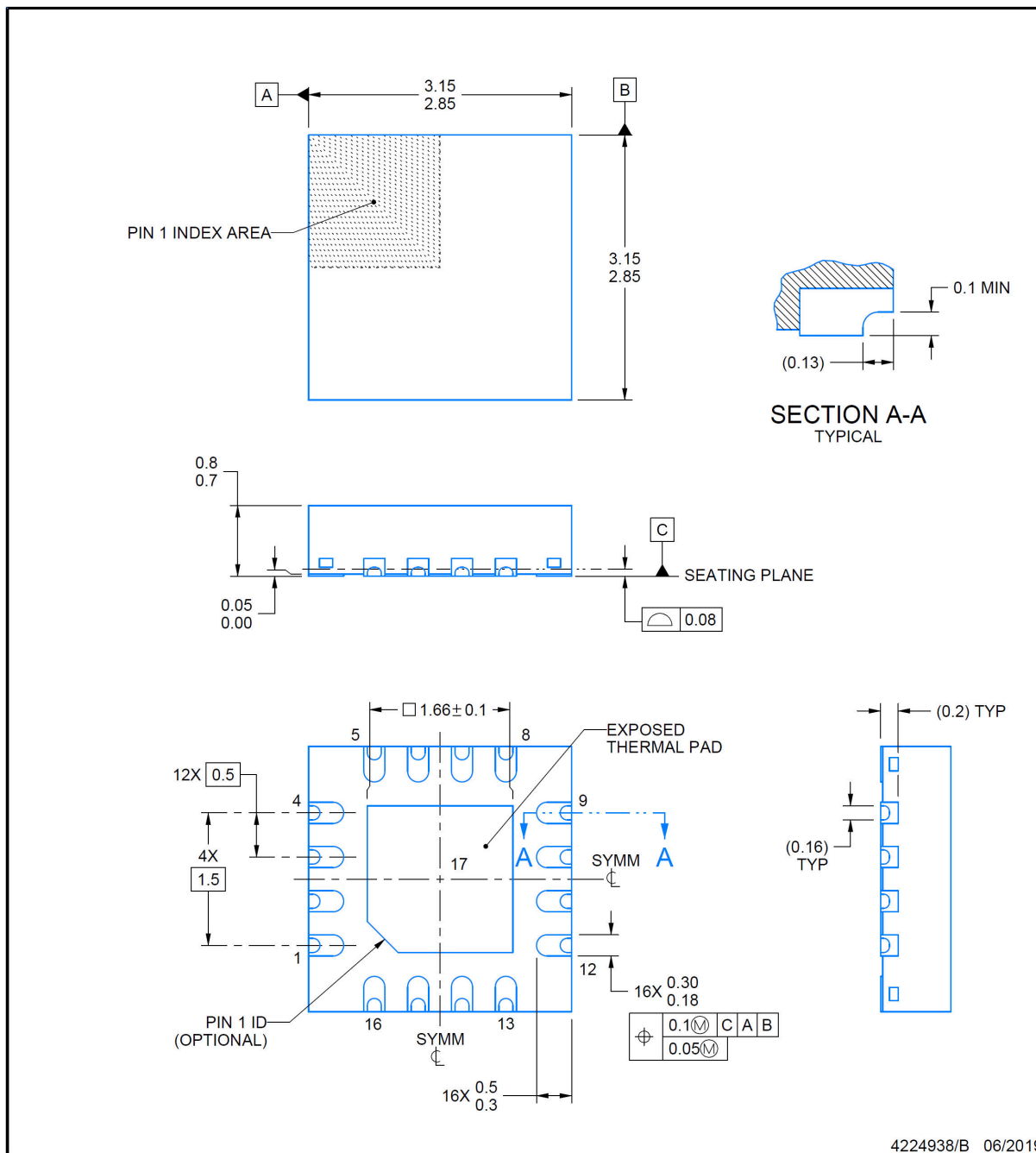


**RTE0016K**

## PACKAGE OUTLINE

**WQFN - 0.8 mm max height**

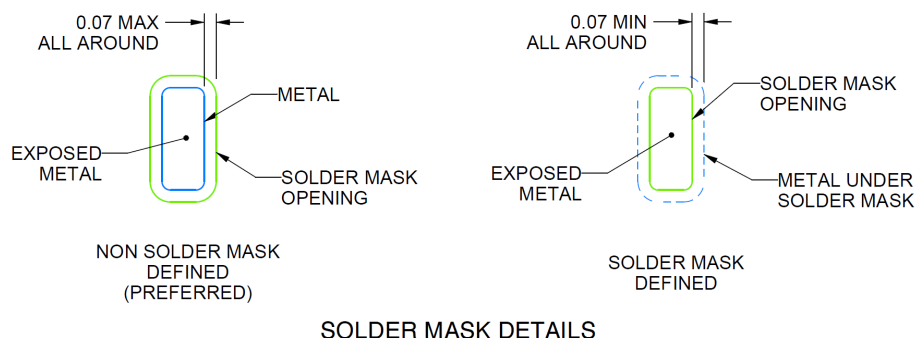
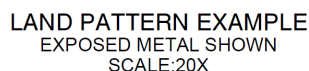
PLASTIC QUAD FLATPACK - NO LEAD



### NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

## PLASTIC QUAD FLATPACK - NO LEAD



4224938/B 06/2019

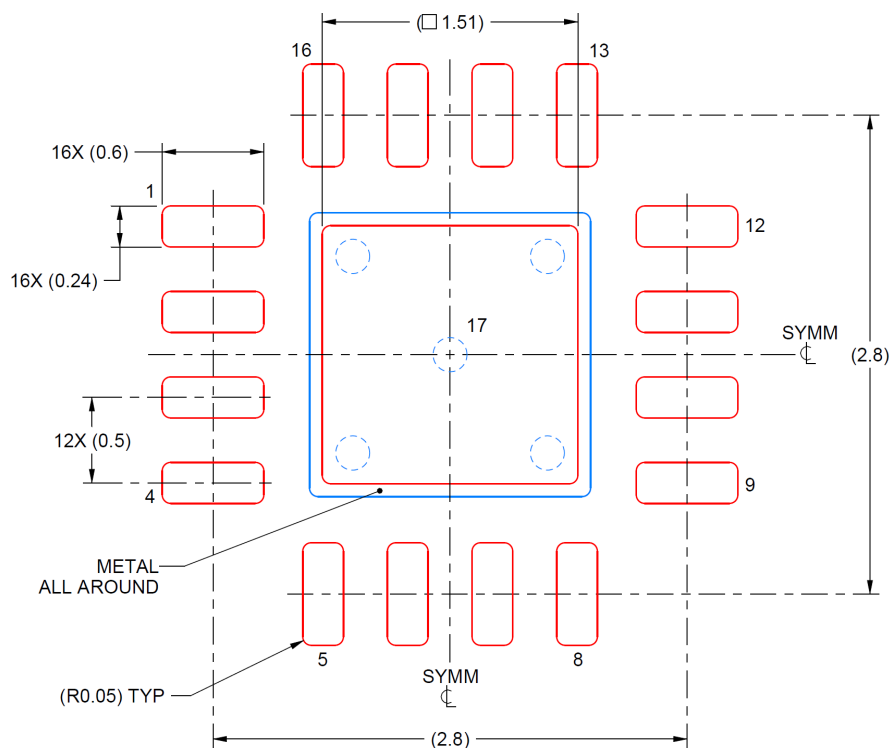
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

## EXAMPLE STENCIL DESIGN

**RTE0016K**

**WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



**SOLDER PASTE EXAMPLE**  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:  
84% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
SCALE:25X

4224938/B 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated

## PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">TPS388R02001RTERQ1</a>	Active	Production	WQFN (RTE)   16	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T2001
<a href="#">TPS388R02002RTERQ1</a>	Active	Production	WQFN (RTE)   16	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TR02Q
<a href="#">TPS388R04H00RTERQ1</a>	Active	Production	WQFN (RTE)   16	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T4H00
TPS388R04H00RTERQ1.A	Active	Production	WQFN (RTE)   16	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T4H00
<a href="#">TPS388R04H01RTERQ1</a>	Active	Production	WQFN (RTE)   16	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T4H01
TPS388R04H01RTERQ1.A	Active	Production	WQFN (RTE)   16	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T4H01

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.





## TAPE AND REEL INFORMATION



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS388R02001RTERQ1	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS388R02002RTERQ1	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS388R04H00RTERQ1	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS388R04H01RTERQ1	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

## TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS388R02001RTERQ1	WQFN	RTE	16	3000	367.0	367.0	35.0
TPS388R02002RTERQ1	WQFN	RTE	16	3000	360.0	360.0	36.0
TPS388R04H00RTERQ1	WQFN	RTE	16	3000	367.0	367.0	35.0
TPS388R04H01RTERQ1	WQFN	RTE	16	3000	367.0	367.0	35.0

## GENERIC PACKAGE VIEW

**RTE 16**

**WQFN - 0.8 mm max height**

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4225944/A



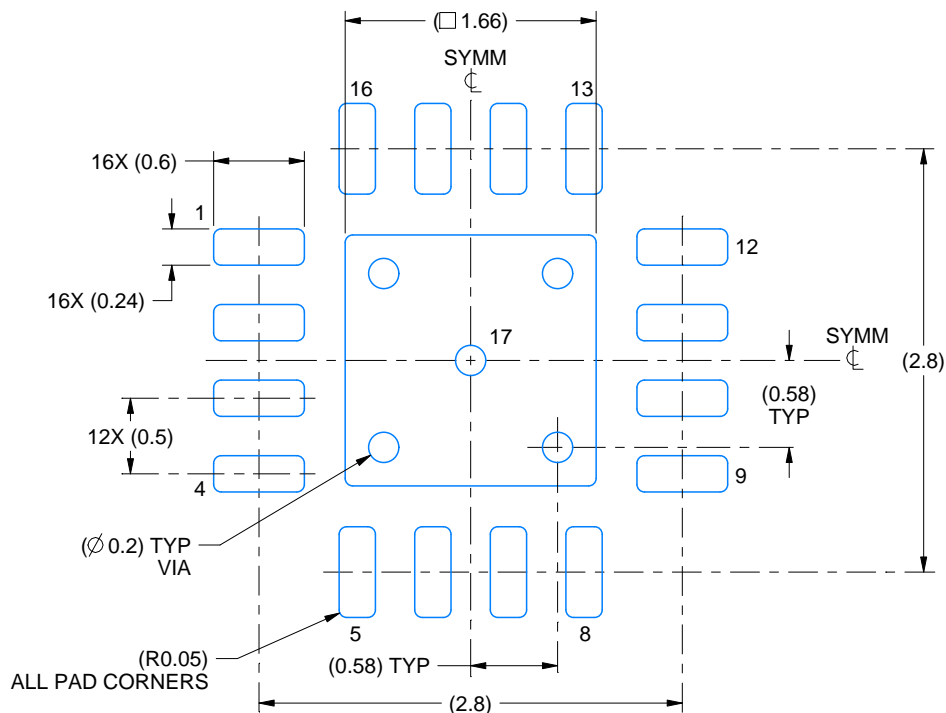
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

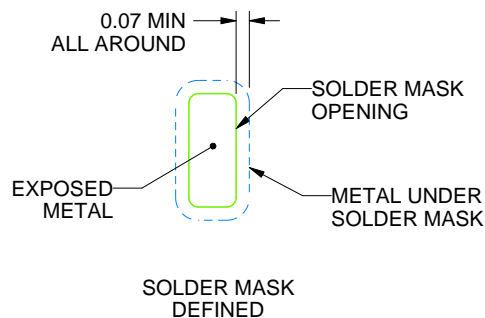
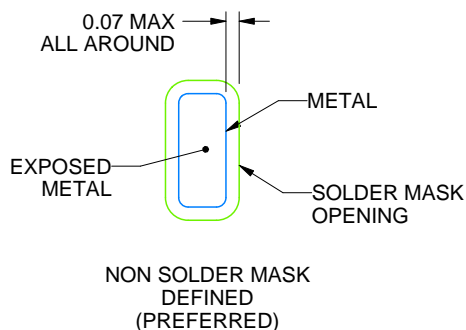
RTE0016K

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:20X



SOLDER MASK DETAILS

4224938/C 03/2022

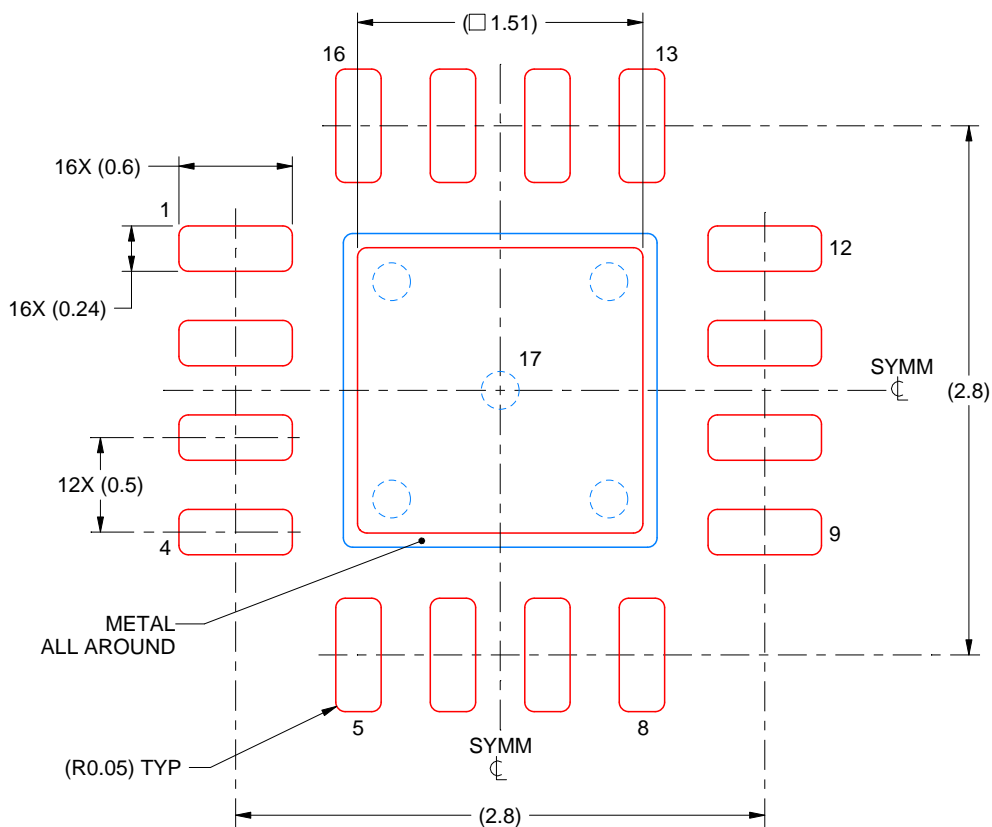
NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# RTE0016K

### WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



## SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:  
84% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
SCALE:25X

4224938/C 03/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



4219117/B 04/2022

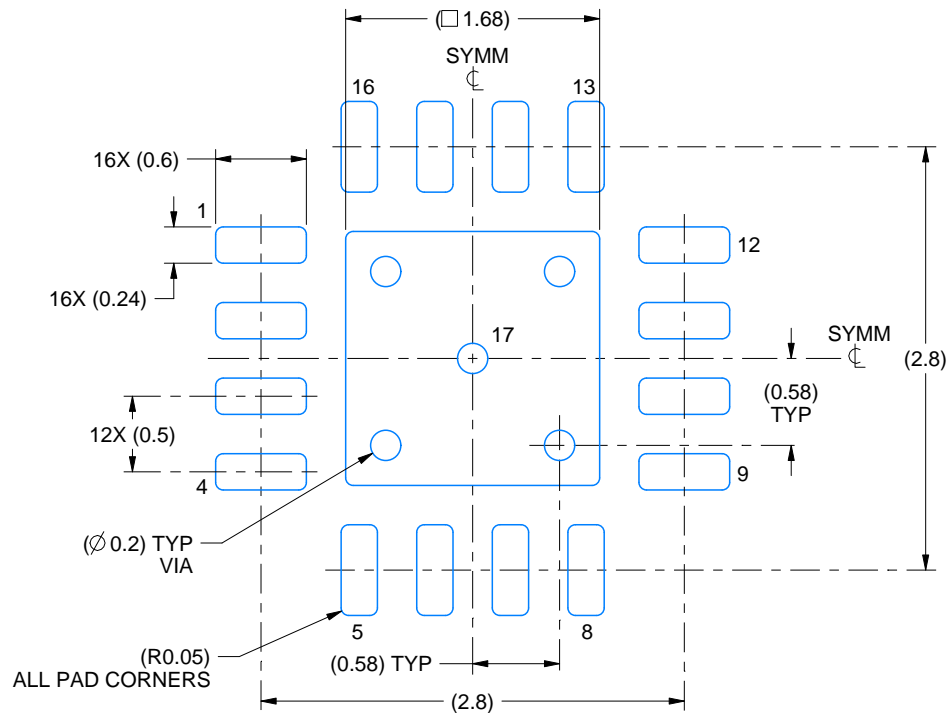
## NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

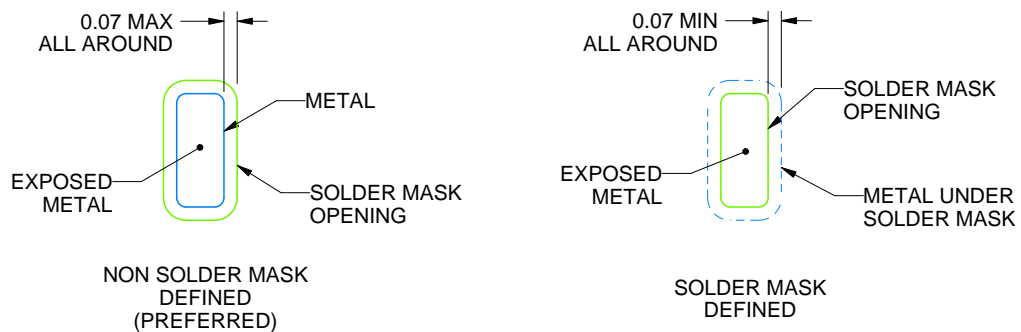
**RTE0016C**

**WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:20X



## SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sl原因271](http://www.ti.com/lit/sl原因271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

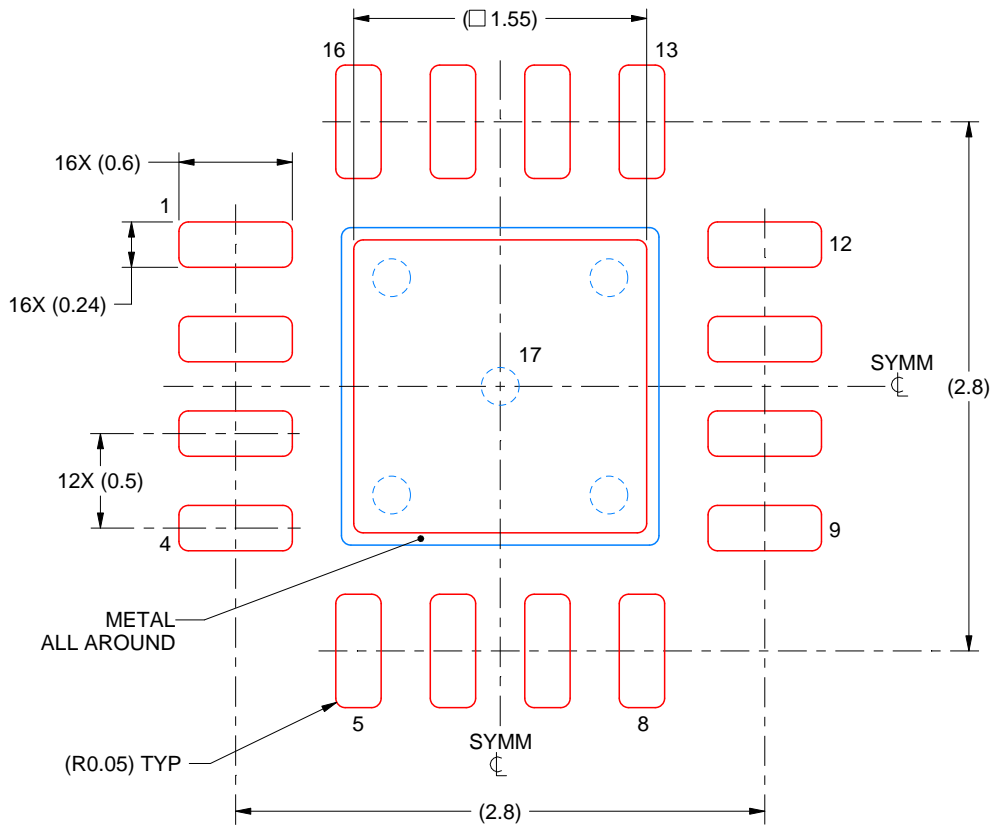


# EXAMPLE STENCIL DESIGN

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



**SOLDER PASTE EXAMPLE**  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:  
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月