

3Aシンク/ソース DDR ターミネーション・レギュレータ

特 長

- 入力電圧範囲 : 4.75V~5.25V
- VLDOIN電圧範囲 : 1.2V~3.6V
- ドループ補償付3Aシンク/ソース・レギュレータ
- 最小出力容量20 μ F(セラミックコンデンサ)
- サスペンド時ハイ・インピーダンス(S3)およびソフト・オフ(S5)に対応
- 1.2V入力(VLODIN)による消費電力低減可能
- 1/2分圧抵抗内蔵(VTTREF)
- リモート・センシング端子(VTTSNS)
- 精度 ± 20 mV(VTT/ VTTREF)
- 10mAバッファ付基準電圧(VTTREF)
- ソフトスタート、UVLO、OCL機能内蔵
- サーマル・シャットダウン機能
- JEDEC規格準拠

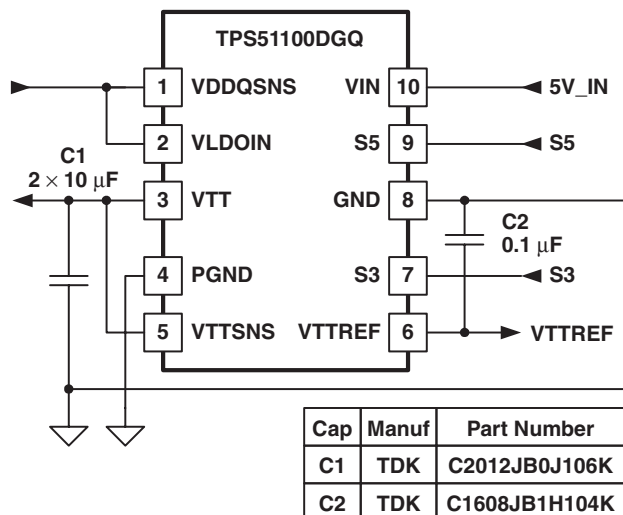
アプリケーション

- DDR /DDR2 メモリのターミネーション電源
- SSTL-2、SSTL-18、HSTLのターミネーション電源

概 要

TPS51100は、3Aのシンク/ソース・トラッキング・ターミネーション・レギュレータです。本製品は外付け部品点数が少なく、小型、低コストが要求されるシステムに最適です。

TPS51100は出力容量としてわずか20 μ F(2 \times 10 μ F)のセラミックコンデンサを用いるだけで高速な過渡応答を実現します。TPS51100はリモート・センシング機能およびJEDEC規格によるDDR/DDR2メモリのVTTバス・ターミネーション電源に必要とされる全ての機能に対応しています。さらに、S3状態(RAMへのサスペンド)ではVTT出力をハイ・インピーダンスに、S5状態(ディスクへのサスペンド)ではVTTとVTTREFを放電してオフ(ソフト・オフ)するスリープ・ステート・コントロール機能を内蔵しています。パッケージは熱効率の良い10ピンMSOP PowerPAD™を使用し、動作温度範囲-40℃~85℃で電気的特性を規定しています。



UDG04015

SWIFT、PowerPAD、SpActおよびBurr-Brownは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

オーダー呼称

T_A	PLASTIC MSOP POWER PAD (DGQ) ⁽¹⁾
-40°C to 85°C	TPS51100DGQ

(1) DGQパッケージはテープ/リールでも供給できます。デバイス・タイプの末尾にRを付けてください(例：TPS51100DGQR)。PowerPADの図面及びレイアウトに関する情報はこのデータシートのアプリケーションの項を参照してください。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

絶対最大定格

特記無き場合、全動作温度範囲の定格値を記す。(1)

		TPS51100	UNIT
Input voltage range ⁽²⁾	VIN, VLDOIN, VTTSENS, VDDQSNS, S3, S5	−0.3 to 6	V
	PGND	−0.3 to 0.3	
Output voltage range ⁽²⁾	VTT, VTTREF	−0.3 to 6	
Operating ambient temperature range, T _A		−40 to 85	°C
Storage temperature, T _{stg}		−55 to 150	
Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds		TBD	

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを与えることがあります。ストレスの定格のみについて示しており、「推奨動作条件」に示された値を越える状態での本製品の機能動作を意味するものではありません。絶対最大定格の状態に長時間置くことは、本製品の信頼性に影響を与えることがあります。

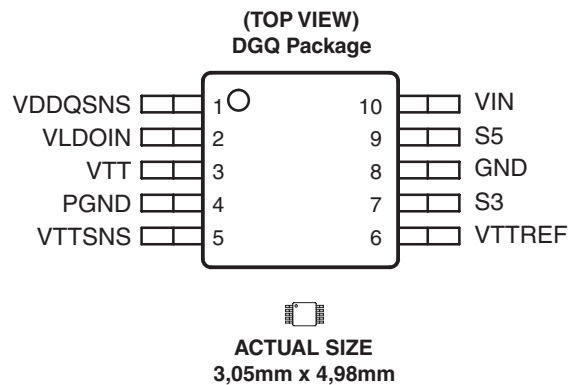
(2) 特記無き場合、すべての電圧値は回路のグランド端子を基準としています。

許容損失

PACKAGE	T _A < 25°C POWER RATING	DERATING FACTOR ABOVE T _A = 25°C	T _A = 85°C POWER RATING
10-pin DGQ	1.73 W	17.3 mW/°C	0.694 W

推奨動作条件

		MIN	MAX	UNIT
Supply voltage, V _{IN}		4.75	5.25	V
Voltage range	S3, S5	−0.10	5.25	
	VLDOIN, VDDQSNS, VTT, VTTSENS	−0.1	3.6	
	VTTREF	−0.1	1.8	
	PGND	−0.1	0.1	
Operating free-air temperature, T _A		−40	85	°C



(4) DGQパッケージの追加情報については、TIテクニカル・ブリーフ、文献番号SLMA002を参照してください。

(5) PowerPAD™パッケージのダイ・パッドはGND(8ピン)に接続するか、またはその他全てのピンと電氣的に絶縁しなければなりません。

電気的特性

特記無き場合、 $T_A = -40^{\circ}\text{C}$ to 85°C , $V_{\text{VIN}} = 5\text{ V}$, VLDOIN and VDDQSNS are connected to 2.5 V (unless otherwise noted)

PARAMETER		TEST CONDITIONS			MIN	TYP	MAX	UNIT
SUPPLY CURRENT								
I _{VIN}	Supply current, VIN	T _A = 25°C, V _{S3} = V _{S5} = 5 V	V _{VIN} = 5 V, no load	0.25	0.50	1.00	mA	
I _{VINSTB}	Standby current, VIN	T _A = 25°C, V _{S3} = 0 V, V _{S5} = 5 V	V _{VIN} = 5 V, no load	25	50	80	μA	
I _{VINSN}	Shutdown current, VIN	T _A = 25°C, V _{S3} = V _{S5} = 0 V, V _{VLDOIN} = V _{VDDQSNS} = 0 V	V _{VIN} = 5 V, no load		0.3	1.0		
I _{VLDOIN}	Supply current, VLDOIN	T _A = 25°C, V _{S3} = V _{S5} = 5 V	V _{VIN} = 5 V, no load	0.7	1.2	2.0	mA	
I _{VLDOINSTB}	Standby current, VLDOIN	T _A = 25°C, V _{S3} = 0 V, V _{S5} = 5 V	V _{VIN} = 5 V, no load		6	10	μA	
I _{VLDOINSN}	Shutdown current, VLDOIN	T _A = 25°C, V _{S3} = V _{S5} = 0 V	V _{VIN} = 5 V, no load		0.3	1.0		
INPUT CURRENT								
I _{VDDQSNS}	Input current, VDDQSNS	V _{VIN} = 5 V, V _{S3} = V _{S5} = 5 V			1	3	5	μA
I _{VTTSNS}	Input current, VTTSNS	V _{VIN} = 5 V, V _{S3} = V _{S5} = 5 V			−1.00	−0.25	1.00	
VTT OUTPUT								
V _{VTTSNS}	Output voltage, VTT	V _{VLDOIN} = V _{VDDQSNS} = 2.5 V			1.25			V
		V _{VLDOIN} = V _{VDDQSNS} = 1.8 V			0.9			
V _{VTTTOL25}	Output voltage tolerance to VTTREF, VTT	V _{VLDOIN} = V _{VDDQSNS} = 2.5 V, I _{VTT} = 0 A			−20			mV
		V _{VLDOIN} = V _{VDDQSNS} = 2.5 V, I _{VTT} = 1.5 A			−30			
		V _{VLDOIN} = V _{VDDQSNS} = 2.5 V, I _{VTT} = 3 A			−40			
V _{VTTTOL18}	Output voltage tolerance to VTTREF, VTT	V _{VLDOIN} = V _{VDDQSNS} = 1.8 V, I _{VTT} = 0 A			−20			
		V _{VLDOIN} = V _{VDDQSNS} = 1.8 V, I _{VTT} = 1 A			−30			
		V _{VLDOIN} = V _{VDDQSNS} = 1.8 V, I _{VTT} = 2 A			−40			
I _{VTTOCLSRC}	Source current limit, VTT	V _{TT} = $\left(\frac{V_{VDDQSNS}}{2}\right) \times 0.95$, PGOOD = High			3.0	3.8	6.0	A
		V _{VTT} = 0 V			1.5	2.2	3.0	
I _{VTTOCLSNK}	Sink current limit, VTT	V _{TT} = $\left(\frac{V_{VDDQSNS}}{2}\right) \times 1.05$, PGOOD = High			3.0	3.6	6.0	
		V _{VTT} = V _{VDDQ}			1.5	2.2	3.0	
I _{VTTLK}	Leakage current, VTT	V _{TT} = $\left(\frac{V_{VDDQSNS}}{2}\right) = 1.25$ V, V _{S3} = 0 V, V _{S5} = 5 V			−1.0	0.5	1.0	μA
I _{VTTSNSLK}	Leakage current, VTTSNS	V _{TT} = $\left(\frac{V_{VDDQSNS}}{2}\right) = 1.25$ V, T _A = 25 °C			−1.00	0.01	1.00	
I _{DSCHRG}	Discharge current, VTT	T _A = 25°C, V _{VDDQSNS} = 0 V, V _{S3} = V _{S5} = 0 V, V _{VTT} = 0.5 V			10	17	mA	

電気的特性(続き)

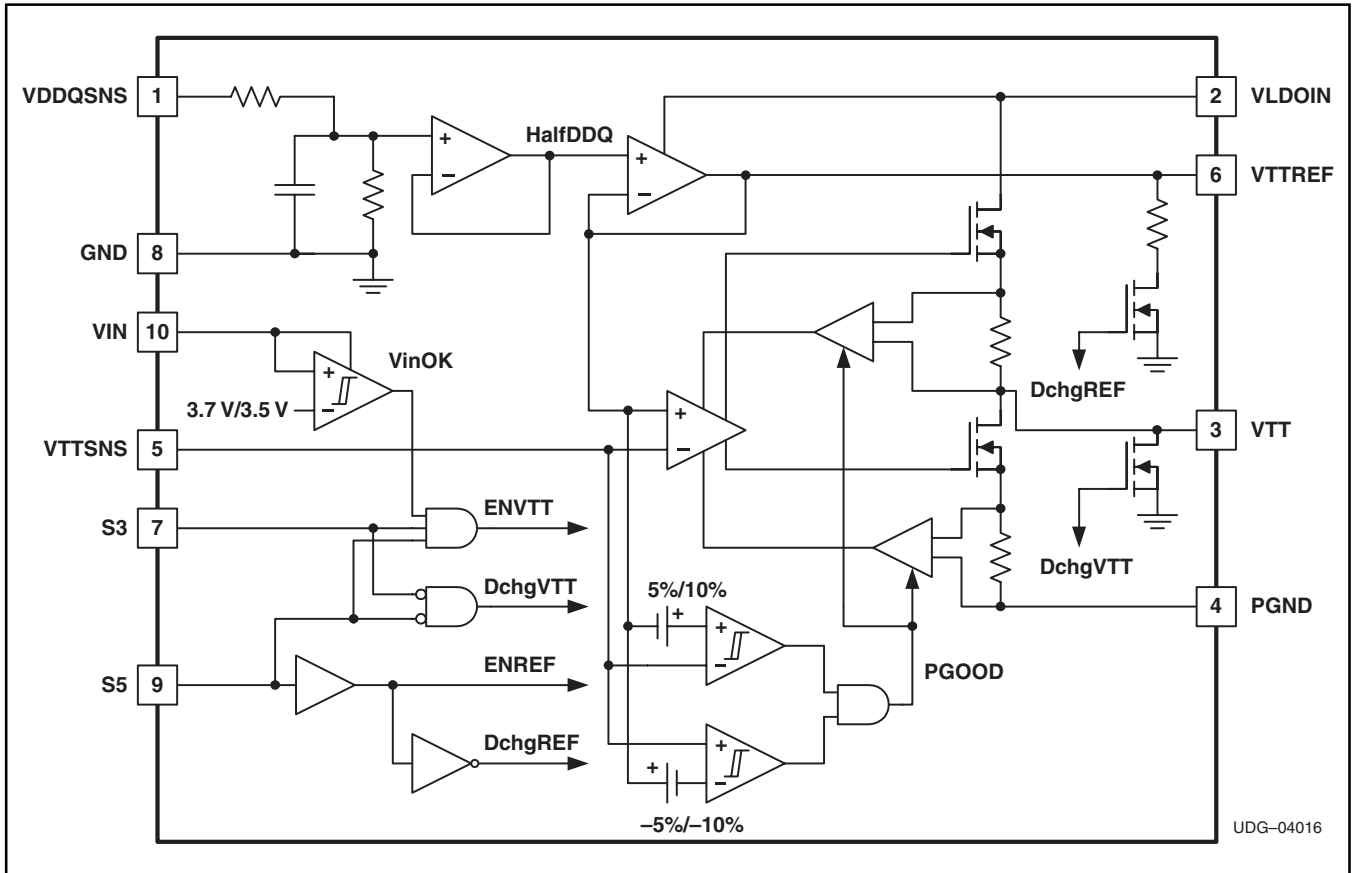
特記無き場合、T_A = -40°C to 85°C, V_{VIN} = 5 V, VLDOIN and VDDQSNS are connected to 2.5 V (unless otherwise noted)

PARAMETER		TEST CONDITIONS	UNIT	MAX	TYP	MIN
VTTREF OUTPUT						
V _{VTTREF}	Output voltage, VTTREF		$V_{TTREF} = \left(\frac{V_{VDDQSNS}}{2}\right)$			V
V _{VTTREFTOL}	Output voltage tolerance to VDDQSNS/2	V _{VLDOIN} = V _{VDDQSNS} , I _{VTTREF} < 10 mA	-20		20	mV
I _{VTTREFOCL}	Source current limit, VTTREF	V _{VTTREF} = 0 V	10	20	30	mA
UVLO/LOGIC THRESHOLD						
V _{VINUV}	UVLO threshold voltage, VIN	Wake up	3.4	3.7	4.0	V
		Hysteresis	0.15	0.25	0.35	
V _{IH}	High-level input voltage	S3, S5	1.6			
V _{IL}	Low-level input voltage	S3, S5			0.3	
V _{IHYST}	Hysteresis voltage	S3, S5		0.2		
I _I LEAK	Logic input leakage current	S2, S5, T _A = 25°C	-1		1	μA
THERMAL SHUTDOWN						
T _{SDN}	Thermal shutdown threshold voltage	Shutdown temperature		160		°C
		Hysteresis		10		

端子機能表

端子機能 NAME NO.		I/O	DESCRIPTION
GND	8	—	信号用接地端子。VTT出力コンデンサの負端子に接続してください。
PGND	4	—	VTT LDO大電流接地端子。
S3	7	I	S3信号入力端子。
S5	9	I	S5信号入力端子。
VDDQSNS	1	I	VDDQ電圧検知入力端子。
VIN	10	I	5V電源入力端子。
VLDOIN	2	I	VTT 及びVTTREF出力段の電源入力端子。
VTT	3	O	VTT 出力端子。
VTTREF	6	O	VTT基準電圧出力端子。0.1μFのセラミックコンデンサを本ピンとGND間に接続してください。
VTTSNS	5	I	VTT 電圧検知入力端子。出力コンデンサの正端子に接続してください。

機能ブロック図



詳細説明

VTTシンク/ソース・レギュレータ

TPS51100は3Aのシンク/ソース・トラッキング・ターミネーション・レギュレータです。ノートブック型PCなど小型・低コストを要求されるシステム向けに最小限の外付け部品で動作するよう設計されています。本製品は高性能で低ドロップアウト(Low Drop-Out, LDO)のリニア・レギュレータを内蔵しており、そのソース/シンク電流能力は最大3Aです。VTT用リニア・レギュレータは極めて応答速度の速いフィードバック・ループを内蔵しており、出力容量としてごく小さなセラミックコンデンサを用いるだけで過渡負荷応答を含む全ての状態で $\pm 40\text{mV}$ 以内でVTTREFをトラッキングします。また、リモート・センス端子VTTSENSを大電流用配線とは分離してVTTの出力コンデンサの正極に配線することにより、寄生抵抗の効果を受けることなく良好なレギュレーションを実現することができます。

VTTREFレギュレータ

VTTREFブロックは、内蔵の1/2分圧抵抗、LPF、バッファより構成されています。このレギュレータは最大10mAまで電流のソースが可能です。動作を安定化させるためVTTREF端子とGND間に0.1 μF のセラミックコンデンサを接続してください。

ソフトスタート

VTTのソフトスタート機能は電流クランプ方式です。定電流で出力コンデンサを充電するため電圧は直線的に上昇します。電流値は2段階に切り替わります。VTTがVTTREF $\pm 5\%$ より外側にある場合、電流制限レベルは2.2Aです。VTTが(VTTREF -5%)より上に上がるか、または(VTTREF $+5\%$)より下に下がった場合は、電流制限レベルは3.8Aに切り替わります。出力電圧監視コンパレータはヒステリシスを持ち、標準でVTTREF $\pm 5\%$ (外から内向き)、 $\pm 10\%$ (内から外向き)です。ソフトスタート機能は完全に対称で、VTT電圧がGNDからVTTREF電圧になる場合だけでなく、VDDQからVTTREF電圧になる場合でも動作します。VTT出力はS3状態時(S3 = “L”レベル、S5 = “H”レベル)にはハイ・インピーダンス状態で、その電圧は外部の状態によっては最大でVDDQ電圧に至ることがあるということに注意してください。また、VTTは上記電流制限を超える負荷の元では始動できないことに注意してください。

S3, S5コントロールとソフト・オフ

S3及びS5端子はそれぞれSLP_S3及びSLP_S5信号に接続してください。S0状態(S3 = “H”レベル、S5 = “H”レベル)ではVTTREFとVTTの両方ともオンになります。S3状態(S3 = “L”レベル、S5 = “H”レベル)でVTTがオフし、ハイ・インピーダンスになるのに対

し、VTTREFは動作し続けます。S4/S5状態(S3 = “L”レベル、S5 = “L”レベル)で、VTT出力とVTTREF出力の両方ともオフになり、出力コンデンサは内蔵MOSFETによりグラウンドに放電されます。

VTT過電流保護

VTT用LDOレギュレータは3.8A固定の過電流制限(OCL)機能をもっています。このトリップ点は出力電圧が目標電圧の $\pm 5\%$ 以内になる前、または目標電圧の $\pm 10\%$ の外側に外れる場合には2.2Aに低下します。

VINのUVLO保護

TPS51100は低電源電圧による誤動作を防止するため、VIN電圧をモニタして低電圧ロックアウト(UVLO)保護機能を持っています。VIN電圧がUVLOのスレッシュホールド電圧以下に下がると、VTTレギュレータの動作を停止させます。本保護機能は自動復帰型で、ラッチはいたしません。

サーマル・シャットダウン

TPS51100はIC内部の温度をモニタしています。160 $^{\circ}\text{C}$ の設定温度を越えるとVTTとVTTREFレギュレータの動作を停止します。これも自動復帰型の保護機能です。

出力コンデンサ

安定した動作を得るためには、VTT出力端子の総容量を20 μF またはそれ以上にします。コンデンサの等価直列抵抗(ESR)と等価直列インダクタンス(ESL)による影響を最小限に抑えるため10 μF のセラミックコンデンサを2つ並列に接続してください。ESRが2m Ω より大きい場合は、ループを安定させるためVTT出力コンデンサとVTTSENS入力の上にR-Cフィルタを挿入してください。R-Cフィルタの時定数は出力キャパシタとそのESRによる時定数と同等か、または少し小さくします。

ソフトスタート時間TSSもこの出力容量の関数になります。 $I_{\text{TOCL}} = 2.2\text{A}(\text{typ})$ の場合、 T_{SS} は以下の式で求められます。

$$T_{\text{SS}} = \left(\frac{C_{\text{OUT}} \times V_{\text{VTT}}}{I_{\text{VTOCL}}} \right) \tag{1}$$

入力コンデンサ

VLDOIN用のバルク電源とTPS51100間の配線インピーダンスによっては過渡的なソース電流はほとんど入力コンデンサからの電荷によって供給されます。この過渡時の電荷を供給するためVLDOIN 入力容量として10 μF (またはそれ以上)のセラミックコンデンサを使用してください。VTTの出力容量を増した場合にはこの入力容量も大きくしてください。一般的に入力容量は1/2 C_{OUT} とします。

STATE	S3	S5	VTTREF	VTT
S0	H	H	1	1
S3	L	H	1	0 (ハイ・インピーダンス)
S4/S5	L	L	0 (放電)	0 (放電)

(S3が“H”レベルかつS5が“L”レベルの場合、VTTREFは放電し、VTTはハイ・インピーダンス状態になります。この状態での動作は推奨しません。)

表1. S3, S5コントロール表

VINコンデンサ

配線による寄生インピーダンス等による影響を防止し5V電源を安定化させるため、1.0μFから4.7μFの値のセラミックコンデンサをVIN端子の直近に付加してください。

熱設計

TPS51100はリニア・レギュレータであるため、ソース及びシンク両方向に流れるVTT電流がデバイスから電力消費を発生させます。ソース・フェーズでは、 V_{LDOIN} と V_{VTT} 間の電位差にVTT電流を乗じたものが消費電力 W_{DSRC} になります。

$$W_{DSRC} = (V_{LDOIN} - V_{VTT}) \times I_{VTT} \quad (2)$$

この場合、 V_{LDOIN} が V_{DDQ} 電圧より低い別電源に接続されていると、電力損失は低減します。

シンク・フェーズでは、VTT電圧が内部のVTTレギュレータに印加され、消費電力 W_{DSNK} は以下の式で計算できます。

$$W_{DSNK} = V_{VTT} \times I_{VTT} \quad (3)$$

デバイスは同時には電流のシンク/ソースは行わず、また I_{VTT} は時間とともに急速に変化するため、熱設計で考慮する必要のある実際の消費電力はシステムの熱緩和期間にわたる上記値の平均と考えることができます。もう1つの電力消費としてVIN電源および V_{LDOIN} 電源のもとでIC内部の制御回路に使用される電流が挙げられます。この消費電力は標準的な動作条件では20mWまたはそれ以下と見積もることができます。以上の損失は効率的にパッケージから放散される必要があります。パッケージに許容される最大消費電力は以下の式で求められます。

$$W_{PKG} = \frac{(T_{J(max)} - T_{A(max)})}{\theta_{JA}} \quad (4)$$

但し、

- $T_{J(max)} = 125^{\circ}\text{C}$
- $T_{A(max)}$ はシステムの最大周囲温度
- θ_{JA} はシリコン接合部から周囲までの熱抵抗

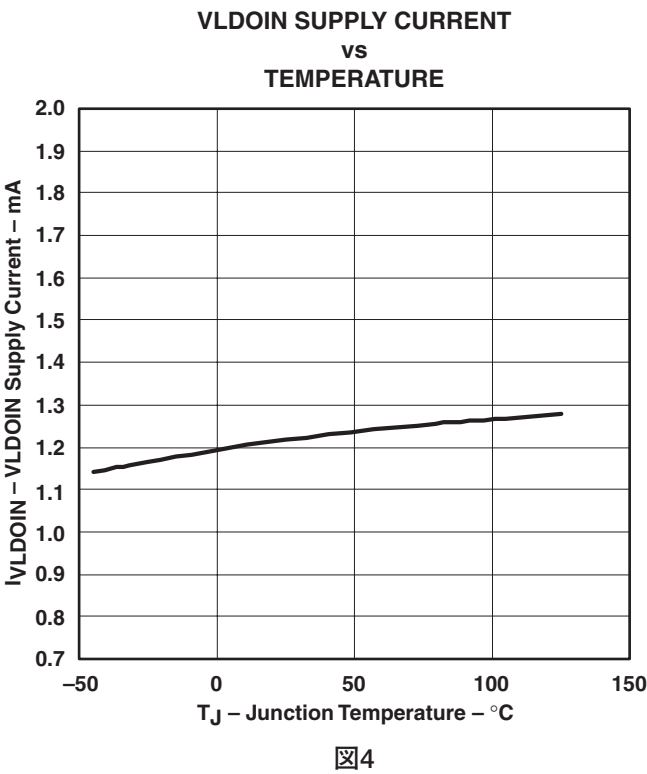
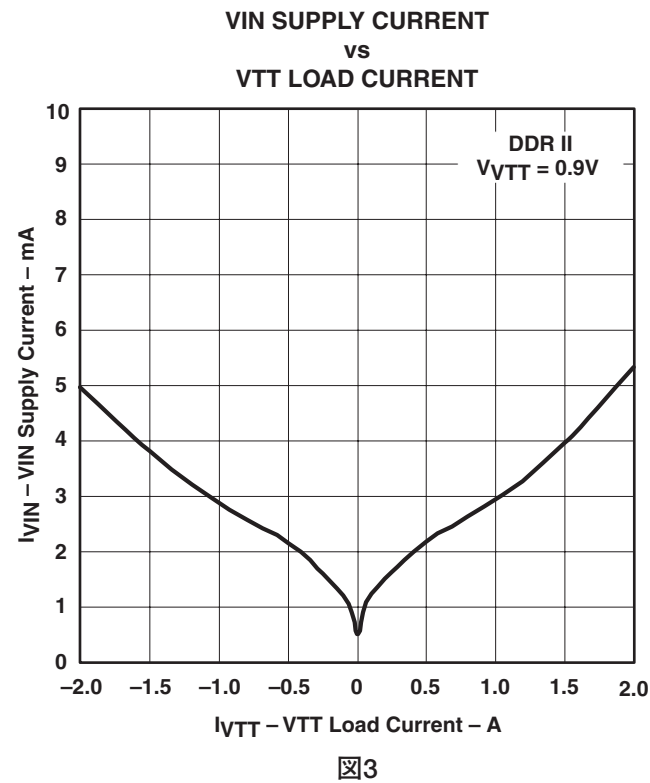
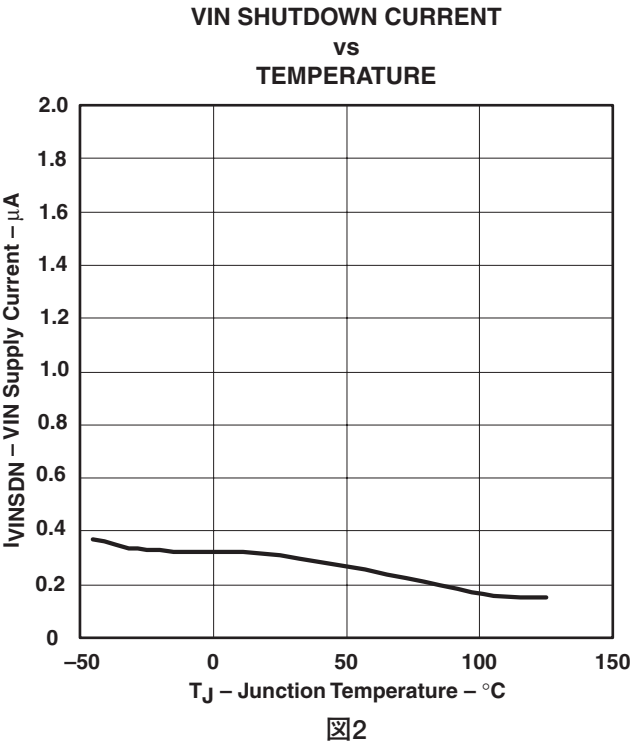
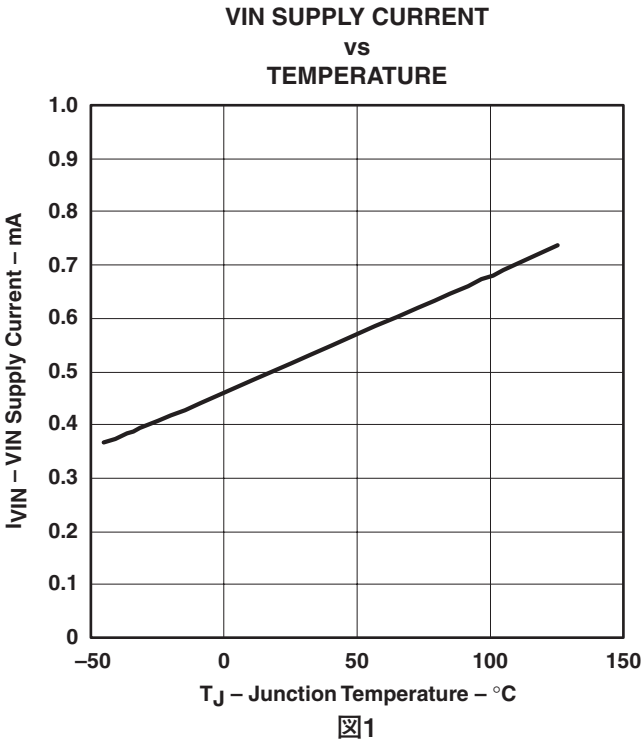
この熱抵抗はボードのレイアウトに大きく依存します。TPS51100はボディの底面にダイ・パッドが露出して、熱特性が改善されたPowerPAD™パッケージに実装されています。熱特性を改善するには、このダイ・パッドをPCB上のサーマル・ランドを経由してグランド配線に接触させる必要があります。このグランド配線はヒートシンクとして機能します。エアフローなしで3mm×2mmのサーマル・ランドとビアが2つの場合の標準熱抵抗は57.7℃/Wです。これより大きなサーマル・ランドの使用、またはビア数を増やすことで熱抵抗を改善することができます。例えば、エアフローなしで3mm×3mmのサーマル・ランドとビアが4つの場合の標準熱抵抗は45.4℃/Wとなります。PowerPAD™パッケージについての詳細情報及びその推奨ボード・レイアウトはアプリケーション・ノート(SLMA002)に記載されています。この文献はwww.ti.comより入手できます。

レイアウトについての考察

レイアウト設計に関して以下の点について考慮してください。

- V_{LDOIN} の入力コンデンサは短く広い配線を用いてできるだけピンに近づけて配置します。
- VTTの出力コンデンサは配線によるESR/ESLが増加しないよう短く広い配線を用いてできるだけピンに近づけて配置します。
- V_{TTSNS} は大電流配線とは分離してVTT出力コンデンサの正極に接続し、ESR/ESLが増加しないようにすることを強く推奨します。ポイント・オブ・ロードの電圧を検出する必要がある場合、出力キャパシタをその点に接続することを推奨します。また、GNDピンと出力コンデンサの負極間のグランド配線のESR/ESLも最小限に抑えるようにしてください。
- VTT出力コンデンサのESRが2mΩより大きい場合には V_{TTSNS} にLPFを付加することを考慮してください。
- V_{DDQSNS} は V_{LDOIN} と分離して配線することができます。この検出電位は V_{TTRF} の基準電圧となります。いかなるノイズ生成ラインも回避してください。
- VTT出力コンデンサと V_{TTRF} コンデンサの負極同士はVTTのソース/シンク電流が流れる大電流パスとの共通インピーダンスを回避して接続します。
- GND(信号グランド)ピンの電位は V_{TTRF} 出力とVTT出力の基準電位となります。GNDは寄生抵抗・寄生インダクタンスに注意してVTTコンデンサ、 V_{TTRF} コンデンサ、 V_{DDQ} コンデンサの負側に接続します。GNDとPGND(電源グランド)は1点接続とします。
- より効果的に放熱するため、部品面にサーマル・ランドを設け、パッケージ裏面のサーマル・パッドにはんだ付けします。サーマル・ランドに接続された部品面の銅配線幅を広くすることで放熱に役立ちます。また、直径0.33mmのビアを多数使ってサーマル・ランドから内層及びはんだ面のグランド・プレーンに接続してください。

標準的特性



標準的特性

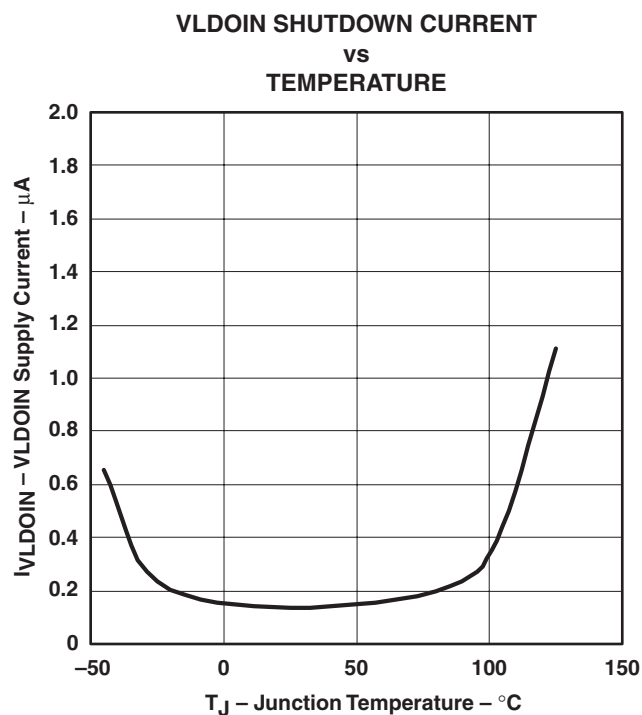


図5

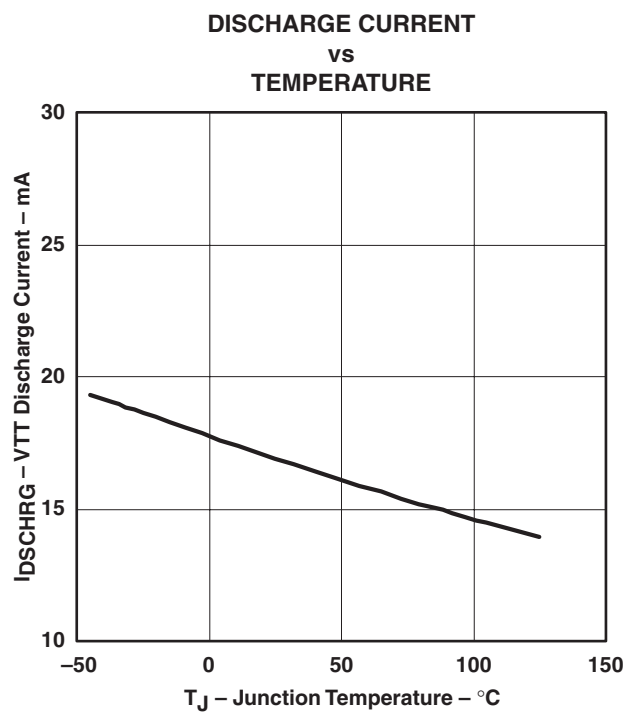


図6

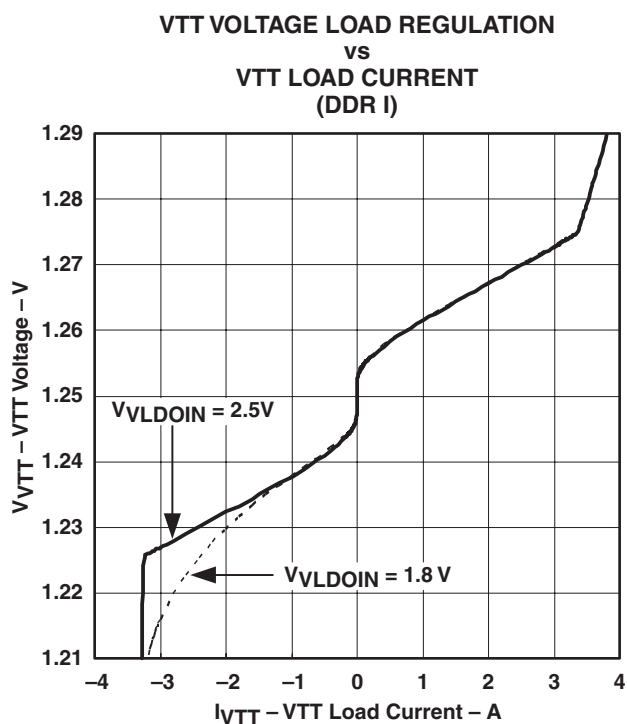


図7

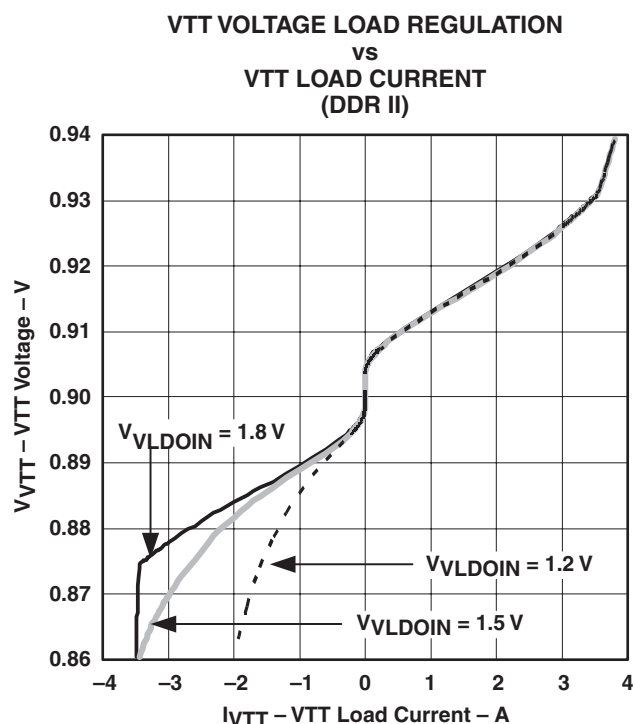
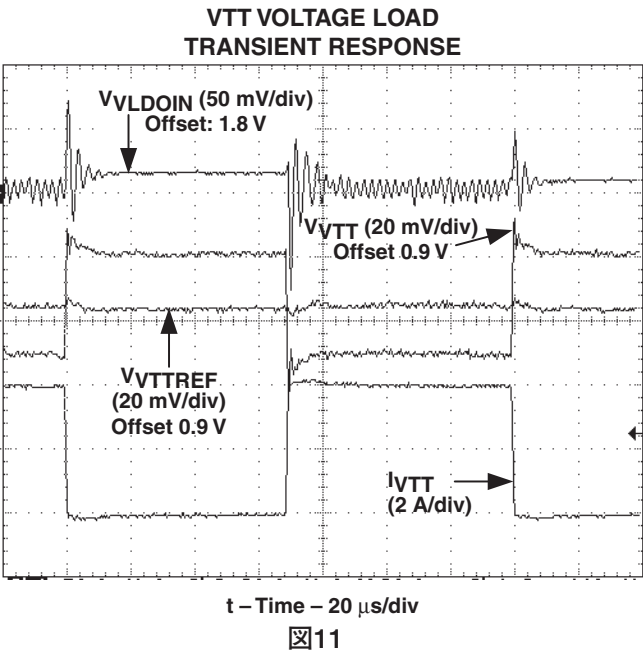
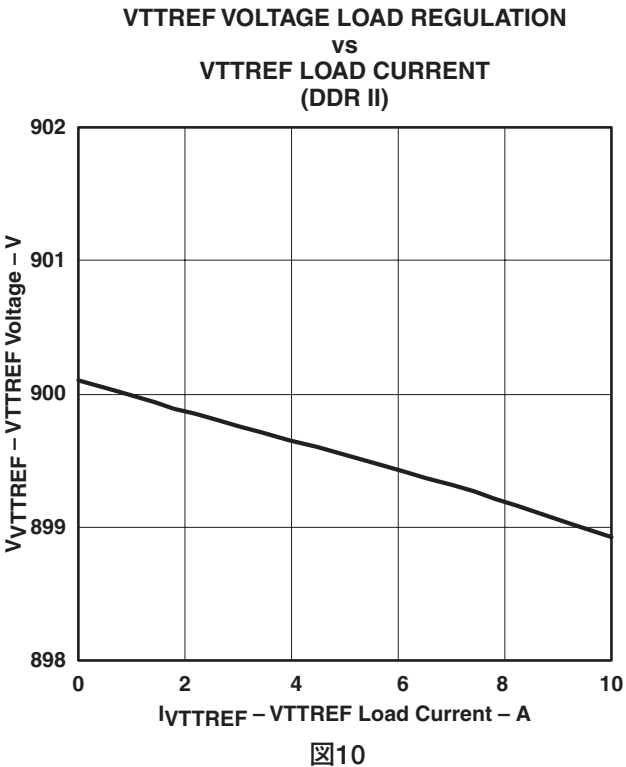
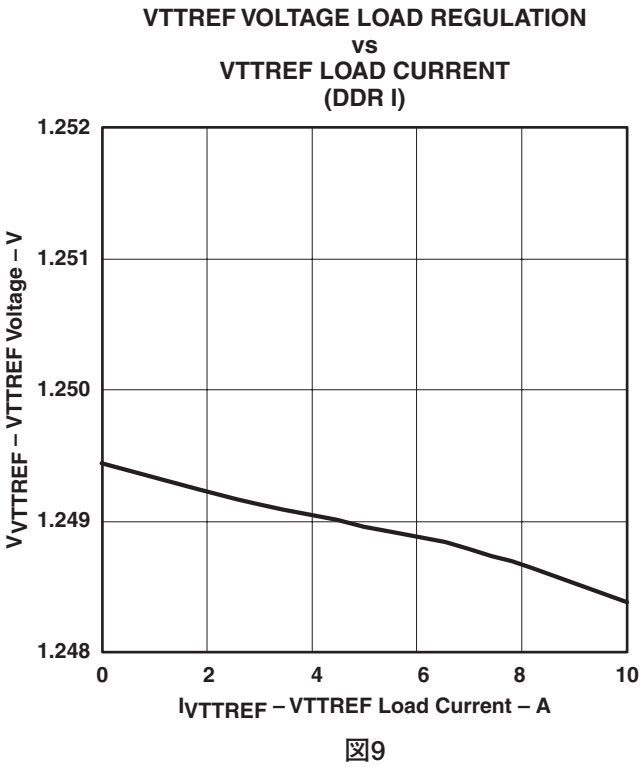


図8

標準的特性



標準的特性

STARTUP WAVEFORMS
S5 LOW-TO-HIGH

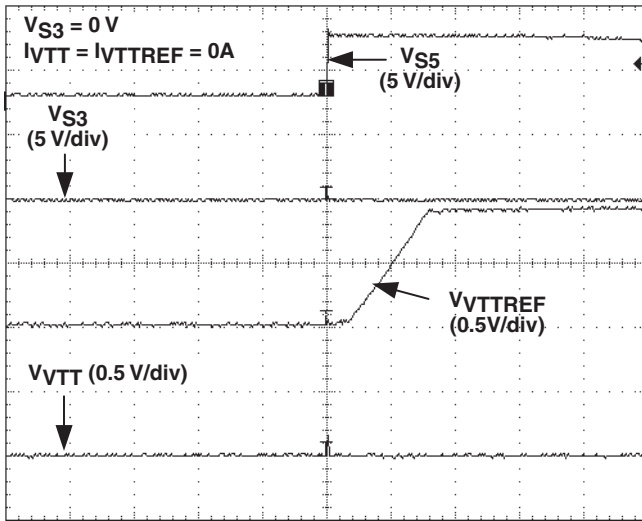


図12

STARTUP WAVEFORMS
S3 LOW-TO-HIGH

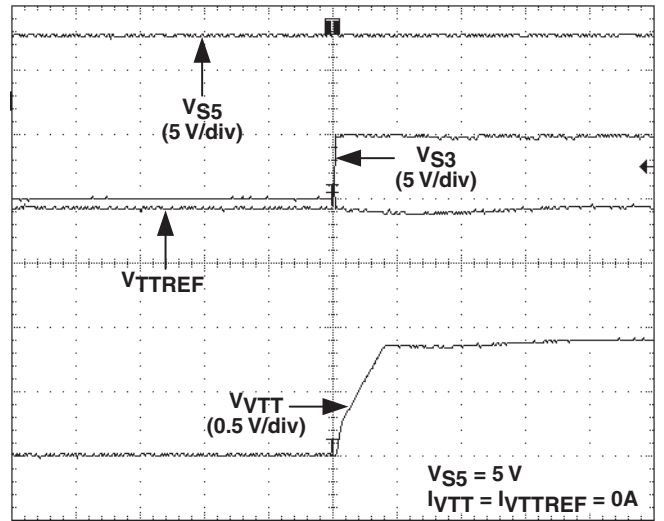


図13

SHUTDOWN WAVEFORMS
S3 HIGH-TO-LOW

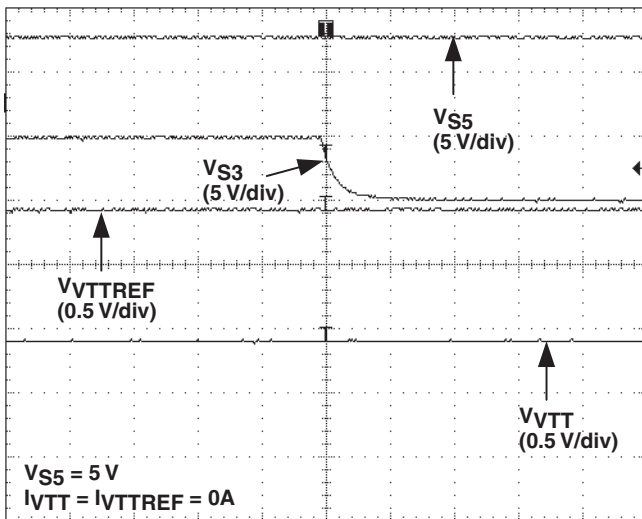


図14

SHUTDOWN WAVEFORMS
S3 AND S5 HIGH-TO-LOW

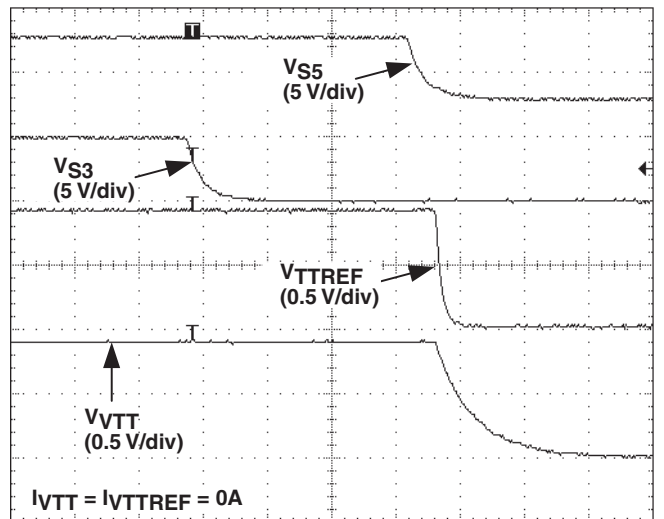


図15

標準的特性

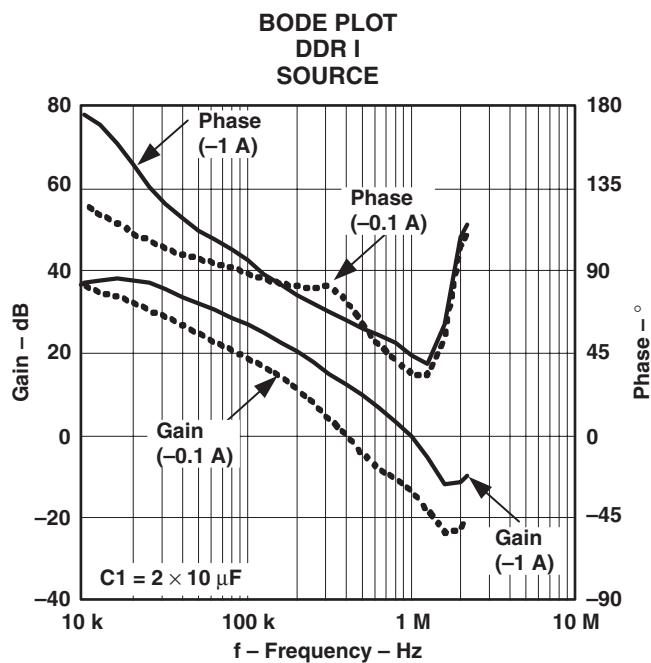


図16

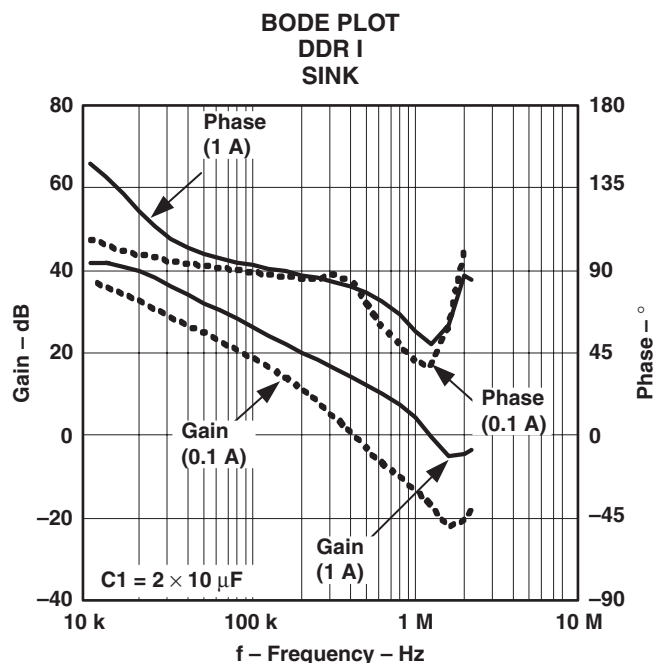


図17

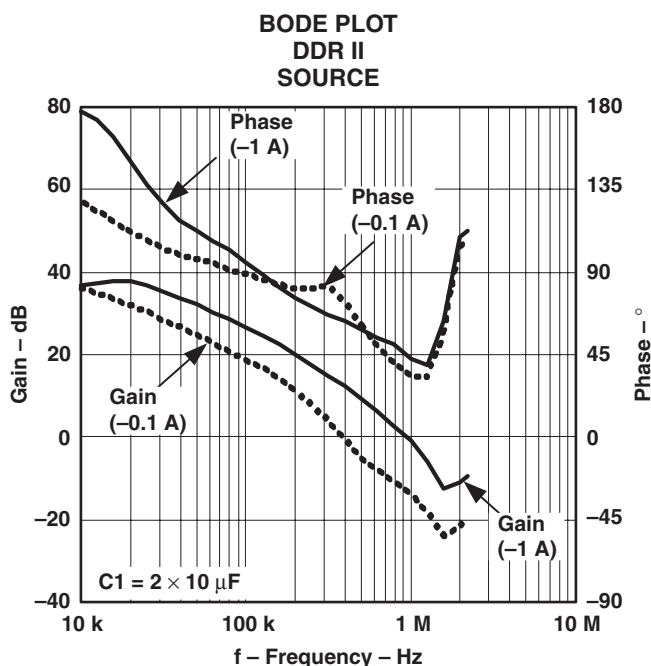


図18

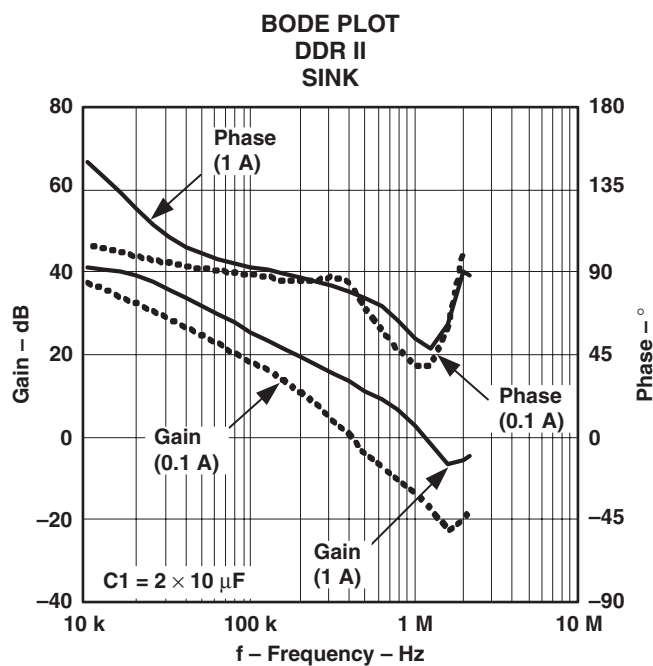
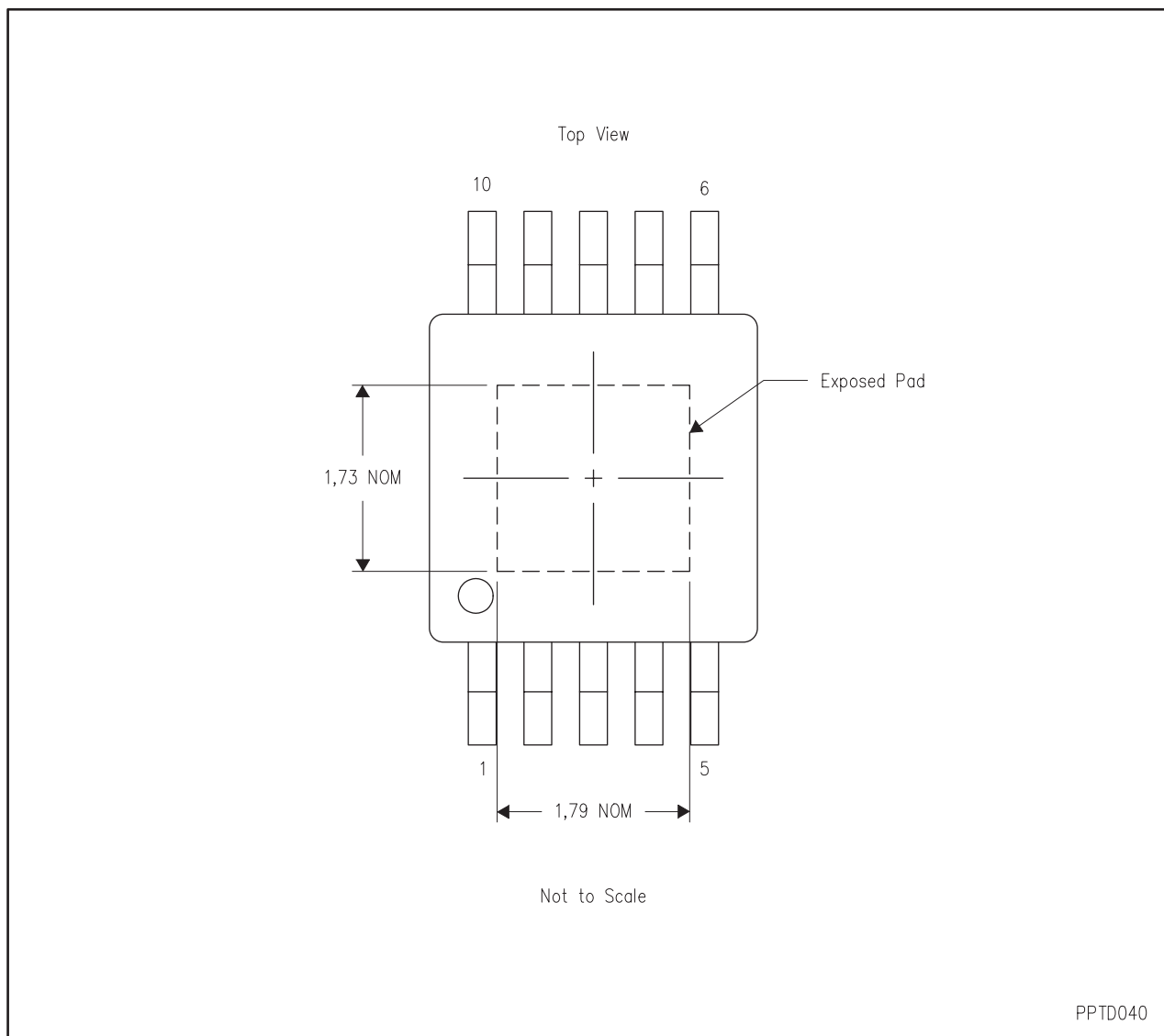
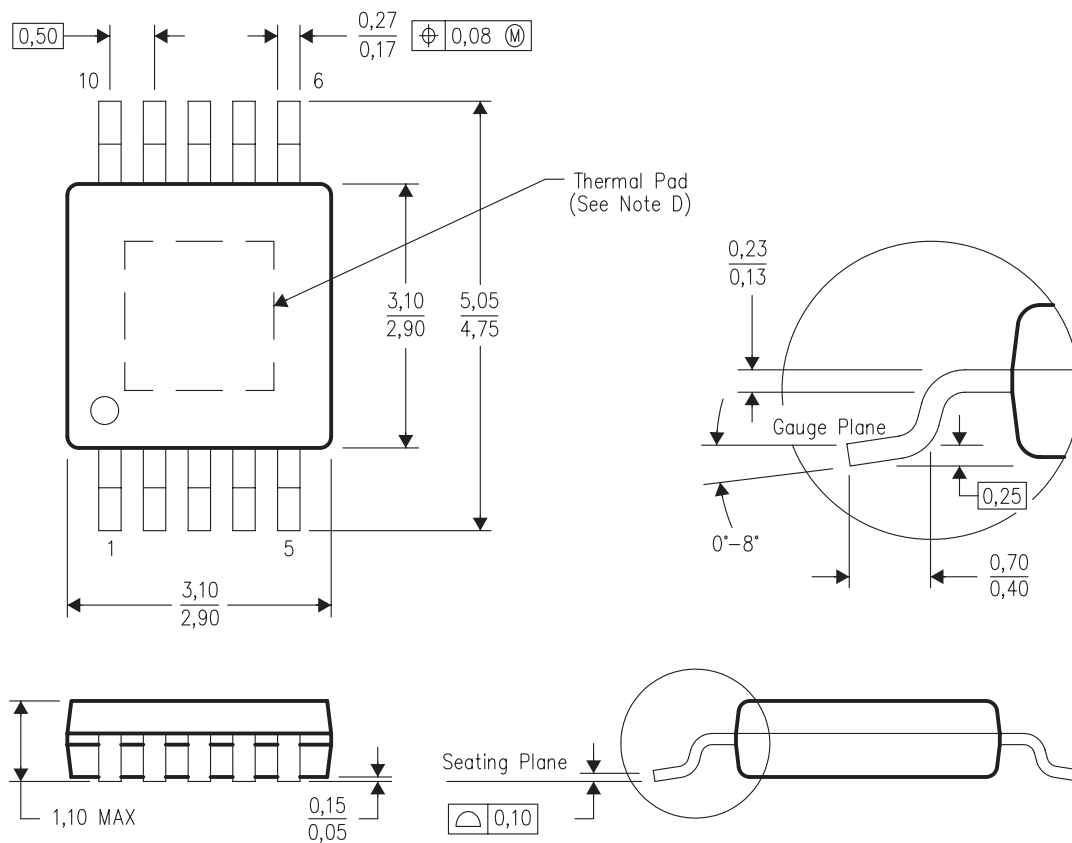


図19



- 注： A. 全ての線寸法の単位はミリメートルです。
B. 図は予告なく変更することがあります。
C. PowerPAD™パッケージについての追加情報及びその熱放散能力の利用法については、テクニカル・ブリーフ “*PowerPAD Thermally Enhanced Package*” TI文献番号SLMA002及びアプリケーション・ブリーフ “*PowerPAD Made Easy*” TI文献番号SLMA004を参照してください。いずれもホームページwww.ti.comで入手できます。



4073273/D 02/04

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. ボディ寸法はモールド突起部を含みません。
 D. このパッケージはボードのサーマル・パッドにはんだ付けされるよう設計されています。推奨するボード・レイアウトについての情報はテクニカル・ブリーフ “PowerPAD Thermally Enhanced Package” TI文献番号SLMA002を参照してください。この文献はホームページwww.ti.comで入手できます。
 E. JEDEC MO-187改BA-Tに準拠します。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS51100DGQ	Active	Production	HVSSOP (DGQ) 10	80 TUBE	Yes	NIPDAU NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	51100
TPS51100DGQ.A	Active	Production	HVSSOP (DGQ) 10	80 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	51100
TPS51100DGQ.B	Active	Production	HVSSOP (DGQ) 10	80 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	51100
TPS51100DGQG4	Active	Production	HVSSOP (DGQ) 10	80 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	51100
TPS51100DGQR	Active	Production	HVSSOP (DGQ) 10	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	51100
TPS51100DGQR.A	Active	Production	HVSSOP (DGQ) 10	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	51100
TPS51100DGQR.B	Active	Production	HVSSOP (DGQ) 10	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	51100
TPS51100DGQRG4	Active	Production	HVSSOP (DGQ) 10	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	51100

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS51100DGQR	HVSSOP	DGQ	10	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
TPS51100DGQR	HVSSOP	DGQ	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS51100DGQR	HVSSOP	DGQ	10	2500	346.0	346.0	35.0
TPS51100DGQR	HVSSOP	DGQ	10	2500	364.0	364.0	27.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TPS51100DGQ	DGQ	HVSSOP	10	80	322	6.55	1000	3.01
TPS51100DGQ	DGQ	HVSSOP	10	80	330	6.55	500	2.88
TPS51100DGQ.A	DGQ	HVSSOP	10	80	330	6.55	500	2.88
TPS51100DGQ.A	DGQ	HVSSOP	10	80	322	6.55	1000	3.01
TPS51100DGQ.B	DGQ	HVSSOP	10	80	330	6.55	500	2.88
TPS51100DGQ.B	DGQ	HVSSOP	10	80	322	6.55	1000	3.01
TPS51100DGQG4	DGQ	HVSSOP	10	80	322	6.55	1000	3.01
TPS51100DGQG4	DGQ	HVSSOP	10	80	330	6.55	500	2.88

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月