



## 目次

|                             |   |                            |   |
|-----------------------------|---|----------------------------|---|
| 1 特長.....                   | 1 | 5.3 商標.....                | 5 |
| 2 アプリケーション.....             | 1 | 5.4 静電気放電に関する注意事項.....     | 5 |
| 3 概要.....                   | 1 | 5.5 用語集.....               | 5 |
| 4 ピン構成および機能.....            | 3 | 6 改訂履歴.....                | 5 |
| 5 デバイスおよびドキュメントのサポート.....   | 5 | 7 メカニカル、パッケージ、および注文情報..... | 6 |
| 5.1 ドキュメントの更新通知を受け取る方法..... | 5 | 7.1 テープおよびリール情報.....       | 6 |
| 5.2 サポート・リソース.....          | 5 |                            |   |

## 4 ピン構成および機能

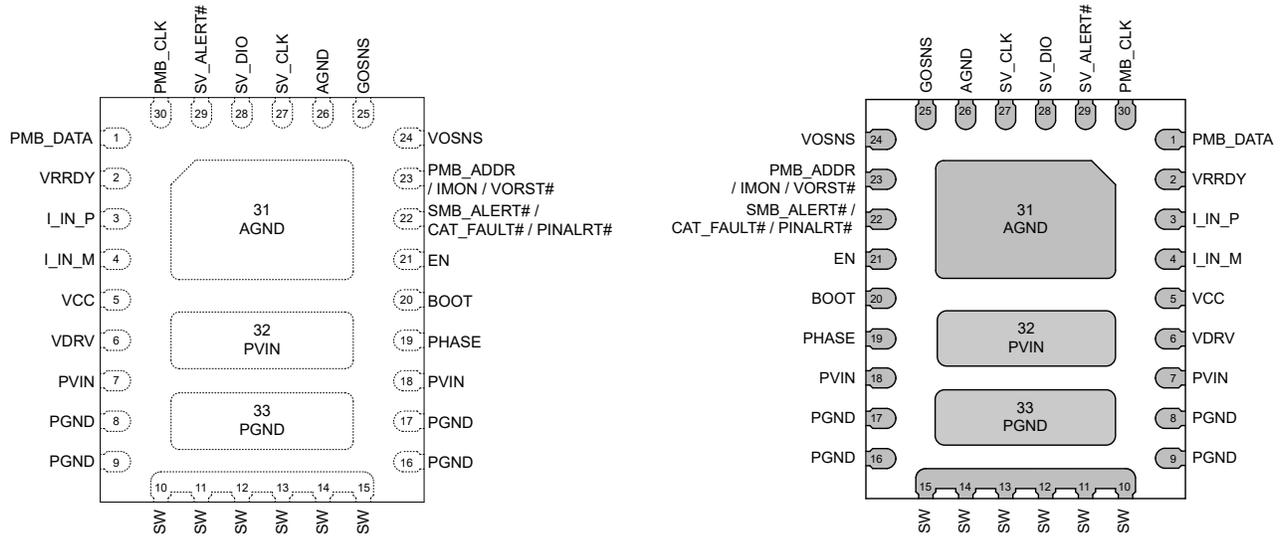


図 4-1. 33 ピン VBD、WQFN-FCRLF パッケージ (上面) 図 4-2. 33 ピン VBD、WQFN-FCRLF パッケージ (底面)

表 4-1. ピンの機能

| ピン                          |           | 種類 <sup>(1)</sup> | 説明  |
|-----------------------------|-----------|-------------------|---|
| 名称                          | 番号        |                   |   |
| AGND                        | 26        | G                 | グラウンドピン、内部制御回路の基準点  |
| AGND                        | 31        | G                 | AGND に内部で接続されたサーマルパッド。このパッドを PCB レイアウト上の基板グラウンドに接続して、熱性能を向上させます。  |
| BOOT                        | 20        | P                 | ハイサイド ゲートドライバの電源レール (昇圧端子)。このピンと PHASE ピンとの間にブートストラップコンデンサを接続します。高温 (X7R) 0.1µF 以上の値のセラミックコンデンサを推奨します。  |
| EN                          | 21        | I                 | イネーブルピンはアクティブ High の入力ピンで、High にアサートすると、VR が出力電圧レールのソフトスタートシーケンスを開始します。Low にデアサートされると、VR は VRRDY をデアサートし、出力電圧レールのシャットダウンシーケンスを開始して完了まで継続します。  |
| GOSNS                       | 25        | I                 | 差動リモートセンス回路の負入力。負荷側のグラウンドセンスポイントに接続します。   |
| I_IN_M                      | 4         | I                 | 差動入力電流センスの負入力。入力電流センス抵抗の PVIN 側に接続します。入力電流センスを使用しない場合は、I_IN_P および PVIN に直接接続します。  |
| I_IN_P                      | 3         | I                 | 差動入力電流センスの正入力。入力電流センス抵抗の入力側に接続します。入力電流センスを使用しない場合は、I_IN_M および PVIN に直接接続します。  |
| PGND                        | 8-9、16-17 | G                 | 内部電力段の電源グラウンド   |
| PGND                        | 33        | G                 | PGND に内部で接続されたサーマルパッド。このパッドを PCB レイアウト上の基板グラウンドに接続して、熱性能を向上させます。  |
| PHASE                       | 19        | O                 | ハイサイド MOSFET ドライバのリターン。内部で SW に短絡。BOOT ピンのバイパスコンデンサをこのピンに接続します。   |
| PMB_ADDR /<br>IMON / VORST# | 23        | I/O               | 多用途ピン。デバイスの初期化時、このピンと AGND との間に外付け抵抗を接続することにより、コントローラの PMBus アドレスが設定されます。抵抗を適切に検出するため、VCC 電源オン時のデバイス初期化中にこのピンに 20pF を超える負荷をかけないでください。DC_LL、VBOOT、および OFFSET ソース 0 または 1 も選択します。デバイスの初期化後は、このピンをアナログ電流モニタ出力として使用できます。このピンは、ローサイド MOSFET の電流検出ピンです。アナログ IMON 機能は、EN_AIMON ビットによりイネーブルされます。IMON 機能を使用する場合は、このピンに 50pF を超える負荷をかけないでください。このピンは V <sub>OUT</sub> リセット機能も実行し、EN_VORST ビットによってイネーブルにできます。EN_VORST ビットがセットされると、アナログ IMON 出力はディセーブルになります。 |
| PMB_CLK                     | 30        | I                 | PMBus シリアル クロックピン   |

表 4-1. ピンの機能 (続き)

| ピン                                       |       | 種類 (1) | 説明   |
|--|-------|--------|--|
| 名称                                       | 番号    |        |  |
| PMB_DATA                                 | 1     | I/O    | PMBus 双方向シリアル データピン  |
| PVIN                                     | 7、18  | P      | 電力段およびアナログ回路の電源入力。PVIN は、内部 VCC LDO の入力です。   |
| PVIN                                     | 32    | P      | PVIN に内部で接続されているパッド。このパッドは PCB レイアウトの電源入力電圧に接続し、ビアを使って内層に接続することにより、PCB レイアウトの AC および DC 寄生容量を低減します。  |
| SMB_ALERT# /<br>CAT_FAULT# /<br>PINALRT# | 22    | O      | 多用途オープンドレインピン。1. SMB_ALERT# は PMBus シリアル アクティブ Low アラートラインです。2.PINALRT# 機能 (アクティブ Low) 3.CAT_FAULT# アクティブ Low 致命的な障害インジケータ。この機能は、PMBus (D0h) SYS_CFG_USER1 コマンドの SEL_ALRT_FN フィールドにより選択できます。 |
| SV_ALERT#                                | 29    | O      | SVID アクティブ Low ALERT# 信号。この出力は、VR のステータスが変化したことを示すためにアサートされます。   |
| SV_CLK                                   | 27    | I      | SVID クロックピン  |
| SV_DIO                                   | 28    | I/O    | SVID 双方向データピン  |
| SW                                       | 10-15 | O      | パワー コンバータの出力スイッチング端子。このピンは出力インダクタに接続します。   |
| VCC                                      | 5     | I      | 内部回路の 5V バイアス。VDRV に接続するか、同じ外部 5V バイアスから電源を供給します。最小 1.0μF、10V のセラミック コンデンサを使用して AGND にバイパスします。   |
| VDRV                                     | 6     | P      | 内部 LDO 出力およびゲートドライバ回路の入力。このピンに外部 5V バイアスを接続すると、内部 LDO の電力損失を低減できます。  |
| VOSNS                                    | 24    | I      | 差動リモート センス回路の正入力。負荷側の Vout センス ポイントに接続   |
| VRRDY                                    | 2     | O      | 電圧レギュレータの「レディ」出力信号。EN がアサートされた後、コントローラが SVID コマンドを受け入れる準備ができたときに、VRRDY インジケータがアサートされます。シャットダウン フォルトが発生すると、VRRDY は Low にデアサートされます。オープンドレイン出力には、外付けのプルアップ抵抗が必要です。                              |

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

## 5 デバイスおよびドキュメントのサポート

### 5.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 5.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 5.3 商標

D-CAP+™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Intel® is a registered trademark of Intel.

PMBus® is a registered trademark of System Management Interface Forum, Inc..

すべての商標は、それぞれの所有者に帰属します。

### 5.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 5.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 6 改訂履歴

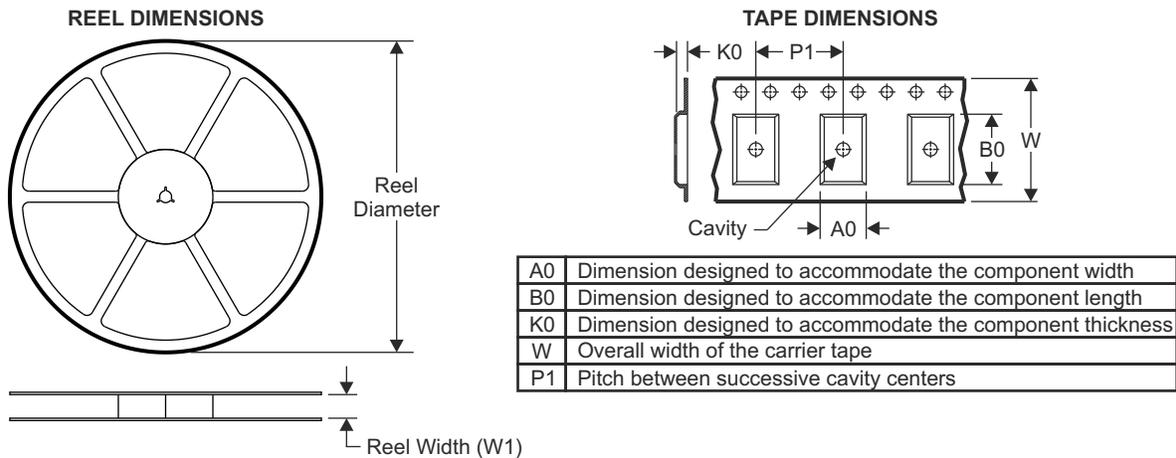
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| 日付        | 改訂 | 注  |
|-----------|----|----|
| July 2024 | *  | 初版 |

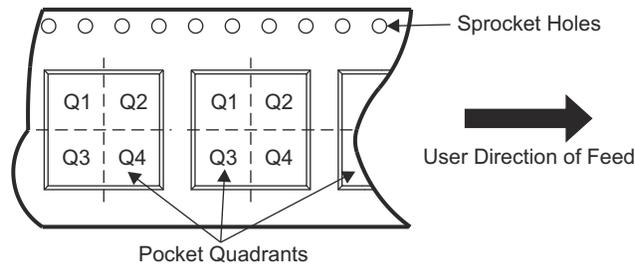
## 7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

### 7.1 テープおよびリール情報

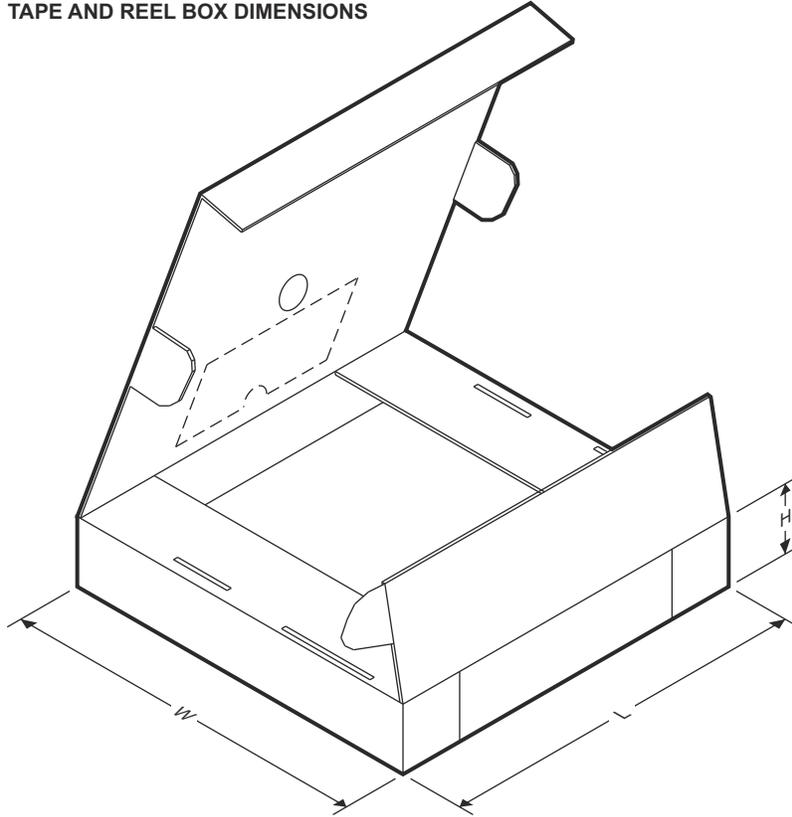


#### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



| デバイス           | パッケージタイプ   | パッケージ図 | ピン数 | SPQ  | リール直径 (mm) | リール幅 W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | ピン1の象限 |
|----------------|------------|--------|-----|------|------------|--------------|---------|---------|---------|---------|--------|--------|
| PTPS544C27VBDR | WQFN-FCRLF | VBD    | 33  | 3000 | 330        | 12.4         | 4.3     | 5.3     | 1.3     | 8.0     | 12.0   | Q1     |

TAPE AND REEL BOX DIMENSIONS



| デバイス           | パッケージタイプ   | パッケージ図 | ピン数 | SPQ  | 長さ (mm) | 幅 (mm) | 高さ (mm) |
|----------------|------------|--------|-----|------|---------|--------|---------|
| PTPS544C27VBDR | WQFN-FCRLF | VBD    | 33  | 3000 | 338     | 355    | 50      |

ADVANCE INFORMATION

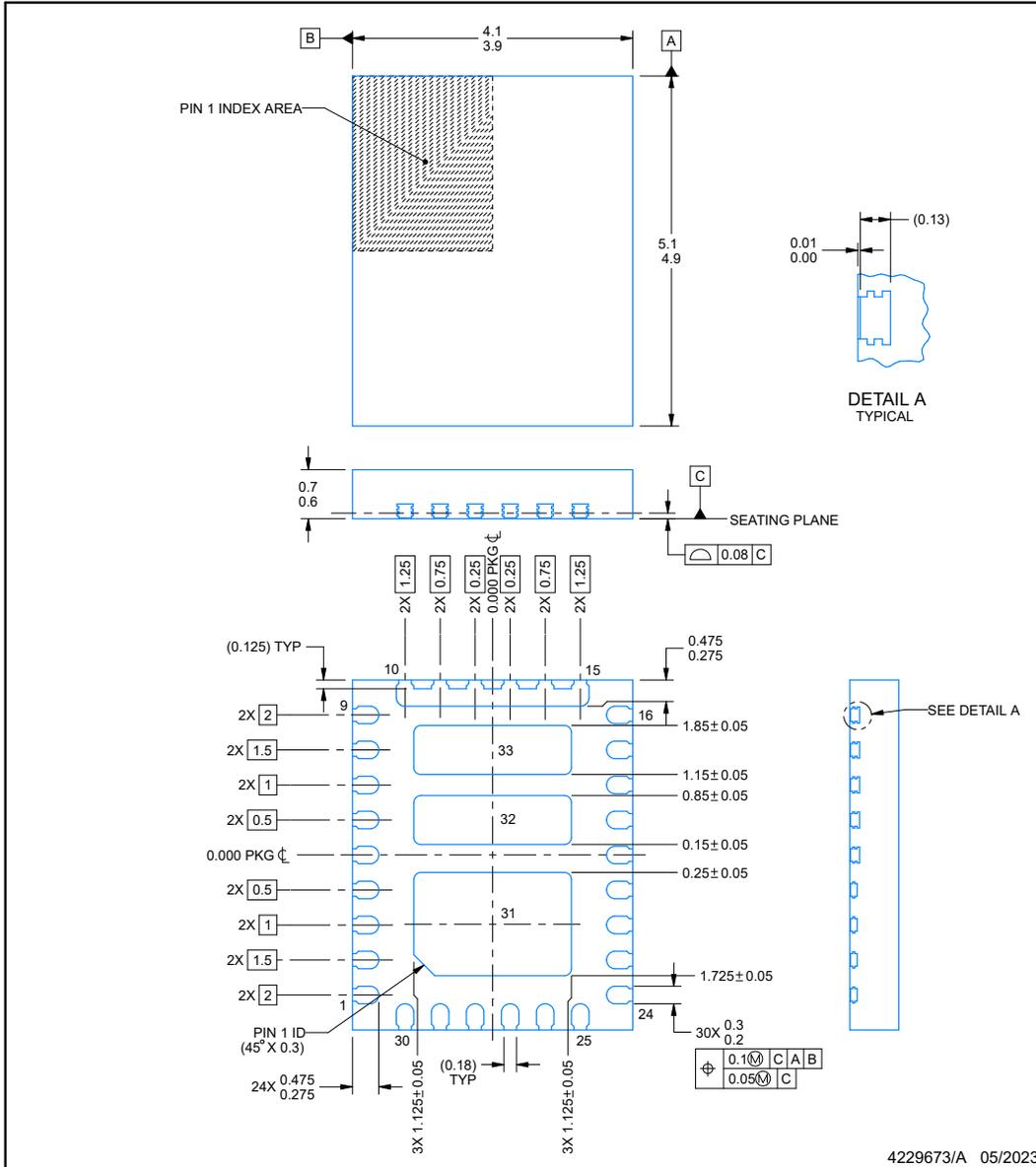


**VBD0033A**

**PACKAGE OUTLINE**  
**WQFN-FCRLF - 0.7 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD

ADVANCE INFORMATION



NOTES:

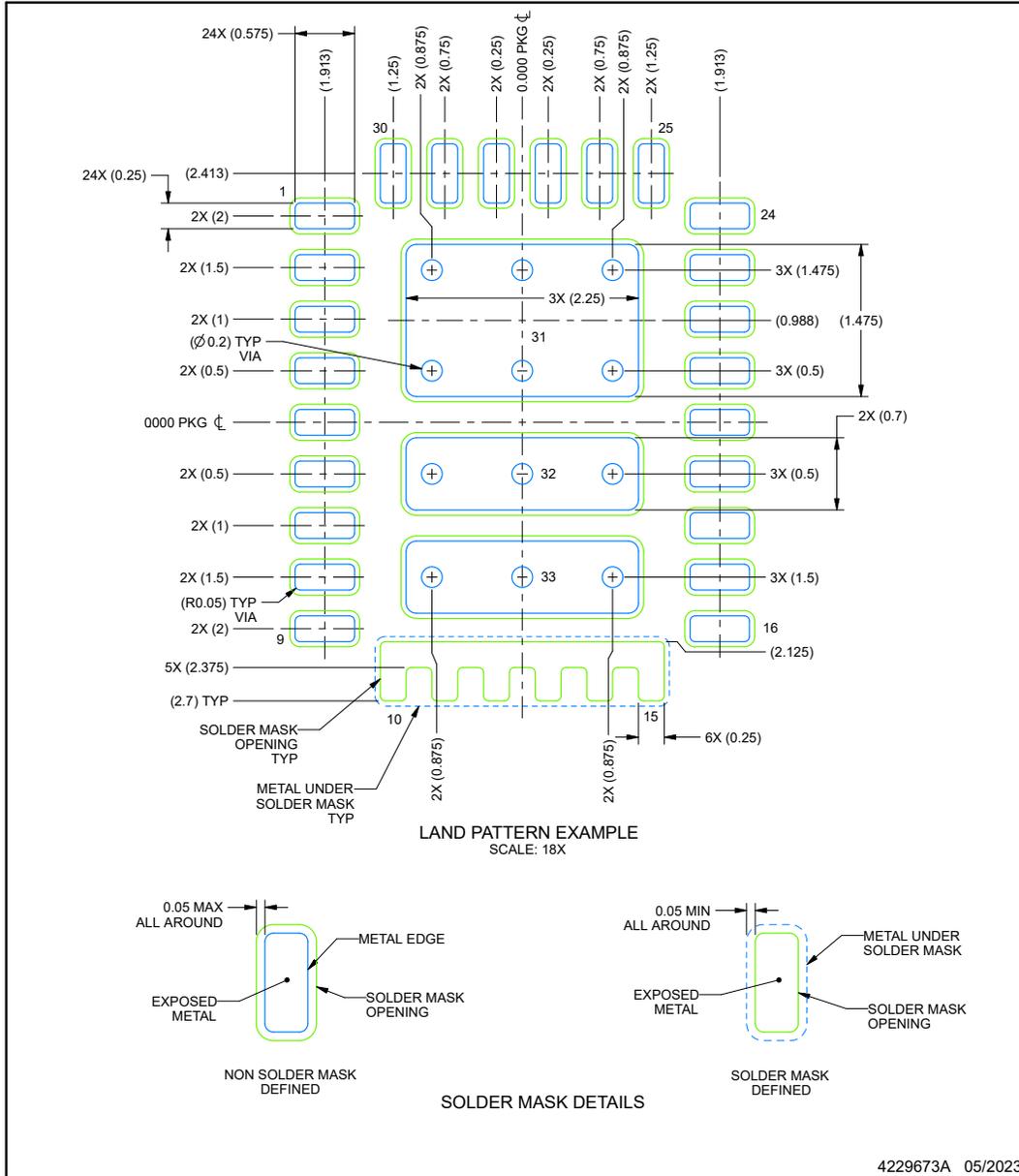
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pads must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

VBD0033A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

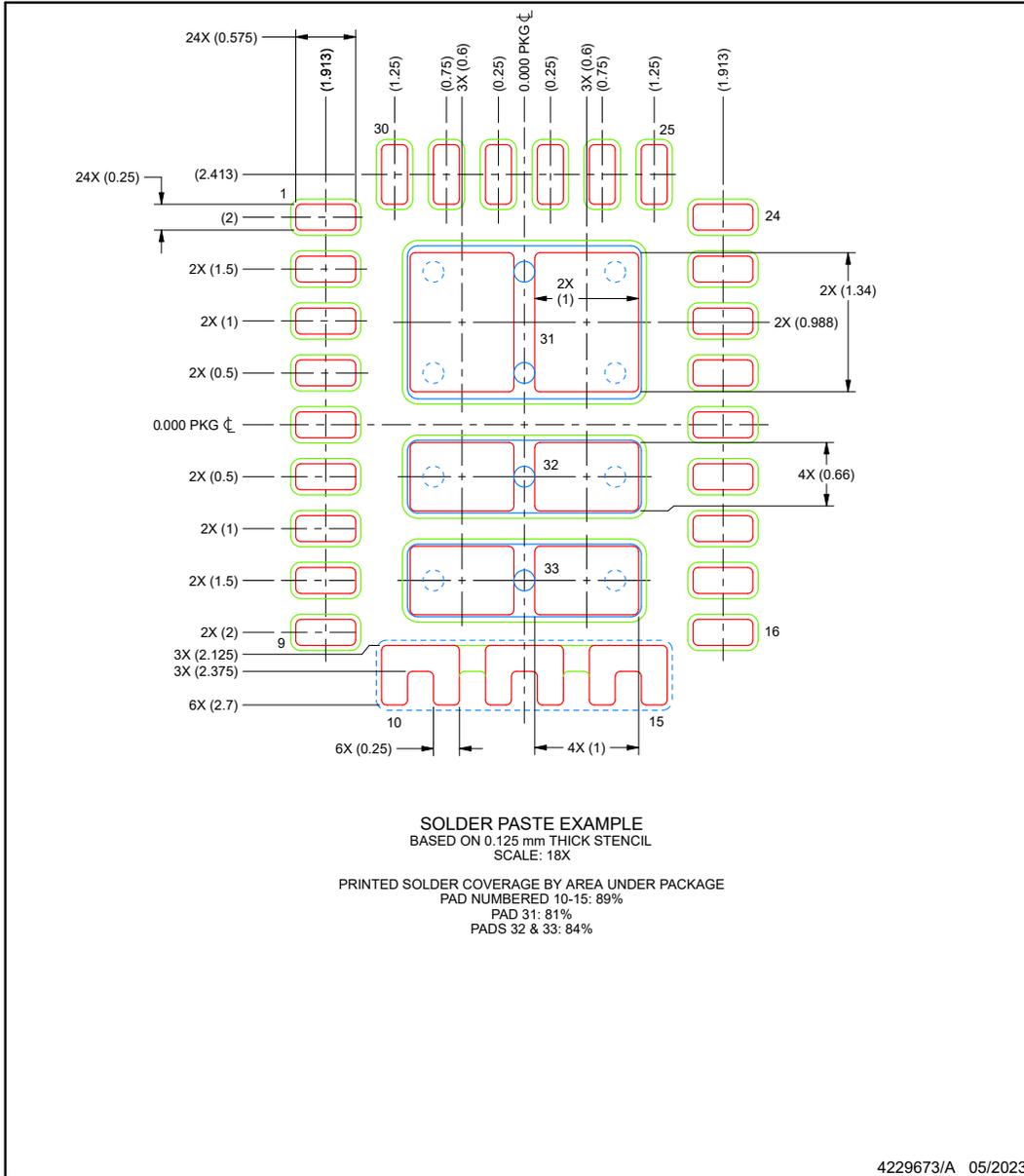
4. This package is designed to be soldered to thermal pads on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

**EXAMPLE STENCIL DESIGN**

**VBD0033A**

**WQFN-FCRLF - 0.7 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

- 5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

**PACKAGING INFORMATION**

| Orderable part number          | Status<br>(1) | Material type<br>(2) | Package   Pins           | Package qty   Carrier | RoHS<br>(3) | Lead finish/<br>Ball material<br>(4) | MSL rating/<br>Peak reflow<br>(5) | Op temp (°C) | Part marking<br>(6) |
|--------------------------------|---------------|----------------------|--------------------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------|
| <a href="#">PTPS544C27VBDR</a> | Active        | Preproduction        | WQFN-FCRLF<br>(VBD)   33 | 3000   LARGE T&R      | -           | Call TI                              | Call TI                           | -40 to 125   |                     |
| PTPS544C27VBDR.A               | Active        | Preproduction        | WQFN-FCRLF<br>(VBD)   33 | 3000   LARGE T&R      | -           | Call TI                              | Call TI                           | -40 to 125   |                     |

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

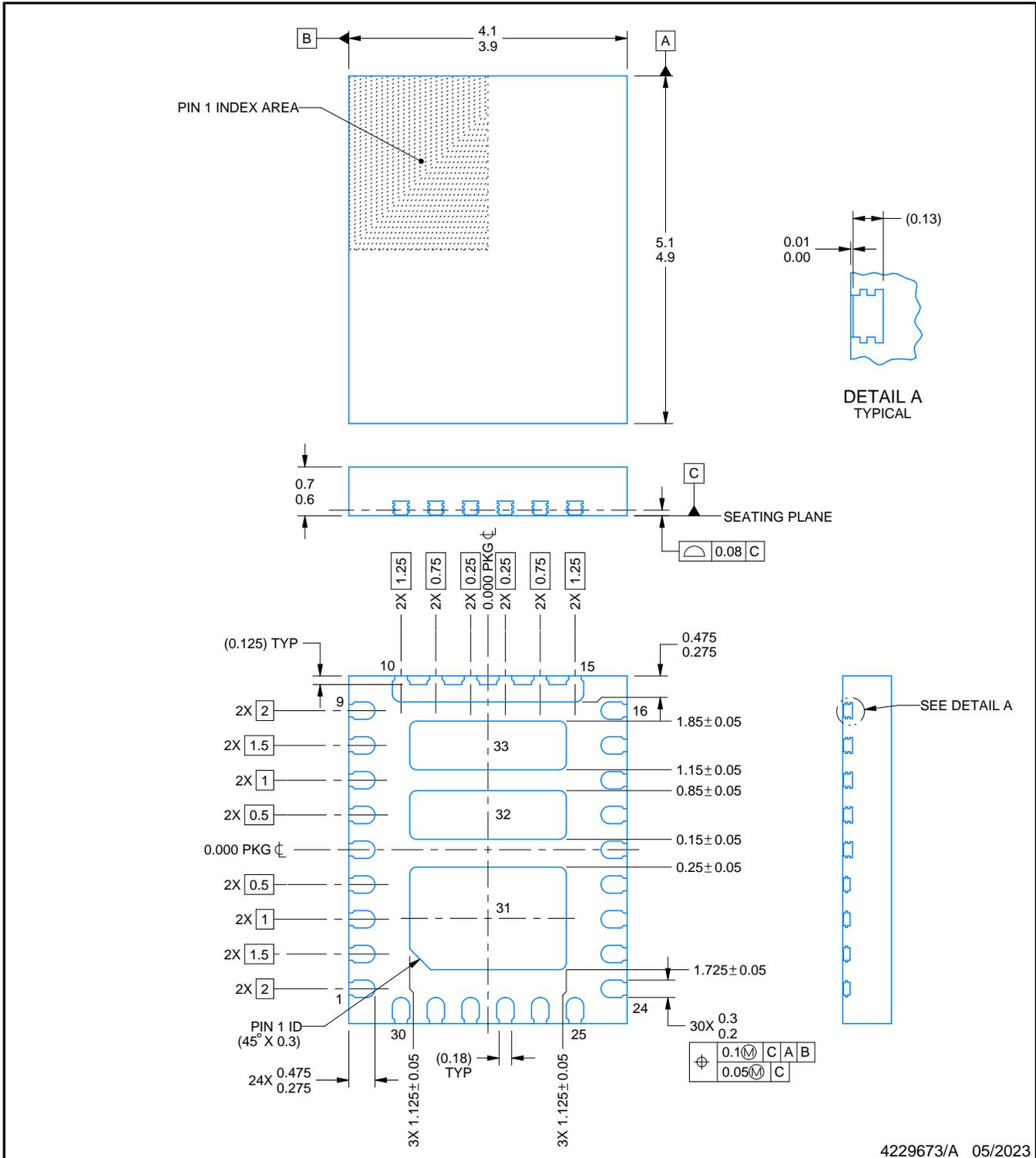
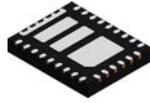
<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4229673/A 05/2023

NOTES:

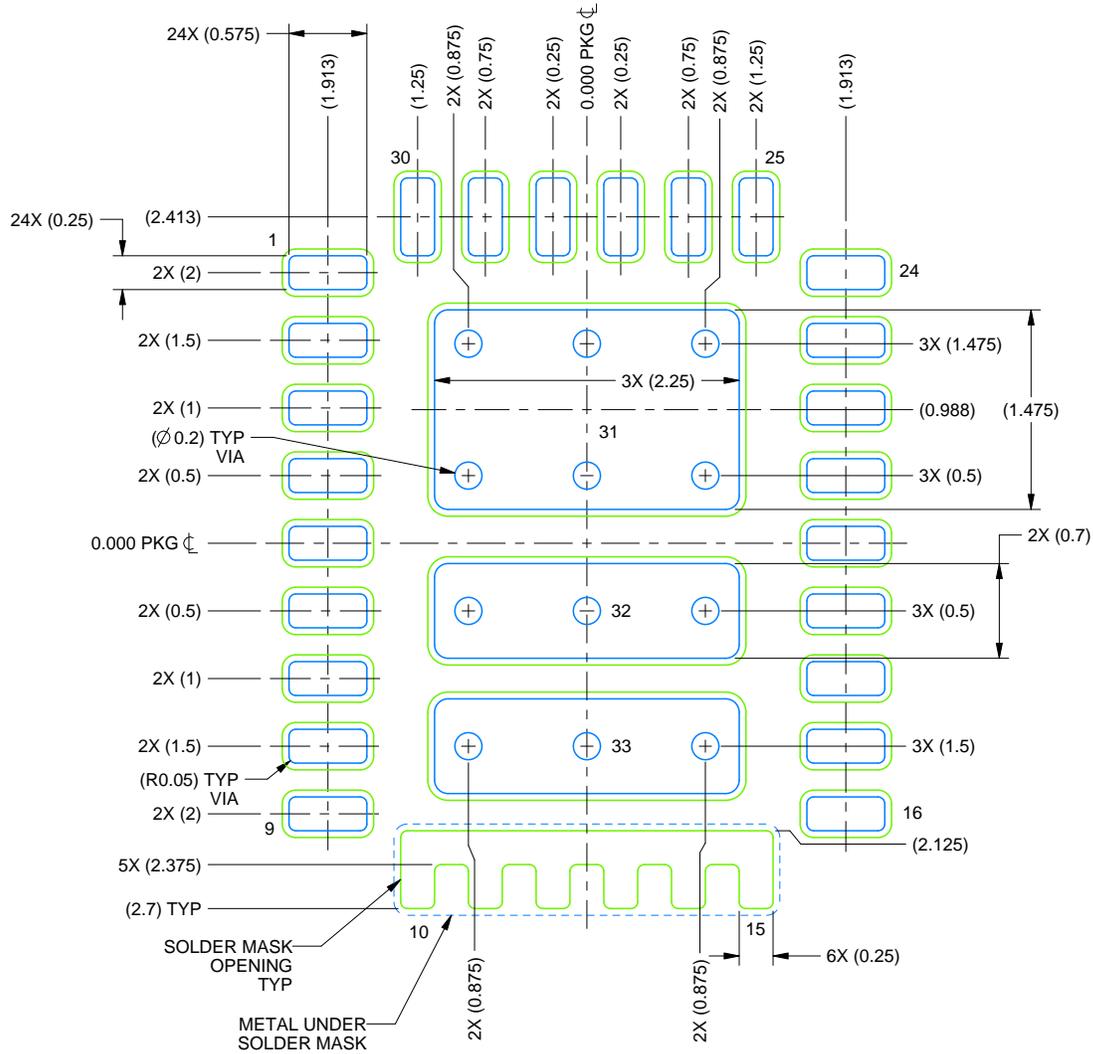
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pads must be soldered to the printed circuit board for optimal thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

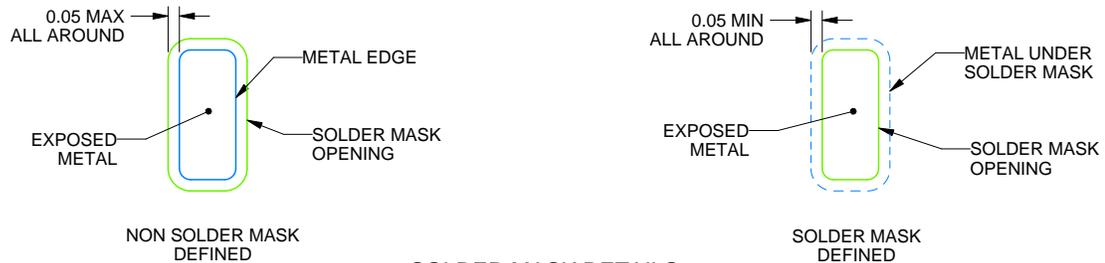
VBD0033A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
SCALE: 18X



SOLDER MASK DETAILS

4229673A 05/2023

NOTES: (continued)

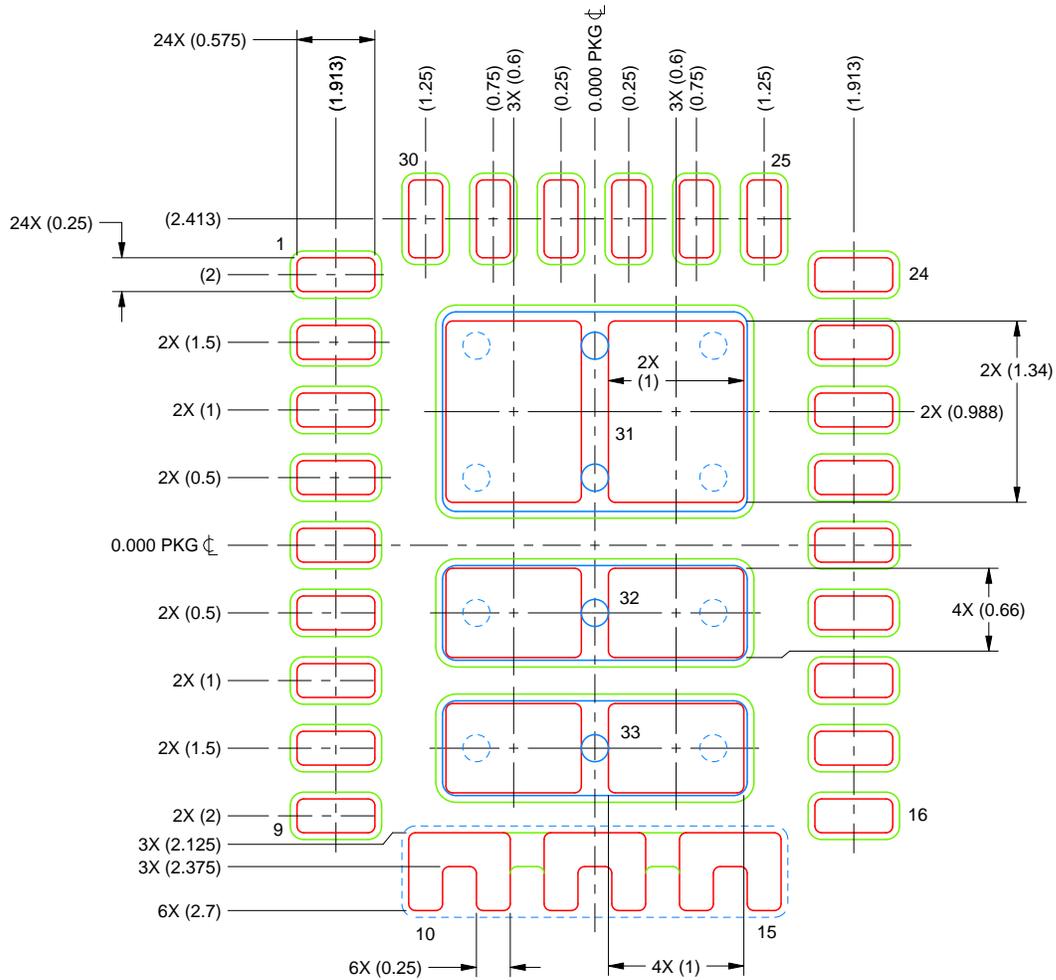
4. This package is designed to be soldered to thermal pads on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).

# EXAMPLE STENCIL DESIGN

VBD0033A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



**SOLDER PASTE EXAMPLE**  
 BASED ON 0.125 mm THICK STENCIL  
 SCALE: 18X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
 PAD NUMBERED 10-15: 89%  
 PAD 31: 81%  
 PADS 32 & 33: 84%

4229673/A 05/2023

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月