

## TPS5450 5A、広い入力範囲、降圧コンバータ

### 1 特長

- 広い入力電圧範囲: 5.5V~36V
- 最大 5A の連続出力電流 (ピーク 6A)
- 110mΩ の MOSFET スイッチを内蔵し、90% を超える高効率を実現
- 広い出力電圧範囲: 1.5% の初期精度で最低 1.22V まで調整可能
- 内部補償により外付け部品数を最小化
- 500kHz の固定スイッチング周波数によりフィルタを小型化
- シャットダウン時の消費電流: 18μA
- 入力電圧フィードフォワードにより、ラインレギュレーションと過渡応答が向上
- 過電流制限、過電圧保護、サーマル・シャットダウンによりシステムを保護
- 動作時の接合部温度範囲: -40°C~125°C
- 熱特性が強化された小型の 8 ピン SOIC PowerPAD™ パッケージで供給

### 2 アプリケーション

- 高密度ポイント・オブ・ロード・レギュレータ
- LCD ディスプレイ、プラズマ・ディスプレイ
- バッテリ・チャージャ
- 12V/24V の分散型電源システム

### 3 概要

TPS5450 は、低抵抗のハイサイド N チャネル MOSFET を内蔵した大出力電流の PWM コンバータです。記載されている特長以外に、過渡条件で電圧レギュレーションの精度を維持できる高性能な電圧誤差増幅器、入力電圧が 5.5V に達するまで起動を抑える低電圧誤動作防止回路、突入電流を制限するように内部的に設定されるスロースタート回路、過渡応答を改善するための電圧フィード・フォワード回路などの特長があります。ENA ピンを使用すると、シャットダウン時の消費電流を 18μA (標準値) に低減できます。また、アクティブ HIGH イネーブル、過電流制限、過電圧保護、サーマル・シャットダウンの機能も備えています。設計の複雑性を低減し、外付け部品数を減らすために、TPS5450 の帰還ループは内部的に補償されます。

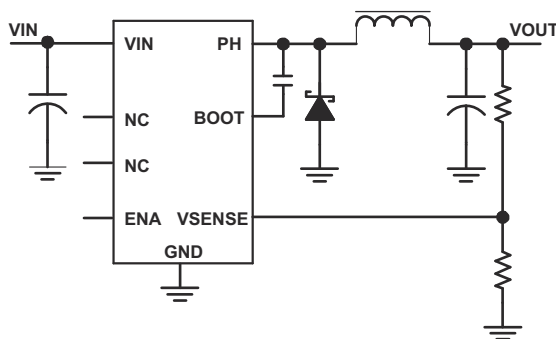
TPS5450 デバイスは、熱特性が強化された 8 ピン SOIC PowerPAD パッケージで供給されます。TI は、お客様が短期間の開発サイクルに対応して高性能電源を設計できるように、評価基板とソフトウェア・ツールを提供しています。

#### 製品情報 (1)

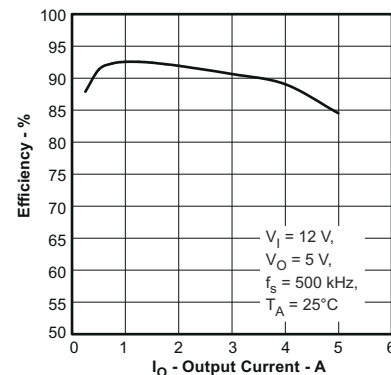
部品番号	パッケージ	本体サイズ (公称)
TPS5450	HSOP (8)	4.89mm × 3.90mm

- (1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。

Simplified Schematic



Efficiency vs Output Current



## 目次

1 特長.....	1	7.3 機能説明.....	10
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	11
3 概要.....	1	8 アプリケーションと実装.....	12
4 改訂履歴.....	2	8.1 アプリケーション情報.....	12
5 ピン構成と機能.....	3	8.2 代表的なアプリケーション.....	12
ピン機能.....	3	9 電源に関する推奨事項.....	19
6 仕様.....	4	10 レイアウト.....	19
6.1 絶対最大定格.....	4	10.1 レイアウトのガイドライン.....	19
6.2 ESD 定格.....	4	10.2 レイアウト例.....	20
6.3 推奨動作条件.....	4	10.3 熱に関する計算.....	21
6.4 熱に関する情報.....	4	11 デバイスおよびドキュメントのサポート.....	22
6.5 電気的特性.....	6	11.1 デバイスのサポート.....	22
6.6 代表的特性.....	7	11.2 商標.....	22
7 詳細説明.....	9	11.3 Electrostatic Discharge Caution.....	22
7.1 概要.....	9	11.4 Glossary.....	22
7.2 機能ブロック図.....	9	12 メカニカル、パッケージ、および注文情報.....	22

## 4 改訂履歴

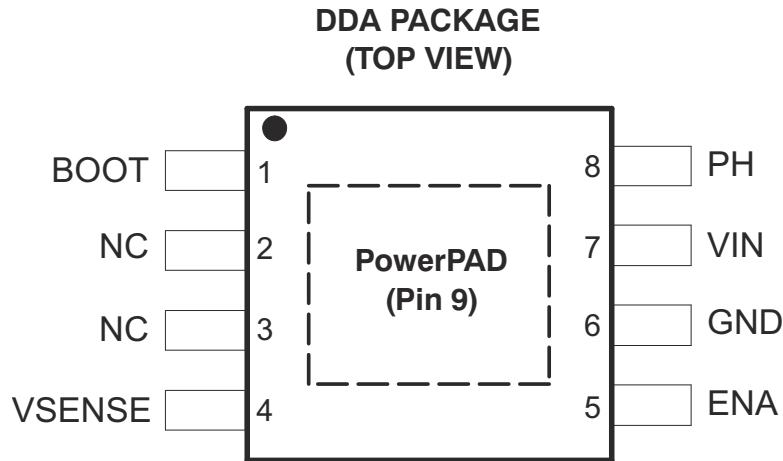
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (December 2014) to Revision E (July 2022)	Page
• 文書全体にわたって表、図、相互参照の採番方法を更新.....	1

Changes from Revision C (October 2013) to Revision D (September 2014)	Page
• 「ピン構成および機能」セクション、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....	1

## 5 ピン構成と機能



### ピン機能

ピン		I/O	説明
名称	番号		
BOOT	1	O	ハイサイド FET ゲート・ドライバ用ブースト・キャパシタ接続端子。BOOT ピンと PH ピンの間に 0.01 $\mu$ F の低 ESR キャパシタを接続。
NC	2, 3	–	内部未接続
VSENSE	4	I	レギュレータ用フィードバック電圧検出端子。出力電圧デバイダに接続。
ENA	5	I	オン / オフ制御。0.5V 以下でスイッチング停止。この端子がフローティングでイネーブル。
GND	6	–	グラウンド。PowerPAD に接続。
VIN	7	I	電源入力。高品質、低 ESR のセラミック・キャパシタを、できるだけデバイス・パッケージに近づけて VIN ピンと GND ピンの間に接続する。
PH	8	O	ハイサイド・パワー MOSFET のソース。外部インダクタおよびダイオードに接続される。
PowerPAD	9	–	適切な動作のためには、GND ピンを露出したパッドに接続する必要があります。

## 6 仕様

### 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小	最大	単位	
V	電圧	VIN	-0.3	40 <sup>(2)</sup>	V
		PH (定常状態)	-0.6	40 <sup>(2)</sup>	
		PH (過渡応答 10ns 未満)	-1.2		
		ENA	-0.3	7	
		BOOT-PH	-0.3	10	
		VSENSE	-0.3	3	
I <sub>O</sub>	ソース電流	PH	内部的に制限		
I <sub>lkg</sub>	リーク電流	PH	10	μA	
T <sub>J</sub>	動作時の仮想接合部温度	-40	150	°C	
T <sub>stg</sub>	保存温度	-65	150	°C	

- (1) 「[セクション 6.1](#)」に示された値を上回るストレスがかかった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「[推奨動作条件](#)」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) VIN ピン電圧を絶対最大定格に近づけると、PH ピン電圧が絶対最大定格を越えることがあります。

### 6.2 ESD 定格

		値	単位	
V <sub>(ESD)</sub>	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 <sup>(2)</sup>	±1500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 6.3 推奨動作条件

		最小	最大	単位
V <sub>I</sub>	入力電圧範囲	5.5	36	V
T <sub>J</sub>	動作時接合部温度	-40	125	°C

### 6.4 熱に関する情報

熱評価基準 <sup>(1) (2) (3)</sup>		TPS5450	単位
		DDA	
		8ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗 (カスタム ボード) <sup>(4)</sup>	30	°C/W
R <sub>θJA</sub>	接合部から周囲への熱抵抗 (標準ボード)	42.3	
Ψ <sub>JT</sub>	接合部から上面への熱特性パラメータ	4.9	
Ψ <sub>JB</sub>	接合部から基板への熱特性パラメータ	20.7	
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	46.4	
R <sub>θJC(bot)</sub>	接合部からケース (下面) への熱抵抗	0.8	
R <sub>θJB</sub>	接合部から基板への熱抵抗	20.8	

- (1) 従来および最新の熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション・レポート (SPRA953) を参照してください。
- (2) 最大電力損失は過電流保護により制限されることがあります。
- (3) 特定の周囲温度 T<sub>A</sub> での電力定格は、接合部温度 125°C で決定されます。これは、歪が大きく増加し始める温度です。最高の性能と長期的な信頼性を得るには、PCB の熱管理で接合部温度を 125°C 以下に維持する必要があります。詳細については、「[セクション 10.3](#)」を参照してください。

- (4) テスト・ボードの条件は以下のとおりです。
- a. サイズ:2 インチ × 1.85 インチ、4 層、厚さ:0.062 インチ (1.57mm)
  - b. PCB の上面に 2 オンスの銅配線を配置
  - c. 内部 2 層に 2 オンスの銅グランド・プレーン
  - d. デバイス・パッケージの下に 4 つのサーマル・ビア (10mil) を配置

## 6.5 電気的特性

$T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_{IN} = 5.5\text{V} \sim 36\text{V}$  (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>電源電圧 (VIN ピン)</b>					
$I_Q$ 静止時電流	$V_{SENSE} = 2\text{V}$ 、スイッチングなし、 PH ピン開放		3	4.4	mA
	シャットダウン、 $EN_A = 0\text{V}$		18	50	$\mu\text{A}$
<b>低電圧誤動作防止 (UVLO)</b>					
スタート・スレッシュホールド電圧、UVLO			5.3	5.5	V
ヒステリシス電圧、UVLO			330		mV
<b>基準電圧</b>					
基準電圧精度	$T_J = 25^{\circ}\text{C}$	1.202	1.221	1.239	V
	$I_O = 0\text{A} \sim 5\text{A}$	1.196	1.221	1.245	
<b>発振器</b>					
内部で設定されるフリー・ランニング周波数		400	500	600	kHz
制御可能な最小オン時間			150	200	ns
最大デューティ・サイクル		87%	89%		
<b>イネーブル (EN_A ピン)</b>					
スタート・スレッシュホールド電圧、EN_A				1.3	V
ストップ・スレッシュホールド電圧、EN_A		0.5			V
ヒステリシス電圧、EN_A			450		mV
内部スロースタート時間 (0~100%)		6.6	8	10	ms
<b>電流制限</b>					
電流制限		6.0	7.5	9.0	A
電流制限 hiccup 期間		13	16	20	ms
<b>サーマル・シャットダウン</b>					
サーマル・シャットダウンのトリップ・ポイント		135	162		$^{\circ}\text{C}$
サーマル・シャットダウンのヒステリシス			14		$^{\circ}\text{C}$
<b>出力 MOSFET</b>					
$r_{DS(on)}$ ハイサイド・パワー MOSFET スイッチ	$V_{IN} = 5.5\text{V}$		150		m $\Omega$
			110	230	

## 6.6 代表的特性

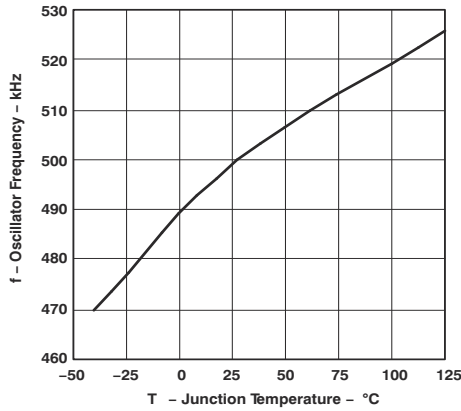


図 6-1. 発振周波数 対 接合部温度

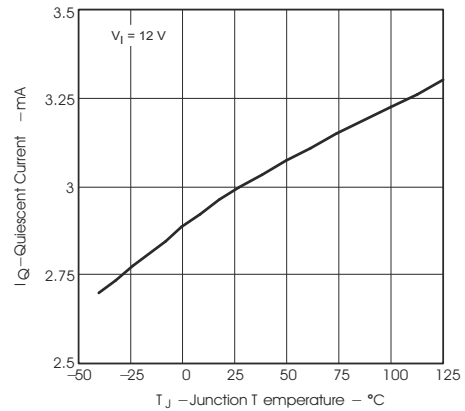


図 6-2. 非スイッチング時の静止電流 対 接合部温度

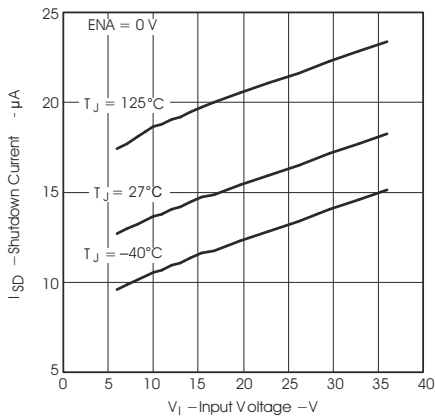


図 6-3. シャットダウン時の静止電流 対 入力電圧

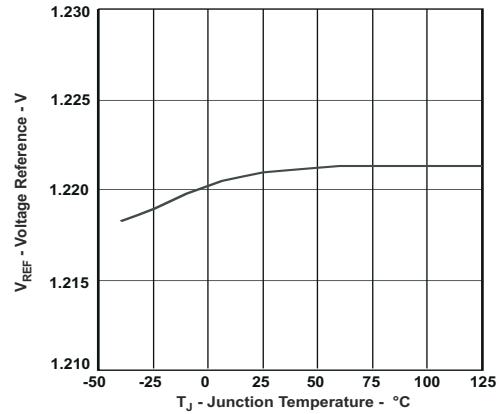


図 6-4. 電圧リファレンス 対 接合部温度

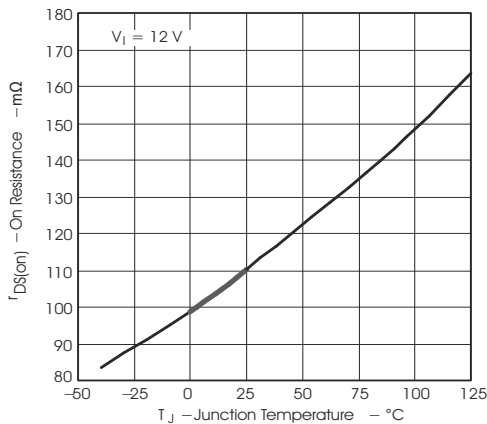


図 6-5. オン抵抗 対 接合部温度

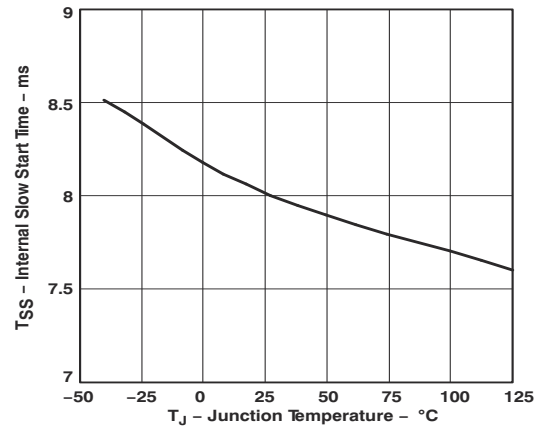


図 6-6. 内部スロースタート時間 対 接合部温度

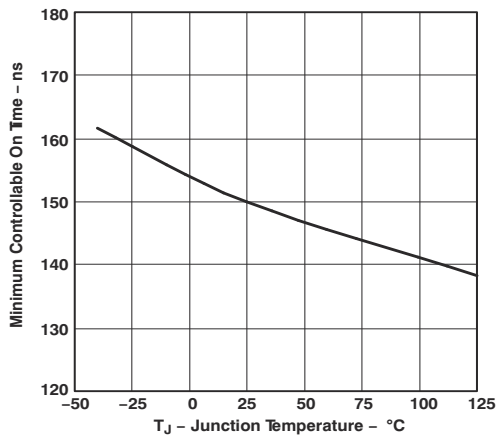


図 6-7. 制御可能な最小オン時間 対 接合部温度

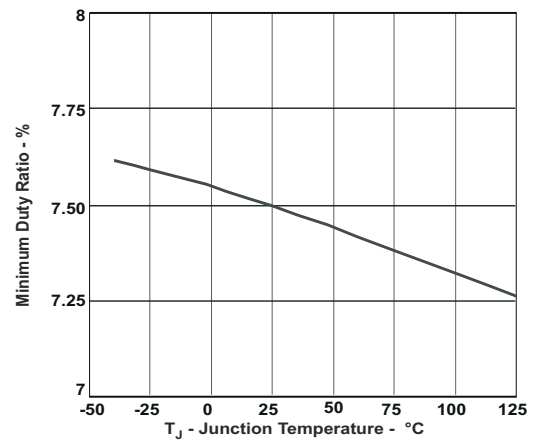


図 6-8. 制御可能な最小デューティ比 対 接合部温度



## 7 詳細説明

### 7.1 概要

TPS5450 デバイスは、ハイサイド N チャンネル MOSFET を内蔵した 36V、5A の降圧 (バック) レギュレータです。このデバイスは、電圧フィード・フォワードによる定周波数電圧モード制御を実装しており、ライン・レギュレーションとライン過渡応答を改善します。補償機能を内蔵しているため、設計が簡単であり、外付け部品数を減らせます。

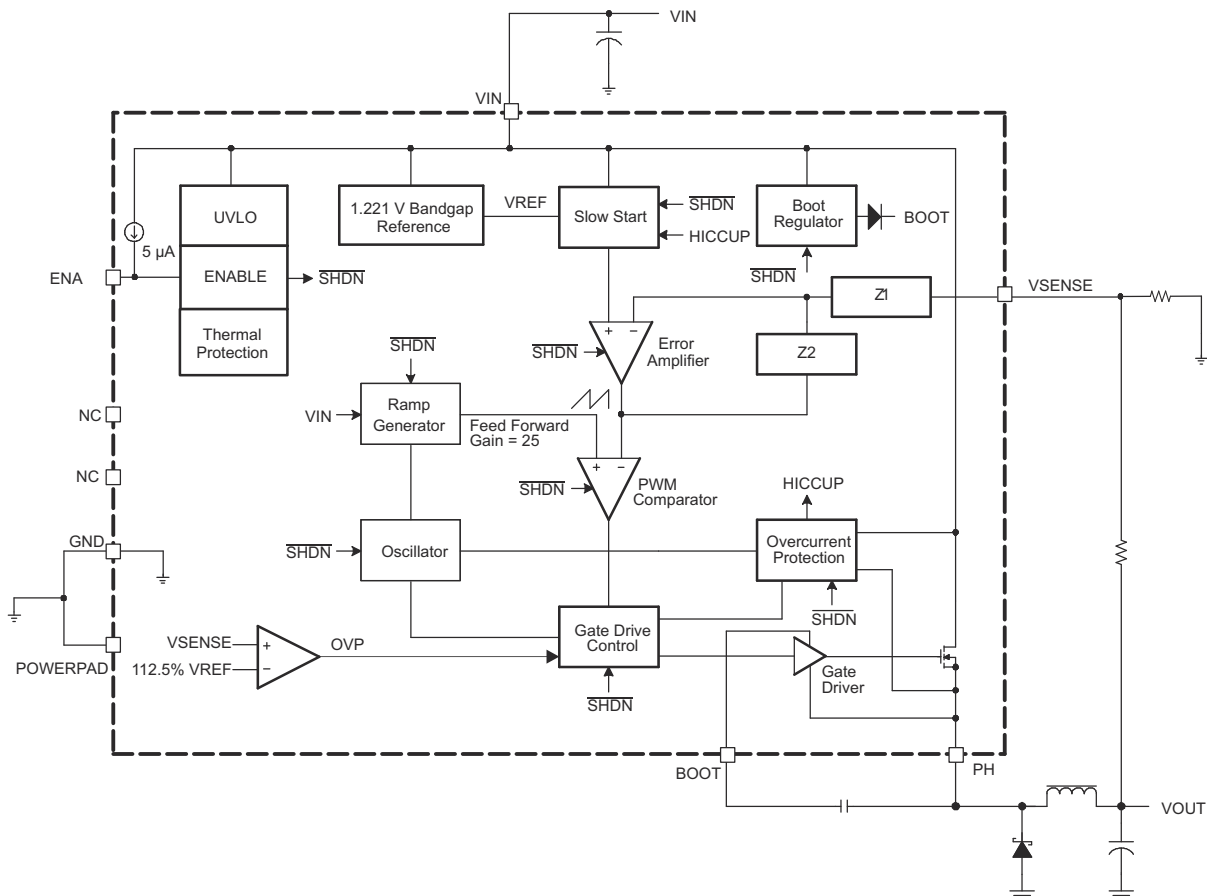
110mΩ ハイサイド MOSFET を内蔵しており、5A の連続電流を負荷に供給できる高効率の電源設計が可能です。内蔵ハイサイド MOSFET のゲート駆動バイアス電圧は、BOOT ピンと PH ピンの間に接続されるブートストラップ・キャパシタによって供給されます。TPS5450 デバイスはブートストラップ再充電ダイオードを内蔵しているため、外付け部品数を削減できます。

TPS5450 デバイスのデフォルトの入カスタートアップ電圧は 5.3V (標準値) です。ENA ピンを使用して TPS5450 をディスエーブルにすると、消費電流は 18μA に低減されます。ENA 端子がフローティングになると、内部プルアップ電流源によって動作がイネーブルになります。TPS5450 は内部スロースタート回路を搭載しており、起動中の出力の上昇を低速にすることで、突入電流と出力電圧オーバーシュートを低減します。

最小出力電圧は、1.221V の内部帰還リファレンスに等しくなります。過電圧保護 (OVP) コンパレータにより、出力の過渡的な過電圧が最小限に抑えられます。OVP コンパレータが作動すると、ハイサイド MOSFET はオフになり、出力電圧が目標値の 112.5% を下回るまでオンになりません。

サイクル単位の内蔵過電流保護機能は、内蔵ハイサイド MOSFET のピーク電流を制限します。連続的な過電流フォルト条件が発生した場合、TPS5450 は hiccup モードの過電流制限に移行します。過熱保護機能は、デバイスを過熱から保護します。

### 7.2 機能ブロック図



## 7.3 機能説明

### 7.3.1 発振周波数

内部的なフリー・ランニング・オシレータは、PWM スwitching 周波数を 500kHz に設定します。500kHz の Switching 周波数では、出力リップルが同じ条件でもインダクタンスが低くなるため、出力インダクタ・サイズが小さくなります。

### 7.3.2 基準電圧

基準電圧システムは、温度に対し安定なバンドギャップ回路の出力をスケールリングすることで、高精度の基準信号を生成します。量産テスト時に、バンドギャップ回路とスケールリング回路は、室温で出力が 1.221V になるように調整されます。

### 7.3.3 イネーブル (ENA) と内部スロースタート時間

ENA ピンは、レギュレータの電氣的なオン / オフを制御します。ENA ピンの電圧がスレッシュホールド電圧を超えると、レギュレータが動作を開始し、内部スロースタートが上昇し始めます。ENA ピンの電圧がスレッシュホールド電圧よりも低くなると、レギュレータは Switching を停止し、内部スロースタートはリセットされます。ENA ピンがグランドまたは 0.5V より低い電圧に接続されると、レギュレータはディスエーブルになり、シャットダウン・モードがアクティブになります。シャットダウン・モードでの TPS5450 の静止時電流は 18μA (標準) です。

ENA ピンには内部プルアップ電流源があるため、ユーザーは ENA ピンをオープンにすることができます。アプリケーションで ENA ピンの制御が必要な場合は、ピンとのインターフェイスに、オープン・ドレインまたはオープン・コレクタの出力ロジックを使用してください。起動時の突入電流を制限するために、内部スロースタート回路を使用して、基準電圧を 0V から最終値まで直線的に上昇させます。内部スロースタート時間は 8ms (標準) です。

### 7.3.4 低電圧誤動作防止 (UVLO)

TPS5450 は、VIN (入力電圧) が UVLO スタート・スレッシュホールド電圧よりも低いときにデバイスをディスエーブルの状態に維持するために、UVLO 回路を内蔵しています。電源の立ち上がり時には、VIN が UVLO スタート・スレッシュホールド電圧を超えるまで、内部回路は非アクティブ状態に保持され、内部スロースタートは接地されます。UVLO スタート・スレッシュホールド電圧に達すると、内部スロースタートがリリースされ、デバイスは起動を開始します。デバイスは、VIN が UVLO ストップ・スレッシュホールド電圧より低くなるまで動作します。UVLO コンパレータのヒステリシスは 330mV (標準) です。

### 7.3.5 ブースト・キャパシタ (BOOT)

0.01μF の低 ESR セラミック・キャパシタが、BOOT ピンと PH ピン間に接続されます。このキャパシタは、ハイサイド MOSFET にゲート駆動電圧を供給します。温度に対して容量値が安定しているため、X7R または X5R クラスをお勧めします。

### 7.3.6 出力フィードバック (VSENSE) と内部補償

レギュレータの出力電圧は、外部の抵抗分圧回路の中心電圧を VSENSE ピンにフィードバックすることで設定されます。定常状態の動作では、VSENSE ピンの電圧は、基準電圧の 1.221V と同じになります。

TPS5450 には、レギュレータの設計を簡潔にするために内部補償が装備されています。TPS5450 では電圧モード制御が採用されているため、クロスオーバー周波数と位相マージンが高くなるようにタイプ 3 の補償回路がチップ上に設計されており、高い安定性を実現しています。詳細については、[セクション 8.2.2.9.2](#) を参照してください。

### 7.3.7 電圧フィード・フォワード

内蔵のボルテージ・フィード・フォワードにより、入力電圧が変化しても DC 出力段のゲインは一定になります。これにより、安定性の分析が非常に簡単になり、過渡応答が大幅に改善されます。ボルテージ・フィード・フォワードにより、ピーク・ランブ電圧が入力電圧とは逆方向に変化するため、以下の式のように、モジュレータおよび出力段のゲインはフィード・フォワード・ゲインで一定になります。

$$\text{Feed Forward Gain} = \frac{V_{IN}}{\text{Ramp}_{pk-pk}} \quad (1)$$

TPS5450 のフィード・フォワード・ゲインは、通常 25 です。

### 7.3.8 パルス幅変調 (PWM) 制御

レギュレータには、固定周波数のパルス幅モジュレータ (PWM) 制御方式が採用されています。まず、帰還電圧 (VSENSE ピンの電圧) が、誤差電圧を生成する高ゲインの誤差増幅器および補償回路により、一定の基準電圧と比較されます。次に、誤差電圧は、PWM コンパレータにより、ランプ電圧と比較されます。この方式により、誤差電圧の大きさは、パルス幅 (デューティ・サイクル) に変換されます。最後に、PWM 出力がゲート駆動回路に送られ、ハイサイド MOSFET のオン時間が制御されます。

### 7.3.9 過電流保護

過電流保護は、ハイサイド MOSFET のドレイン-ソース間の電圧を検出することで実行されます。ドレイン-ソース間の電圧は、過電流スレッショルド制限値に相当する電圧レベルと比較されます。ドレイン-ソース間の電圧が過電流スレッショルド制限値を超えると、過電流インジケータがセットされます。システムは、ターンオン・ノイズによる誤作動を回避するために、各サイクルの最初のリーディング・エッジ・ブランキング時間中は過電流インジケータを無視します。

過電流インジケータがセットされると、過電流保護がトリガされます。ハイサイド MOSFET は、伝播遅延の後、サイクルの残り時間の間オフになります。この過電流保護モードは、サイクルごとの電流制限と呼ばれます。

短絡などの深刻な過負荷条件が発生した場合、サイクルごとの電流制限を使用しても過電流を抑制できないことがあります。その場合、電流制限の 2 番目のモード、つまり hiccup モードの電流制限が使用されます。hiccup モードの過電流保護中は、基準電圧は接地され、ハイサイド MOSFET は hiccup 期間の間オフになります。hiccup 期間が完了すると、レギュレータはスロースタート回路の制御により再起動されます。

### 7.3.10 過電圧保護

TPS5450 には過電圧保護 (OVP) 回路があり、出力フォルト状態から復帰するときの電圧オーバーシュートが最小限に抑えられます。OVP 回路には、VSENSE ピンの電圧と  $112.5\% \times V_{REF}$  のスレッショルドを比較する過電圧コンパレータがあります。VSENSE ピンの電圧がこのスレッショルドより高くなると、ハイサイド MOSFET が強制的にオフにされます。VSENSE ピンの電圧がこのスレッショルドより低くなると、ハイサイド MOSFET が再びオンになります。

### 7.3.11 サーマル・シャットダウン

TPS5450 が過熱状態にならないように、サーマル・シャットダウン回路を内蔵しています。接合部温度がサーマル・シャットダウンのトリップ・ポイントを超えると、基準電圧は接地され、ハイサイド MOSFET はオフになります。接合部温度がサーマル・シャットダウンのトリップ・ポイントを  $14^{\circ}\text{C}$  下回ると、本製品はスロースタート回路の制御により自動的に再起動されます。

## 7.4 デバイスの機能モード

### 7.4.1 最小入力電圧付近での動作

このデバイスは、 $5.5\text{V}$  を超える入力電圧で動作させることを推奨します。標準の  $V_{IN\ UVLO}$  スレッショルドは  $5.3\text{V}$  であり、 $UVLO$  電圧以上の入力電圧であれば動作は可能です。実際の  $UVLO$  電圧より低い入力電圧では、デバイスはスイッチングを行いません。EN がフローティングになっているか、または外部で  $1.3\text{V}$  を超える電圧にプルアップされている場合、 $V_{(IN)}$  が  $UVLO$  スレッショルドを超えた時点でデバイスはアクティブになります。スイッチングがイネーブルになり、ソフト・スタート・シーケンスが開始されます。TPS5450 デバイスは、内部スロースタート時間全体にわたって、内部リファレンス電圧を  $0\text{V}$  から最終値まで直線的に上昇させます。

### 7.4.2 EN 制御による動作

イネーブルのスタート・スレッショルド電圧は  $1.3\text{V}$  (最大値) です。ENA を  $0.5\text{V}$  の最小ストップ・スレッショルド電圧未満に保持すると、デバイスはディスエーブルになり、VIN が  $UVLO$  スレッショルドを超えてもスイッチングは禁止されます。この状態では、IC の静止電流が減少します。VIN が  $UVLO$  スレッショルドよりも高いときに ENA の電圧がスレッショルドを上回ると、デバイスはアクティブになります。スイッチングがイネーブルになり、ソフト・スタート・シーケンスが開始されます。TPS5450 デバイスは、内部スロースタート時間全体にわたって、内部リファレンス電圧を  $0\text{V}$  から最終値まで直線的に上昇させます。

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

TPS5450 デバイスは、ハイサイド MOSFET を内蔵した 36V、5A の降圧レギュレータです。このデバイスは通常、高い DC 電圧から低い DC 電圧への変換 (最大出力電流 5A) に使用されます。アプリケーションの例として、高密度ポイント・オブ・ロード・レギュレータ、LCD およびプラズマ・ディスプレイ、バッテリー・チャージャ、12V および 24V の分散電源システムがあります。TPS5450 デバイスの部品の値を選択するには、以下の設計手順を使用します。この手順は、高周波スイッチング・レギュレータの設計例を示しています。

### 8.2 代表的なアプリケーション

図 8-1 に、TPS5450 の代表的なアプリケーションの回路図を示します。TPS5450 は、公称出力電圧 5V で最大 5A の出力電流を供給できます。適切な放熱性能を得るには、デバイスの下に露出した PowerPAD をプリント基板に半田付けする必要があります。

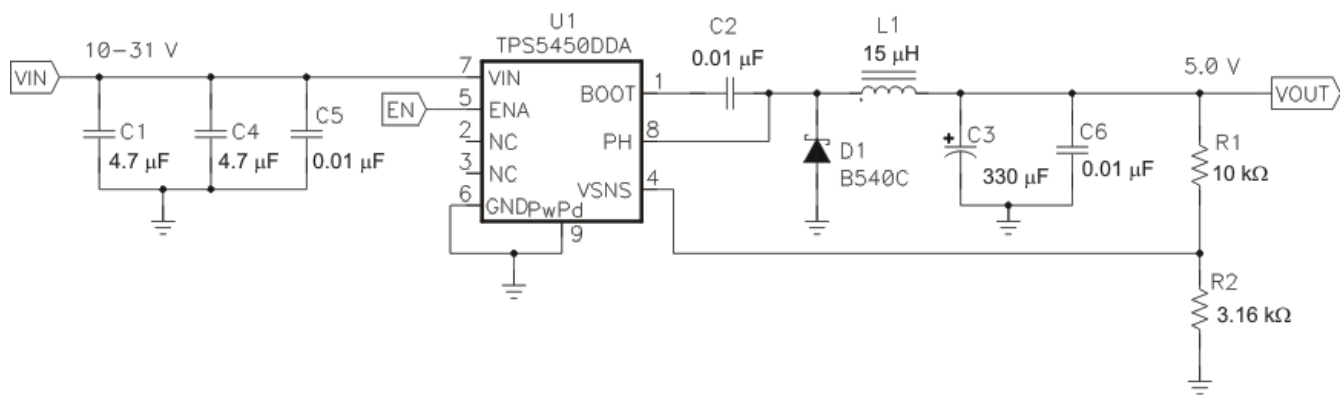


図 8-1. アプリケーション回路、12V 入力から 5.0V 出力へ

#### 8.2.1 設計要件

設計プロセスを開始するには、いくつかのパラメータを決定する必要があります。これらの要件は一般に、システム・レベルで決定されます。この例は、以下の既知のパラメータを想定して設計されています。

表 8-1. 設計パラメータ

設計パラメータ <sup>(1)</sup>	設計値例
入力電圧範囲	10V~31V
出力電圧	5V
入力リップル電圧	400mV
出力リップル電圧	30mV
出力電流定格	5A
動作周波数	500kHz

(1) その他の設計条件としては、小さなサイズで、部品の厚みを薄くするように設定することです。

## 8.2.2 詳細な設計手順

次の設計手順に従って、TPS5450 の部品の値を選択できます。あるいは、WEBENCH ソフトウェアを使用して完全な設計を生成することもできます。WEBENCH ソフトウェアは、反復的な設計手順を使用し、包括的な部品データベースにアクセスして設計を生成します。ここでは、設計手順について簡単に説明します。

### 8.2.2.1 スイッチング周波数

TPS5450 のスイッチング周波数は、内部的に 500kHz に設定されています。スイッチング周波数を調整することはできません。

### 8.2.2.2 出力電圧の設定ポイント

TPS5450 の出力電圧は、VSENSE ピンと出力との間に接続される抵抗デバイダ (R1 と R2) によって設定されます。以下の式 2 を使用して、出力電圧が 5V のときの R2 抵抗値を計算します。

$$R2 = \frac{R1 \times 1.221}{V_{OUT} - 1.221} \quad (2)$$

TPS5450 の設計では、10kΩ の R1 値から開始します。出力電圧が 5V 以上で 5V に最も近い場合、R2 は 3.16kΩ です。

### 8.2.2.3 入力キャパシタ

TPS5450 には入力デカップリング・キャパシタが必要で、アプリケーションによってはバルク入力キャパシタも必要です。推奨される最小デカップリング容量は 4.7μF です。高品質の X5R または X7R セラミック・タイプが必要です。一部のアプリケーションでは、入力電圧定格と電流リップル定格を超えない限り、値の小さいデカップリング・キャパシタを使用できます。電圧定格は、最大入力電圧 (リップルを含む) よりも高くなければなりません。

この入力リップル電圧は、式 3 で概算することができます。

$$\Delta V_{IN} = \frac{I_{OUT(MAX)} \times 0.25}{C_{BULK} \times f_{sw}} = I_{OUT(MAX)} \times ESR_{MAX} \quad (3)$$

ここで

- $I_{OUT(MAX)}$  は最大負荷電流、
- $f_{sw}$  はスイッチング周波数です。
- $C_{IN}$  は入力キャパシタの値、
- $ESR_{MAX}$  は入力コンデンサの最大直列抵抗です。

この設計では、入力容量は、並列に配置される 2 個の 4.7μF キャパシタ (C1 と C4) で構成されます。追加の高周波バイパス・キャパシタ C5 も使用されます。

最大 RMS リップル電流についても確認する必要があります。ワーストケース条件の値は、式 4 で概算することができます。

$$I_{CIN} = \frac{I_{OUT(MAX)}}{2} \quad (4)$$

この場合、入力リップル電圧は 281 mV、RMS リップル電流は 2.5 A になります。入力キャパシタ両端の最大電圧は、 $V_{IN\ max} + \Delta V_{IN}/2$  となります。選択した入力デカップリング・キャパシタは定格が 50V、リップル電流容量が 2.5A 以上であり、十分な余裕があります。いかなる状況でも、電圧および電流の最大定格を超えないことが非常に重要です。

TPS5450 の回路が入力電圧源から約 2 インチ以内に配置されていない場合、バルク容量の追加が必要になることがあります。このキャパシタの値はそれほど重要ではありませんが、リップル電圧を含めた最大入力電圧を処理できる定格が必要です。また、出力をフィルタリングして、入力リップル電圧が許容範囲内に収まるようにする必要があります。

### 8.2.2.4 出力フィルタ部品

出力フィルタとして L1 と C2 の 2 つの部品を選択する必要があります。TPS5450 は内部補償デバイスであるため、フィルタ部品のタイプと値の範囲に制限がかかります。

### 8.2.2.5 インダクタの選択

出力インダクタの最小値を計算するには、式 5 を使用します。

$$L_{\text{MIN}} = \frac{V_{\text{OUT(MAX)}} \times (V_{\text{IN(MAX)}} - V_{\text{OUT}})}{V_{\text{IN(MAX)}} \times K_{\text{IND}} \times I_{\text{OUT}} \times F_{\text{SW(MIN)}}} \quad (5)$$

$K_{\text{IND}}$  は、最大出力電流に対するインダクタのリプル電流量を表す係数です。インダクタのリプル電流量を決定するには、3 つの要因を考慮する必要があります。この要因とは、ピーク・ツー・ピークのリプル電流が出力リップル電圧の振幅に影響を与えること、リップル電流がピーク・スイッチ電流に影響を与えること、さらに回路が不連続になるポイントがリップル電流量によって決定されることです。TPS5450 を使用する設計では、 $K_{\text{IND}}$  が 0.2 から 0.3 である場合に、良い結果を得ることができます。適切な出力キャパシタと組み合わせた場合、低出力リップル電圧が得られ、ピーク・スイッチ電流は電流制限の設定ポイントよりも十分に低くなります。また、動作が不連続になる前に、相対的に低い負荷電流を供給することができます。

この設計例では、 $K_{\text{IND}} = 0.2$  を使用し、最小インダクタ値は  $10.4\mu\text{H}$  と計算されます。次に高い標準値は  $15\mu\text{H}$  で、この設計ではこれを使用しています。

出力フィルタ・インダクタについては、RMS 電流および飽和電流の定格を超えないことが重要です。RMS インダクタ電流は、式 6 から求められます。

$$I_{\text{L(RMS)}} = \sqrt{I_{\text{OUT(MAX)}}^2 + \frac{1}{12} \times \left( \frac{V_{\text{OUT}} \times (V_{\text{IN(MAX)}} - V_{\text{OUT}})}{V_{\text{IN(MAX)}} \times L_{\text{OUT}} \times F_{\text{SW(MIN)}}} \right)^2} \quad (6)$$

ピーク・インダクタ電流は式 7 で決定されます。

$$I_{\text{L(PK)}} = I_{\text{OUT(MAX)}} + \frac{V_{\text{OUT}} \times (V_{\text{IN(MAX)}} - V_{\text{OUT}})}{1.6 \times V_{\text{IN(MAX)}} \times L_{\text{OUT}} \times F_{\text{SW(MIN)}}} \quad (7)$$

この設計では、RMS インダクタ電流は  $5.004\text{A}$ 、ピーク・インダクタ電流は  $5.34\text{A}$  です。選択したインダクタは、Sumida CDRH1127/LD-150  $15\mu\text{H}$  です。飽和電流と RMS 電流の最小定格電流は  $5.65\text{A}$  です。一般に、TPS5450 で使用するインダクタの値は、 $10\mu\text{H} \sim 100\mu\text{H}$  の範囲内です。

### 8.2.2.6 キャパシタの選択

出力キャパシタの設計で重要な要因は、DC 電圧定格、リップル電流定格、および等価直列抵抗 (ESR) です。DC 電圧定格とリップル電流定格は、超えることができません。ESR とインダクタ・リップル電流によって出力リップル電圧が決まるため、ESR は重要です。出力キャパシタの実際の値は重要ではありませんが、実用上の制限がいくつかあります。設計上の目的とする閉ループのクロスオーバー周波数と、出力フィルタの LC コーナー周波数との関係に注意してください。内部補償の設計の観点から、閉ループのクロスオーバー周波数は  $3\text{kHz} \sim 30\text{kHz}$  の範囲内に維持することをお勧めします。この周波数の範囲では、十分な位相ブーストが得られ、動作が安定します。この設計例では、目的とする閉ループのクロスオーバー周波数が  $2590\text{Hz} \sim 24\text{kHz}$  の範囲内であり、出力キャパシタの ESR ゼロよりも低いことを想定しています。これらの条件では、閉ループのクロスオーバー周波数は、以下の式によって LC コーナー周波数に関連付けられません。

$$f_{\text{CO}} = \frac{f_{\text{LC}}^2}{85 V_{\text{OUT}}} \quad (8)$$

また、出力フィルタの出力キャパシタの要求値は、以下の値になります。

$$C_{OUT} = \frac{1}{3357 \times L_{OUT} \times f_{CO} \times V_{OUT}} \quad (9)$$

目的のクロスオーバー周波数が 12 kHz で 15μH のインダクタを使用している場合、出力キャパシタの計算値は 330μF になります。ESR ゼロがループ・クロスオーバーよりも大きくなるように、キャパシタのタイプを選択する必要があります。最大 ESR は次の式で計算されます。

$$ESR_{MAX} = \frac{1}{2\pi \times C_{OUT} \times f_{CO}} \quad (10)$$

出力キャパシタの最大 ESR は、設計の初期パラメータの指定に従って、出力リップルの量も決定します。出力リップル電圧は、インダクタのリップル電流に出力フィルタの ESR を乗じた値です。キャパシタのデータシートに記載されている最大 ESR の仕様が、許容可能な出力リップル電圧を満たすことを確認してください。

$$V_{PP} (MAX) = \frac{ESR_{MAX} \times V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{N_C \times V_{IN(MAX)} \times L_{OUT} \times F_{SW}} \quad (11)$$

ここで

- $\Delta V_{PP}$  は要求されるピーク・ツー・ピーク出力リップルです。
- $N_C$  は並列に配置された出力キャパシタの数です。
- $F_{SW}$  はスイッチング周波数です。

この設計例では、単一の 330μF 出力キャパシタを C3 として選択しています。計算で求めた RMS リップル電流は 143mA であり、必要な最大 ESR は 40mΩ です。これらの要件を満たすコンデンサは、定格 10V、最大 ESR 35mΩ、リップル電流定格 3A の Sanyo Poscap 10TPB330M です。この設計では、追加の小さな 0.1μF セラミック・バイパス・コンデンサ (C6) も使用しています。

出力キャパシタの最小 ESR も考慮する必要があります。最適な位相マージンを得るために、ESR が最小になるときの ESR ゼロは、24kHz および 54kHz の内部補償の極よりも極端に高くないようにしてください。

選択する出力キャパシタは、目的の出力電圧とリップル電圧の半分を加算した値よりも高い定格にする必要があります。ディレーティングした量もこの計算に含める必要があります。出力キャパシタの最大 RMS リップル電流は、式 12 で求められます。

$$I_{COUT(RMS)} = \frac{1}{\sqrt{12}} \times \left( \frac{V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{V_{IN(MAX)} \times L_{OUT} \times F_{SW} \times N_C} \right) \quad (12)$$

ここで

- $N_C$  は並列に配置された出力キャパシタの数です。
- $F_{SW}$  はスイッチング周波数です。

アプリケーションによっては、その他のタイプのキャパシタを TPS5450 と併用することができます。

### 8.2.2.7 ブート・キャパシタ

ブート・キャパシタには 0.01F のものを使用します。

### 8.2.2.8 キャッチ・ダイオード

TPS5450 は、PH と GND との間の外部キャッチ・ダイオードを使用して動作する仕様になっています。選択するダイオードは、アプリケーションの絶対最大定格を満足する必要があります。逆方向電圧は、PH ピンの最大電圧 ( $V_{INMAX} + 0.5$

V) よりも高くなければならず、ピーク電流は、 $I_{OUTMAX} + (\text{ピーク・ツー・ピーク・インダクタ電流の } 1/2)$  よりも大きくなければなりません。高い効率を得るには、順方向電圧降下を小さくする必要があります。一般に、キャッチ・ダイオードの導通時間はハイサイド FET のオン時間よりも長いので、ダイオードのパラメータに注意を払うことで、全体の効率を大きく向上させることができます。また、選択するダイオードが電力損失の要件に対応していることを確認します。この設計では、Diodes, Inc. の B540A を選択しています。このダイオードは、逆方向電圧が 40V、順方向電流が 5A、順方向電圧降下が 0.5V です。

### 8.2.2.9 詳細情報

#### 8.2.2.9.1 出力電圧の制限

TPS5450 の内部設計により、任意の与えられた入力電圧に対して、出力電圧の上限と下限が設定されます。出力電圧設定点の上限は、最大デューティ・サイクルの 87% に制限され、以下の式で求められます。

$$V_{OUTMAX} = 0.87 \times \left( (V_{INMIN} - I_{OMAX} \times 0.230) + V_D \right) - (I_{OMAX} \times R_L) - V_D \quad (13)$$

ここで

- $V_{INMIN}$  = 最小入力電圧
- $I_{OMAX}$  = 最大負荷電流
- $V_D$  = キャッチ・ダイオードの順方向電圧
- $R_L$  = 出力インダクタの直列抵抗

この式では、内部のハイサイド FET に対する最大オン抵抗を想定しています。

下限は、最小制御可能オン時間 (最大 200ns) によって制限されます。特定の入力電圧と最小負荷電流に対応する最小出力電圧の概数は、次の式で求めることができます。

$$V_{OUTMIN} = 0.12 \times \left( (V_{INMAX} - I_{OMIN} \times 0.110) + V_D \right) - (I_{OMIN} \times R_L) - V_D \quad (14)$$

ここで

- $V_{INMAX}$  = 最大入力電圧
- $I_{OMIN}$  = 最大負荷電流
- $V_D$  = キャッチ・ダイオードの順方向電圧
- $R_L$  = 出力インダクタの直列抵抗

この式では、ハイサイド FET のオン抵抗の公称値を仮定し、動作周波数設定点のワースト・ケースの変動を想定しています。デバイスの動作制限付近で動作する設計の場合、適切な機能を保証するために慎重な確認が必要となります。

#### 8.2.2.9.2 内部補償回路

回路の例で使用されている設計の式は、TPS5450 を使用する回路の生成に使用できます。これらの設計は特定の前提条件に基づいており、ほとんどの場合は ESR 値が制限範囲内の出力キャパシタが選択されています。別のタイプのキャパシタを使用する場合にも、TPS5450 の内部補償に適合する可能性があります。以下の式 式 15 で内部電圧モード・タイプ III の補償回路の公称周波数応答を求めることができます。

$$H(s) = \frac{\left(1 + \frac{s}{2\pi \times Fz1}\right) \times \left(1 + \frac{s}{2\pi \times Fz2}\right)}{\left(\frac{s}{2\pi \times Fp0}\right) \times \left(1 + \frac{s}{2\pi \times Fp1}\right) \times \left(1 + \frac{s}{2\pi \times Fp2}\right) \times \left(1 + \frac{s}{2\pi \times Fp3}\right)} \quad (15)$$

ここで

- $Fp0 = 2165\text{Hz}$ ,  $Fz1 = 2170\text{Hz}$ ,  $Fz2 = 2590\text{Hz}$
- $Fp1 = 24\text{kHz}$ ,  $Fp2 = 54\text{kHz}$ ,  $Fp3 = 440\text{kHz}$



- Fp3 は、理想的でない寄生容量の影響を表します。

この情報と目的の出力電圧、フィードフォワード・ゲインおよび出力フィルタ特性を組み合わせると、閉ループの伝達関数が導かれます。

### 8.2.3 アプリケーション曲線

特性グラフ (図 8-2 から 図 8-8 まで) は、図 8-1 の回路に適用可能です。T<sub>A</sub> = 25°C (特に記述のない限り)

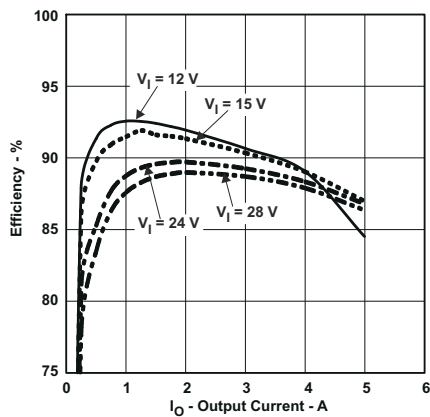


図 8-2. 効率 対 出力電流

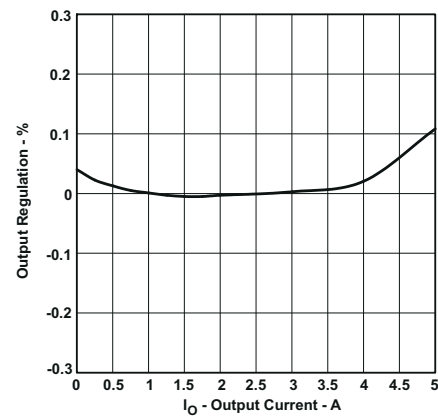


図 8-3. 出力レギュレーション % 対 出力電流

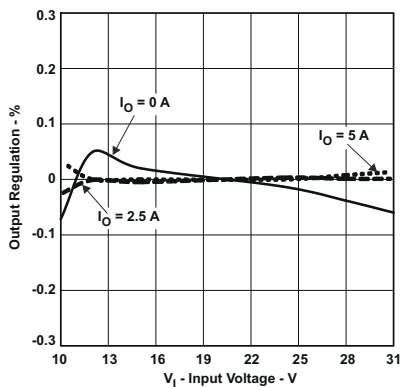


図 8-4. 出力レギュレーション % 対 入力電圧

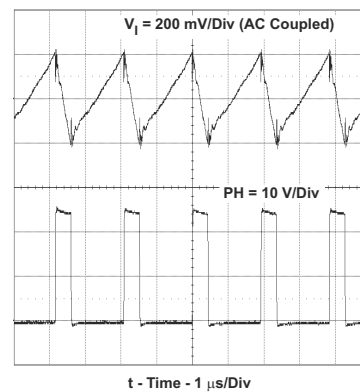


図 8-5. 入力電圧リップルと PH ノード、I<sub>O</sub> = 5A

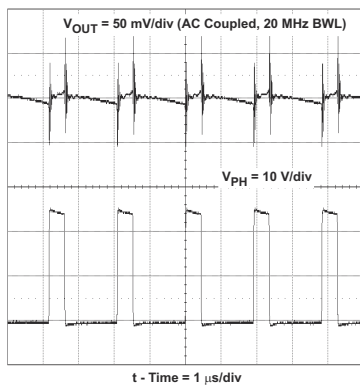


図 8-6. 出力電圧リップルと PH ノード、I<sub>O</sub> = 5A

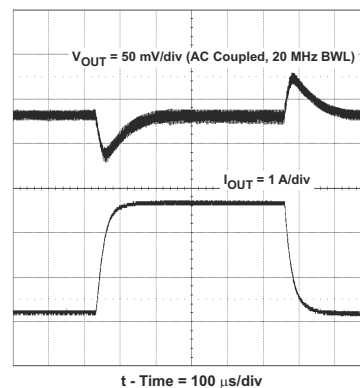


図 8-7. 過渡応答、I<sub>O</sub> は 1.25A から 3.75 A までステップ増加

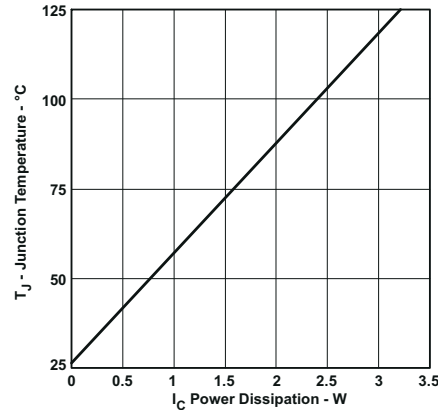


図 8-8. TPS5450 の消費電力と接合部温度との関係

## 9 電源に関する推奨事項

このデバイスは、5.5V～36 V の入力電圧範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力電源が TPS5450 コンバータから数インチ以上離れている場合、セラミック・バイパス・コンデンサに加えてバルク容量の追加が必要になることがあります。通常は、100μF の電解コンデンサを使用します。

## 10 レイアウト

### 10.1 レイアウトのガイドライン

低 ESR のセラミック・バイパス・キャパシタを、VIN ピンに接続します。バイパス・キャパシタ接続、VIN ピン、および TPS5450 のグランド・ピンによって形成されるループ領域を最小限に抑えるように注意する必要があります。そのためには、VIN パターンに隣接するデバイスの下側のトップサイド・グランド領域を広げ、できるだけ VIN ピンに近づけてバイパス・キャパシタを設置するのが最善の方法です。推奨される最小バイパス容量は、X5R または X7R クラスの誘導体が使用されている 4.7μF のセラミック・キャパシタです。

IC 直下のトップ層には、PowerPAD に接続するための露出した領域を持つグランド領域が必要です。ビアを使用して、このグランド領域を任意の内部グランド・プレーンに接続します。入力および出力フィルタ・コンデンサのグランド側にも、追加のビアを使用します。GND ピンは、以下に示すように、デバイスの下側のグランド領域に接続することによって PCB のグランドに接続する必要があります。

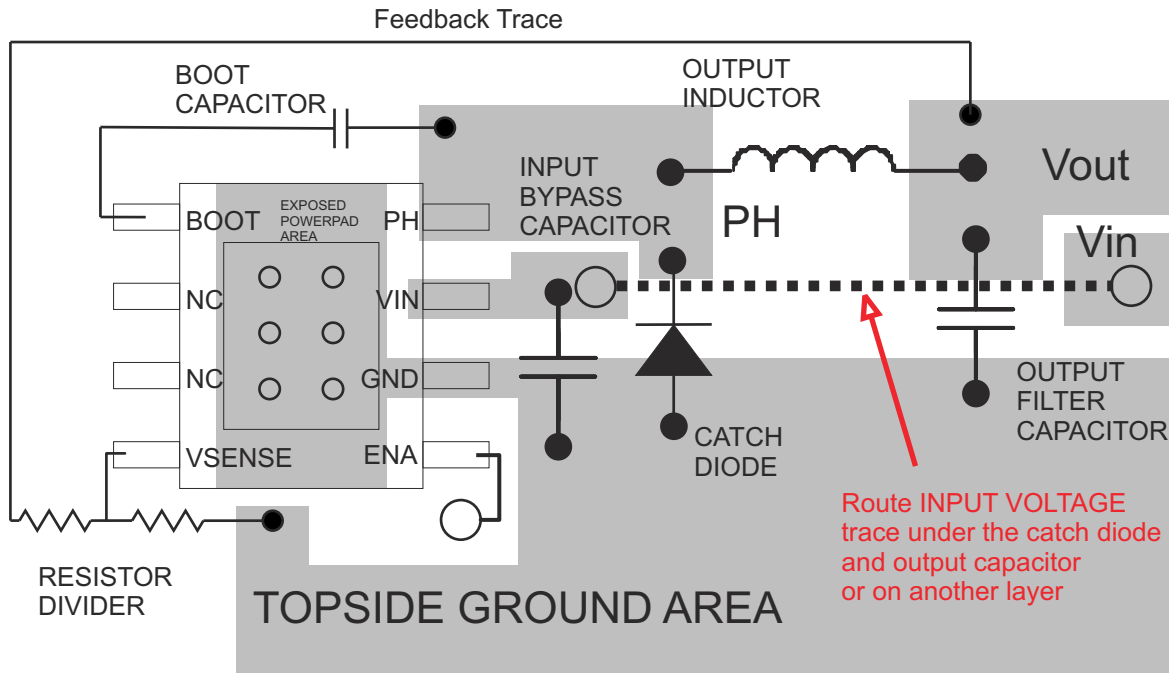
PH ピンは、出力インダクタ、キャッチ・ダイオード、およびブート・キャパシタに接続する必要があります。PH の接続はスイッチング・ノードであるため、インダクタは PH ピンのすぐ近くに配置し、PCB 導体の面積をできるだけ小さくして過度の容量性カップリングを避ける必要があります。キャッチ・ダイオードもデバイスの近くに配置し、出力電流ループ領域の面積を最小化する必要があります。図に示すように、位相ノードと BOOT ピンの間にブート・キャパシタを接続します。ブート・キャパシタは IC に近づけて配置し、導体パターンをできるだけ短くしてください。図に示すように部品を配置し接続すると正常に動作しますが、これとは別の接続を行うことも可能です。

VOUT パターンと GND の間には、図に示すように出力フィルタ・キャパシタを接続します。PH ピン、Lout、Cout、および GND によって形成されるループは、実用上適切な範囲でなるべく小さくすることが重要です。

出力電圧を設定するために、抵抗デバイダ回路を使用して、VOUT パターンを VSENSE ピンに接続します。このパターンは PH パターンから少し離して配線します。IC パッケージのサイズとデバイスのピン配置の関係で、このパターンを出力キャパシタの下に配線しなければならない場合があります。出力キャパシタの下に配線できない場合は、別の層上に配線します。

図 10-1 に示すようなグランド接続方法を使用している場合は、別の層へのビア接続を使用して ENA ピンに配線します。

## 10.2 レイアウト例



○ Signal VIA

図 10-1. 設計レイアウト

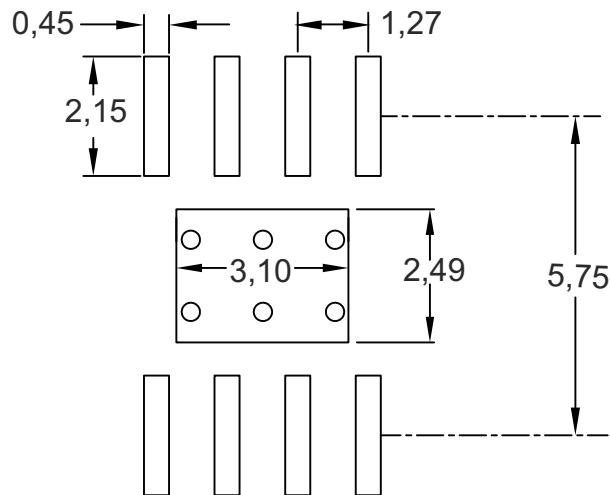


図 10-2. TPS5450 のランド・パターン

### 10.3 熱に関する計算

以下の式は、連続導通モード動作でのデバイスの消費電力を見積もる方法を示しています。デバイスが不連続モードで動作していて、その負荷が軽い場合には、この式は使用しないでください。

導通損失:  $P_{con} = I_{OUT}^2 \times R_{DS(on)} \times V_{OUT}/V_{IN}$

スイッチング損失:  $P_{sw} = V_{IN} \times I_{OUT} \times 0.01$

静止時電流損失:  $P_q = V_{IN} \times 0.01$

全体の損失:  $P_{tot} = P_{con} + P_{sw} + P_q$

与えられた  $T_A \Rightarrow$  予測接合部温度:  $T_J = T_A + R_{th} \times P_{tot}$

与えられた  $T_{JMAX} = 125^\circ\text{C} \Rightarrow$  予測最大周囲温度:  $T_{AMAX} = T_{JMAX} - R_{th} \times P_{tot}$

## 11 デバイスおよびドキュメントのサポート

### 11.1 デバイスのサポート

#### 11.1.1 Third-Party Products Disclaimer

TI'S PUBLICATION OF INFORMATION REGARDING THIRD-PARTY PRODUCTS OR SERVICES DOES NOT CONSTITUTE AN ENDORSEMENT REGARDING THE SUITABILITY OF SUCH PRODUCTS OR SERVICES OR A WARRANTY, REPRESENTATION OR ENDORSEMENT OF SUCH PRODUCTS OR SERVICES, EITHER ALONE OR IN COMBINATION WITH ANY TI PRODUCT OR SERVICE.

#### 11.2 商標

PowerPAD™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

#### 11.3 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

#### 11.4 Glossary

[TI Glossary](#) This glossary lists and explains terms, acronyms, and definitions.

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版については、左側のナビゲーションをご覧ください。

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS5450DDA	ACTIVE	SO PowerPAD	DDA	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	5450	<a href="#">Samples</a>
TPS5450DDAG4	ACTIVE	SO PowerPAD	DDA	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	5450	<a href="#">Samples</a>
TPS5450DDAR	ACTIVE	SO PowerPAD	DDA	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	5450	<a href="#">Samples</a>
TPS5450DDARG4	ACTIVE	SO PowerPAD	DDA	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	5450	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF TPS5450 :**

- Automotive : [TPS5450-Q1](#)
- Enhanced Product : [TPS5450-EP](#)

## NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications



**TUBE**

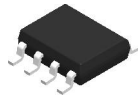

\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TPS5450DDA	DDA	HSOIC	8	75	506.6	8	3940	4.32
TPS5450DDAG4	DDA	HSOIC	8	75	506.6	8	3940	4.32



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

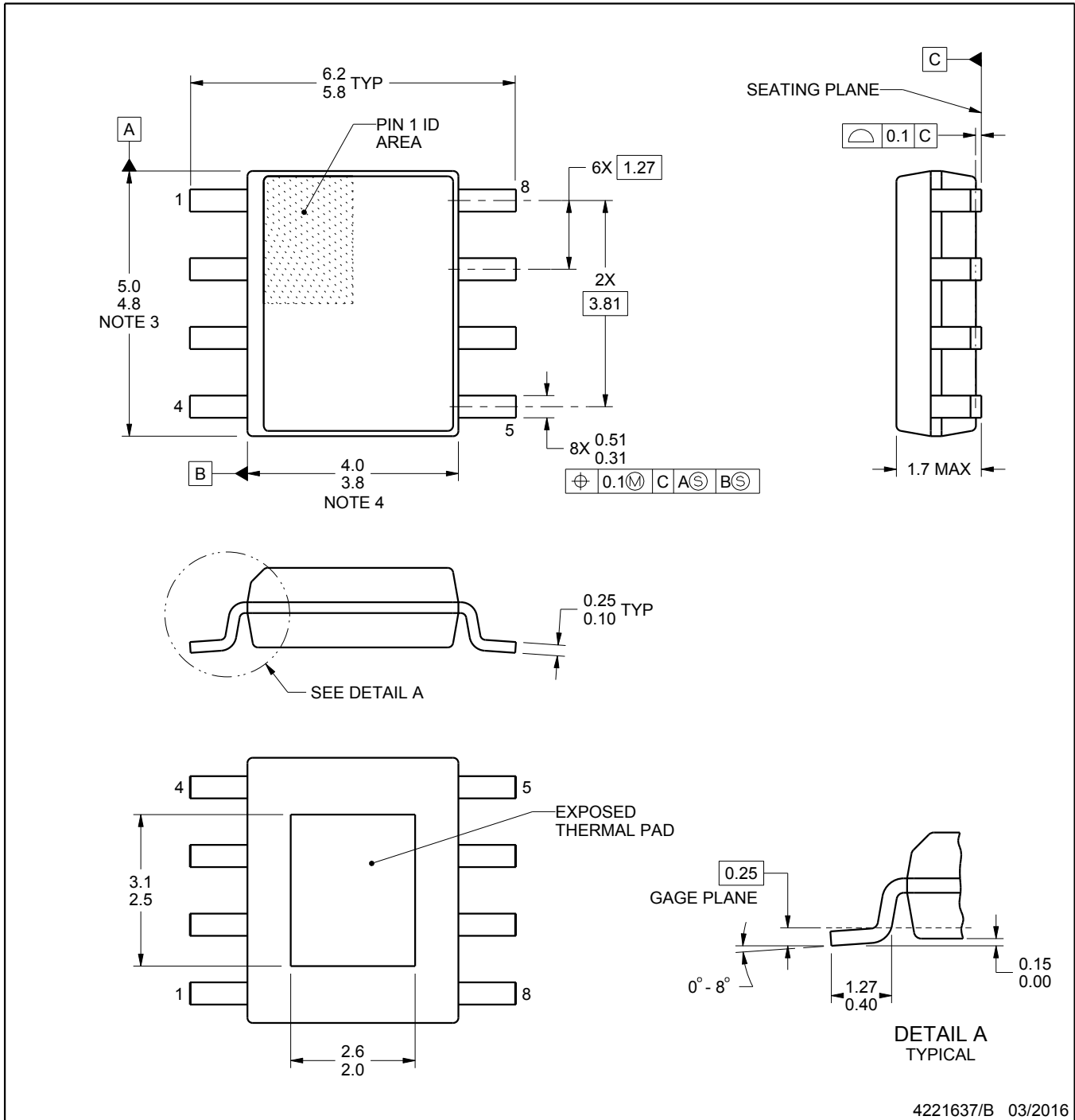
DDA0008J



# PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



4221637/B 03/2016

PowerPAD is a trademark of Texas Instruments.

### NOTES:

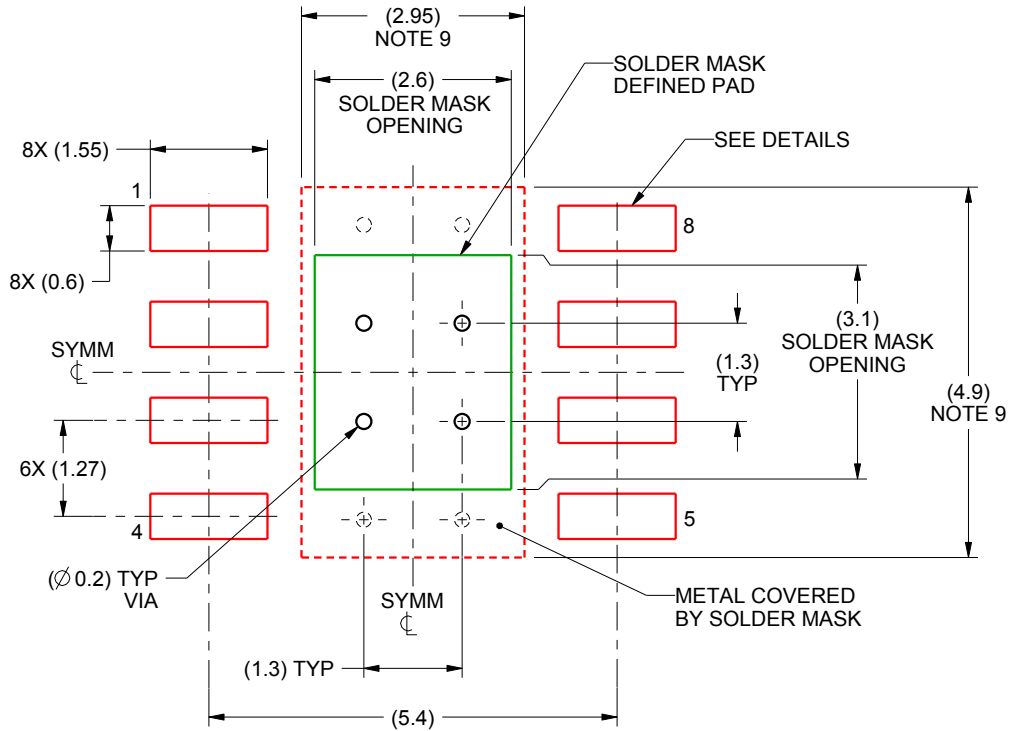
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.

# EXAMPLE BOARD LAYOUT

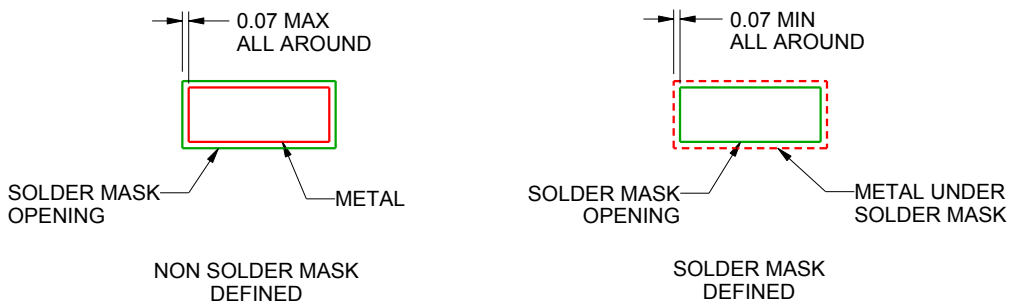
DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE  
SCALE:10X



SOLDER MASK DETAILS

4221637/B 03/2016

NOTES: (continued)

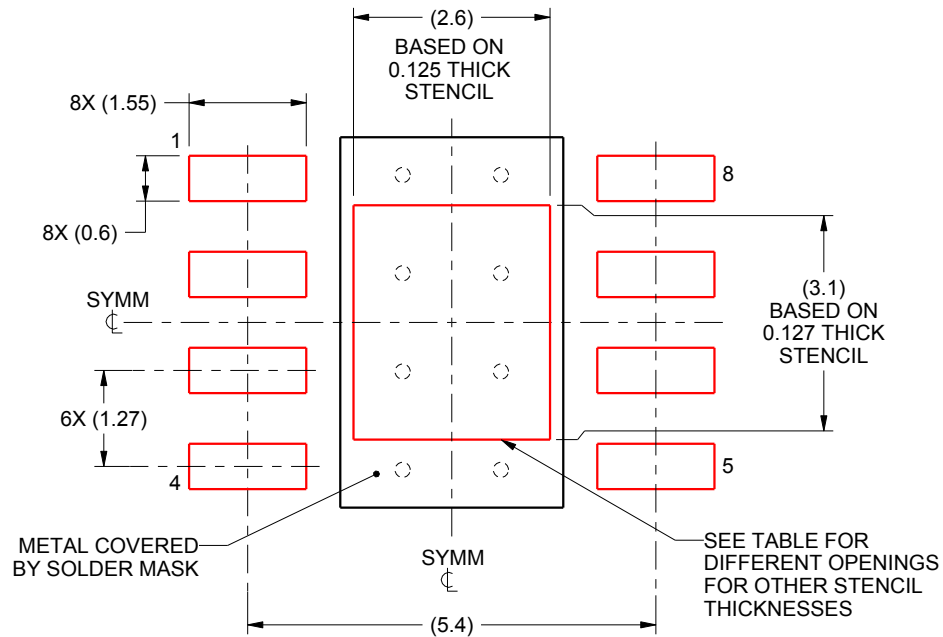
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
9. Size of metal pad may vary due to creepage requirement.

# EXAMPLE STENCIL DESIGN

DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE  
 EXPOSED PAD  
 100% PRINTED SOLDER COVERAGE BY AREA  
 SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.91 X 3.47
0.125	2.6 X 3.1 (SHOWN)
0.150	2.37 X 2.83
0.175	2.20 X 2.62

4221637/B 03/2016

NOTES: (continued)

- 10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 11. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated