

2.95V~6V入力、2W、FET内蔵、絶縁型DC/DCコンバータ

特長

- 絶縁型Fly-Buck™トポロジ
- 1次側帰還
- スイッチング周波数：100kHz~2000kHz
- 外部クロックに同期
- 調整可能なスロー・スタート
- 調整可能な入力電圧UVLO
- オープン・ドレイン障害出力
- サイクル毎の電流制限
- 過熱シャットダウン保護
- 3mm×3mmの16ピンQFNパッケージ

アプリケーション

- PLC、データ取得、および測定機器におけるノイズ耐性
- 絶縁型のRS-232およびRS-485通信チャネル
- ライン・ドライバ、ISOアンプ、センサ、CANトランシーバへの電源供給
- IGBTゲート・ドライバのフローティング電源
- 医療用機器の安全性向上

概要

TPS55010は、3.3Vまたは5Vの入力電源からRS-485やRS-232などの絶縁型インターフェイスに対して絶縁電力を供給するように設計された、トランス・ドライバです。

このデバイスは、固定周波数の電流モード制御、および1次側帰還を備えたハーフブリッジ・パワー段を使用し、最大2Wの電力レベルに対して出力電圧をレギュレーションします。スイッチング周波数は100kHz~2000kHzの範囲で調整できるため、ソリューション・サイズ、効率、およびノイズを最適化できます。スイッチング周波数は、抵抗で設定するか、またはRT/CLKピンを使用して外部クロックに同期させることができます。突入電流を最小限に抑えるため、SSピンに小さなコンデンサを接続できます。ENピンは、イネーブル・ピンとして使用するか、またはデフォルトの入力UVLO電圧を2.6Vから増加させるために使用できます。

TPS55010では、同じトランスを使用しながら、1次側電圧を調整することで、異なる入力および出力電圧の組み合わせに対してソリューションを提供できます。市販のトランスを利用して、1つの正出力電圧、または正/負2つの出力電圧を供給できます。

TPS55010は、サーマル・パッドを備えた3mm×3mmの16ピンQFNパッケージで供給されます。

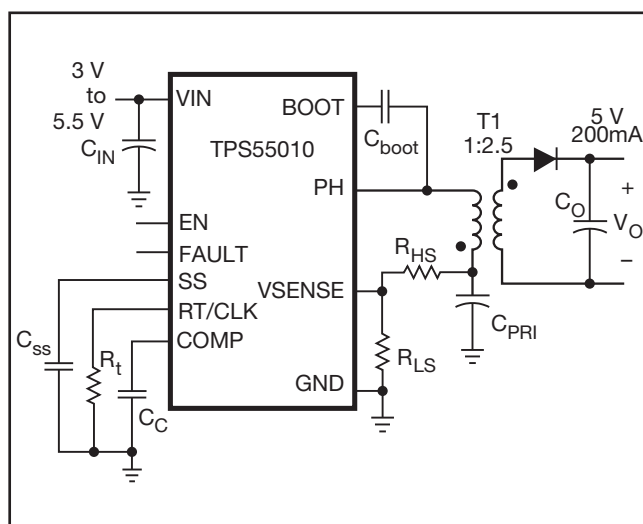


図 1. 概略回路図

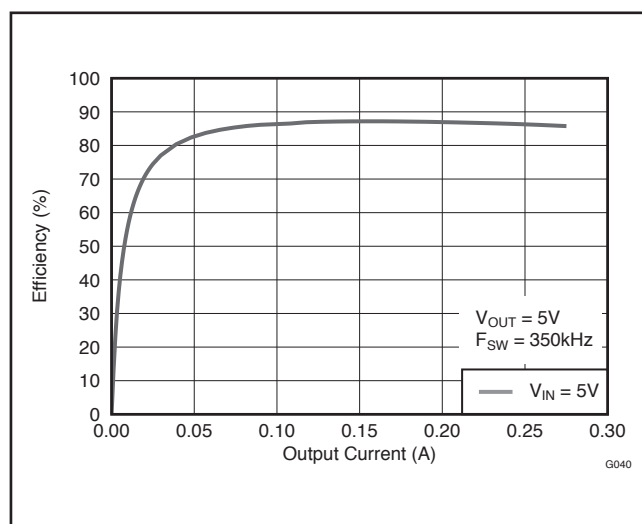


図 2. 効率 対 負荷電流

Fly-Buckは、テキサス・インスツルメンツの商標です。
すべての商標および登録商標は、それぞれの所有者に帰属します。

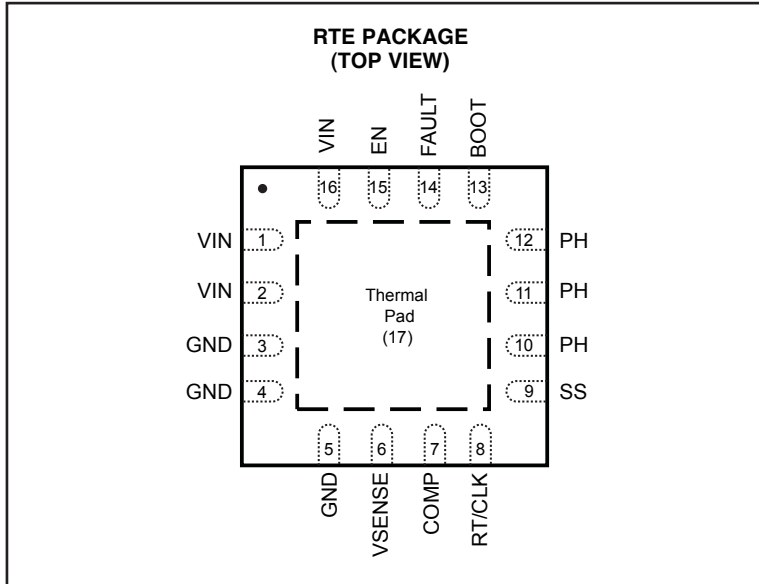
この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

ピン構成



ピン機能

ピン名	番号	説明
VIN	1, 2, 16	パワー・コンバータの制御回路およびスイッチに電源を供給します。
GND	3, 4, 5	パワー・グランド。このピンは、IC直下のサーマル・パッドに直接電氣的に接続する必要があります。
VSENSE	6	gm誤差増幅器の反転ノード。
COMP	7	誤差増幅器の出力、および出力スイッチ電流コンパレータの入力。このピンに周波数補償部品を接続します。
RT/CLK	8	タイミング抵抗接続および外部クロック入力端子。スイッチング周波数を設定するために、このピンとグランドの間に外付け抵抗を接続すると、内部アンプによってこのピンが固定電圧に保持されます。このピンをPLLの上限スレッショルドより高くプルアップすると、モード遷移が発生し、ピンは同期入力となります。内部アンプはディスエーブルになり、このピンは内部PLLへのハイインピーダンス・クロック入力となります。クロック・エッジが停止すると、内部アンプが再イネーブルされ、モードは抵抗設定機能に戻ります。
SS	9	スロー・スタート。このピンに接続する外部コンデンサによって、出力の立ち上がり時間が設定されます。
PH	10, 11, 12	内部ハイサイド・パワー・MOSFETのソース、および内部ローサイドMOSFETのドレイン。
BOOT	13	BOOTとPHの間にブートストラップ・コンデンサが必要です。このコンデンサの電圧が出力デバイスに対して必要な最小値を下回った場合、出力はコンデンサがリフレッシュされるまで強制的にオフになります。
FAULT	14	オープン・ドレイン出力。過熱シャットダウン、ドロップアウト、過電圧、またはENシャットダウンによって出力電圧が低下すると、ロー・アクティブになります。
EN	15	イネーブル・ピン、内部プルアップ電流源。ディスエーブルにするには、1.2V未満にプルダウンします。イネーブルにするには、フローティングにします。2つの抵抗を使用して入力の低電圧誤動作防止を調整します。
THERMAL PAD	17	適切な動作のためには、GNDピンを露出したサーマル・パッドに接続する必要があります。このサーマル・パッドは、複数のビアを使用して内部のPCBグランド・プレーンに接続することで、優れた熱特性を得ることができます。

表 1. ピン機能

絶対最大定格⁽¹⁾

動作温度範囲内(特に記述のない限り)

パラメータ	条件	MIN	MAX	単位
Voltage	VIN	-0.3	7	V
	EN	-0.3	3.6	V
	BOOT		PH + 7	V
	VSENSE	-0.3	3	V
	COMP	-0.3	3	V
	FAULT	-0.3	7	V
	SS	-0.3	3	V
	RT/CLK	-0.3	6	V
	BOOT-PH		7	V
	PH	-0.6	7	V
	PH, 10ns Transient	-2	10	V
Current	EN		100	μA
	RT/CLK		100	μA
	COMP		100	μA
	FAULT		10	mA
	SS		100	μA
Electrostatic Discharge (HBM) ⁽²⁾	QSS 009-105 (JESD22-A114A)		2	kV
Electrostatic Discharge (CDM) ⁽²⁾	QSS 009-147 (JESD22-C101B.01)		500	V
Operating Junction Temperature		-40	150	°C
Storage Temperature		-65	150	°C

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「電気的特性」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) HBM (Human Body Model) は、100pFのコンデンサから1.5kΩの抵抗を経由して各ピンに放電した場合です。マシン・モデルは、200pFのコンデンサから各ピンに直接放電した場合です。

熱特性について

THERMAL METRIC ⁽¹⁾		TPS55010	単位
		RTE (16 PINS)	
θ_{JA}	Junction-to-ambient thermal resistance	60	°C/W
θ_{Jctop}	Junction-to-case (top) thermal resistance	55.5	
θ_{JB}	Junction-to-board thermal resistance	24.9	
Ψ_{JT}	Junction-to-top characterization parameter	1.0	
Ψ_{JB}	Junction-to-board characterization parameter	24.9	
θ_{Jcbot}	Junction-to-case (bottom) thermal resistance	9.9	

(1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート『IC Package Thermal Metrics』(SPRA953)を参照してください。

電気的特性

$T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 、 $V_{IN} = 2.95\text{V} \sim 6\text{V}$ (特に記述のない限り)

パラメータ	テスト条件	MIN	TYP	MAX	単位
SUPPLY VOLTAGE					
Operating input voltage	V_{IN}	2.95		6	V
Shutdown current	$EN = 0\text{V}$, 25°C		2	5	μA
Operating current	$V_{SENSE} = 0.9\text{V}$, 25°C		360	575	μA
Internal undervoltage lockout			2.6	2.9	V
ENABLE					
Enable threshold	rising		1.25	1.37	V
	falling	1.15	1.18		
Input current	Threshold - 50mV		-1.2		μA
	Threshold + 50mV		-4.6		μA
Hysteresis			3.4		
VOLTAGE REFERENCE					
Reference	$3\text{V} < V_{IN} < 6\text{V}$	0.804	0.829	0.854	V
MOSFET					
High side switch resistance	$BOOT - PH = 5\text{V}$		45	81	$\text{m}\Omega$
Low side switch resistance	$V_{IN} = 5\text{V}$		45	81	$\text{m}\Omega$
ERROR AMPLIFIER					
Input current			50		nA
Error amp transconductance	$-2\ \mu\text{A} < I_{(COMP)} < 2\ \mu\text{A}$		245		μMhos
Error amp dc gain	$V_{SENSE} = 0.8\text{V}$		500		V/V
Minimum unity gain Bandwidth			3		MHz
Error amp source/sink	$V_{(COMP)} = 1\text{V}$, 100 mV overdrive		± 16		μA
COMP to Iph gm	$I_{ph} = 0.5\text{A}$		7.5		A/V
CURRENT LIMIT					
High side sourcing current limit	$V_{IN} = 3\text{V}$	2	2.75		A
Low Side Sinking Current Limit	$V_{IN} = 3\text{V}$	-3	-4.5		A
THERMAL SHUTDOWN					
Thermal Shutdown			171		$^{\circ}\text{C}$
OT Hysteresis			12		$^{\circ}\text{C}$
RT/CLK					
Switching frequency using RT mode		100		2000	kHz
Switching Frequency	$R_{(RT/CLK)} = 195\ \text{k}\Omega$	400	500	600	kHz
RT/CLK voltage	$R_{(RT/CLK)} = 195\ \text{k}\Omega$		0.5		V
RT/CLK high threshold			1.6	2.2	V
RT/CLK low threshold		0.4	0.6		V
Switching frequency using CLK mode		300		2000	kHz
Minimum CLK pulse width			75		ns
PLL lock in time			50		μs
RT/CLK falling edge to PH rising edge delay			90		ns
PH					
Minimum On time	Measured at 10% to 10% of V_{IN}		130		ns
BOOT					
Boot UVLO			2.5		V

電気的特性

$T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 、 $V_{IN} = 2.95\text{V} \sim 6\text{V}$ (特に記述のない限り)

パラメータ	テスト条件	MIN	TYP	MAX	単位
SS Slow Start					
VIN UVLO to SS start time			100		μs
Charge current	$V_{(SS)} = 0.4\text{ V}$	0.5	2.2	4	μA
SS to VSENSE matching	$V_{(SS)} = 0.4\text{ V}$		35		mV
SS to reference Crossover	98% reference		1.1		V
SS discharge current (overload)	$V_{SENSE} = 0\text{ V}$		325		μA
SS discharge voltage	$V_{SENSE} = 0\text{ V}$		46		mV
SS discharge current (UVLO, EN, thermal fault)	$V_{(SS)} = 0.5\text{ V}$		1.2		mA
FAULT Pin					
VSENSE threshold	VSENSE falling		91		% VREF
	VSENSE rising		108		% VREF
Output high leakage	$V_{SENSE} = V_{REF}$, $V_{(FAULT)} = 5.5\text{ V}$		2		nA
Output low	$I_{(FAULT)} = 3\text{ mA}$		0.3		V
Minimum VIN for valid output	$V_{(FAULT)} < 0.5\text{ V}$ at $100\ \mu\text{A}$			1.6	V

代表的特性

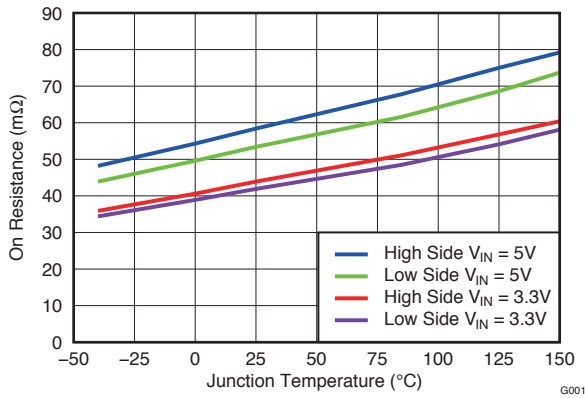


図 3. ハイサイド/ローサイド $R_{DS(on)}$ 対 温度

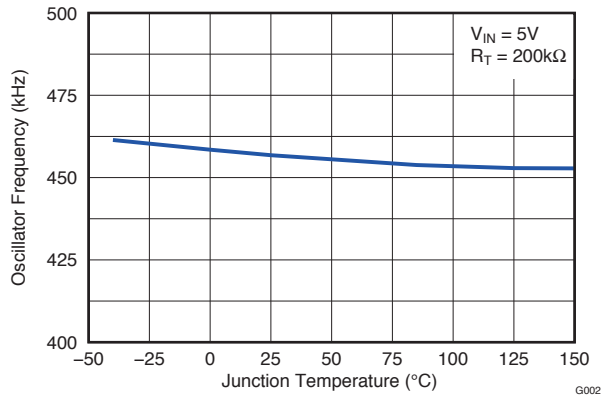


図 4. 周波数 対 温度

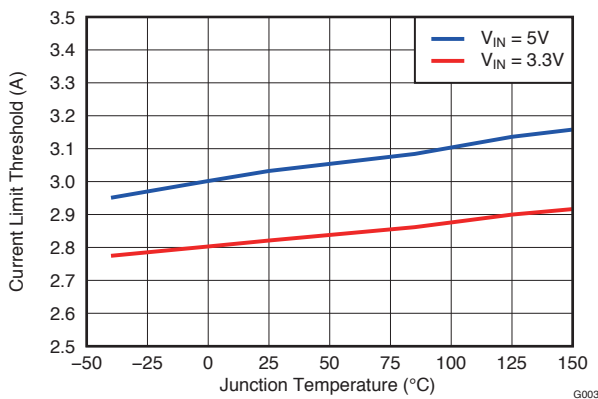


図 5. ハイサイド電流制限(ソース) 対 接合部温度

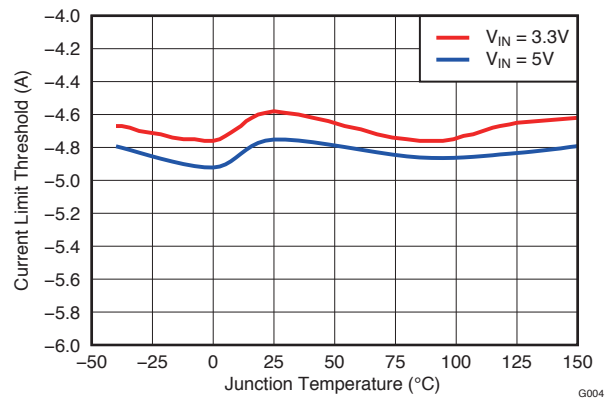


図 6. ローサイド電流制限(シンク) 対 接合部温度

代表的特性

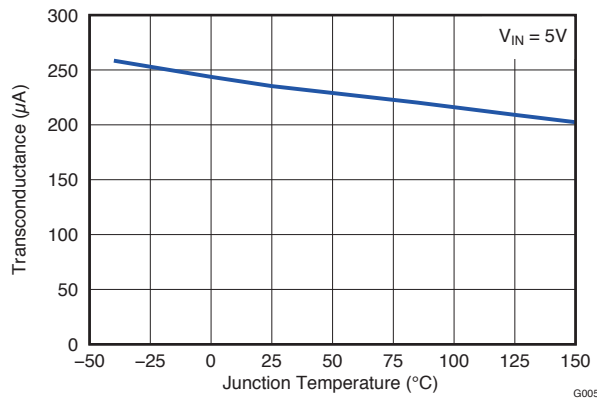


図 7. 誤差増幅器トランスコンダクタンス 対 温度

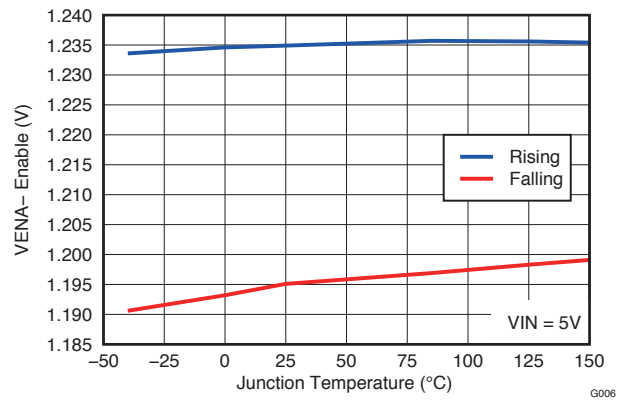


図 8. ENピン電圧 対 温度

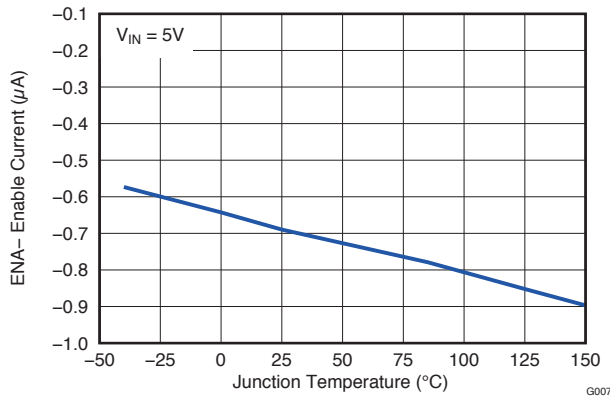


図 9. ENピン・プルアップ電流 対 温度
(V_{EN} = スレッショルド -50mV)

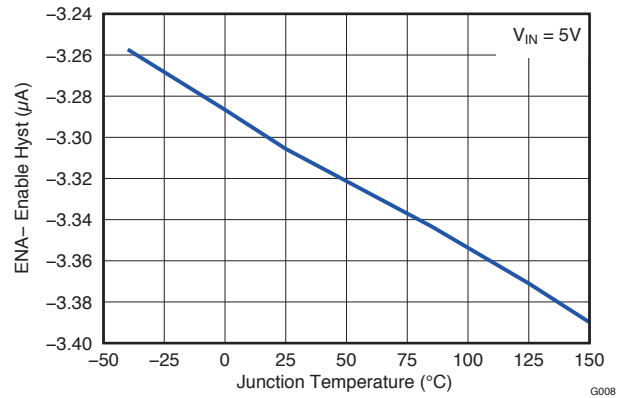


図 10. ENピン・ヒステリシス電流 対 温度

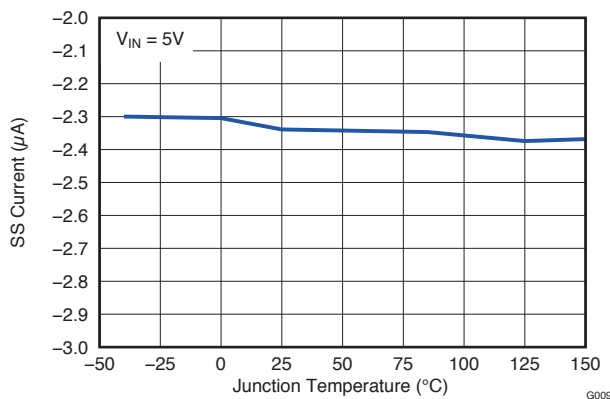


図 11. SS充電電流 対 温度

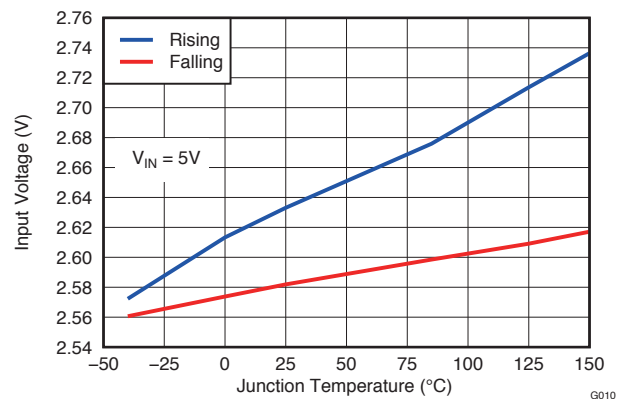


図 12. 入力開始および停止電圧 対 温度

代表的特性

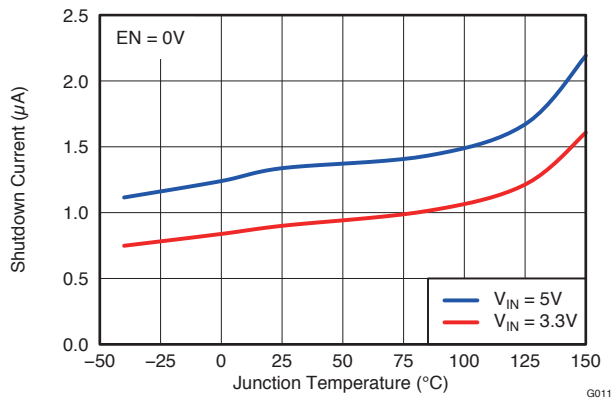


図 13. シャットダウン時消費電流 対 温度

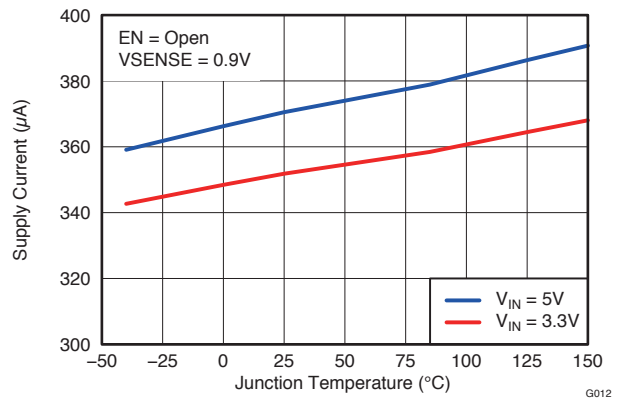


図 14. V_{IN} 消費電流 対 温度

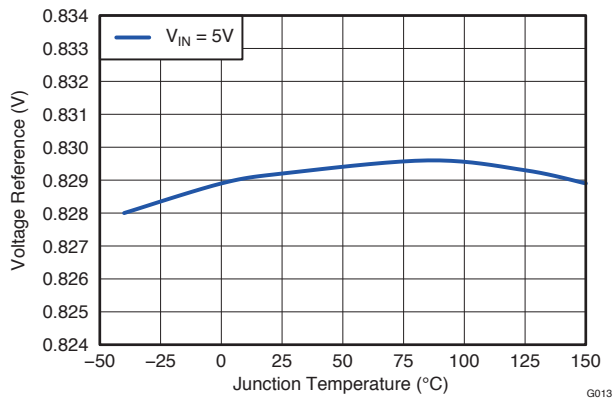


図 15. 電圧リファレンス 対 温度

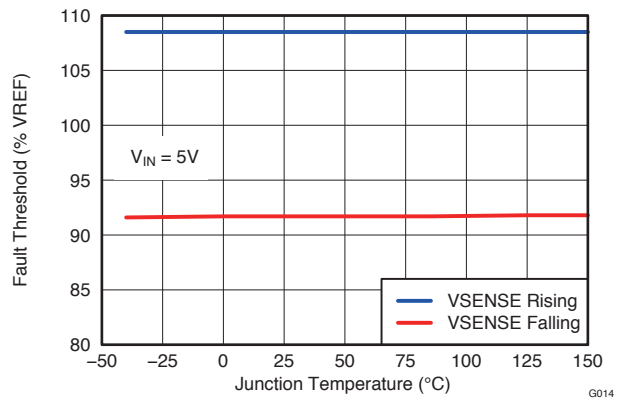


図 16. FAULTスレッシュョルド 対 温度

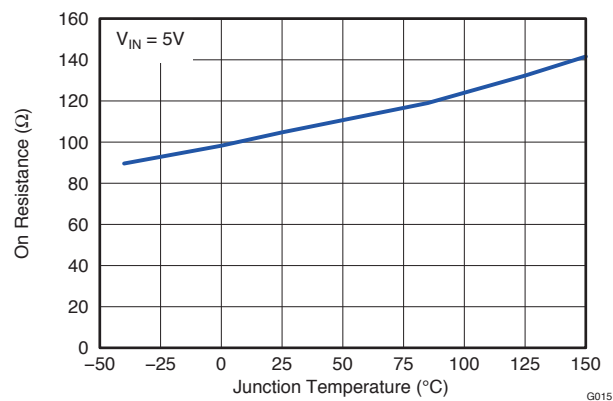


図 17. FAULTオン抵抗 対 温度

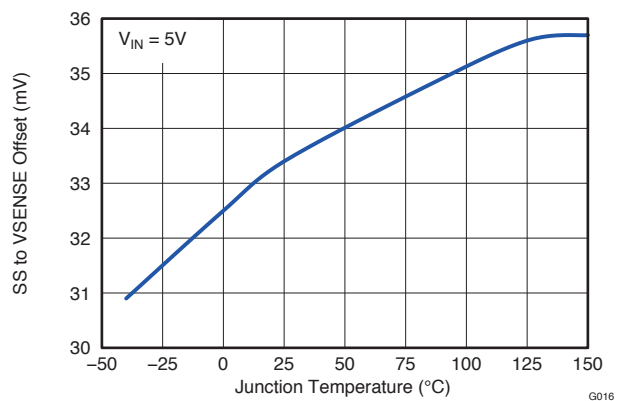


図 18. SS-VSENSEオフセット 対 温度

詳細説明

TPS55010は、高効率、低電力の絶縁型電源を実装するために設計された、ハーフブリッジ・トランス・ドライバです。2個の抵抗と1個の1次側コンデンサを使用して実現される1次側帰還により、開ループのプッシュプル・コンバータと比較して、優れたライン/負荷レギュレーションを提供します。

ハーフブリッジ・パワー段は、45mΩのオン抵抗を持つ2個の内蔵NチャンネルMOSFETから構成されます。内蔵ハイサイドMOSFETの駆動電圧は、BOOT-PHピン間のコンデンサによって供給されます。スイッチング周波数は、RT/CLKピンからグラウンドへの抵抗を使用して調整します。RT/CLKピンには内部フェーズ・ロック・ループ(PLL)が備えられ、ハイサイド・パワー・スイッチをオンにするタイミングを外部システム・クロックの立ち下がりエッジに同期させることができます。スイッチング周波数の範囲が100kHz~2000kHz(CLKモードでは300kHz~2000kHz)と広いいため、効率およびサイズの最適化やノイズの防止を考慮しながらスイッチング周波数を選択できます。TPS55010の標準スタートアップ電圧はデフォルトで2.6Vです。ENピンの内部プルアップ電流源を使用して、入力電圧の低電圧誤動作防止(UVLO)を2個の外付け抵抗により調整可能です。また、このプルアップ電流は、ENピンがフローティングのときにデバイスが動作するためのデフォルト状態を提供します。TPS55010の合計動作電流は、無負荷の非スイッチング時で360μA(typ)です。デバイスがディスエーブル時の消費電流は、5μA未満です。スロー・スタート(SS)ピンを使用すると、スタートアップ時の突入電流を最小限に抑えることができます。

固定周波数PWM制御

TPS55010は、調整可能な固定周波数のピーク電流モード制御を使用します。COMPピンを駆動する誤差増幅器により、1次電圧がVSENSEピンの外付け抵抗を通して内部電圧リファレンスと比較されます。内部発振器により、ハイサイド・パワー・スイッチのオン動作が開始され、誤差増幅器の出力がハイサイド・パワー・スイッチ電流と比較されます。パワー・スイッチ電流がCOMP電圧レベルに達すると、ハイサイド・パワー・スイッチがオフになり、ローサイド・パワー・スイッチがオンになります。出力電流が増加および減少すると、COMPピン電圧も増加および減少します。デバイスではCOMPピン電圧を最大レベルにクランプすることで電流制限を行っています。TPS55010は、スイッチ電流信号に補償ランプを追加します。このスロー補償により、高いデューティ・サイクルでの低調波発振を防いでいます。

ハーフブリッジおよびブートストラップ電圧

TPS55010にはブート・レギュレータが内蔵され、ハイサイドMOSFETのゲート駆動電圧を提供するために、BOOTピンとPHピン間に小さなセラミック・コンデンサが必要です。このセラミック・コンデンサの値は、0.1μFとしてください。温度および電圧に対して安定した特性を持つため、X7RまたはX5Rクラスの誘電体を持つ電圧定格10V以上のセラミック・コンデンサを推奨します。

誤差増幅器

TPS55010は、トランスコンダクタンス誤差増幅器を使用しています。この増幅器は、VSENSEの電圧を、SSピンの電圧または内部の0.829V電圧リファレンスのいずれか低い方と比較します。誤差増幅器のトランスコンダクタンスは、245μA/Vです。周波数補償部品をCOMPピンとグラウンドの間に配置します。

電圧リファレンス

電圧リファレンス・システムは、温度に対し安定なバンドギャップ回路の出力をスケールリングすることで、温度に対して±3.0%の高い精度を持つ電圧リファレンスを生成します。このバンドギャップ回路とスケールリング回路により、誤差増幅器の非反転入力に0.829Vが生成されます。

出力電圧の調整

1次側電圧は、1次側コンデンサとVSENSEピンとの間の分圧抵抗回路によって設定されます。公差1%以内の分圧抵抗を使用することを推奨します。最初はR_{LS}抵抗に10kΩを使用し、式(1)を使ってR_{HS}を計算します。出力電圧は、1次側電圧、トランスの巻線比、およびダイオードの順方向電圧の関数です。

$$R_{HS} = R_{LS} \times \left(\frac{V_{PRI} - 0.829V}{0.829V} \right) \quad (1)$$

$$V_{OUT} = V_{PRI} \times \frac{N_{SEC}}{N_{PRI}} - V_{fd} \quad (2)$$

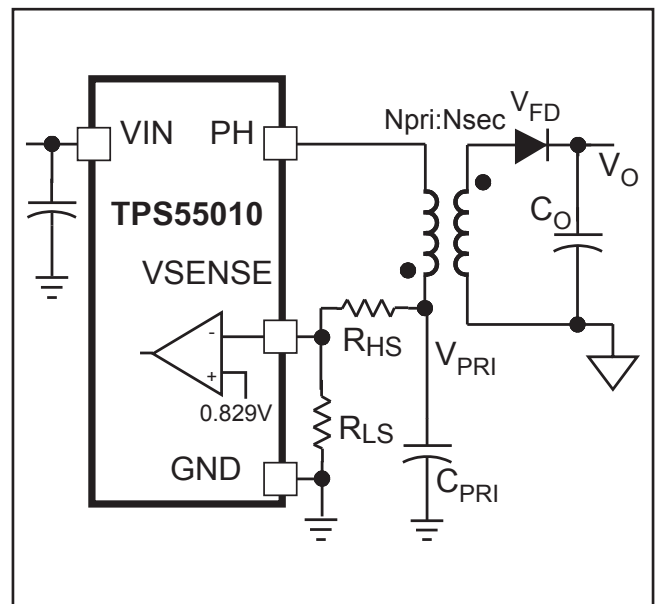


図 19. 出力電圧の設定

イネーブルおよび低電圧誤動作防止の調整

VINピンの電圧が2.6Vを下回ると、TPS55010はディスエーブルになります。アプリケーションで、より高い値での低電圧誤動作防止(UVLO)を必要とする場合は、図20のようにENピンを使用し、2個の外付け抵抗で入力電圧UVLOを調整します。ENピンには1.2μAの内部プルアップ電流源があり、ENピンがフローティングのときにTPS55010が動作するデフォルト状態を提供します。ENピンの電圧が1.25Vを超えると、3.4μAのヒステリシスが追加されます。ENピンが1.18V未満になると、このヒステリシス電流は除去されます。

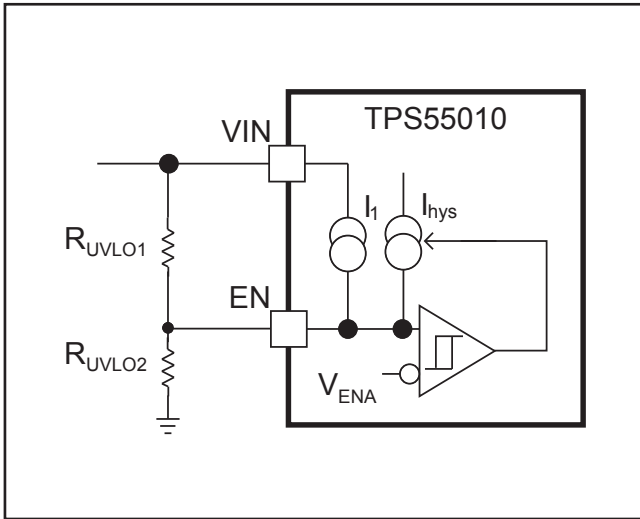


図 20. 調整可能な低電圧誤動作防止

$$R_{UVLO1} = \frac{V_{START} \left(\frac{V_{ENfalling}}{V_{ENrising}} \right) - V_{STOP}}{I1 \times \left(1 - \frac{V_{ENfalling}}{V_{ENrising}} \right) + I_{HYS}} \quad (3)$$

$$R_{UVLO2} = \frac{R_{UVLO1} \times V_{ENfalling}}{V_{STOP} - V_{ENfalling} + R_{UVLO1} \times (I1 + I_{HYS})} \quad (4)$$

スロー・スタート時間の調整

SSピンとグラウンド間のコンデンサを使用してスロー・スタート時間を設定することにより、スタートアップ時の突入電流を最小限に抑えることができます。TPS55010は、SSピンの電圧または内部リファレンス電圧のいずれか低い方の電圧でレギュレーションを行います。TPS55010には、外部のスロー・スタート・コンデンサを充電する2.2μAのプルアップ電流源が内蔵されています。必要なスロー・スタート・コンデンサの値は式(5)で計算されます。ここで、 T_{SS} は必要なスロー・スタート時間(ms)、 I_{SS} は内部スロー・スタート充電電流(2.2μA)、 V_{REF} は内部電圧リファレンス(0.829V)です。

通常動作中に、VINがUVLOを下回るか、ENピンが1.18V未満にプルダウンされるか、または過熱シャットダウンが発生した場合、TPS55010はスイッチングを停止します。VINがUVLOを上回るか、ENが解除(“High”に設定)されるか、または過熱シャットダウンが終了した場合、SSが40mV未満まで放電されてからパワーアップ・シーケンスを再び開始します。VSENSE電圧は、35mVのオフセットで内部電圧リファレンスの85%までSSピン電圧に追従します。SS電圧が内部リファレンス電圧の85%を上回ると、実効的なシステム・リファレンスがSS電圧から内部電圧リファレンスへと遷移するため、オフセットが増加します。スロー・スタート時間が必要な場合、SSはオープンにできます。スロー・スタート・コンデンサは、0.47μF未満にする必要があります。

$$C_{SS}(nF) = \frac{T_{SS}(ms) \times I_{SS}(uA)}{V_{REF}(V)} \quad (5)$$

一定のスイッチング周波数、およびタイミング抵抗(RT/CLKピン)

TPS55010のスイッチング周波数は、RT/CLKピンに最大1070kΩ～最小42.2kΩの抵抗を接続することで、100kHz～2000kHzという広い範囲にわたって調整可能です。スイッチング周波数を設定するために、このピンとグラウンドの間に外付け抵抗を接続すると、内部アンプによってこのピンが固定電圧に保持されます。RT/CLKの電圧は標準で0.5Vです。特定のスイッチング周波数に対するタイミング抵抗を決定するには、式(6)を使用します。

ソリューション・サイズを小さくするには、一般にスイッチング周波数をできるだけ高く設定しますが、効率、最大入力電圧、および最小制御可能オン時間の間でトレードオフを考慮する必要があります。最小制御可能オン時間は、標準で130nsです。

$$R_T(k\Omega) = \frac{156000}{f_{sw}(kHz)^{1.0793}} \quad (6)$$

RT/CLKピンへのインターフェイス方法

RT/CLKピンを使用して、レギュレータを外部システム・クロックに同期させることができます。同期機能を実装するには、図21に示すいずれかの回路を通してRT/CLKピンに方形波を接続します。方形波の振幅はRT/CLKピン上で0.4V未満および2.2V以上で遷移する必要があり、High期間が75ns以上となる必要があります。同期周波数範囲は300kHz～2000kHzです。PHの立ち上がりエッジは、RT/CLK信号の立ち下がりエッジに同期します。

外部同期回路は、同期信号がオフになったとき、RT/CLKピンとグラウンドの間にデフォルトの周波数設定抵抗が接続されるよう設計する必要があります。オフ状態中にHi-Zまたは3ステートにならないクロック信号に対しては、図21に示すように、周波数設定抵抗を別の抵抗(例: 50Ω)を介してグラウンドに接続することを推奨します。RT抵抗によって、スイッチング周波数が外部CLK周波数に近い値に設定される必要があります。同期信号は10pFのセラミック・コンデンサを通してRT/CLKピンにAC結合することを推奨します。CLKがCLKスレッシュホールドを最初に超えたときに、デバイスは

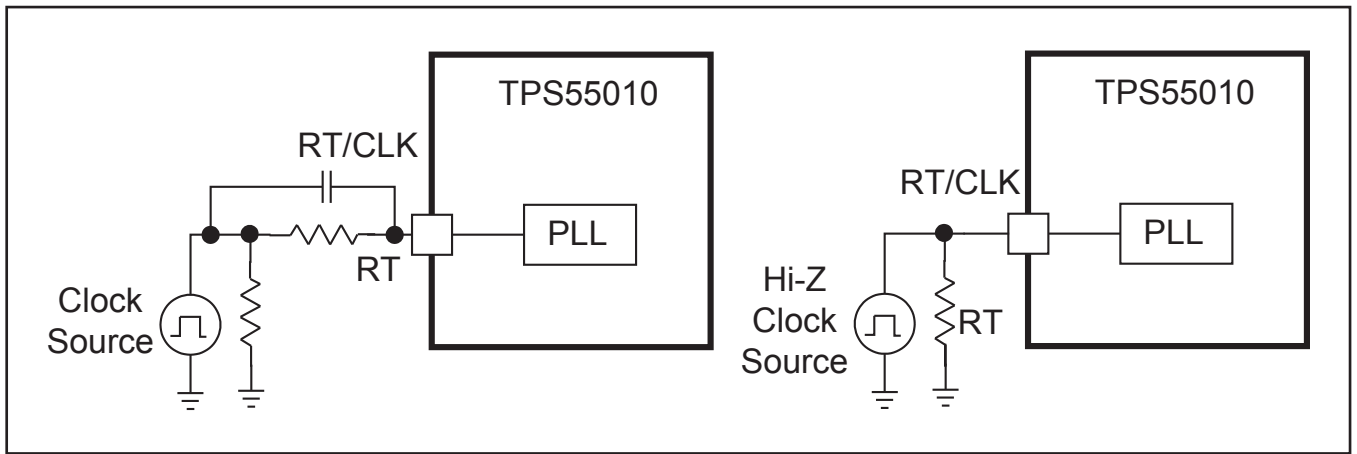


図 21. システム・クロックとの同期

RT抵抗周波数からPLLモードへと切り替わります。PLLが外部信号へのロックを開始すると、内部の0.5V電圧源が切り離され、CLKピンがハイ・インピーダンスになります。レギュレータはPLLを備えているため、スイッチング周波数は外付け抵抗で設定された周波数よりも高くまたは低くできます。デバイスは抵抗モードからPLLモードに移移した後、PLLが50マイクロ秒以内に外部CLK周波数へとロックするまで、スイッチング周波数を上昇または下降させます。デバイスがPLLモードから抵抗モードに移移すると、スイッチング周波数がCLK周波数から150kHzへとスローダウンした後、0.5Vの電圧が再印加され、抵抗によりスイッチング周波数が設定されます。

過電流保護

TPS55010には、サイクル毎の電流制限があります。各スイッチング・サイクル中に、ハイサイド・スイッチ電流がCOMPピンの電圧と比較されます。スイッチ電流が瞬間的にCOMP電圧レベルを超えた場合、ハイサイド・スイッチがオフになります。過電流状態で出力電圧が低下すると、スイッチ電流が増加しながら、誤差増幅器によってCOMPピンがHighになります。誤差増幅器の出力は内部でクランプされます。このクランプは、スイッチ電流の制限として機能します。

逆方向過電流保護

TPS55010には、ローサイドMOSFETの電圧の検出によるローサイド電流保護機能があります。コンバータがローサイドFETを通して電流をシンクしているときに、逆方向電流が4.5Aを超えた場合には、制御回路によってローサイドMOSFETがオフになります。

FAULTピン

FAULTピン出力は、オープン・ドレインMOSFETです。VSENSEが公称内部リファレンス電圧の91%を下回るか108%を上回ると、この出力はLowになります。6V未満の電圧源に対して1kΩ~100kΩのプルアップ抵抗を使用することを推奨します。VIN入力電圧が1.6Vを超えると、FAULTピンは有効な状態となります。入力UVLOまたは過熱シャットダウンがアサートされるか、ENピンがLowになった場合にも、FAULTピンはLowになります。

過熱シャットダウン

このデバイスは、接合部温度が171°Cを超えた場合にデバイス自身を保護する、過熱シャットダウン機能を内蔵しています。接合部温度が過熱トリップ・スレッシュホールドを超えると、デバイスのスイッチングが強制的に停止されます。接合部温度が159°Cを下回ると、デバイスはSSピンを40mV未満まで放電し、パワーアップ・シーケンスを再び開始します。過熱シャットダウンのヒステリシスは12°Cです。

Fly-Buck™コンバータの動作

図22に、Fly-Buckコンバータの概略回路図と、2つの主要な動作状態を示します。この電源はフライバック・コンバータの一種であり、ハーフ・ブリッジパワー段の S_{HS} と S_{LS} 、トランス、1次側コンデンサ、ダイオード、および出力コンデンサから構成されます。出力電圧は、1次側コンデンサの電圧 V_{PRI} を帰還電圧とすることで、間接的にレギュレーションされます。Fly-Buckは、フライバック・コンバータとバック・コンバータの両方の性質を兼ね備えています。トランスがフライバック・コンバータとして接続され、入力電圧と出力電圧の関係はバック・コンバータの場合と同様です。ただし、コンバータが定常状態で動作し、トランスのリーク・インダクタンスが無視できると仮定します。

ハイサイド・スイッチ S_{HS} がオンの間、 C_{PRI} および L_{PRI} は入力電圧源VINによって充電されます。この期間中は、ダイオードD1が逆バイアスとなり、負荷電流は出力コンデンサ C_O によって供給されます。

S_{HS} のオフ時間中は、 S_{LS} が導通し、 C_{PRI} の電圧は S_{LS} 導通時間の一部で引き続き上昇します。この電圧上昇は、 L_{PRI} から C_{PRI} に伝送されるエネルギーによるものです。 S_{LS} 導通時間の残りの部分では、 L_{PRI} を流れる電流が逆転するため、 C_{PRI} 電圧が低下します。図23の $I_{L_{PRI}}$ および V_{PRI} の波形を参照してください。ダイオードでの電圧降下、導通のデッド・タイム、およびリーク・インダクタンスを無視すると、入力電圧と出力電圧の変換比は、LPRIでの磁束のバランスから、式(7)のように求めることができます。式(7)から、出力と入力との関係が、トランス絶縁を備えたバック・コンバータの場合と同じであることがわかります。式(8)に示される1次側コンデンサのDC電圧 V_{PRI} は、バック・コンバータの場合と同様に、入力電圧に対して直線関係を持ちます。

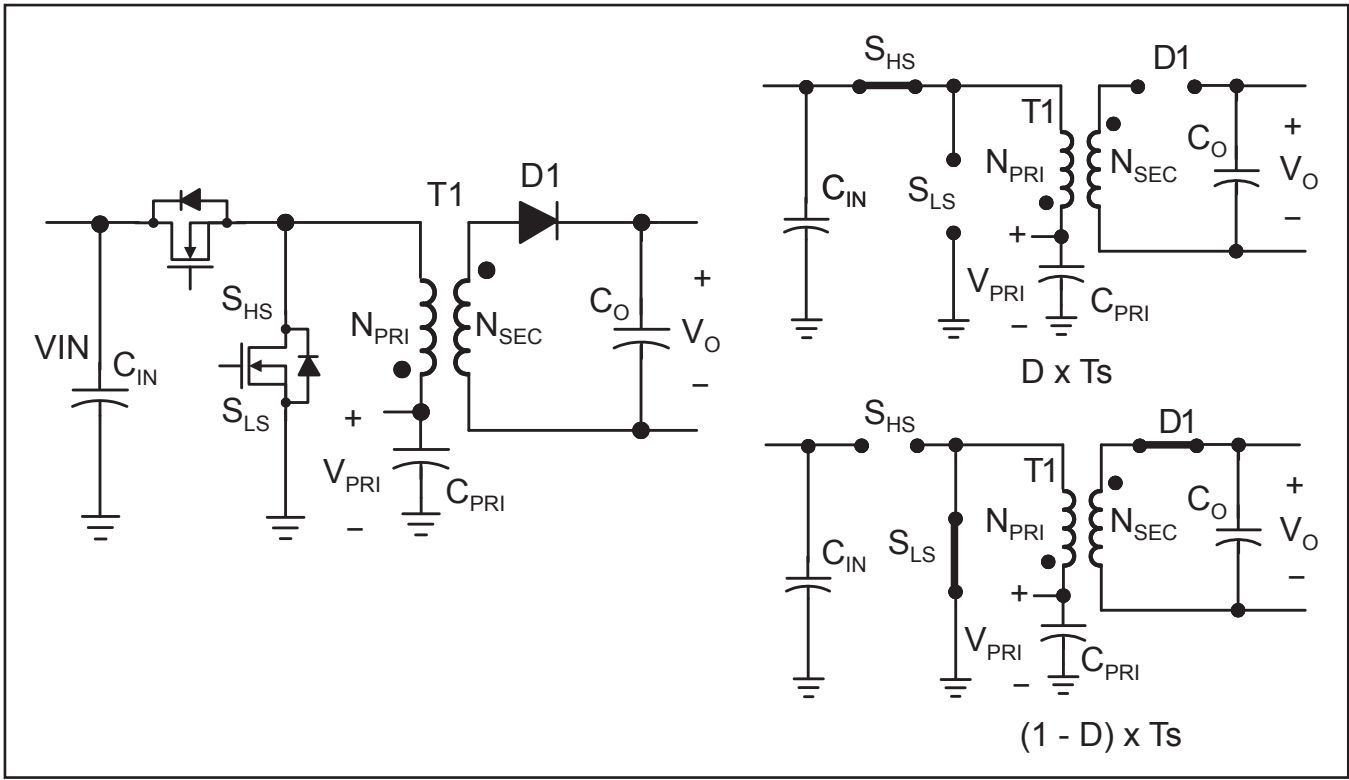


図 22.

Fly-Buckの小信号モデルは、図22の回路に対して、トランスを等価なインダクタに変更し、出力フィルタを1次側に反映させることで得られます。リーク・インダクタンスおよびコンデンサの等価直列抵抗が無視できると仮定すると、 V_{PRI} 伝達関数は、電流モード制御バック・パワー段の伝達関数と似ています。ただし、 C_O と負荷は $(1-D)$ 期間の間だけ C_{PRI} に並列となります。2次側の部品を平均すると、近似された伝達関数は式(9)、極の位置は式(10)で得られます。 R_O は2次側の負荷抵抗、 R_{LM} は1次側のDC抵抗です。 R_i は、COMP-PH間の g_m の逆数です。

$$\frac{V_O}{V_{IN}} = \frac{N_{SEC}}{N_{PRI}} \times D \quad (7)$$

$$\frac{V_{PRI}}{V_{IN}} = D \quad (8)$$

$$\frac{\hat{V}_{PRI}}{\hat{V}_C} \approx \frac{R_{LM} + \left(\frac{R_O}{(1-D)} \times \left(\frac{N_{PRI}}{N_{SEC}} \right)^2 \right)}{R_i \times \left(1 + \frac{s}{2 \times \pi \times f_{POLE}} \right)} \quad (9)$$

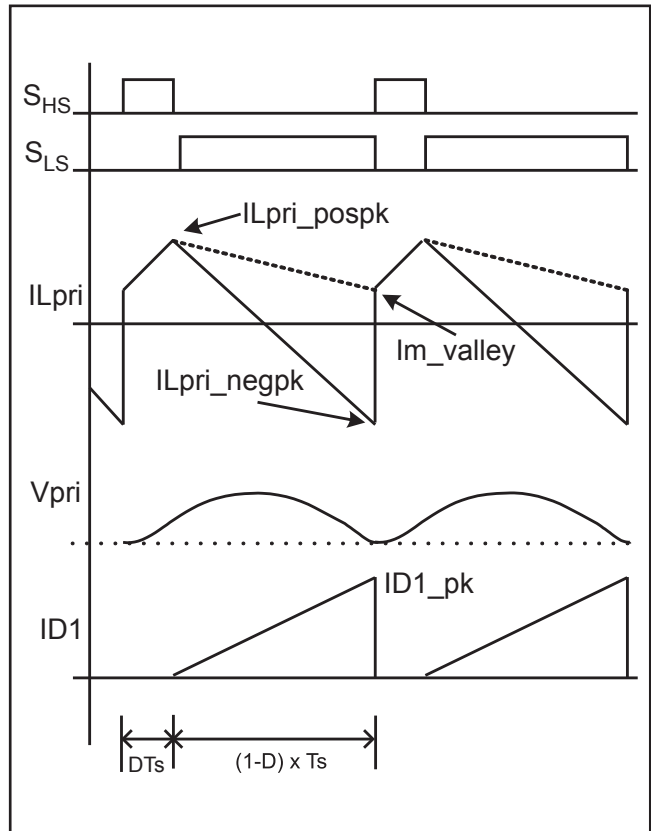


図 23. 電圧および電流の概略波形

$$f_{POLE} = \frac{1}{2 \times \pi \times \left(\frac{R_O}{(1-D)} \times \left(\frac{N_{PRI}}{N_{SEC}} \right)^2 \right) \times \left((1-D) \times C_O \times \left(\frac{N_{SEC}}{N_{PRI}} \right)^2 + C_{PRI} \right)} \quad (10)$$

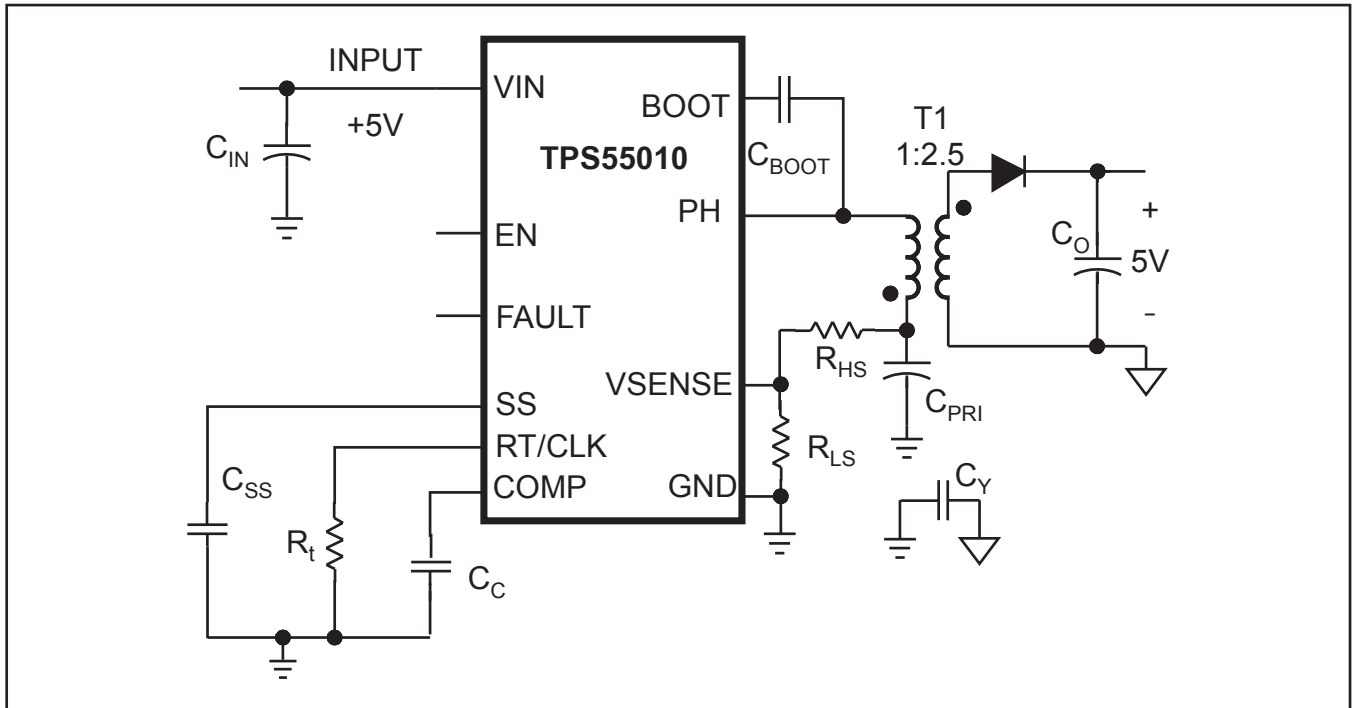


図 24. 5Vから5Vへの絶縁型電源回路図

概要

次の設計例は、単一出力の絶縁型電源に対する部品の決定方法を示しています。TIでは、設計プロセスの迅速化のため、ユーザ・ガイド (SLVU459) およびExcel計算ツール (SLVC363) とともにEVM (TPS55010EVM-009) を提供しています。これらのサポート資料は、www.ti.comのTPS55010製品フォルダから入手できます。

設計ガイド — ステップ毎の設計手順

入力電圧	公称5V(4.5V~5.5V)
出力電圧	5V
出力電圧リップル	<0.5%
出力電流	200mA
開始電圧	4.5V
停止電圧	4V

1次側電圧

出力電圧は、1次側電圧、トランスの巻線比、およびダイオード電圧の関数です。1次側電圧は、デューティ・サイクルおよび入力電圧の関数であり、式(11)に示すように、降圧型(バック)レギュレータの場合と似ています。最大デューティ・サイクルの問題を避け、ローサイド・パワー・スイッチのオン時間中にエネルギー伝送のために十分な時間を確保するには、1次側電圧を最小動作入力電圧よりも500mV低くする必要があります。一般に、1次側電圧は入力電圧の50%とするのが理想的ですが、20%~80%の範囲が許容されます。設計の制約に従うと、1次側電圧は3.6V~1.1Vとなります。2.2Vの1次側電圧を選択し、デューティ・サイクルは約45%となります。

$$D = \frac{V_{PRI}}{V_{IN}} \quad (11)$$

巻線比

トランスの巻線比は、目的の出力電圧、ダイオード電圧、および1次側電圧を使用して計算します。ダイオード電圧が0.5V、 V_{OUT} が5V、 V_{PRI} が2.2Vと仮定すると、 $N_{PRI} : N_{SEC}$ の巻線比は1:2.5となります。

$$\frac{N_{SEC}}{N_{PRI}} = \frac{V_{OUT} + V_{FD}}{V_{PRI}} \quad (12)$$

電圧帰還

R_{LS} に61.9kΩを選択すると、式(13)から $R_{HS} = 102.4kΩ$ となります。最も近い標準値として100kΩを選択します。

負荷範囲全体にわたって出力電圧を最適化するために、帰還抵抗の調整が必要となる場合があります。通常は、出力電圧を50%負荷で公称電圧に設定すると、最良の結果が得られます。

$$R_{HS} = R_{LS} \times \left(\frac{V_{PRI} - 0.829V}{0.829V} \right) \quad (13)$$

スイッチング周波数と1次側インダクタンスの選択

通常、スイッチング周波数の選択は、効率と部品サイズとの間のトレードオフとなります。ただし、絶縁が必須要件である場合、スイッチング周波数はソリューション・サイズを決定する際の主要な変数とはなりません。低いスイッチング周波数で動作すると、ゲート駆動損失およびMOSFETとダイオードでのスイッチング損失が低減するため、効率は向上します。ただし、より低いスイッチング周波数で動作するには、より大きな1次側インダクタンスが必要となり、巻線数とDC抵抗が増えます。

最適な1次側インダクタンスは、2つのインダクタンス値 L_{OMAX} および L_{OMIN} の間で選択する必要があります。良好な効率を維持す

るには、1次側インダクタンスが L_{OMAX} より小さい必要があります。また、ピーク・スイッチ電流がハイサイド・パワー・スイッチの電流制限を超えないようにするには、1次側インダクタンスが L_{OMIN} より大きい必要があります。1次側インダクタンスを選択したら、ローサイド電流制限(式17)およびハイサイド電流制限(式16)に対して値が適切かを確認します。この設計例では、スイッチング周波数として350kHzを選択します。式(6)を使用して、抵抗値は280kΩとなります。電流制限を2Aと仮定すると、 L_{OMAX} および L_{OMIN} はそれぞれ3.52μH、1.17μHと計算されます。2.5μHの1次側インダクタンスを選択すると、正および負のピーク電流は1次側で1.204Aおよび-1.99Aと計算され、パワー・スイッチの電流制限内に収まります。RMS電流を計算して、デバイスでの消費電力の計算に使用できます。

磁化リップル電流は、式(18)で1.41Aと計算されます。ハイサイドFETおよびローサイドFETのRMS電流は、それぞれ式(19)および式(20)により、0.43Aおよび0.61Aとなります。これらの電流の和である1.04Aが、磁気回路に対する1次側RMS電流となります。

$$L_{OMAX} = \frac{V_{IN} \times D \times (1 - D)}{2 \times \frac{N_{SEC}}{N_{PRI}} \times I_{OUT} \times f_{sw}} \quad (14)$$

$$L_{OMIN} = \frac{V_{IN} \times D \times (1 - D)}{2 \times f_{sw} \times \left(I_{HSCL} - I_{OUT} \times \frac{N_{SEC}}{N_{PRI}} \right)} \quad (15)$$

$$I_{Lpri_pospk} \approx I_{OUT} \frac{N_{SEC}}{N_{PRI}} + \frac{V_{IN} \times D \times (1 - D)}{2 \times f_{sw} \times L_{OPRI}} \quad (16)$$

$$I_{Lpri_negpk} \approx -I_{OUT} \frac{N_{SEC}}{N_{PRI}} \times \left(\frac{1 + D}{1 - D} \right) - \frac{V_{IN} \times D \times (1 - D)}{2 \times f_{sw} \times L_{OPRI}} \quad (17)$$

$$I_{m_ripple} = \frac{V_{IN} \times D \times (1 - D)}{f_{sw} \times L_{OPRI}} \quad (18)$$

$$I_{Ls_rms} \approx$$

$$\left(D \times \left(I_{OUT} \frac{N_{SEC}}{N_{PRI}} \right)^2 + \frac{D}{12} \times I_{m_ripple}^2 \right)^{\frac{1}{2}} \quad (19)$$

$$I_{Ls_rms} \approx \left(\frac{3 \times D - 1}{3 \times (1 - D)} \times \left(I_{OUT} \times \frac{N_{SEC}}{N_{PRI}} \right)^2 + \frac{I_{m_ripple} \times I_{OUT} \times N_{SEC}}{3 \times N_{PRI}} + \frac{1 - D}{12} \times I_{m_ripple}^2 \right)^{\frac{1}{2}} \quad (20)$$

$$I_{Lrms} \approx I_{Ls_rms} + I_{Ls_rms} \quad (21)$$

1次側コンデンサ

ΔV_{PRI} 電圧は、 V_{PRI} の10%未満となる必要があります。 C_{PRI} の定格RMS電流は、式(22)よりも大きい必要があります。リップルを最小限に抑えるには、1次側容量がより大きい方がよいですが、それによって過渡応答は遅くなります。この設計例では、 $\Delta V_{PRI} = 0.22V$ と仮定し、1次側容量が4.74μF、RMS電流が1.04Aとなります。4.7μF/10VのX5Rセラミック・コンデンサを使用します。

$$I_{CPRI_rms} = I_{Lrms} \quad (22)$$

$$I_{CPRI_ch} \approx I_{L_CPRI_pospk} \times$$

$$\sqrt{\frac{D + (1 - D) \times \frac{I_{L_PRI_pospk}}{I_{L_PRI_pospk} - I_{L_PRI_negpk}}}{3}} \quad (23)$$

$$t_{CPRI} \approx \frac{D}{f_{sw}} + \frac{(1 - D)}{f_{sw}} \times \frac{I_{L_PRI_pospk}}{I_{L_PRI_pospk} - I_{L_PRI_negpk}} \quad (24)$$

$$C_{PRI} = \frac{I_{CPRI_ch} \times t_{CPRI}}{\Delta V_{PRI}} \quad (25)$$

2次側ダイオード

ダイオードは、式(26)および式(27)で計算される電圧ストレスおよびRMS電流を処理できるよう選択する必要があります。一般に、デューティ・サイクルが小さく巻線比が大きい設計では、ダイオードにかかる電圧ストレスが大きくなります。5.5Vの最大入力電圧で、Vdiode_max電圧は13.3Vと計算されます。RMS電流の計算値は、0.31Aです。式(28)からダイオードのピーク電流は0.71Aとなり、ダイオードでの消費電力は0.1Wです。定格20Vおよび1AのB120ダイオードを使用します。

$$V_{diode_max} = (V_{IN} - V_{PRI}) \times \frac{N_{SEC}}{N_{PRI}} + V_{OUT} \quad (26)$$

$$I_{diode_rms} = 2 \times I_{OUT} \times \left(\frac{1}{3 \times (1 - D)} \right)^{\frac{1}{2}} \quad (27)$$

$$I_{diode_peak} = 2 \times \frac{I_{OUT}}{1 - D} \quad (28)$$

$$P_{diode} = V_{fd} \times I_{OUT} \quad (29)$$

2次側コンデンサ

ΔV_{CO} 電圧は、 V_{CO} 電圧の0.25%~1%となる必要があります。コンバータは各スイッチング期間でエネルギーを2次側に伝達します。コンバータには1次側帰還があるため、軽負荷または無負荷状態では、出力電圧が目的値を超えて上昇する場合があります。アプリケーションで無負荷状態が発生する場合は、コンデンサの電圧定格に注意する必要があります。バラスト負荷、ツェナー・ダイオード、またはリニア・レギュレータを追加すると、軽負荷または無負荷状態での過電圧防止に役立つ場合があります。

出力容量は式(30)から10.1 μ Fとなり、RMS電流は0.24Aとなります。

10 μ F/10VのX5Rセラミック・コンデンサを2個使用します。DC電圧バイアスにより、実効容量は20 μ F未満となります。

$$C_O = \frac{I_{OUT} \times D}{f_{SW} \times \Delta V_{CO}} \quad (30)$$

$$I_{CO_rms} = \sqrt{I_{diode_rms}^2 - I_{OUT}^2} \quad (31)$$

入力コンデンサ

ΔV_{CIN} 電圧は、 V_{IN} の0.25%~1%となる必要があります。TPS55010では、2.2 μ F以上の実効容量を持つ高品質のセラミック(タイプX5RまたはX7R)入力デカップリング・コンデンサを V_{IN} およびGNDピンに接続する必要があります。アプリケーションによっては追加のバルク容量も必要となります。実効容量には、DCバイアスの

影響も含まれます。入力コンデンサの電圧定格は、最大入力電圧よりも高い必要があります。また、コンデンサのリプル電流定格は、TPS55010の最大入力電流リプルよりも大きい必要があります。

入力リップル電流は、式(33)で計算できます。セラミック・コンデンサの値は、温度およびコンデンサに印加されるDCバイアスの大きさによって大きく変化します。温度による容量の変化は、温度に対して安定な誘電体を選択することで最小限に抑えることができます。X5RおよびX7Rセラミック誘電体は、容量/体積比が大きく、温度に対してかなり安定しているため、パワー・レギュレータのコンデンサとして一般に選択されます。また、出力コンデンサはDCバイアスも考慮して選択する必要があります。コンデンサ両端にかかるDCバイアスが増加すると、コンデンサの容量値は減少します。大きな無負荷過渡電圧が生じるアプリケーションでは、バルク入力容量の大きさを、1次側コンデンサから入力コンデンサへのエネルギー伝達を含めて決定する必要があります。

入力容量は式(32)から12.6 μ Fとなり、RMS電流は0.46Aとなります。47 μ F/10VのX5Rセラミック・コンデンサを入力に使用します。適切なバイアス電源を得るために、0.1 μ Fのセラミック・コンデンサをVINおよびGNDピンにできるだけ近づけて配置します。

$$C_{IN} = \frac{I_{OUT} \frac{N_{SEC}}{N_{PRI}} \times D}{f_{SW} \times \Delta V_{CIN}} \quad (32)$$

$$I_{Cin_rms} = I_{lpri_pospk} \times \sqrt{\frac{D}{3}} \quad (33)$$

Y - コンデンサ

Y-コンデンサは、ノイズに敏感なアプリケーションで同相モード(CM)ノイズを減衰させるために、1次側と2次側の間に使用されます。1次側と2次側のグラウンドを大きなループ領域で接続した場合、絶縁トランスの巻線間容量を介して1次側のスイッチング・ノイズが侵入し、2次側に同相モード・ノイズを発生させる可能性があります。Y-コンデンサを使用すると、2次側グラウンドと1次側グラウンド間に接続された小さなコンデンサによって、これらの電流に対するローカルなリターン・パスが提供されます。Y-コンデンサの電圧定格は、トランスの絶縁耐圧と同等である必要があります。コンバータを安全絶縁用に使用する場合は、容量の大きさに上限があります。安全規格で許容されるトランスの巻線間容量および最大リーク電流(例: UL60950 Class Iの機器リーク電流 < 3.5mA)により、最大値が設定されます。パワー・インバータの浮遊ゲート駆動電源など、大きな過渡電圧が生じるアプリケーションでは、Y-コンデンサの使用は推奨しません。

スロー・スタート・コンデンサ

パワーアップ中、または過負荷状態からの回復中にオーバーシュートを最小限に抑えるため、スロー・スタート・コンデンサが使用されます。35msのスロー・スタートが望ましく、式(5)を使用して0.1 μ Fの容量が求められます。

ブートストラップ・コンデンサの選択

適切な動作のためには、BOOTピンとPHピンの間に0.1μFのセラミック・コンデンサを接続する必要があります。X5R以上の誘電体を持つセラミック・コンデンサの使用を推奨します。コンデンサの電圧定格は10V以上である必要があります。

UVLO抵抗

4.5Vおよび4Vの開始電圧および停止電圧を使用する場合、式(3)および式(4)からそれぞれ71.5kΩおよび26.7kΩのUVLO抵抗が計算されます。

補償

DC/DCレギュレータの補償にはいくつかの手法が使用されています。ここに示す方法では、デバイス内部のスロープ補償による影響は無視しています。スロープ補償が無視されるため、実際のクロスオーバー周波数は、計算で使用されるクロスオーバー周波数よりも低くなります。この方法では、クロスオーバー周波数の範囲を、変調回路の極～その20倍大きな値までと仮定しています。1個のコンデンサによる補償方法(タイプ1)でクロスオーバー周波数を選択する際には、1次側コンデンサのリップル電圧が1%未満の場合、推奨範囲の下限を使用して電源を開発します。1次側リップルの低い設計が望ましい場合は、タイプ2または3の補償を考慮する必要があります。最初は、式(10)で決定される変調回路の極周波数 f_{POLE} を使用して、クロスオーバー周波数 f_{CO} を選択します。この例では、クロスオーバー周波数として5kHzを選択します。次の手順は、ループを補償するために、クロスオーバー周波数での補償ゲイン A_{COMP} を決定することです。式(35)では、 \cdot パワー段のDCゲイン、変調回路の極、およびクロスオーバー周波数を使用して、ゲインを見積もります。 R_i は電流センス・ゲインであり、これはCOMP-IPH間のトランスコンダクタンス(= 7.5A/V)の逆数です。 A_{COMP} は10.1dBと計算されます。補償用の極周波数 f_{COMP_POLE} は、式(36)を用いて求められます。式(36)の A_{OL} は、誤差増幅器の開ループ・ゲインであり、500V/Vです。

f_{COMP_POLE} は8.27Hzと計算されます。式(37)を使用して、 C_{COMP} は0.01μFと計算されます。

$$\frac{W_{POLE}}{2 \times \pi} < f_{CO} < 20 \times \frac{W_{POLE}}{2 \times \pi} \quad (34)$$

$$A_{COMP} = 20 \times \log \left(\frac{R_{LM} + \frac{R_O}{(1-D)}}{R_i} \right) - 20 \times \log \left(\frac{2 \times \pi \times f_{CO}}{2 \times \pi \times f_{POLE}} \right) \quad (35)$$

$$f_{COMP_POLE} = \frac{V_{PRI}}{10^{\frac{A_{comp}}{20}} \times A_{OL} \times V_{REF}} \times f_{CO} \quad (36)$$

$$C_{COMP} = \frac{1}{2 \times \pi \times \frac{A_{OL}}{g_{mea}} \times f_{COMP_POLE}} - \frac{g_{mea}}{2 \times \pi \times BW} \quad (37)$$

メーカー

製品のリリース時点において、TPS55010に対して使用できる市販のトランスは2つあります。これらのトランスは、Digikeyを通じて、または直接Wurth Electronics Midcomから入手できます。

部品番号	仕様	メーカー
750311880	2.5μH、巻線比1:2.5、基本絶縁、2500Vrms	Wurth Electronics Midcom www.we-online.com/midcom
750311780	2.0μH、巻線比1:8:8、基本絶縁、2000Vrms	

表 2.

Fly-Buckトランスの指定方法

市販のトランスを使用できない場合は、以下の情報を利用して、メーカーに発注するトランスの仕様を決定します。磁化インダクタンスの選択は、連続導通モードで動作する従来のフライバック・コンバータの場合と同様です。1つの違いは、オン時間中にトランスに印加される電圧が異なることです。これは、入力電圧および1次側コンデンサにかかる電圧の差です。従来のフライバックの場合、1次側にかかる電圧は入力電圧だけです。もう1つの違いは、1次側のピーク電流が負の電流ピークとなることです。

入力電圧範囲 (V)			
出力電圧 (V)			
出力電流 (A)			
動作モード	連続導通モード		
1次側電圧 (V)	式11および式12を使用		
デューティ・サイクル範囲 (%)	式11を使用		
巻線比 ($N_{PRI} : N_{SEC}$)	式12を使用		
スイッチング周波数 (Hz)	式14~式17を使用		
1次側インダクタンス (H)	式14~式17を使用		
正のピーク電流 (A)	式14~式17を使用		
負のピーク電流 (A)	式14~式17を使用		
絶縁要件	機能、基本、強化		
規格機関/仕様	UL、IEC		
絶縁耐圧		AC	DC
動作電圧		AC	DC

表 3. トランスの設計フォーム

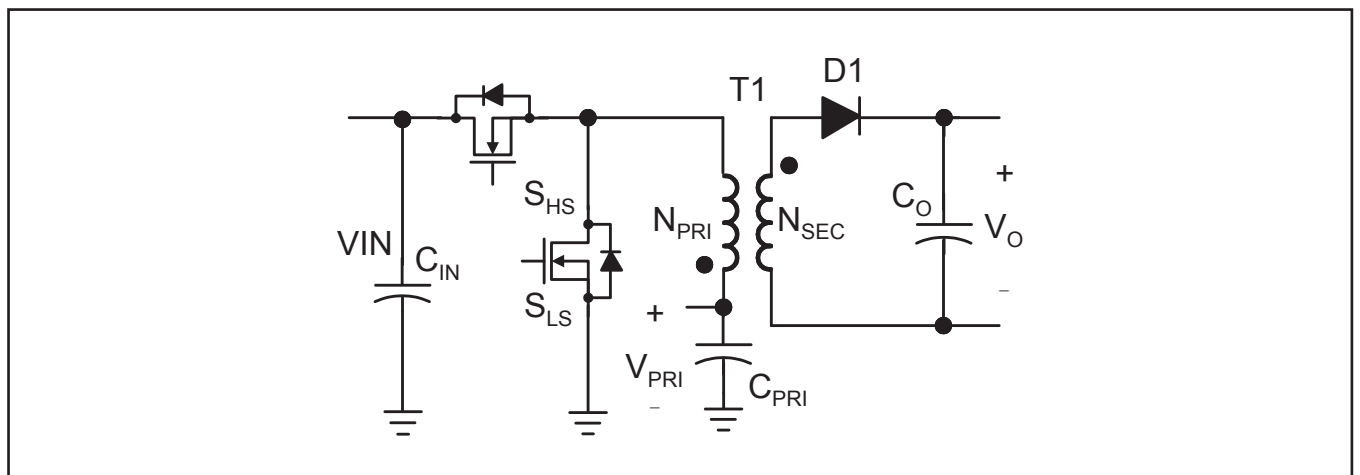
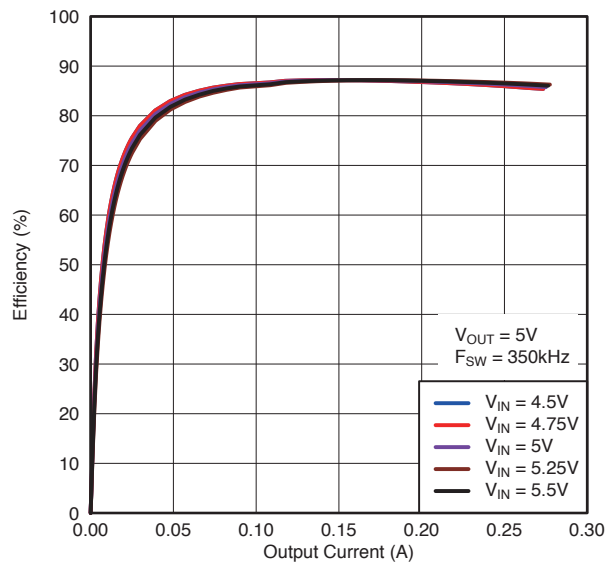


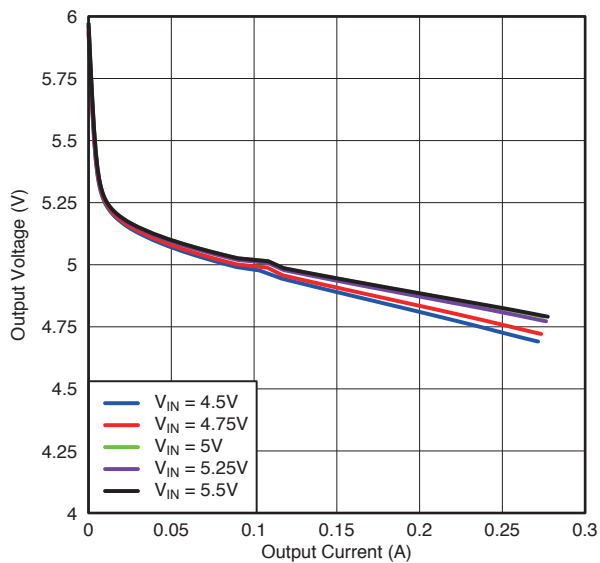
図 25. トポロジ

特性曲線



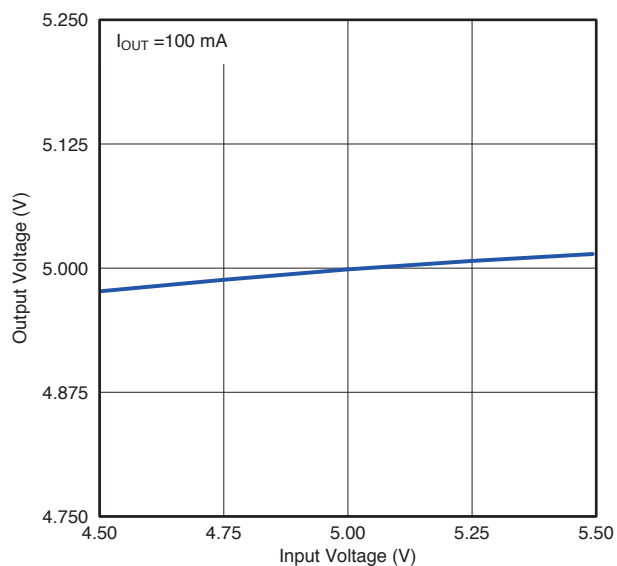
G040

図 26. 効率 対 出力電流



G025

図 27. 出力電圧 対 出力電流



G026

図 28. 出力電圧 対 入力電圧

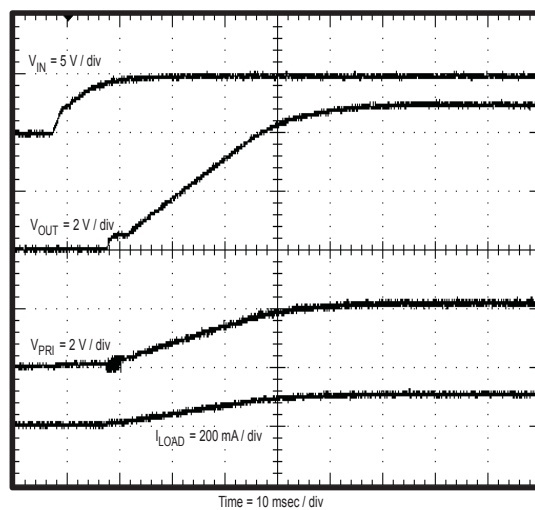


図 29. 入力電圧によるパワーアップ

特性曲線

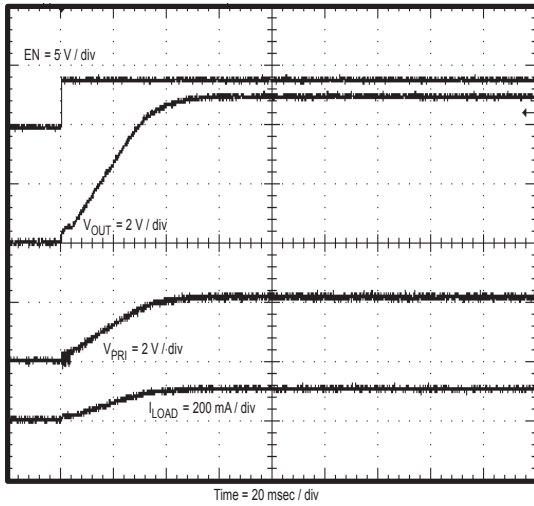


図 30. イネーブル・ピンによるパワーアップ

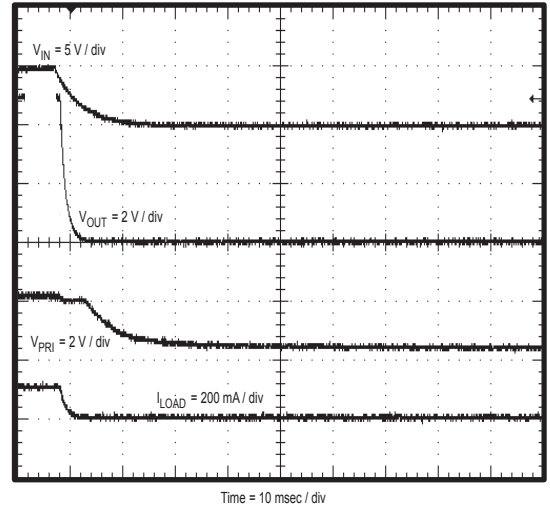


図 31. 入力電圧によるパワーダウン

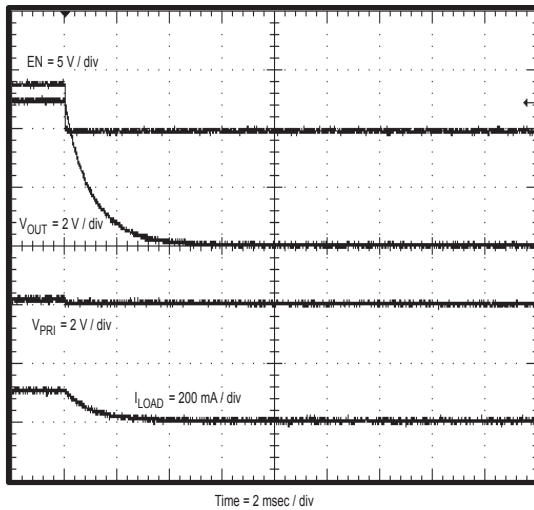


図 32. イネーブル・ピンによるパワーダウン

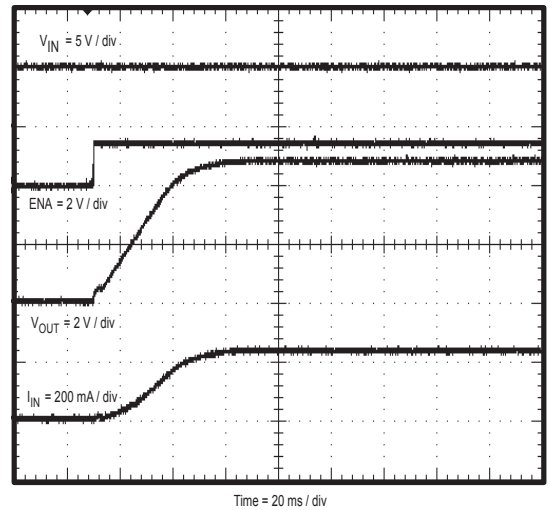


図 33. パワーアップ中の突入電流

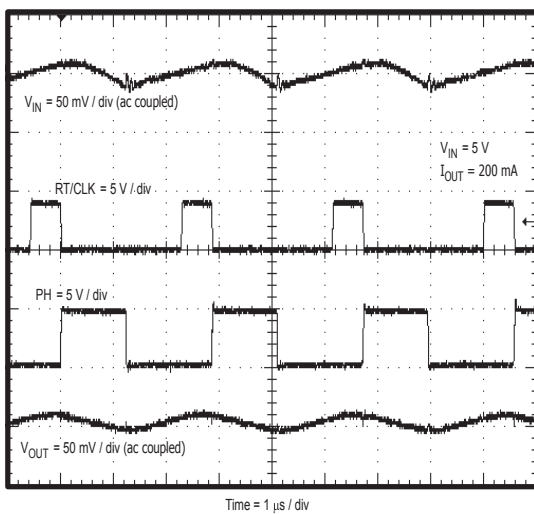


図 34. 出力リップル電圧

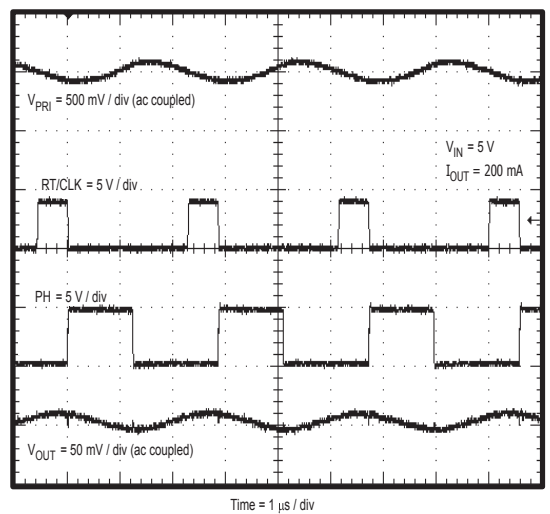


図 35. 外部クロックとの同期

特性曲線

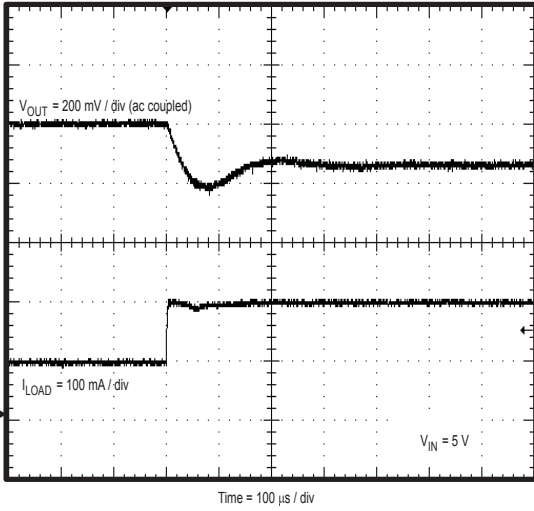


図 36. 負荷ステップ応答

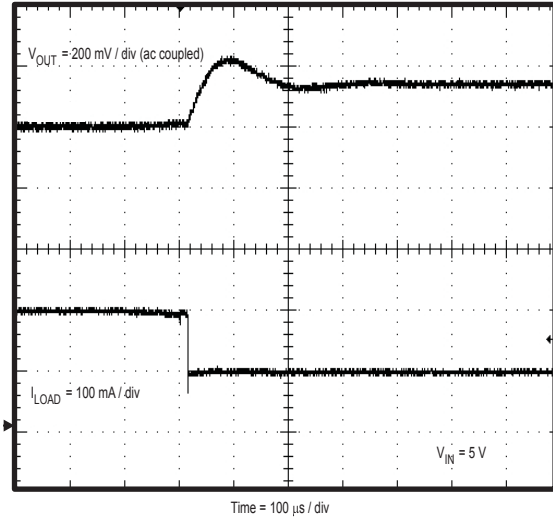


図 37. 負荷ステップ応答

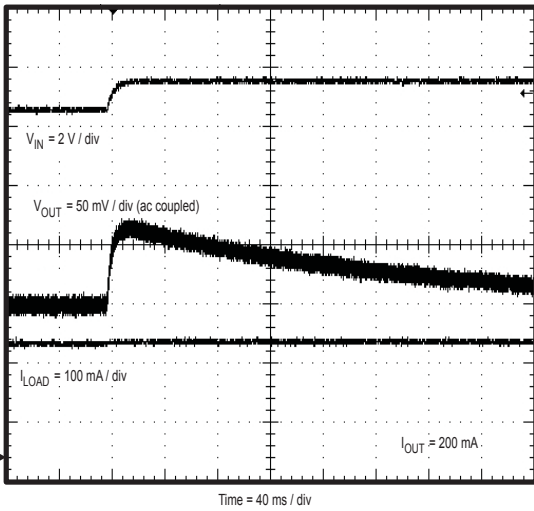


図 38. ライン・ステップ応答

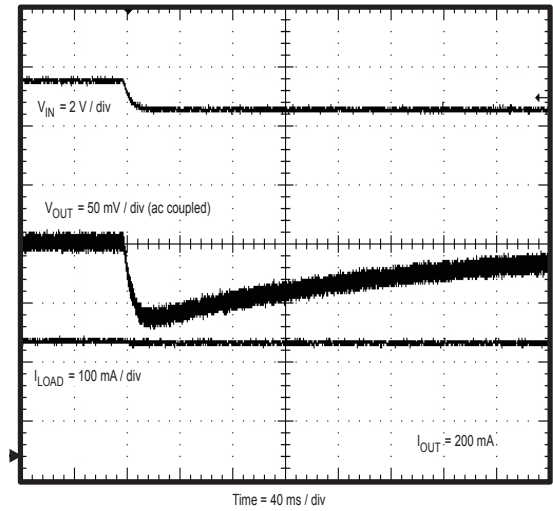


図 39. ライン・ステップ応答

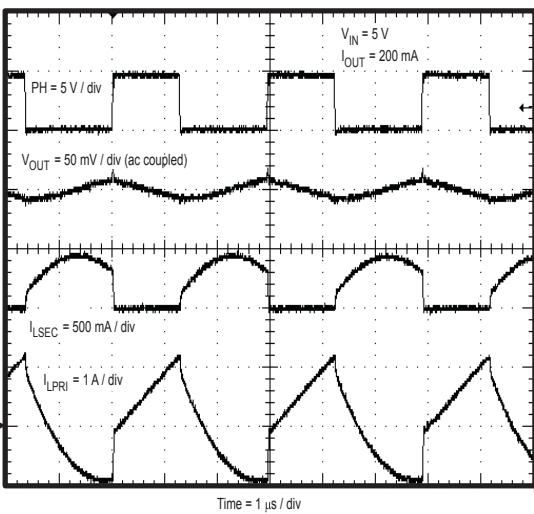


図 40. 定常状態波形

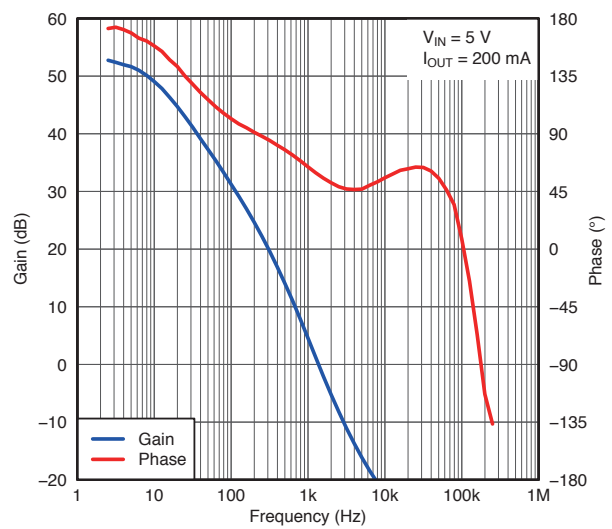


図 41. 周波数応答

G045

	5V ~ 5V/0.2A	3.3V ~ 5V/0.2A	5V ~ 3.3V/0.3A	3.3V ~ 3.3V/0.3A
C _{IN}	47 μF X5R 6.3V	100 μF X5R 6.3V	47 μF X5R 6.3V	100 μF X5R 6.3V
C _{OUT}	2 x 10 μF X5R 10V	47 μF X5R 6.3V	22 μF X5R 6.3V	47 μF X5R 6.3V
C _{PRI}	4.7 μF X5R 10V	22 μF X5R 6.3V	10 μF X5R 6.3V	10 μF X5R 6.3V
C _{BOOT}	0.1 μF X5R 10V	0.1 μF X5R 10V	0.1 μF X5R 10V	0.1 μF X5R 10V
C _{SS}	0.1 μF X5R 10V	0.1 μF X5R 10V	0.1 μF X5R 10V	0.1 μF X5R 10V
C _C	0.01 μF X5R 10V	0.022 μF X5R 10V	0.01 μF X5R 10V	0.01 μF X5R 10V
R _{HS}	16.5k	16.5k	8.25k	8.25k
R _{LS}	10k	10k	10k	10k
R _T	280k	511k	332k	511k
T1	750311880 Würth Electronics Midcom	750311880 Würth Electronics Midcom	750311880 Würth Electronics Midcom	750311880 Würth Electronics Midcom
D1	B120	B120	B120	B120

表 4. 一般的なアプリケーションの参照設計

消費電力

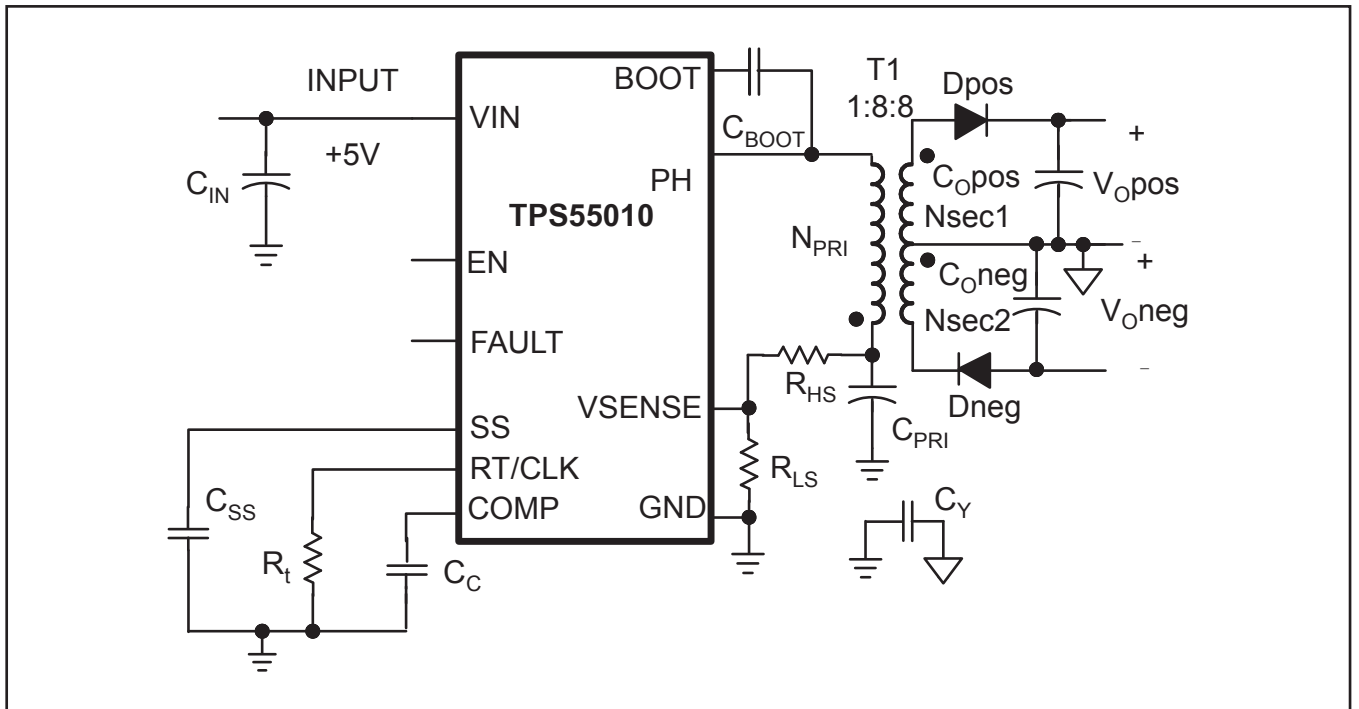


図 42. 5Vから15V/-15Vへの絶縁型電源

設計ガイドステップ毎の設計手順

入力電圧	公称5V (4.5V~5.5V)
正の出力電圧、V _{opos}	+15V
負の出力電圧、V _{oneg}	-15V
出力電圧リップル	<0.5%
出力電流I _{opos} 、I _{oneg}	40mA
開始電圧	4.5V
停止電圧	4V

表 5.

2出力設計の1次側電圧

単一出力設計の場合と同様に、2出力設計での電圧は、1次側電圧、トランスの巻線比、およびダイオード電圧の関数です。単一出力の場合と同じ設計制約を使用すると、1次側電圧は3.6V~1.1Vとなります。1.93Vの1次側電圧を選択し、デューティサイクルは約38.5%となります。

$$D = \frac{V_{PRI}}{V_{IN}} \quad (38)$$

巻線比

トランスの巻線比は、目的の出力電圧、ダイオード電圧、および1次側電圧を使用して計算します。ダイオード電圧が0.5V、 V_{OPOS} が15V、 V_{ONEG} が-15V、 V_{PRI} が1.93Vと仮定すると、 $N_{PRI} \times N_{SEC1} \times N_{SEC2}$ の巻線比は1:8:8となります。TPS55010では1次側を柔軟に調整できるため、何回か試行錯誤を重ねて巻線比を選択することにより、同じトランスを使用した複数のアプリケーションに対して良好なソリューションを発見できる場合があります。

$$\frac{N_{SEC1} + N_{SEC2}}{N_{PRI}} = \frac{V_{OPOS} - V_{ONEG} + 2 \times V_{FD}}{V_{PRI}} \quad (39)$$

電圧帰還

R_{LS} に10kΩを選択すると、式(40)から $R_{HS} = 13.28k\Omega$ となります。最も近い標準値として13.7kΩを選択します。

$$R_{HS} = R_{LS} \times \left(\frac{V_{PRI} - 0.829V}{0.829V} \right) \quad (40)$$

スイッチング周波数と1次側インダクタンスの選択

この設計例では、スイッチング周波数が400kHzと選択されます。式(6)を使用して、タイミング抵抗値は243kΩとなります。電流制限を2Aと仮定すると、 L_{Omax} および L_{Omin} はそれぞれ2.31μH、1.09μHと計算されます。2μHの1次側インダクタンスを選択すると、正および負のピーク電流は1次側で1.38Aおよび-2.19Aと計算され、パワー・スイッチの電流制限内に収まります。RMS電流を計算して、デバイスでの消費電力の計算に使用できます。磁化リップル電流は、式(46)で1.48Aと計算されます。

ハイサイドFETおよびローサイドFETのRMS電流は、それぞれ式(47)および式(48)により、0.478Aおよび0.681Aとなります。これらの電流の和である1.16Aが、磁気回路に対する1次側RMS電流となります。

$$I_{OPN} = \left(I_{OPOS} \frac{N_{SEC1}}{N_{PRI}} + I_{ONEG} \frac{N_{SEC2}}{N_{PRI}} \right) \quad (41)$$

$$L_{OMAX} = \frac{V_{IN} \times D \times (1 - D)}{2 \times I_{OPN} \times f_{SW}} \quad (42)$$

$$L_{OMIN} = \frac{V_{IN} \times D \times (1 - D)}{2 \times f_{SW} \times (I_{HSCL} - I_{OPN})} \quad (43)$$

$$IL_{pri_pospk} \approx I_{OPN} + \frac{V_{IN} \times D \times (1 - D)}{2 \times f_{SW} \times L_{OPRI}} \quad (44)$$

$$IL_{pri_negpk} \approx -I_{OPN} \times \left(\frac{1 + D}{1 - D} \right) - \frac{V_{IN} \times D \times (1 - D)}{2 \times f_{SW} \times L_{OPRI}} \quad (45)$$

$$I_{m_ripple} = \frac{V_{IN} \times D \times (1 - D)}{f_{SW} \times L_{OPRI}} \quad (46)$$

$$I_{HS_rms} \approx \left(D \times I_{OPN}^2 + \frac{D}{12} \times I_{m_ripple}^2 \right)^{\frac{1}{2}} \quad (47)$$

$$I_{LS_rms} \approx \left(\frac{3 \times D - 1}{3 \times (1 - D)} \times I_{OPN}^2 + \frac{I_{m_ripple}}{3} \times I_{OPN} + \frac{1 - D}{12} \times I_{m_ripple}^2 \right)^{\frac{1}{2}} \quad (48)$$

1次側コンデンサ

ΔV_{PRI} 電圧は、 V_{PRI} の10%未満となる必要があります。 C_{PRI} の定格RMS電流は、式(49)よりも大きい必要があります。リップルを最小限に抑えるには、1次側容量がより大きい方がよいですが、それによって過渡応答は遅くなります。この設計例では、充電電流および時間を式(50)と式(51)によって計算する必要があります。 I_{CPRI_ch} は0.63A、 t_{CPRI} は1.56μsです。 $\Delta V_{PRI} = 0.193V$ と仮定すると、1次側容量は式(49)により5.09μFとなります。RMS電流は、式(49)から1.16Aとなります。10μF/25VのX5Rセラミック・コンデンサを使用します。

$$I_{CPRI_rms} \approx I_{LS_rms} + I_{HS_rms} \quad (49)$$

$$I_{CPRI_ch} \approx IL_{pri_pospk} \times \sqrt{\frac{D + (1 - D) \times \frac{IL_{pri_pospk}}{IL_{pri_pospk} - IL_{pri_negpk}}}{3}} \quad (50)$$

$$t_{CPRI} \approx \frac{D}{f_{SW}} + \frac{(1-D)}{f_{SW}} \times \frac{ILpri_pospk}{ILpri_pospk - ILpri_negpk} \quad (51)$$

$$C_{PRI} = \frac{(I_{CPRI_ch} \times t_{CPRI})}{\Delta V_{PRI}} \quad (52)$$

2次側ダイオード

ダイオードは、式(53)および式(55)で計算される電圧ストレスおよびRMS電流を処理できるよう選択する必要があります。一般に、デューティ・サイクルが小さく巻線比が大きい設計では、ダイオードにかかる電圧ストレスが大きくなります。

5.5Vの最大入力電圧で、 V_{diode_max} 電圧は43.56Vと計算されます。RMS電流の計算値は、0.059Aです。式(54)からダイオードのピーク電流は0.130Aとなり、ダイオードでの消費電力は0.02Wです。定格100Vおよび1AのB1100ダイオードを使用します。

$$\begin{aligned} V_{diode_max} &= (V_{IN_max} - V_{PRI}) \times \frac{N_{SEC1}}{N_{PRI}} + V_{OPOS} \\ &= (V_{IN_max} - V_{PRI}) \times \frac{N_{SEC2}}{N_{PRI}} + V_{ONEG} \end{aligned} \quad (53)$$

$$I_{diode_peak} = 2 \times \frac{I_{OPOS}}{1-D} = 2 \times \frac{I_{ONEG}}{1-D} \quad (54)$$

$$\begin{aligned} I_{diode_rms} &= 2 \times I_{OPOS} \times \left(\frac{1}{3 \times (1-D)} \right)^{\frac{1}{2}} \\ &= 2 \times I_{ONEG} \times \left(\frac{1}{3 \times (1-D)} \right)^{\frac{1}{2}} \end{aligned} \quad (55)$$

$$P_{diode} = V_{FD} \times I_{OPOS} = V_{FD} \times I_{ONEG} \quad (56)$$

2次側コンデンサ

ΔV_{COPOS} および ΔV_{CONEG} 電圧は、各公称電圧の0.25%~1%となる必要があります。コンバータは各スイッチング期間でエネルギーを2次側に伝達します。コンバータには1次側帰還があるため、軽負荷または無負荷状態では、出力電圧が目的値を超えて上昇する場合があります。アプリケーションで無負荷状態が発生する場合は、コンデンサの電圧定格に注意する必要があります。バラスト負荷、ツェナー・ダイオード、またはリニア・レギュレータを追加すると、軽負荷または無負荷状態での過電圧防止に役立つ場合があります。

出力容量は、 ΔV_{COPOS} を75mVと仮定して、式(57)から0.51 μ Fとなり、RMS電流は式(58)から0.043Aとなります。10 μ F/25Vのコンデンサを V_{OPOS} および V_{ONEG} 出力に使用します。

$$C_O = \frac{I_{OPOS} \times D}{f_{SW} \times \Delta V_{COPOS}} = \frac{I_{ONEG} \times D}{f_{SW} \times \Delta V_{CONEG}} \quad (57)$$

$$I_{CO_rms} = \sqrt{I_{diode_rms}^2 - I_{OPOS}^2} \quad (58)$$

入力コンデンサ

ΔV_{CIN} 電圧は、 V_{IN} の0.25%~1%となる必要があります。TPS55010では、2.2 μ F以上の実効容量を持つ高品質のセラミック(タイプX5RまたはX7R)入力デカップリング・コンデンサをVINおよびGNDピンに接続する必要があります。アプリケーションによっては追加のバルク容量も必要となります。実効容量には、DCバイアスの影響も含まれます。入力コンデンサの電圧定格は、最大入力電圧よりも高い必要があります。入力リップル電流は、式(60)で計算できます。それより大きなリップル電流定格を持つコンデンサを選択します。

大きな無負荷過渡電圧が生じるアプリケーションでは、バルク入力容量の大きさを、1次側コンデンサから入力コンデンサへのエネルギー伝達を含めて決定する必要があります。入力容量は式(59)から12.4 μ Fとなり、RMS電流は0.495Aとなります。47 μ F/10VのX5Rセラミック・コンデンサを入力に使用します。適切なバイアス電源を得るために、0.1 μ Fのセラミック・コンデンサをVINおよびGNDピンにできるだけ近づけて配置します。

$$C_{IN} = \frac{I_{OPN} \times D}{f_{SW} \times \Delta V_{CIN}} \quad (59)$$

$$I_{CIN_rms} = ILpri_pospk \times \sqrt{\frac{D}{3}} \quad (60)$$

補償

単一出力設計の場合と同様に、DC/DCレギュレータの補償にはいくつかの手法が使用されています。スロープ補償が無視されるため、実際のクロスオーバー周波数は、計算で使用されるクロスオーバー周波数よりも低くなります。この方法では、クロスオーバー周波数の範囲を、変調回路の極~その20倍大きな値までと仮定しています。1個のコンデンサによる補償方法(タイプ1)でクロスオーバー周波数を選択する際には、1次側コンデンサのリップル電圧が1%未満の場合、推奨範囲の下限を使用して電源を開発します。1次側リップルの低い設計が望ましい場合は、タイプ2または3の補償を考慮する必要があります。最初は、式(61)で決定される変調回路の極周波数 f_{POLE} を使用して、クロスオーバー周波数 f_{CO} を選択します。この例では、クロスオーバー周波数として0.4kHzを選択します。次の手順は、ループを補償するために、クロスオーバー周波数での補償ゲイン A_{COMP} を決定することです。式(64)では、パワー段のDCゲイン、変調回路の極、およびクロス

オーバー周波数を使用して、ゲインを見積もります。R_iは電流センス・ゲインであり、これはC_{COMP}-I_{PH}間のトランスコンダクタンス(=7.5A/V)の逆数です。A_{COMP}は11.58dBと計算されます。補償用の極周波数f_{COMP_POLE}は、式(65)を用いて求められます。式(65)のA_{OL}は、誤差増幅器の開ループ・ゲインであり、500V/Vです。f_{COMP_POLE}は0.49Hzと計算されます。式(66)を使用して、C_{COMP}は0.159μFと計算されます。0.1μFのコンデンサをC_{COMP}に使用します。

$$\frac{\hat{V}_{PRI}}{\hat{V}_C} \approx \frac{R_{LM} + \left(\frac{V_{PRI}}{I_{OPN} \times (1-D)} \times \left(\frac{N_{PRI}}{N_{SEC}} \right)^2 \right)}{R_i \times \left(1 + \frac{s}{2 \times \pi \times f_{POLE}} \right)} \quad (61)$$

$$f_{POLE} = \frac{1}{2 \times \pi \times \left(\frac{V_{PRI}}{I_{OPN}} \times \frac{1}{(1-D)} \right) \times \left((1-D) \times \left(\frac{C_{OPOS} \times C_{ONEG}}{C_{OPOS} + C_{ONEG}} \times \left(\frac{N_{SEC1} + N_{SEC2}}{N_{PRI}} \right)^2 \right) + C_{PRI} \right)} \quad (62)$$

$$\frac{W_{POLE}}{2 \times \pi} < f_{CO} < 20 \times \frac{W_{POLE}}{2 \times \pi} \quad (63)$$

$$A_{COMP} = 20 \times \log \left(\frac{R_{LM} + \frac{V_{PRI}}{I_{OPN} \times (1-D)}}{R_i} \right) - 20 \times \log \left(\frac{2 \times \pi \times f_{CO}}{2 \times \pi \times f_{POLE}} \right) \quad (64)$$

$$f_{COMP_POLE} = \frac{V_{PRI}}{10^{\frac{A_{comp}}{20}} \times A_{OL} \times V_{REF}} \times f_{CO} \quad (65)$$

$$C_{COMP} = \frac{1}{2 \times \pi \times \frac{A_{OL}}{g_{mea}} \times f_{COMP_POLE}} - \frac{g_{mea}}{2 \times \pi \times BW} \quad (66)$$

特性曲線

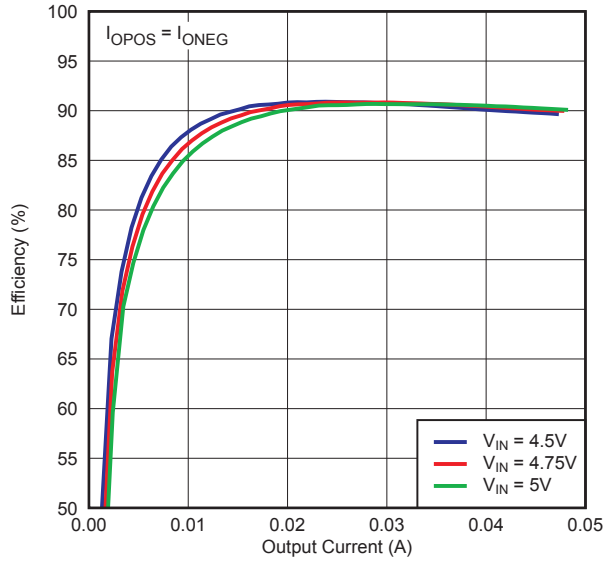


図 43. 効率 対 出力電流

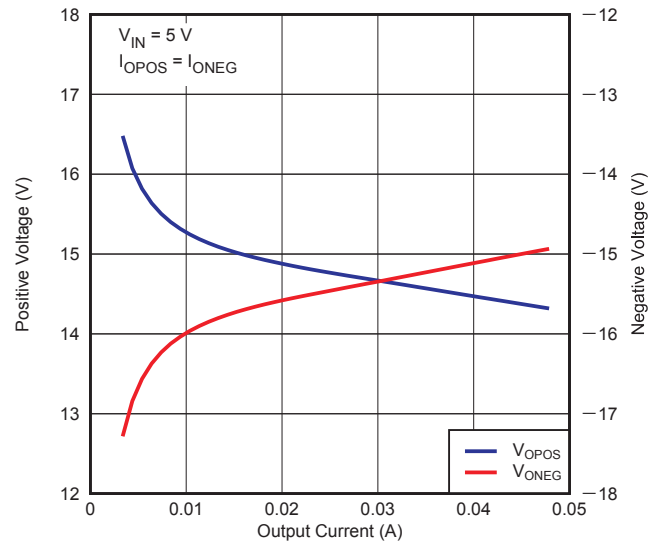


図 44. 出力電圧 対 出力電流

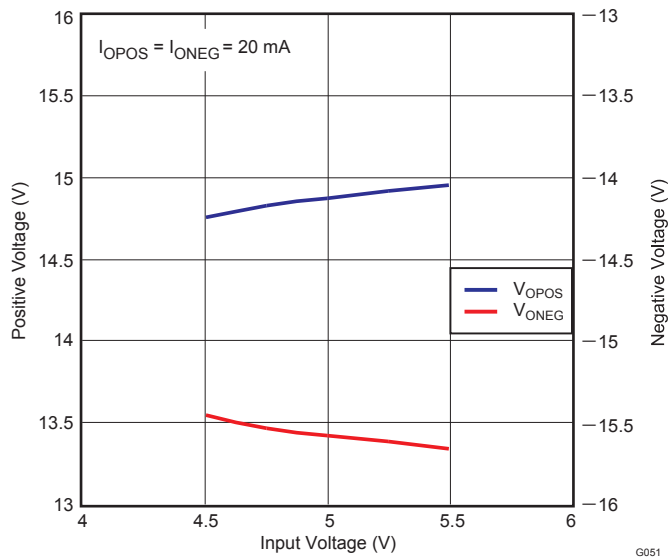


図 45. 出力電圧 対 入力電圧

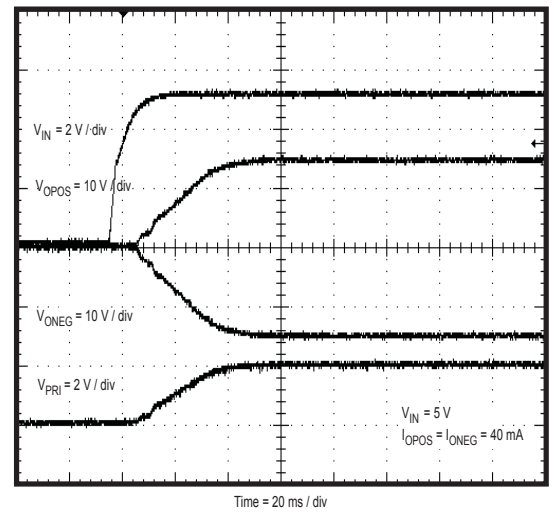


図 46. 入力電圧によるパワーアップ

特性曲線

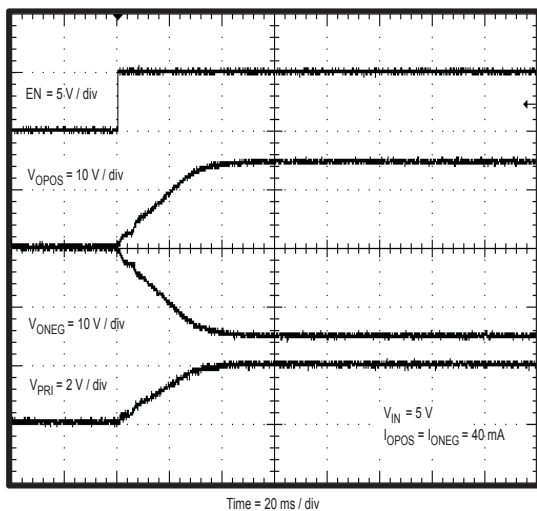


図 47. イネーブル・ピンによるパワーアップ

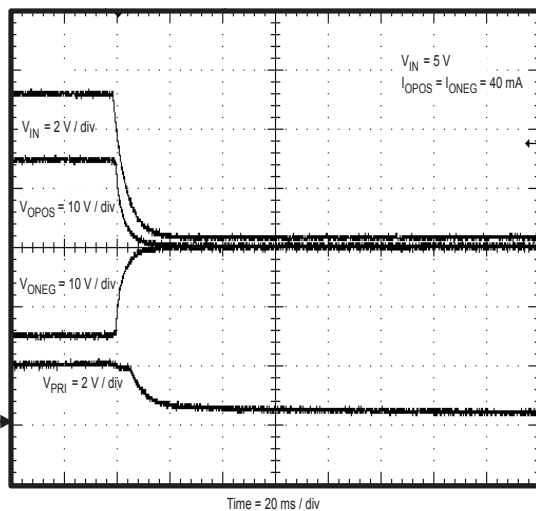


図 48. 入力電圧によるパワーダウン

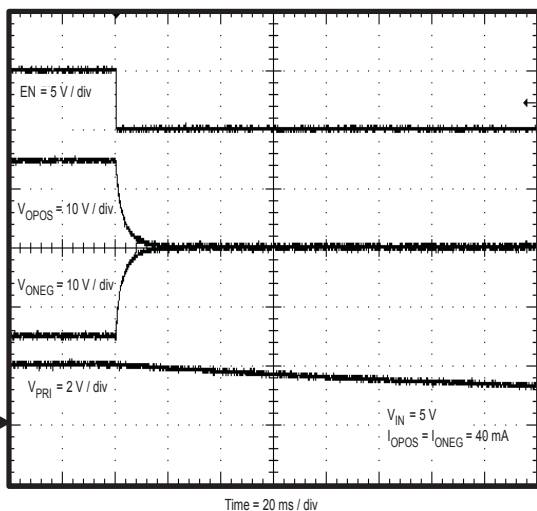


図 49. イネーブル・ピンによるパワーダウン

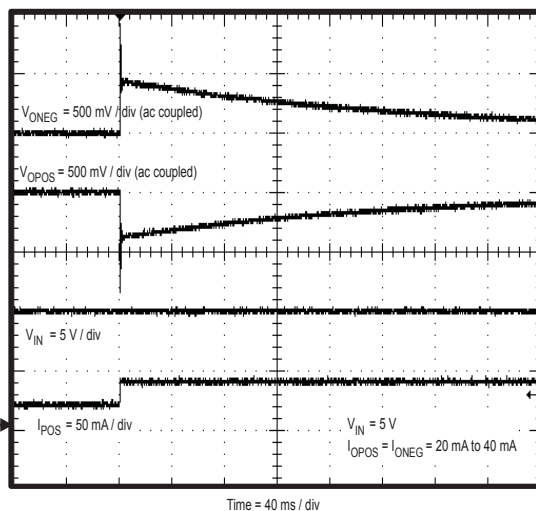


図 50. 負荷ステップ応答

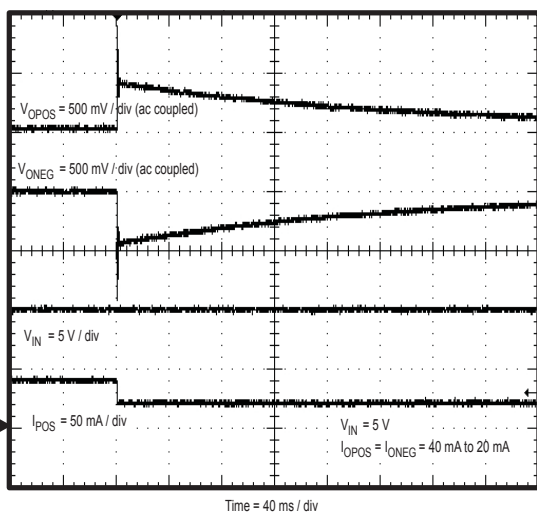


図 51. 負荷ステップ応答

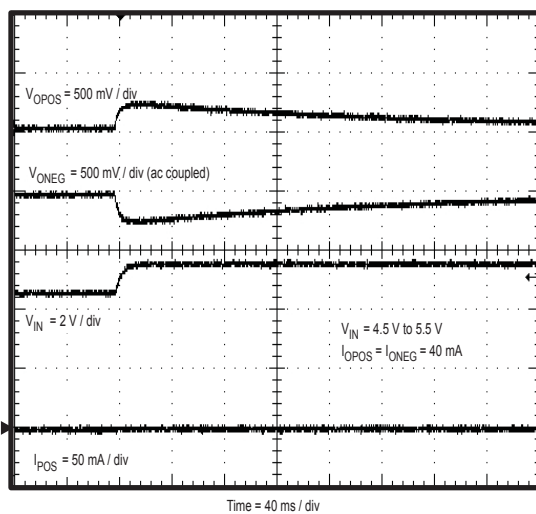


図 52. ライン・ステップ応答

特性曲線

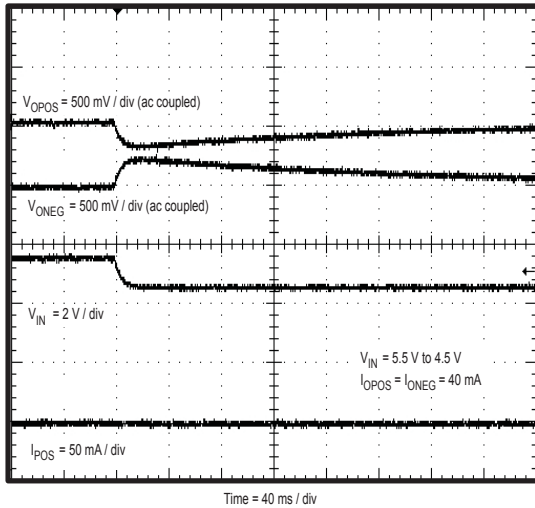


図 53. ライン・ステップ応答

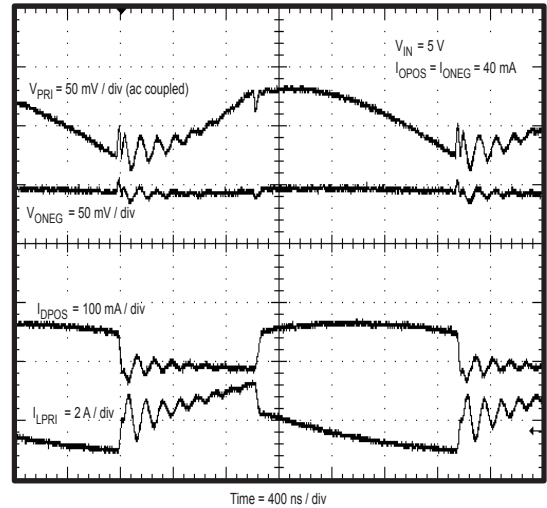


図 54. 定常状態波形

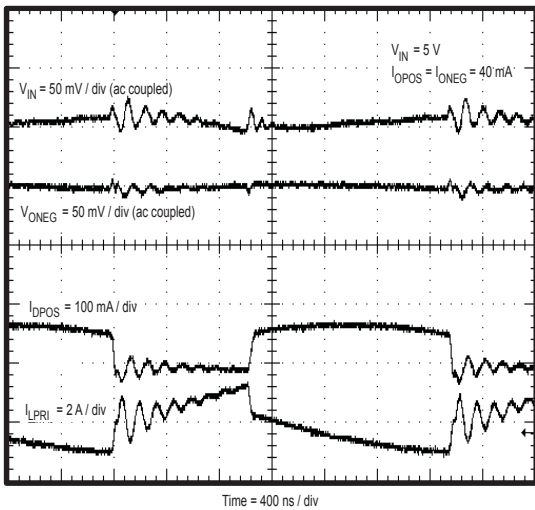


図 55. 定常状態波形

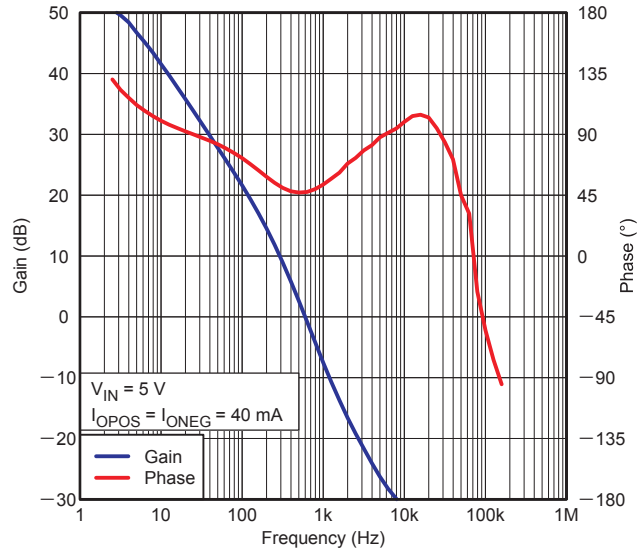


図 56. 周波数応答

表 6. 2出力アプリケーションの参照設計部品表

	5V ~ +15V/-15V/0.04A
C _{IN}	47uF X5R 6.3V
C _{OPOS} , C _{ONEG}	10uF X5R 25V
C _{PRI}	10uF X5R 10V
C _{boot}	0.1uF X5R 10V
C _{SS}	0.1uF X5R 10V
C _c	0.1uF X5R 10V
R _{HS}	13.7k
R _{LS}	10k
R _t	243k
T1	750311780 Würth Electronics Midcom
D _{POS} , D _{NEG}	B1100

PCBレイアウト

レイアウトは、優れた電源設計のために重要な要素です。高速で変化する電流または電圧を通す信号パスがいくつかあるため、浮遊インダクタンスや寄生容量によってノイズが発生したり、電源の性能が低下したりする可能性があります。バイパス・コンデンサ接続とVINピンによって形成されるループの面積は、最小限に抑えるよう注意が必要です。PCBレイアウト例については、図57を参照してください。GNDピンは、ICの下部にあるサーマル・パッドに直接接続する必要があります。パワー・パッドは、ICの直下にある複数のビアを使用して内部のPCBグラウンド・プレーンに接続します。さらに追加のビアを使用して、上面のグラウンド領域を入力および出力コンデンサ付近の内部プレーンに接続できます。

入力バイパス・コンデンサは、できる限りICに近づけて配置します。PHピンは、トランスの1次側に接続する必要があります。PH接続はスイッチング・ノードであるため、トランスはPHピンに近づけて配置し、過度の容量性カップリングを避けるためにPCB導体の面積はできるだけ小さくしてください。ブート・コンデンサもデバイスに近づけて配置する必要があります。帰還用分圧抵抗、補償部品、スロー・スタート・コンデンサ、周波数設定抵抗の各アナログ・グラウンド接続はノイズに敏感であるため、図に示すように別個のアナログ・グラウンド・パターンに接続する必要があります。RT/CLKピンは特にノイズの影響を受けやすいため、RTの抵抗はICにできるだけ近づけて配置し、最短のパターンで配線する必要があります。高い dv/dt が生じるノードには、Y-コンデンサの接続を避けてください。

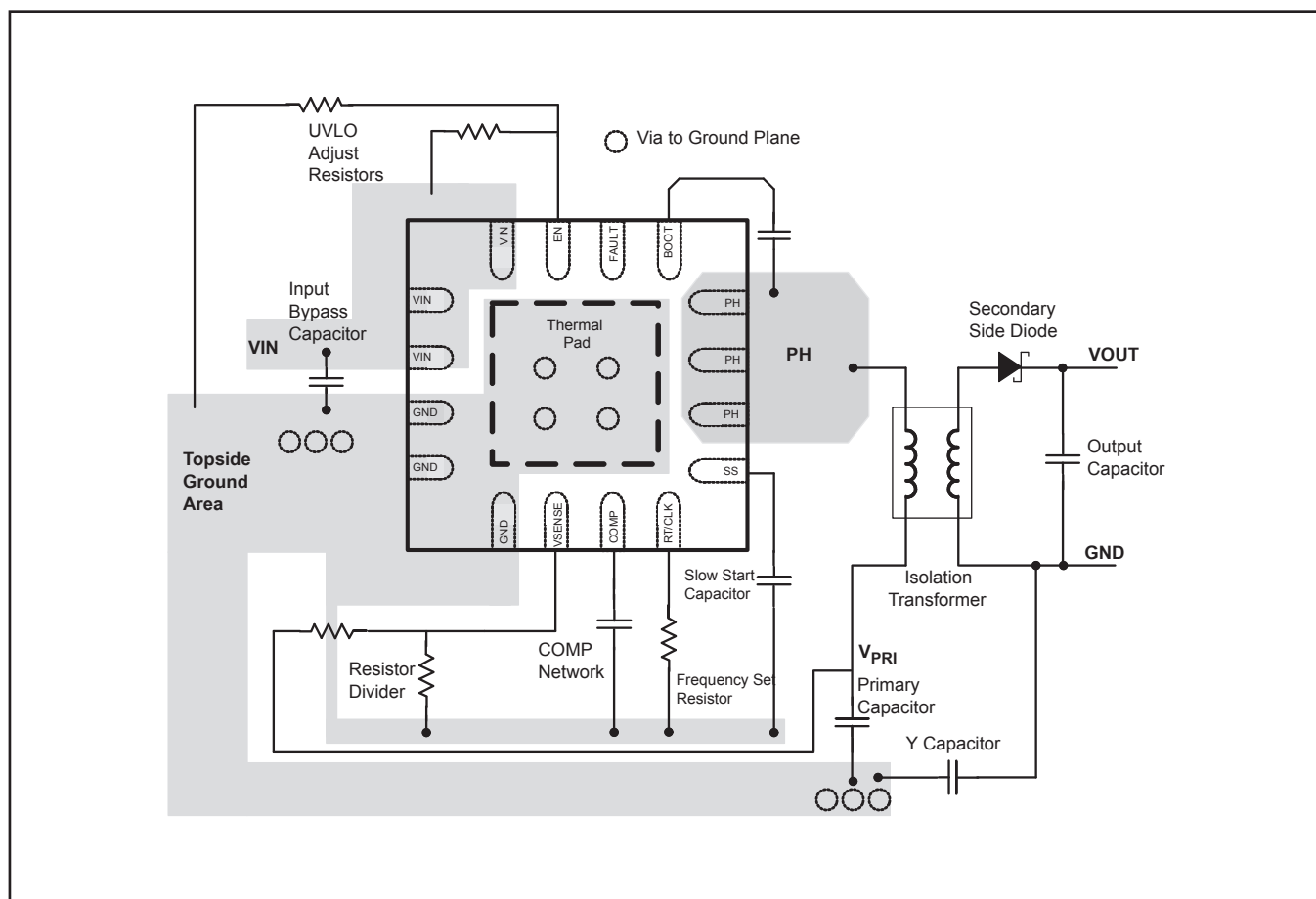


図 57. PCBレイアウト

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
TPS55010RTER	ACTIVE	WQFN	RTE	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS55010RTEET	ACTIVE	WQFN	RTE	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSELETE: TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free” (RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

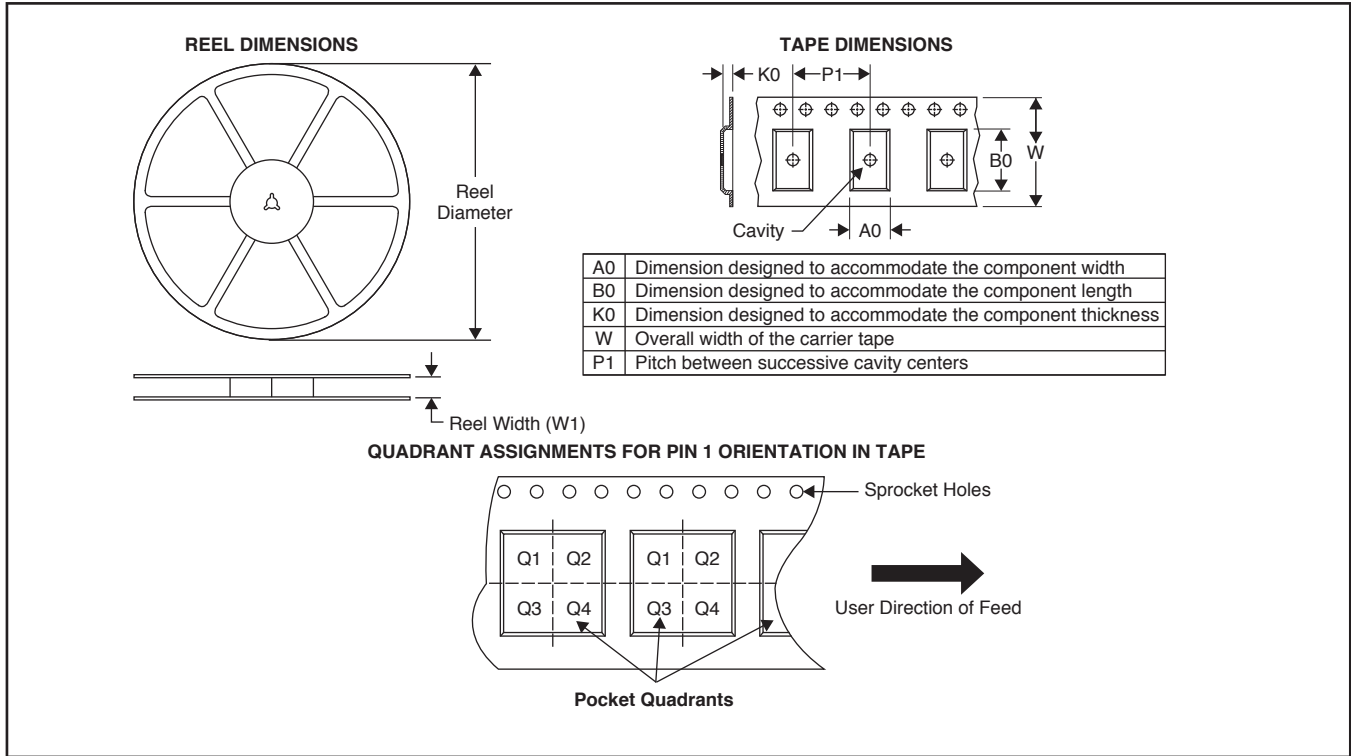
⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行わないものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・材料情報

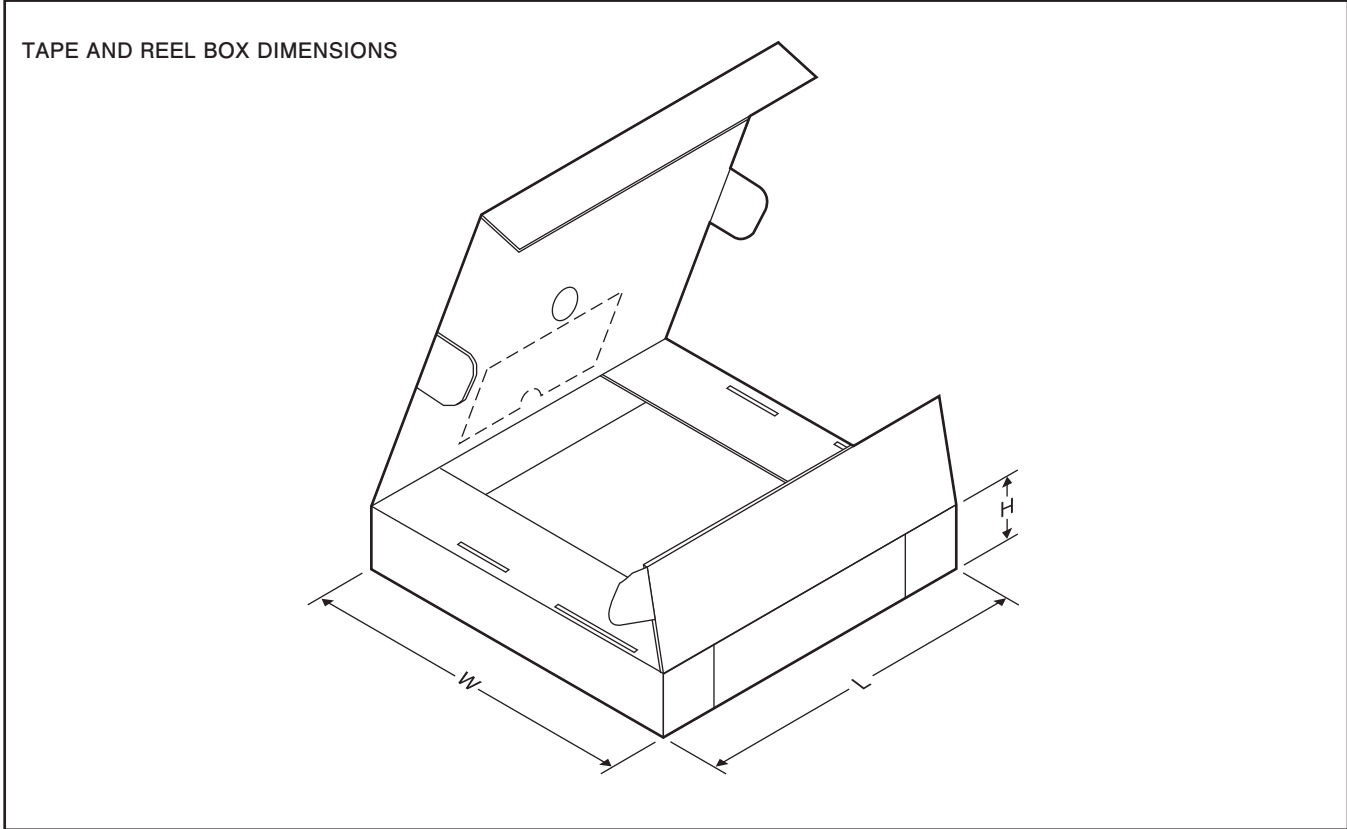
テープおよびリール・ボックス情報



*All dimensions are nominal

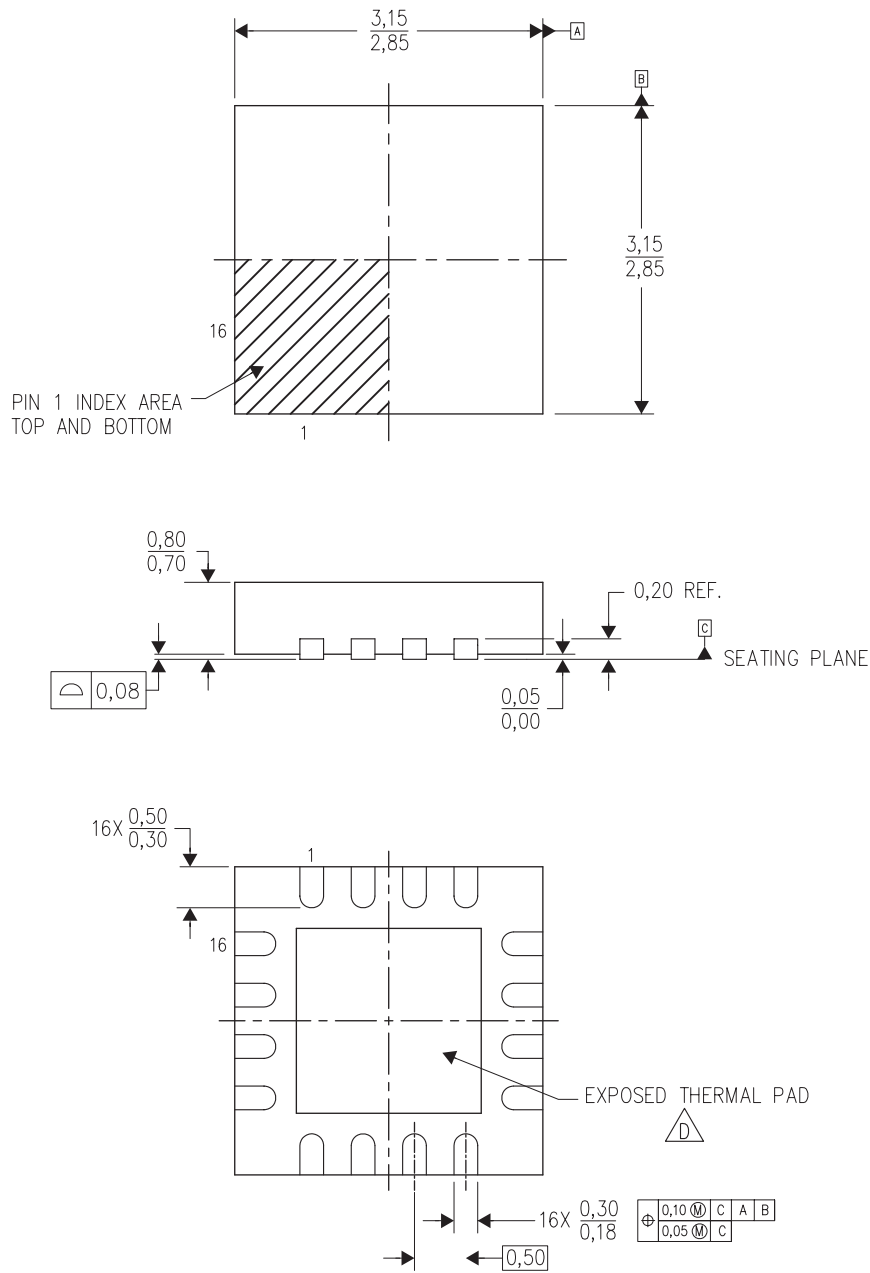
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS55010RTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

パッケージ・マテリアル情報



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS55010RTER	WQFN	RTE	16	3000	346.0	346.0	29.0



4205254/D 01/11

- 注: A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。
 B. 本図は予告なしに変更することがあります。
 C. QFN(クワッドフラットバック・ノーリード)パッケージ構造。
 D. パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。
 露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。
 E. JEDEC MO-220に準拠します。

サーマルパッド・メカニカル・データ

RTE(S-PWQFN-N16)

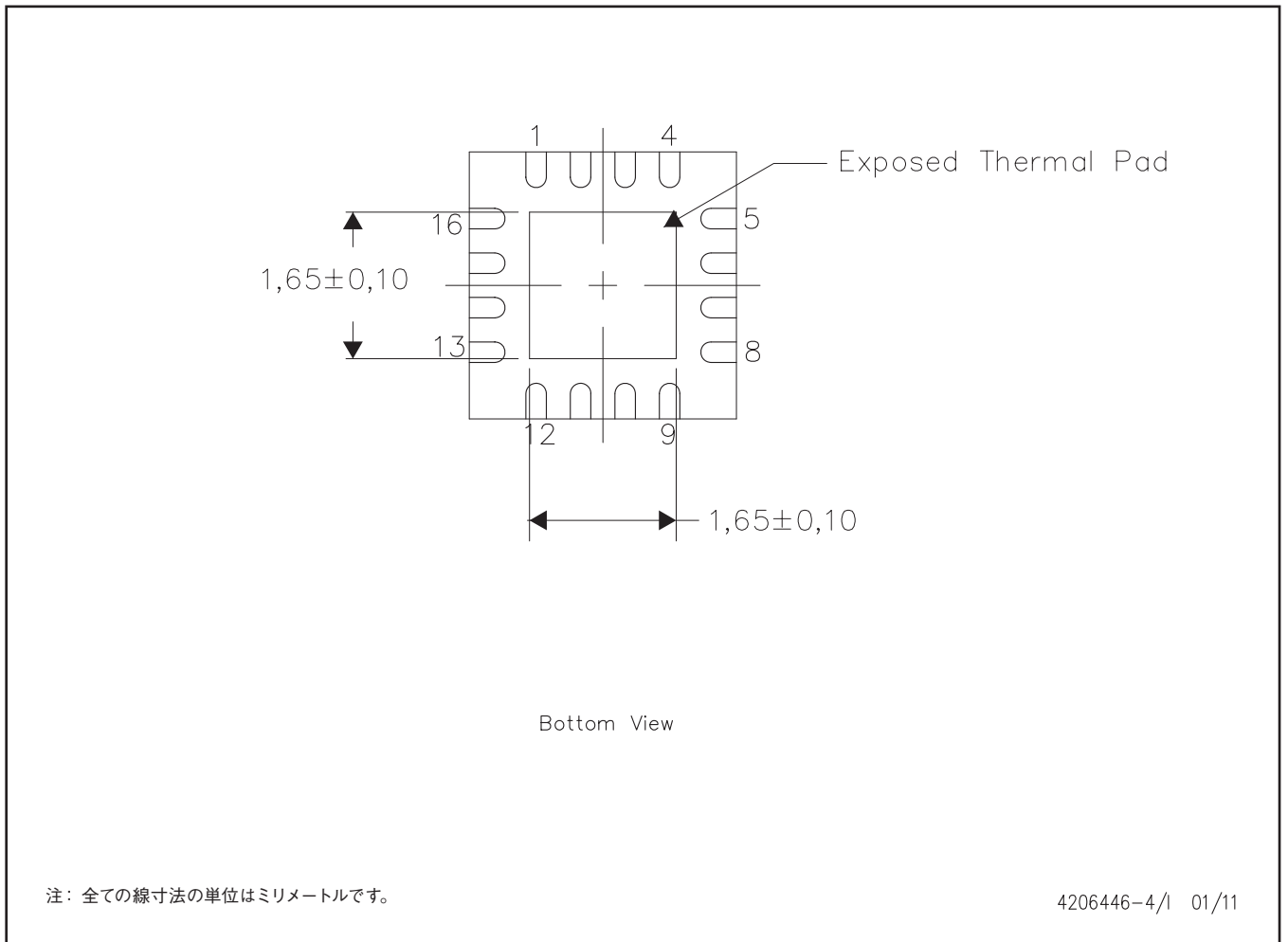
PLASTIC QUAD FLATPACK NO-LEAD

熱的特性に関する資料

このパッケージは外部のヒートシンクに直接接続できるよう設計された露出したサーマルパッドをもっています。サーマルパッドはプリント回路基板(PCB)に直接はんだ付けされなければなりません。はんだ付けされることにより、PCBはヒートシンクとして使用できます。さらに、サーマルビアを使用することにより、サーマルパッドはグランドまたは電源プレーン(どちらか当てはまる方)、またはもう1つの方法としてPCBに設計された特別なヒートシンク構造に直接接続することができます。この設計により、集積回路(IC)からの熱伝導が最適化されます。

クワッド・フラットパック・ノーリード(QFN)パッケージとその利点についての情報はアプリケーション・レポート“Quad Flatpack No-Lead Logic Packages”TI文献番号SLUA271を参照してください。この文献はホームページwww.ti.comで入手できます。

このパッケージのサーマルパッドの寸法は以下の図に示されています。



サーマルパッド寸法図

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上