

低入力電圧、1A、スーパーバイザ付き 低ドロップアウト・リニア・レギュレータ

特長

- 出力電流1Aで入力電圧が1.8Vまで動作する低ドロップアウト・レギュレータ
- 固定出力モデル (1.26V、1.5V、1.6V、1.8V、2.5V)
- 任意の種類 / 容量の出力コンデンサで安定
- 全入力電圧範囲、全負荷電流範囲、全温度範囲 ($T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$) に対する出力電圧公差: $\pm 2\%$
- RESET遅延時間200msの電圧監視 (SVS) を内蔵
- 低ドロップアウト電圧: 1Aで170mV (TPS72625)
- 全負荷時210 μA の低グランド電流
- スタンバイ電流: 1 μA 以下
- UVLO (低入力電圧時誤動作防止)、過熱保護、過電流保護を内蔵
- 5リードSOT223-5、DDPAK 表面実装パッケージ

アプリケーション

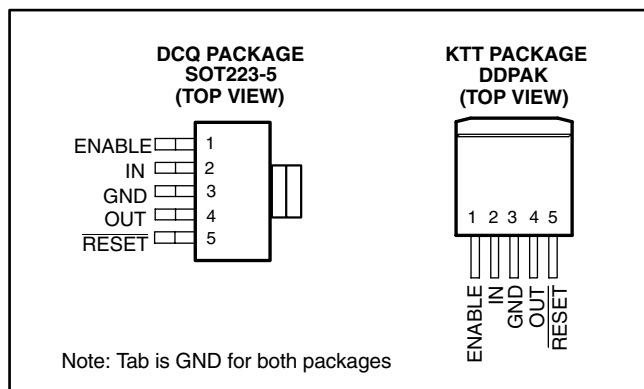
- PCIカード
- モデム・バンクとテレコム・ボード
- DSP、FPGA、およびマイクロプロセッサ用電源
- 携帯型、バッテリー駆動アプリケーション
- 以下の1.26Vコア電圧のDSP用電源
 - TMS320vC5501
 - TMS320vC5502

概要

TPS726xxファミリーの1A低ドロップアウト (LDO) リニア・レギュレータには、最新のDSP、FPGA、およびマイクロコントローラへの電源供給に一般的に使用される各固定電圧のモデルが用意されています。内蔵のスーパーバイザ回路により、出力がレギュレーション範囲より低下した場合に、アクティブ・ローのRESET信号が生成されます。コンデンサ無し、または任意の種類と容量の出力コンデンサを使用できるため、ユーザが必要な過渡特性に応じて出力容量を調整できます。その結果、同じ出力電流を供給可能な他のレギュレータと比較して、TPS726xxファミリーのレギュレータを使用すれば、スタンドアロンの電源ソリューション、またはスイッチ・モード電源用のポスト・レギュレータを容易に実現できます。

これらのレギュレータは広い入力電圧範囲 (1.8V~6V) で動作し、ドロップアウト電圧が非常に低くなっています (1Aで170mV)。グランド電流は全負荷時で210 μA (標準)、無負荷時には80 μA 未満まで低下します。スタンバイ時の電流は1 μA 以下です。

最小出力電流の制限を持ち無負荷で使用できないいくつかのレギュレータとは異なり、TPS726ファミリーは出力負荷電流0mAでも安定して動作します。低ノイズ特性と、高電流動作、および容易な放熱により、本ファミリーは、テレコム・ボード、モデム・バンクなどのノイズに敏感なアプリケーションに理想的です。





静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報⁽¹⁾

PRODUCT	V _{OUT}
TPS726xxxyyyz	XXX is nominal output voltage (for example, 126 = 1.26V, 15 = 1.5V). YYY is package designator. Z is package quantity.

(1) 最新のパッケージ及び発注情報については、この英文データシートの最後のPackage Option Addendum、またはTIホームページ www.ti.com を参照してください。

絶対最大定格

動作温度範囲内（特に記述のない限り）⁽¹⁾

		単位
Input voltage, V _I ⁽²⁾	-0.3 ~ 7	V
Voltage range at EN	-0.3 ~ V _I + 0.3	V
Voltage on RESET	V _{IN} + 0.3	V
Voltage on OUT	6	V
ESD rating, HBM	2	kV
Continuous total power dissipation	「許容損失」の表を参照	
Operating junction temperature range, T _J	-50 ~ 150	°C
Maximum junction temperature range, T _J	150	°C
Storage temperature, T _{stg}	-65 ~ 150	°C

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) すべての電圧値は回路のグランド端子を基準としています。

パッケージ許容損失

PACKAGE	BOARD	R _{θJC}	R _{θJA}
DDPAK	High K ⁽¹⁾	2 °C/W	23 °C/W
SOT223	Low K ⁽²⁾	15 °C/W	53 °C/W

(1) このデータを得るために使用したJEDEC High-K (2s2p) 基板のデザインは、3インチ×3インチ (7.5cm×7.5cm) の多層基板で、内部に1オンスの電源およびグランド・プレーンを持ち、基板の上面および底面に2オンスの銅トレースを形成しています。

(2) このデータを得るために使用したJEDEC Low-K (1s) 基板のデザインは、上面に3オンスの銅トレースを形成した3インチ×3インチ (7.5cm×7.5cm) の片面基板です。

電気的特性

推奨動作環境温度範囲内、 $V_I = V_{O(\text{typ})} + 1\text{V}$, $I_O = 1\text{mA}$, $\text{EN} = \text{IN}$, $C_O = 1\mu\text{F}$, $C_I = 1\mu\text{F}$ (特に記述のない限り)

パラメータ		テスト条件		MIN	TYP	MAX	単位	
$V_I^{(1)}$	Input voltage			1.8		6	V	
I_O	Continuous output current			0		1	A	
	Bandgap voltage reference			1.177	1.220	1.263	V	
V_O	Output voltage	TPS726126	$0\mu\text{A} < I_O < 1\text{A}$	$1.8\text{V} \leq V_I \leq 5.5\text{V}$	1.222	1.26	1.298	V
		TPS72615	$0\mu\text{A} < I_O < 1\text{A}$	$1.8\text{V} \leq V_I \leq 5.5\text{V}$	1.47	1.5	1.53	
		TPS72616	$0\mu\text{A} < I_O < 1\text{A}$	$2.6\text{V} \leq V_I \leq 5.5\text{V}$	1.568	1.6	1.632	
		TPS72618	$0\mu\text{A} < I_O < 1\text{A}$	$2.8\text{V} \leq V_I \leq 5.5\text{V}$	1.764	1.8	1.836	
		TPS72625	$0\mu\text{A} < I_O < 1\text{A}$	$3.5\text{V} \leq V_I \leq 5.5\text{V}$	2.45	2.5	2.55	
I	Ground current	$I_O = 0\mu\text{A}$			75	120	μA	
		$I_O = 1\text{A}$			210	300		
	Standby current	$\text{EN} < 0.4\text{V}$			0.2	1	μA	
V_n	Output noise voltage	$\text{BW} = 200\text{Hz to } 100\text{kHz}$	$C_O = 10\mu\text{F}$		150		μV	
PSRR	Ripple rejection	$f = 1\text{kHz}, C_O = 10\mu\text{F}$			60		dB	
	Current limit ⁽²⁾			1.1	1.6	2.3	A	
	Output voltage line regulation ($\Delta V_O/V_O$) ⁽³⁾	$V_O + 1\text{V} < V_I \leq 5.5\text{V}$		-0.15	0.02	0.15	%/V	
	Output voltage load regulation	$0\mu\text{A} < I_O < 1\text{A}$		-0.25	0.05	0.25	%/A	
V_{IH}	EN high level input			1.3			V	
V_{IL}	EN low level input			-0.2		0.4		
I_I	EN input current	$\text{EN} = 0\text{V or } V_I$			0.01	100	nA	
	UVLO threshold	V_{CC} rising		1.45	1.57	1.70	V	
	UVLO hysteresis	V_{CC} rising			50		mV	
	UVLO deglitch	V_{CC} rising			10		μs	
	UVLO delay	V_{CC} rising			100		μs	
V_{DO}	Dropout voltage ⁽⁴⁾	TPS72625	$I_O = 1\text{A}$		170	280	mV	
		TPS72618	$I_O = 1\text{A}$		210	320		
RESET	Minimum input voltage for valid RESET (V_{RES})			1.3			V	
	Trip threshold voltage			90	93	96	% V_O	
	Hysteresis voltage				10		mV	
	$t_{(\text{RESET})}$ delay time			100	200	300	ms	
	Rising edge deglitch				10		μs	
	Output low voltage (at 700 μA)			-0.3		0.4	V	
	Leakage current					100	nA	
T_J	Operating junction temperature			-40		+125	$^{\circ}\text{C}$	

(1) 最小 V_{IN} は1.8Vか $V_{O(\text{typ})} + 1\text{V}$ の何れか大きい方です。

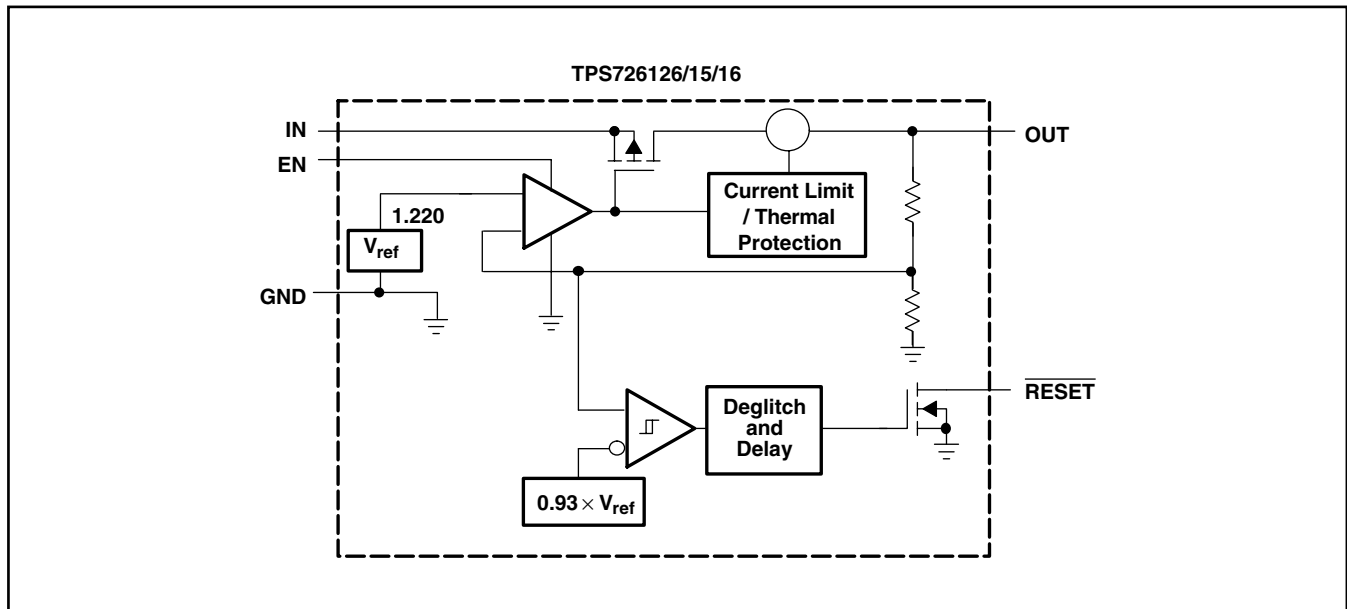
(2) 測定条件には、出力電圧 $V_O = V_O - 15\%$ およびパルス幅 = 10msが含まれます。

(3) $V_{I\text{min}}$ は、 $(V_O + 1)$ と1.8Vのうち大きいほうになります。

$$\text{Line regulation (mV)} = (\%/\text{V}) \times \frac{V_O(5.5\text{V} - V_{I\text{min}})}{100} \times 1000$$

(4) ドロップアウト電圧は、 $V_I = V_O + 1\text{V}$ で測定された値よりも V_O が100mV下回ったときの、 V_O と V_I の電圧差として定義されます。

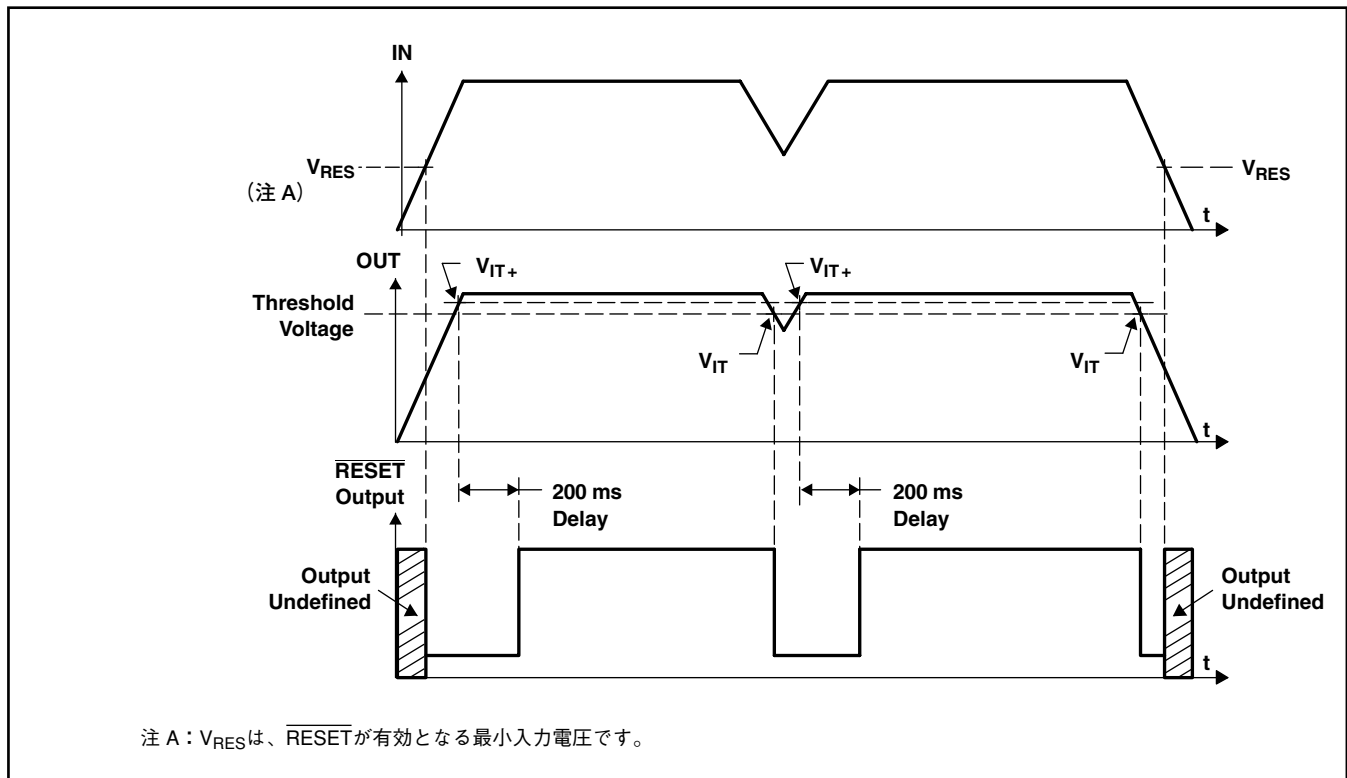
機能ブロック図



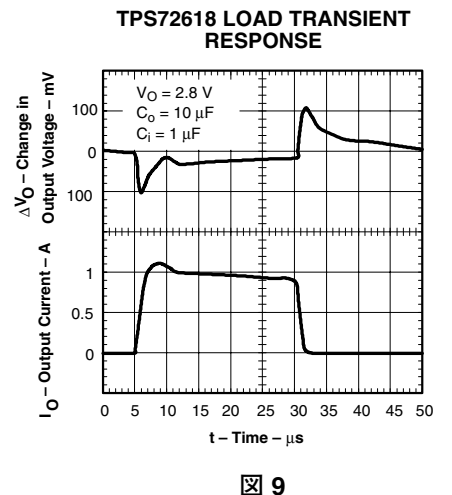
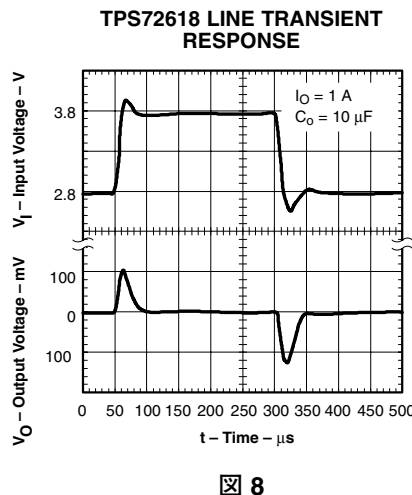
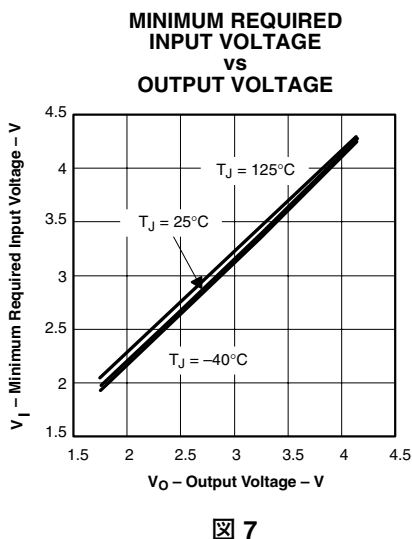
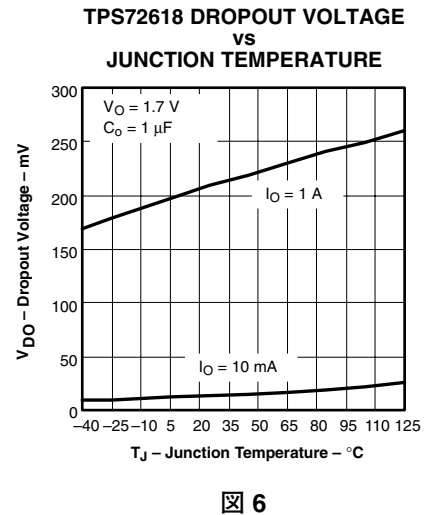
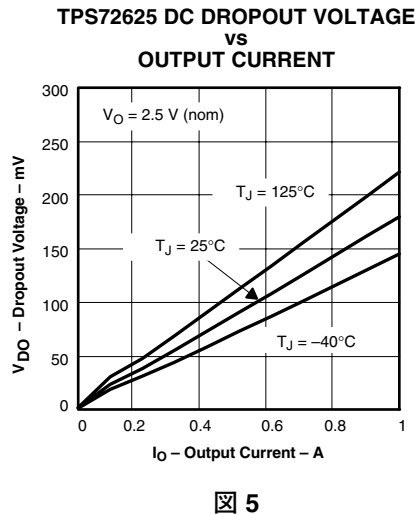
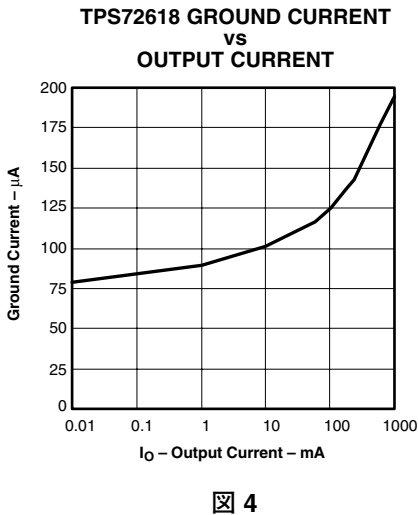
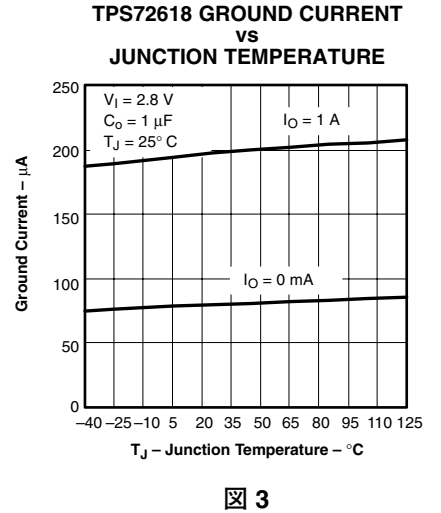
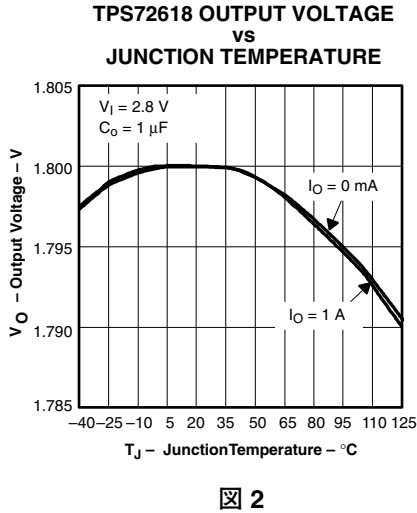
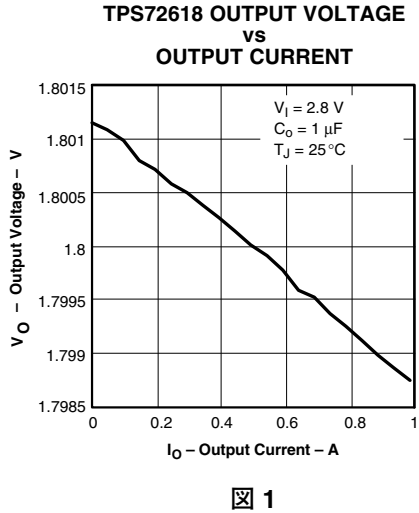
ピン機能

端子名称	番号	説明
GND	3	グラウンド
ENABLE	1	イネーブル入力
IN	2	電源入力
RESET	5	この端子はRESET出力端子となります。プルアップ抵抗と共に使用することで、このオープン・ドレイン出力は、レギュレータの出力電圧がその公称出力電圧を5%以上下回ったときに、アクティブ・ローのRESET信号を発生します。RESET遅延時間は、標準で200msです。
OUT	4	安定化電圧出力

リセット・タイミング図



代表的特性



代表的特性

TPS72618 LOAD TRANSIENT RESPONSE

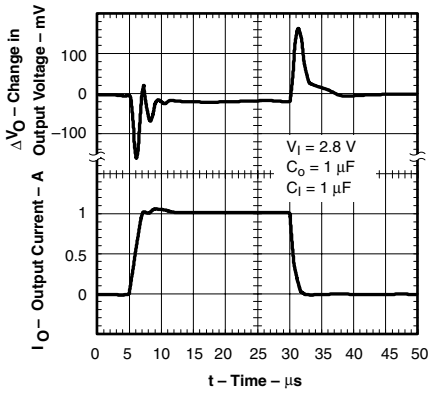


図 10

TPS72618 OUTPUT VOLTAGE, ENABLE VOLTAGE VS TIME (START-UP)

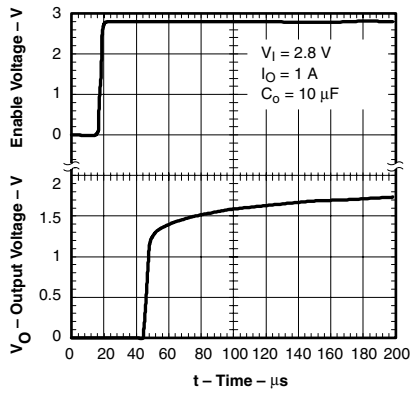


図 11

TPS72618 POWER UP/POWER DOWN

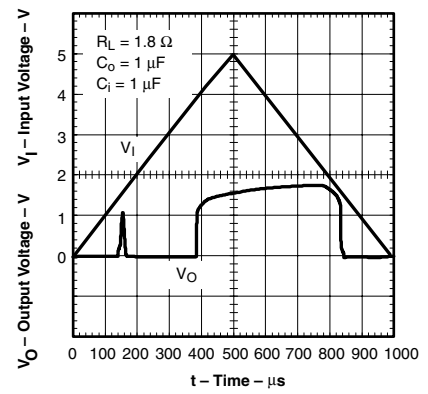


図 12

TPS72618 OUTPUT SPECTRAL NOISE DENSITY VS FREQUENCY

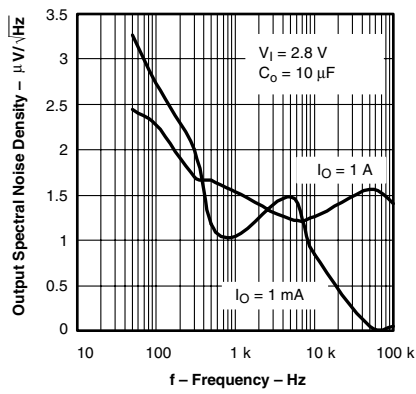


図 13

OUTPUT IMPEDANCE VS FREQUENCY

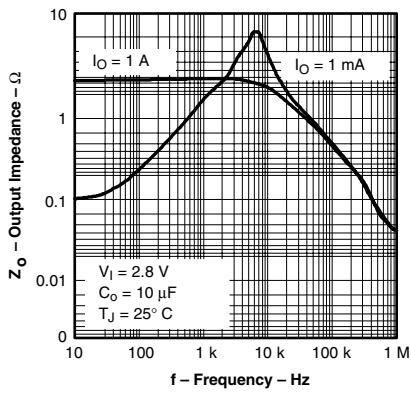


図 14

TPS72618 RIPPLE REJECTION VS FREQUENCY

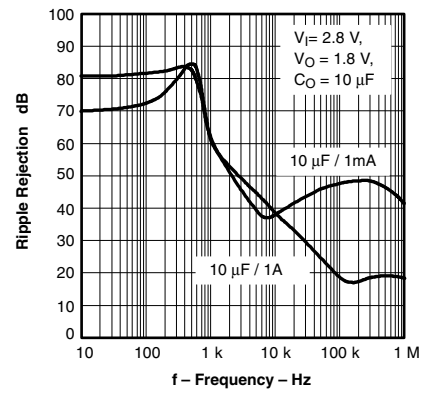


図 15

CURRENT LIMIT VS INPUT VOLTAGE

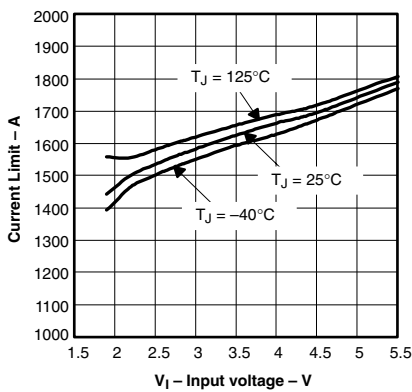


図 16

TPS72615 GROUND CURRENT VS INPUT VOLTAGE

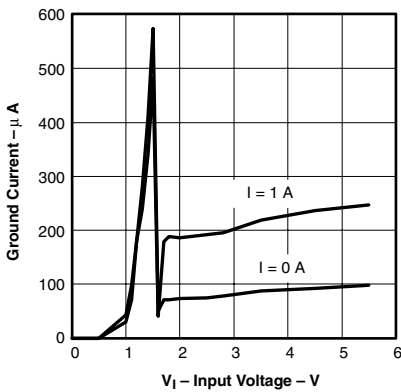


図 17

DROPOUT VOLTAGE VS INPUT VOLTAGE

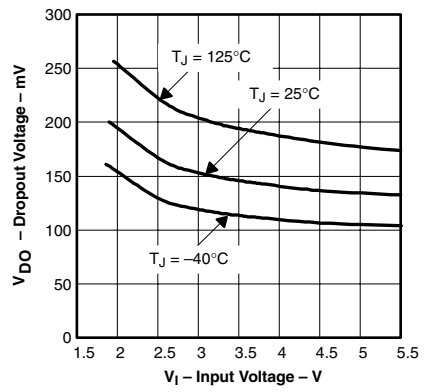


図 18

アプリケーション情報

TPS726xxファミリーの低ドロップアウト (LDO) レギュレータには、幅広い範囲のアプリケーションで利用するための機能が多数搭載されています。非常に低い入力電圧 (1.8V以上) と低いドロップアウト電圧 (全負荷時200mV) で動作することにより、高効率のスタンドアロン電源や、バッテリーまたはスイッチ・モード電源のポスト・レギュレータとして活用できます。アクティブ・ローのRESET、さらには1Aの出力電流により、TPS726xxファミリーは、プロセッサおよびFPGA電源への電源供給に理想的です。また、出力ノイズが低い (10μFの出力コンデンサで標準150μV_{RMS}) ため、テレコム機器での使用にも最適です。

外部コンデンサ要件

安定性向上のため、INとGNDの間に、1μF以上のセラミック入力バイパス・コンデンサをTPS726xxに近づけて配置する必要があります。過渡応答、ノイズ除去、およびリップル除去性能を向上させるために、さらに10μF以上の低ESRコンデンサを追加することを推奨します。立ち上がりの速い大きな負荷過渡電流が予期される場合や、本製品の配置が電源供給元から数インチも離れている場合、特に、最小入力電圧の1.8Vで使用する場合には、より大容量の低ESR入力コンデンサが必要となる場合があります。

安定動作のための出力コンデンサは必須ではありませんが、10μFの出力コンデンサを使用すると過渡応答および出力ノイズ特性が向上します。

レギュレータの保護

TPS726xxの制御素子にはバック・ダイオードが内蔵され、入力電圧が出力電圧よりも低下した場合 (パワーダウン時など) に、逆方向電流を安全に流します。電流は出力から入力へと逆流しますが、内蔵された電流制限起動は動作しません。長時間の逆電圧状態が予想される場合は、外部での電流制限が必要となる場合もあります。

TPS726xxは、過電流制限および過熱保護機能も内蔵しています。通常動作時、TPS726xxは出力電流を約1.6Aに制限します。電流制限がかかると、出力電圧は過電流状態が終了するまで直線的に低下します。電流制限はデバイス全体の障害を防ぐように設計されていますが、パッケージの定格消費電力を超えないよう注意が必要です。デバイスの温度が165°Cを超えると、過熱保護回路によってデバイスがシャットダウンされます。デバイスの温度が145°C以下まで低下すると、レギュレータの動作が再開されます。

熱特性について

LDOリニア・レギュレータが発する熱量は、動作中に負荷の回路が消費する電力の量に直接比例します。すべてのICには、最大許容接合部温度 (T_{jmax}) が規定され、それを超えると通常の動作が保証されません。システム設計者は、動作時の接合部温度 (T_j) が最大接合部温度 (T_{jmax}) を超えないように動作環境を設計する必要があります。熱特性を改善するために設計者が使用できる2つの主要な環境変数は、エアフローと外部ヒートシンクです。ここでは、設計者のために、特定の電力レベルで動作するリニア・レギュレータに対して適切な動作環境を決定する方法を説明します。

一般に、リニア・レギュレータによって消費される最大予想電力 ($P_{D(max)}$) は、次のように計算されます。

$$P_{Dmax} = (V_{I(avg)} - V_{O(avg)}) \times I_{O(avg)} + V_{I(avg)} \times I_{(Q)} \quad (1)$$

ここで

- $V_{I(avg)}$ は、平均入力電圧です。
- $V_{O(avg)}$ は、平均出力電圧です。
- $I_{O(avg)}$ は、平均出力電流です。
- $I_{(Q)}$ は、無信号時電流です。

TIのほとんどのLDOレギュレータでは、無信号時電流は平均出力電流と比較してずっと小さいため、 $V_{I(avg)} \times I_{(Q)}$ の項は無視できます。動作接合部温度は、周囲温度 (T_A) に、レギュレータの消費電力による温度上昇を加算することで計算されます。

温度上昇は、最大予想消費電力に、接合部-ケース間の熱抵抗 ($R_{\theta JC}$)、ケース-ヒートシンク間の熱抵抗 ($R_{\theta CS}$)、ヒートシンク周囲空間間の熱抵抗 ($R_{\theta SA}$) の合計を乗算することで求められます。熱抵抗は、物体がどのくらい効率的に熱を放散できるかを表す指標です。一般に、デバイスのパッケージが大きいくほど、放散に利用できる表面積が大きくなり、熱抵抗は低くなります。

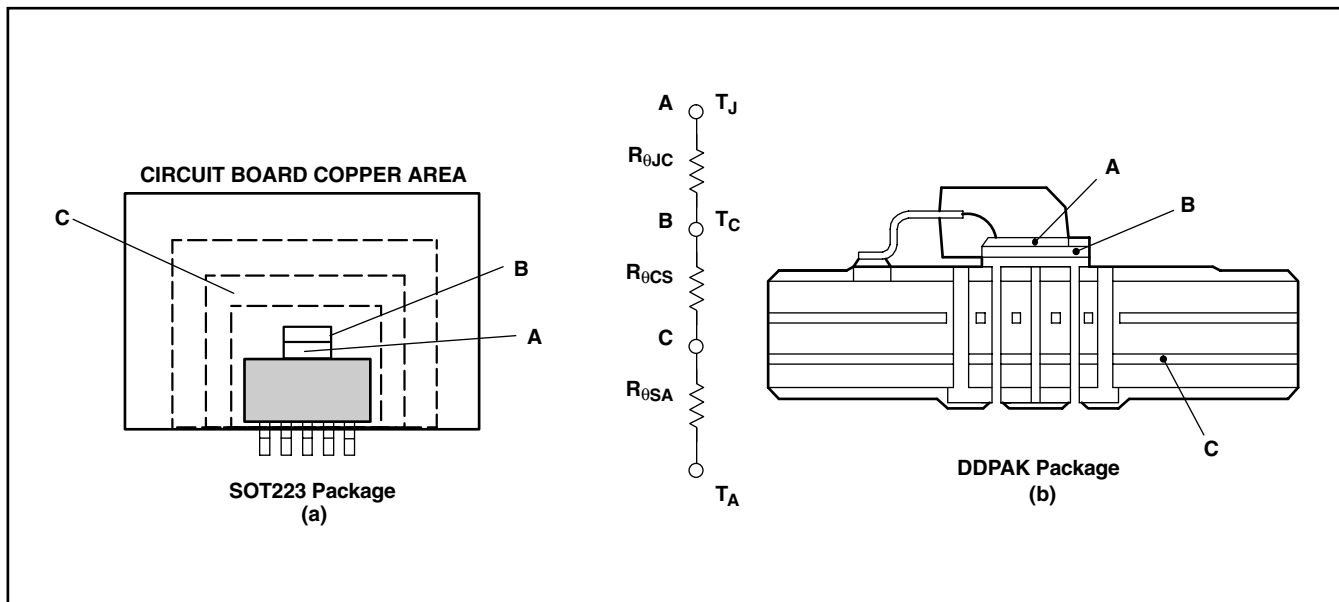


図 19. 熱抵抗

図19に、(a) JEDEC Low-K基板に実装されたSOT223パッケージ、および(b) JEDEC High-K基板に実装されたDDPAKパッケージについて、この3つの熱抵抗を示します。

これらの計算を式(2)にまとめます。

$$T_J = T_A + P_{Dmax} \times (R_{\theta JC} + R_{\theta CS} + R_{\theta SA}) \quad (2)$$

$R_{\theta JC}$ は各レギュレータに固有の値で、パッケージ、リード・フレーム、およびダイ・サイズによって決まり、レギュレータのデータシートに記載されています。 $R_{\theta SA}$ は、ヒートシンクの種類およびサイズの関数となります。例えば、黒色のラジエータ形ヒートシンクの場合、 $R_{\theta SA}$ 値は、非常に大きなヒートシンクでは $5^{\circ}\text{C}/\text{W}$ 、非常に小さなヒートシンクでは $50^{\circ}\text{C}/\text{W}$ となります。 $R_{\theta CS}$ は、パッケージとヒートシンクの接合方法により決定される値となります。例えば、SOT223パッケージのヒートシンクの取り付けにサーマル・コンパウンドを使用した場合、 $R_{\theta CS}$ は $1^{\circ}\text{C}/\text{W}$ が妥当な値です。

パッケージの外部に黒色のラジエータ形ヒートシンクが取り付けられていない場合でも、レギュレータが実装される基板により、ピンの半田接続を通してある程度の熱の拡散が行われます。DDPAKやSOT223パッケージなど、いくつかのパッケージでは、パッケージ直下の銅パターンまたは回路基板の内層のグラウンド・プレーンをヒートシンクとして使用し、熱特性を向上させることができます。コンピュータを使った熱拡散のモデリン

グにより、(異なる種類の回路基板、異なる種類およびサイズのヒートシンク、異なるエアフローなど)各種の動作環境におけるICの熱特性を非常に正確に近似計算することができます。これらのモデルを使用し、3つの熱抵抗の合計を、接合部・周囲間の1つの熱抵抗($R_{\theta JA}$)にできます。この $R_{\theta JA}$ は、コンピュータ・モデルで使用された特定の動作環境でのみ有効な値です。

式(2)は、式(3)のように簡略化できます。

$$T_J = T_A + P_{Dmax} \times R_{\theta JA} \quad (3)$$

式(3)を変形して、式(4)が導かれます。

$$R_{\theta JA} = \frac{T_J - T_A}{P_{Dmax}} \quad (4)$$

式(3)と、図20および図23に示すコンピュータ・モデルにより生成された曲線を使用すれば、特定の周囲温度、消費電力、および動作環境に対して、必要なヒートシンクの熱抵抗と基板面積を容易に求める事ができます。

DDPAKの許容損失

DDPAKパッケージは、表面実装アプリケーションにおいて高い消費電力による発熱を効果的に放熱させる事を可能とします。DDPAKパッケージの寸法は、データシート巻末のメカニカル・データ・セクションに記載されています。DDPAKパッケージの直下に銅プレーンを配置する事によりパッケージの熱特性を向上させる事ができます。

ここでは説明のために、DDPAKパッケージのTPS72625を選択しています。この例では、平均入力電圧が5V、出力電圧が2.5V、平均出力電流が1A、周囲温度が55°C、エアフローが150LFM、および動作環境は下記に示すとおりです。自己消費電流は小さいので無視して計算すると、最大平均電力は次のようになります。

$$P_{Dmax} = (5 - 2.5)V \times 1A = 2.5W \quad (5)$$

式(4)の T_j に T_{jmax} を代入すると、式(6)が得られます。

$$\begin{aligned} R_{\theta JAmax} &= (125 - 55)^\circ\text{C} / 2.5W \\ &= 28^\circ\text{C} / W \end{aligned} \quad (6)$$

図20「DDPAKの熱抵抗対銅ヒートシンク面積」から、デバイスが2.5Wを消費するためには1cm²のグラウンド・プレーンが必要です。図20を得るためにコンピュータ・モデルでを使用した動作環境は、標準JEDEC High-K (2S2P) 基板で、1オンスの内部銅プレーンおよびグラウンド・プレーンから構成されています。パッケージは、2オンスの銅パッドに半田付けされます。このパッドは、サーマル・ビアを通して1オンスのグラウンド・プレーンに接続されます。図21にコンピュータ・モデルでを使用した動作環境の断面図を示します。

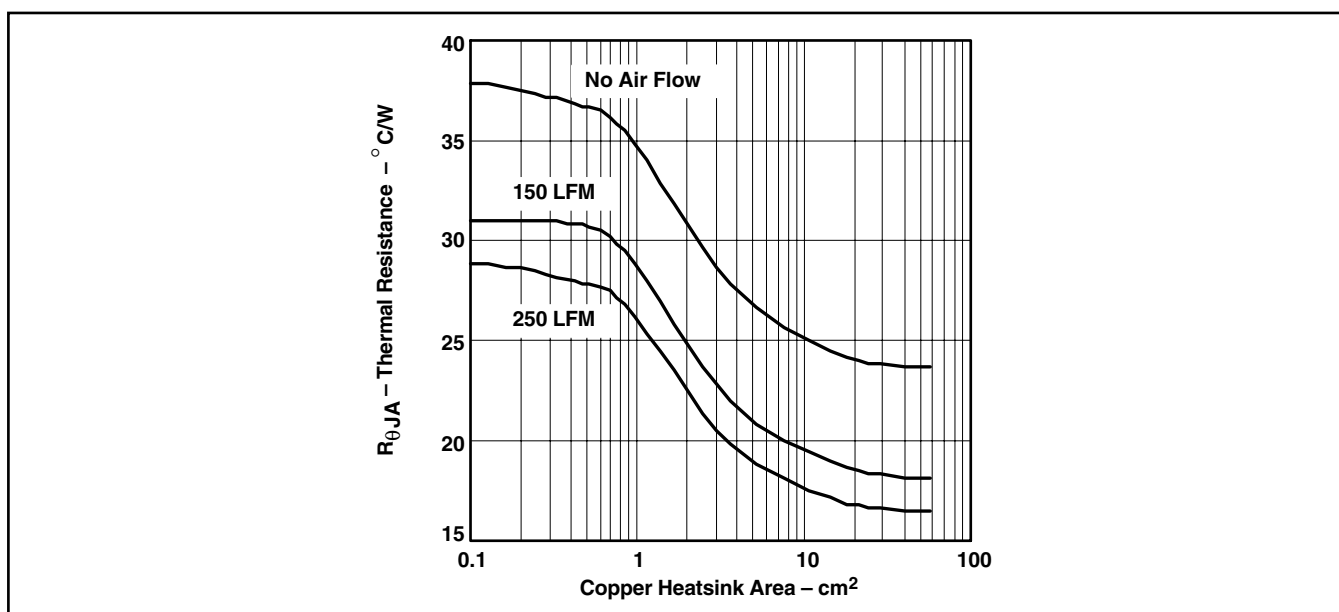


図 20. DDPACKの熱抵抗対銅ヒートシンク面積

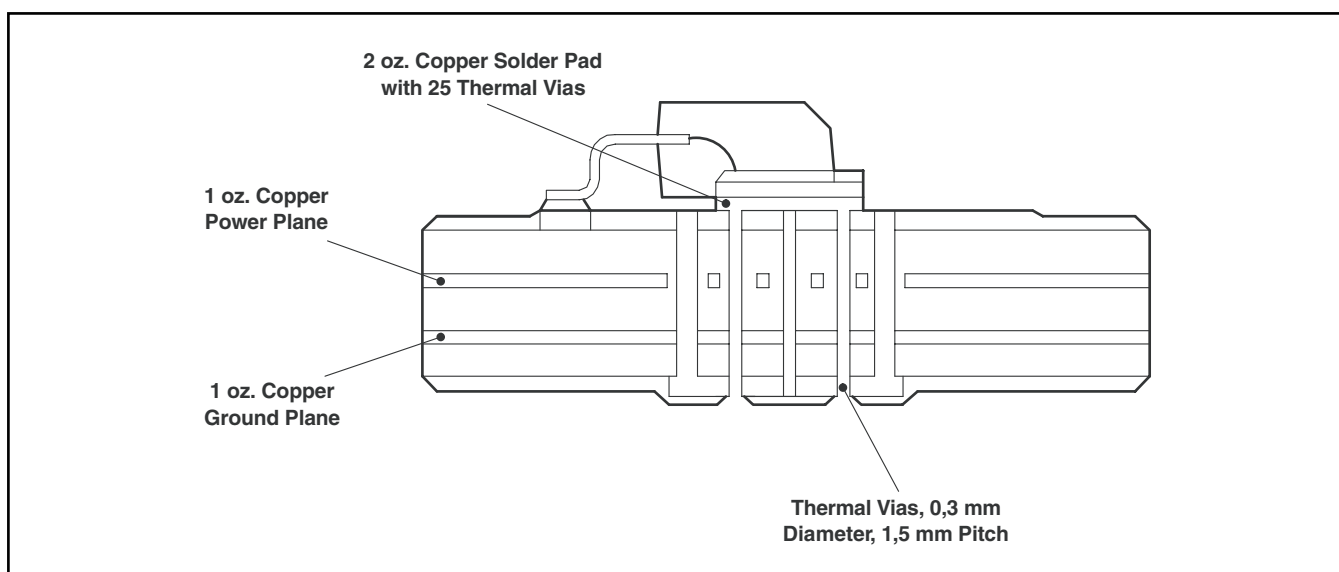


図 21. DDPACKの熱抵抗

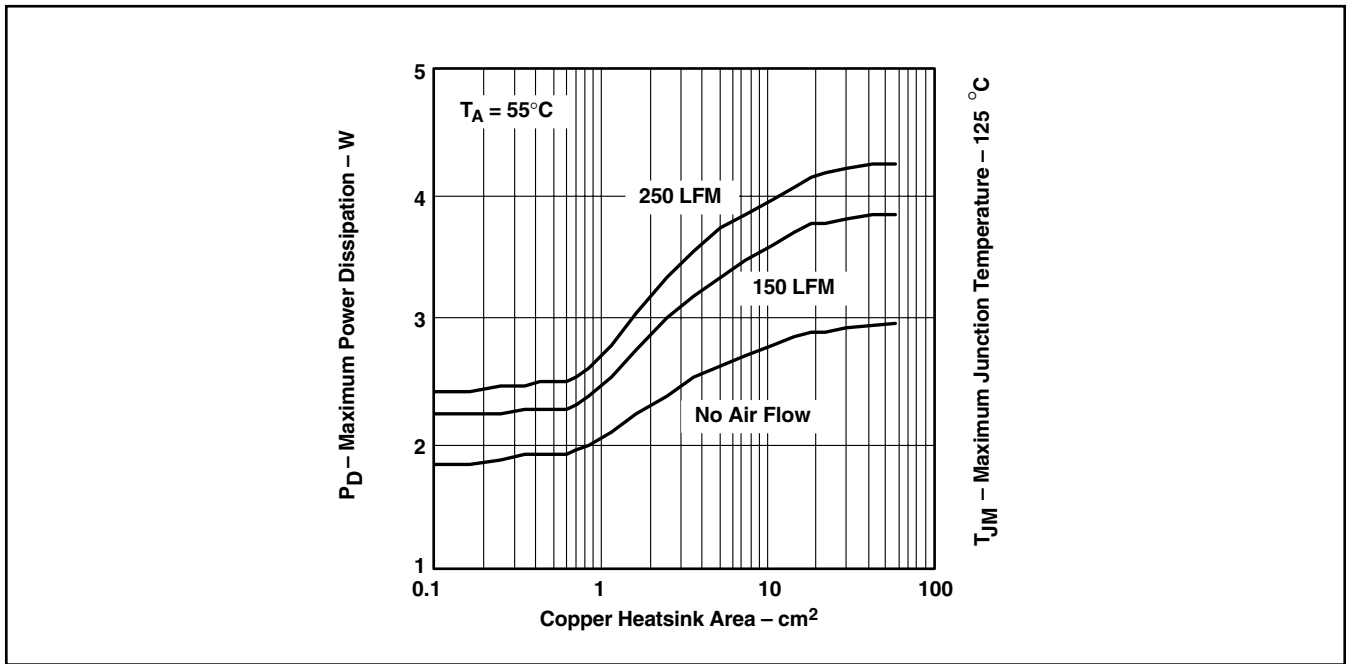


図 22. 最大消費電力 対 銅ヒートシンク面積

図22のデータを使用し、式(4)を変形すると、グランド・プレーン面積および特定の周囲温度に対する最大消費電力を計算できます。

SOT223の許容損失

SOT223パッケージは、表面実装アプリケーションにおいて高い消費電力による発熱を効果的に放熱させることを可能とします。SOT223パッケージの寸法は、データシート巻末のメカニカル・データ・セクションに記載されています。SOT223パッケージの直下に銅プレーンを配置する事により、パッケージの熱特性を向上させる事が出来ます。

ここでは説明のために、SOT223パッケージのTPS72625を選択しています。この例では、平均入力電圧が3.3V、出力電圧が2.5V、平均出力電流が1A、周囲温度が55°C、エアフロー無し、および動作環境は下記に示すとおりです。自己消費電流は小さいので無視して計算すると、最大平均電力は次のようになります。

$$P_{Dmax} = (3.3 - 2.5)V \times 1A = 800mW \quad (7)$$

式(4)の T_j に T_{jmax} を代入すると、式(8)が得られます。

$$\begin{aligned} R_{\theta JAmax} &= (125 - 55)^\circ\text{C} / 800mW \\ &= 87.5^\circ\text{C} / W \end{aligned} \quad (8)$$

図23「SOT223の熱抵抗対PCB銅ヒートシンク面積」から、デバイスが800mWを消費するためには0.55平方インチのグランド・プレーンが必要です。図23を得るために使用した動作環境は、1オンスの銅プレーンを持つ両面基板から構成されています。パッケージは、基板上面の1オンスの銅パッドに半田付けされます。このパッドは、サーマル・ビアを通して1オンスの裏面のグランド・プレーンに接続されます。

図23のデータを使用し、式(4)を変形すると、グラウンド・プレーン面積および特定の周囲温度に対する最大消費電力を計算できます(図24)。

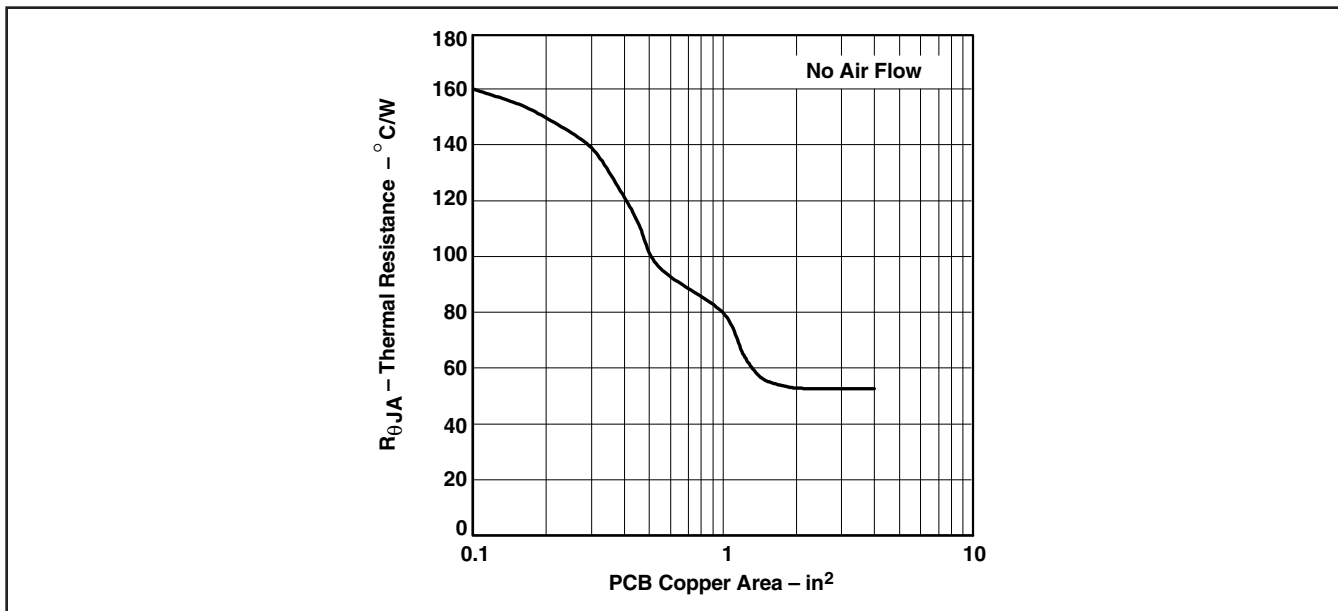


図 23. SOT223の熱抵抗対PCB銅ヒートシンク面積

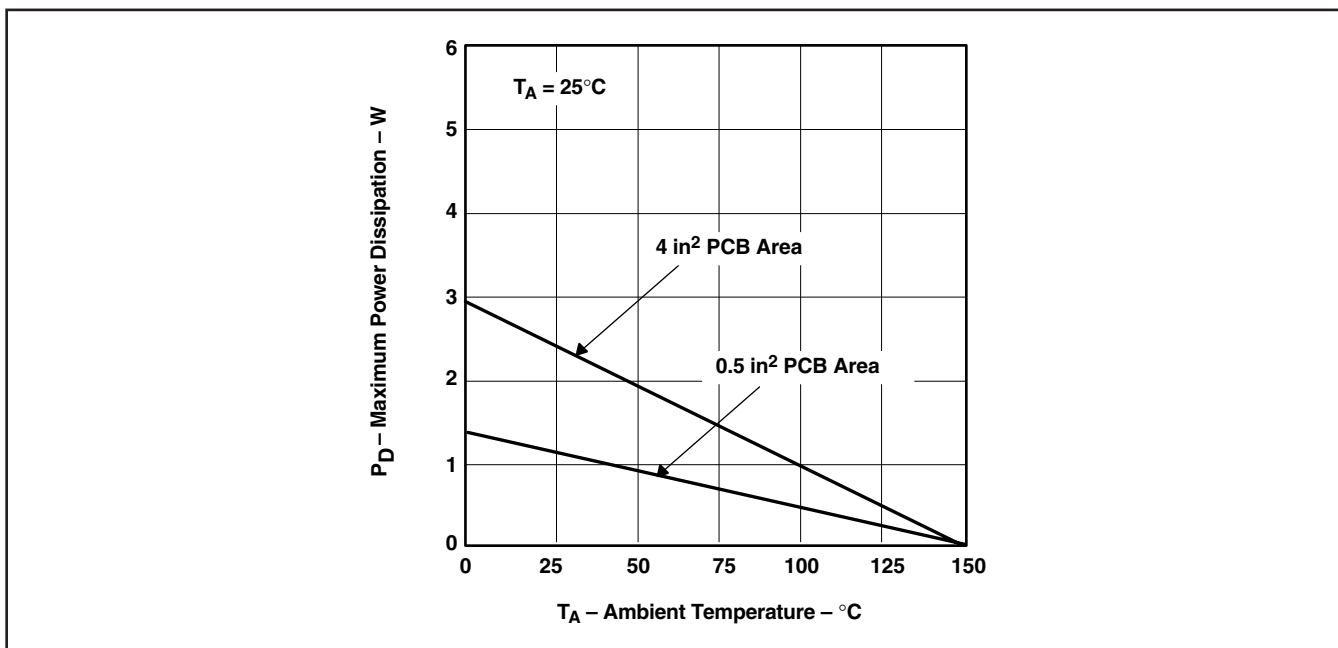


図 24. SOT223の許容損失

パッケージ・オプション

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS726126DCQ	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS726126DCQG4	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS726126DCQR	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS726126DCQRG4	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72615DCQ	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72615DCQG4	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72615DCQR	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72615DCQRG4	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72615KTT	OBSOLETE	DDPAK/ TO-263	KTT	5		TBD	Call TI	Call TI
TPS72615KTTR	ACTIVE	DDPAK/ TO-263	KTT	5	500	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS72615KTTRG3	ACTIVE	DDPAK/ TO-263	KTT	5	500	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS72615KTTT	ACTIVE	DDPAK/ TO-263	KTT	5	50	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS72615KTTTG3	ACTIVE	DDPAK/ TO-263	KTT	5	50	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS72616DCQ	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72616DCQG4	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72616DCQR	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72616DCQRG4	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72616KTT	OBSOLETE	DDPAK/ TO-263	KTT	5		TBD	Call TI	Call TI
TPS72616KTTR	ACTIVE	DDPAK/ TO-263	KTT	5	500	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS72616KTTRG3	ACTIVE	DDPAK/ TO-263	KTT	5	500	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS72616KTTT	ACTIVE	DDPAK/ TO-263	KTT	5	50	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS72616KTTTG3	ACTIVE	DDPAK/ TO-263	KTT	5	50	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS72618DCQ	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72618DCQG4	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72618DCQR	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS72618DCQRG4	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72618KTT	OBSOLETE	DDPAK/ TO-263	KTT	5		TBD	Call TI	Call TI
TPS72618KTTR	ACTIVE	DDPAK/ TO-263	KTT	5	500	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS72618KTTRG3	ACTIVE	DDPAK/ TO-263	KTT	5	500	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS72618KTTT	ACTIVE	DDPAK/ TO-263	KTT	5	50	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS72618KTTTG3	ACTIVE	DDPAK/ TO-263	KTT	5	50	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS72625DCQ	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72625DCQG4	ACTIVE	SOT-223	DCQ	6	78	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72625DCQR	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72625DCQRG4	ACTIVE	SOT-223	DCQ	6	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS72625KTT	OBSOLETE	DDPAK/ TO-263	KTT	5		TBD	Call TI	Call TI
TPS72625KTTR	ACTIVE	DDPAK/ TO-263	KTT	5	500	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS72625KTTRG3	ACTIVE	DDPAK/ TO-263	KTT	5	500	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS72625KTTT	ACTIVE	DDPAK/ TO-263	KTT	5	50	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR
TPS72625KTTTG3	ACTIVE	DDPAK/ TO-263	KTT	5	50	Green (RoHS & no Sb/Br)	CU SN	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンパ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

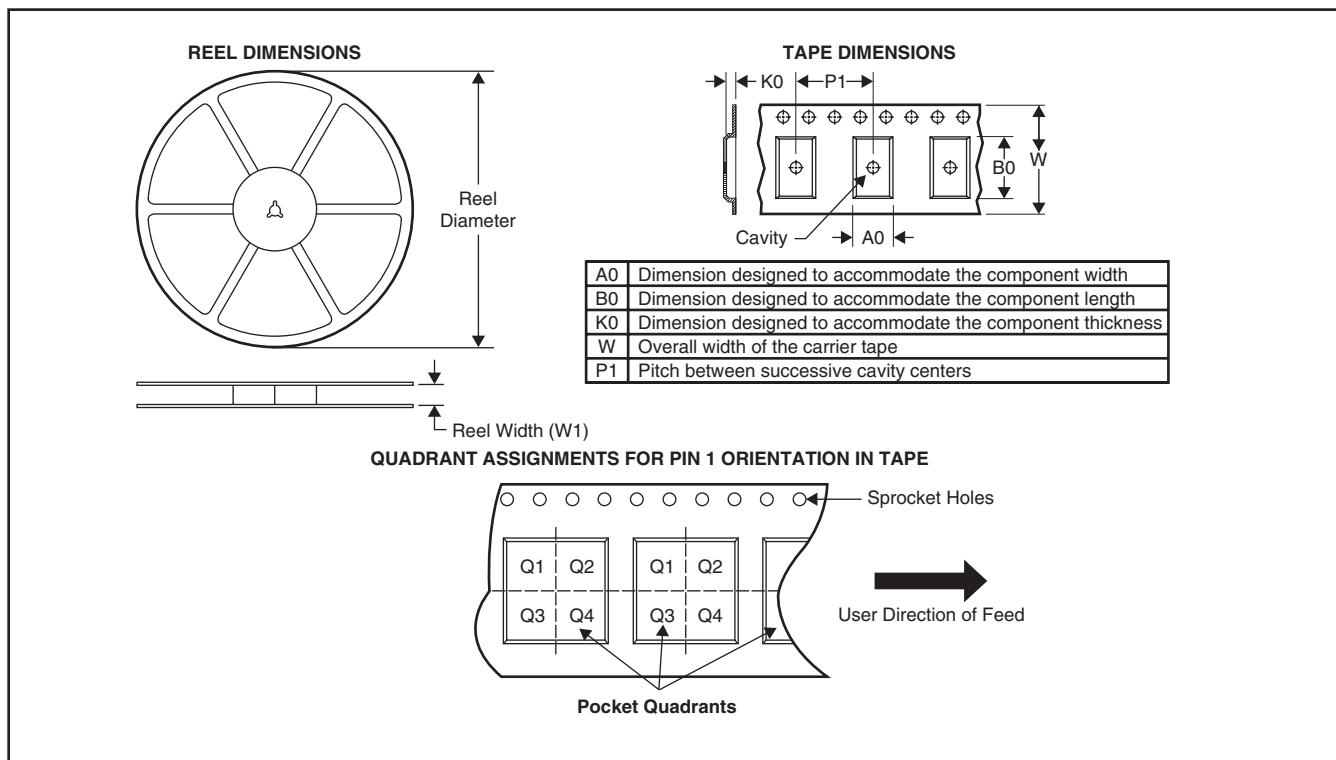
(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

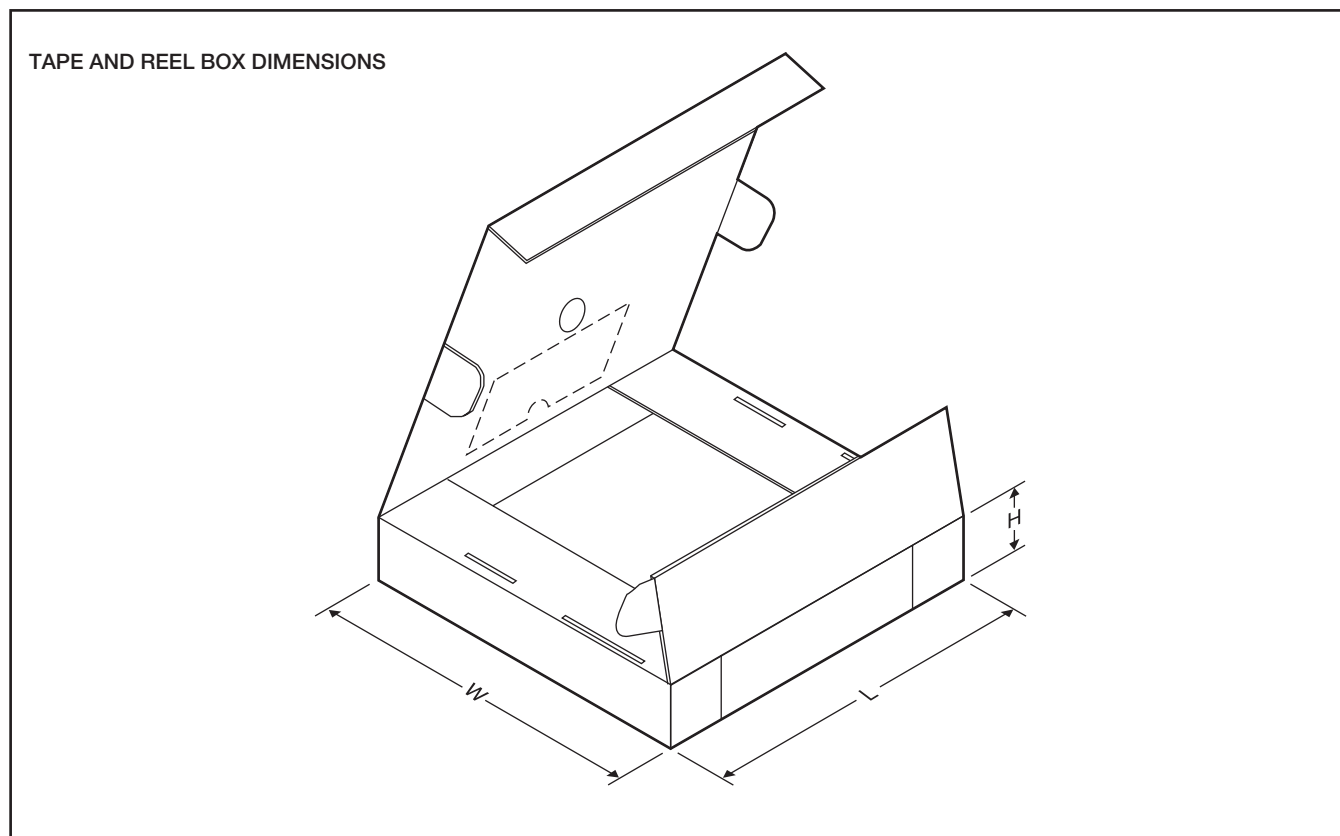
テープおよびリール・ボックス情報



*All dimensions are nominal

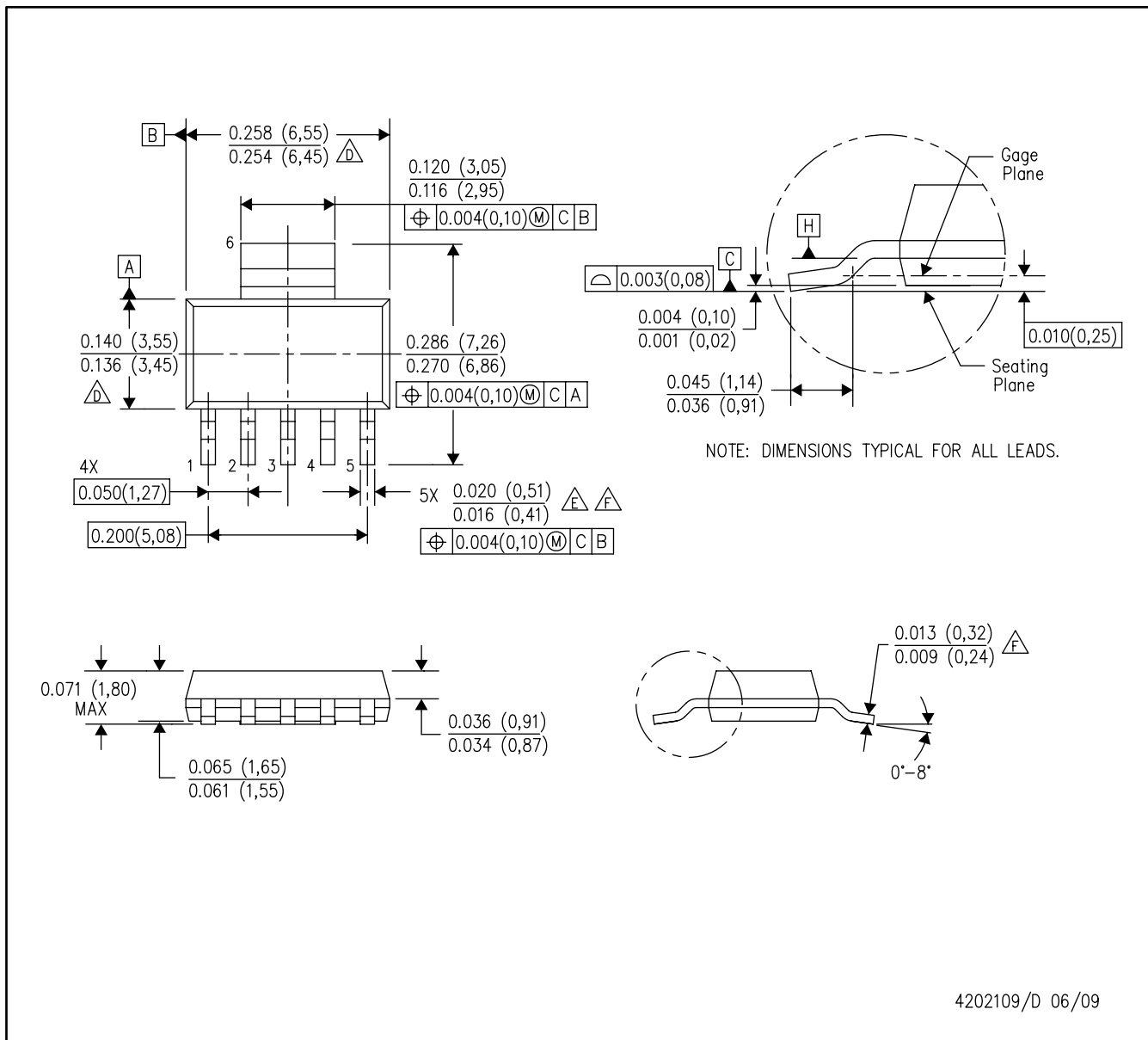
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS726126DCQR	SOT-223	DCQ	6	2500	330.0	12.4	6.8	7.3	1.88	8.0	12.0	Q3
TPS72615DCQR	SOT-223	DCQ	6	2500	330.0	12.4	6.8	7.3	1.88	8.0	12.0	Q3
TPS72615KTTR	DDPAK/TO-263	KTT	5	500	330.0	24.4	10.6	15.6	4.9	16.0	24.0	Q2
TPS72615KTTR	DDPAK/TO-263	KTT	5	50	330.0	24.4	10.6	15.6	4.9	16.0	24.0	Q2
TPS72616DCQR	SOT-223	DCQ	6	2500	330.0	12.4	6.8	7.3	1.88	8.0	12.0	Q3
TPS72616KTTR	DDPAK/TO-263	KTT	5	500	330.0	24.4	10.6	15.6	4.9	16.0	24.0	Q2
TPS72616KTTR	DDPAK/TO-263	KTT	5	50	330.0	24.4	10.6	15.6	4.9	16.0	24.0	Q2
TPS72618DCQR	SOT-223	DCQ	6	2500	330.0	12.4	6.8	7.3	1.88	8.0	12.0	Q3
TPS72618KTTR	DDPAK/TO-263	KTT	5	500	330.0	24.4	10.6	15.6	4.9	16.0	24.0	Q2
TPS72618KTTR	DDPAK/TO-263	KTT	5	50	330.0	24.4	10.6	15.6	4.9	16.0	24.0	Q2
TPS72625DCQR	SOT-223	DCQ	6	2500	330.0	12.4	6.8	7.3	1.88	8.0	12.0	Q3
TPS72625KTTR	DDPAK/TO-263	KTT	5	500	330.0	24.4	10.6	15.6	4.9	16.0	24.0	Q2
TPS72625KTTR	DDPAK/TO-263	KTT	5	50	330.0	24.4	10.6	15.6	4.9	16.0	24.0	Q2

パッケージ・マテリアル情報



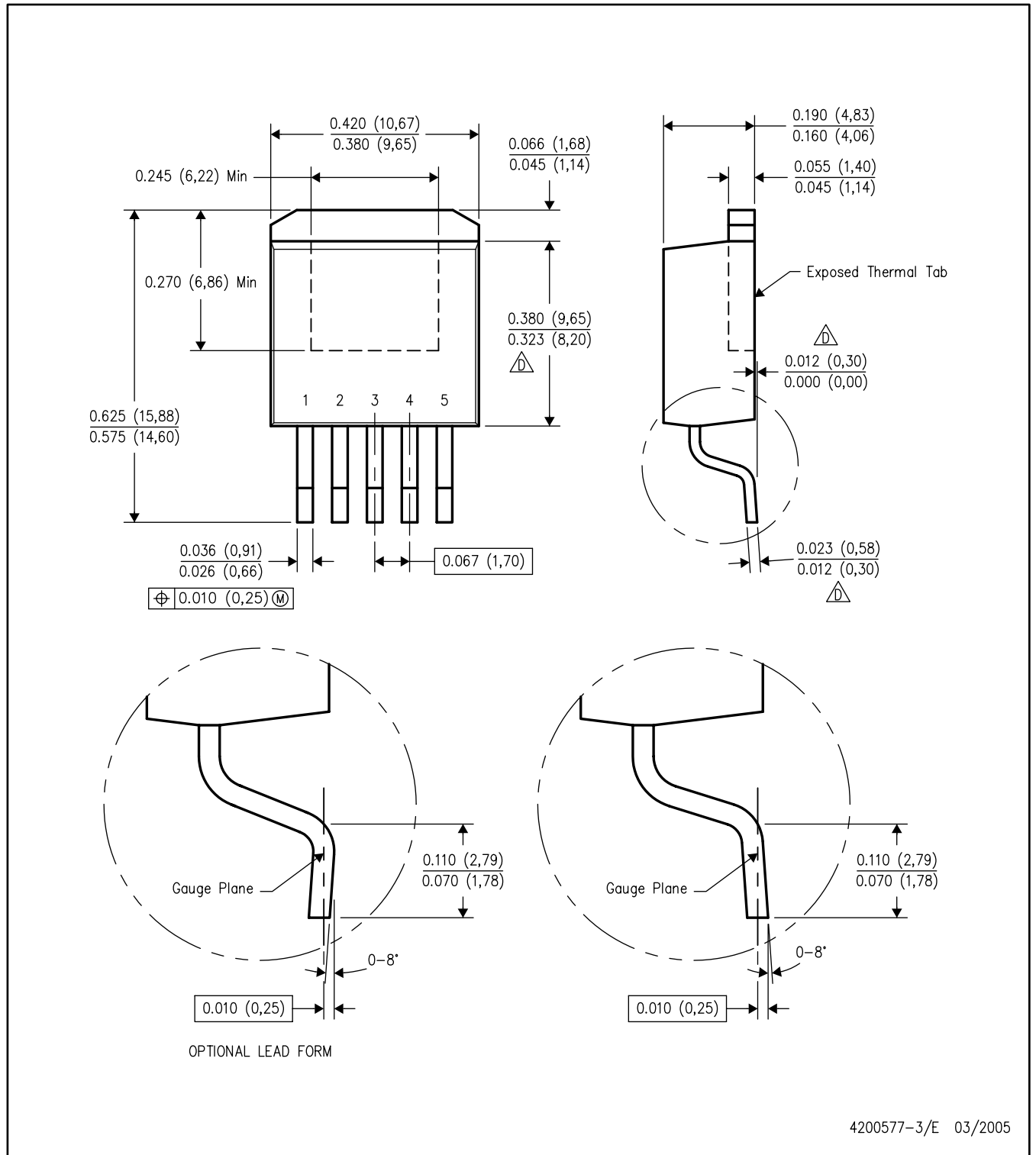
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS726126DCQR	SOT-223	DCQ	6	2500	358.0	335.0	35.0
TPS72615DCQR	SOT-223	DCQ	6	2500	358.0	335.0	35.0
TPS72615KTTR	DDPAK/TO-263	KTT	5	500	346.0	346.0	41.0
TPS72615KTTT	DDPAK/TO-263	KTT	5	50	346.0	346.0	41.0
TPS72616DCQR	SOT-223	DCQ	6	2500	358.0	335.0	35.0
TPS72616KTTR	DDPAK/TO-263	KTT	5	500	346.0	346.0	41.0
TPS72616KTTT	DDPAK/TO-263	KTT	5	50	346.0	346.0	41.0
TPS72618DCQR	SOT-223	DCQ	6	2500	358.0	335.0	35.0
TPS72618KTTR	DDPAK/TO-263	KTT	5	500	346.0	346.0	41.0
TPS72618KTTT	DDPAK/TO-263	KTT	5	50	346.0	346.0	41.0
TPS72625DCQR	SOT-223	DCQ	6	2500	358.0	335.0	35.0
TPS72625KTTR	DDPAK/TO-263	KTT	5	500	346.0	346.0	41.0
TPS72625KTTT	DDPAK/TO-263	KTT	5	50	346.0	346.0	41.0



- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 表記されている寸法はインチです。
 △ 本体の縦と横の寸法は、プラスチック本体の最外側で測定され、モールドの突起、タイ・バーのバリ、ゲートのバリ、リード間の突起は含みませんが、プラスチック本体の上面と下面間のミスマッチはすべて含みます。
 △ リード幅の寸法には、ダンパーの突出部を含みません。
 △ リード幅と厚さの寸法は、半田めっきされたリードに適用されます。
 G. リード間の突起は、最大0.008インチとします。
 H. ゲートのバリ/突出部の最大長。0.006インチ
 I. データAとBは、データHで決定されます。

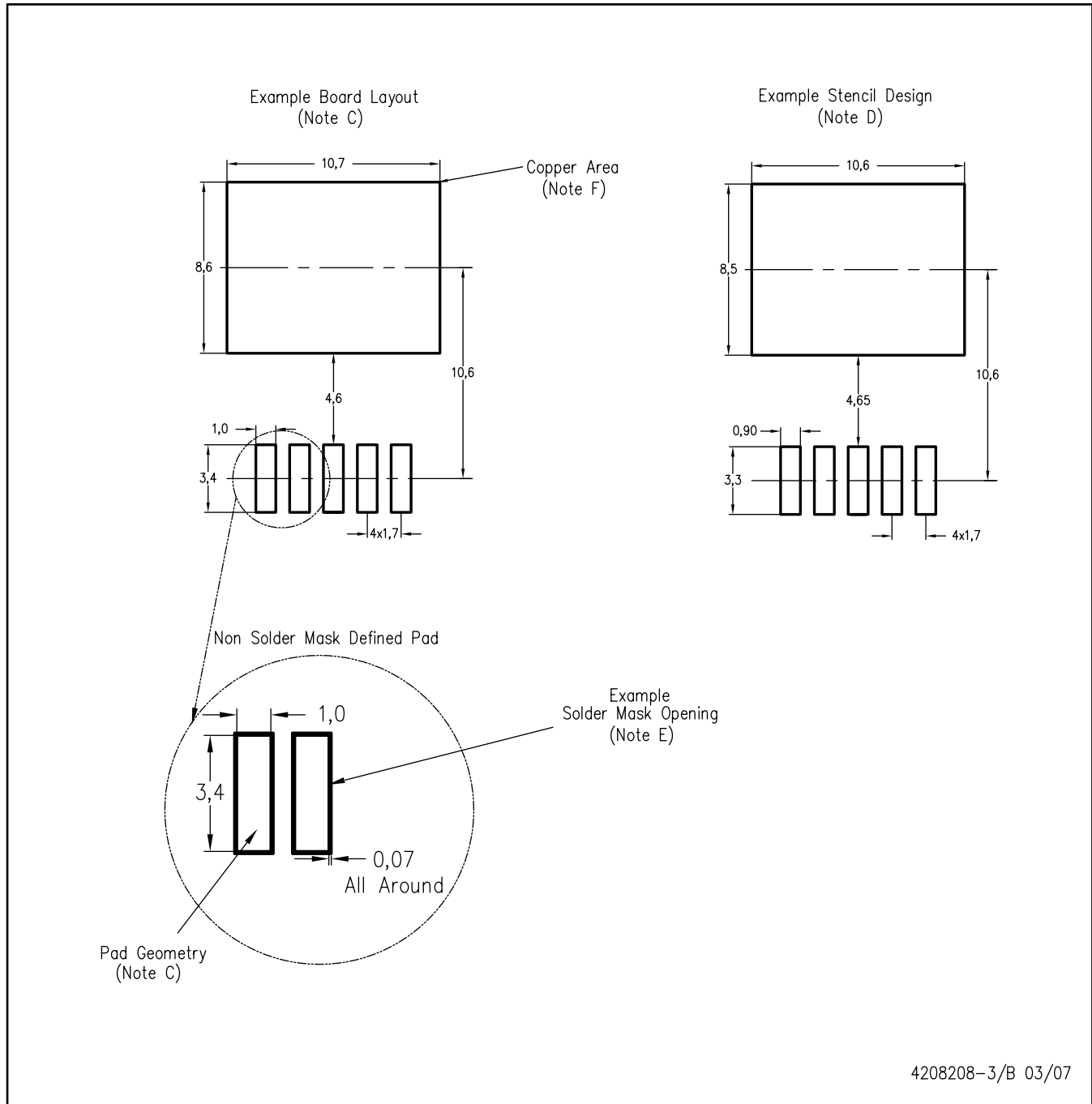
4202109/D 06/09



- 注： A. 寸法はすべてミリメートルです。
 B. 本図は予告なく変更することがあります。
 C. ボディ寸法には、0.005mmを超えるモールド・フラッシュや突起は含まれません。
 △ 最小リード幅を除き、JEDEC TO263 Variation BAに適合します。

ランド・パターン

KTT (R-PSFM-G5)



4208208-3/B 03/07

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 代替設計については、資料IPC-SM-782を推奨します。
 D. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。推奨事項については、IPC-7525を参照してください。
 E. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。
 F. このパッケージは、基板上のサーマルパッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨サーマルパッド・サイズについては、製品データシートを参照してください。示されている値よりも大きなサーマルパッド・サイズに対しては、銅領域を増やしなが半田付け可能なパッド形状を維持するために、半田マスク定義パッドを推奨します。

(SLVS403G)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIJは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上