

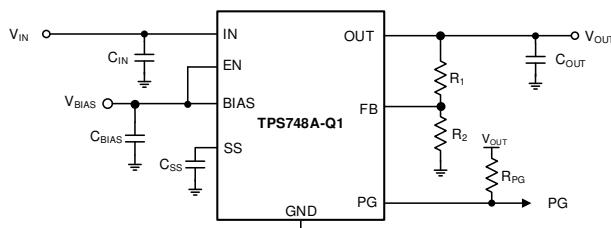
TPS748A-Q1 プログラマブルソフトスタート機能付き、車載用 1.5A 低ドロップアウトリニアレギュレータ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$
 - HBM ESD 分類レベル 2
 - CDM ESD 分類レベル C4A
- 拡張接合部温度 (T_J) 範囲:
 - $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$
- 入力電圧範囲:
 - $\text{IN}: V_{\text{IN}} + V_{\text{DO}} \sim 6.0\text{V}$
 - $\text{BIAS}: V_{\text{OUT}} + V_{\text{DO(BIAS)}} \sim 6.0\text{V}$
- V_{OUT} 範囲: $0.8\text{V} \sim 3.6\text{V}$
- 低いドロップアウト: 60 mV (標準値)、(1.5A 、 $V_{\text{BIAS}} = 5\text{V}$ 時)
- パワー グッド (PG) 出力により、電源電圧の監視や、他の電源のためのシーケンシング信号の供給が可能
- ライン、負荷、温度の全範囲にわたって 2% の精度
- プログラム可能なソフトスタートにより、直線的に電圧が立ち上がるようスタートアップさせることができます
- V_{BIAS} により、過渡応答性に優れた低 V_{IN} 動作を実現
- $2.2\mu\text{F}$ 以上の出力コンデンサで安定動作
- 小型 $3\text{mm} \times 3\text{mm} \times 1\text{mm}$ VSON-10 パッケージで供給

2 アプリケーション

- テレマティクス制御ユニット
- インフォテインメントおよびクラスター
- 画像処理レーダー



代表的なアプリケーション回路 (可変)

3 説明

TPS748A-Q1 低ドロップアウト (LDO) リニア レギュレータは、広範なアプリケーション向けに使いやすく堅牢な電力管理ソリューションを実現します。ソフトスタートをユーザーがプログラムできるので、スタートアップ時の容量性突入電流を低減して、入力電源のストレスを最小限に抑えることができます。ソフトスタートは単調性で、多くの種類のプロセッサおよび特定用途向け IC (ASIC) の電源供給向けに設計されています。イネーブル入力とパワー グッド出力により、外部レギュレータとの間でシーケンシングを簡単に行えます。この優れた柔軟性により、多くのアプリケーションのシーケンシング要件を満たすソリューションを構成できます。この高い柔軟性を活用できる例として、FPGA (フィールド プログラマブル ゲート アレイ)、DSP (デジタル信号プロセッサ)、および特殊な起動要件を持つ他のアプリケーションがあります。

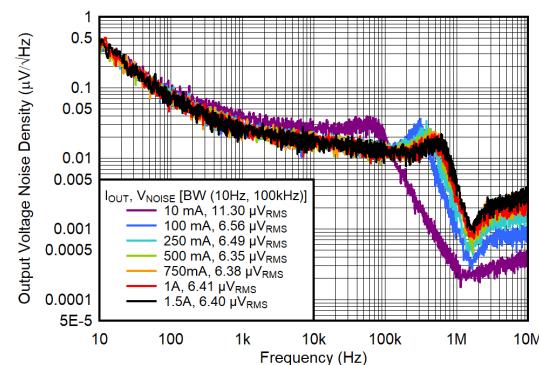
高精度の基準電圧およびエラー アンプは、負荷、ライン、温度、プロセスの全体にわたって 2% の精度を維持します。本デバイスは $2.2\mu\text{F}$ 以上の任意のタイプのコンデンサで安定して動作し、 $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ で仕様が規定されています。TPS748A-Q1 は、小型の $3\text{mm} \times 3\text{mm}$ VSON-10 パッケージで供給されるため、非常に小さいトータル ソリューション サイズを実現できます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TPS748A-Q1	DRC (VSON, 10)	$3\text{mm} \times 3\text{mm}$

(1) 詳細については、[メカニカル、パッケージ、および注文情報](#)をご覧ください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



出力電圧ノイズ密度と周波数との関係



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6.4 デバイスの機能モード	15
2 アプリケーション	1	7 アプリケーションと実装	16
3 説明	1	7.1 アプリケーション情報	16
4 ピン構成および機能	3	7.2 代表的なアプリケーション	20
5 仕様	4	7.3 電源に関する推奨事項	21
5.1 絶対最大定格	4	7.4 レイアウト	21
5.2 ESD 定格	4	8 デバイスおよびドキュメントのサポート	24
5.3 推奨動作条件	4	8.1 デバイス サポート	24
5.4 熱に関する情報	5	8.2 ドキュメントの更新通知を受け取る方法	24
5.5 電気的特性	5	8.3 サポート・リソース	24
5.6 代表的特性: $I_{OUT} = 50mA$	7	8.4 商標	24
6 詳細説明	12	8.5 静電気放電に関する注意事項	24
6.1 概要	12	8.6 用語集	24
6.2 機能ブロック図	12	9 改訂履歴	24
6.3 機能説明	12	10 メカニカル、パッケージ、および注文情報	25

4 ピン構成および機能

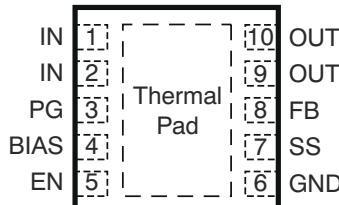


図 4-1. DRC パッケージ 10 ピン VSON (サーマル パッド付き) (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	VSON		
BIAS	4	I	エラー アンプ、リファレンス電圧、内部制御回路のバイアス入力電圧。最適な性能を得るために、 $1\mu\text{F}$ 以上の入力コンデンサを使用してください。IN を BIAS に接続する場合は、 $4.7\mu\text{F}$ 以上のコンデンサを使用してください。
EN	5	I	イネーブル ピン。このピンを High に駆動すると、レギュレータが有効になります。このピンを low にすると、レギュレータはシャットダウンモードに移行します。このピンを未接続のままにしないでください。
FB	8	I	フィードバック ピン。このピンは、出力電圧を設定する外部抵抗デバイダ回路のセンター タップへの帰還接続です。このピンをフローティングのままにしないでください。
GND	6	—	グランド
IN	1, 2	I	デバイスへの入力電源。最適な性能を得るために、 $1\mu\text{F}$ 以上の入力コンデンサを使用してください。
NC	該当なし	—	接続なし。このピンは、上面プレーンへの熱的接触を向上させるため、フローティングのままにするか、GND に接続します。
OUT	9, 10	O	レギュレートされた出力電圧。安定性を確保するために、このピンとグランドとの間に小さなコンデンサ(合計標準容量 $2.2\mu\text{F}$ 以上)が必要です。
PG	3	O	パワーグッド ピン。このピンは、 V_{OUT} の状態を示すオープンドレインのアクティブ High 出力です。 V_{OUT} が PG トリップ レベルを上回ると、PG ピンは高インピーダンス状態に移行します。 V_{OUT} がこのスレッショルドを下回ると、ピンは低インピーダンス状態に駆動されます。このピンから最大 6.0V の電源との間にプルアップ抵抗 ($10\text{k}\Omega \sim 1\text{M}\Omega$) を接続します。入力電圧より高い電源電圧が許容されます。または、出力監視が不要な場合は、PG ピンを未接続のままにしてください。
SS	7	—	ソフト スタート ピン。このピンでグランドに接続されたコンデンサによって、起動時間が設定されます。このピンを未接続のままにすると、レギュレータ出力のソフトスタート ランプ時間は通常 $200\mu\text{s}$ になります。
サーマル パッド		—	このパッドをグランド プレーンに半田付けすると、放熱性能が向上します。このパッドは内部でグランドに接続されています。

5 仕様

5.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電圧	IN、BIAS	-0.3	6.5	V
	EN	-0.3	6.5	
	PG	-0.3	6.5	
	SS	-0.3	6.5	
	FB	-0.3	V_{BIAS}	
	OUT	-0.3	$V_{IN} + 0.3$	
電流	PG	0	1.5	mA
	OUT	内部的に制限		
	出力短絡時間	無制限		
	連続合計消費電力、 P_{DISS}	「熱に関する情報」を参照		
温度	接合部、 T_J	-40	150	°C
	保存、 T_{stg}	-55	150	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、このような条件や、推奨動作条件に記載されている条件を超える条件でデバイスが機能するということを意味するわけではありません。
 「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	±2000	V
	荷電デバイス モデル (CDM)、AEC 仕様 Q100-011 準拠	±500	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電源電圧	$V_{OUT} + V_{DO}$ (V_{IN})	$V_{OUT} + 0.3$	6.0	V
V_{EN}	イネーブル電源電圧		V_{IN}	6.0	V
V_{BIAS}	BIAS 電源	$V_{OUT} + V_{DO}$ (V_{BIAS}) ⁽¹⁾	$V_{OUT} + 1.6$ ⁽¹⁾	6.0	V
V_{OUT}	出力電圧	0.8	3.3		V
I_{OUT}	出力電流	0	1.5		A
C_{OUT}	出力コンデンサ ⁽³⁾	10			μF
C_{IN}	入力コンデンサ ^{(1) (2)}	1			μF
C_{BIAS}	バイアス コンデンサ	0.1	1		μF
C_{SS}	ソフトスタート コンデンサ	1	10	100	nF
T_J	動作時接合部温度	-40	150		°C

- (1) V_{BIAS} の最小電圧は、2.7V または $V_{OUT} + V_{DO}$ (V_{BIAS}) の大きい方です。
 (2) V_{IN} と V_{BIAS} を同じ電源に接続した場合、電源に推奨される最小コンデンサは 4.7μF です。
 (3) 最小容量では、コンデンサの最大ディレーティングは 25% とみなされます。

5.4 热に関する情報

热評価基準 ⁽¹⁾		TPS748A-Q1	単位
		DRC (VSON)	
		10 ピン	
$R_{\theta JA}$	接合部から周囲への热抵抗	47.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への热抵抗	63.7	°C/W
$R_{\theta JB}$	接合部から基板への热抵抗	19.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	4.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	19.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への热抵抗	3.3	°C/W

(1) 従来および最新の热評価基準の詳細については、『[半導体およびIC パッケージの热評価](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

$V_{EN} = 1.1V$ 、 $V_{IN} = V_{OUT} + 0.3V$ 、 $C_{BIAS} = 0.1\mu F$ 、 $C_{IN} = C_{OUT} = 10\mu F$ 、 $C_{SS} = 1nF$ 、 $I_{OUT} = 50mA$ 、 $V_{BIAS} = 5.0V$ ⁽⁴⁾、 $T_J = -40^{\circ}C \sim 150^{\circ}C$ (特に記述のない限り)、代表値は $T_A = 25^{\circ}C$ での値

パラメータ	テスト条件	最小値	標準値	最大値	単位	
V_{IN}	入力電圧範囲	$V_{OUT} + V_{DO}$	6.0		V	
V_{BIAS}	BIAS ピンの電圧範囲	2.7	6.0		V	
V_{REF}	内部リファレンス (可変)	$T_A = +25^{\circ}C$	0.796	0.8	0.804	V
$V_{BIAS(UVLO)}$	立ち上がりバイアス電源 UVLO		1.0	1.25	1.75	V
$V_{BIAS(UVLO), HYST}$	バイアス電源 UVLO ヒステリシス		20	43	65	mV
$\Delta V_{OUT} (\Delta V_{IN})$	出力電圧範囲	$V_{IN} = 5V, I_{OUT} = 1.5A$	V_{REF}	3.6	V	
	精度 ^{(1) (5)}	$2.97V \leq V_{BIAS} \leq 5.5V, 50mA \leq I_{OUT} \leq 1.5A$	-1.25	± 0.5	1.25	%
$\Delta V_{OUT} (\Delta I_{OUT})$	ライン レギュレーション	$V_{OUT(nom)} + 0.3 \leq V_{IN} \leq 5.5V$		0.03	%/V	
V_{OUT}	ロード レギュレーション	$50mA \leq I_{OUT} \leq 1.5A$		0.09	%/A	
$V_{DO(IN)}$	V_{IN} ドロップアウト電圧 ⁽²⁾	$I_{OUT} = 1.5A, V_{BIAS} - V_{OUT(nom)} \geq 3.25V$ ⁽³⁾		75	150	mV
$V_{DO(BIAS)}$	V_{BIAS} ドロップアウト電圧 ⁽²⁾	$I_{OUT} = 1.5A, V_{IN} = V_{BIAS}$		1.14	1.35	V
I_{CL}	出力電流制限	$V_{OUT} = 80\% \times V_{OUT(nom)}$		2.3	3.1	A
I_{BIAS}	BIAS ピン電流	$I_{OUT} = 50mA$		0.67	1.1	mA
I_{SHDN}	シャットダウン時の電源電流 (I_{GND})	$V_{EN} \leq 0.4V, V_{IN} = 1.1V, V_{OUT} = 0.8V$		0.9	15	μA
I_{FB}	フィードバック ピンの電流		-0.22	± 0.12	0.22	μA
PSRR	電源除去比 (V_{IN} から V_{OUT})	1kHz, $I_{OUT} = 1.5A, V_{IN} = 1.1V, V_{OUT} = 0.8V$		69	dB	
		300kHz, $I_{OUT} = 1.5A, V_{IN} = 1.1V, V_{OUT} = 0.8V$		30		
	電源除去比 (V_{BIAS} から V_{OUT})	1kHz, $I_{OUT} = 1.5A, V_{IN} = 1.1V, V_{OUT} = 0.8V$		59		
		300kHz, $I_{OUT} = 1.5A, V_{IN} = 1.1V, V_{OUT} = 0.8V$		33		
V_n	出力ノイズ電圧	$BW = 100Hz \sim 100kHz, I_{OUT} = 1.5A, C_{SS} = 1nF$		7	$\mu V_{rms} \times V_{out}$	
t_{STR}	最短起動時間	$I_{OUT} = 1.0A, C_{SS} = オープン時の R_{LOAD}$		170	μs	
I_{SS}	ソフトスタートの充電電流	$V_{SS} = 0.4V$		7.5	μA	
t_{ss}	ソフト スタート時間	$C_{ss} = 10nF$		1.2	ms	
$V_{EN(hi)}$	イネーブル入力の High レベル		1.1	5.5	V	

5.5 電気的特性 (続き)

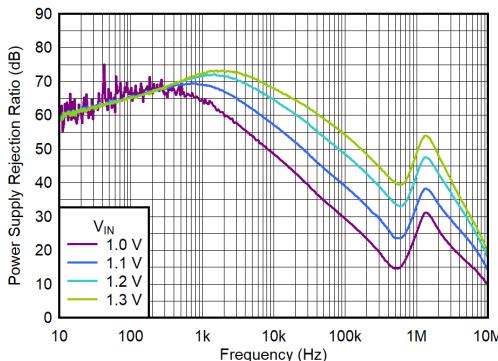
$V_{EN} = 1.1V$ 、 $V_{IN} = V_{OUT} + 0.3V$ 、 $C_{BIAS} = 0.1\mu F$ 、 $C_{IN} = C_{OUT} = 10\mu F$ 、 $C_{SS} = 1nF$ 、 $I_{OUT} = 50mA$ 、 $V_{BIAS} = 5.0V$ ⁽⁴⁾、 $T_J = -40^{\circ}C \sim 150^{\circ}C$ (特に記述のない限り)、代表値は $T_J = 25^{\circ}C$ での値

パラメータ	テスト条件	最小値	標準値	最大値	単位
$V_{EN(lo)}$	イネーブル入力の Low レベル	0	0.4	0.4	V
$V_{EN(hys)}$	イネーブルピンのヒステリシス		55		mV
$V_{EN(dg)}$	イネーブルピンのグリッチ除去時間		17		μs
I_{EN}	イネーブルピンの電流	$V_{EN} = 5V$	0.1	0.3	μA
V_{IT}	PG 遷移スレッショルド	V_{OUT} 低下	85	90	$\%V_{OUT}$
V_{HYS}	PG 遷移ヒステリシス		2.5		$\%V_{OUT}$
$V_{PG(lo)}$	PG 出力の Low 電圧	$I_{PG} = 1mA$ (シンク)、 $V_{OUT} < V_{IT}$		0.125	V
$I_{PG(lkg)}$	PG のリーク電流	$V_{PG} = 5.25V$ 、 $V_{OUT} > V_{IT}$	0.01	0.1	μA
T_J	動作時接合部温度		-40	125	°C
T_{SD}	サーマル シャットダウン温度	シャットダウン、温度上昇		165	°C
		リセット、温度低下		140	

- (1) 電圧可変のデバイスを 0.8V でテスト。抵抗の許容誤差は考慮されていません。
- (2) ドロップアウトは、 V_{OUT} が公称値より 3% 低いときの V_{IN} から V_{OUT} への電圧として定義されます。
- (3) 3.25V はこのデバイスのテスト条件であり、図 12 を参照して調整できます。
- (4) $V_{BIAS} = V_{DO_MAX(BIAS)} + V_{OUT}$ ($V_{OUT} \geq 3.4V$ の場合)。
- (5) このデバイスは、消費電力がパッケージの最大定格を上回っているため、 $V_{IN} > V_{OUT} + 1.65V$ および $I_{OUT} = 1.5A$ の条件下ではテストされていません。また、この精度仕様は、テスト対象のパッケージの消費電力制限を超えるアプリケーション条件には適用されません。

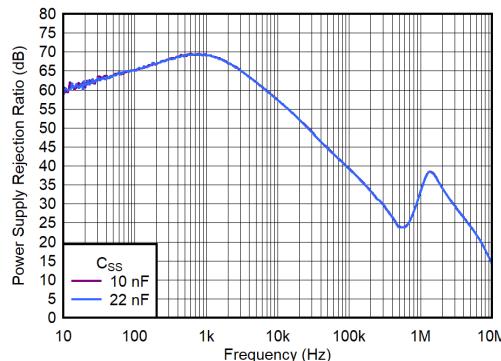
5.6 代表的特性 : $I_{OUT} = 50mA$

$T_J = 25^\circ C$ 、 $V_{IN} = V_{OUT(nom)} + 0.3V$ 、 $V_{BIAS} = 5V$ 、 $I_{OUT} = 50mA$ 、 $V_{EN} = V_{IN}$ 、 $C_{IN} = 1\mu F$ 、 $C_{BIAS} = 4.7\mu F$ 、および $C_{OUT} = 10\mu F$ (特に記述のない限り)



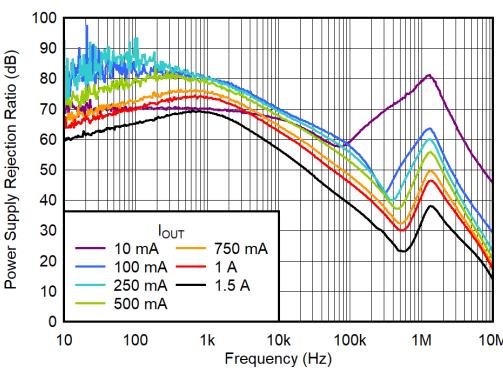
$V_{OUT} = 0.8V$ 、 $I_{OUT} = 1.5A$ 、 $C_{BIAS} = 0.1\mu F$ 、 $C_{OUT} = 10\mu F$ 、
 $C_{SS} = 10nF$ 、 $V_{EN} = V_{BIAS} = 6V$

図 5-1. IN ピンの PSRR と周波数および V_{IN} との関係



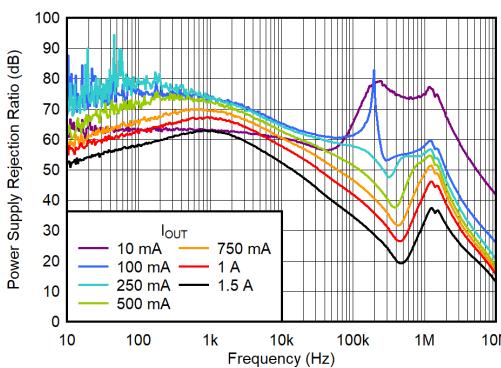
$V_{IN} = 1.1V$ 、 $V_{OUT} = 0.8V$ 、 $I_{OUT} = 1.5A$ 、 $C_{BIAS} = 0.1\mu F$ 、
 $C_{OUT} = 10\mu F$ 、 $V_{EN} = V_{BIAS} = 6V$

図 5-2. IN ピンの PSRR と周波数および C_{SS} との関係



$V_{IN} = 1.1V$ 、 $V_{OUT} = 0.8V$ 、 $C_{BIAS} = 0.1\mu F$ 、 $C_{OUT} = 10\mu F$ 、
 $C_{SS} = 10nF$ 、 $V_{EN} = V_{BIAS} = 6V$

図 5-3. $V_{OUT} = 0.8V$ における IN ピンの PSRR と周波数および V_{OUT} との関係

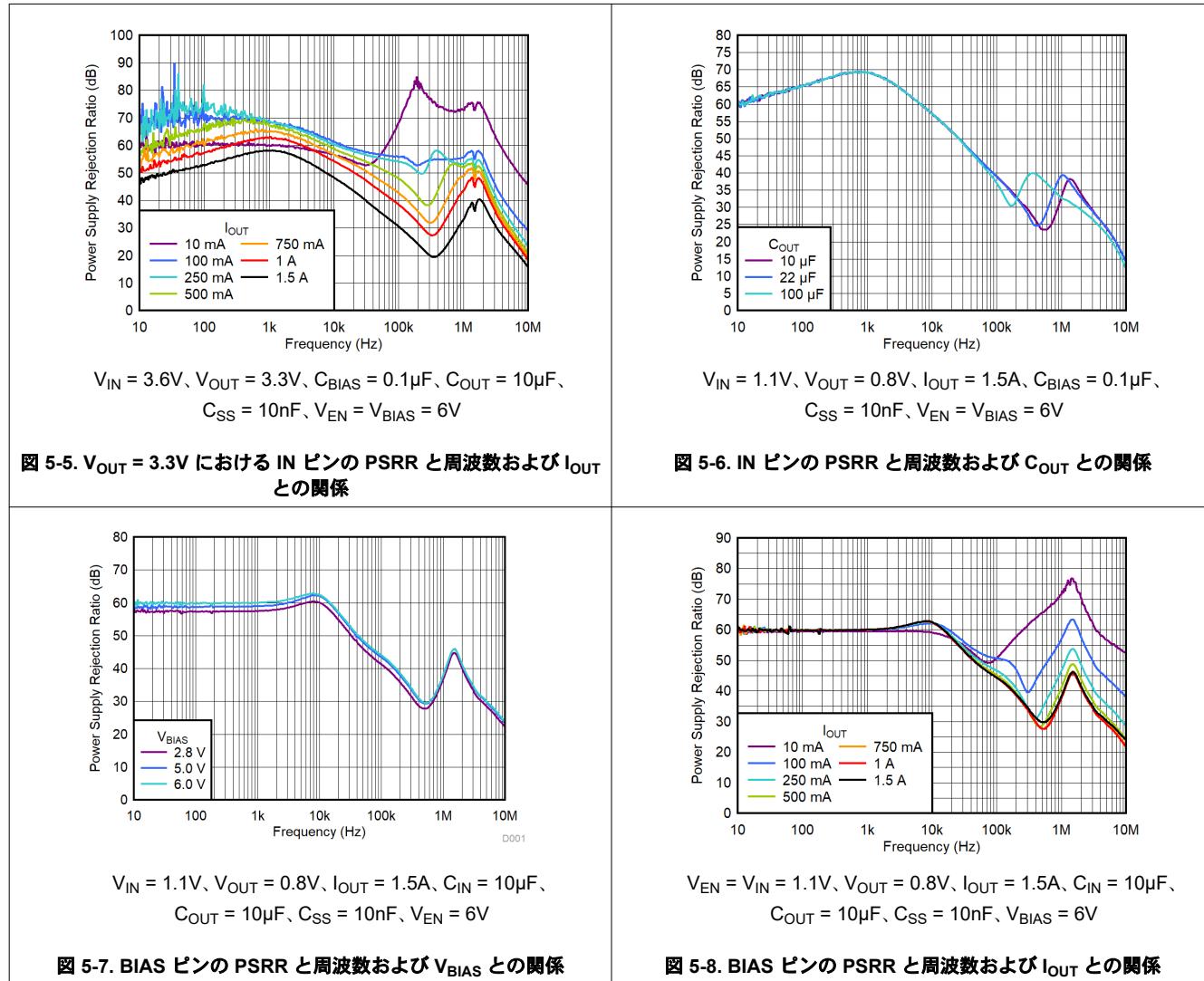


$V_{IN} = 2.1V$ 、 $V_{OUT} = 1.8V$ 、 $C_{BIAS} = 0.1\mu F$ 、 $C_{OUT} = 10\mu F$ 、
 $C_{SS} = 10nF$ 、 $V_{EN} = V_{BIAS} = 6V$

図 5-4. $V_{OUT} = 1.8V$ における PSRR と周波数および I_{OUT} との関係

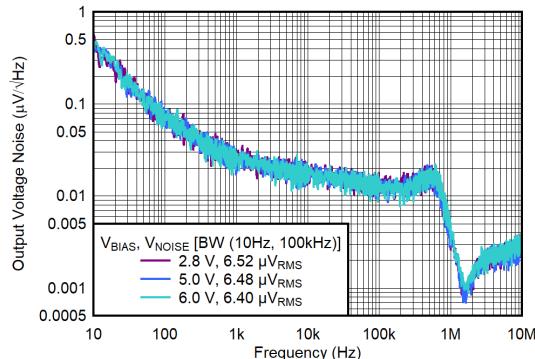
5.6 代表的特性 : $I_{OUT} = 50mA$ (続き)

$T_J = 25^\circ C$ 、 $V_{IN} = V_{OUT(nom)} + 0.3V$ 、 $V_{BIAS} = 5V$ 、 $I_{OUT} = 50mA$ 、 $V_{EN} = V_{IN}$ 、 $C_{IN} = 1\mu F$ 、 $C_{BIAS} = 4.7\mu F$ 、および $C_{OUT} = 10\mu F$ (特に記述のない限り)



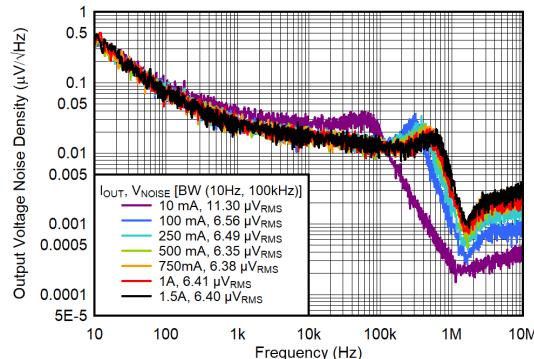
5.6 代表的特性 : $I_{OUT} = 50mA$ (続き)

$T_J = 25^\circ C$ 、 $V_{IN} = V_{OUT(nom)} + 0.3V$ 、 $V_{BIAS} = 5V$ 、 $I_{OUT} = 50mA$ 、 $V_{EN} = V_{IN}$ 、 $C_{IN} = 1\mu F$ 、 $C_{BIAS} = 4.7\mu F$ 、および $C_{OUT} = 10\mu F$ (特に記述のない限り)



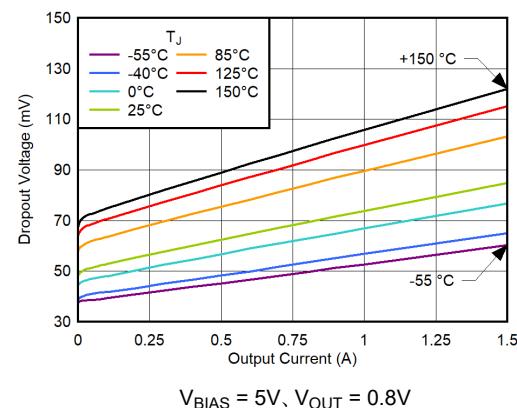
$V_{EN} = V_{BIAS}$ 、 $V_{IN} = 1.1V$ 、 $V_{OUT} = 0.8V$ 、 $I_{OUT} = 1.5A$ 、 $C_{IN} = 10\mu F$ 、 $C_{OUT} = 10\mu F$ 、 $C_{SS} = 10nF$ 、 $C_{BIAS} = 0.1\mu F$

図 5-9. 出力電圧ノイズ密度と周波数および V_{BIAS} との関係



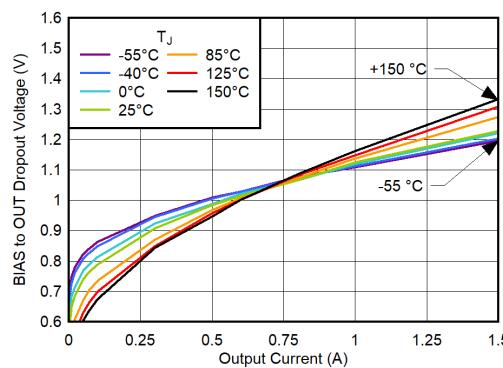
$V_{EN} = V_{BIAS}$ 、 $V_{IN} = 1.1V$ 、 $V_{OUT} = 0.8V$ 、 $C_{IN} = 10\mu F$ 、 $C_{OUT} = 10\mu F$ 、 $C_{SS} = 10nF$ 、 $C_{BIAS} = 0.1\mu F$

図 5-10. 出力電圧ノイズ密度と周波数および I_{OUT} との関係



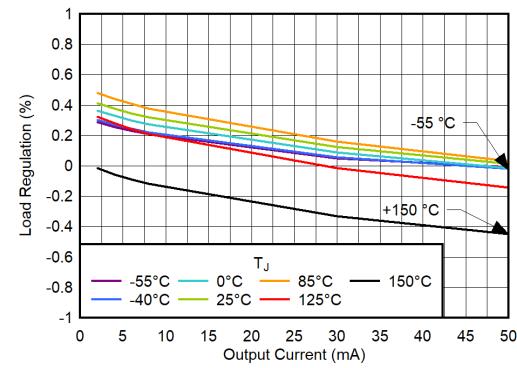
$V_{BIAS} = 5V$ 、 $V_{OUT} = 0.8V$

図 5-11. IN から OUT ピンへのドロップアウト電圧と I_{OUT} および温度 (T_J) との関係



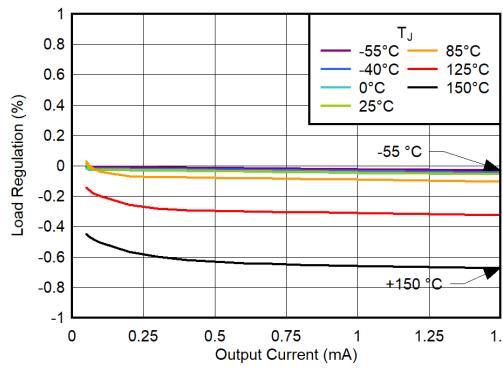
$V_{IN} = 1.1V$ 、 $V_{OUT} = 0.8V$

図 5-12. BIAS から OUT ピンへのドロップアウト電圧と I_{OUT} および温度 (T_J) との関係



$V_{IN} = 1.1V$ 、 $V_{BIAS} = 5V$ 、 $V_{OUT} = 0.8V$

図 5-13. ロードレギュレーションと 0mA ~ 50mA の出力電流との関係

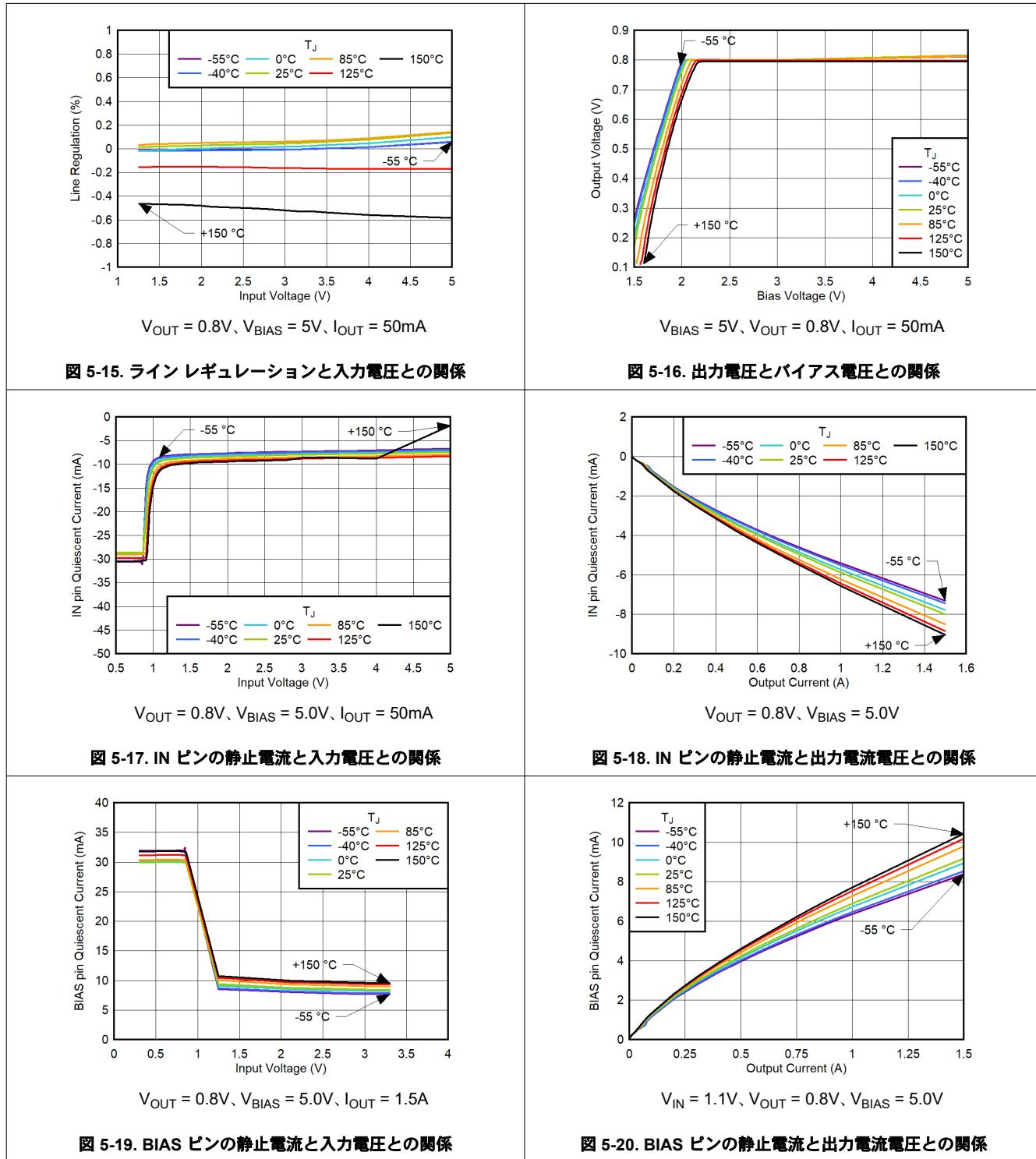


$V_{IN} = 1.1V$ 、 $V_{BIAS} = 5V$ 、 $V_{OUT} = 0.8V$

図 5-14. ロードレギュレーションと 50mA 以上の出力電流との関係

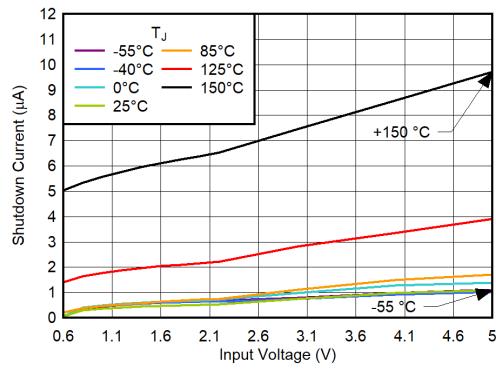
5.6 代表的特性 : $I_{OUT} = 50mA$ (続き)

$T_J = 25^\circ C$ 、 $V_{IN} = V_{OUT(nom)} + 0.3V$ 、 $V_{BIAS} = 5V$ 、 $I_{OUT} = 50mA$ 、 $V_{EN} = V_{IN}$ 、 $C_{IN} = 1\mu F$ 、 $C_{BIAS} = 4.7\mu F$ 、および $C_{OUT} = 10\mu F$ (特に記述のない限り)



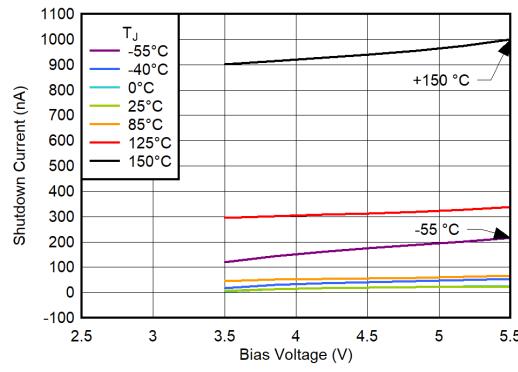
5.6 代表的特性 : $I_{OUT} = 50mA$ (続き)

$T_J = 25^\circ C$ 、 $V_{IN} = V_{OUT(nom)} + 0.3V$ 、 $V_{BIAS} = 5V$ 、 $I_{OUT} = 50mA$ 、 $V_{EN} = V_{IN}$ 、 $C_{IN} = 1\mu F$ 、 $C_{BIAS} = 4.7\mu F$ 、および $C_{OUT} = 10\mu F$ (特に記述のない限り)



$V_{BIAS} = 5V$ 、 $V_{EN} = 0V$

図 5-21. シャットダウン電流 (GND ピン) と入力電圧との関係



$V_{IN} = 1.1V$ 、 $V_{EN} = 0V$

図 5-22. シャットダウン電流 (GND ピン) とバイアス電圧との関係

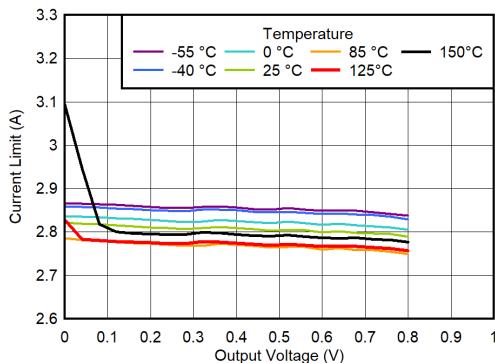


図 5-23. 電流制限と出力電圧との関係

6 詳細説明

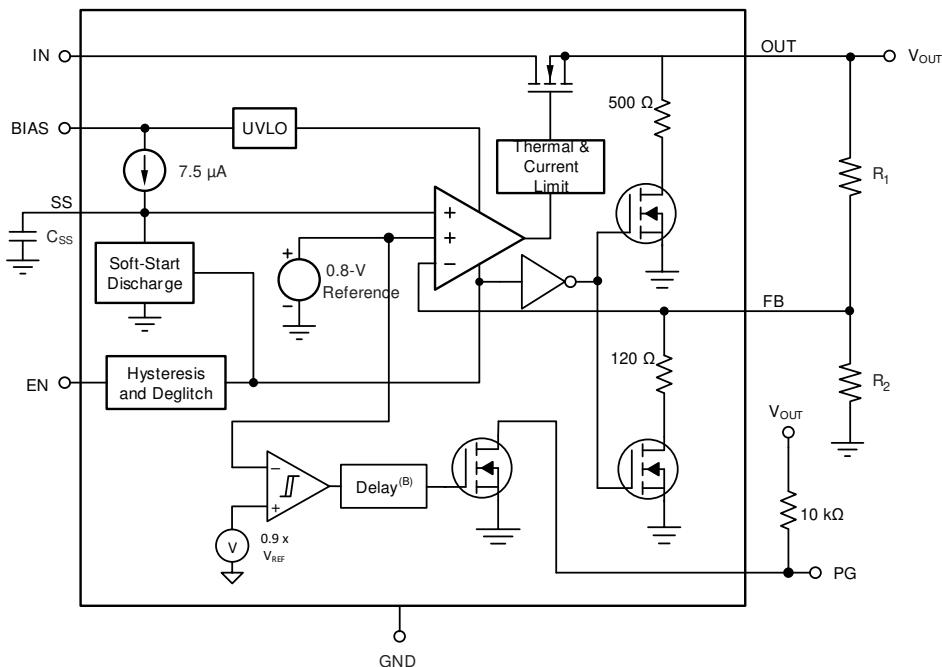
6.1 概要

TPS748A-Q1 は、優れた過渡性能をサポートするように最適化された低入力、低出力 (LILO)、低静止電流のリニア レギュレータです。このレギュレータは、低電流のバイアス レールを使用して内部制御回路すべてに電力を供給することで、N タイプの電界効果トランジスタ (NMOS) パストランジスタは非常に低い入出力電圧を調整できます。

NMOS パストランジスタの使用には、多くのアプリケーションでいくつかの重要な利点があります。P チャネル金属酸化膜半導体電界効果トランジスタ (PMOS) トポロジ デバイスとは異なり、出力コンデンサはループの安定性にほとんど影響を与えません。このアーキテクチャにより、TPS748A-Q1 は 10 μ F 以上の任意のセラミックコンデンサで安定できます。また、特に低い V_{IN} のアプリケーションにおいて、過渡応答も PMOS トポロジより優れています。

TPS748A-Q1 は電圧制御がプログラマブルなソフトスタート回路を搭載しており、スムーズで単調な起動を実現し、大きな容量性負荷による起動時の突入電流を制限できます。ヒステリシスとグリッチ除去機能付きのイネーブル (EN) ピンを使用すると、低速ランプアップ信号を使用してデバイスのシーケンシングが可能です。 V_{IN} と V_{OUT} が低いため、プロセッサ集約型のシステムでほぼ必要とされる複数の電源電圧間において、低コストで設計が簡単で、効率的なリニア レギュレーションを実現できます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 イネーブルおよびシャットダウン

イネーブル (EN) ピンはアクティブ High であり、標準的なデジタル信号レベルに対応しています。 V_{EN} を 0.4V よりも低く設定するとレギュレータはオフになります。 V_{EN} を 1.1V よりも高く設定するとレギュレータはオンになります。多くのレギュレータとは異なり、イネーブル回路にはヒステリシスとグリッチ除去機能があり、比較的低速でアナログ信号をランプアップするために使用できます。この構成により、他の電源の出力を EN ピンに接続することで本デバイスを有効にできます。イネーブル回路には通常、70mV のヒステリシスとグリッチ除去回路があり、 V_{EN} 信号において小さなグリッチによるオン / オフのサイクルを回避できます。

イネーブル スレッショルドは通常 0.75V で、温度およびプロセスの変動によって変化します。温度によるバラツキは約 -1.2mV/°C で、プロセスのバラツキは 0.4V および 1.1V の制限値に対する残りのバラツキのほとんどを占めています。正確なターンオン タイミングが必要な場合は、高速な立ち上がり時間信号を使用します。

使用しない場合は、BIAS に EN ピンを接続します。バイアスコンデンサのできるだけ近くに接続してください。

6.3.2 アクティブ放電

TPS748A-Q1 は、OUT ピンに内部アクティブ プルダウン回路を備えています。

各アクティブ放電機能は、出力電圧をアクティブに放電するために、低ドロップアウト抵抗 (LDO) が無効化されたときに抵抗 ($R_{PULLDOWN}$) をグランドに接続する内蔵の金属酸化膜半導体電界効果トランジスタ (MOSFET) を使用します。アクティブ放電回路は、IN または BIAS の電圧が UVLO スレッショルドを下回るとき、またはレギュレータがサーマル シャットダウン状態になったときに、EN をロジック Low に駆動することでデバイスが無効化されると起動します。

デバイスを無効化した後の放電時間は、出力キャパシタンス (C_{OUT}) およびプルダウン抵抗と並列に接続された負荷抵抗 (R_L) によって決まります。

最初のアクティブ プルダウン回路は、デバイスが無効化されたときに、 600Ω の抵抗を経由して出力を GND に接続します。

2 つ目の回路は、デバイスが無効化されたときに、 120Ω の抵抗を介して FB を GND に接続します。この抵抗は FB ピンを放電します。式 1 は、OUT が FB に短絡しているとき、または出力電圧が $0.65V$ に設定されているときの出力コンデンサの放電時定数を計算します。

$$T_{OUT} = (600 \parallel 120 \times R_L) / (600 \parallel 120 + R_L) \times C_{OUT} \quad (1)$$

LDO が $0.65V$ を超える出力電圧に設定されている場合、抵抗デバイダ回路が配置され、FB ピンのプルダウンが最小化されます。式 2 と式 3 は、これらの放電抵抗によって設定される時定数を計算します。

$$R_{DISCHARGE} = (120 \parallel R_2) + R_1 \quad (2)$$

$$T_{OUT} = R_{DISCHARGE} \times R_L / (R_{DISCHARGE} + R_L) \times C_{OUT} \quad (3)$$

入力電源が低下した後に大量の出力キャパシタンスを放電する際には、アクティブ放電回路に頼らないでください。逆電流が output から input に流れ、デバイスが損傷する原因となるためです。逆電流をデバイスの定格電流の 5% 以下に制限してください。

6.3.3 パワー グッド出力 (PG)

PG 信号は、出力が公称値に近いときに PG 信号を送信するため、厳しいシーケンシング要件を簡単に満たすことができるソリューションを提供します。PG は、出力電圧が設定出力電圧 ($V_{OUT(nom)}$) に近い値、等しい値、高い値のとき、システム内の他のデバイスに信号を送信します。図 6-1 に、簡略化した回路図を示します。

PG 信号は、電源にプルアップ抵抗を必要とし、アクティブ High であるオーブンドレイン デジタル出力です。PG 回路により、PG ピンがハイインピーダンス状態に設定され、パワー グッドであることが示されます。

大きなフィードフォワード コンデンサ (C_{FF}) を使用すると、出力電圧が遅延します。PG 回路は FB ピンを監視するため、PG 信号は誤った正の値を示します。

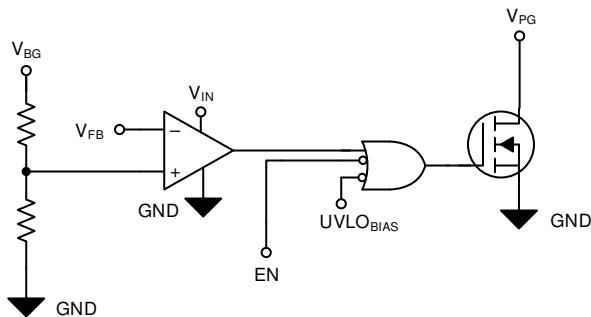


図 6-1. PG の概略回路図

6.3.4 内部電流制限

TPS748A-Q1 の固定内部電流制限により、故障時にもレギュレータを保護します。電流制限は、ブリックウォール方式です。デバイスが供給する最大電流量は電流制限値 (3.1A、標準値) であり、出力電圧に大きく依存しません。信頼性の高い動作を確保するため、本デバイスを電流制限状態で長時間動作させないでください。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パストランジスタは電力 $[(V_{IN} - V_{OUT}) \times I_{CL}]$ を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が十分に下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、「制限の把握」アプリケーション ノートを参照してください。

6.3.5 サーマル シャットダウン保護機能 (T_{SD})

内蔵のサーマル シャットダウン保護回路は、パストランジスタのサーマル接合部温度 (T_J) がサーマル シャットダウン温度スレッショルド $T_{SD(shutdown)(typical)}$ まで上昇すると、出力を無効化します。サーマル シャットダウン回路のヒステリシスにより、温度が $T_{SD(reset)(typical)}$ まで低下すると LDO がリセットされます (オンになります)。

半導体ダイの熱時定数はかなり短いため、消費電力が減少するまでの間、サーマル シャットダウンに達したときに、本デバイスはサイクルのオンとオフを行います。スタートアップ時の消費電力は、デバイス両端での大きな $V_{IN} - V_{OUT}$ 電圧低下が発生するか、大きな突入電流で大容量の出力コンデンサを充電することにより高くなります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を [推奨動作条件](#) 表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。内蔵保護回路は熱過負荷状態から保護するように設計されていますが、この回路は適切なヒートシンクの代わりとなるものではありません。レギュレータをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

6.4 デバイスの機能モード

表 6-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、[電気的特性](#) 表を参照してください。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ				
	V_{IN}	V_{BIAS}	V_{EN}	I_{OUT}	T_J
通常モード	$V_{IN} \geq V_{OUT(nom)} + V_{DO(IN)}$ および $V_{IN} \geq V_{IN(min)}$	$V_{BIAS} \geq V_{OUT} + V_{DO(BIAS)}$	$V_{EN} \geq V_{HI(EN)}$	$I_{OUT} < I_{CL}$	シャットダウン用: $T_J < T_{SD}$
ドロップアウト モード	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO(IN)}$	$V_{BIAS} < V_{OUT} + V_{DO(BIAS)}$	$V_{EN} > V_{HI(EN)}$	$I_{OUT} < I_{CL}$	シャットダウン用: $T_J < T_{SD}$
ディスエーブル モード (条件が真の場合、デバイスはディスエーブル)	$V_{IN} < V_{UVLO(IN)}$	$V_{BIAS} < V_{BIAS(UVLO)}$	$V_{EN} < V_{LO(EN)}$	—	シャットダウン用: $T_J \geq T_{SD}$

6.4.1 通常動作

デバイスは、以下の条件が満たされたとき、公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の合計 ($V_{OUT(nom)} + V_{DO(IN)}$) よりも大きくなります。
- バイアス電圧が、公称出力電圧とドロップアウト電圧の合計 ($V_{OUT(nom)} + V_{DO(BIAS)}$) よりも大きくなります。
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度が、サーマル シャットダウン温度未満 ($T_J < T_{SD(shutdown)}$) になります。
- イネーブル電圧が以前にイネーブル立ち上がりスレッショルド電圧を超えていて、まだイネーブル立ち下がりスレッショルドよりも低くなっていない

6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも小さいが、通常動作の他の条件がすべて満たされているとき、デバイスはドロップアウトモードで動作します。同様に、バイアス電圧が公称出力電圧と規定ドロップアウト電圧の和よりも小さいものの、通常動作の他の条件がすべて満たされている場合もまた、デバイスはドロップアウトモードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、パストランジスタがオーム領域または三極管領域にあり、スイッチとして機能するため、デバイスの過渡性能が大幅に低下します。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生します。

デバイスが定的なドロップアウト状態にあるとき (起動中ではないが、通常のレギュレーション状態になった直後に、デバイスがドロップアウト状態 ($V_{IN} < V_{OUT} + V_{DO(IN)}$ または $V_{BIAS} < V_{OUT} + V_{DO(BIAS)}$) になったときとして定義される)、パストランジスタはオーム領域またはトライオード領域に駆動されます。入力電圧が公称出力電圧にドロップアウト電圧 ($V_{OUT(NOM)} + V_{DO(IN)}$) を加えた値以上に戻ると、デバイスがパストランジスタをリニア領域にプルバックする際に、出力電圧が短時間オーバーシュートします。

6.4.3 ディセーブル

イネーブル ピンの電圧を強制的に $V_{IL(EN)}$ 未満にすることで、デバイス出力をシャットダウンします ([電気的特性](#) 表を参照)。無効化されると、パストランジスタがオフになり、内部回路がシャットダウンされ、出力電圧は内部放電回路によって出力からグランドへアクティブに放電されます。

このデバイスは次の条件で無効になります:

- 入力またはバイアス電圧は、それぞれの最小仕様を下回っています
- イネーブル電圧がイネーブル立ち下がりスレッショルド電圧よりも低い、またはイネーブル立ち上がりスレッショルドを超えていない。
- デバイスの接合部温度がサーマル シャットダウンの温度よりも高くなっています

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPS748A-Q1 は、ソフトスタート機能を備えた低入力、低出力 (LILO)、低ドロップアウト レギュレータ (LDO) です。このレギュレータが低電流バイアス入力を使用してすべての内部制御回路に電力を供給することで、NMOS パストランジスタは非常に低い入力および出力電圧を調整できます。

NMOS パストランジスタの使用には、多くのアプリケーションでいくつかの重要な利点があります。PMOS トポロジ デバイスとは異なり、出力コンデンサはループの安定性にほとんど影響しません。このアーキテクチャにより、10 μ F 以上のセラミック コンデンサでの安定性が得られます。また、特に低い V_{IN} のアプリケーションにおいて、過渡応答も PMOS トポロジより優れています。

電圧制御がプログラマブルなソフトスタート回路により、スムーズで単調な起動を実現し、大きな容量性負荷による起動時の突入電流を制限できます。ヒステリシスとグリッチ除去機能付きのイネーブル (EN) ピンを使用すると、低速ランプアップ信号を使用してデバイスのシーケンシングが可能です。 V_{IN} と V_{OUT} が低いため、プロセッサ集約型のシステムでほぼ必要とされる複数の電源電圧間において、低コストで設計が簡単で、効率的なリニア レギュレーションを実現できます。

7.1.1 入力、出力、およびバイアス コンデンサの要件

本デバイスは、セラミック コンデンサの値が 10 μ F 以上で安定するよう設計されています。また、本デバイスは、任意のタイプまたは値の複数のコンデンサを並列に接続して安定化します。

IN および **BIAS** ピンに必要な静電容量は、入力電源ソース インピーダンスに大きく依存します。入力のインダクタンスを打ち消すため、 V_{IN} に推奨される最小コンデンサは 1 μ F で、 V_{BIAS} に推奨される最小コンデンサは 0.1 μ F です。 V_{IN} と V_{BIAS} を同じ電源に接続した場合、 V_{BIAS} に推奨される最小コンデンサは 4.7 μ F です。入力には、高品質で低 ESR (等価直列抵抗)、等価直列インダクタンス (ESL) のコンデンサを使用してください。セラミック X5R および X7R コンデンサを推奨します。最適な性能を実現するため、これらのコンデンサはピンのできるだけ近くに配置します。

低 ESR コンデンサと ESL コンデンサにより、高周波の PSRR を改善します。

7.1.2 ドロップアウト電圧

TPS748A-Q1 は、超低ドロップアウト性能を提供するため、大電流、低 V_{IN} 、低 V_{OUT} のアプリケーション向けに設計されています。低ドロップアウトにより、このデバイスを DC/DC コンバータの代わりに使用しながら、良好な効率を達成できます。[式 4](#) に、効率の迅速な推定を示します。

$$\text{Efficiency} \approx \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times (I_{IN} + I_Q)} \approx \frac{V_{OUT}}{V_{IN}} \text{ at } I_{OUT} \gg I_Q \quad (4)$$

この効率により、設計者は、最小、最もシンプル、最低コストのソリューションを実現するアプリケーション向けの電源アーキテクチャを使用できます。

このアーキテクチャにおいて、ドロップアウト電圧には 2 種類の仕様があります。最初の仕様 ([図 5-11](#) を参照) は V_{IN} ドロップアウトと呼ばれ、外部バイアス電圧が印加されて低ドロップアウトを実現する場合に使用されます。この仕様では、 V_{BIAS} が V_{OUT} より少なくとも 2.8V 高いことを想定しています。この想定は、許容誤差 5%、 $V_{OUT} = 1.5V$ の 5.0V レールから V_{BIAS} に電力を供給する場合に適切です。 V_{BIAS} が $V_{OUT} + 2.8V$ より高い場合、 V_{IN} ドロップアウトは仕様よりも小さくなります。

注

2.8V はこのデバイスのテスト条件であり、[電気的特性表](#)を参照して調整できます。

2 番目の仕様 ([図 5-12](#) を参照) は、 V_{BIAS} ドロップアウトと呼ばれ、IN と BIAS が互いに接続されているアプリケーションに適用されます。このオプションにより、補助バイアス電圧が利用できないアプリケーションや低ドロップアウトが不要なアプリケーションで本デバイスを使用できます。これらのアプリケーションでは、 V_{BIAS} がゲート駆動をパストランジスタに供給するため、ドロップアウトが BIAS により制限されます。したがって、 V_{BIAS} が V_{OUT} より 1.9V 高いことを確認してください。このため、IN と BIAS をつなぐことは、大量の電力を消費する非常に非効率的なソリューションになります。デバイスパッケージの電力定格を超えないように注意してください。

7.1.3 出力ノイズ

TPS748A-Q1 は、ソフトスタートコンデンサを使用するときに出力ノイズが小さくなります。デバイスのソフトスタートサイクルが終了すると、ソフトスタートコンデンサは内部リファレンス用のフィルタとして機能します。10nF のソフトスタートコンデンサを使用することで、出力ノイズは半分に低減され、0.8V 出力時 (10Hz ~ 100kHz) では標準で $7.1\mu V_{RMS}$ になります。 C_{SS} を大きくしてもノイズには影響しません。出力ノイズのほとんどは内部リファレンス電圧によって生成されるため、ノイズは設定出力電圧の関数になります。10nF のソフトスタートコンデンサでの RMS ノイズを [式 5](#) に示します。

$$V_N(\mu V_{RMS}) = 7.1 \cdot \left(\frac{\mu V_{RMS}}{V} \right) \cdot V_{OUT}(V) \quad (5)$$

この LDO は出力ノイズが低いため、トランシーバ、フェーズ ロック ループ (PLL)、その他のノイズに敏感な回路への電源供給に適しています。

7.1.4 接合部温度

熱評価基準 Ψ_{JT} と Ψ_{JB} を使用して、接合部温度は対応する式 ([式 6](#) を参照) で推定されます。熱に関する情報表を参照してください。下位互換性のため、古い $\theta_{JC(top)}$ パラメータもリストされています。

$$\begin{aligned} \Psi_{JT}: \quad T_J &= T_T + \Psi_{JT} \cdot P_D \\ \Psi_{JB}: \quad T_J &= T_B + \Psi_{JB} \cdot P_D \end{aligned} \quad (6)$$

ここで

- P_D は電力損失
- T_T はパッケージの中央上部の温度
- T_B は PCB 表面上でパッケージから 1mm 離れた場所で測定された PCB 温度です。

注

T_T と T_B は両方は、熱ガン (赤外線温度計) を使用して実際のアプリケーション ボードで測定できます。

T_T と T_B の測定の詳細については、[新しい熱評価基準の使用アプリケーション ノート](#)を参照してください。このアプリケーション ノートは www.ti.com からダウンロードできます。

TI が熱特性評価に $\theta_{JC(top)}$ を使用することを推奨しない理由の詳細については、「[新しい熱特性値の使用](#)」アプリケーション ノートを参照してください。詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。アプリケーション ノートはどちらも、www.ti.com からダウンロードできます。

7.1.5 ソフトスタート、シーケンシング、および突入電流

ソフトスタートとは、EN および UVLO がスレッショルド電圧を達成した後の LDO ターンオン時の出力電圧のランプアップ特性を指します。ソフトスタート電流は、固定出力電圧バージョンでは固定です。

線形的で単調なソフトスタートを実現するため、TPS748A エラー アンプは、外付けのソフトスタートコンデンサの電圧ランプを追跡します。このトラッキングは、電圧が内内部リファレンスを超えるまで継続されます。ソフトスタートのランプ時間は、ソフトスタート充電電流 (I_{SS})、ソフトスタート容量 (C_{SS})、内部リファレンス電圧 (V_{REF}) に依存します。[式 7](#) で、ソフトスタートのランプ時間を計算します。

$$t_{SS} = \frac{(V_{REF} \times C_{SS})}{I_{SS}} \quad (7)$$

大きな出力コンデンサを使用する場合、デバイスの電流制限 (I_{CL}) と出力コンデンサで起動時間を設定できます。この場合、[式 8](#) に起動時間を示します。

$$t_{SSCL} = \frac{(V_{OUT(NOM)} \times C_{OUT})}{I_{CL(MIN)}} \quad (8)$$

推奨される最大ソフトスタートコンデンサは 100nF です。ソフトスタートコンデンサが大きくてもデバイスは損傷しませんが、ソフトスタートコンデンサ放電回路が有効なときに、ソフトスタートコンデンサを完全に放電できない可能性があります。 100nF を超えるソフトスタートコンデンサは、イネーブル ピンに高速パルスを印加する必要があるアプリケーションで問題となる可能性がありますが、デバイスはグランドからソフトスタートする必要があります。 C_{SS} が低リーケージであることを確認してください。なお、X7R、X5R、または C0G 誘電材料を推奨します。[表 7-1](#) に、ソフトスタートコンデンサの推奨値を示します。

表 7-1. ソフトスタート時間のプログラミング用の標準コンデンサ値

C_{SS} (nF)	遅延時間 (ms)	ランプアップ時間 (ms)	起動時間 (ms)
1	0.2	0.11	0.31
4.7	0.2	0.50	0.70
10	0.2	1.07	1.27
22	0.2	2.35	2.55
47	0.2	5.01	5.21
100	0.2	10.67	10.87

$V_{OUT(NOM)}$ は公称設定出力電圧、 C_{OUT} は出力キャパシタンス、 $I_{CL(MIN)}$ はデバイスの最小電流制限です。単調なスタートアップが必要なアプリケーションでは、[式 8](#) で与えられるソフトスタート時間を[式 7](#) より超えることはできません。

このデバイスにはシーケンシング要件はありませんが、BIAS、IN、EN ピンのシーケンシング順序に従うことで、ソフトスタートをゼロから開始することを検証します。

図 7-1 に、いずれかの電源投入前に EN ピンが有効化された場合のデバイス動作の例を示します。この条件では、IN 電圧が回路に電力を供給するのに十分なとき、出力はほぼ即座に 0V から約 0.3V にジャンプします。

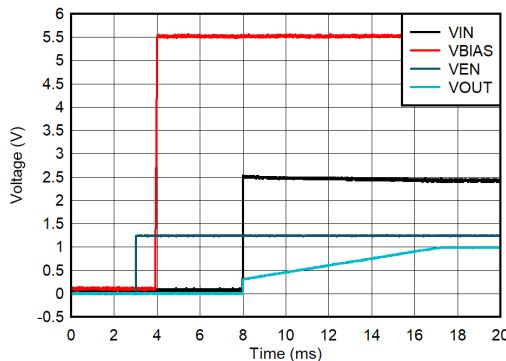


図 7-1. $V_{OUT} = 1V$ のシーケンシングとソフトスタート動作

突入電流は、起動時に IN ピンの LDO に流れ込む電流として定義されます。突入電流は、主に負荷電流と出力コンデンサの充電に使用される電流の合計で構成されます。入力コンデンサを取り除くため、この電流を測定するのは困難ですが、これは推奨されません。ただし、式 9 により、このソフトスタート電流が推定されます。

$$I_{OUT(t)} = \left(\frac{C_{OUT} \times dV_{OUT}(t)}{dt} \right) + \left(\frac{V_{OUT}(t)}{R_{LOAD}} \right) \quad (9)$$

ここで

- $V_{OUT}(t)$ はターンオンランプの瞬時出力電圧
- $dV_{OUT}(t) / dt$ は V_{OUT} ランプの勾配
- R_{LOAD} は出力負荷インピーダンス

7.1.6 パワーグッド動作

パワーグッド回路を正常に動作させるため、 $10k\Omega$ と $100k\Omega$ との間にプルアップ抵抗値を維持します。下限の $10k\Omega$ は、パワーグッドトランジスタの最大プルダウン強度に起因します。上限の $100k\Omega$ は、パワーグッドノードでの最大リーク電流に起因します。プルアップ抵抗がこの範囲外である場合、パワーグッド信号が有効なデジタルロジックレベルを読み取れない可能性があります。

PG の状態は、デバイスが最小電源電圧を超えて動作している場合にのみ有効です。UVLO 短絡イベント中、軽負荷時には出力電圧が出力キャパシタンスによって持続するため、パワーグッドはアサートされません。

7.2 代表的なアプリケーション

このセクションでは、低ノイズ高周波で良好な PSRR を必要とする 1A 負荷を調整する TPS748A-Q1 の実装について説明します。図 7-2 に、この代表的なアプリケーション回路の回路図を示します。表 7-2 に、この設計例で使用される出力電圧の標準抵抗値を示します。

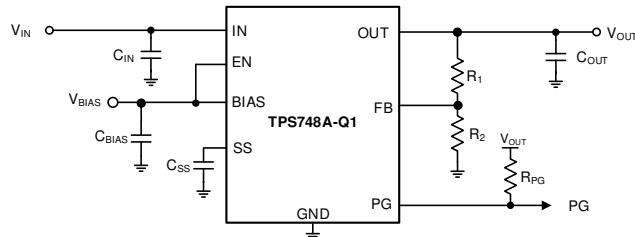


図 7-2. 代表的な ADJ 電圧アプリケーション

表 7-2. 出力電圧のプログラミングが可能な標準 1% 精度の抵抗値

R ₁ (kΩ)	R ₂ (kΩ)	V _{OUT} (V)
短絡	オープン	0.8
0.619	4.99	0.9
1.13	4.53	1.0
4.12	4.75	1.5
3.57	2.87	1.8
3.57	1.69	2.5
3.57	1.15	3.3

7.2.1 設計要件

この設計例では、表 7-3 に記載されているパラメータを入力パラメータとして使用します。

表 7-3. 設計パラメータ

パラメータ	設計要件
入力電圧	2.1V、±3%、500kHz でスイッチングする DC/DC コンバータにより供給
バイアス電圧	5.0V
出力電圧	1.8 V、±1%
出力電流	1.0A (最大値)、10mA (最小値)
RMS ノイズ、10Hz ~ 100kHz	10µV _{RMS} 未満
500kHz での PSRR	> 40dB
起動時間	25ms 未満

7.2.2 詳細な設計手順

1.0A および 1.8V_{OUT} では、TPS748A-Q1 のドロップアウトは温度範囲全体にわたって最大 105mV です。したがって、入力電圧と出力電圧の両方の精度で動作するには、300mV のヘッドラームで十分です。入力電源と出力電源の両方がそれぞれの精度仕様のエッジを超えると、TPS748A はドロップアウトに入ります。ただし、このドロップアウト現象は、一部のデバイスでは全負荷および高温でのみ発生します。

必要なスタートアップ時間を満たしながら、低ノイズ性能を維持するために、10nF の C_{SS} を選択します。式 10 でこの値を計算します。

$$t_{SS} = (V_{SS} \times C_{SS}) / I_{SS} \quad (10)$$

最大負荷 1.0A では、内部消費電力は 0.3W です。この消費電力は、標準 JEDEC 基板上の DRC パッケージにおいて 13.3°C の接合部温度上昇に相当します。55°C の最大周囲温度では、接合部温度は 68.3°C です。

7.2.3 アプリケーション曲線

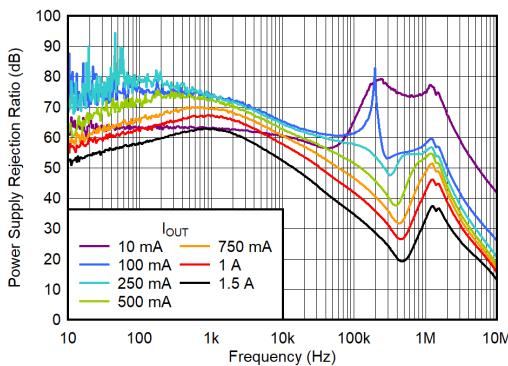


図 7-3.
 $V_{OUT} = 1.8V$ における PSRR と周波数との関係

7.3 電源に関する推奨事項

TPS748A-Q1 は、最大 6.0V の入力電圧で動作するように設計されています。ただし、バイアス レールが入力電源よりも 1.3V 以上であり、おドロップアウト要件を満たす必要があります。バイアス レールと入力電源はどちらも、デバイスが正常に動作するための十分なヘッドルームと電流が得られます。低出力インピーダンスの電源を、IN ピンに直接接続します。この電源では、最適な性能を得るために、IN ピンの近くに $1\mu F$ 以上の静電容量が必要です。同様の要件の電源を、個別の $0.1\mu F$ またはより大きいコンデンサを使用して BIAS レールに直接接続します。IN ピンが BIAS ピンに接続されている場合、性能のために最小 $4.7\mu F$ のコンデンサが必要です。高い周波数でのソリューションの全体的な PSRR を高めるには、入力コンデンサの前にパインフィルタまたはフェライトビーズを使用してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

最適化されたレイアウトにより、過渡性能、PSRR、ノイズが大幅に向上します。負荷過渡時のデバイス入力の電圧降下を最小限に抑えるため、IN および BIAS の静電容量をデバイスのできるだけ近くに接続します。また、この静電容量は入力ソースの寄生インダクタンスと寄生抵抗の影響も最小限に抑えられるため、安定性が向上します。優れた過渡性能と精度を実現するため、図 7-2 の R_1 の上面を負荷のできるだけ近くに接続します。BIAS を IN に接続する場合は、BIAS を入力電源のセンス ポイントにできるだけ近づけて接続します。この接続により、過渡条件での BIAS の電圧降下が最小限に抑えられ、ターンオン応答が向上します。

デバイスの消費電力を把握し、サーマル パッドに接続されたサーマル プレーンを適切に設計することは、サーマル シャットダウンを防ぎ、信頼性の高い動作を確保するうえで極めて重要です。デバイスの消費電力は式 11 を使用して計算され、入力電圧と負荷の条件に依存します。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (11)$$

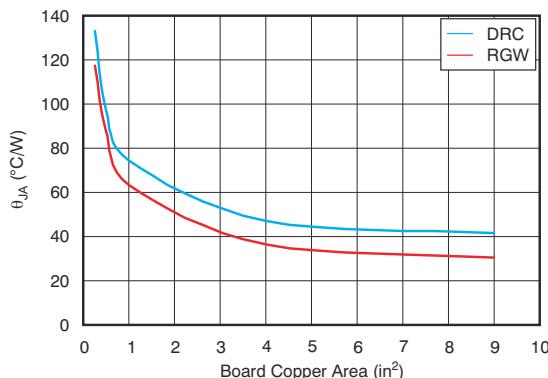
必要な出力電圧の安定性を得るために可能な限り低い入力電圧を使用することで、電力損失を最小限に抑え、より高い効率を達成します。

VSON (DRC) パッケージのいずれにおいても、主な放熱経路は露出パッドを通じてプリント基板 (PCB) に伝わります。このパッドをグランドに接続するか、フローティングのままにします。ただし、デバイスが過熱しないように、適切な量の銅

PCB 部分にサーマル パッドを取り付けます。接合部から周囲への最大熱抵抗は、式 12 を使って計算でき、デバイスの最大周囲温度、最大接合部温度、および消費電力に依存します。

$$R_{\theta JA} = \frac{(+125^{\circ}\text{C} - T_A)}{P_D} \quad (12)$$

適切なヒートシンクに必要な PCB 銅箔面積の最小量 (図 7-4 により推定) は、最大 $R_{\theta JA}$ がわかると算出されます。



基板サイズが 9 インチ² (つまり 3 インチ × 3 インチ) の場合の $R_{\theta JA}$ 値は、JEDEC 規格に基づくものです。

図 7-4. $R_{\theta JA}$ と基板サイズとの関係

図 7-4 に、基板のグランド プレーン銅領域の関数としての $R_{\theta JA}$ の変化を示します。この図は、グランド プレーン内での熱拡散の影響を実証するための指針のみを示すものです。この図は、実際のアプリケーション環境における実際の熱性能を推定するものではありません。

注

デバイスをアプリケーション PCB に実装する場合は、[推定接合部温度](#) セクションに記載の Ψ_{JT} および Ψ_{JB} を使用します。

7.4.2 レイアウト例

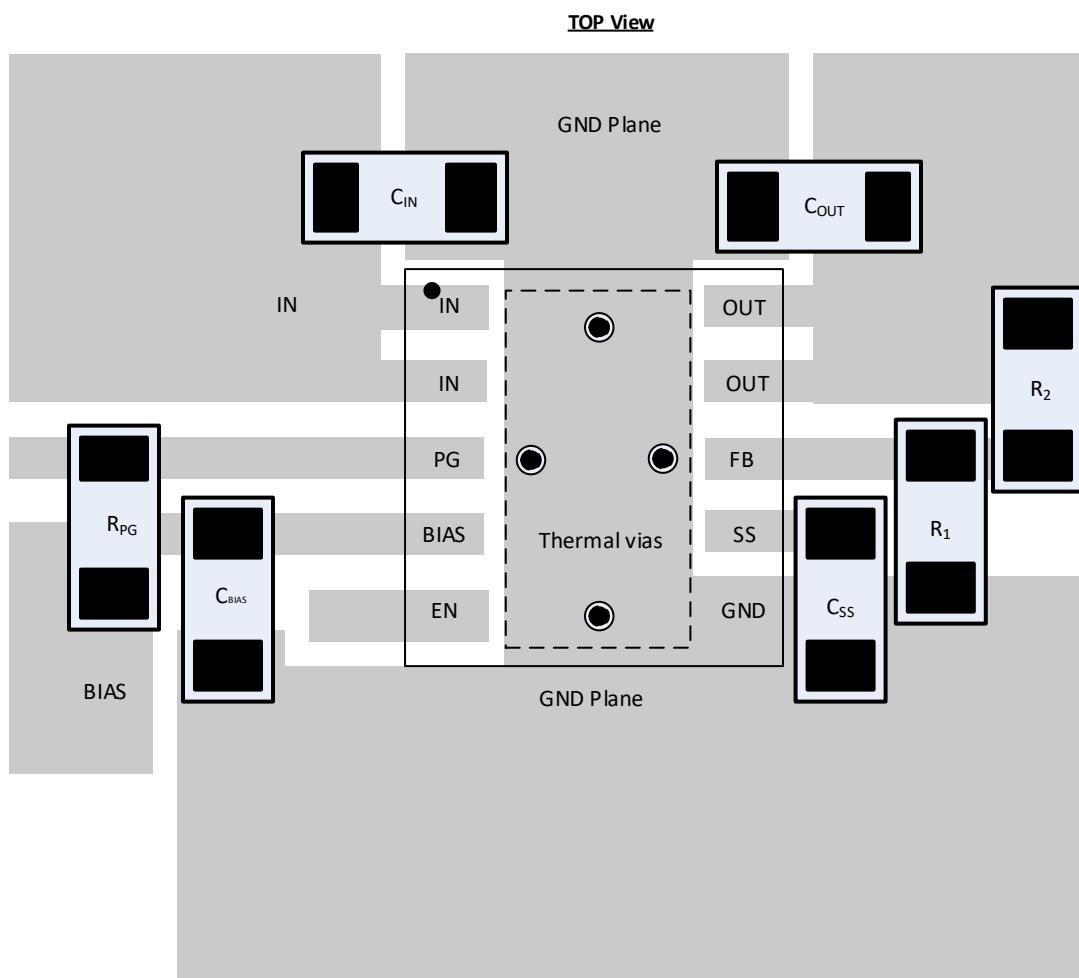


図 7-5. レイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 デバイスの命名規則

表 8-1. デバイスの命名規則

製品 ⁽¹⁾	V _{OUT}
TPS74801AQWyyzQ1	<p>Q は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表すものです。</p> <p>W は、パッケージにウェッタブル フランクを採用していることを表します。</p> <p>yyy はパッケージ指定子です。</p> <p>Z はパッケージ数量です。</p> <p>Q1 は、車載グレード (AEC-Q100) デバイスであることを表すものです。</p>

- (1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (May 2023) to Revision B (June 2025)

Page

• 「内部電流制限」セクションを変更.....	14
• 「ソフトスタート、シーケンシング、および突入電流」セクションを変更.....	18
• 代表的なアプリケーションに出力電圧のプログラミングのための標準 1% の抵抗値表を追加.....	20
• 「デバイスの命名規則」を追加.....	24

Changes from Revision * (December 2022) to Revision A (May 2023)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS74801AQWDRCRQ1	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	74801A
TPS74801AQWDRCRQ1.A	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	74801A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

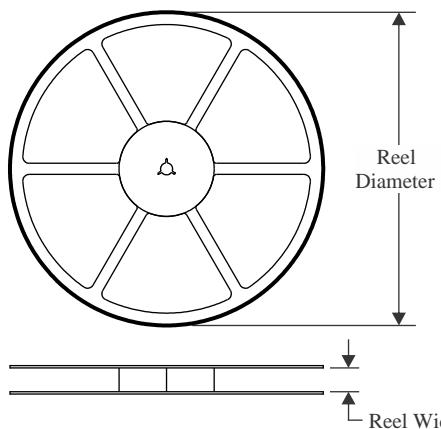
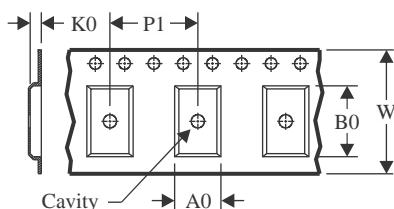
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS748A-Q1 :

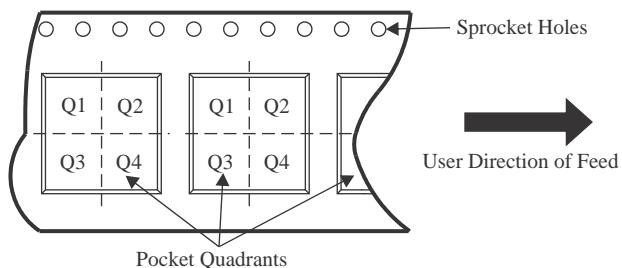
- Catalog : [TPS748A](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

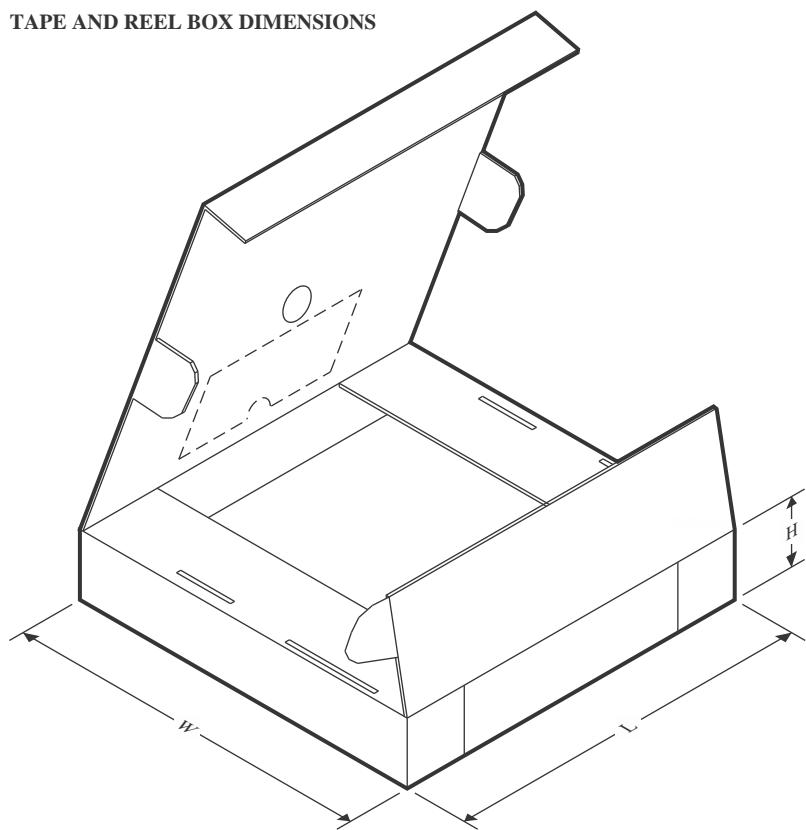
TAPE AND REEL INFORMATION
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS74801AQWDRCRQ1	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS74801AQWDRCRQ1	VSON	DRC	10	3000	360.0	360.0	36.0

GENERIC PACKAGE VIEW

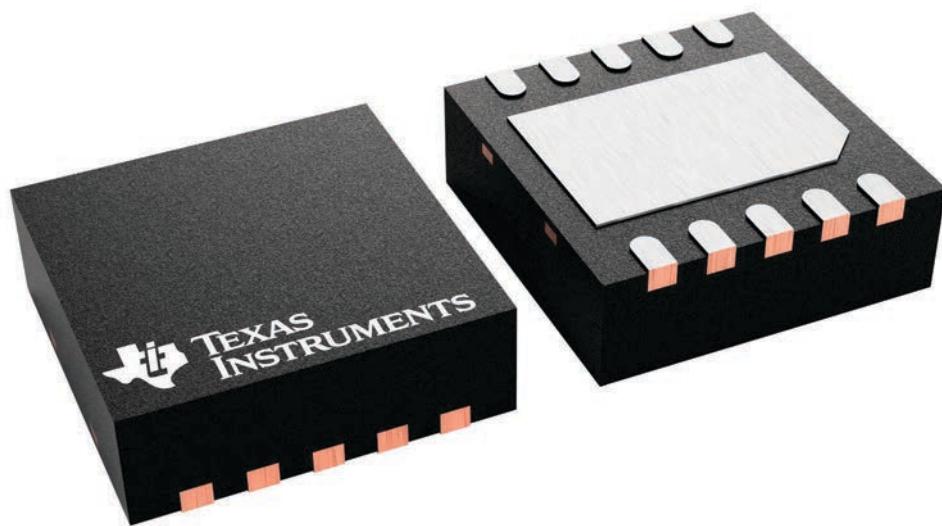
DRC 10

VSON - 1 mm max height

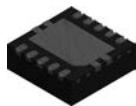
3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



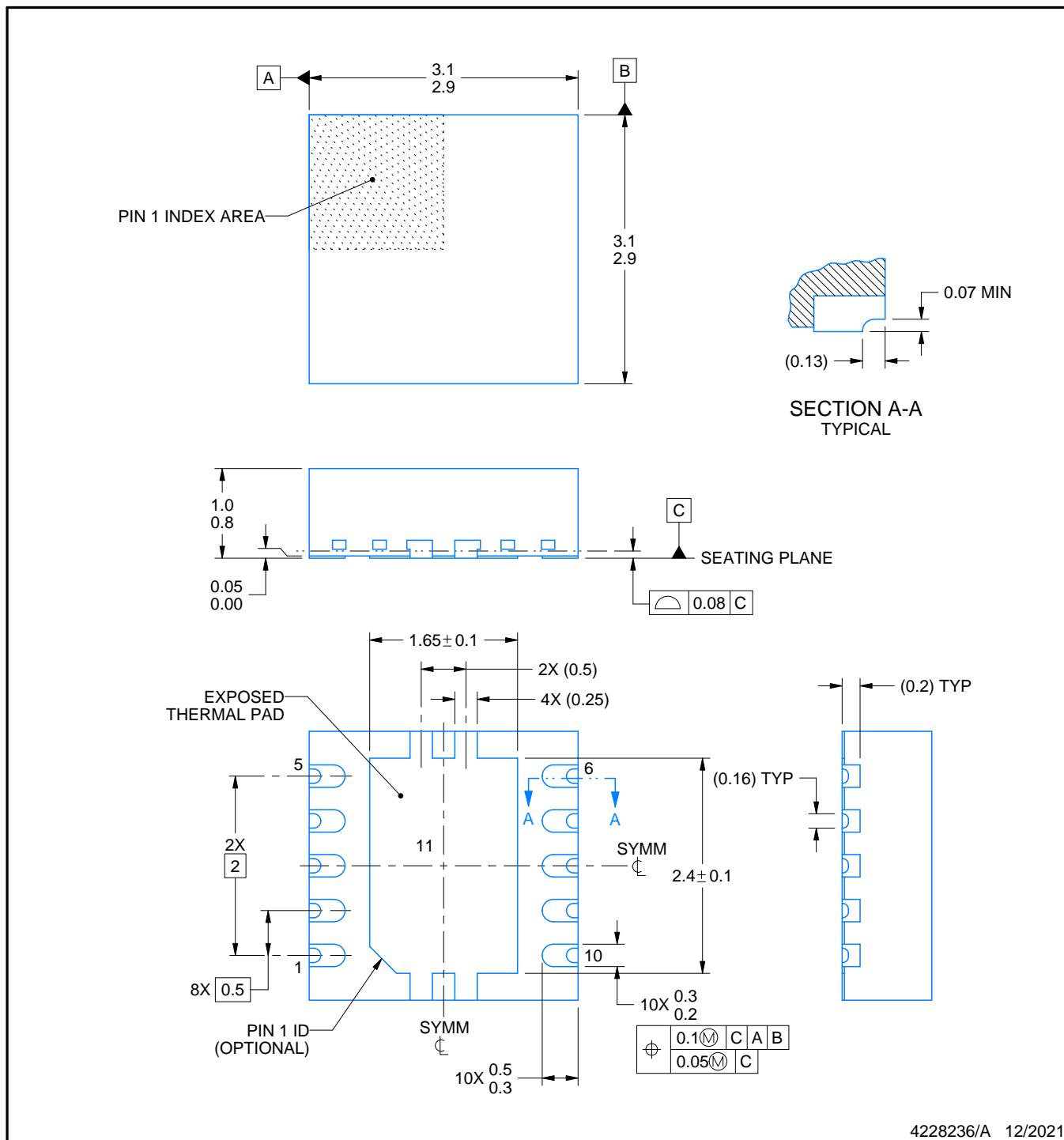
4226193/A



PACKAGE OUTLINE

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4228236/A 12/2021

NOTES:

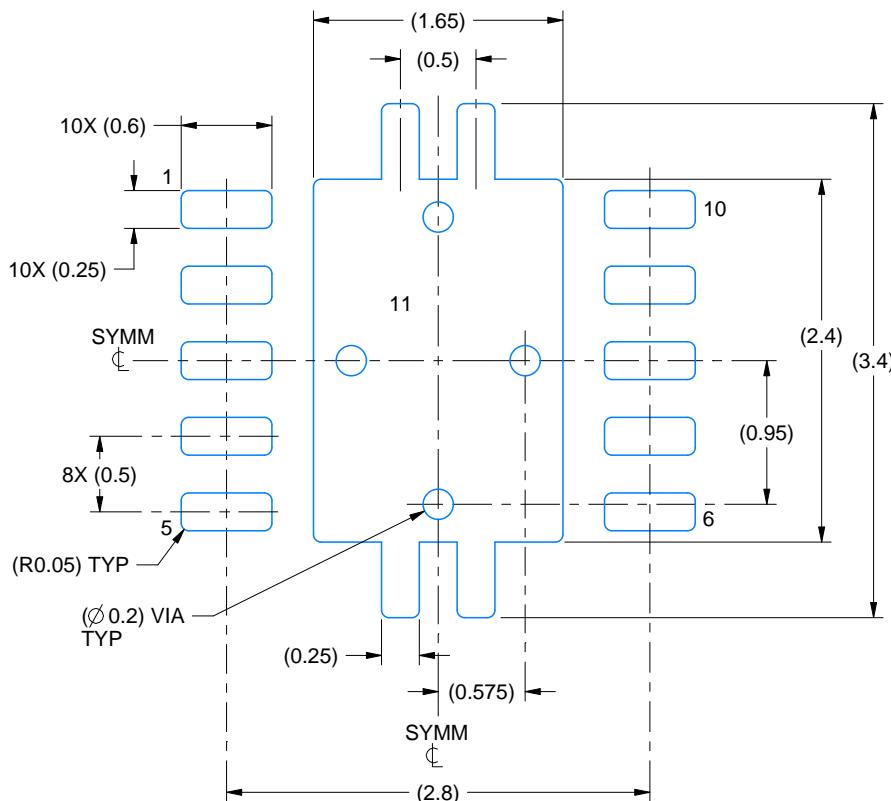
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

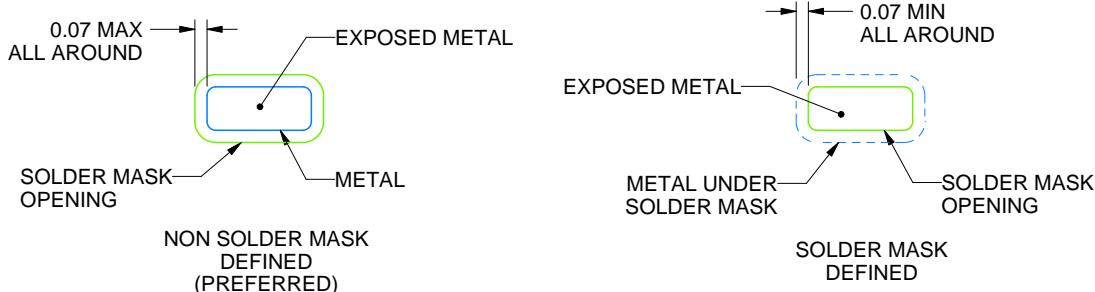
DRC0010W

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4228236/A 12/2021

NOTES: (continued)

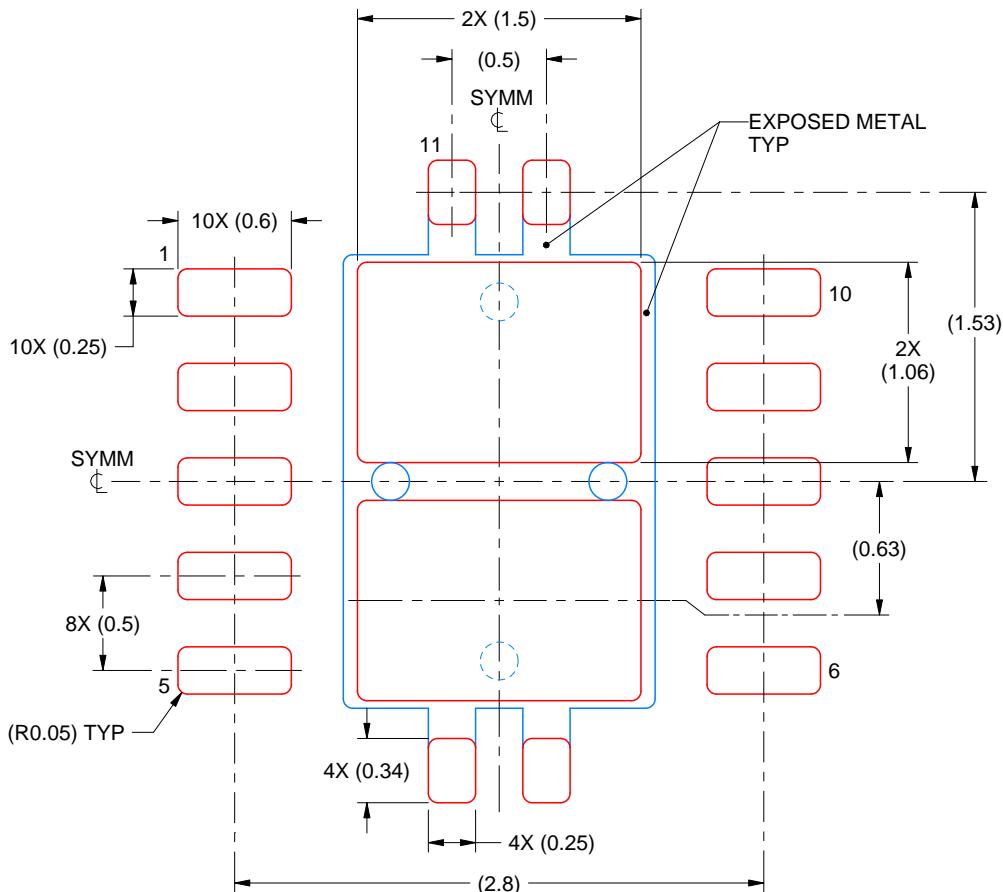
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRC0010W

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月