

TPS7A15C 400mA、低 V_{IN} 、低 V_{OUT} 、高速セトリング、低ドロップアウトレギュレータ

1 特長

- 非常に低い入力電圧範囲 (V_{IN}): 0.7V ~ 2.2V
- 高い効率:
 - 400mA でのドロップアウト: 80mV (最大値)
 - $V_{IN} = V_{OUT} + 100\text{mV}$ で仕様規定
- 非常に優れた負荷過渡応答
- 高 PSRR: 1kHz 時に 84dB
- 固定出力電圧で提供:
 - 0.5V ~ 2.0V (25mV 刻み)
- V_{BIAS} 範囲:
 - 2.2V ~ 5.5V
- パッケージ:
 - 6ピン、1mm × 0.71mm の DSBGA
- アクティブ出力放電

2 アプリケーション

- カメラ モジュール
- ワイヤレス ヘッドホン / イヤホン
- スマートウォッチ、フィットネストラッカー
- スマートフォンおよびタブレット
- ポータブル医療機器
- ソリッドステートドライブ (SSD)

3 説明

TPS7A15C は、優れた過渡応答特性を持つ小型の低ドロップアウトレギュレータ (LDO) です。このデバイスは 400mA の電流を供給でき、AC 性能 (負荷およびライン過渡応答) が非常に優れています。入力電圧範囲は 0.7V ~ 2.2V で、出力範囲は $\pm 0.5\text{V} \sim 2.0\text{V}$ です。

主電源路は IN ピンを経由し、最小で (出力電圧 + 50mV) という低い電源に接続できます。すべての電気的特性 (優れた出力電圧許容誤差、過渡応答、PSRR など) は、出力電圧を 100mV 上回る入力電圧に対して仕様が規定されているため、実際に高い効率が得られます。このレギュレータは、外部から供給されるより高い V_{BIAS} レールを使って LDO の内部回路に電力を供給することで、極めて低い入力電圧に対応します。たとえば、IN ピンの電源電圧として高効率の DC/DC 降圧レギュレータの出力を使用し、BIAS ピンの電源電圧として充電可能バッテリーを使用できます。

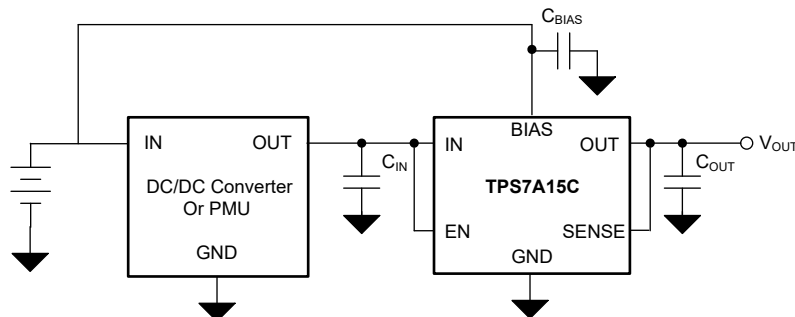
この LDO には、ディセーブル時に出力を高速放電するアクティブプルダウン回路が内蔵されており、既知のスタートアップ状態を確保できます。

TPS7A15C は、超小型の 0.71mm × 1.0mm、6 バンプ WCSP パッケージで提供されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TPS7A15C	YCK (WCSP, 6)	0.71mm × 1mm

- (1) 詳細については、[メカニカル、パッケージ、および注文情報](#) を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路



目次

1 特長	1	7 アプリケーションと実装	14
2 アプリケーション	1	7.1 使用上の注意.....	14
3 説明	1	7.2 代表的なアプリケーション.....	18
4 ピン構成および機能	3	7.3 電源に関する推奨事項.....	19
5 仕様	4	7.4 レイアウト.....	20
5.1 絶対最大定格.....	4	8 デバイスおよびドキュメントのサポート	21
5.2 ESD 定格.....	4	8.1 デバイス サポート.....	21
5.3 推奨動作条件.....	4	8.2 ドキュメントのサポート.....	21
5.4 熱に関する情報.....	5	8.3 ドキュメントの更新通知を受け取る方法.....	21
5.5 電気的特性.....	5	8.4 サポート・リソース.....	21
5.6 代表的特性.....	7	8.5 商標.....	21
6 詳細説明	10	8.6 静電気放電に関する注意事項.....	22
6.1 概要.....	10	8.7 用語集.....	22
6.2 機能ブロック図.....	10	9 改訂履歴	22
6.3 機能説明.....	11	10 メカニカル、パッケージ、および注文情報	23
6.4 デバイスの機能モード.....	13	10.1 メカニカル データ.....	24

4 ピン構成および機能

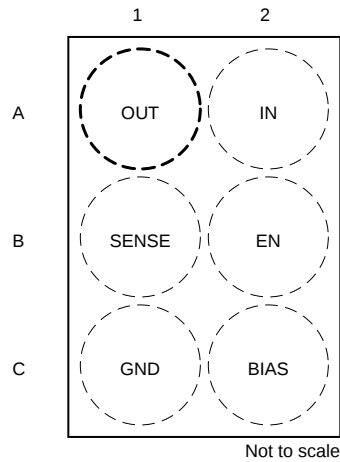


図 4-1. YCK パッケージ、6 ピン WCSP、0.35mm ピッチ (上面図)

表 4-1. ピンの機能 : YCK パッケージ

ピン		タイプ	説明
番号	名称		
A1	OUT	出力	レギュレートされた出力ピン。OUT と GND の間の「推奨動作条件」の表に、推奨される実効容量のコンデンサを接続します。出力コンデンサは、できるだけ OUT ピンの近くに配置します。
A2	IN	入力	入力ピン。最良の結果を得るには、少なくとも出力コンデンサと同じ値のコンデンサを使用します。入力コンデンサは、できるだけデバイスの入力の近くに配置します。
B1	SENSE	入力	SENSE 入力。このピンは、SENSE 接続用のレギュレータへの帰還入力です。SENSE を負荷に接続すると、OUT と負荷の間の配線抵抗に起因する電圧誤差を除去できます。
B2	EN	入力	イネーブルピン。このピンをロジック High にすると、低ドロップアウトレギュレータ (LDO) が有効になります。このピンをロジック Low にすると、LDO が無効になります。イネーブル機能が不要な場合は、このピンを IN または BIAS に接続する必要があります。
C1	GND	—	グラウンドピン。このピンは、グラウンドに接続する必要があります。
C2	BIAS	入力	BIAS ピン。このピンにより、低入力電圧、低出力電圧 (LILO) 状態での使用が可能になります。最高の性能を得るには、BIAS と GND の間に 0.1 μ F 以上のセラミックコンデンサを使用します。バイアスコンデンサは、できるだけ BIAS の近くに配置します。

5 仕様

5.1 絶対最大定格

動作 (自由空気) 温度範囲内にて (特に記述のない限り)。(1)

		最小値	最大値	単位
電圧	入力、 V_{IN}	-0.3	2.4	V
	イネーブル、 V_{EN}	-0.3	6.0	
	バイアス、 V_{BIAS}	-0.3	6.0	
	センス、 V_{SENSE}	-0.3	$V_{IN} + 0.3$ (2)	
	出力、 V_{OUT}	-0.3	$V_{IN} + 0.3$ (2)	
電流	最高出力周	内部的に制限		A
温度	動作時の接合部、 T_J	-40	150	°C
	保存、 T_{slg}	-65	150	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、このような条件や、推奨動作条件に記載されている条件を超える条件でデバイスが機能するというを意味するわけではありません。推奨動作条件の範囲外ではあるが、絶対最大定格の範囲内で短時間動作している場合、デバイスは損傷を受けない可能性があります、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 絶対最大定格は 2.4V または ($V_{IN} + 0.3V$) のいずれか小さい方です。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±3000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±750	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)。(1)

		最小値	公称値	最大値	単位
V_{IN}	入力電圧	0.7		2.2	V
V_{BIAS}	バイアス電圧	2.2 と $V_{OUT} + 1.4$ の大きい方		5.5	V
V_{OUT}	出力電圧	0.5		2.0	V
I_{OUT}	ピーク出力電流	0		400	mA
C_{IN}	入力容量(2)	0.75			µF
C_{BIAS}	バイアス容量(3)		0.1		µF
C_{OUT}	出力容量(4)	1.0		47	µF
ESL	OUT と C_{OUT} の間のパターン インダクタンス			1.5	nH
ESR	出力コンデンサの ESR + パターンの ESR	11		50	mΩ
T_J	動作時接合部温度	-10		85	°C

- (1) すべての電圧は GND を基準にしています。
- (2) 入力コンデンサは、ソース抵抗やインダクタンスの影響を打ち消すために必要です。これらは場合によってはリングングや発振といったシステムレベルの不安定性を引き起こすことがあり、特に負荷過渡が存在する場合に顕著になります。ソース インピーダンスとシステム要件によっては、より大きな入力コンデンサが必要になる場合があります。
- (3) 過渡応答、PSRR、ノイズ性能を維持するために、定格低下後の値で少なくとも 0.1µF の BIAS コンデンサを使用することが推奨されます。
- (4) 印加される AC および DC 電圧、温度、許容誤差によるすべての変動を考慮した後で、実効容量がこの範囲内に収まる出力コンデンサを使用します。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS7A15C	
		YCK (DSBGA)	
		6ピン	
			単位
R _{θJA}	接合部から周囲への熱抵抗	148.5	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	1.3	°C/W
R _{θJB}	接合部から基板への熱抵抗	42.1	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.5	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	42.1	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、「[半導体および IC パッケージの熱評価基準](#)」アプリケーション ノートを参照してください。

5.5 電気的特性

T_J = -10°C ~ +85°C, V_{IN} = 0.7V または V_{OUT(NOM)} + 0.1V の大きい方, V_{BIAS} = 2.2V と V_{OUT(NOM)} + 1.4V の大きい方, I_{OUT} = 1mA, V_{EN} = 1.0V, C_{IN} = 1.0μF, C_{OUT} = 1.0μF, C_{BIAS} = 0.1μF (特に記述のない限り)、代表値はすべて T_J = 25°C での値

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{OUT}	温度範囲全体での精度	0.7V または V _{OUT(NOM)} + 0.1V ≤ V _{IN} ≤ 2.2V の大きい方、 2.2V または V _{OUT(NOM)} + 1.4V ≤ V _{BIAS} ≤ 5.5V の大きい方、 1mA ≤ I _{OUT} ≤ 400mA	-32		8	mV
ΔV _{OUT}	V _{IN} ラインレギュレーション	0.7V または V _{OUT(NOM)} + 0.1V ≤ V _{IN} ≤ 2.2V の大きい方	-2.5	0.22	2.5	mV
ΔV _{OUT}	V _{BIAS} ラインレギュレーション	2.2V または V _{OUT(NOM)} + 1.4V ≤ V _{BIAS} ≤ 5.5V の大きい方	-2.5	0.02	2.5	mV
ΔV _{OUT}	負荷レギュレーション	1mA ≤ I _{OUT} ≤ 400mA		18		mV
I _{Q(BIAS)}	Bias ピンの電流	I _{OUT} = 0mA			60	μA
I _{Q(BIAS)}	Bias ピンの電流	I _{OUT} = 400mA			6.5	mA
I _{Q(IN)}	入力ピン電流 ⁽¹⁾	I _{OUT} = 0mA			5	μA
I _{GND}	グランドピン電流 ⁽¹⁾	I _{OUT} = 400mA		380	525	μA
I _{SHDN(BIAS)}	V _{BIAS} シャットダウン電流	V _{IN} = 2.2V, V _{BIAS} = 5.5V, V _{EN} ≤ 0.2V		0.264	12	μA
I _{SHDN(IN)}	V _{IN} シャットダウン電流	V _{IN} = 1.8V, V _{BIAS} = 5.5V, V _{EN} ≤ 0.2V		0.05	5.7	μA
I _{CL}	出力電流制限	V _{OUT} = 0.95 × V _{OUT(NOM)}	440	650	1100	mA
I _{SC}	回路短絡時の電流制限	V _{OUT} = 0V		240		mA
V _{DO(IN)}	V _{IN} ドロップアウト電圧 ⁽²⁾	V _{IN} = 0.95 × V _{OUT(nom)} , I _{OUT} = 400mA, V _{OUT} ≥ 0.8V,		31	80	mV
V _{DO(BIAS)}	V _{BIAS} ドロップアウト電圧 ⁽³⁾	V _{BIAS} = 1.7V または V _{OUT(nom)} + 0.6V の大きい方、 I _{OUT} = 400mA			1	V
V _{IN} PSRR	V _{IN} 電源除去比	f = 100Hz, V _{IN} = 1.05V, V _{OUT} = 0.8V, C _{OUT} = 9μF	I _{OUT} = 3mA		90	dB
			I _{OUT} = 400mA		59	
		f = 1kHz, V _{IN} = 1.05V, V _{OUT} = 0.8V, C _{OUT} = 9μF	I _{OUT} = 3mA		90	
			I _{OUT} = 400mA		60	
		f = 10kHz, V _{IN} = 1.05V, V _{OUT} = 0.8V, C _{OUT} = 9μF	I _{OUT} = 3mA		80	
			I _{OUT} = 400mA		61	
		f = 100kHz, V _{IN} = 1.05V, V _{OUT} = 0.8V, C _{OUT} = 9μF	I _{OUT} = 3mA		70	
	I _{OUT} = 400mA		65			
V _{BIAS} PSRR	V _{BIAS} 電源除去比	f = 1MHz, V _{IN} = 1.05V, V _{OUT} = 0.8V, C _{OUT} = 9μF	I _{OUT} = 3mA		61	dB
			I _{OUT} = 400mA		72	
		f = 1MHz, V _{IN} = V _{OUT} + 150mV	I _{OUT} = 3mA		62	
		I _{OUT} = 400mA		38		
V _{BIAS} PSRR	V _{BIAS} 電源除去比	f = 1kHz,			72	dB
		f = 100kHz	I _{OUT} = 400mA		47	
		f = 1MHz			31	

$T_J = -10^\circ\text{C} \sim +85^\circ\text{C}$ 、 $V_{IN} = 0.7\text{V}$ または $V_{OUT(NOM)} + 0.1\text{V}$ の大きい方、 $V_{BIAS} = 2.2\text{V}$ と $V_{OUT(NOM)} + 1.4\text{V}$ の大きい方、 $I_{OUT} = 1\text{mA}$ 、 $V_{EN} = 1.0\text{V}$ 、 $C_{IN} = 1.0\mu\text{F}$ 、 $C_{OUT} = 1.0\mu\text{F}$ 、 $C_{BIAS} = 0.1\mu\text{F}$ (特に記述のない限り)、代表値はすべて $T_J = 25^\circ\text{C}$ での値

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_n	出力電圧ノイズ	帯域幅 = 10Hz ~ 100kHz、 $V_{OUT} = 0.8\text{V}$ 、 $I_{OUT} = 400\text{mA}$	8.5			μV_{RMS}
$V_{UVLO(BIAS)}$	バイアス電源 UVLO	V_{BIAS} rising	1.15	1.42	1.7	V
		V_{BIAS} 立ち下がり	1.0	1.3	1.64	
$V_{UVLO_HYST(BIAS)}$	バイアス電源ヒステリシス	V_{BIAS} ヒステリシス	103			mV
$V_{UVLO(IN)}$	入力電源 UVLO	V_{IN} 立ち上がり	584	603	623	mV
		V_{IN} 立ち下がり	530	552	566	
$V_{UVLO_HYST(IN)}$	入力電源ヒステリシス	V_{IN} ヒステリシス	55			mV
t_{STR}	起動時間 ⁽⁴⁾		200			μs
$V_{HI(EN)}$	EN ピンのロジック High 電圧		0.6			V
$V_{LO(EN)}$	EN ピンのロジック Low 電圧		0.25			
I_{EN}	EN ピン電流	EN = 5.5V	-20	10	30	nA
$R_{PULLDOWN}$	プルダウン抵抗	$V_{IN} = 0.9\text{V}$ 、 $V_{OUT(nom)} = 0.8\text{V}$ 、 $V_{BIAS} = 3.3\text{V}$ 、 $V_{EN} = 0\text{V}$ 、P バージョンのみ	36			Ω
T_{SD}	サーマル シャットダウン温度	シャットダウン、温度上昇	165			$^\circ\text{C}$
		リセット、温度低下	140			

- (1) この電流は V_{IN} から GND に流れます。
- (2) $V_{UVLO(IN)}$ スレッシュホールドにより、 $V_{OUT} < 0.8\text{V}$ のときのドロップアウトは測定されません。
- (3) $V_{UVLO(BIAS)}$ スレッシュホールドにより、 $V_{OUT} < 1.1\text{V}$ のときのドロップアウトは測定されません。
- (4) スタートアップ時間 = EN アサートから $0.95 \times V_{OUT(NOM)}$ までの時間。

5.6 代表的特性

動作温度 $T_J = 25^\circ\text{C}$, $V_{\text{OUT(NOM)}} = 0.8\text{V}$, $V_{\text{IN}} = V_{\text{OUT(NOM)}} + 0.1\text{V}$, $V_{\text{BIAS}} = V_{\text{OUT(NOM)}} + 1.4\text{V}$, $I_{\text{OUT}} = 1\text{mA}$, $V_{\text{EN}} = V_{\text{IN}}$, $C_{\text{IN}} = 4.7\mu\text{F}$, $C_{\text{OUT}} = 4.7\mu\text{F}$, $C_{\text{BIAS}} = 0.47\mu\text{F}$ (特に記述のない限り)

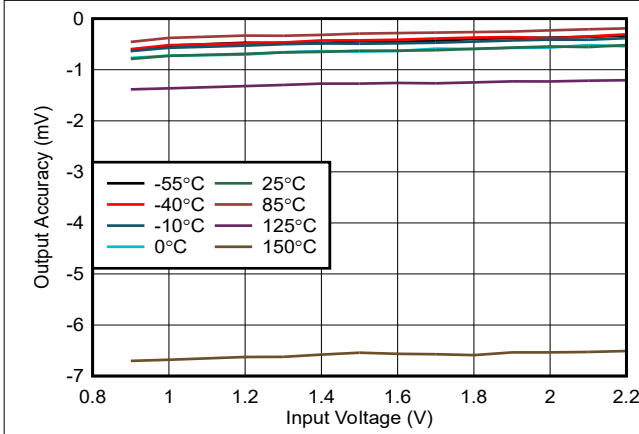


図 5-1. 出力電圧精度と V_{IN} との関係

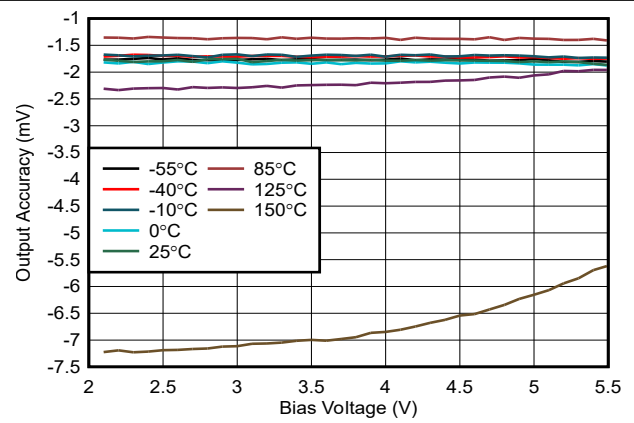


図 5-2. 出力電圧精度と V_{BIAS} との関係

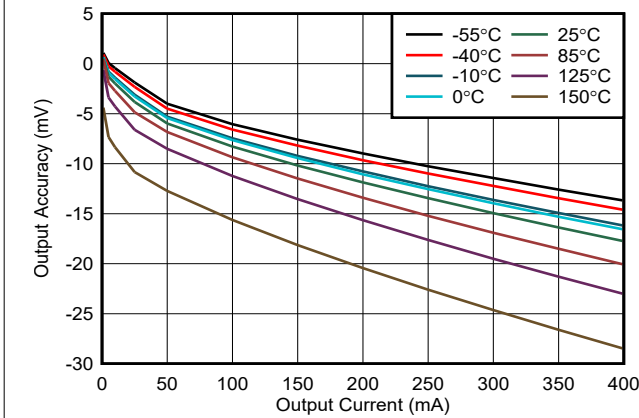


図 5-3. 出力電圧精度と I_{OUT} との関係

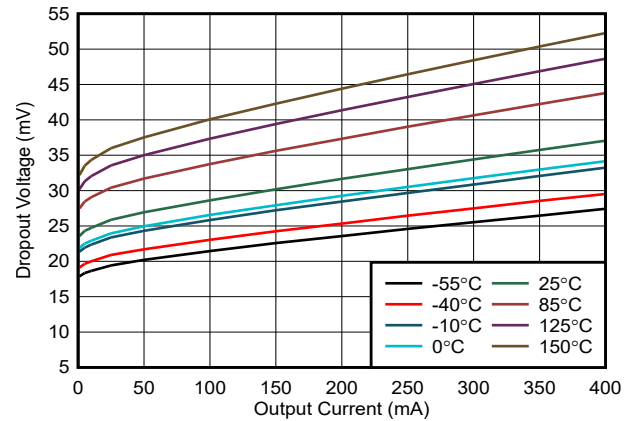


図 5-4. V_{IN} ドロップアウト電圧と I_{OUT} との関係

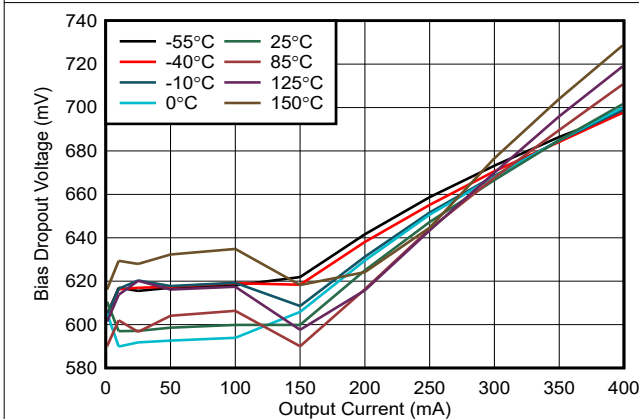


図 5-5. V_{BIAS} ドロップアウト電圧と I_{OUT} との関係

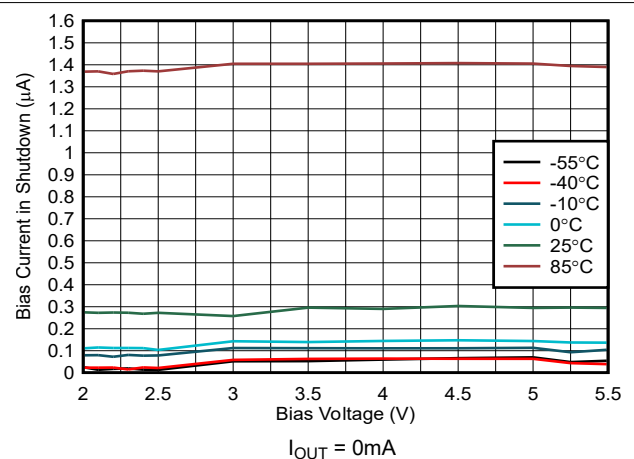


図 5-6. V_{BIAS} 入力電流と V_{BIAS} との関係

5.6 代表的特性 (続き)

動作温度 $T_J = 25^\circ\text{C}$ 、 $V_{\text{OUT(NOM)}} = 0.8\text{V}$ 、 $V_{\text{IN}} = V_{\text{OUT(NOM)}} + 0.1\text{V}$ 、 $V_{\text{BIAS}} = V_{\text{OUT(NOM)}} + 1.4\text{V}$ 、 $I_{\text{OUT}} = 1\text{mA}$ 、 $V_{\text{EN}} = V_{\text{IN}}$ 、 $C_{\text{IN}} = 4.7\mu\text{F}$ 、 $C_{\text{OUT}} = 4.7\mu\text{F}$ 、 $C_{\text{BIAS}} = 0.47\mu\text{F}$ (特に記述のない限り)

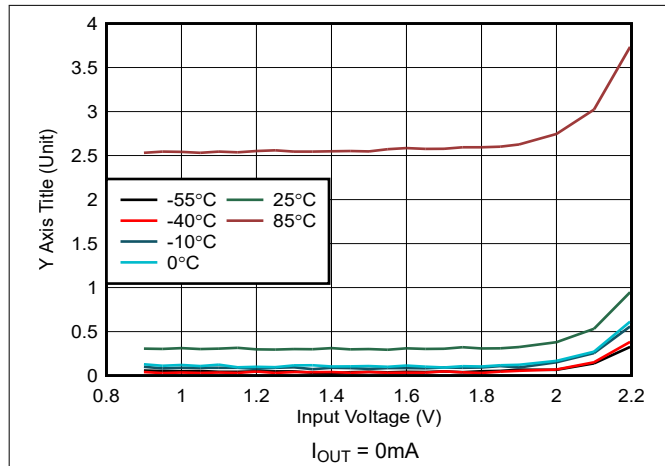


図 5-7. シャットダウン時の V_{IN} 入力電流と V_{IN} との関係

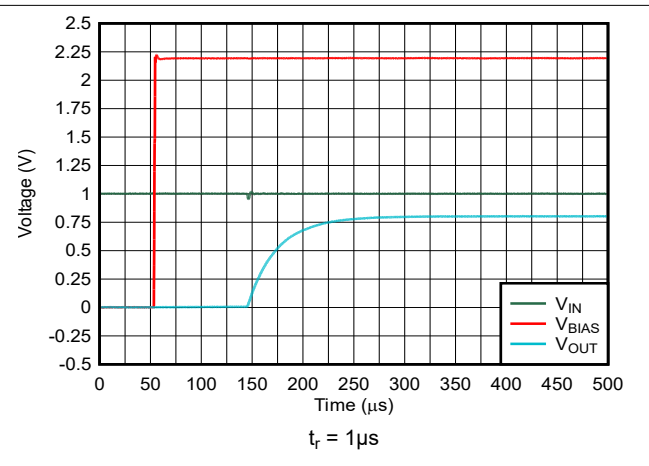


図 5-8. V_{IN} で起動し V_{BIAS} より先に印加

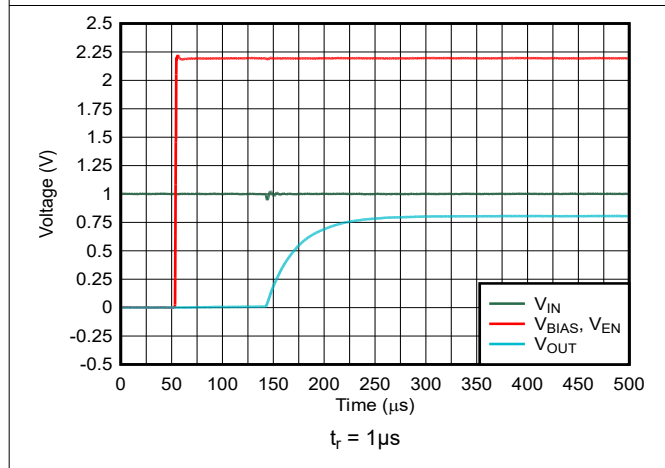


図 5-9. V_{BIAS} および V_{EN} より先に V_{IN} が印加された場合の起動

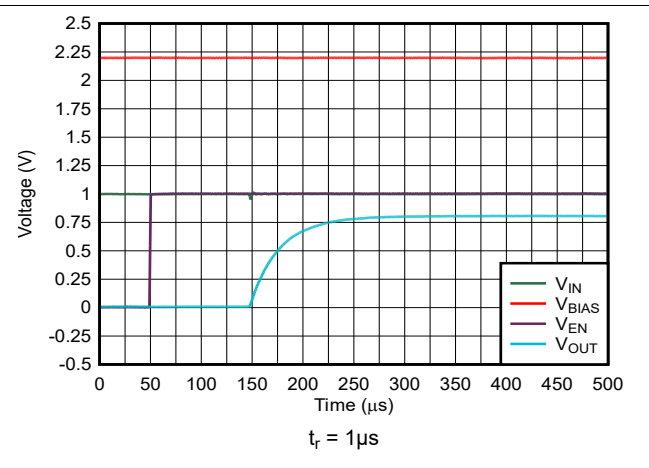


図 5-10. V_{IN} および V_{BIAS} が V_{EN} より先に印加された場合の起動

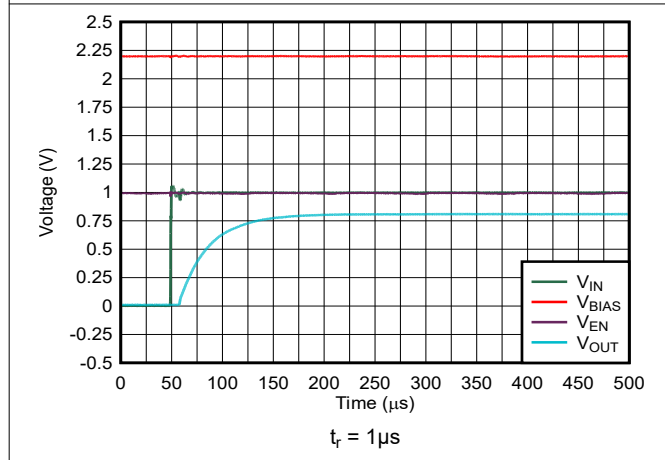


図 5-11. V_{BIAS} および V_{EN} が V_{IN} より先に印加された場合の起動

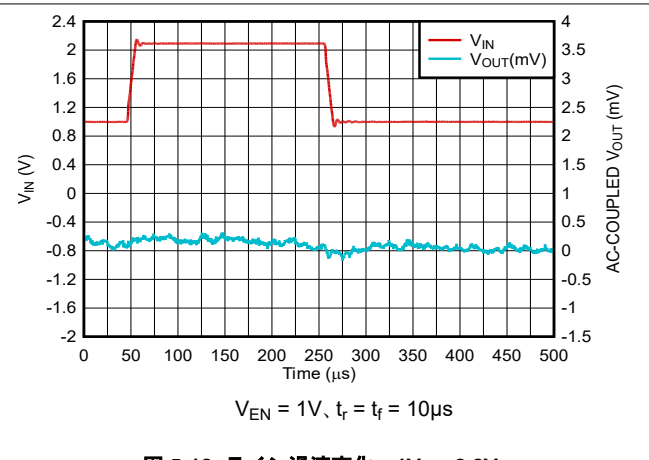


図 5-12. ライン過渡変化: 1V ~ 2.2V

5.6 代表的特性 (続き)

動作温度 $T_J = 25^\circ\text{C}$ 、 $V_{\text{OUT(NOM)}} = 0.8\text{V}$ 、 $V_{\text{IN}} = V_{\text{OUT(NOM)}} + 0.1\text{V}$ 、 $V_{\text{BIAS}} = V_{\text{OUT(NOM)}} + 1.4\text{V}$ 、 $I_{\text{OUT}} = 1\text{mA}$ 、 $V_{\text{EN}} = V_{\text{IN}}$ 、 $C_{\text{IN}} = 4.7\mu\text{F}$ 、 $C_{\text{OUT}} = 4.7\mu\text{F}$ 、 $C_{\text{BIAS}} = 0.47\mu\text{F}$ (特に記述のない限り)

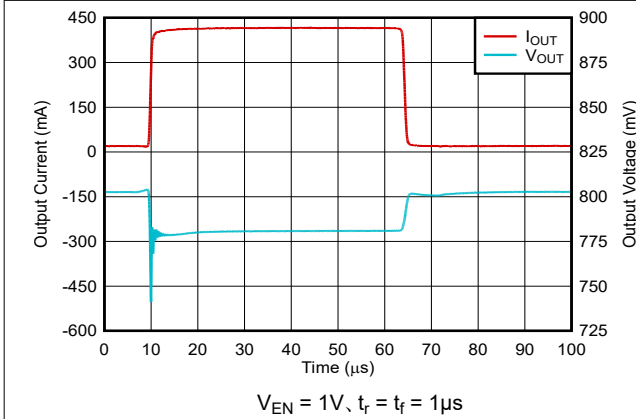


図 5-13. 負荷過渡応答: 100 μA ~ 400mA

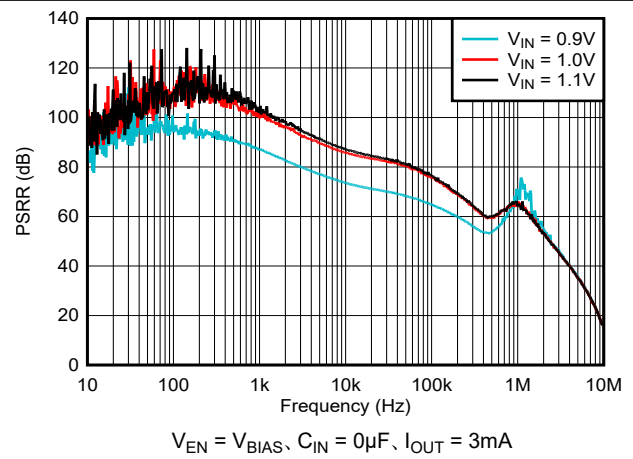


図 5-14. V_{IN} PSRR と周波数および V_{IN} との関係

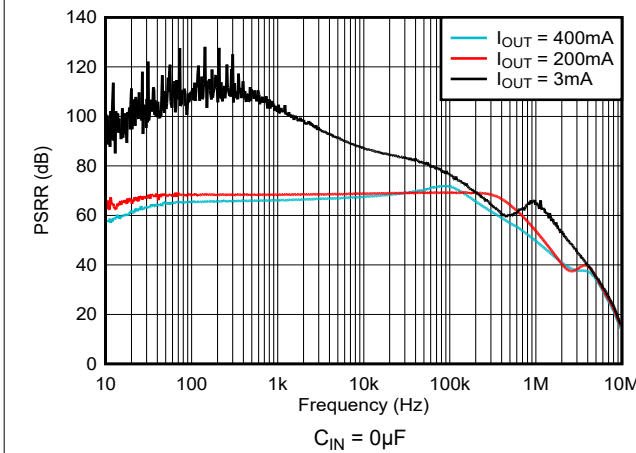


図 5-15. V_{IN} PSRR と周波数および I_{OUT} との関係

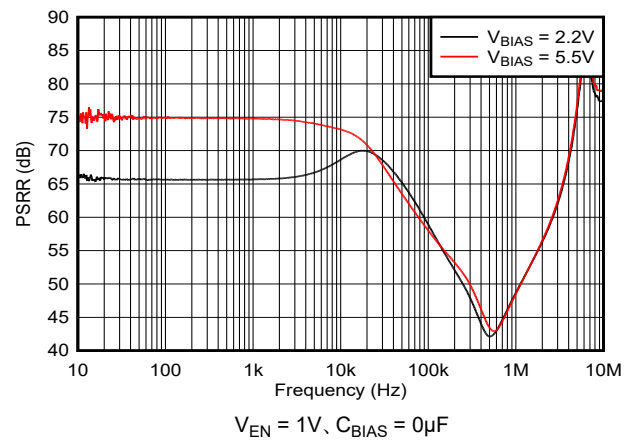


図 5-16. V_{BIAS} PSRR と周波数および $V_{\text{BIAS}} - V_{\text{OUT}}$ との関係

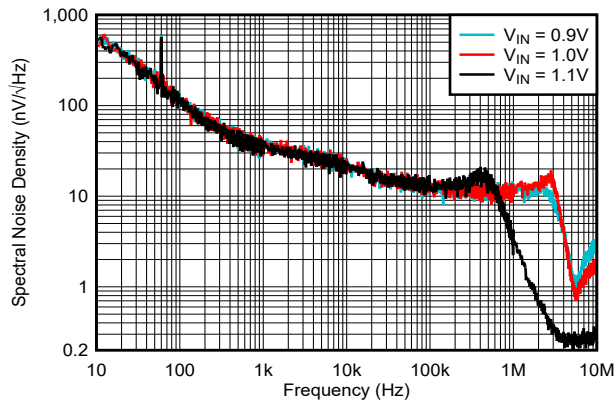


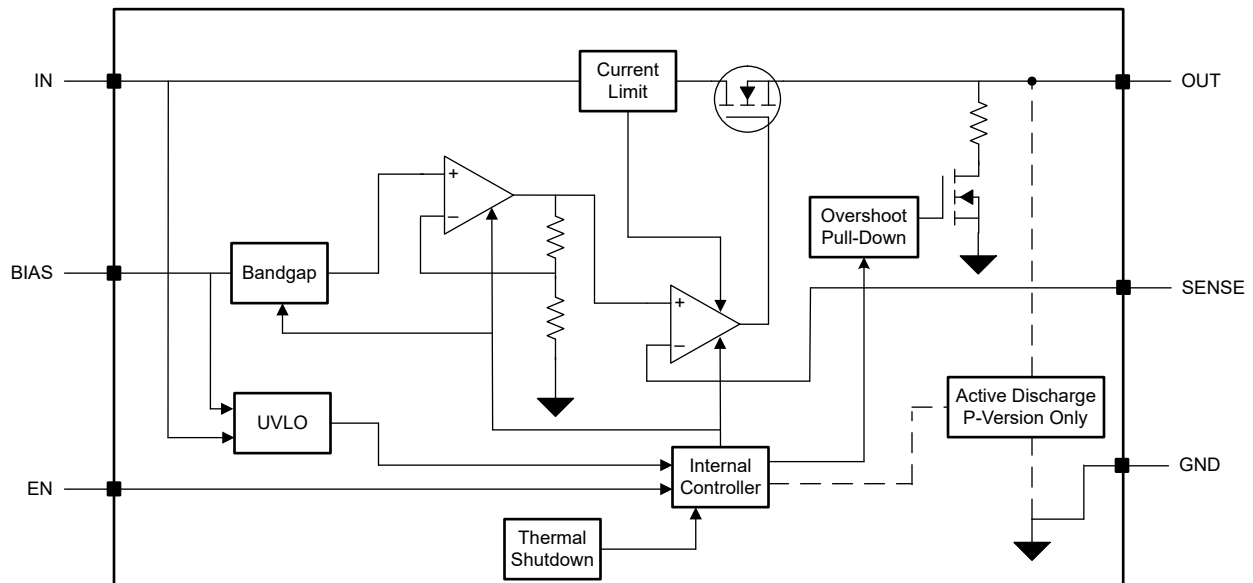
図 5-17. 出力ノイズと周波数および I_{OUT} との関係

6 詳細説明

6.1 概要

TPS7A15C は、低入力、超低ドロップアウト、低静止電流で、優れた過渡応答性能に最適化されたリニアレギュレータです。これらの特性により、このデバイスはほとんどバッテリー電源のアプリケーションにとって最適です。低い動作 $V_{IN} - V_{OUT}$ 電圧と BIAS ピンを組み合わせることにより、BIAS ピン経由で電圧リファレンスと制御回路に電力を供給し、メイン電力パスに事前安定化された低電圧入力電源 (IN) を使用できるため、低電圧出力アプリケーションの効率を大幅に向上させます。この低ドロップアウトレギュレータ (LDO) は、フォールドバック電流制限、シャットダウン、熱保護、およびアクティブ放電機能を備えています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 非常に優れた過渡応答

TPS7A15C は入力インピーダンスが高く、全周波数範囲で出力インピーダンスが低いいため、入力電源 (ライン過渡) または出力電流 (負荷過渡) の変化に迅速に応答します。この同じ機能は、この LDO は電源電圧変動除去比 (PSRR) が高く、内部ノイズフロア (e_n) が低いと、LDO は優れたラインおよび負荷過渡性能を備えた理想的な電源を近似することも意味します。

外付け部品値の選択により、過渡応答が最適化されます。コンデンサの適切な選択については、[入力、出力、およびバイアスコンデンサの要件](#)セクションを参照してください。

6.3.2 アクティブなオーバーシュート プルダウン回路

LDO がアクティブ ($V_{EN} \geq V_{HIGH(EN)}$ のとき) で、出力電圧が公称電圧を上回ると、 V_{OUT} に接続された抵抗と直列に接続された電流シンクがイネーブルになり、公称電圧の近くまで出力はプルダウンされます。この機能は、過渡回復時のオーバーシュートを低減するのに役立ちます。

6.3.3 グローバルな低電圧誤動作防止 (UVLO)

TPS7A15C は 2 つの低電圧誤動作防止回路を使用しています。1 つは BIAS ピンに接続され、1 つは IN ピンに接続され、 V_{BIAS} と V_{IN} の両方が誤動作防止電圧を超える前にデバイスがオンになるのを防止します。2 つの UVLO 信号は [図 6-1](#) に示すように、AND ゲートを介して内部的に接続されており、いずれかの入力の電圧がそれぞれの UVLO スレッシュホールドを下回るとデバイスはオフになります。

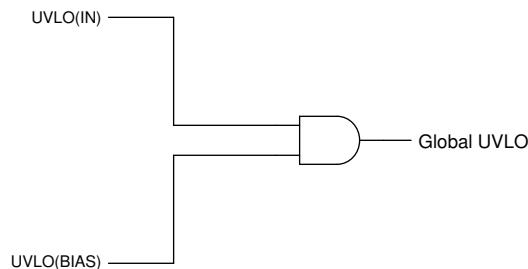


図 6-1. グローバル UVLO 回路

6.3.4 イネーブル入力

イネーブル入力 (EN) はアクティブ High です。 $V_{HI(EN)}$ より高い電圧を EN に印加するとレギュレータの出力電圧がイネーブルになり、 $V_{LO(EN)}$ より低い電圧を印加すると、EN はレギュレータ出力をディセーブルにします。出力電圧を個別に制御する必要がない場合は、EN を IN または BIAS のいずれかに接続します。

6.3.5 内部フォールドバック電流制限

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ブリックウォール フォールドバック方式です。フォールドバック電圧 ($V_{FOLDBACK}$) では、電流制限はブリックウォール方式からフォールドバック方式に遷移します。

出力電圧が $V_{FOLDBACK}$ を上回った際の高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。電圧が $V_{FOLDBACK}$ を下回ると、フォールドバック電流制限が有効になり、出力電圧が GND に近付くと電流を小さくします。出力が GND に短絡したとき、デバイスは短絡電流制限 (I_{SC}) と呼ばれる標準的な電流を供給します。 I_{CL} と I_{SC} は、「[電気的特性](#)」表に記載されています。

このデバイスでは、 $V_{FOLDBACK} = 60\% \times V_{OUT(nom)}$ です。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パストランジスタは電力 $[(V_{IN} - V_{OUT}) \times I_{CL}]$ を消費します。デバイスの出力が短絡され、出力が $V_{FOLDBACK}$ を下回ると、パストランジスタは電力 $[(V_{IN} - V_{OUT}) \times I_{SC}]$ を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下が

ると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、「制限の把握」アプリケーション ノートを参照してください。

フォールドバック電流制限は、フォールドバック電流制限の図を示しています。

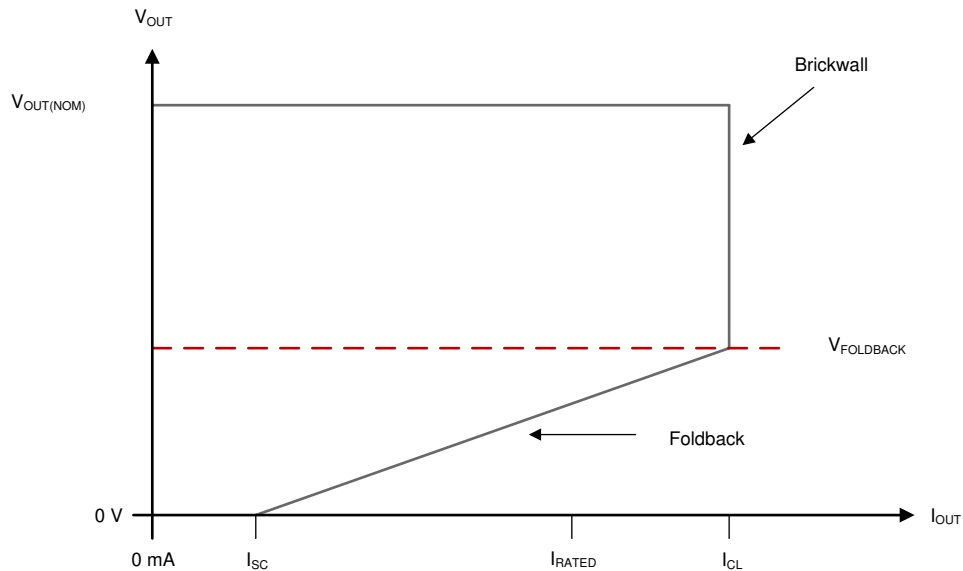


図 6-2. フォールドバック電流制限

6.3.6 アクティブ放電

この放電機能は、LDO がディセーブルされて出力電圧をアクティブに放電する際に抵抗 ($R_{PULLDOWN}$) をグラウンドに接続する内部 MOSFET を使用します。アクティブ放電回路は、EN をロジック Low に駆動することによりデバイスが無効化されると起動します。また、IN または BIAS の電圧が UVLO スレッショルドを下回るとき、またはレギュレータがサーマル シャットダウン状態になったときにも起動します。IN と BIAS の両方がオフのとき、アクティブ放電は動作しません。この機能には、内部 MOSFET をオンにするのに十分な入力電圧が必要だからです。

デバイスを無効化した後の放電時間は、出力キャパシタンス (C_{OUT}) およびプルダウン抵抗と並列に接続された負荷抵抗 (R_L) によって決まります。

入力電源が失われた後、大きな出力容量を放電するためにアクティブ放電回路に依存しないでください。出力から入力へ逆電流が流れる可能性があるためです。この逆電流の流れは、デバイスに損傷を与える可能性があります。逆電流をデバイスの定格電流の 5% 以下に制限してください。

6.3.7 サーマル シャットダウン

内蔵のサーマル シャットダウン保護回路は、パストランジスタのサーマル接合部温度 (T_J) がサーマル シャットダウン温度スレッショルド $T_{SD(shutdown)}$ (typical) まで上昇すると、出力を無効化します。サーマル シャットダウン回路のヒステリシスにより、温度が $T_{SD(reset)}$ (typical) まで低下すると LDO がリセットされること (オンになること) を確認してください。

半導体ダイの熱時定数はかなり短いため、消費電力が減少するまでの間、サーマル シャットダウンに達した場合に本デバイスはサイクルのオンとオフを行えます。起動時の電力損失は、デバイス両端で V_{IN} と V_{OUT} 間の大きな電圧降下が発生するか、または大容量の出力コンデンサを充電する高い突入電流によって、高くなる場合があります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を**推奨動作条件**表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。本デバイスの内蔵保護回路は全体的な熱条件から保護するように設計されていますが、この回路は適切なヒートシンクの代わりとなるものではありません。デバイスをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

6.4 デバイスの機能モード

表 6-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、**電気的特性**表を参照してください。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ				
	V_{IN}	V_{BIAS}	V_{EN}	I_{OUT}	T_J
通常モード	$V_{IN} \geq V_{OUT(nom)} + V_{DO(IN)}$ および $V_{IN} \geq V_{IN(min)}$	$V_{BIAS} \geq V_{OUT} + V_{DO(BIAS)}$ および $V_{BIAS} \geq V_{BIAS(min)}$	$V_{EN} \geq V_{HI(EN)}$	$I_{OUT} < I_{CL}$	シャットダウン用: $T_J < T_{SD}$
ドロップアウト モード	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO(IN)}$	$V_{BIAS(min)} < V_{BIAS} < V_{OUT} + V_{DO(BIAS)}$	$V_{EN} > V_{HI(EN)}$	$I_{OUT} < I_{CL}$	シャットダウン用: $T_J < T_{SD}$
ディセーブル モード (条件が真の場合、デバイスはディセーブル)	$V_{IN} < V_{UVLO(IN)}$	$V_{BIAS} < V_{BIAS(UVLO)}$	$V_{EN} < V_{LO(EN)}$	—	シャットダウン用: $T_J \geq T_{SD}$

6.4.1 通常モード

デバイスは、以下の条件が満たされるとき、公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の合計 ($V_{OUT(nom)} + V_{DO}$) および $V_{IN(MIN)}$ よりも大きくなります
- バイアス電圧が、公称出力電圧とドロップアウト電圧の合計 ($V_{OUT(nom)} + V_{DO}$) および $V_{BIAS(MIN)}$ よりも大きくなります
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度がサーマル シャットダウンの温度を下回っている ($T_J < T_{SD}$)
- イネーブル電圧が以前にイネーブル立ち上がりスレッショルド電圧を超えていて、まだイネーブル立ち下がりスレッショルドよりも低くなっていない

6.4.2 ドロップアウト モード

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも小さいが、通常動作の他の条件がすべて満たされているとき、デバイスはドロップアウト モードで動作します。同様に、バイアス電圧が公称出力電圧と規定ドロップアウト電圧の和よりも小さいものの、通常動作の他の条件がすべて満たされている場合もまた、デバイスはドロップアウト モードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、パストランジスタがオーム領域または三極管領域にあり、スイッチとして機能するため、デバイスの過渡性能が大幅に低下します。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生することがあります。

デバイスが定常的なドロップアウト状態にあるとき (起動中ではないが、通常のレギュレーション状態になった直後に、デバイスがドロップアウト状態 ($V_{IN} < V_{OUT(NOM)} + V_{DO(IN)}$) または ($V_{BIAS} < V_{OUT(NOM)} + V_{DO(BIAS)}$) になったときとして定義される)、パストランジスタはオーム領域またはトライオード領域に駆動されます。入力電圧が公称出力電圧にドロップアウト電圧 ($V_{OUT(NOM)} + V_{DO(IN)}$) および ($V_{OUT(NOM)} + V_{DO(BIAS)}$) を加えた値以上に戻ると、デバイスがパストランジスタをリニア領域にプルバックする際に、出力電圧が短時間オーバーシュートすることがあります。

6.4.3 ディセーブル モード

イネーブル ピンの電圧を EN ピンの最大 Low レベル電圧未満にすると、このデバイスの出力をシャットダウンできます (「**電気的特性**」表を参照)。無効化されると、パストランジスタがオフになり、内部回路がシャットダウンされ、出力電圧は内部放電回路によって出力からグラウンドへアクティブに放電されます。

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

アプリケーションで LDO を正しく実装するには、アプリケーションの要件に依存します。このセクションでは、デバイスの主要な機能と、信頼性の高い設計を実現するための最適な実装方法について説明します。

7.1.1 推奨されるコンデンサの種類

このレギュレータは、入力、出力、およびバイアスピンに低等価直列抵抗 (ESR) のセラミックコンデンサを使用することで安定するように設計されています。多層セラミックコンデンサは LDO に使用する業界標準ですが、適切に判断して使用する必要があります。X7R、X5R、COG 定格の誘電体材料を使用したセラミックコンデンサは、温度範囲全体にわたって比較的良好的な容量の安定性を実現しますが、Y5V 定格のコンデンサの使用は、静電容量の変動が大きいため推奨されません。選択したセラミックコンデンサの種類にかかわらず、動作電圧が高くなるにつれてセラミック容量は減少し、AC バイアスが 0 に近づくにつれて減少し、また温度の影響も大きくなります。一般に、実効容量はコンデンサの公称値から 50% ~ 75% だけ減少する (条件による) という最悪のケースを仮定します。

7.1.2 入力、出力、およびバイアスコンデンサの要件

安定性を確保するために、最小限の入力用セラミックコンデンサが必要です。安定性を確保するために、最小限の出力用セラミックコンデンサも必要です。コンデンサの最小値については、[推奨動作条件表](#)を参照します。

このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。立ち上がり時間の短い大きな負荷またはライン過渡事象が予想される場合、またはデバイスが入力電源から数インチの場所に配置される場合は、より大きな値の入力コンデンサが必要になることがあります。

適切な値の出力コンデンサは、安定性の確保と動的性能の向上に役立ちます。「[推奨動作条件](#)」表に記載されている範囲内の出力コンデンサを使用します。セリング性能の低下を避けるため、OUT と出キャパシタンス力 (コンデンサ内の実効インダクタンスを含む) の間のインダクタンスは、表に示す値よりも小さくします。

0.1 μ F またはより大きなセラミックコンデンサを BIAS から GND に接続します。このコンデンサは、ソースインピーダンスが十分に低くない場合に、リアクティブなバイアスソースの影響を打ち消します。LDO 負荷電流が最大値に近いとき、BIAS 源が高速な電圧降下 (たとえば、1 μ s 未満の 2V 降下) の影響を受けやすい場合、BIAS 電圧の低下によって出力電圧が短時間低下することがあります。そのような場合は、電圧の立ち下がり速度を 0.5V/ μ s 未満に抑えられる十分な大きさの BIAS コンデンサを使用します。BIAS 過渡が小さい場合または低速な場合は、出力電圧低下が公称電圧の 5% 未満である必要があります。

入力、出力、およびバイアス用のコンデンサは、パターンの寄生インピーダンスの影響を最小限に抑えるため、デバイスのできるだけ近くに配置します。

7.1.3 ドロップアウト電圧

ドロップアウト電圧 (V_{DO}) は、パストランジスタが完全にオンとなる定格出力電流 (I_{RATED}) において、入力電圧から出力電圧を引いた値 ($V_{IN} - V_{OUT}$) として定義されます。 I_{RATED} は、[推奨動作条件](#)表に記載されている最大 I_{OUT} です。パストランジスタは、抵抗領域すなわち動作の三極管領域で動作し、スイッチとして機能します。ドロップアウト電圧は、出力電圧がレギュレーションのままどまると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に指定します。入力電圧が公称出力レギュレーションよりも低下すると、出力電圧も同様に低下します。

CMOS レギュレータの場合、ドロップアウト電圧はパストランジスタのドレインソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニアレギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケールアップされます。式 1 を使用して、デバイスの $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

バイアスレールを使用すると、TPS7A15C で IN と OUT の間のドロップアウト電圧を低減できます。ただし、プログラムされた公称出力電圧よりも高い最小バイアス電圧を維持する必要があります。

7.1.4 ドロップアウトからレギュレーションへの遷移時の挙動

一部のアプリケーションでは、特に比較的高い ESR を持つバッテリーから本デバイスに電源を供給する場合、過渡現象によって、このデバイスがドロップアウト状態になることがあります。負荷の過渡現象によって、パストランジスタが完全にオン駆動されると、誤差アンプの出力段が飽和し、パストランジスタは V_{IN} から V_{OUT} への抵抗のように動作します。誤差アンプはまず飽和状態から回復し、その後パストランジスタを再びアクティブモードに戻さなければならないため、この負荷過渡に対する応答時間が制限されます。この間、パストランジスタが V_{IN} から V_{OUT} の間の抵抗として機能するため、 V_{OUT} がオーバーシュートします。

V_{IN} が起動のためにゆっくりと上昇すると、低速のランプアップ電圧によってデバイスがドロップアウトになる可能性があります。他の多くの LDO と同様に、この条件からの回復時に出力がオーバーシュートする可能性があります。ただし、この条件はイネーブル信号を使用することで簡単に回避できます。

これらの条件で動作する場合は、より大きな dc 負荷を印加するか、出力容量を大きくしてオーバーシュートを低減します。これらのソリューションは、過剰な電荷を消散する経路を提供します。

7.1.5 デバイスのイネーブルシーケンスの要件

IN、BIAS、EN ピンの電圧は、デバイスを損傷することなく任意の順序でシーケンスできます。起動は、IN、BIAS、および EN ピンのシーケンス順序や立ち上がり速度に関係なく、常に単調に行われます。IN、BIAS、EN ピンの適切な電圧範囲については、推奨動作条件表を参照してください。

7.1.6 負荷過渡応答

負荷ステップ過渡応答とは、LDO の出力電圧が負荷電流の変動に対してどのように応答し、出力電圧のレギュレーションを維持するかを示すものです。標準的な負荷過渡応答については、「代表的特性」セクションを参照してください。負荷過渡応答中には、軽負荷から重負荷への遷移、および重負荷から軽負荷への遷移の 2 つの重要な遷移があります。「負荷過渡波形」に示される領域は、本セクションで説明するように分解されています。領域 A、E、および H は、出力電圧が定常動作している状態を示します。

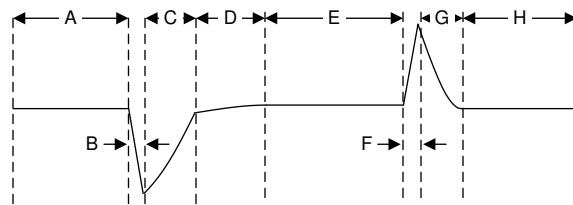


図 7-1. 負荷過渡波形

軽負荷から重負荷への遷移中に、次のような動作が観察されます：

- 初期の電圧降下は、出力コンデンサの電荷の消耗および出力コンデンサまでの寄生インピーダンスによって生じるものです (領域 B)
- 電圧降下からの回復は、LDO が供給電流を増加させることによって起こり、出力電圧のレギュレーションへとつながります (領域 C)

重負荷から軽負荷への遷移時には、以下のようなことが起こります：

- 初期の電圧上昇は、LDO が大電流を供給することにより生じ、出力コンデンサの電荷増加につながります (領域 F)
- 電圧上昇からの回復は、LDO が供給電流を減少させることと、負荷が出力コンデンサを放電することによって生じます (領域 G)

出力容量が大きいと、負荷過渡時のピークは小さくなりますが、デバイスの応答時間は遅くなります。dc 負荷が大きくなることでもピークは小さくなります。これは、遷移の振幅が小さくなり、出力コンデンサに対してより大きな電流の放電経路が確保されるためです。

7.1.7 低電圧誤動作防止 (UVLO) 回路の動作

V_{IN} UVLO 回路は、入力電源が最小動作電圧範囲に達する前に、デバイスがイネーブルにならないようにします。 V_{IN} UVLO 回路は、入力電源が低下した際にデバイスがシャットダウンすることも保証します。 V_{BIAS} UVLO 回路は、入力電源が最小動作電圧範囲に達する前に、デバイスがイネーブルにならないようにします。 V_{BIAS} UVLO 回路は、入力電源が低下した際にデバイスがシャットダウンすることも保証します。

「 V_{IN} または V_{BIAS} UVLO 回路の代表的な動作」では、各種入力またはバイアス電圧イベントに対する UVLO 回路の応答が示されています。この図は、次の領域に分かれています。

- 領域 A: 入力電圧またはバイアス電圧のどちらかが UVLO の立ち上がりスレッシュホールドを下回っている間、出力はオフのままです。
- 領域 B: 通常動作、レギュレーション デバイス。
- 領域 C: UVLO 立ち下がりスレッシュホールドを上回るブラウンアウト イベント (UVLO 立ち上がりスレッシュホールド - UVLO ヒステリシス)。出力がレギュレーション範囲外になる可能性があります、デバイスは引き続きイネーブル状態です。
- 領域 D: 通常動作、レギュレーション デバイス。
- 領域 E: UVLO 立ち下がりスレッシュホールドを下回るブラウンアウト イベント。多くの場合、このデバイスは無効化され、負荷およびアクティブ放電回路の影響で出力が低下します。UVLO の立ち上がりスレッシュホールドに達するとデバイスは再び有効化され、その後は通常の起動が行われます。
- 領域 F: 通常動作の後、入力またはバイアスが UVLO の下降スレッシュホールドまで低下します。
- 領域 G: 入力またはバイアス電圧のどちらかが UVLO の下降スレッシュホールドを下回り 0V になると、デバイスは無効化されます。出力は、負荷およびアクティブ放電回路の影響で低下します。

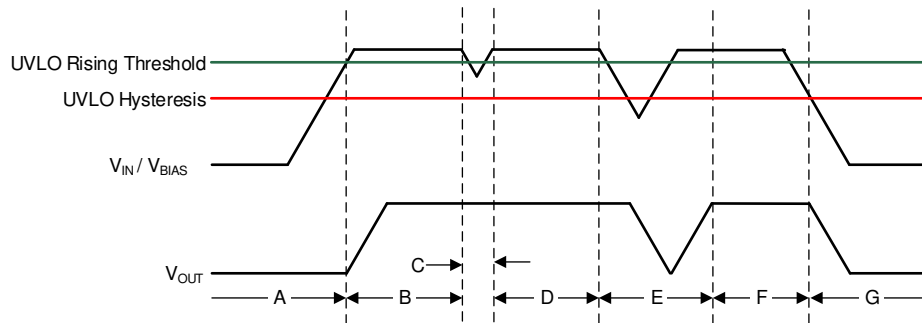


図 7-2. V_{IN} または V_{BIAS} UVLO 回路の代表的な動作

7.1.8 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの電力消費、プリント回路基板 (PCB) 上の回路の位置、および熱プレーンの正しいサイズを適切に考慮する必要があります。レギュレータ周囲の PCB 領域には、追加の熱ストレスを引き起こす他の発熱デバイスをできる限り配置しないようにする必要があります。

式 2 で、特定のパッケージでのデバイスの最大許容消費電力を計算します:

$$P_{D-MAX} = [(T_J - T_A) / R_{\theta JA}] \quad (2)$$

式 3 は、デバイスで実際に消費される電力を表します:

$$P_D = [(I_{GND(IN)} + I_{IN}) \times V_{IN} + I_{GND(BIAS)} \times V_{BIAS}] - (I_{OUT} \times V_{OUT}) \quad (3)$$

負荷電流が $I_{GND(IN)}$ と $I_{GND(BIAS)}$ をはるかに上回る場合、式 3 は次のように単純化されます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (4)$$

システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。適切に選択することで、入出力電圧差の最小値が得られます。TPS7A15 のドロップアウトが小さいため、広い範囲の出力電圧にわたって最大の効率を実現します。

デバイスの主な熱伝導経路は、周囲温度およびダイ接合部から周囲空気までの各インターフェイスにおける熱抵抗に依存します。

最大消費電力により、デバイスの最大許容接合部温度 (T_J) が決まります。式 5 によれば、最大消費電力と接合部温度は、PCB とデバイス パッケージを組み合わせた接合部から周囲への熱抵抗 ($R_{\theta JA}$)、および周囲空気の温度 (T_A) に最も関連します。式 6 では、この式が出力電流用に変形されています。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (5)$$

$$I_{OUT} = (T_J - T_A) / [R_{\theta JA} \times (V_{IN} - V_{OUT})] \quad (6)$$

残念ながら、この熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に組み込まれている熱拡散能力に大きく依存するため、合計の銅箔面積、銅箔の重量、およびプレーンの位置によって変化します。熱に関する情報 テーブルに記録されている $R_{\theta JA}$ は JEDEC 規格、PCB、銅の拡散領域によって決まり、パッケージの放熱性能の相対的な単位としてのみ使用されます。適切に設計された熱レイアウトの場合、 $R_{\theta JA}$ は実際には、YCK パッケージの接合部からケース (底面) までの熱抵抗 ($R_{\theta JC(bot)}$) と PCB 銅による熱抵抗の寄与の合計になります。

7.1.9 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にある LDO の接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は、厳密には熱抵抗ではありませんが、接合部温度を実用的かつ相対的に推定する手段として用いられます。これらの psi 指標は、銅の広がり面積に対して大きく影響を受けないことが確認されています。主要な熱特性指標 (Ψ_{JT} および Ψ_{JB}) は、式 7 に従って使用され、電気的特性 表に示されています。

$$\begin{aligned} \Psi_{JT}: T_J &= T_T + \Psi_{JT} \times P_D \text{ and} \\ \Psi_{JB}: T_J &= T_B + \Psi_{JB} \times P_D \end{aligned} \quad (7)$$

ここで

- P_D は、式 3 および 消費電力 (P_D) セクションで説明されているように、消費される電力です
- T_T は、デバイス パッケージの中央上部の温度
- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

7.1.10 連続動作の推奨領域

LDO の動作領域は、ドロップアウト電圧、出力電流、接合部温度、入力電圧によって制限されます。リニア レギュレータの連続動作に推奨される領域は 図 7-3 に示されており、次の領域に分類できます。

- ドロップアウト電圧は、所定の出力電流レベルにおける入力と出力 ($V_{IN} - V_{OUT}$) 間の最小差電圧を制限します。詳細は [ドロップアウト モード](#) セクションを参照してください。
- 定格出力電流は、推奨される最大出力電流レベルを制限します。この定格を超えると、デバイスが仕様外になります。
- 定格接合部温度によって、デバイスの最大接合部温度が制限されます。この定格を超えると、デバイスが仕様の範囲外になり、長期的な信頼性が低下します。

- 図 7-3 では、傾きの形状を確認できます。傾きが非線形になるのは、LDO の最大定格接合温度が LDO 全体での電力損失によって制御されるためです。したがって、 $V_{IN} - V_{OUT}$ が増加すると出力電流が減少する必要があります。
- 定格入力電圧範囲によって、 $V_{IN} - V_{OUT}$ の最小値と最大値の両方が決まります。

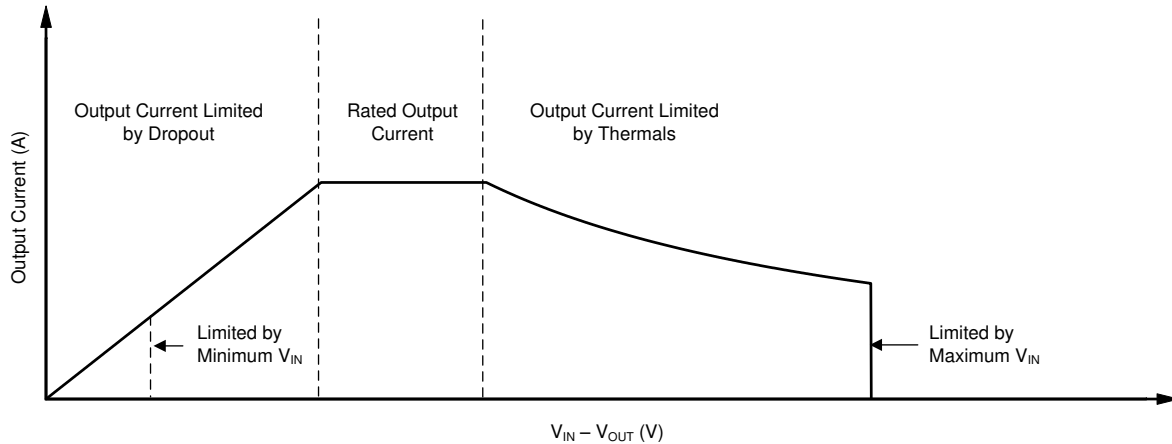


図 7-3. 領域の説明を記載した連続動作の図

7.2 代表的なアプリケーション

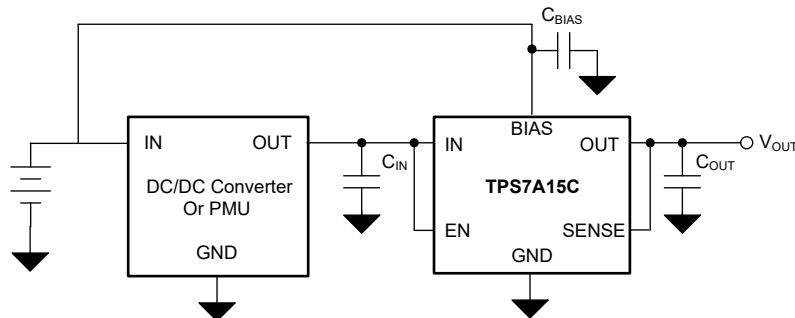


図 7-4. 再充電可能なバッテリーからの高効率電源

7.2.1 設計要件

表 7-1 には、この設計例のパラメータが示されています。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
V_{IN}	1.05V
V_{BIAS}	2.4V ~ 5.5V
V_{OUT}	0.9V
I_{OUT}	350mA

7.2.2 詳細な設計手順

この設計例は、さまざまなポータブル アプリケーションの構成要素として用いられる充電式バッテリーによって駆動されます。ノイズに敏感なポータブル電子機器では、電源に効率的で小型の設計が求められます。従来の LDO は、TPS7A15C などの低入力、低出力電圧 (LILO) LDO と比べて低い効率であることが知られています。TPS7A15C にバ

イアス レールを使用すると、デバイスは低い入力電圧で動作できるため、パストランジスタの両端の電圧降下が減少して、デバイスの効率を最大限に高められます。電圧降下が小さいため、LDO の効率は DC/DC コンバータの効率を近似できます。は、この設計の効率を計算します。

$$\text{Efficiency} = \eta = P_{\text{OUT}} / P_{\text{IN}} \times 100\% = (V_{\text{OUT}} \times I_{\text{OUT}}) / (V_{\text{IN}} \times I_{\text{IN}} + V_{\text{BIAS}} \times I_{\text{BIAS}}) \times 100\% \quad (8)$$

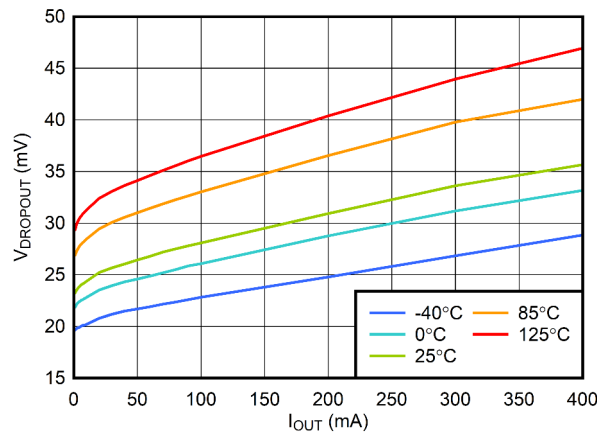
設計例における負荷電流がバイアス レールの静止電流よりもはるかに大きいため、は 式 9 に低減されます。

$$\text{Efficiency} = \eta = (V_{\text{OUT}} \times I_{\text{OUT}}) / (V_{\text{IN}} \times I_{\text{IN}}) \times 100\% \quad (9)$$

この設計例では、0.9V 出力バージョン (TPS7A15C09) を選択します。公称 1.05V の入力電源は、バッテリーに接続された DC/DC コンバータから供給されます。最小 1.0 μ F の入力コンデンサを使用して、1.05V のソースと LDO 入力との間の抵抗およびインダクタンスの影響を最小限に抑えます。安定性と優れた負荷過渡応答を実現するために、最小 2.2 μ F の出力コンデンサを使用します。

ドロップアウト電圧 (VDO) は、0.9V の出力電圧と 400mA 出力電流で最大 80mV 未満なので、最小入力電圧 1.0V と最大出力電流 200mA でのドロップアウトの問題はありません。さらに、TPS7A15C は、入力電圧が出力電圧より 100mV 以上高い限り、主要な仕様を満たすように設計されています。

7.2.3 アプリケーション曲線



$$V_{\text{BIAS}} = V_{\text{OUT(NOM)}} + 1.4\text{V}, V_{\text{EN}} = V_{\text{IN}}, C_{\text{IN}} = 1\mu\text{F}, C_{\text{OUT}} = 1\mu\text{F}, C_{\text{BIAS}} = 0.1\mu\text{F}$$

図 7-5. V_{IN} ドロップアウト電圧と I_{OUT} との関係

7.3 電源に関する推奨事項

本 LDO は、0.7V ~ 2.2V の入力電圧および 2.2V ~ 5.5V のバイアス電源電圧で動作するように設計されています。入力電源およびバイアス電源が良好なレギュレーションで、不要なノイズが含まれていないようにしてください。出力電圧が良好なレギュレーションで、動的性能が最適になるように、入力電源を少なくとも V_{OUT(nom)} + V_{DO} および V_{BIAS} = V_{OUT(nom)} + V_{DO(BIAS)} にしてください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

プリント基板 (PCB) を正しくレイアウトするためには、以下のガイドラインに従ってください:

- 入力、出力、およびバイアス用のコンデンサは、できるだけデバイスの近くに配置します
- 放熱性能を最適化するため、デバイス接続に銅プレーンを使用します
- デバイスの周囲にサーマルビアを配置して、熱を分散させます

7.4.2 レイアウト例

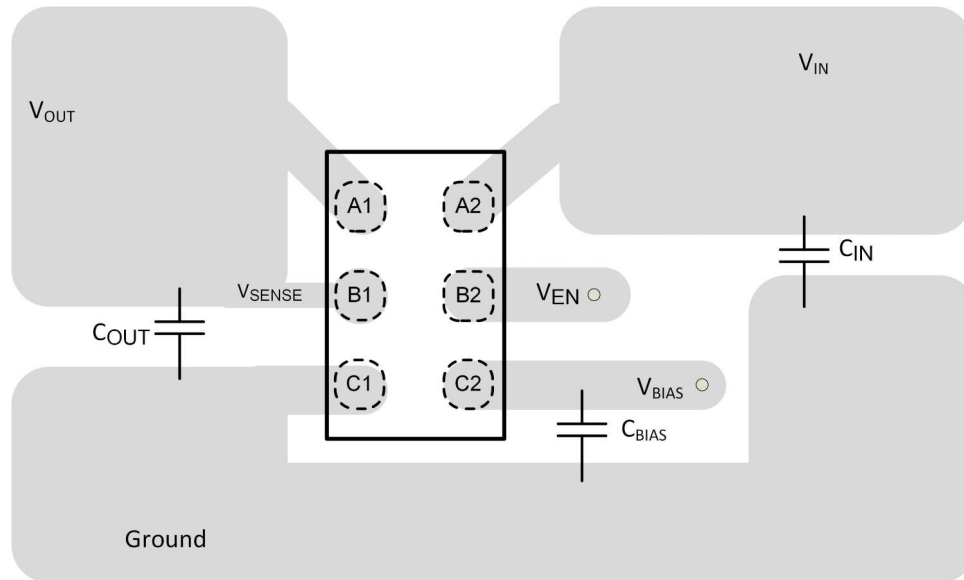


図 7-6. 推奨レイアウト (YCK パッケージ)

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 評価基板

TPS7A15 または TPS7A15C を使用した初期の回路性能評価には、評価基板 (EVM) を利用できます。この評価基板はテキサス インスツルメンツの Web サイトの [プロダクト フォルダ](#) から請求、または TI eStore から直接お求めになれます。

8.1.2 デバイスの命名規則

表 8-1. デバイスの命名規則 (1) (2)

製品名	説明
TPS7A15Cxx(x)(P)jyyyz	<p>xx(x) は公称出力電圧です。注文番号には 2 桁以上の数字が使用されます (例: 09 = 0.9V、95 = 0.95V、125 = 1.25V)。</p> <p>P はアクティブ プルダウンを示します。P がいない場合、そのデバイスにはアクティブ プルダウン機能がありません。</p> <p>yyy はパッケージ指定子です。</p> <p>z はパッケージ数量です。R はリール (YBK パッケージで 12000 ピース) を表します。</p>

- (1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。
- (2) 出力電圧は、0.5V から 2.0V まで、25mV 刻みで設定できます。詳細と入手可能性については、TI にお問い合わせください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、[『新しい熱評価基準の解説』アプリケーション ノート](#)
- テキサス インスツルメンツ、[『AN-1112 DSBGA ウェハー レベルのチップ スケール パッケージ』アプリケーション レポート](#)
- テキサス・インスツルメンツ、[TPS7A15EVM-096 評価基板ユーザー ガイド](#)

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

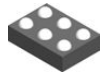
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
March 2026	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

10.1 メカニカル データ

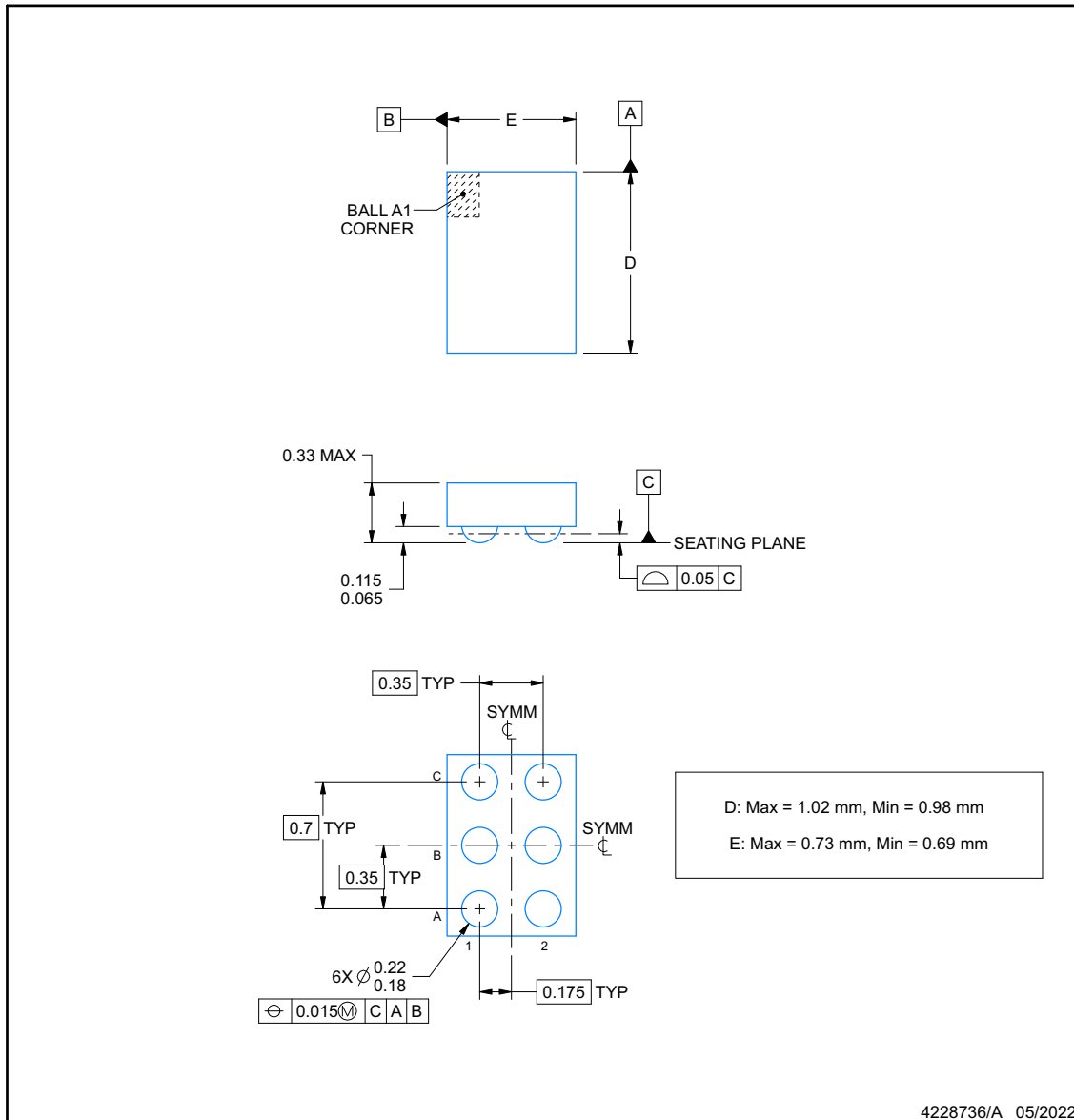


PACKAGE OUTLINE

YCK0006-C02

DSBGA - 0.33 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

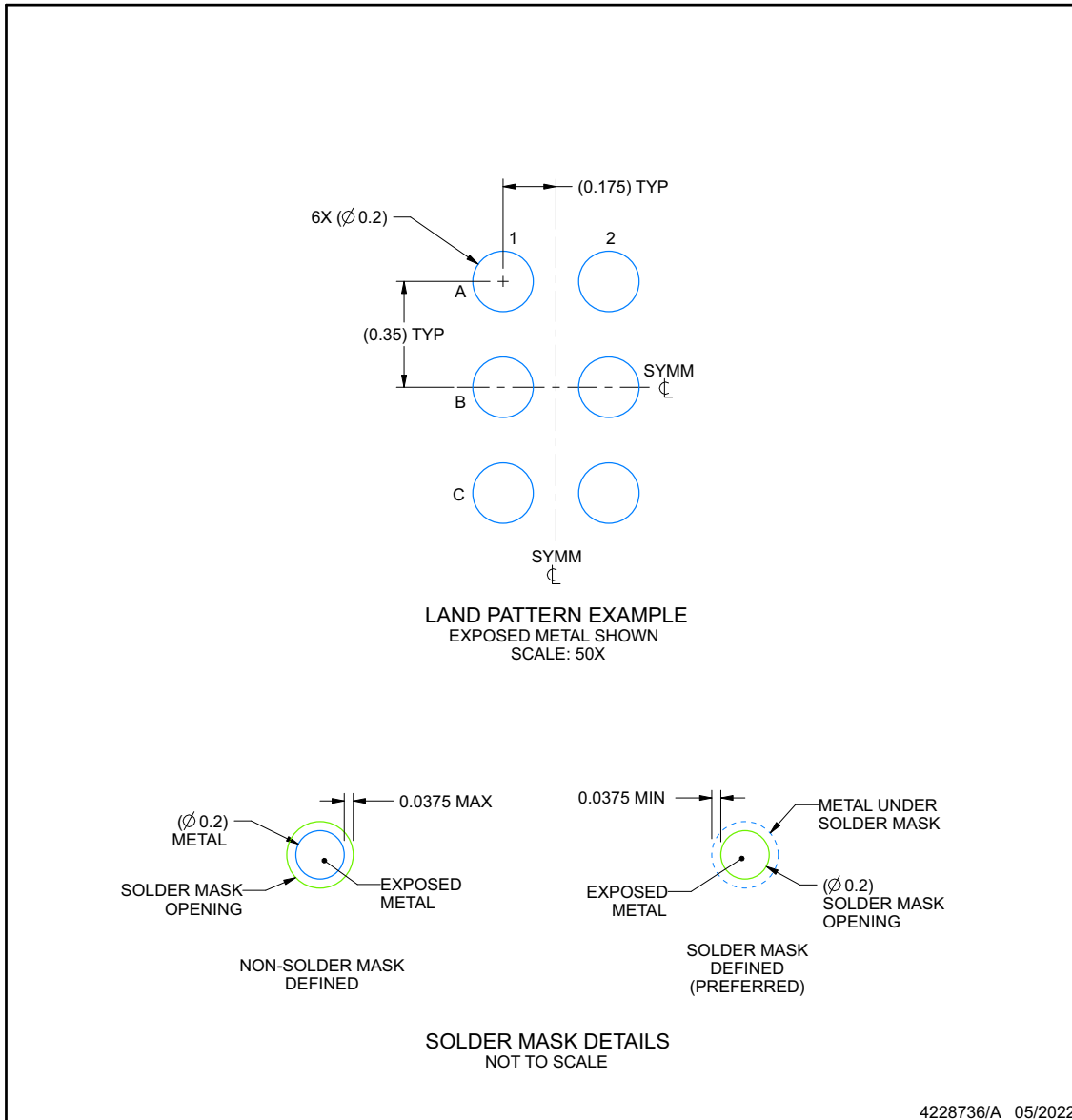
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

YCK0006-C02

DSBGA - 0.33 mm max height

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

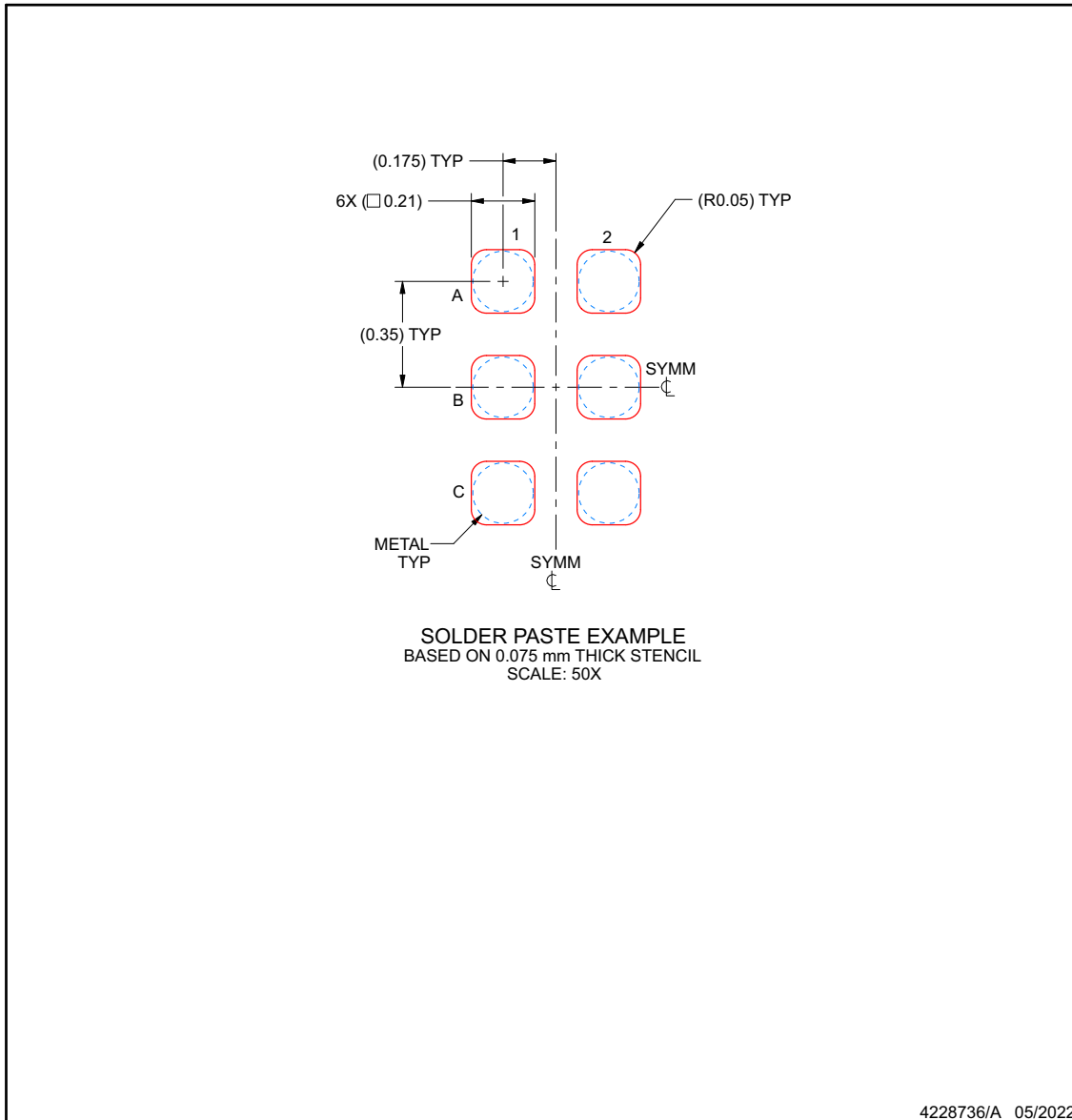
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YCK0006-C02

DSBGA - 0.33 mm max height

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7A15C08PYCKR	Active	Production	DSBGA (YCK) 6	12000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	TU
TPS7A15C09PYCKR	Active	Production	DSBGA (YCK) 6	12000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	TV

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

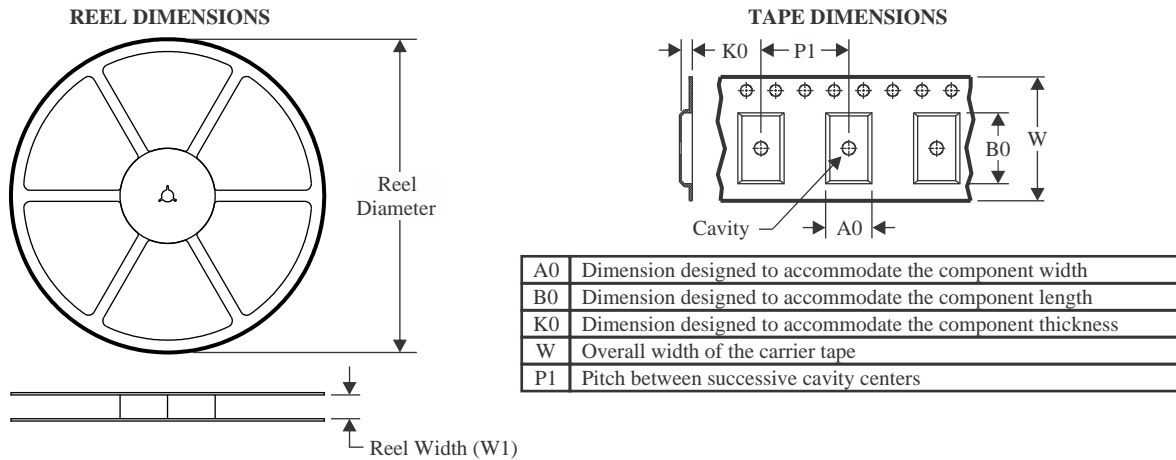
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7A15C08PYCKR	DSBGA	YCK	6	12000	180.0	8.4	0.8	1.1	0.34	2.0	8.0	Q1
TPS7A15C09PYCKR	DSBGA	YCK	6	12000	180.0	8.4	0.8	1.1	0.34	2.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7A15C08PYCKR	DSBGA	YCK	6	12000	182.0	182.0	20.0
TPS7A15C09PYCKR	DSBGA	YCK	6	12000	182.0	182.0	20.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月