

## TPS7N41Q1 低ノイズ、高 PSRR、1A LDO

### 1 機能

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:  $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
  - 接合部温度:  $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$
- 可変出力電圧:  $0.8\text{V} \sim 5.5\text{V}$
- 入力電圧範囲:  $1.9\text{V} \sim 6.0\text{V}$
- 高 PSRR:
  - 1kHz 時に 75dB
  - 100kHz 時に 50dB
  - 1MHz 時に 50dB
- 低ノイズ:  $8\mu\text{V}_{\text{RMS}}$ 、NR コンデンサ不要
- 低ドロップアウト電圧: 1A 時に 250mV
- 負荷、ライン、温度の各範囲にわたって 2% の精度
- $4.7\mu\text{F}$  出力コンデンサで安定
- 非常に優れた負荷 / ライン過渡応答
- 過電流と過熱からの保護
- パッケージ:
  - 3mm x 3mm ウェットダブル フランク SON-8

### 2 アプリケーション

- 車載ヘッドユニット
- インストルメント クラスタ
- 車載用レーダー
- テレマティクス

### 3 説明

TPS7N41Q1 低ドロップアウトリニアレギュレータ (LDO) は、非常に優れたノイズ性能と電源除去比 (PSRR) 性能を備えています。この LDO は先進の BiCMOS プロセスと PMOSFET パス デバイスを使用して、優れたノイズ、過渡応答、PSRR 性能を実現しています。

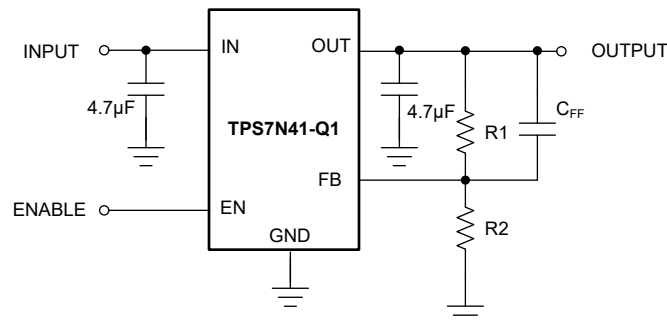
TPS7N41Q1 は  $4.7\mu\text{F}$  の出力コンデンサで安定します。LDO は高精度の電圧リファレンスと帰還ループにより、すべての負荷、ライン、製造プロセス、温度変化に対して  $\pm 2\%$  の精度を達成できます。

LDO では動作時の接合部温度範囲  $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$  が規定されています。このデバイスはウェットダブル フランク付きの  $3\text{mm} \times 3\text{mm}$  の SON-8 パッケージで供給されます。

#### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TPS7N41Q1	DRB (SON, 8)	3mm x 3mm

- 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)をご覧ください。
- パッケージ サイズ (長さ x 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路



## 目次

<b>1 機能</b> .....	<b>1</b>	<b>7 アプリケーションと実装</b> .....	<b>13</b>
<b>2 アプリケーション</b> .....	<b>1</b>	7.1 使用上の注意.....	13
<b>3 説明</b> .....	<b>1</b>	7.2 代表的なアプリケーション.....	15
<b>4 ピン構成および機能</b> .....	<b>3</b>	7.3 電源に関する推奨事項.....	15
<b>5 仕様</b> .....	<b>4</b>	7.4 レイアウト.....	17
5.1 絶対最大定格.....	4	<b>8 デバイスおよびドキュメントのサポート</b> .....	<b>18</b>
5.2 ESD 定格.....	4	8.1 デバイス サポート.....	18
5.3 推奨動作条件.....	4	8.2 ドキュメントのサポート.....	18
5.4 熱に関する情報.....	5	8.3 ドキュメントの更新通知を受け取る方法.....	18
5.5 電気的特性.....	5	8.4 サポート・リソース.....	18
5.6 代表的特性.....	7	8.5 商標.....	18
<b>6 詳細説明</b> .....	<b>10</b>	8.6 静電気放電に関する注意事項.....	18
6.1 概要.....	10	8.7 用語集.....	18
6.2 機能ブロック図.....	10	<b>9 改訂履歴</b> .....	<b>19</b>
6.3 機能説明.....	10	<b>10 メカニカル、パッケージ、および注文情報</b> .....	<b>19</b>
6.4 デバイスの機能モード.....	12		

## 4 ピン構成および機能

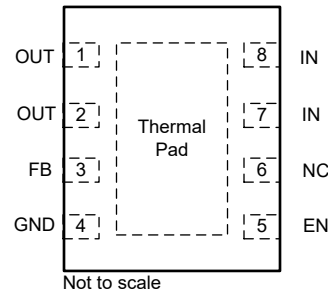


図 4-1. DRB パッケージ、3mm × 3mm、8 ピン SON (上面図)

表 4-1. ピンの機能

ピン		タイプ <sup>(1)</sup>	説明
名称	DRB		
EN	5	I	イネーブル入力。このピンが低電圧 (<math>V_{IL(EN)}</math> 未満) になると、レギュレータがオフになり、出力ピンが GND に放電されます。このピンが高電圧 (<math>V_{IH(EN)}</math> 超) になると、レギュレータ出力が有効になります。
FB	3	I	帰還入力。外部帰還分圧抵抗の midpoint をこの入力に接続します。
GND	4	G	グラウンド。
IN	7, 8	I	入力電源電圧。最高の過渡応答を実現して入力インピーダンスを最小化するには、公称値またはそれ以上に大きい値のコンデンサを IN とグラウンドの間に接続します。推奨動作条件を参照してください。入力コンデンサは、デバイスの IN ピンと GND ピンにできる限り近づけて配置してください。
NC	6	—	内部で電氣的に接続されていません。放熱性能を向上させるために、GND に接続します。
OUT	1, 2	O	レギュレートされた出力電圧。安定動作のため、OUT からグラウンドへの等価直列抵抗 (ESR) の小さいコンデンサが必要です。最高の過渡応答を実現するには 推奨動作条件 に記載されている公称推奨値またはそれ以上の値のセラミック コンデンサを接続します。出力コンデンサは、デバイスの OUT ピンと GND ピンにできる限り近づけて配置してください。
サーマル パッド	5	—	DRB パッケージ用のサーマル パッド。最高の放熱性能を得るため、サーマル パッドは大面積のグラウンド プレーンに接続します。GND に接続しない場合は、サーマル パッドを取り外すことができます。GND 以外の電位には接続しないでください。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グラウンド。

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
電圧	IN, EN	-0.3	6.5	V
電圧	OUT	-0.3	$V_{IN} + 0.3^{(2)}$	V
電圧	FB	-0.3	3.6	V
電流	OUT	内部的に制限	内部的に制限	A
$T_J$	動作時接合部温度	-55	150	°C
$T_{stg}$	保存温度	-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

(2) 絶対最大定格は  $V_{IN} + 0.3V$  または  $6.5V$  のどちらか小さい方です。

### 5.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	±2000
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠、すべてのピン <sup>(2)</sup>	±750

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。[次の文はオプション、wiki を参照。]必要な予防措置をとれば、HBM の ESD 耐圧が 500V 未満でも製造可能です。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
$V_{IN}$	入力電源電圧範囲	1.9		6.0	V
$V_{OUT}$	出力電圧範囲 <sup>(1)</sup>	0.8		5.5	V
$V_{EN}$	イネーブル電圧範囲	0		6.0	V
$V_{FB}$	フィードバックピンの電圧		0.8		V
$R_2$	可変動作帰還回路の下側抵抗値		10	15 <sup>(2)</sup>	kΩ
$I_{OUT}$	出力電流	0		1	A
$C_{IN}$	入力コンデンサ	4.7 <sup>(3)</sup>			μF
$C_{OUT}$	出力コンデンサ	4.7 <sup>(4)</sup>		100	μF
$C_{FF}$	フィードフォワードコンデンサ	10	470		nF
ESR	出力コンデンサの実効抵抗			50	mΩ
$T_J$	動作時接合部温度	-40		150	°C

(1) この出力電圧範囲には、帰還抵抗の精度または精度は含まれていません。

(2)  $R_2$  抵抗の上限は、帰還回路を流れる電流を帰還ノードへのリーク電流よりもはるかに大きくすることで精度を高めるためのものです。

(3) LDO の安定性のために、入力コンデンサは必要ありません。ただし、ソース抵抗とインダクタンスの影響を打ち消すために、出力コンデンサの値以上の入力コンデンサを推奨します。特に負荷過渡現象がある場合には、ソース抵抗とインダクタンスにより、リングングや発振などシステムレベルの不安定性の症状が発生する可能性があります。

- (4) 安定性のため、すべての温度および電圧条件にわたって、最小 2.2 $\mu$ F、最大 100 $\mu$ F の実効出力容量が必要です。標準的なコンデンサのディレーティングが 50% であると仮定すると、C<sub>OUT</sub> の公称値は 4.7 $\mu$ F 以上になります。

## 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		デバイス	
		DRB (VSON)	
		8ピン	
			単位
R <sub>θJA</sub>	接合部から周囲への熱抵抗	53.8	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	72.4	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	26.5	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	4.7	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	26.4	°C/W
R <sub>θJC(bot)</sub>	接合部からケース (底面) への熱抵抗	7.9	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

## 5.5 電気的特性

動作接合部温度範囲 (T<sub>J</sub> = -40°C ~ +150°C)、V<sub>IN</sub> = 1.9V または V<sub>IN</sub> = V<sub>OUT(NOM)</sub> + 0.5V (いずれか大きい方)、V<sub>OUT(NOM)</sub> = 0.8V、I<sub>OUT</sub> = 1mA、V<sub>EN</sub> = 1.0V、C<sub>IN</sub> = 4.7 $\mu$ F、C<sub>OUT</sub> = 4.7 $\mu$ F、C<sub>FF</sub> = 10nF、特に記述のない限り。標準値は T<sub>J</sub> = 25°C時に測定。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V <sub>FB</sub>	帰還電圧			0.8			V
ΔV <sub>OUT</sub>	出力電圧許容誤差 <sup>(1)</sup>	V <sub>OUT(NOM)</sub> + 0.5V ≤ V <sub>IN</sub> ≤ 6.0V	V <sub>IN</sub> ≥ 1.9V、1mA ≤ I <sub>OUT</sub> ≤ 500mA	-2	2		%
			V <sub>IN</sub> ≥ 2.2V、1mA ≤ I <sub>OUT</sub> ≤ 1A	-2	2		%
ΔV <sub>OUT</sub> /ΔV <sub>IN</sub>	ラインレギュレーション	V <sub>OUT(NOM)</sub> + 0.5V ≤ V <sub>IN</sub> ≤ 6.0V	V <sub>IN</sub> ≥ 1.9V、I <sub>OUT</sub> = 1mA	460			μV/V
ΔV <sub>OUT</sub> /ΔI <sub>OUT</sub>	ロードレギュレーション	1mA ≤ I <sub>OUT</sub> ≤ 1A、V <sub>IN</sub> ≥ 1.9V		4			mV/A
V <sub>DO</sub>	ドロップアウト電圧	V <sub>FB</sub> = GND、I <sub>OUT</sub> = 1A	1.9V ≤ V <sub>IN</sub> < 2.5V	500	1000		mV
			2.5V ≤ V <sub>IN</sub> < 3.0V	260	500		mV
			V <sub>IN</sub> ≥ 3.0V	250	400		mV
I <sub>CL</sub>	出力電流制限	V <sub>OUT</sub> = 0.85 × V <sub>OUT(NOM)</sub> 、V <sub>IN</sub> = V <sub>OUT(NOM)</sub> + 0.5V または 2.2V、いずれか大きい方。		1.1	2.0	2.7	A
I <sub>SC</sub>	回路短絡時の電流制限	R <sub>LOAD</sub> = 20mΩ		0.95			
I <sub>GND</sub>	GNDピン電流	I <sub>OUT</sub> = 0mA、V <sub>IN</sub> = V <sub>EN</sub> = 6.0V		30	59		μA
I <sub>GND</sub>	GNDピン電流	I <sub>OUT</sub> = 1A		3000	4700		
I <sub>SD</sub>	シャットダウンでのGNDピン電流	V <sub>IN</sub> = 6.0V、V <sub>EN</sub> = 0V、R <sub>L</sub> = 1kΩ		0.8	19		
I <sub>FB</sub>	FBピンのリーク電流	V <sub>IN</sub> = 6.0V、V <sub>FB</sub> = 0.8V		100			nA
PSRR	電源除去比	V <sub>IN</sub> = 4.3V、V <sub>OUT</sub> = 3.3V、C <sub>FF</sub> = 470nF、C <sub>OUT</sub> = 10μF、I <sub>OUT</sub> = 750mA	f = 1kHz	75			dB
			f = 10kHz	70			
			f = 100kHz	50			
			f = 1MHz	50			
V <sub>n</sub>	出力ノイズ電圧	帯域幅 = 10Hz ~ 100kHz、I <sub>OUT</sub> = 750mA、C <sub>FF</sub> = 470nF、C <sub>OUT</sub> = 10μF	V <sub>IN</sub> = 2.2V、V <sub>OUT</sub> = 0.8V	8			μV <sub>RMS</sub>
			V <sub>IN</sub> = 4.3V、V <sub>OUT</sub> = 3.3V	9			

## 5.5 電気的特性 (続き)

動作接合部温度範囲 ( $T_J = -40^\circ\text{C} \sim +150^\circ\text{C}$ )、 $V_{IN} = 1.9\text{V}$  または  $V_{IN} = V_{OUT(NOM)} + 0.5\text{V}$  (いずれか大きい方)、 $V_{OUT(NOM)} = 0.8\text{V}$ 、 $I_{OUT} = 1\text{mA}$ 、 $V_{EN} = 1.0\text{V}$ 、 $C_{IN} = 4.7\mu\text{F}$ 、 $C_{OUT} = 4.7\mu\text{F}$ 、 $C_{FF} = 10\text{nF}$ 、特に記述のない限り。標準値は  $T_J = 25^\circ\text{C}$ 時に測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{IH(EN)}$	EN ピンの High レベル入力電圧 (イネーブル デバイス)		0.95	6.0		V
$V_{IL(EN)}$	EN ピンの Low レベル入力電圧 (ディセーブル デバイス)		0	0.23		V
$I_{EN}$	EN ピン電流	$V_{IN} = 6.0\text{V}$ 、 $V_{EN} = 0\text{V}$ および $6.0\text{V}$			1	$\mu\text{A}$
$V_{UVLO+}$	低電圧誤動作防止のスレッシュホールド	$V_{IN}$ 立ち上がり	0.99	1.39	1.81	V
$V_{UVLO-}$		$V_{IN}$ 立ち下がり	0.96	1.34	1.75	
$V_{UVLO(HYST)}$	低電圧ロックアウトヒステリシス			45		mV
$T_{sd+}$	サーマルシャットダウン温度上昇	シャットダウン、温度上昇		165		$^\circ\text{C}$
$T_{sd-}$	サーマルシャットダウン温度下降	リセット、温度低下		140		$^\circ\text{C}$
$t_{ST}$	起動時間	$V_{OUT(nom)} = 3.3\text{V}$ 、 $C_{FF} = 10\text{nF}$ 、 $EN > V_{IL}$ から $V_{OUT} = 90\%$ $V_{OUT(nom)}$ までの時間		800		$\mu\text{s}$

- (1) 外部抵抗の許容誤差は含まれていません。 $V_{OUT} = 0.8\text{V}$ 、 $4.5\text{V} \leq V_I \leq 6.0\text{V}$  および  $750\text{mA} \leq I_{OUT} \leq 1\text{A}$  は、消費電力がパッケージの最大定格を上回っているためテストされていません。

## 5.6 代表的特性

$V_{IN} = V_{OUT(NOM)} + 0.5V$  or  $1.9V$  (いずれか大きい方)、 $V_{OUT(NOM)} = 0.8V$ 、 $V_{EN} = 1V$ 、 $I_{OUT} = 1mA$ 、 $C_{IN} = 4.7\mu F$ 、 $C_{OUT} = 4.7\mu F$ 、 $C_{FF} = 10nF$ 、 $T_A = 25^\circ C$  (特に記述のない限り)

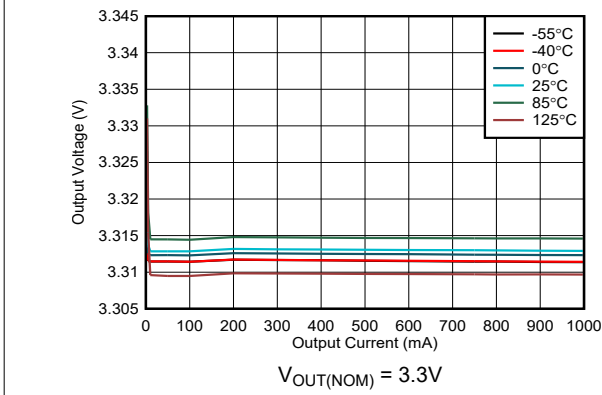


図 5-1. ロードレギュレーション

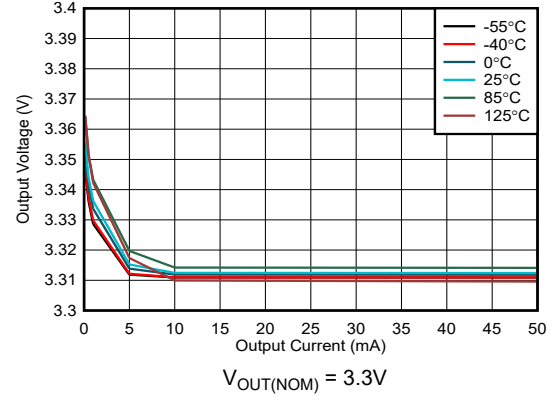


図 5-2. 軽負荷時の負荷レギュレーション

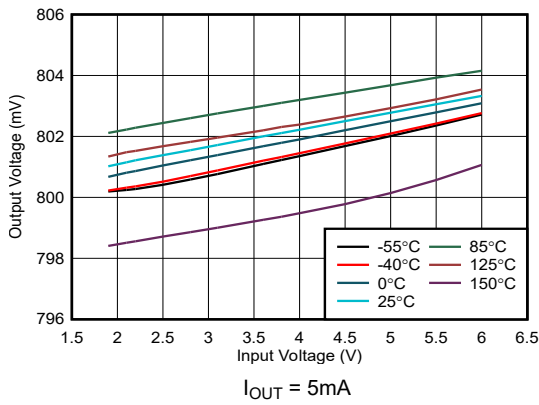


図 5-3. ラインレギュレーション

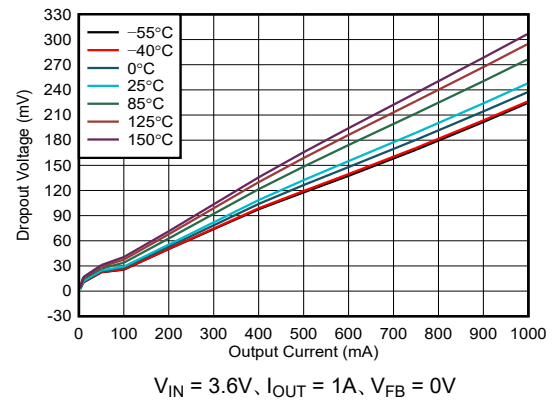


図 5-4. ドロップアウト電圧と負荷電流との関係

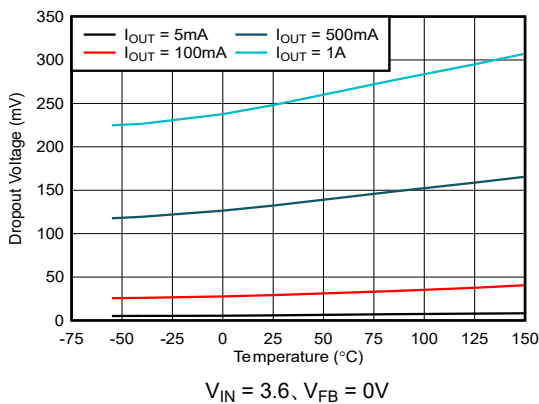


図 5-5. ドロップアウト電圧 vs 温度

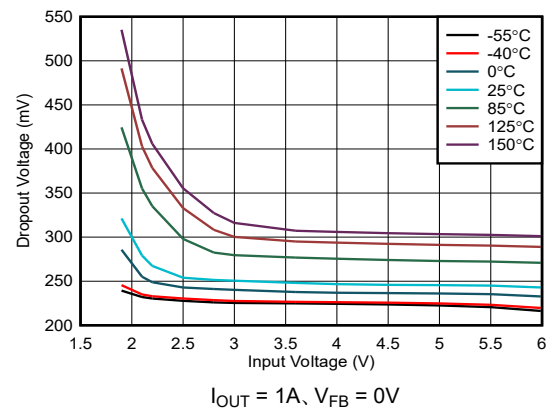
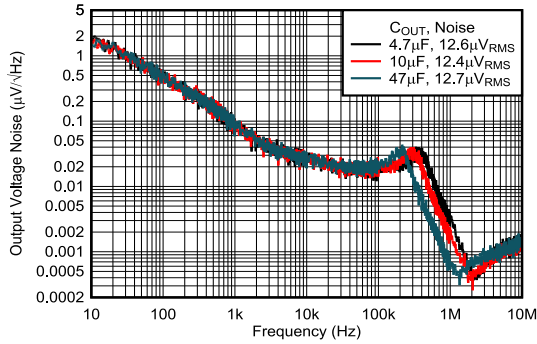


図 5-6. ドロップアウト電圧と入力電圧との関係

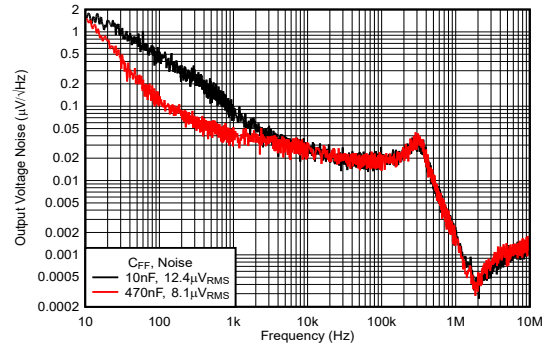
## 5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.5V$  or  $1.9V$  (いずれか大きい方)、 $V_{OUT(NOM)} = 0.8V$ 、 $V_{EN} = 1V$ 、 $I_{OUT} = 1mA$ 、 $C_{IN} = 4.7\mu F$ 、 $C_{OUT} = 4.7\mu F$ 、 $C_{FF} = 10nF$ 、 $T_A = 25^\circ C$  (特に記述のない限り)



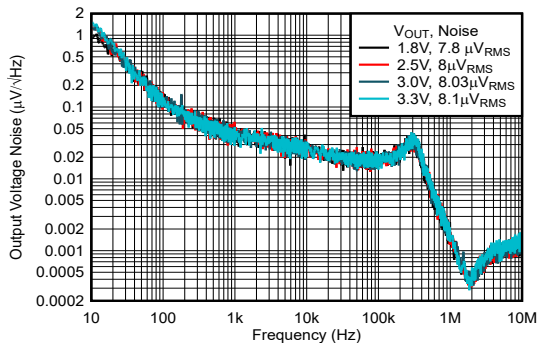
$C_{IN} = 10\mu F$ 、 $I_{OUT} = 100mA$ 、 $V_{OUT(NOM)} = 3.3V$

図 5-7. 出力ノイズスペクトル密度と周波数との関係



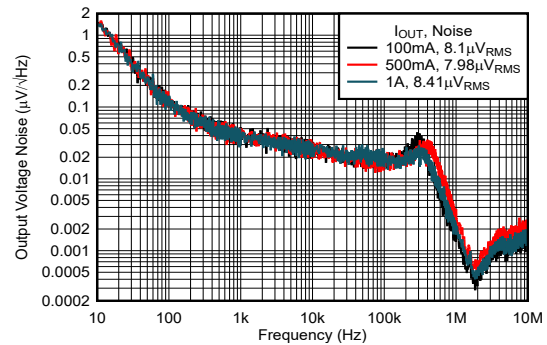
$C_{IN} = C_{OUT} = 10\mu F$ 、 $I_{OUT} = 100mA$ 、 $V_{OUT(NOM)} = 3.3V$

図 5-8. 出力ノイズスペクトル密度と周波数との関係



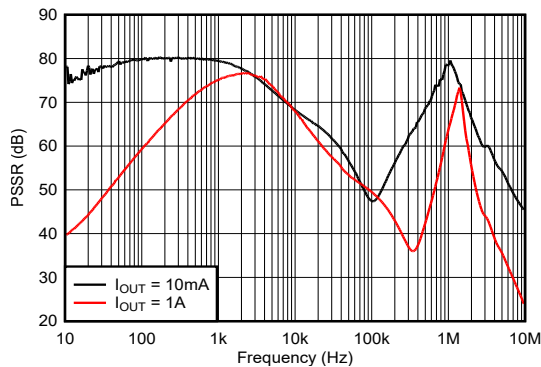
$C_{IN} = C_{OUT} = 10\mu F$ 、 $C_{FF} = 470nF$ 、 $I_{OUT} = 100mA$

図 5-9. 出力ノイズスペクトル密度と周波数との関係



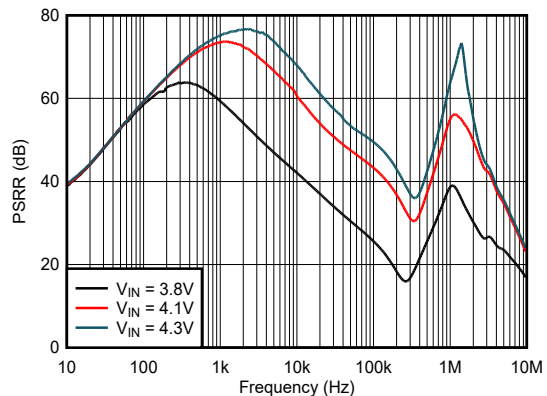
$C_{IN} = C_{OUT} = 10\mu F$ 、 $C_{FF} = 470nF$ 、 $V_{OUT(NOM)} = 3.3V$

図 5-10. 出力ノイズスペクトル密度と周波数との関係



$C_{OUT} = 10\mu F$ 、 $C_{FF} = 470nF$ 、 $V_{IN} = 4.3V$ 、 $V_{OUT(NOM)} = 3.3V$

図 5-11. PSRR と周波数との関係



$C_{OUT} = 10\mu F$ 、 $C_{FF} = 470nF$ 、 $I_{OUT} = 1A$ 、 $V_{OUT(NOM)} = 3.3V$

図 5-12. PSRR と周波数との関係

## 5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.5V$  or  $1.9V$  (いずれか大きい方)、 $V_{OUT(NOM)} = 0.8V$ 、 $V_{EN} = 1V$ 、 $I_{OUT} = 1mA$ 、 $C_{IN} = 4.7\mu F$ 、 $C_{OUT} = 4.7\mu F$ 、 $C_{FF} = 10nF$ 、 $T_A = 25^\circ C$  (特に記述のない限り)

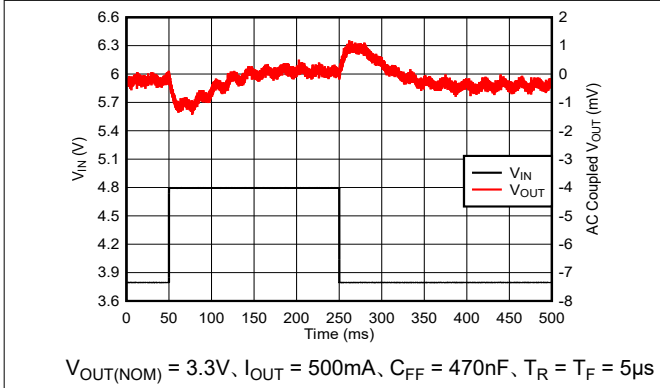


図 5-13. ライン過渡応答

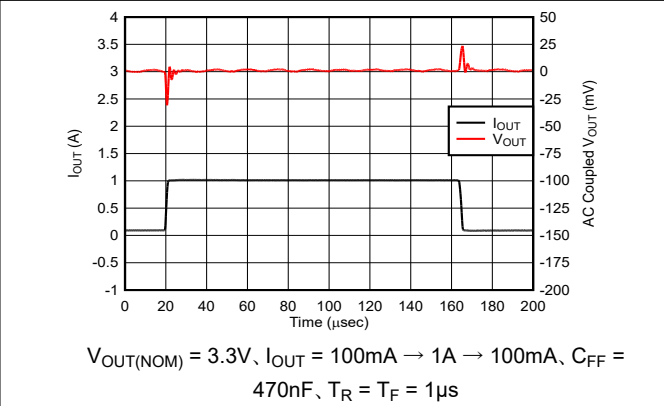


図 5-14. 負荷過渡応答

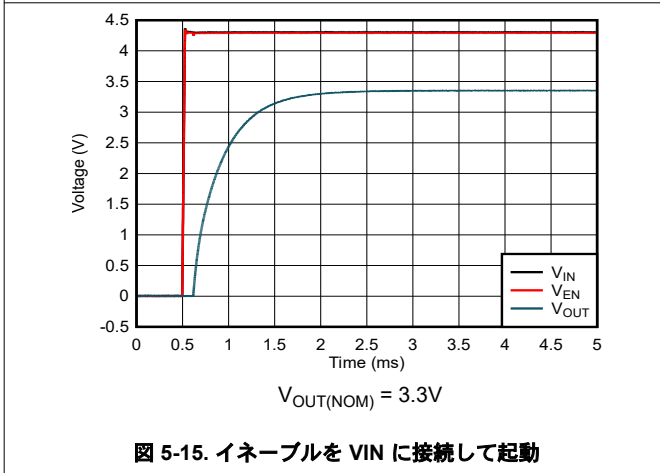


図 5-15. イネーブルを VIN に接続して起動

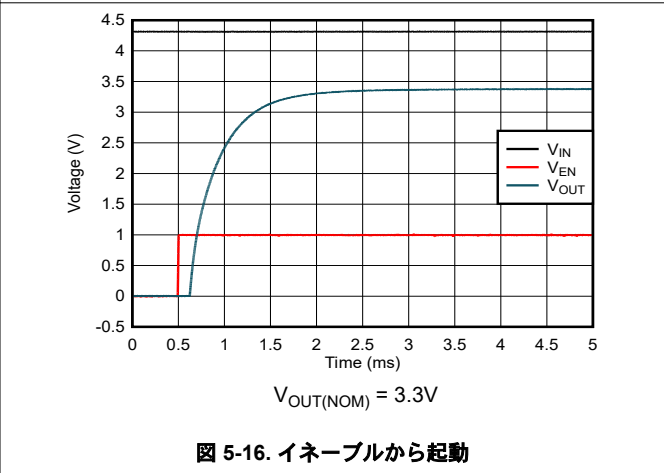


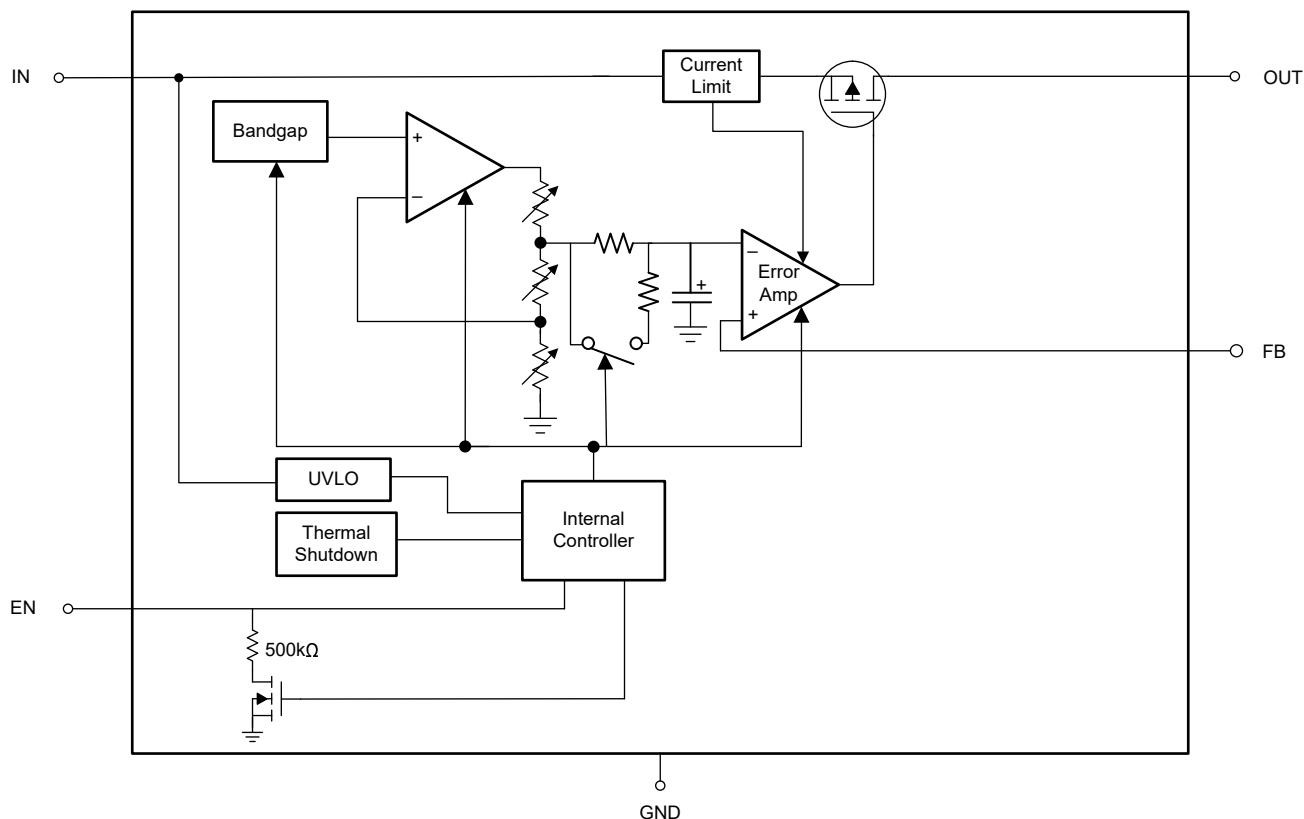
図 5-16. イネーブルから起動

## 6 詳細説明

### 6.1 概要

TPS7N41Q1 は、高 PSRR と低静止電流で最大 1A の出力電流を供給します。低ノイズを実現するためにノイズ低減コンデンサを必要としません。このレギュレータファミリは、サブバンドギャップ出力電圧、電流制限、過熱保護機能を備えており、 $-40^{\circ}\text{C} \sim 150^{\circ}\text{C}$  の温度範囲の動作が規定されています。

### 6.2 機能ブロック図



### 6.3 機能説明

#### 6.3.1 ドロップアウト電圧

ドロップアウト電圧 ( $V_{DO}$ ) は、パストラジスタが完全にオンになる定格出力電流 ( $I_{RATED}$ ) において、 $V_{IN} - V_{OUT}$  として定義されます。 $V_{IN}$  は入力電圧、 $V_{OUT}$  は出力電圧、 $I_{RATED}$  は [推奨動作条件](#) 表に記載されている最大  $I_{OUT}$  です。この動作ポイントで、パストラジスタは完全にオンに駆動されます。ドロップアウト電圧は、出力電圧がレギュレーション状態を維持すると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に規定します。入力電圧が公称出力レギュレーションよりも低下すると、出力電圧も同様に低下します。

CMOS レギュレータの場合、ドロップアウト電圧はパストラジスタのドレインソース間オン抵抗 ( $R_{DS(ON)}$ ) によって決まります。したがって、リニアレギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケールされます。以下の式を使用して、デバイスの  $R_{DS(ON)}$  を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

### 6.3.2 フォールドバック電流制限

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ブリックウォール フォールドバック方式です。フォールドバック電圧 ( $V_{FOLDBACK}$ ) では、電流制限はブリックウォール方式からフォールドバック方式に遷移します。出力電圧が  $V_{FOLDBACK}$  を上回った際の高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 ( $I_{CL}$ ) に制限されます。電圧が  $V_{FOLDBACK}$  を下回ると、フォールドバック電流制限が有効になり、出力電圧が **GND** に近付くと電流を小さくします。出力が短絡したとき、デバイスは**短絡電流制限 ( $I_{SC}$ )**と呼ばれる標準的な電流を供給します。 $I_{CL}$  と  $I_{SC}$  は、「**電気的特性**」表に記載されています。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パストランジスタは電力  $[(V_{IN} - V_{OUT}) \times I_{CL}]$  を消費します。デバイスの出力が短絡され、出力が  $V_{FOLDBACK}$  を下回ると、パストランジスタは電力  $[(V_{IN} - V_{OUT}) \times I_{SC}]$  を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、『**制限の把握**』アプリケーション ノートを参照してください。

図 6-1 は、フォールドバック電流制限の図を示しています。

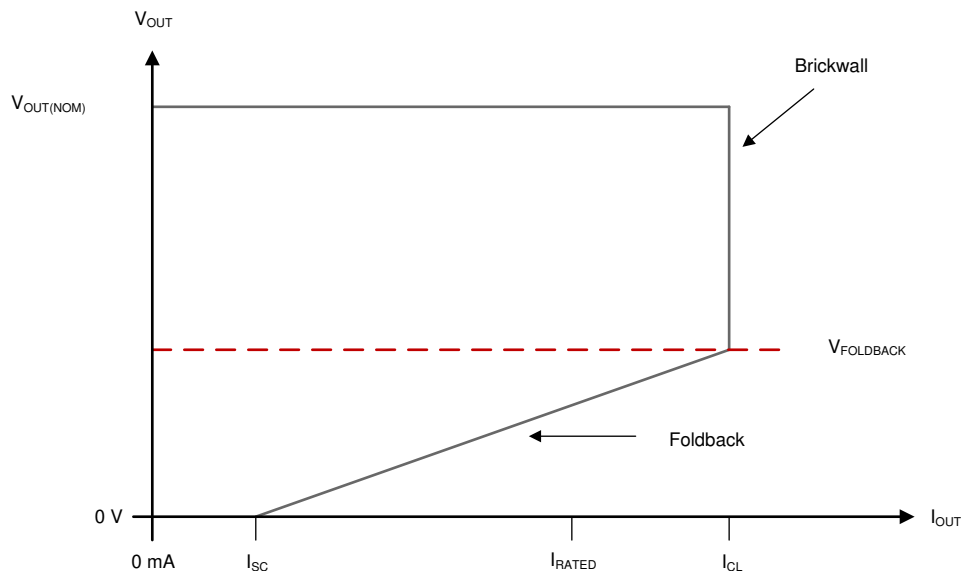


図 6-1. フォールドバック電流制限

### 6.3.3 サーマル シャットダウン

デバイスには、パストランジスタの接合部温度 ( $T_J$ ) が  $T_{SD+}$  (標準値) まで上昇したときにデバイスを無効化する、サーマル シャットダウン保護回路が内蔵されています。サーマル シャットダウン ヒステリシスにより、温度が  $T_{SD-}$  (標準値) まで低下するとデバイスがリセットされます (オンになります)。

半導体ダイの熱時定数はかなり短いです。このため、サーマル シャットダウンに達した時点で、消費電力が低下するまで、デバイスはオンとオフを繰り返します。スタートアップ時の消費電力は、デバイス両端での大きな  $V_{IN} - V_{OUT}$  電圧降下が発生するか、大きな突入電流で大容量の出力コンデンサを充電することにより高くなります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を **推奨動作条件** 表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。本デバイスの内蔵保護回路は熱過負荷状態から保護するように設計されていますが、この回路は適切なヒートシンクの代わりとなるものではありません。デバイスをサーマルシャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

## 6.4 デバイスの機能モード

表 6-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、**電気的特性** の表を参照してください。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ			
	$V_{IN}$	$V_{EN}$	$I_{OUT}$	$T_J$
通常動作	$V_{IN} > V_{OUT(nom)} + V_{DO}$ および $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{IH(EN)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ドロップアウト動作	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{IH(EN)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ディスエーブル (条件が真の場合、デバイスはディスエーブル)	$V_{IN} < V_{UVLO}$	$V_{EN} < V_{IL(EN)}$	該当なし	$T_J > T_{SD(shutdown)}$

### 6.4.1 通常動作

デバイスは、以下の条件が満たされるとき、公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の和 ( $V_{OUT(nom)} + V_{DO}$ ) よりも大きい
- 出力電流が、電流制限より小さい ( $I_{OUT} < I_{CL}$ )
- デバイスの接合部温度がサーマルシャットダウンの温度を下回っている ( $T_J < T_{SD}$ )
- イネーブル電圧が以前にイネーブル立ち上がりスレッショルド電圧を超えていて、まだイネーブル立ち下がりスレッショルドよりも低くなっていない

### 6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも低い場合、デバイスはドロップアウトモードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、デバイスの過渡性能が大きく低下します。このモード中、パストランジスタは完全にオンに駆動されます。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生する可能性があります。

デバイスが定常ドロップアウト状態であるとき、パストランジスタは完全にオンに駆動されます。定常ドロップアウト状態とは、デバイスが通常のレギュレーション状態から直接ドロップアウトになった場合ですが、スタートアップ中は異なります。ドロップアウトは、 $V_{IN} < V_{OUT(NOM)} + V_{DO}$  のときに発生します。レギュレータがドロップアウトを終了すると、入力電圧は  $\geq V_{OUT(NOM)} + V_{DO}$  の値に戻ります。この時間中、出力電圧が短時間オーバーシュートする可能性があります。 $V_{OUT(NOM)}$  は公称出力電圧、 $V_{DO}$  はドロップアウト電圧です。ドロップアウト終了中に、デバイスはパストランジスタを完全にオンに駆動しなくなります。

### 6.4.3 ディスエーブル

EN 入力電圧を最大 EN Low レベル入力電圧未満に強制することで、LDO をシャットダウンします。ディスエーブルになると、パストランジスタはオフになり、内部回路がシャットダウンします。

## 7 アプリケーションと実装

### 注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 使用上の注意

#### 7.1.1 推奨されるコンデンサの種類

このデバイスは、入出力に低等価直列抵抗 (ESR) のセラミック コンデンサを使用することで安定するように設計されています。積層セラミック コンデンサは、この種のアプリケーションの業界標準になっており、推奨されますが、適切な判断のもとに使用する必要があります。X7R、X5R、C0G 定格の誘電体を採用したセラミックコンデンサは、温度範囲全体にわたって比較的良好な容量安定性が得られます。しかし、Y5V 定格のコンデンサは、容量に大きな変動があるため推奨しません。

選択したセラミック コンデンサの種類にかかわらず、実効静電容量は動作電圧と温度によって変化します。一般に、実効静電容量は 50% 程度減少すると予想されます。「[推奨動作条件](#)」表に示す入出力コンデンサは、公称値の約 50% の実効静電容量を表しています。

#### 7.1.2 入出力コンデンサの要件

安定性のために入力コンデンサは必要ではありませんが、アナログ設計では IN と GND の間にコンデンサを接続するのが適切です。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。ソース インピーダンスが  $0.5\Omega$  を超える場合は、入力コンデンサを使用します。TPS7N41-Q1 の代表的な動作を行うには、 $4.7\mu\text{F}$  のコンデンサを入力に接続します。大きくて高速な立ち上がり時間の負荷またはライン過渡が予想される場合は、より値の大きいコンデンサを使用してください。また、デバイスが入力電源から数インチ離れて配置される場合は、より値の大きいコンデンサを使用してください。

デバイスの動的性能は、出力コンデンサを使用することで向上します。安定性のために、「[推奨動作条件](#)」表に記載されている範囲内の出力コンデンサを使用します。最小ディレーティング出力容量が  $2.2\mu\text{F}$  (公称  $4.7\mu\text{F}$ ) 以上になるようにしてください。出力電圧が上昇したときの突入電流は、出力容量の大きさに依存します。起動時の出力電流は、出力コンデンサが大きい場合、電流制限値に達する可能性があります。

#### 7.1.3 逆電流

最新の LDO と同様、非常に逆電流が大きく、このデバイスが損傷する可能性があります。

逆電流は、通常の導通チャネルではなく、パス素子のボディダイオードを通して流れます。振幅が大きいと、この電流が流れることにより、次のいずれかの条件の結果としてデバイスの長期的な信頼性が低下します。

- エレクトロマイグレーションによる劣化
- 過度の放熱
- ラッチアップ条件が発生する可能性がある

このセクションでは、逆電流が発生する可能性のある条件について概説します。これらの条件はすべて、 $V_{\text{OUT}} > V_{\text{IN}} + 0.3\text{V}$  の絶対最大定格を超える可能性があります。

- デバイスが大きな  $C_{\text{OUT}}$  を持ち、負荷電流がほとんどまたはまったくない状態で入力電源が破損した場合
- 入力電源が確立されていない場合、出力はバイアスされる
- 出力は入力電源よりも高くバイアスされる

アプリケーションで逆電流が予期される場合は、デバイスを保護するために外部保護を使用する必要があります。[図 7-1](#) に、デバイスを保護するための 1 つのアプローチを示します。

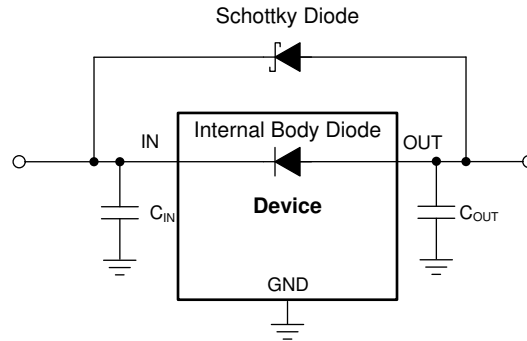


図 7-1. ショットキー ダイオードを使用した逆電流保護の回路例

#### 7.1.4 ドロップアウト電圧

TPS7N41Q1 は PMOS パス トランジスタを使用して、低ドロップアウトを実現しています。 $(V_{IN} - V_{OUT})$  がドロップアウト電圧 ( $V_{DO}$ ) よりも低い場合、PMOS パス デバイスはリニア領域での動作になり、入出力抵抗は PMOS パス素子の  $R_{DS(ON)}$  となります。 $V_{DO}$  は出力電流にほぼ比例して変化します。これは、ドロップアウト モード時に PMOS デバイスが抵抗のように動作するためです。他のリニア レギュレータと同様に、 $(V_{IN} - V_{OUT})$  がドロップアウト動作に近づく、PSRR と過渡応答は低下します。

## 7.2 代表的なアプリケーション

### 7.2.1 アプリケーション

図 7-2 に、TPS7N41-Q1 の代表的なアプリケーション回路を示します。

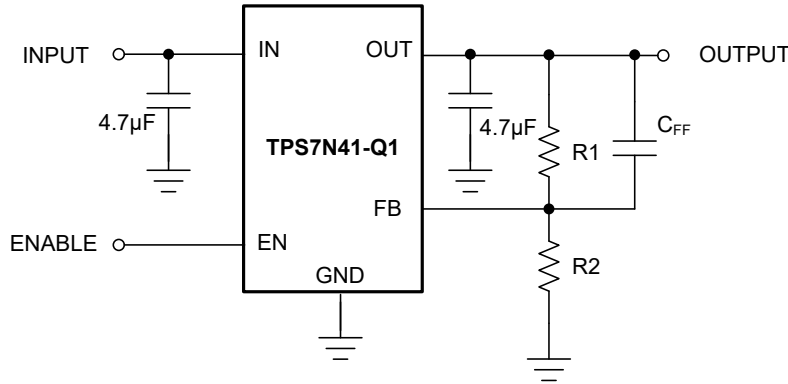


図 7-2. TPS7N41-Q1 の代表的なアプリケーション

出力電圧は、帰還ノード電圧と抵抗 R1 および R2 の値によって決定されます。この式を使用して R1 と R2 の値に基づく出力電圧を計算します。

$$V_O = \frac{(R1 + R2)}{R2} \times 0.8 \quad (2)$$

帰還抵抗の値は出力電圧の精度に影響を与えるため、適切な許容誤差値の抵抗を使用してください。FB ピンの入力電流は帰還回路から供給されるため、抵抗値が十分小さく、FB ピンの入力電流によって大きな出力電圧誤差が生じないことを確認してください。この理由のため、R2 には 10kΩ の値を使用することをお勧めします。

### 7.2.2 設計要件

表 7-1 は、図 7-2 の設計要件をまとめたものです。

表 7-1. 設計パラメータ

パラメータ	値
入力電圧範囲	4.0V ±5%
出力電圧	3.3V
出力電流	600mA
最大周囲温度	100°C

### 7.2.3 詳細な設計手順

この設計例では、公称 4.0V の入力電源を想定しています。最小 4.7µF の入力コンデンサを使用して、4.0V のソースと LDO 入力との間の抵抗およびインダクタンスの影響を最小限に抑えます。安定性と優れた負荷過渡応答を実現するために、公称 4.7µF (最小 2.2µF) の出力キャパシタンスを使用します。R2 に 10kΩ、R1 に 31.2kΩ の値を使用して、3.3V の公称出力電圧を達成します。3.3V の出力電圧と 600mA の出力電流で、ドロップアウト電圧 (V<sub>DO</sub>) は最大 300mV 未満であるため、ドロップアウトの問題は生じません。

## 7.3 電源に関する推奨事項

このデバイスは、1.9V ~ 6.0V の入力電源電圧範囲で動作するように設計されています。入力が良好なレギュレーションで、スプリアス ノイズがないことを確認することで、レギュレータが最適な動的性能と良好なレギュレーションの出力を提供できるようにしてください。入力電源電圧を、少なくとも V<sub>OUT(nom)</sub> + 0.5V または 1.9V のうち、どちらか大きい方に設定します。

特に過渡時に、**4.7 $\mu$ F** 以上の入力コンデンサを使用して入力電源のインピーダンスを低減します。

## 7.4 レイアウト

### 7.4.1 レイアウトのガイドライン

- 入力および出力コンデンサは、本デバイスのできるだけ近くに配置します。
- 放熱性能を最適化するため、デバイス接続に銅プレーンを使用します。
- デバイスの周囲にサーマルビアを配置して、熱を分散させます。

### 7.4.2 レイアウト例

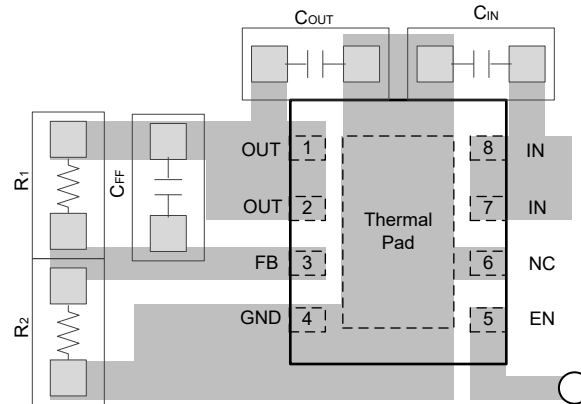


図 7-3. 標準レイアウト

## 8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアをこのセクションで紹介합니다。

### 8.1 デバイス サポート

#### 8.1.1 デバイスの命名規則

表 8-1. デバイスの命名規則

製品 <sup>(1)</sup>	説明
TPS7N4101Q(W)yyyyQ1	<p><b>01</b> は LDO の出力電圧が可変であることを示します。</p> <p><b>Q</b> は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表すものです。</p> <p><b>W</b> (存在する場合) は、ウェットプル フランクを採用したパッケージであることを表します。</p> <p><b>yyy</b> はパッケージ指定子です。</p> <p><b>Z</b> はパッケージ数量です。R はリール (3000 ピース) を表します。</p> <p><b>Q1</b> は、車載グレード (AEC-Q100) デバイスであることを表すものです。</p>

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、[www.ti.com](http://www.ti.com) にあるデバイスの製品フォルダをご覧ください。

### 8.2 ドキュメントのサポート

#### 8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、[「制限について」アプリケーション ノート](#)

### 8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.7 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
March 2026	*	初版リリース

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">TPS7N4101QWDRBRQ1</a>	Active	Production	SON (DRB)   8	5000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	7N4101

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7N4101QWDRBRQ1	SON	DRB	8	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

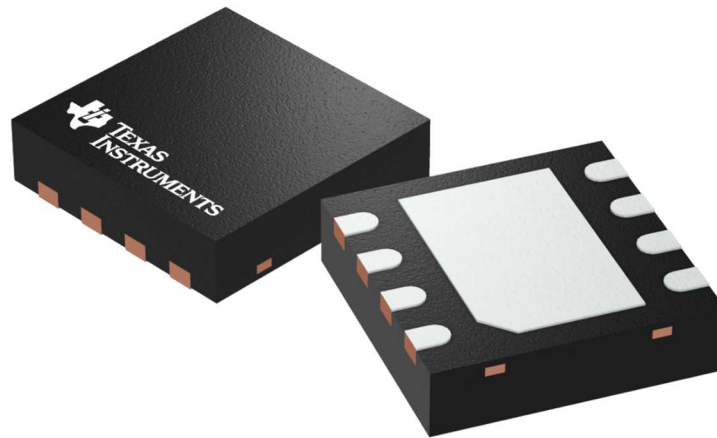
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7N4101QWDRBRQ1	SON	DRB	8	5000	360.0	360.0	36.0

**DRB 8**

**GENERIC PACKAGE VIEW**

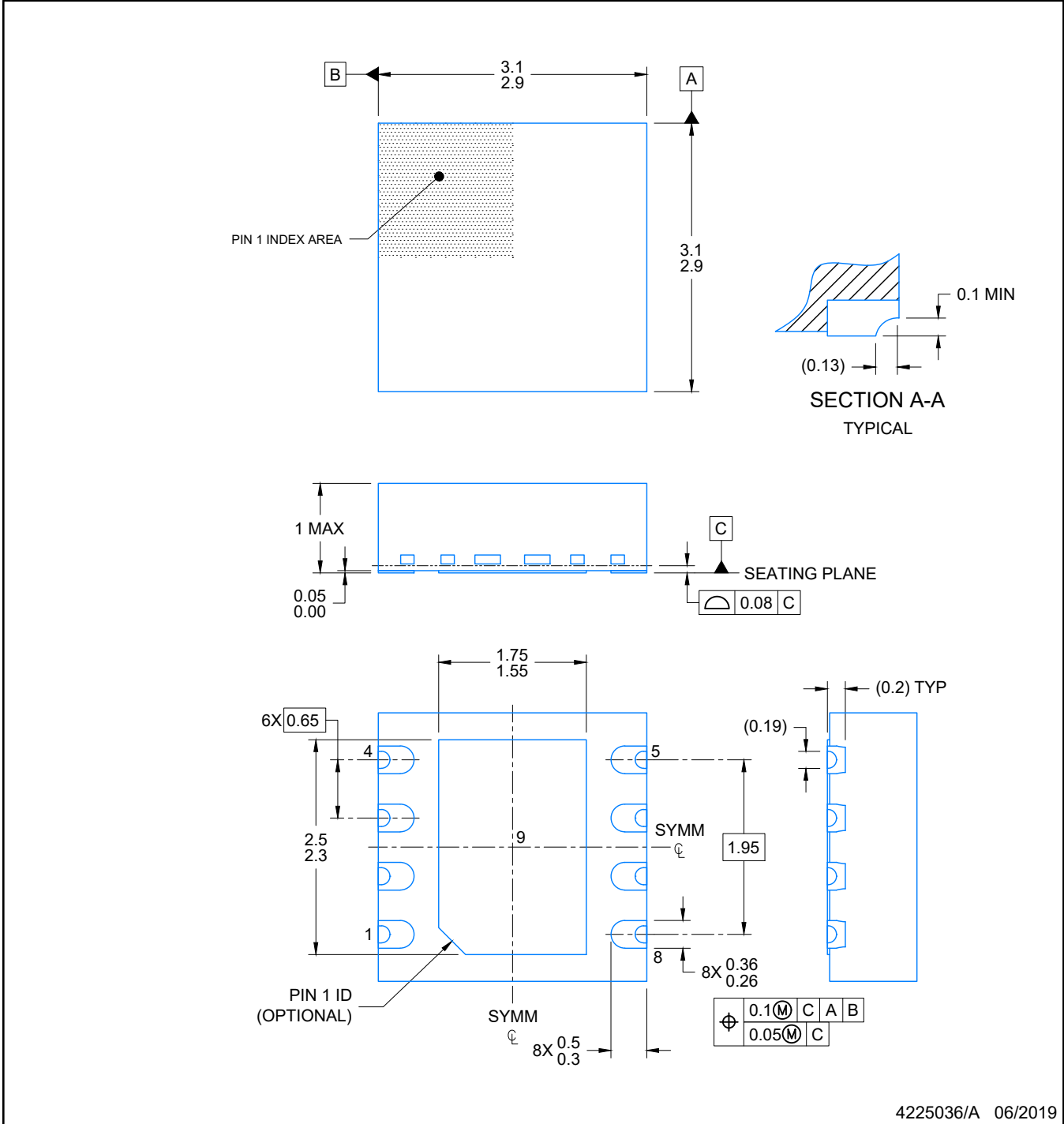
**VSON - 1 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

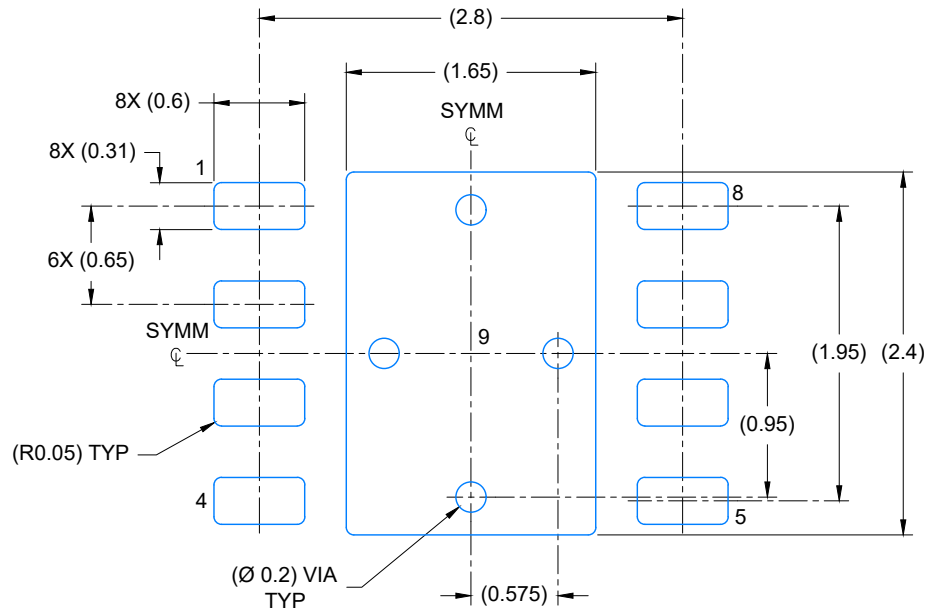
4203482/L



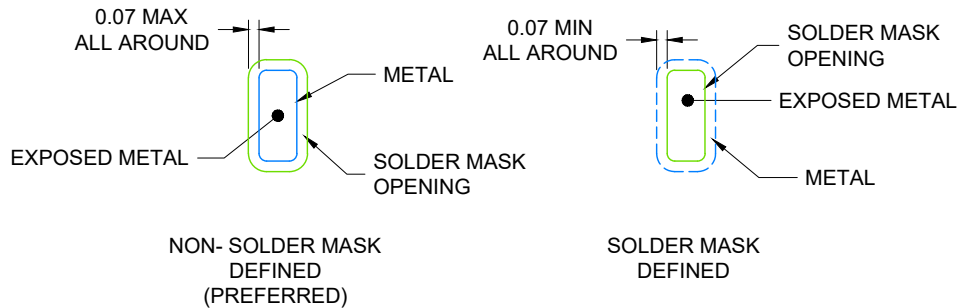
4225036/A 06/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 20X

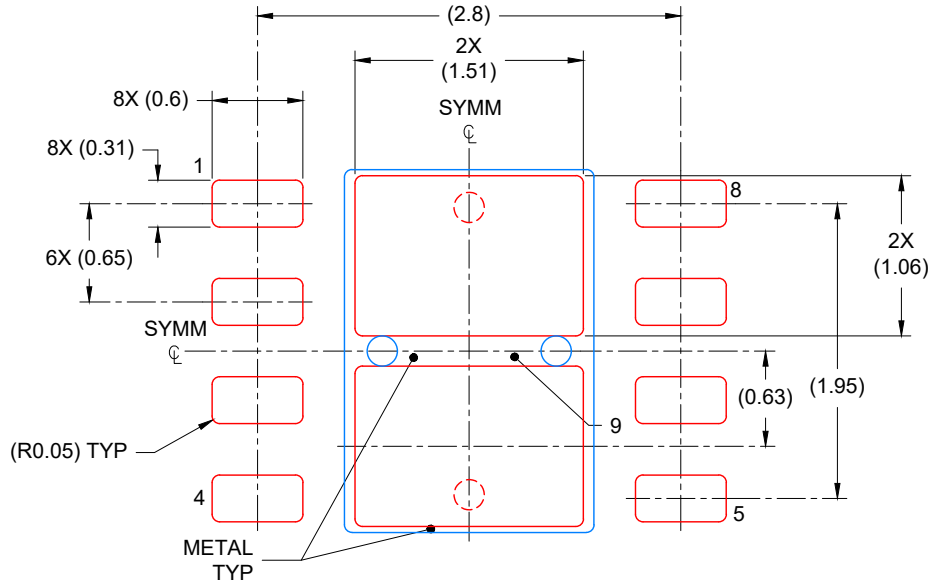


SOLDER MASK DETAILS

4225036/A 06/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE  
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
 81% PRINTED COVERAGE BY AREA  
 SCALE: 20X

4225036/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月