

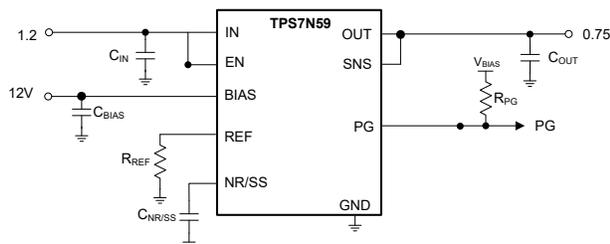
# TPS7N59 10A、低 $V_{IN}$ 、低ノイズ、高精度、 超低ドロップアウト (LDO) 電圧レギュレータ

## 1 特長

- 入力電圧範囲: 0.7V ~ 6.0V
- 出力電圧ノイズ:  $2.5\mu V_{RMS}$
- ライン、負荷、温度の全範囲にわたって 1% (最大値) の精度
- 低いドロップアウト: 150mV (代表値)、10A 時
- 電源電圧変動除去比 (10A):
  - 1kHz 時に 84dB
  - 10kHz 時に 64dB
  - 100kHz 時に 49dB
  - 1MHz 時に 30dB
- 非常に優れた負荷過渡応答:
  - 10mA ~ 10A の負荷ステップで  $\pm 20mV$
- 可変出力電圧範囲: 0.5V ~ 5.2V
- 調整可能なソフトスタート突入電流制御
- BIAS レール: 3V ~ 12V の外部レール
- オープンドレインのパワー グッド (PG) 出力
- パッケージ: 4mm × 4mm, 24 ピン WQFN
  - EVM  $R_{\theta JA}$ : 14.3°C/W

## 2 アプリケーション

- ハードウェア アクセラレータと GPU カード / モジュール
- 光学系と銅線の CPE (カスタマー側装置)
- 高性能コンピューティング
- 超音波スキャナ
- 実験室およびフィールド向け計測機器
- センサ、画像処理、レーダー



代表的なアプリケーション回路

## 3 説明

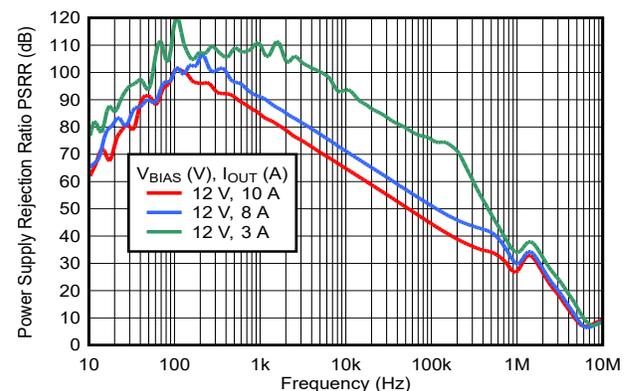
TPS7N59 は、低ノイズ ( $2.5\mu V_{RMS}$ )、超低ドロップアウトのリニア レギュレータ (LDO) であり、出力電圧に依存せず 150mV のドロップアウトのみで 10A の電流を供給可能です。デバイスの出力電圧は、1 個の外付け抵抗を使って 0.5V ~ 5.2V の範囲で調整可能です。低ノイズ、高 PSRR (1MHz で 30dB)、大出力電流能力を組み合わせた TPS7N59 は、レーダーの電源、通信、画像処理の各アプリケーションで使用される、ノイズに敏感な部品 (RF アンプ、レーダー センサ、SerDes、アナログ チップセットなど) への電力供給に最適です。

低入力・低出力 (LILO) 電圧動作を必要とするデジタル負荷 [例: 特定用途向け集積回路 (ASIC)、フィールド プログラマブル ゲート アレイ (FPGA)、デジタル信号プロセッサ (DSP)] も、優れた精度 (負荷、ライン、温度にわたり 1%)、リモート センシング、優れた過渡応答性能、およびソフト スタート機能により、良好なシステム性能の恩恵を受けます。汎用性、高性能、小型フットプリントを特長とするこの LDO は、A/D コンバータ (ADC)、D/A コンバータ (DAC)、イメージング センサなどの大電流アナログ負荷や、シリアライザ/デシリアライザ (SerDes)、FPGA、DSP などのデジタル負荷用の優れた選択肢です。

### パッケージ情報

部品番号 (1)	パッケージ	パッケージ サイズ
TPS7N59	RTW (WQFN, 24)	4.00mm × 4.00mm

(1) 詳細については、[セクション 10](#) を参照してください。



PSRR と  $I_{OUT}$  との関係、 $1.15V_{IN}$ 、 $0.75V_{OUT}$



## 目次

<b>1 特長</b> .....	<b>1</b>	<b>6.4 デバイスの機能モード</b> .....	<b>15</b>
<b>2 アプリケーション</b> .....	<b>1</b>	<b>7 アプリケーションと実装</b> .....	<b>17</b>
<b>3 説明</b> .....	<b>1</b>	7.1 使用上の注意.....	17
<b>4 ピン構成および機能</b> .....	<b>3</b>	7.2 代表的なアプリケーション.....	32
<b>5 仕様</b> .....	<b>4</b>	7.3 電源に関する推奨事項.....	33
5.1 絶対最大定格.....	4	7.4 レイアウト.....	33
5.2 ESD 定格.....	4	<b>8 デバイスおよびドキュメントのサポート</b> .....	<b>35</b>
5.3 推奨動作条件.....	5	8.1 ドキュメントの更新通知を受け取る方法.....	35
5.4 熱に関する情報.....	5	8.2 サポート・リソース.....	35
5.5 電気的特性.....	6	8.3 商標.....	35
5.6 代表的特性.....	8	8.4 静電気放電に関する注意事項.....	35
<b>6 詳細説明</b> .....	<b>11</b>	8.5 用語集.....	35
6.1 概要.....	11	<b>9 改訂履歴</b> .....	<b>35</b>
6.2 機能ブロック図.....	12	<b>10 メカニカル、パッケージ、および注文情報</b> .....	<b>35</b>
6.3 機能説明.....	13		

## 4 ピン構成および機能

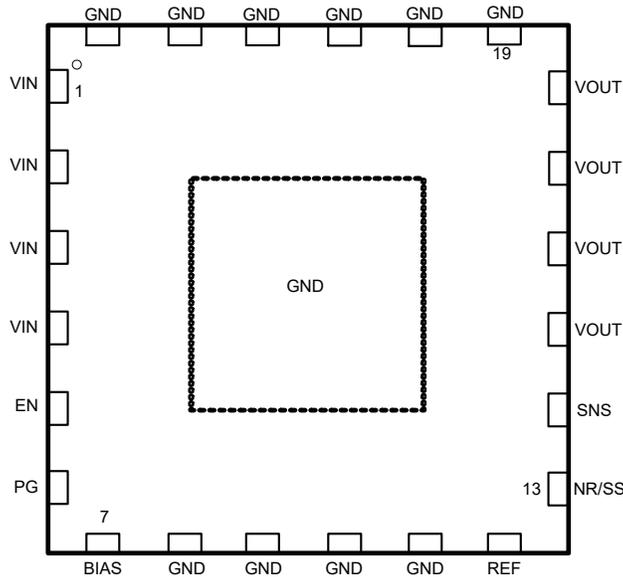


図 4-1. RTW パッケージ、24 ピン WQFN (上面図)

### ピンの機能

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
BIAS	7	I	BIAS 電源電圧ピン。
EN	5	I	イネーブルピン。追加情報については「 <a href="#">高精度のイネーブルと UVLO</a> 」セクションを参照してください。
GND	8、9、10、11、 19、20、21、 22、23、24	GND	グラウンドピン。追加情報については「 <a href="#">レイアウトのガイドライン</a> 」セクションを参照してください。
IN	1、2、3、4	I	入力電源電圧ピン。詳細については、「 <a href="#">入力および出力コンデンサの要件 (C<sub>IN</sub> および C<sub>OUT</sub>)</a> 」セクションを参照してください。
NR/SS	13	I/O	ノイズ低減ピン。追加情報については、「 <a href="#">プログラミング可能なソフトスタート および ソフトスタート、ノイズ低減 (NR/SS ピン)、パワーグッド (PG ピン)</a> 」セクションを参照してください。
OUT	15、16、17、18	O	レギュレートされた出力ピン。詳細については「 <a href="#">出力電圧設定およびレギュレーション および 入力および出力コンデンサの要件 (C<sub>IN</sub> および C<sub>OUT</sub>)</a> 」セクションを参照してください。
PG	6	O	LDO の出力電圧用のオープンドレイン型パワーグッド インジケータピン。追加情報については「 <a href="#">パワーグッドピン (PG ピン)</a> 」セクションを参照してください。
REF	12	I/O	リファレンスピン。追加情報については「 <a href="#">出力電圧設定およびレギュレーション</a> 」セクションを参照してください。
SNS	14	I	出力検出センスピン。追加情報については「 <a href="#">出力電圧設定およびレギュレーション</a> 」セクションを参照してください。
サーマルパッド	—	GND	最良の熱性能を得るために、パッドを GND に接続します。詳細については、「 <a href="#">レイアウト</a> 」セクションを参照してください。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド。

## 5 仕様

### 5.1 絶対最大定格

動作接合部温度範囲を超過。すべての電圧は GND を基準とします (別段の記載がない限り)<sup>(1)</sup>

		最小値	最大値	単位
電圧	BIAS	-0.3	13.2	V
	IN、PG、EN	-0.3	6.5	
	REF、SNS	-0.3	6	
	OUT	-0.3	$V_{IN} + 0.3$ <sup>(2)</sup>	
電流	OUT	内部的に制限		A
	PG (デバイスへのシンク電流)		5	mA
温度	動作時の接合部温度、T <sub>J</sub>	-40	150	°C
	保存、T <sub>stg</sub>	-55	150	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 絶対最大定格は  $V_{IN} + 0.3V$  または  $6.0V$  のどちらか小さい方です。

### 5.2 ESD 定格

			値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000	V
		荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22C101 準拠 <sup>(2)</sup>	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位
$V_{IN}$	入力電源電圧範囲	0.7		6	V
$V_{EN}$	イネーブル電源電圧範囲	0		6	V
$V_{REF}$	リファレンス電圧の範囲	0.5		5.3	V
$V_{OUT}$	出力電圧範囲	0.5		5.2	V
$V_{BIAS}$	バイアス電圧範囲	3		12.6	V
$I_{OUT}$	出力電流	0		10	A
$C_{IN}$	入力コンデンサ	4.7	10	1000	$\mu$ F
$C_{OUT}$	出力コンデンサ <sup>(1)</sup>	22	22	3000	$\mu$ F
$C_{OUT\_ESL}$	出力コンデンサの ESR	2		20	m $\Omega$
$Z_{OUT\_ESL}$	合計インピーダンス ESL	0.2		1	nH
$C_{BIAS}$	バイアスピンコンデンサ	0	1	100	$\mu$ F
$C_{REF}$	リファレンスノイズ低減コンデンサ	0.1	4.7	10	$\mu$ F
$R_{PG}$	パワー グッド ブルアップ抵抗	10		100	k $\Omega$
$T_J$	接合部温度	-40		125	$^{\circ}$ C

- (1) 安定させるために、最低 15 $\mu$ F の実効出力キャパシタンスが必要です。有効出力容量は、公差、温度、電圧、および容量値に影響を与えるその他の要因を考慮したものです。

### 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		TPS7N59		単位
		RTW (WQFN) <sup>(2)</sup>	RTW (WQFN) <sup>(3)</sup>	
		24 ピン	24 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	36	14.3	$^{\circ}$ C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	26.4	–	$^{\circ}$ C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	11.4	–	$^{\circ}$ C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	0.7	0.4	$^{\circ}$ C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	11.4	5.4	$^{\circ}$ C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.9	–	$^{\circ}$ C/W

- (1) 従来および新しい熱評価基準の詳細については、『新しい熱評価基準の使用』アプリケーション ノートを参照してください。  
 (2) JEDEC 規格 (2s2p) を使用して評価済みです。  
 (3) EVM を使用して評価します。

## 5.5 電気的特性

動作温度範囲 ( $T_J = -40^{\circ}\text{C}$  to  $+125^{\circ}\text{C}$ ) において、 $V_{\text{OUT (NOM)}} = 0.5\text{V}$ 、 $V_{\text{IN (NOM)}} = V_{\text{OUT (NOM)}} + 0.4\text{V}$ 、 $V_{\text{BIAS}} = V_{\text{OUT (NOM)}} + 3.2\text{V}$ 、 $I_{\text{OUT}} = 0\text{A}$ 、 $V_{\text{EN}} = 1.8\text{V}$ 、 $C_{\text{IN}} = 10\mu\text{F}$ 、 $C_{\text{OUT}} = 22\mu\text{F}$ 、 $C_{\text{BIAS}} = 0\text{nF}$ 、 $C_{\text{NR/SS}} = 100\text{nF}$ 、SNS ピンは OUT ピンに短絡、PG ピンは  $100\text{k}\Omega$  を介して  $V_{\text{IN}}$  にプルアップ (特に記載のない限り) とし、代表値は  $T_J = 25^{\circ}\text{C}$  での値です

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\text{UVLO(IN)}}$	入力電源 UVLO	$V_{\text{IN}}$ 立ち上がり $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$		0.67	0.7	V
$V_{\text{HYS(UVLO\_IN)}}$	入力電源 UVLO ヒステリシス	$V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$		50		mV
$V_{\text{UVLO(BIAS)}} - V_{\text{REF}}$	$V_{\text{REF}}$ に対する BIAS UVLO	$V_{\text{BIAS}}$ 立ち上がり、 $1.4\text{V} \leq V_{\text{REF}} \leq 5.2\text{V}$		2.1	2.95	V
$V_{\text{HYS(UVLO\_BIAS\_REF)}}$	$V_{\text{REF}}$ ヒステリシスに対する BIAS UVLO	$1.4\text{V} \leq V_{\text{REF}} \leq 5.2\text{V}$		240		mV
$I_{\text{NR/SS}}$	NR/SS 高速スタートアップ充電電流	$V_{\text{NR/SS}} = \text{GND}$ 、 $V_{\text{IN}} = 1.1\text{V}$		0.2		mA
$V_{\text{OUT}}$	出力電圧精度 <sup>(1)</sup>	$0.5\text{V} \leq V_{\text{OUT (NOM)}} \leq 5.2\text{V}^{(1)(2)}$ 、 $0.9\text{V} \leq V_{\text{IN}} \leq 6\text{V}$ $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$ $0\text{A} \leq I_{\text{OUT}} \leq 10\text{A}$	-1		1	%
$I_{\text{REF}}$	REF 電流ピン	$0.5\text{V} \leq V_{\text{OUT (NOM)}} \leq 5.2\text{V}^{(1)(2)}$ 、 $0.9\text{V} \leq V_{\text{IN}} \leq 6\text{V}$ $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$ $0\text{A} \leq I_{\text{OUT}} \leq 10\text{A}$	49.5	50	50.5	$\mu\text{A}$
$V_{\text{OS}}$	出力オフセット電圧 ( $V_{\text{NR/SS}} - V_{\text{OUT}}$ )	$0.5\text{V} \leq V_{\text{OUT (NOM)}} \leq 5.2\text{V}^{(1)(2)}$ 、 $0.9\text{V} \leq V_{\text{IN}} \leq 6\text{V}$ $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$ $0\text{A} \leq I_{\text{OUT}} \leq 10\text{A}$	-3		3	mV
		$V_{\text{OUT (NOM)}} = 0.5\text{V}^{(1)(2)}$ 、 $V_{\text{IN}} = 0.9\text{V}$ $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$ $I_{\text{OUT}} = 0\text{A}$	-1		1	
$\Delta I_{\text{REF}}(\Delta V_{\text{BIAS}})$	ラインレギュレーション: $\Delta I_{\text{REF}}$	$V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$ 、 $V_{\text{IN}} = 0.7\text{V}$ 、 $V_{\text{OUT}} = 0.5\text{V}$ 、 $I_{\text{OUT}} = 0\text{A}$		0.15		nA/V
$\Delta V_{\text{OS}}(\Delta V_{\text{BIAS}})$	ラインレギュレーション: $\Delta V_{\text{OS}}$	$V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$ 、 $V_{\text{IN}} = 0.7\text{V}$ 、 $V_{\text{OUT}} = 0.5\text{V}$ 、 $I_{\text{OUT}} = 0\text{A}$		0.06		$\mu\text{V/V}$
$\Delta I_{\text{REF}}(\Delta V_{\text{IN}})$	ラインレギュレーション: $\Delta I_{\text{REF}}$	$0.7\text{V} \leq V_{\text{IN}} \leq 6\text{V}$ 、 $V_{\text{OUT}} = 0.5\text{V}$ 、 $I_{\text{OUT}} = 0\text{A}$ 、 $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$		0.03		nA/V
$\Delta V_{\text{OS}}(\Delta V_{\text{IN}})$	ラインレギュレーション: $\Delta V_{\text{OS}}$	$0.7\text{V} \leq V_{\text{IN}} \leq 6\text{V}$ 、 $V_{\text{OUT}} = 0.5\text{V}$ 、 $I_{\text{OUT}} = 0\text{A}$ 、 $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$		0.01		$\mu\text{V/V}$
$\Delta V_{\text{OS}}(\Delta I_{\text{OUT}})$	負荷レギュレーション: $\Delta V_{\text{OS}}$	$V_{\text{IN}} = 0.9\text{V}$ 、 $V_{\text{OUT}} = 0.5\text{V}$ 、 $0\text{A} \leq I_{\text{OUT}} \leq 10\text{A}$ 、 <sup>(2)</sup> $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$		5		$\mu\text{V/A}$
	$I_{\text{REF}}$ の変化と $V_{\text{REF}}$ との関係	$0.5\text{V} \leq V_{\text{REF}} \leq 5.2\text{V}$ 、 $V_{\text{IN}} = 6\text{V}$ 、 $I_{\text{OUT}} = 0\text{A}$ 、 $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$		4.4		nA
	$V_{\text{OS}}$ の変化と $V_{\text{REF}}$ との関係	$V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$		0.25		mV
$V_{\text{DO}}$	ドロップアウト電圧 <sup>(3)</sup>	$0.72\text{V} \leq V_{\text{IN}} \leq 5.3\text{V}$ 、 $I_{\text{OUT}} = 10\text{A}$ 、 $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$ 、 $-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$		150	220	mV
$I_{\text{LIM}}$	出力電流制限	$0.9 \times V_{\text{OUT (NOM)}}$ で $V_{\text{OUT}}$ を強制、 $V_{\text{OUT (NOM)}} = 5.2\text{V}$ 、 $V_{\text{IN}} = V_{\text{OUT (NOM)}} + 400\text{mV}$ 、 $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$	10.5	11.6	12.8	A
$I_{\text{SC}}$	短絡電流制限	$R_{\text{LOAD}} = 10\text{m}\Omega$ 、フォールドバック動作時		9.9		A
$I_{\text{BIAS}}$	BIAS ピン電流	$V_{\text{IN}} = 6\text{V}$ 、 $I_{\text{OUT}} = 0\text{A}$ 、 $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$ $V_{\text{OUT}} = 5.2\text{V}$	1	1.5	2	mA
$I_{\text{GND}}$	GND ピン電流	$V_{\text{IN}} = 6\text{V}$ 、 $I_{\text{OUT}} = 0\text{A}$ 、 $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$ $V_{\text{OUT}} = 5.2\text{V}$	3.5	5	6.5	mA
$I_{\text{SDN}}$	シャットダウン GND ピン電流	PG = (オープン)、 $V_{\text{IN}} = 6\text{V}$ 、 $V_{\text{EN}} = 0.4\text{V}$ 、 $V_{\text{BIAS}} = 12.6\text{V}$		150	450	$\mu\text{A}$
$I_{\text{EN}}$	EN ピン電流	$V_{\text{IN}} = 6\text{V}$ 、 $0\text{V} \leq V_{\text{EN}} \leq 6\text{V}$	-5		5	$\mu\text{A}$
$V_{\text{IH(EN)}}$	ENトリップポイントの立ち上がり (ターンオン)	$V_{\text{IN}} = 1.1\text{V}$ $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$	0.62	0.65	0.68	V
$V_{\text{HYS(EN)}}$	ENトリップポイントヒステリシス	$V_{\text{IN}} = 1.1\text{V}$ $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$		40		mV
$V_{\text{IT(PG)}}$	PGピンのスレッショルド	$V_{\text{OUT}}$ の低下に伴い PG が low に遷移する場合、 $V_{\text{IN}} = 1.1\text{V}$ 、 $V_{\text{OUT}} < V_{\text{IT(PG)}}$ 、 $I_{\text{PG}} = -1\text{mA}$ (デバイスへ流入する電流) とします	87	90	93	%

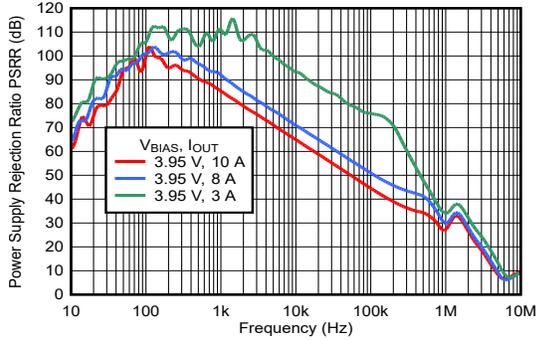
動作温度範囲 ( $T_J = -40^{\circ}\text{C}$  to  $+125^{\circ}\text{C}$ ) において、 $V_{\text{OUT (NOM)}} = 0.5\text{V}$ 、 $V_{\text{IN (NOM)}} = V_{\text{OUT (NOM)}} + 0.4\text{V}$ 、 $V_{\text{BIAS}} = V_{\text{OUT (NOM)}} + 3.2\text{V}$ 、 $I_{\text{OUT}} = 0\text{A}$ 、 $V_{\text{EN}} = 1.8\text{V}$ 、 $C_{\text{IN}} = 10\mu\text{F}$ 、 $C_{\text{OUT}} = 22\mu\text{F}$ 、 $C_{\text{BIAS}} = 0\text{nF}$ 、 $C_{\text{NR/SS}} = 100\text{nF}$ 、SNS ピンは OUT ピンに短絡、PG ピンは  $100\text{k}\Omega$  を介して  $V_{\text{IN}}$  にプルアップ (特に記載のない限り) とし、代表値は  $T_J = 25^{\circ}\text{C}$  での値です

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\text{HYS(PG)}}$	PG ピンのヒステリシス	$V_{\text{IN}} = 1.1\text{V}$ 、 $V_{\text{OUT}} < V_{\text{IT(PG)}}$ 、 $I_{\text{PG}} = -1\text{mA}$ (デバイスへ流入する電流)		2		%
$V_{\text{OL(PG)}}$	PG ピンの Low レベル出力電圧	$V_{\text{IN}} = 1.1\text{V}$ 、 $V_{\text{OUT}} < V_{\text{IT(PG)}}$ 、 $I_{\text{PG}} = -1\text{mA}$ (デバイスへ流入する電流)			0.4	V
$I_{\text{LKG(PG)}}$	PG ピンのリーク電流	$V_{\text{PG}} = 6\text{V}$ 、 $V_{\text{OUT}} > V_{\text{IT(PG)}}$ 、 $V_{\text{IN}} = 1.1\text{V}$			1	$\mu\text{A}$
PSRR	電源リップル除去	$f = 1\text{MHz}$ 、 $V_{\text{IN}} = 1.1\text{V}$ 、 $V_{\text{OUT(NOM)}} = 0.75\text{V}$ 、 $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$ 、 $I_{\text{OUT}} = 10\text{A}$ 、 $C_{\text{NR/SS}} = 4.7\mu\text{F}$		40		dB
$V_n$	出力ノイズ電圧	$\text{BW} = 10\text{Hz} \sim 100\text{kHz}$ 、 $V_{\text{IN}} = 0.9\text{V}$ 、 $V_{\text{OUT}} = 0.5\text{V}$ 、 $I_{\text{OUT}} = 10\text{A}$ 、 $C_{\text{NR/SS}} = 4.7\mu\text{F}$ 、 $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$		2.5		$\mu\text{V}_{\text{RMS}}$
	ノイズ スペクトル密度	$f = 100\text{Hz}$ 、 $V_{\text{IN}} = 0.9\text{V}$ 、 $V_{\text{OUT}} = 0.5\text{V}$ 、 $I_{\text{OUT}} = 10\text{A}$ 、 $C_{\text{NR/SS}} = 4.7\mu\text{F}$ 、 $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$		18		$\text{nV}/\sqrt{\text{Hz}}$
	ノイズ スペクトル密度	$f = 1\text{kHz}$ 、 $V_{\text{IN}} = 0.9\text{V}$ 、 $V_{\text{OUT}} = 0.5\text{V}$ 、 $I_{\text{OUT}} = 10\text{A}$ 、 $C_{\text{NR/SS}} = 4.7\mu\text{F}$ 、 $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$		7.3		$\text{nV}/\sqrt{\text{Hz}}$
	ノイズ スペクトル密度	$f = 10\text{kHz}$ 、 $V_{\text{IN}} = 0.9\text{V}$ 、 $V_{\text{OUT}} = 0.5\text{V}$ 、 $I_{\text{OUT}} = 10\text{A}$ 、 $C_{\text{NR/SS}} = 4.7\mu\text{F}$ 、 $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$		5.4		$\text{nV}/\sqrt{\text{Hz}}$
$R_{\text{DIS}}$	出力ピンのアクティブ放電抵抗	$V_{\text{IN}} = 1.1\text{V}$ 、 $V_{\text{BIAS}} = 0\text{V}$ 、 $V_{\text{EN}} = 0\text{V}$		110		$\Omega$
$R_{\text{NR/SS\_DIS}}$	NR/SS ピンのアクティブ放電抵抗	$V_{\text{IN}} = 1.1\text{V}$ 、 $V_{\text{BIAS}} = 0\text{V}$ 、 $V_{\text{EN}} = 0\text{V}$		100		$\Omega$
$T_{\text{SD(shutdown)}}$	サーマル シャットダウン温度	シャットダウン、温度上昇		165		$^{\circ}\text{C}$
$T_{\text{SD(reset)}}$	サーマル シャットダウンリセット温度	リセット、温度低下		150		$^{\circ}\text{C}$

- 最大消費電力は 4W。
- パルスの最大消費電力によって制限されます。 $V_{\text{OUT (NOM)}} > 0.5\text{V}$  の場合、 $I_{\text{OUT}} = 10\text{A}$ 、 $V_{\text{IN (NOM)}} = V_{\text{OUT (NOM)}} + 0.4\text{V}$
- $V_{\text{REF}} = V_{\text{IN}}$ 、 $V_{\text{SNS}} = 97\% \times V_{\text{REF}}$

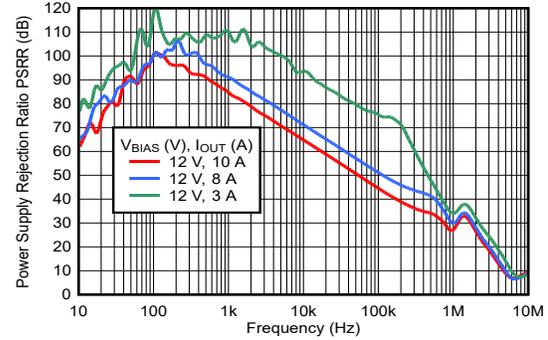
## 5.6 代表的特性

$V_{IN} = V_{OUT(NOM)} + 0.4V$ ,  $V_{EN} = 1.8V$ ,  $C_{IN} = 10\mu F$ ,  $C_{OUT} = 22\mu F$ ,  $C_{BIAS} = 0nF$ , SNS ピンは OUT ピンに短絡, PG ピンは  $100k\Omega$  を介して  $V_{IN}$  にプルアップ (特に記載のない限り) とし、代表値は  $T_J = 25^\circ C$  での値です



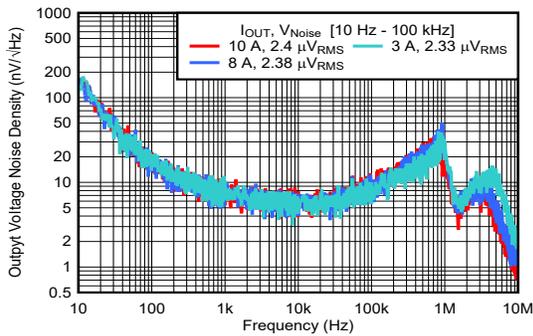
$C_{NR/SS} = 4.7\mu F$ ,  $C_{OUT} = 22\mu F$ ,  $V_{IN} = 1.15V$ ,  
 $V_{OUT} = 0.75V$

図 5-1. PSRR と周波数および  $I_{OUT}$  との関係



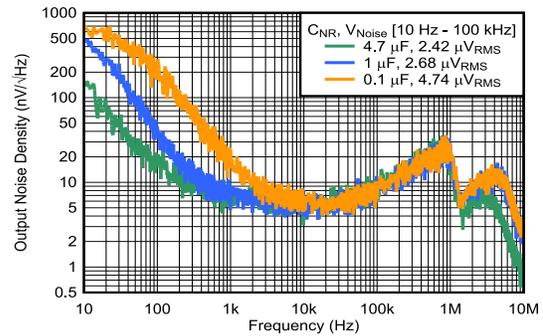
$C_{NR/SS} = 4.7\mu F$ ,  $C_{OUT} = 22\mu F$ ,  $V_{IN} = 1.15V$ ,  
 $V_{OUT} = 0.75V$

図 5-2. PSRR と周波数および  $I_{OUT}$  との関係



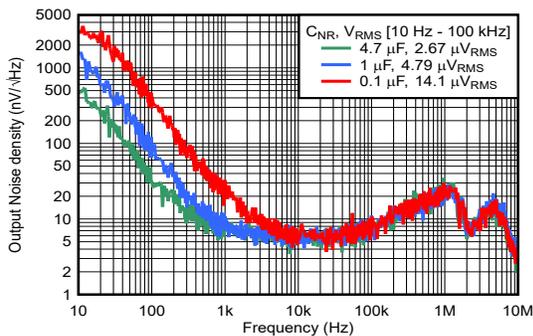
$C_{NR/SS} = 4.7\mu F$ ,  $C_{IN} = 10\mu F$ ,  $C_{OUT} = 22\mu F$ ,  
 $V_{IN} = 1.15V$ ,  $V_{OUT} = 0.75V$

図 5-3. 出力電圧ノイズ密度と周波数および  $I_{OUT}$  との関係



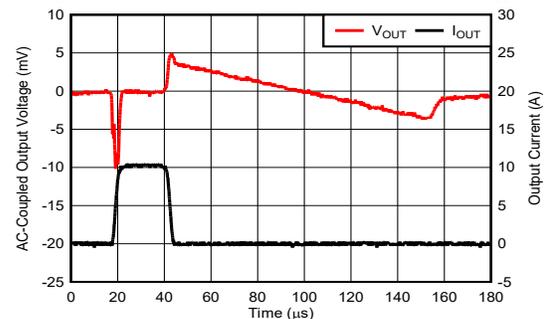
$C_{NR/SS} = 4.7\mu F$ ,  $C_{IN} = 10\mu F$ ,  $C_{OUT} = 22\mu F$ ,  
 $V_{IN} = 1.15V$ ,  $V_{OUT} = 0.75V$ ,  $I_{OUT} = 10A$

図 5-4. 出力電圧ノイズ密度と周波数および  $C_{NR/SS}$  との関係



$C_{NR/SS} = 4.7\mu F$ ,  $C_{IN} = 10\mu F$ ,  $C_{OUT} = 22\mu F$ ,  
 $V_{OUT} = 5V$ ,  $I_{OUT} = 10A$

図 5-5. 出力電圧ノイズ密度と周波数および  $C_{NR/SS}$  との関係

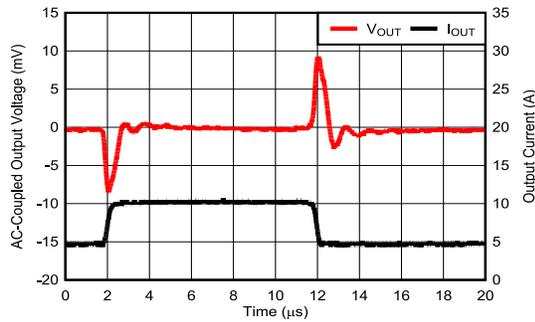


$C_{NR/SS} = 4.7\mu F$ ,  $C_{IN} = 10\mu F$ ,  $C_{OUT} = 22\mu F$ ,  
 $V_{IN} = 1.15V$ ,  $V_{OUT} = 0.75V$ , スルーレート =  $1A/\mu s$

図 5-6.  $V_{OUT} = 0.75V$  の負荷過渡応答,  $I_{OUT} = 0A \sim 10A$

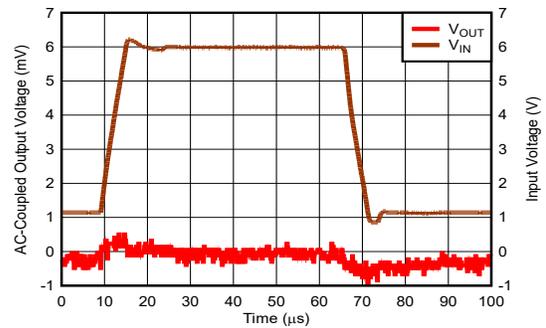
## 5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$ ,  $V_{EN} = 1.8V$ ,  $C_{IN} = 10\mu F$ ,  $C_{OUT} = 22\mu F$ ,  $C_{BIAS} = 0nF$ , SNS ピンは OUT ピンに短絡, PG ピンは 100k $\Omega$  を介して  $V_{IN}$  にプルアップ (特に記載のない限り) とし、代表値は  $T_J = 25^\circ C$  での値です



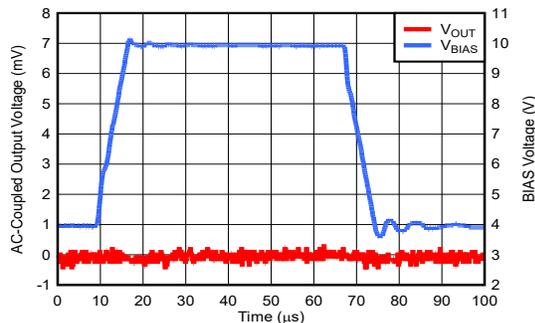
$C_{NR/SS} = 4.7\mu F$ ,  $C_{IN} = 10\mu F$ ,  $C_{OUT} = 22\mu F$ ,  
 $V_{IN} = 1.15V$ ,  $V_{OUT} = 0.75V$ , スルーレート = 5A/ $\mu s$

図 5-7.  $V_{OUT} = 0.75V$  の負荷過渡応答,  $I_{OUT} = 5A \sim 10A$



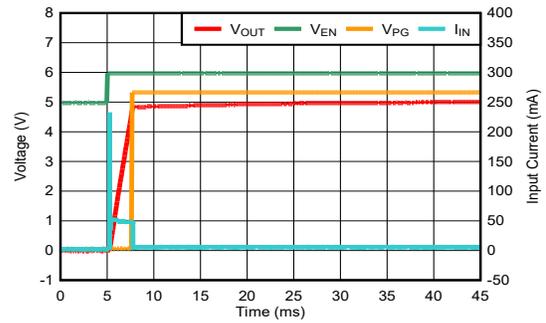
$C_{NR/SS} = 4.7\mu F$ ,  $C_{OUT} = 22\mu F$ ,  
 $V_{IN} = 1.15V$ ,  $V_{OUT} = 0.75V$

図 5-8.  $V_{OUT} = 0.75V$  までのライン過渡応答



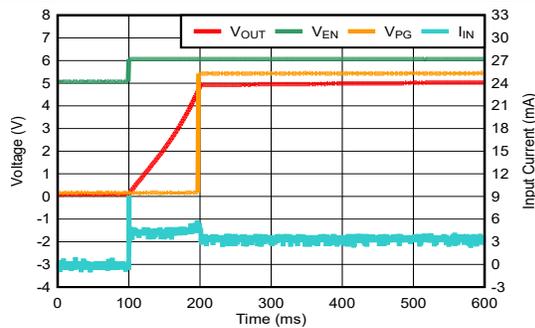
$C_{NR/SS} = 4.7\mu F$ ,  $C_{OUT} = 22\mu F$ ,  
 $V_{IN} = 1.15V$ ,  $V_{OUT} = 0.75V$

図 5-9.  $V_{OUT} = 0.75V$  における  $V_{BIAS}$  のライン過渡応答



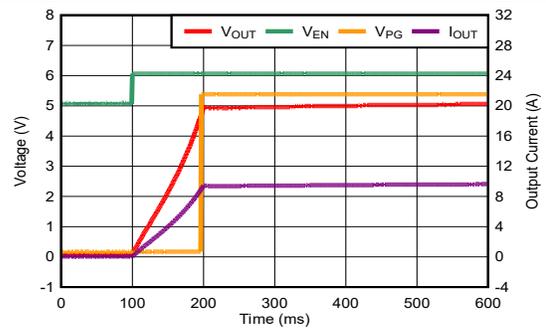
$C_{NR/SS} = 0.1\mu F$ ,  $C_{IN} = 10\mu F$ ,  $C_{OUT} = 22\mu F$ ,  
 $V_{OUT} = 5V$

図 5-10. 起動時の突入電流



$C_{NR/SS} = 4.7\mu F$ ,  $C_{IN} = 10\mu F$ ,  $C_{OUT} = 22\mu F$ ,  
 $V_{OUT} = 5V$

図 5-11. 起動時の突入電流

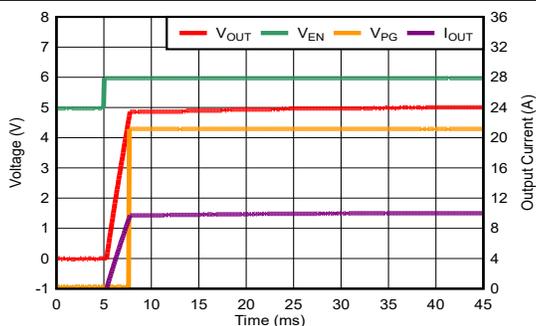


$C_{NR/SS} = 4.7\mu F$ ,  $C_{IN} = 10\mu F$ ,  $C_{OUT} = 22\mu F$ ,  
 $V_{OUT} = 5V$ ,  $I_{OUT} = 10A$

図 5-12. スタートアップ

## 5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$ ,  $V_{EN} = 1.8V$ ,  $C_{IN} = 10\mu F$ ,  $C_{OUT} = 22\mu F$ ,  $C_{BIAS} = 0nF$ , SNS ピンは OUT ピンに短絡、PG ピンは  $100k\Omega$  を介して  $V_{IN}$  にプルアップ (特に記載のない限り) とし、代表値は  $T_J = 25^\circ C$  での値です



$C_{NR/SS} = 0.1\mu F$ ,  $C_{IN} = 10\mu F$ ,  $C_{OUT} = 22\mu F$ ,  
、  $V_{OUT} = 5V$ ,  $I_{OUT} = 10A$

図 5-13. スタートアップ

## 6 詳細説明

### 6.1 概要

TPS7N59 は、低ノイズ (10Hz ~ 100kHz の帯域幅で  $2.5\mu\text{V}_{\text{RMS}}$ )、高精度 (1%)、超低ドロップアウト (LDO) リニア電圧レギュレータで、0.7V ~ 6.0V の入力範囲と 0.5V ~ 5.2V の出力電圧範囲を有しています。このデバイスは革新的な回路構成を採用しており、広い帯域幅と高いループゲインを実現しています。その結果、非常に低い動作ヘッドルームであっても、超高 PSRR を実現します [ $V_{\text{OpHr}} = (V_{\text{IN}} - V_{\text{OUT}})$ ]。全体像として、このデバイスには 2 つの主な機能 (電流リファレンスとユニティゲイン LDO バッファ) と、いくつかの 2 次機能 (調整可能なソフトスタート突入電流制御、高精度イネーブル、PG ピンなど) があります。

電流リファレンスは、REF ピンにより制御されます。このピンは、単一の抵抗で出力電圧を設定するとともに、起動時間を設定し、リファレンスおよび外部  $R_{\text{REF}}$  で生成されるノイズをフィルタします。

ユニティゲイン構成により出力電圧が設定されます。低ノイズ特性は出力電圧の上昇によって悪化せず、広帯域の PSRR を提供します。そのため、SNS ピンは負荷のリモートセンシング専用で使用されます。

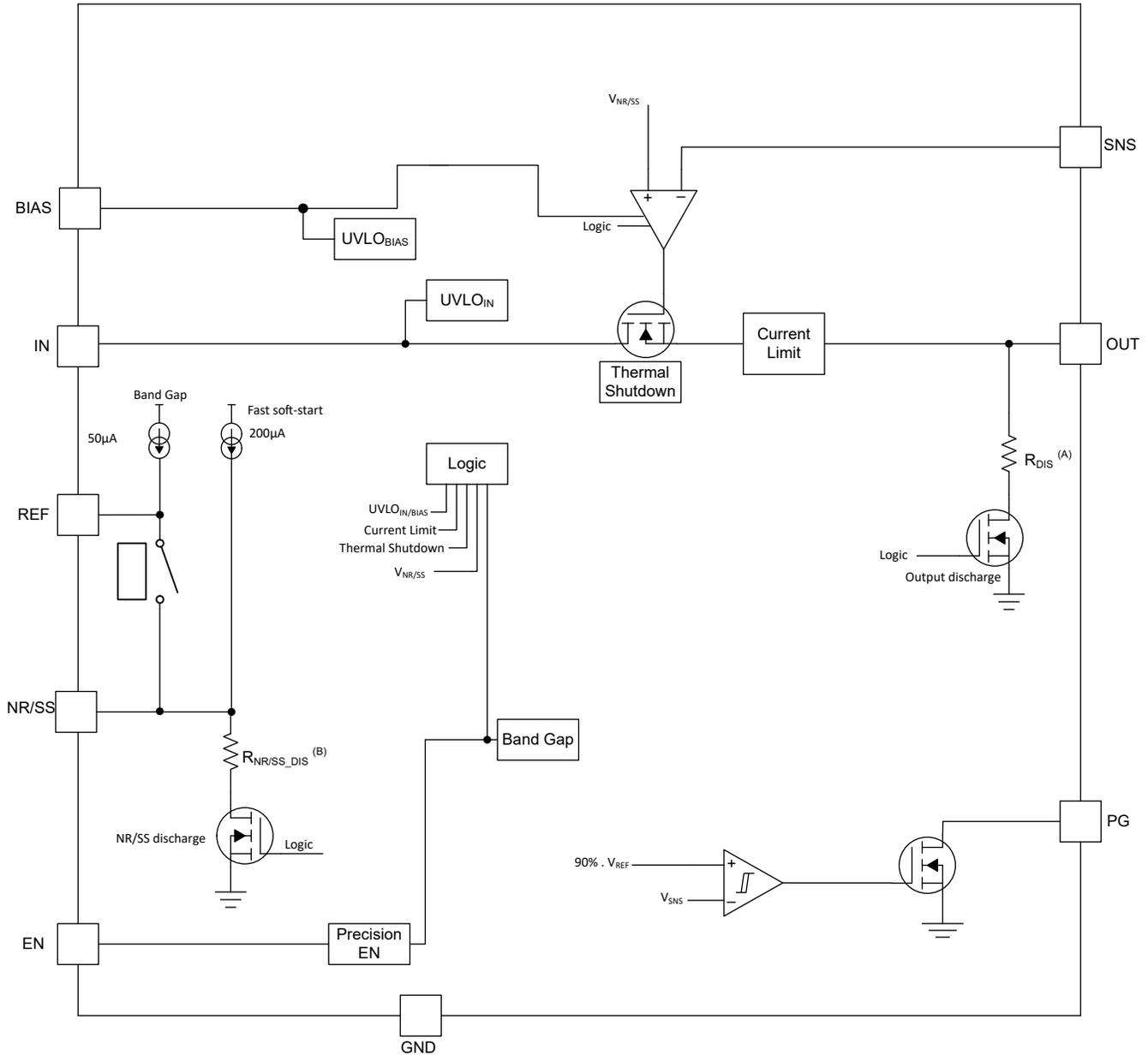
出力電圧を設定するには、標準値  $50\mu\text{A}$  の低ノイズ電流リファレンスを外付け抵抗 ( $R_{\text{REF}}$ ) とともに使用します。このプロセスにより、出力電圧範囲を 0.5V ~ 5.2V に設定できます。低ノイズを実現し、ソフトスタート時の突入電流を抑えるために、外付けコンデンサ  $C_{\text{REF}}$  (通常  $4.7\mu\text{F}$ ) を  $R_{\text{REF}}$  抵抗と並列に接続し、バンドギャップノイズを減衰させます。 $R_{\text{REF}}$  抵抗によって、出力電圧が設定されます。このユニティゲインの LDO は、負荷変動や電源変動に対する応答性能を損なうことなく、広い周波数範囲にわたって非常に高い PSRR を提供します。

EN ピンは高精度イネーブル機能を設定するためのもので、このピンに接続された抵抗分圧回路によって、デバイスが起動する最適な入力電圧が選択されます。このデバイスには 3 つの独立した低電圧誤動作防止 (UVLO) 電圧が設定されています。これらの電圧は、IN レールおよび BIAS レールに対する内部固定の UVLO スレッショルドと、EN ピンを使用して外部から調整可能な UVLO スレッショルドです。

このレギュレータは、電流制限機能および熱保護機能を備えており、 $-40^{\circ}\text{C}$  ~  $+125^{\circ}\text{C}$  の範囲で完全に仕様が規定されています。また、熱効率に優れた  $4\text{mm} \times 4\text{mm}$  の 24 ピン WQFN パッケージで提供されます。

## 6.2 機能ブロック図

ADVANCE INFORMATION



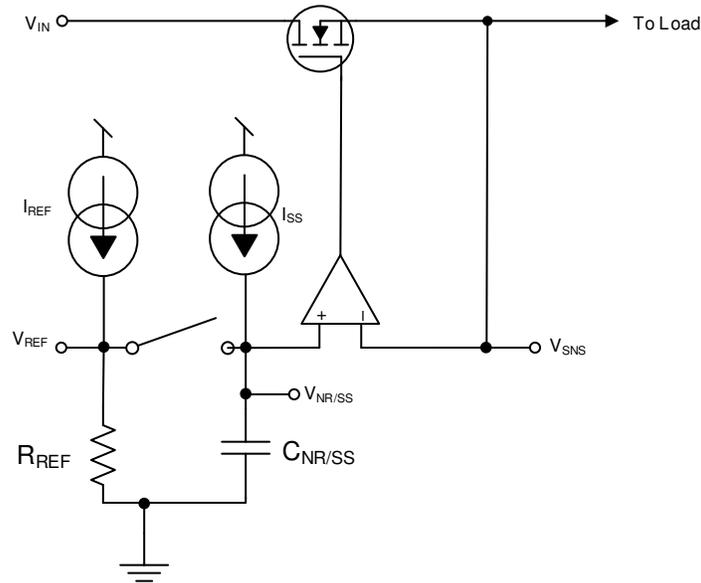
- A.  $R_{DIS}$  (出力ピンのアクティブ放電抵抗) の値を [電気的特性](#) の表で参照してください。
- B.  $R_{NR/SS\_DIS}$  (NR/SS ピンのアクティブ放電抵抗) の値を [電気的特性](#) の表で参照してください。

## 6.3 機能説明

### 6.3.1 出力電圧設定およびレギュレーション

簡略化されたレギュレーション回路を図 6-1 に示します。この場合、入力信号 ( $V_{REF}$ ) は内部電流源 ( $I_{REF}$ ) と外付け抵抗 ( $R_{REF}$ ) によって生成されます。誤差アンプは常にユニティゲイン構成で動作しているため、LDO 出力電圧は  $V_{REF}$  電圧によってプログラムされます。 $V_{REF}$  リファレンス電圧は、 $R_{REF}$  抵抗を駆動する内部の低ノイズ電流源によって生成され、ローパスフィルタ ( $C_{REF} \parallel R_{REF}$ ) を使用して、エラーアンプへの入力の帯域幅を非常に小さくするように設計されています。

ユニティゲイン構成は、SNS を OUT に接続することで実現されます。最良の性能を得るために、出力トレースのインダクタンスを最小限に抑え、 $C_{OUT}$  を出力端子のできるだけ近くに接続してください。



$$V_{OUT} = I_{REF} \times R_{REF}$$

図 6-1. 簡易レギュレーション回路

このユニティゲイン構成と、高精度の  $I_{REF}$  リファレンス電流により、このデバイスは非常に優れた出力電圧精度を実現できます。低いドロップアウト電圧 ( $V_{DO}$ ) によって、放熱が低減され、堅牢な性能を実現できます。この機能の組み合わせにより、このデバイスは敏感なアナログ低電圧 ( $\leq 5.5V$ ) デバイスへの電力供給に最適な電圧源です。

### 6.3.2 低ノイズおよび超高電源除去比 (PSRR)

このデバイスのアーキテクチャは、高精度、高精密、低ノイズの電流リファレンスと、それに続く最先端の相補型金属酸化膜半導体 (CMOS) エラーアンプを備えています ( $V_{OUT} \geq 0.5V$  の場合、 $10kHz$  ノイズ時における  $6nV/\sqrt{Hz}$ )。従来世代の LDO とは異なり、このデバイスのユニティゲイン構成は、出力電圧範囲全体にわたって低ノイズを実現します。

### 6.3.3 プログラミング可能なソフトスタート

このデバイスには、プログラム可能な単調電流制御ソフトスタート回路が搭載されており、 $C_{REF}$  コンデンサを使用して、起動時の出力コンデンサおよび負荷への突入電流を最小限に抑えます。また、この回路は、出力電圧が設定値の少なくとも 90% に迅速に到達することが求められる一部の用途において、起動時間を短縮できます。

### 6.3.4 高精度のイネーブルと UVLO

回路の実装によっては、最大 3 つの独立した低電圧誤動作防止 (UVLO) 電圧回路がアクティブな可能性があります。入力電源 (IN ピン) およびバイアス電源 (BIAS ピン) には内部設定された UVLO があり、入力電圧が最小しきい値に達すると自動的に LDO を無効化します。高精度の EN 機能 (EN ピン) は、ユーザーがプログラム可能な UVLO としても機能できます。

1. 内部入力電源電圧 UVLO 回路により、入力電圧が十分高くないときはレギュレータがオンになるのを防止します。詳細は [電氣的特性表](#) を参照してください。
2. 内部バイアス電源の UVLO 回路により、バイアス電圧が十分に高くないときにレギュレータがオンになることが防止されます。詳細は [電氣的特性表](#) を参照してください。
3. 高精度のイネーブル回路により、他の電源からの抵抗分圧を用いて複数の電源のシーケンス制御を簡単に行うことができます。このイネーブル回路を使用すると、EN ピンの抵抗デバイダを使用して、デバイスが有効化される外部 UVLO 電圧を設定できます。詳細については、[高精度イネーブル \(外部 UVLO\)](#) セクションを参照してください。

### 6.3.5 パワー グッド ピン (PG ピン)

PG ピンは、LDO が電力供給可能な状態であることを示す出力ピンです。このピンは、オープンドレイン構成で実装されています。起動フェーズ中、PG 電圧スレッシュホールドは、高速ソフトスタートが実行されているときは REF 電圧によって設定され、高速ソフトスタートが完了し、REF と NR/SS 間の切り替えが終了したときは NR/SS 電圧によって設定されます。

[機能ブロック図](#) に示すように、PG ピンは SNS ピン電圧を内部リファレンス電圧と比較することで実装されており、出力電圧ステータスを反映する電圧インジケータと見なされます。

### 6.3.6 アクティブ放電

内部ノードを迅速に放電するために、本デバイスには 2 つの内部プルダウン MOSFET (金属酸化膜半導体電界効果トランジスタ) が組み込まれています。1 番目のプルダウン MOSFET は、デバイスがディセーブルされて、出力コンデンサをアクティブに放電する際に、OUT からグラウンドに抵抗 ( $R_{DIS}$ ) を接続します。2 つ目のプルダウン MOSFET は、デバイスが無効化されたときに REF ( $R_{REF\_DIS}$ ) からグラウンドへ抵抗を接続し、REF コンデンサを放電します。両方のプルダウン MOSFET は、以下のいずれかのイベントによってアクティブ化されます。

- EN ピンの電圧を  $V_{EN(LOW)}$  スレッシュホールドより低くする
- IN ピンの電圧が低電圧誤動作防止スレッシュホールド電圧  $V_{UVLO(IN)}$  を下回っている
- BIAS ピンの電圧が低電圧誤動作防止スレッシュホールド電圧  $V_{UVLO(BIAS)}$  を下回っている

#### 注

低入力、低出力 (LILO) 動作時 ( $< 1.1V_{IN}$ ) に BIAS でブラウンアウトが発生すると、 $C_{REF}$  の放電が不完全になる場合があります。適切なシステム シャットダウン手順を行うために、REF ピンおよび OUT ピンの時定数を考慮します。

### 6.3.7 サーマル シャットダウン保護機能 ( $T_{SD}$ )

サーマル シャットダウン保護回路は、パストランジスタの接合部温度 ( $T_J$ ) が  $T_{SD(shutdown)}$  (標準値) まで上昇したときに LDO を無効にします。サーマル シャットダウン ヒステリシスにより、温度が  $T_{SD(reset)}$  (標準値) まで低下するとデバイスがリセットされる (オンになります) ことを確認します。半導体ダイの熱時定数はかなり短いため、消費電力が減少するまでの間、サーマル シャットダウンに達した場合に本デバイスはサイクルのオフとオンを行うことができます。起動時の電力損失は、デバイス両端で  $V_{IN}$  と  $V_{OUT}$  間の大きな電圧降下が発生するか、または大容量の出力コンデンサを充電する高い突入電流によって、高くなる場合があります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。信頼性の高い動作を実現するには、接合部温度を [電氣的特性表](#) に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。本デバイスの内蔵保護回路は全体的な熱条件から保護するように設計されていますが、この回路は適切なヒート シンクの代わりとなるものではありません。デバイスをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

## 6.4 デバイスの機能モード

### 6.4.1 通常動作

デバイスは、以下の条件が満たされるとき、公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の和 ( $V_{OUT(nom)} + V_{DO}$ ) よりも大きい
- バイアス電圧は、公称出力電圧 + 3.2V ( $V_{OUT(nom)} + 3.2V$ ) より大きい値です
- 出力電流が、電流制限より小さい ( $I_{OUT} < I_{LIM}$ )
- デバイスの接合部温度が、サーマル シャットダウン温度未満 ( $T_J < T_{SD(shutdown)}$ )
- EN ピンの電圧は以前に  $V_{IH(EN)}$  スレッショルド電圧を上回っており、イネーブル立ち下がりスレッショルドを下回るまでは低下していません。

表 6-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、[電气的特性](#) の表を参照してください。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ				
	$V_{IN}$	$V_{BIAS}$	$V_{EN}$	$I_{OUT}$	$T_J$
通常モード	$V_{IN} \geq V_{OUT(nom)} + V_{DO}$ および $V_{IN} \geq V_{UVLO(IN)}$	$V_{BIAS} \geq V_{OUT} + 3.2V$	$V_{EN} \geq V_{IH(EN)}$	$I_{OUT} < I_{CL}$	シャットダウン用: $T_J < T_{SD}$
ドロップアウト モード	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{BIAS} = V_{OUT} + 3.2V$	$V_{EN} > V_{IH(EN)}$	$I_{OUT} < I_{CL}$	シャットダウン用: $T_J < T_{SD}$
無効 モード	$V_{IN} < V_{UVLO(IN)}$	$V_{BIAS} < V_{BIAS(UVLO)}$	$V_{EN} < V_{IL(EN)}$	-	シャットダウン用: $T_J \geq T_{SD}$

### 6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも小さいが、通常動作の他の条件がすべて満たされているとき、デバイスはドロップアウトモードで動作します。このモードでは、出力電圧は入力電圧から  $V_{DO}$  を差し引いた値に追従します。ドロップアウト動作では、パストランジスタがオーム領域または三極管領域にあり、スイッチとして機能するため、過渡性能が大幅に低下します。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生することがあります。

#### 注

BIAS および IN の 2 つの電源レールを持つ従来の n 型電界効果トランジスタ (NMOS) LDO とは異なり、TPS7N59 は OUT-to-BIAS ドロップアウトモードに入ることができません。正常に動作させるためには、電圧を UVLO (BIAS) よりも高く維持するために、最小で  $V_{BIAS} = V_{REF} + 3.2V$  を推奨します。

追加情報については、「[低電圧誤動作防止 \(UVLO\) 動作](#)」セクションを参照してください。

### 6.4.3 無効

EN ピンの電圧を強制的に  $V_{IH(EN)}$  スレッショルド未満にすることで、出力をシャットダウンできます ([電気的特性](#) 表を参照)。無効化の場合、パストランジスタがオフになり、内部回路がシャットダウンされ、IN ピンの電圧がダイオードの降下電圧以上である場合、NR/SS ピンと OUT ピンの両方の電圧が内部放電回路によってグランドへアクティブに放電されません。

### 6.4.4 電流制限動作

出力電流が最小電流制限 ( $I_{LIM(Min)}$ ) 以上の場合、デバイスは電流制限モードで動作します。電流制限はフォールドバック実装です。

## 7 アプリケーションと実装

### 注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 使用上の注意

アプリケーションで LDO を正しく実装するには、アプリケーションの要件に依存します。このセクションでは、デバイスの主要な機能と、信頼性の高い設計を実現するための最適な実装方法について説明します。

#### 7.1.1 高精度イネーブル (外部 UVLO)

高精度イネーブル回路 (EN ピン) は、デバイスのオン/オフを切り替えます。この回路を使うと、[図 7-1](#) に示すように、外部の低電圧誤動作防止 (UVLO) 電圧を設定して、IN (または BIAS)、EN、GND の間に抵抗デバイダを使用して、デバイスのオンとオフを切り替えることができます。

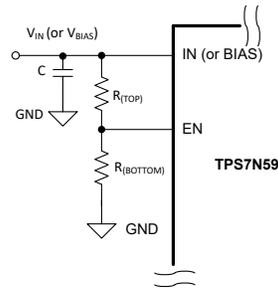


図 7-1. 高精度 EN を外部 UVLO として使用

この外部 UVLO 設計は、入力電源電圧が十分に高くないときにデバイスがオンになることを防止するために使用され、デバイスをドロップアウト動作に移行させる可能性があります。この設計では、他の電源からの抵抗デバイダを使用して複数の電源を簡単にシーケンシングすることもできます。抵抗デバイダを使用してデバイスを有効また無効にするもう 1 つの利点は、EN ピンをフローティングのままにしないことです。このピンには内部プルダウン抵抗がないためです。ただし、このピンの絶対最大定格に準拠するため、EN ピンとグランドとの間にツェナー ダイオードが必要な場合があります。

式 1 と 式 2 を使用して正しい抵抗値を求めます。

$$V_{ON} = V_{OFF} \times [(V_{IH(EN)} + V_{HYS(EN)}) / V_{EN}] \quad (1)$$

$$R_{(TOP)} = R_{(BOTTOM)} \times (V_{OFF} / V_{IH(EN)} - 1) \quad (2)$$

ここで

- $V_{OFF}$  は、レギュレータがオフになる入力またはバイアス電圧です
- $V_{ON}$  は、レギュレータがオンになる入力またはバイアス電圧です

### 注

EN ピンの入力電流  $I_{EN}$  では、影響は無視されます。

### 7.1.2 低電圧誤動作防止 (UVLO) 動作

TPS7N59 は、入力電圧およびバイアス電圧の両方に対して低電圧ロックアウト (UVLO) 回路を使用しています。この回路は、すべての電圧が上昇側の UVLO 電圧を超えるまで出力を無効にします。

#### 7.1.2.1 UVLO での IN ピン

IN ピン UVLO (UVLO(IN)) 回路により、入力電源が最小動作電圧範囲に達する前にデバイスが無効化状態を維持し、入力電源が急激に低下した場合にデバイスがシャットダウンされます。

UVLO (IN) 回路が完全にアサートされるまでの最小応答時間は数マイクロ秒です。この間、電圧が約 0.67V を下回るような下降過渡が発生すると、入力電源の UVLO (IN) が短時間アサートされます。ただし、UVLO (IN) 回路には、デバイス内の内部回路を完全に放電するのに十分な蓄積エネルギーがないため、OUT と NR/SS コンデンサの放電が不完全になる可能性があります。

#### 注

下降ライン過渡の影響はオーバーシュート防止回路をトリガする可能性があり、[高精度イネーブル \(外部 UVLO\)](#) セクションで提案する設計を使用することで簡単に緩和できます。

#### 7.1.2.2 BIAS UVLO

BIAS ピン UVLO (UVLO(BIAS)) 回路により、入力電源が最小動作電圧範囲に達する前にデバイスが無効化状態を維持し、入力電源が急激に低下した場合にデバイスがシャットダウンされます。

UVLO (BIAS) 回路が完全にアサートされるまでの最小応答時間は数マイクロ秒です。この期間中、 $V_{REF} + 2.1V$  を下回る下降方向のライン過渡が発生すると、入力電源の UVLO (BIAS) が短時間アサートされます。ただし、UVLO (BIAS) 回路には、デバイス内の内部回路を完全に放電するのに十分な蓄積エネルギーがないため、OUT と NR/SS コンデンサの放電が不完全になる可能性があります。

#### 注

下降ライン過渡の影響はオーバーシュート防止回路をトリガする可能性があり、[高精度イネーブル \(外部 UVLO\)](#) セクションで提案する設計を使用することで簡単に緩和できます。

#### 7.1.2.3 UVLO の標準動作

各種入力電圧イベントに対する UVLO (IN または BIAS) 回路の応答を、[図 7-2](#) に示します。この図は、次の領域に分けることができます。

- 領域 A: 入力が UVLO の立ち上がりスレッショルドに達するまで、デバイスはオンになりません。
- 領域 B: 安定化された出力での通常動作。
- 領域 C: UVLO 立ち下がりのスレッショルドを上回るブラウンアウト イベント (UVLO 立ち上がりスレッショルド - UVLO ヒステリシス)。出力がレギュレーション範囲外になる可能性がありますが、デバイスは引き続きイネーブル状態です。
- 領域 D: 安定化された出力での通常動作。
- 領域 E: UVLO 立ち下がりのスレッショルドを下回るブラウンアウト イベント。ほとんどの場合、デバイスはディセーブルされており、負荷およびアクティブ放電回路によって出力が低下します。入力電圧が UVLO の立ち上がりスレッショルドに達すると、デバイスは再びイネーブル状態になり、その後、通常の起動シーケンスに移行します。
- 領域 F: 通常動作の後、入力電圧が UVLO の下降スレッショルドまで低下します。
- 領域 G: 入力電圧が UVLO 立ち下がりのスレッショルド 0V を下回ると、デバイスはディセーブルになります。負荷およびアクティブ放電回路によって出力が低下します。

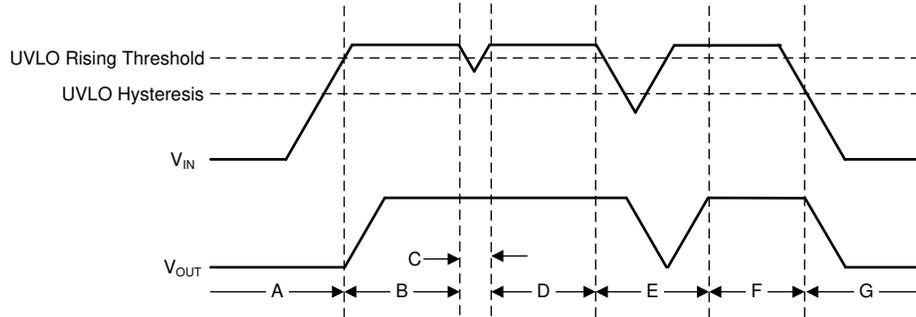


図 7-2. UVLO の標準動作

### 7.1.3 ドロップアウト電圧 ( $V_{DO}$ )

一般的な話として、ドロップアウト電圧とは多くの場合、レギュレーションに必要な入力電圧と出力電圧 ( $V_{DO} = V_{IN} - V_{OUT}$ ) との最小電圧差を意味します。 $V_{IN}$  が特定の負荷電流に対して設定された  $V_{DO}$  以下に低下すると、デバイスは抵抗スイッチとして機能し、出力電圧を調整しません。デバイスがドロップアウト状態で動作しているとき、出力電圧は入力電圧に追従し、ドロップアウト電圧 ( $V_{DO}$ ) は出力電流に比例します。これは本デバイスが抵抗性スイッチとして動作しているためです。ドロップアウト電圧またはそれに近い温度でデバイスを動作させると、デバイスの過渡性能と PSRR が大幅に低下します。十分な  $V_{OpHr}$  を維持すると、デバイスの過渡性能と PSRR が大幅に向上します。

#### 注

BIAS レールの最小値を REF ピン電圧より 3.2V 高く設定すると、パストランジスタは十分な BIAS から OUT へのヘッドルームを確保でき、その結果、考慮すべきなのは IN から OUT へのドロップアウト条件のみとなります。その他の動作条件については、[低電圧誤動作防止 \(UVLO\) 動作](#) セクションを参照してください。

### 7.1.4 入力および出力コンデンサの要件 ( $C_{IN}$ および $C_{OUT}$ )

TPS7N59 は、出力側に 22 $\mu$ F 以上 (実効容量 15 $\mu$ F 以上)、入力側に 10 $\mu$ F 以上 (実効容量 5 $\mu$ F 以上) のセラミックコンデンサを使用することを前提として設計および特性評価されています。入力インピーダンスを最小化するため、入力には 10 $\mu$ F コンデンサを少なくとも使用します。トレースの寄生容量を最小限に抑えるために、入力コンデンサおよび出力コンデンサは、それぞれの入力ピンおよび出力ピンの近くにできるだけ配置します。入力電源から TPS7N59 への配線インダクタンスが大きい場合、高速電流過渡によって  $V_{IN}$  が絶対最大電圧定格を超えてリングングが発生し、デバイスが損傷するおそれがあります。入力コンデンサを追加してリングングを抑え、電圧スパイクがデバイスの絶対最大定格を超えないようにすることで、この状況を緩和できます。

#### 注

広い帯域幅を持つため、LDO のエラー アンプは出力コンデンサよりも速く反応する可能性があります。このような場合、負荷の挙動が直接 LDO の電源に現れ、電源電圧を引き下げてしまう可能性があります。このような動作を回避するため、出力に存在する ESR と ESL の両方を最小限に抑えます。[推奨動作条件表](#) を参照してください。

### 7.1.5 推奨されるコンデンサの種類

このデバイスは、入力ピン、出力ピン、およびノイズ低減ピンにおいて、低等価直列抵抗 (ESR) および低等価直列インダクタンス (ESL) のセラミックコンデンサを使用して安定に動作するよう設計されています。マルチレイヤセラミックコンデンサは、この種のアプリケーションの業界標準になっており、推奨されますが、適切な判断のもとに使用する必要があります。X7R、X5R、および COG 定格の誘電体材料を使用したセラミックコンデンサは、温度および電源電圧に対して比較的良好な容量安定性を提供します。Y5V 定格のコンデンサの使用は、容量に大きな変動があるため推奨しません。

選択されたセラミックコンデンサの種類にかかわらず、セラミック容量は動作電圧や温度によって変化します。セラミックコンデンサは、必ず 50% 以上デレーティングしてください。ここで推奨する入力および出力コンデンサは、容量のデレーティングが約 50% となるよう考慮していますが、 $V_{IN}$  および  $V_{OUT}$  が高い条件 ( $V_{IN} = 5.5V \sim V_{OUT} = 5.0V$ ) や温度が

極端に変化する場合、ディレーティングが 50% を超える可能性があるため、考慮に入れる必要があります。コンデンサは対応するピンのできるだけ近くに配置し、帰路の過渡電流を短くするために、コンデンサの GND 接続はデバイスの GND ピンにできる限り近づけてください。入力トレースのインダクタンスを抑制し、過渡応答を改善するために、より大きな入力コンデンサや、異なる容量値のコンデンサを組み合わせたバンクを使用することは、常に望ましい設計手法です

### 7.1.6 ソフトスタート、ノイズ低減(NR/SS ピン)、パワーグッド(PG ピン)

この NR/SS ピンはソフトスタート時間を制御し、内部バンドギャップ基準電圧と外部抵抗  $R_{REF}$  によって発生するノイズを低減するデュアル機能を有します。NR/SS コンデンサ ( $C_{NR/SS}$ ) は、出力ノイズを非常に低いレベルに低減し、突入電流を制限するように出力上昇レートを設定します。

このデバイスには、外付けコンデンサ ( $C_{NR/SS}$ ) とともに動作するように設定されたプログラム可能、単調、電圧制御のソフトスタート回路が搭載されています。 $C_{NR/SS}$  コンデンサは、ソフトスタート機能に加えて、LDO の出力電圧ノイズも低減します。ソフトスタート機能を使用すると、起動時の初期化の問題を解消できます。制御された出力電圧ランプにより、起動時のピーク突入電流も減少し、入力電源バスにおけるスタートアップ時の過渡事象も最小化されます。

単調な起動を実現するため、デバイスの出力電圧は、この基準電圧が設定値 (設定された出力電圧) に達するまで、 $V_{NR/SS}$  リファレンス電圧に追従します。 $V_{NR/SS}$  のリファレンス電圧は  $R_{REF}$  抵抗によって設定され、起動時に、デバイスは高速充電電流 ( $I_{FAST\_SS}$ ) を使用して、図 7-3 に示すように、 $C_{NR/SS}$  コンデンサを充電します。

注

NR/SS および REF ピンのリークは、基準電圧の精度に影響を及ぼします。

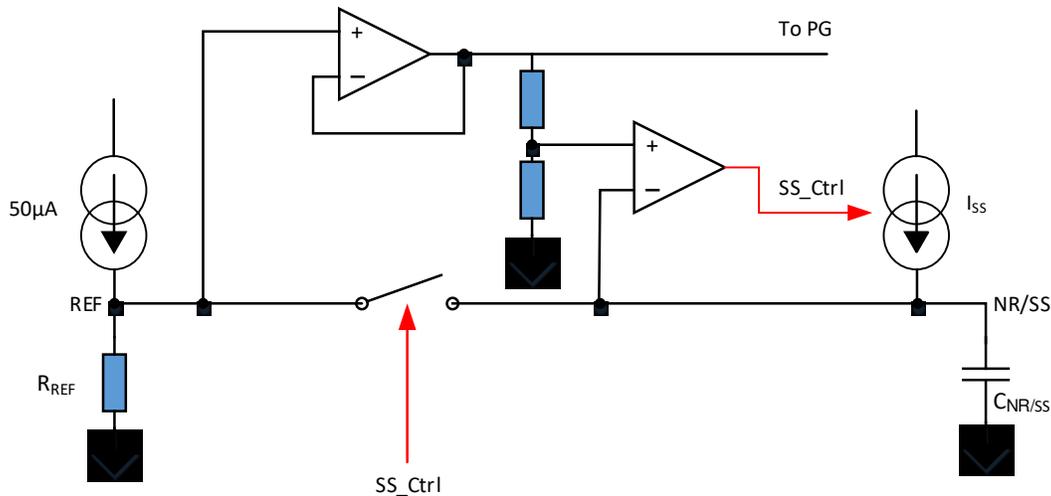


図 7-3. 簡易ソフトスタート回路

200µA (標準値) の  $I_{NR/SS}$  電流は、電圧が設定出力電圧の約 97% に達するまで  $C_{NR/SS}$  をすばやく充電します。その後、 $I_{SS}$  電流がオフになり、REF と NR/SS の間のスイッチが閉じて、 $I_{REF}$  電流のみが  $C_{NR/SS}$  を設定出力電圧レベルまで充電し続けます。

注

NR/SS の放電プルダウン抵抗 (機能ブロック図を参照) は、GND 基準 UVLO のいずれかがトリップした場合、または何らかのフォルトが発生し (過熱、POR、IREF 不良、OTP エラー)、NRSS ピンが 50mV を上回っている場合に作動します。

ソフトスタートのランプ時間は、高速スタートアップ ( $I_{NR/SS}$ ) 充電電流、リファレンス電流 ( $I_{REF}$ )、 $C_{NR/SS}$  コンデンサの値、および目標出力電圧 ( $V_{OUT(target)}$ ) に依存します。式 3 で、ソフトスタートのランプ時間を計算します。

$$\text{Soft-start time } (t_{SS}) = (V_{OUT(target)} \times C_{NR/SS}) / (I_{SS}) \quad (3)$$

$I_{SS}$  電流は代表的特性セクションに示されており、値は  $200\mu\text{A}$  (標準値) です。 $I_{REF}$  電流の値は  $50\mu\text{A}$  (標準値) です。起動時間の残り 3% は、 $R_{REF} \times C_{NR/SS}$  時定数によって決まります。図 7-4 に、起動時の PG スレッシュホールドを示します。

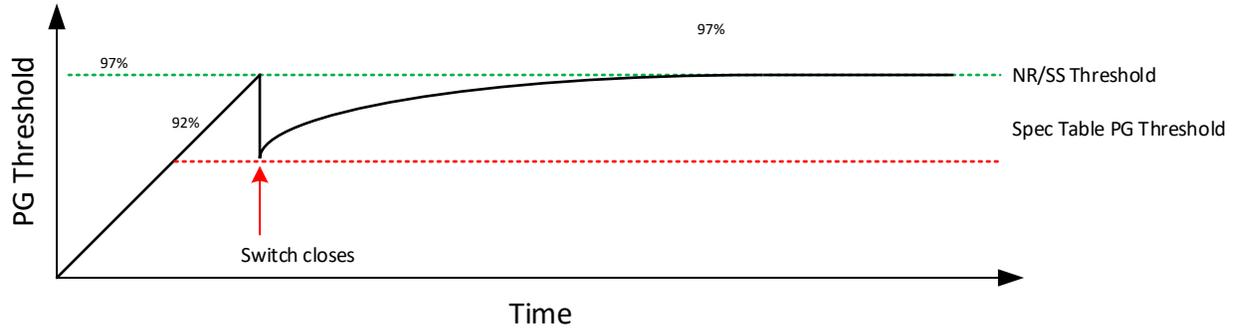


図 7-4. 起動時の PG スレッシュホールド

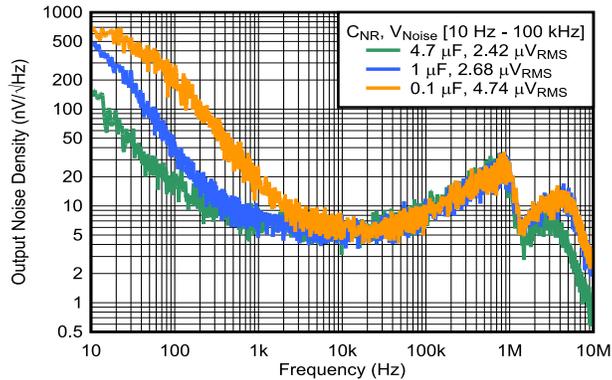
$C_{NR/SS}$  コンデンサを大きくすると、出力電圧ノイズを大幅に低減できます。 $C_{NR/SS}$  コンデンサと  $R_{REF}$  抵抗によってローパスフィルタ (LPF) が形成され、 $V_{REF}$  電圧リファレンスからのノイズを削減して、デバイスのノイズフロアが低減されます。LPF は単極フィルタで、式 4 は LPF カットオフ周波数を計算します。 $C_{NR/SS}$  コンデンサを大きくすると、出力電圧ノイズを大幅に低減できます。ただし、これにより、起動時間が長くなります。低ノイズの用途では、最高のノイズと起動時間のトレードオフを実現するために  $4.7\mu\text{F}$   $C_{NR/SS}$  を使用します。

$$\text{Cutoff Frequency (} f_{\text{cutoff}} \text{)} = 1 / (2 \times \pi \times R_{\text{REF}} \times C_{\text{NR/SS}}) \quad (4)$$

注

起動時に、小さな  $C_{NR/SS}$  と大きな  $C_{OUT}$  で電流制限を設定できます。これは、 $V_{OUT}$  がソフトスタートランプに追従しなくなるためです。

図 7-5 に、 $C_{NR/SS}$  コンデンサが LDO の出力電圧ノイズに及ぼす影響を示します。



$C_{IN} = 10\mu\text{F}$ ,  $C_{OUT} = 22\mu\text{F}$ ,  $V_{IN} = 1.15\text{V}$ ,  $V_{OUT} = 0.75\text{V}$ ,  $I_{OUT} = 10\text{A}$ ,  
 $V_{BIAS} = 12\text{V}$

図 7-5. 出力電圧ノイズ密度と  $C_{NR/SS}$  との関係

### 7.1.7 ノイズと PSRR の最適化

ノイズとは一般に、電源の品質が低下する原因となる、目的の信号 (レギュレートされる LDO 出力など) と組み合わせる、不要な信号と定義できます。ノイズは、ノイズやポップ音としてオーディオに簡単に認識できます。ノイズは大きく分けて、外因性と内因性の 2 つの基本的なグループに分類できます。外部回路や自然現象から生じるノイズ、たとえば 50Hz ~ 60Hz の電力線ノイズ (スパイク) やその高調波などは、外因性ノイズの代表的な例です。固有ノイズは、抵抗やトランジスタなど、デバイス回路内の部品によって生成されます。このデバイスでは、固有ノイズの支配的な原因は、誤差アンプと内部基準電圧 ( $V_{REF}$ ) の 2 つです。外因ノイズと組み合わせられることがあるもう 1 つの用語は PSRR です。これは、回路またはデバイスが入力電源ノイズを除去またはフィルタリングできる能力を指し、入力電圧ノイズリップルに対する出力電圧ノイズリップルの比として表されます。

次の項目を注意深く選択することで、デバイス固有のノイズと PSRR を最適化します。

- デバイスの帯域幅までの低周波数範囲に対応する  $C_{NR/SS}$
- 高周波数範囲がデバイスの帯域幅に近い、またはそれを上回る  $C_{OUT}$
- 動作ヘッドルーム、 $V_{IN} - V_{OUT}$  ( $V_{OpHr}$ )。主にデバイスの帯域幅までの低周波数範囲ですが、より高い周波数が影響を及ぼしにくいものです

より大きな  $C_{NR/SS}$  コンデンサを使用してデバイスの  $V_{REF}$  リファレンスへのノイズ結合をフィルタ除去することで、デバイスのノイズ性能を大幅に向上できます。この結合は、低周波からデバイスの帯域幅までの範囲で特に顕著です。 $C_{NR/SS}$  と  $R_{REF}$  によって形成されるローパス フィルタは、入力電源に発生する低周波数ノイズを目標として設計できます。 $C_{NR/SS}$  コンデンサを大きくすることの欠点の一つは、起動時間が長いことです。デバイスのユニティ ゲイン構成により、フィードバック回路が原因で他の LDO が受けるノイズ性能の低下を排除できます。さらに、デバイスの負荷電流を増加させても、デバイスのノイズ性能への影響はほとんど、またはまったくありません。

より大きな  $C_{OUT}$  コンデンサを使用することで、デバイスの帯域幅よりも高い周波数範囲でデバイスのノイズをさらに改善できます。ただし、 $C_{OUT}$  を大きくすると突入電流が大きくなり、デバイスの過渡応答が遅くなります。

### 7.1.8 可変動作

図 7-6 に示すように、1 つの外付け抵抗 ( $R_{REF}$ ) を使用してデバイスの出力電圧を設定できます。

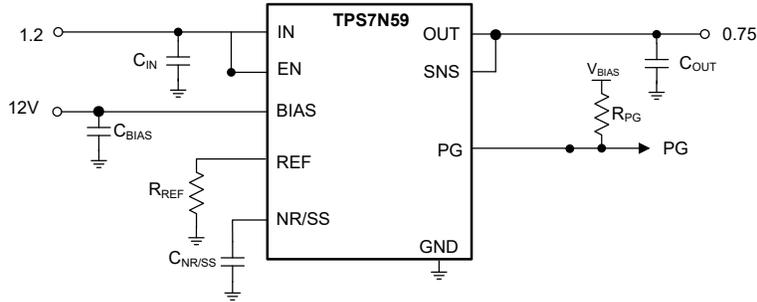


図 7-6. 回路例

式 5 を使用して、目的の出力電圧に必要な  $R_{REF}$  値を計算します。

$$V_{OUT} = I_{REF(NOM)} \times R_{REF} \quad (5)$$

表 7-1 に、許容誤差の標準 1% の抵抗を使用して複数の一般的なレールを実現するための推奨  $R_{REF}$  抵抗値を示します。

表 7-1.  $R_{REF}$  の推奨値

目標出力電圧 (V)	$R_{REF}$ (k $\Omega$ ) <sup>(1)</sup>	計算された出力電圧 (V)
0.5	10.0	0.500
0.6	12.1	0.605
0.7	14.0	0.700
0.8	16.2	0.810
0.9	18.2	0.910
1.0	20.0	1.000
1.2	24.3	1.215
1.5	30.1	1.505
2.5	49.9	2.495
3.0	60.4	3.020
3.3	66.5	3.325
3.6	71.5	3.575
4.7	95.3	4.765
5.0	100.0	5.000

(1) 抵抗は 1% 未満。

### 7.1.9 負荷過渡応答

負荷ステップ過渡応答とは、LDO の出力電圧が負荷電流の変動に対してどのように応答し、出力電圧のレギュレーションを維持するかを示すものです。負荷過渡応答中には、軽負荷から重負荷への遷移、および重負荷から軽負荷への遷移の 2 つの重要な遷移があります。図 7-7 に示す領域は、このセクションで分類します。A、E、H の各領域で、出力電圧が定常状態のレギュレーション状態にあることを示しています。

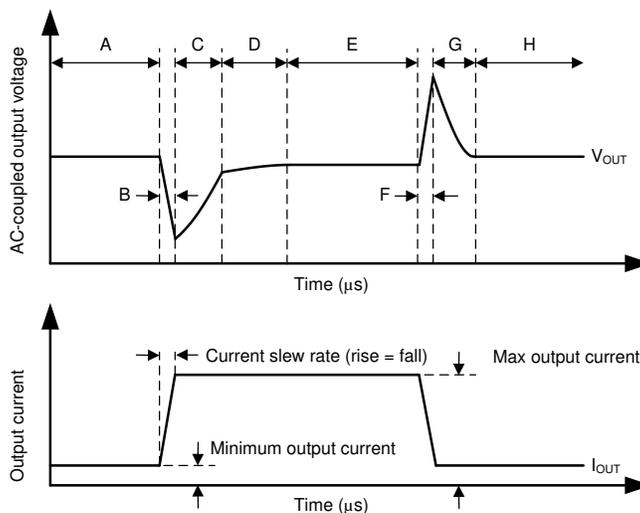


図 7-7. 負荷過渡波形

軽負荷から重負荷への遷移中の動作:

- 最初の電圧降下は、出力コンデンサの電荷の消耗および出力コンデンサまでの寄生インピーダンスによって生じるものです (領域 B)
- 電圧降下からの回復は、LDO が供給電流を増加させることによって起こり、出力電圧のレギュレーションへとつながります (領域 C)

高負荷から軽負荷への遷移時の遷移:

- 最初の電圧上昇は、LDO が大きな電流を供給することによって生じ、その結果、出力コンデンサの電荷が増加します (領域 F)
- 電圧上昇からの回復は、LDO が供給電流を減少させることと、負荷が出力コンデンサを放電することによって生じます (領域 G)

電流レベルの遷移は、デバイスが大電流デバイスであるため、内部の電力損失を変化させます (領域 D) 電力損失の変化は、これらの遷移中にチップ内部の温度を変化させ、それによって出力電圧レベルがわずかに変動する原因となります。この温度に依存する出力電圧レベルは、さまざまな負荷過渡応答に示されます。

出力容量が大きいと、負荷過渡時のピークは小さくなりますが、デバイスの応答時間は遅くなります。dc 負荷が大きくなることでもピークは小さくなります。これは、遷移の振幅が小さくなり、出力コンデンサに対してより大きな電流の放電経路が確保されるためです。

#### 注

TPS7N59 はより広帯域幅で、出力コンデンサよりも高速に反応できます。LDO の入力に十分な容量があることを確認します。

### 7.1.10 シーケンシング

IN、BIAS、EN の間にシーケンス要件はありません。

内部マルチプレクサを備えたデバイスと同様に、放電時に BIAS レールの方が IN レールよりも速く低下すると、シャットダウン中に誤った PG がトリガされる場合があります。

図 7-8 に示すように、バイアス レールが  $V_{UVLO(BIAS)}$  を下回ると、IN と BIAS の間にある内部マルチプレクサが切り替わり、LDO には IN レールから完全に電力が供給されます。

BIAS レールが UVLO (BIAS) を下回り、かつ IN レールが 1.1V を超えている場合、IN は依然として動作有効条件を満たしているため、LDO が再起動する可能性があります。

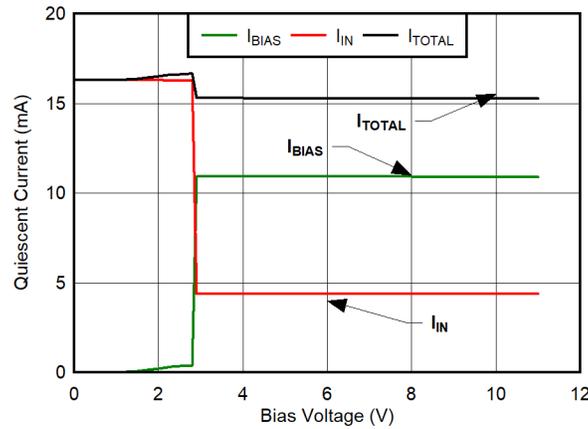


図 7-8. 合計静止電流と BIAS との関係

### 7.1.11 パワーグッド機能

機能ブロック図で説明したように、PG ピンはシュミットトリガで駆動されるオープンドレイン MOSFET です。シュミットトリガは、SNS ピンの電圧を、基準電圧の 90% に等しい事前に選択された電圧と比較します。

推奨動作条件表で説明したように、良好な性能を得るためには、プルアップ抵抗が 10kΩ ~ 100kΩ である必要があります。PG 機能が不要な場合は、PG ピンをフローティングのままにするか GND に接続します。

BIAS レールには、GND ( $V_{UVLO(BIAS)}$ ) を基準とする UVLO 回路と、 $V_{REF}$  ( $V_{UVLO(BIAS)} - V_{REF}$ ) を基準とする UVLO 回路が 2 つあります。ロジックの優先順位により、誤った PG イベントが発生する可能性があります。

PG の誤発生を防止するには、 $V_{BIAS}$  を  $V_{OUT}$  よりも 3.2V 高い値に設定することを検討します。

表 7-2 に、UVLO の各種動作を示します。

表 7-2. UVLO により PG イベントがトリガされます

$V_{REF}$	$V_{UVLO(BIAS)} - V_{REF}$ の立ち上がり	$V_{UVLO(BIAS)} - V_{REF}$ の立ち下がり
0.5V	$2.1 + 0.5 = 2.6V$	$1.86 + 0.5 = 2.36V$
0.7V	$2.1 + 0.7 = 2.8V$	$1.86 + 0.7 = 2.56V$
1.4V	$2.1 + 1.4 = 3.5V$	$1.86 + 1.4 = 3.26V$
5.2V	$2.1 + 5.2 = 7.3V$	$1.86 + 5.2 = 7.06V$

### 7.1.12 電流モード マージニング

出力電圧マージニングとは、電源電圧の変動に対して回路がどの程度耐えられるかを評価するための手法です。このテストは通常、電源電圧を公称出力電圧に対して一定の割合で上下させることにより実施されます。

このセクションでは、TPS7N59 を用いた電圧マージニング アプリケーションの実装について説明します。選択した実装を示すために、 $\pm 2.5\%$  のマージン設定目標を使用します。

図 7-9 に、電流 DAC による TPS7N59 REF ピンの概略図を示します。

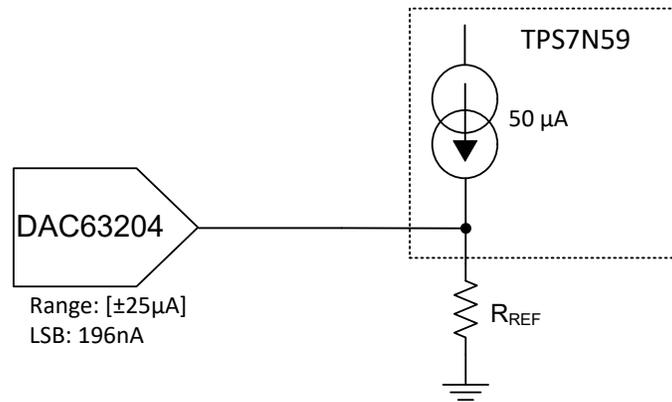


図 7-9. 簡易マーージニング回路図

表 7-3 は設計要件をまとめたものです。

表 7-3. 設計要件

パラメータ	設計値
$V_{IN}$	2.5V
$V_{OUT}$	公称 1.8V、±2.5% のマーージン設定
$C_{NR/SS}$	4.7µF
$R_{REF}$	36kΩ
DAC $I_{OUT}$ 範囲	±25µA

この例では、REF ピンと GND の間に 36kΩ を接続することで、出力電圧を公称 1.8V に設定しています。式 6 は、 $R_{REF}$  抵抗値を算出します。

$$R_{REF} = V_{OUT} / I_{REF} \quad (6)$$

$I^2C$  対応の 4 チャンネル、12 ビット電圧 / 電流出力 DAC である DAC63204 を選定し、出力範囲を ±25µA に設定した電流出力モードにプログラムします。8 ビットの電流 DAC 分解能と組み合わせることで、この出力範囲では最小ステップサイズ (LSB) は約 196nA となります。36kΩ 抵抗に入り、LSB は 7mV の電圧分解能 (公称 1.8V 目標電圧の 0.38%) に変換されます。公称電圧に対して ±2.5% のフルスイングを実現するには、DAC63204 は ±1.25µA をソースまたはシンクする必要があります。

$R_{REF}$  を流れる電流はそれぞれ 51.25µA および 48.75µA に変化し、出力電圧はそれぞれ 1.845V および 1.75V に調整されます。

図 7-10 および図 7-11 に、電流マーージニングの結果を示します。

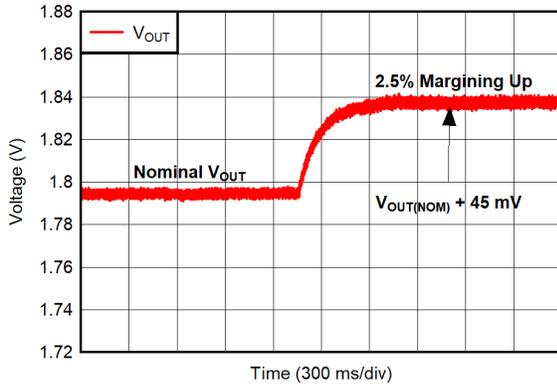


図 7-10. 上方向マーージニング

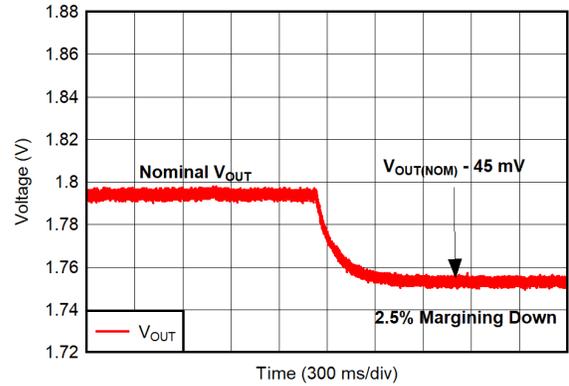


図 7-11. 下方向マーージニング

この LDO で電圧マーージニングを実装する場合、応答には時定数が伴います。この RC 時定数は、 $R_{REF}$  と  $C_{NR/SS}$  の並列組み合わせの結果です (図 7-9 を参照)。この RC 効果は、図 7-10 および図 7-11 に示されています。

式 7 は、この実装の時定数を計算します：

$$T = R_{REF} \times C_{NR/SS} \quad (7)$$

ここで

- $R_{REF}$  は 36k $\Omega$  です
- $C_{NR/SS}$  は 4.7 $\mu$ F です
- $T = 169$ ms

### 7.1.13 電圧モードのマーージン設定

出力電圧マーージニングとは、電源電圧の変動に対して回路がどの程度耐えられるかを評価するための手法です。このテストは通常、電源電圧を公称出力電圧に対して一定の割合で上下させることにより実施されます。

このセクションでは、TPS7N59 を用いた電圧モード マーージニング アプリケーションの実装について説明します。選択した実装を示すために、 $\pm 5\%$  のマーージン設定目標を使用します。

図 7-12 は、電圧 DAC を用いた TPS7N59 の REF ピンの簡略図を示しています。

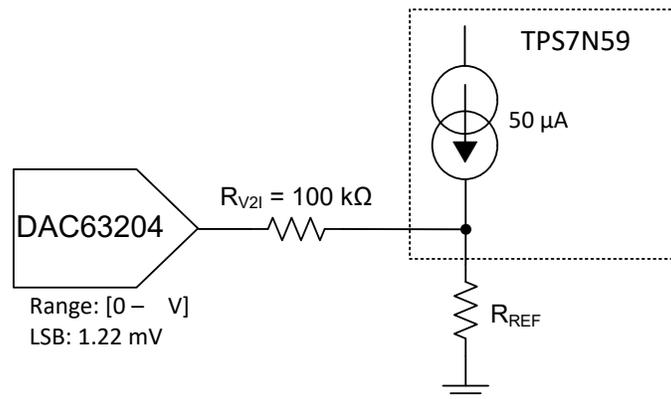


図 7-12. 簡易電圧モード マーージニング回路図

表 7-3 は設計要件をまとめたものです。

表 7-4. 設計要件

パラメータ	設計値
$V_{IN}$	2.5V
$V_{OUT}$	公称 1.8V、±5% のマージン設定
$C_{NR/SS}$	4.7 $\mu$ F
$R_{REF}$	36k $\Omega$
DAC $V_{OUT}$ 範囲	1.432V ~ 2.108V

この例では、REF ピンと GND の間に 36k $\Omega$  抵抗を接続することで、出力電圧を公称 1.8V に設定しています。式 8 は、 $R_{REF}$  抵抗の値を計算します。

$$R_{REF} = V_{OUT} / I_{REF} \quad (8)$$

I<sup>2</sup>C 対応の 4 チャンネル、12 ビット電圧 / 電流出力 DAC である DAC63204 を選定し、出力範囲を 1.432V ~ 2.108V に設定した電圧出力モードにプログラムします。12 ビットの電圧 DAC 分解能と組み合わせることで、この出力範囲では最小ステップサイズ (LSB) は約 1.22mV となります。さらに、電圧電流変換 (V2I) または  $R_{V2I}$  (100k $\Omega$ ) を考慮すると、約 122 $\mu$ A に相当します。この LSB は、36k $\Omega$  の抵抗において 0.44mV の電圧分解能に相当し、これは公称 1.8V の目標電圧に対して約 0.025% に相当します。公称電圧を中心に ±5% のフルスイングを実現するには、DAC63204 は 3.1 $\mu$ A をソースするか、3.7 $\mu$ A をシンクする必要があります。

$R_{REF}$  を流れる電流は 53.1 $\mu$ A および 46.3 $\mu$ A に変化し、それにより出力電圧はそれぞれ 1.88V および 1.7V に調整されます。

セクション 7.1.13 および図 7-14 に、電圧マーージニングの結果を示します。

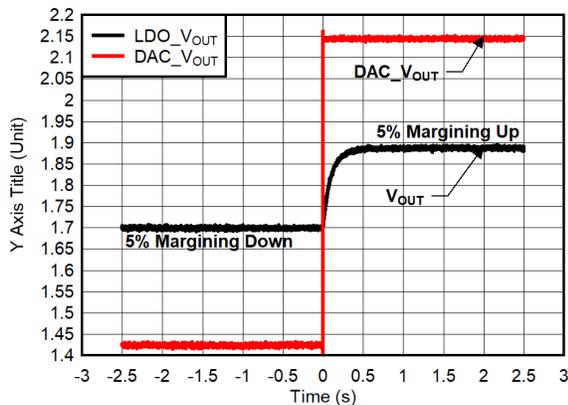


図 7-13. -5% から +5% のマーージニング

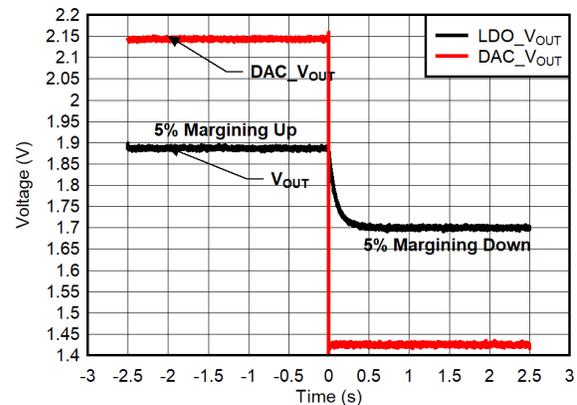


図 7-14. +5% から -5% のマーージニング

この LDO で電圧マーージニングを実装する場合、応答には時定数が存在します。この RC 時定数は、 $R_{REF}$  と  $C_{NR/SS}$  の並列組み合わせに起因します。セクション 7.1.13 および図 7-14 にこの RC の影響を示します。

式 9 は、この実装の時定数を計算します：

$$\tau = R_{REF} \times C_{NR/SS} \quad (9)$$

ここで

- $R_{REF}$  は 36k $\Omega$  です
- $C_{NR/SS}$  は 4.7 $\mu$ F です
- $\tau = 169$ ms

### 7.1.14 消費電力 ( $P_D$ )

回路の信頼性を確保するには、デバイスの電力消費、プリント回路基板 (PCB) 上の回路の位置、および熱プレーンの正しいサイズを適切に考慮する必要があります。レギュレータ周囲の PCB 領域には、追加の熱ストレスを引き起こす他の発熱デバイスをできる限り配置しないようにする必要があります。

1 次近似として、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。式 10 は、 $P_D$  を計算します：

$$P_D = (V_{OUT} - V_{IN}) \times I_{OUT} \quad (10)$$

#### 注

システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。適切に選択することで、入出力電圧差の最小値が得られます。デバイスのドロップアウトが小さいため、広い範囲の出力電圧にわたって最大の効率を実現します。

パッケージの主な放熱経路は、サーマル パッドを通じて基板 (PCB) へ伝わる経路です。サーマル パッドをデバイス下の銅パッド領域に半田付けします。このパッド領域にはめっきビアのレイがあり、熱を内部層のプレーンや基板裏面の銅プレーンへと伝導します。

デバイスを流れる消費電力によって、デバイスの接合部温度 ( $T_J$ ) が決まります。式 11 によれば、消費電力と接合部温度は、PCB とデバイスパッケージを組み合わせた接合部から周囲への熱抵抗 ( $R_{\theta JA}$ )、および周囲空気の温度 ( $T_A$ ) に最も関連します。式 12 の式を並べ替えて、出力電流を示しています。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (11)$$

$$I_{OUT} = (T_J - T_A) / [R_{\theta JA} \times (V_{IN} - V_{OUT})] \quad (12)$$

残念ながら、この熱抵抗 ( $R_{\theta JA}$ ) は、特定の PCB 設計に組み込まれている熱拡散能力に大きく依存するため、合計の銅箔面積、銅箔の重量、およびプレーンの位置によって変化します。熱に関する情報 テーブルに記録されている  $R_{\theta JA}$  は JEDEC 規格、PCB、銅の拡散領域によって決まり、パッケージの放熱性能の相対的な単位としてのみ使用されます。適切に設計された熱レイアウトの場合、 $R_{\theta JA}$  は実際には、RTW パッケージのジャンクションからケース (底面) までの熱抵抗 ( $R_{\theta JCBOT}$ ) と PCB 銅による熱抵抗の寄与の合計になります。セクション 7.1.16 に、TPS7N59EVM-184 を使用した熱性能を示します。

### 7.1.15 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にある LDO の接合部温度を推定するために、psi ( $\Psi$ ) の熱指標を使用することを推奨しています。これらの指標は、厳密には熱抵抗ではありませんが、接合部温度を実用的かつ相対的に推定する手段として用いられます。これらの psi 指標は、銅の広がり面積に対して大きく影響を受けないことが確認されています。主要な熱特性指標 ( $\Psi_{JT}$  および  $\Psi_{JB}$ ) は、式 13 に従って使用され、電気的特性表に示されています。

$$\begin{aligned} \Psi_{JT}: T_J &= T_T + \Psi_{JT} \times P_D \\ \Psi_{JB}: T_J &= T_B + \Psi_{JB} \times P_D \end{aligned} \quad (13)$$

ここで

- $P_D$  は、式 10 で説明されているように消費される電力です
- $T_T$  は、デバイス パッケージの中央上部の温度
- $T_B$  は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

### 7.1.16 TPS7N58EVM-184 の熱解析

TPS7N59EVM-184 を使用して、TPS7N59 熱モデルを開発できます。RTW パッケージは、4mm × 4mm、24 ピン WQFN です。PCB は、2 オンスの銅箔を使用した 8 層基板です。表 7-5 に EVM の層構成を示します。

**表 7-5. TPS7N59EVM-184 の PCB スタックアップ**

基板面	名称	材料	厚さ (mil)
1	上部オーバーレイ	—	—
2	上面の半田	半田レジスト	0.4
3	上層	銅	1.38
4	誘電 1	PP-006	7.17
5	第 1 層	銅	1.38
6	誘電 2	PP-006	7.17
7	第 2 層	銅	1.38
8	誘電 3	PP-006	7.17
9	第 3 層	銅	1.38
10	誘電 4	FR-4 高 Tg	7.17
11	第 4 層	銅	1.37
12	誘電 5	PP-006	7.17
13	第 5 層	銅	1.38
14	誘電体 6	PP-006	7.17
15	第 6 層	銅	1.38
16	誘電体 7	PP-006	7.17
17	下層	銅	1.38
18	底面半田	半田レジスト	0.4
19	裏面オーバーレイ	—	—

表 7-6 に、TPS7N59EVM-184 の熱特性結果を示しています。図 7-15 および図 7-16 は、PCB とデバイスの熱勾配を示しており、パストランジスタを通過して 25°C の周囲温度で 1W の消費電力を使用したときの結果を示しています。

**表 7-6. TPS7N59EVM-184 の熱測定結果**

DUT	$R_{\theta JA}$ (°C/W)	$\Psi_{JB}$ (°C/W)	$\Psi_{JT}$ (°C/W)
TPS7N59EVM-184 (シミュレーション)	15	5.3	0.4
TPS7N59EVM-184 (ベンチ)	14.3		

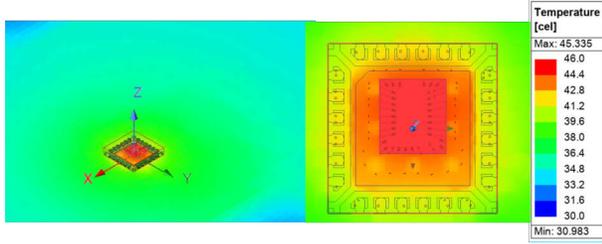


図 7-15. TPS7N59EVM-184 熱シミュレーション温度勾配

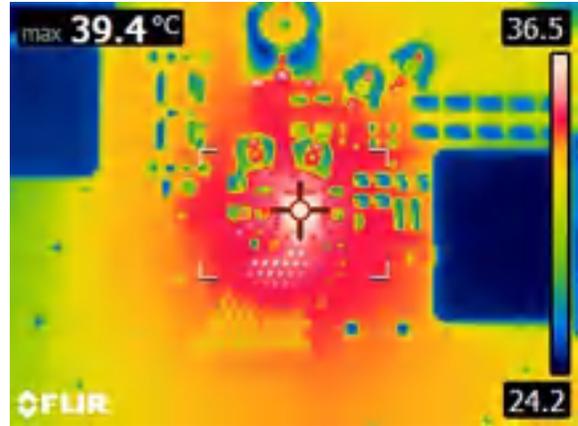


図 7-16. TPS7N59EVM-184 ベンチ測定勾配

## 7.2 代表的なアプリケーション

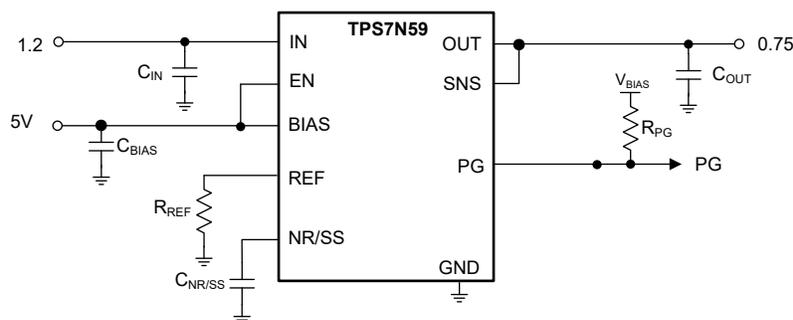


図 7-17. 代表的なアプリケーション回路図

### 7.2.1 設計要件

表 7-7 は設計例に必要なアプリケーション パラメータを一覧表示しています。

表 7-7. 設計パラメータ

パラメータ	設計要件
入力電圧	1.2V、±3%、DC/DC コンバータにより供給
バイアス電圧	5V または 12V
出力電圧	0.75V、1%
出力電流	10A (最大値)、8A (最小値)
ノイズ	5 $\mu$ V <sub>RMS</sub> 未満
最大負荷過渡	-10mV、100mA ~ 10A
起動環境	起動時間 15ms 未満

### 7.2.2 詳細な設計手順

この設計例では、デバイスは DC/DC コンバータによって電源供給されています。負荷に必要なのは、5 $\mu$ V<sub>RMS</sub> 未満の 0.75V のクリーンなレールです。標準的な 10 $\mu$ F と 22 $\mu$ F 入力および出力コンデンサと 4.7 $\mu$ F NR/SS コンデンサを使用して、高速スタートアップ時間と優れたノイズ、PSRR 性能と負荷過渡との間で適切なバランスを実現します。

出力電圧は、出力電圧設定およびレギュレーションセクションで説明したように計算された 15k $\Omega$  薄膜抵抗値を使用して設定します。PG ピンは使用されていないため、熱の問題を解決するためグランドに接続されています。イネーブル電圧は、外部 I/O により供給されます。図 7-19 に、デバイスがすべての設計ノイズ要件を満たしていることを示します。図 7-20 に、適切な PSRR 性能を示します。

図 7-18 に示すように、負荷過渡は電源要件に十分です。

図 7-17 に、これらの成分の実装を示します。

### 7.2.3 アプリケーション曲線

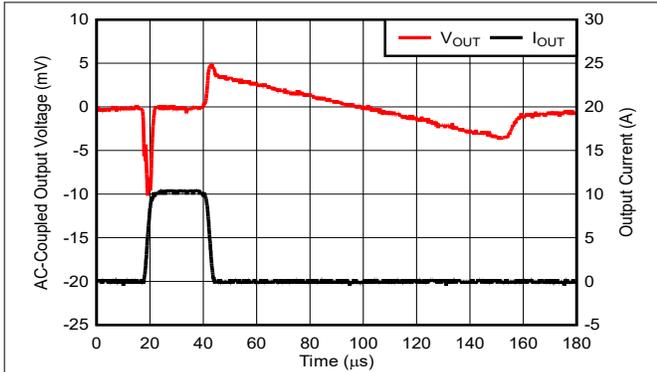


図 7-18. 負荷過渡

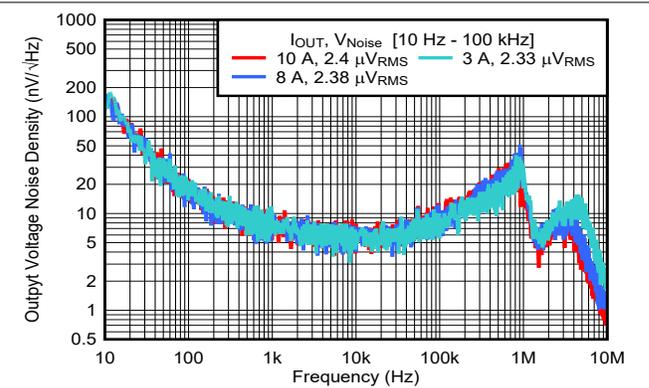


図 7-19. ノイズ電圧と周波数との関係

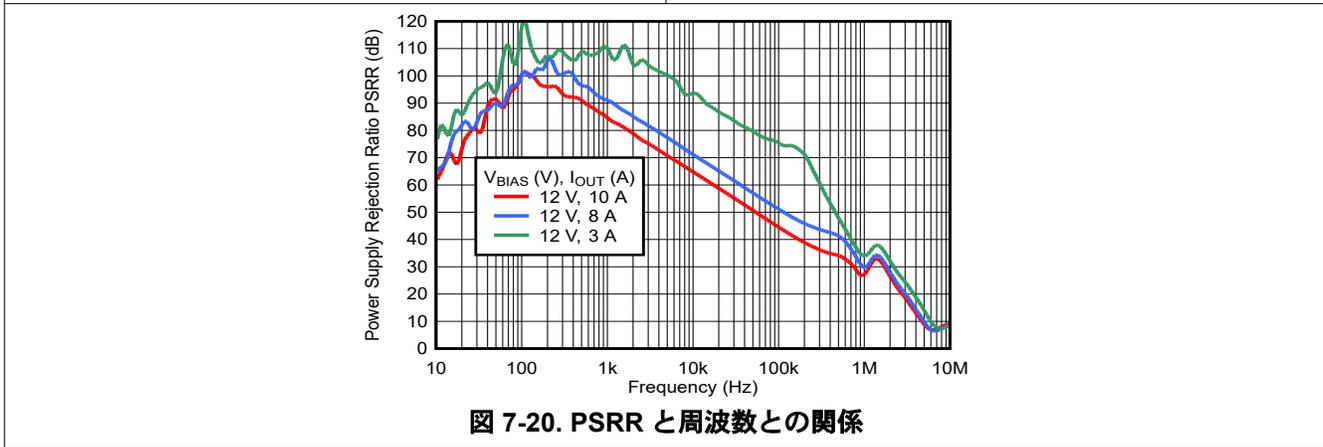


図 7-20. PSRR と周波数との関係

## 7.3 電源に関する推奨事項

本デバイスは、0.7V～6.0V の入力電圧および最大 12.6V の BIAS レールで動作するように設計されています。入力電圧範囲が、デバイスが安定した出力を維持するために十分な動作ヘッドルームを確保できることを確認してください。この入力電源は、良好なレギュレーションで低インピーダンスである必要があります。入力電源にノイズがある場合は、ESR の低い入力コンデンサを追加して動作ヘッドルームを増やすことで、目標の出力ノイズ、PSRR、負荷過渡性能を実現できます。

IN、BIAS、EN の間にシーケンス要件はありません。

## 7.4 レイアウト

### 7.4.1 レイアウトのガイドライン

総合的に最良の性能を達成するには、回路のすべてのコンポーネントを基板の同じ側で、該当する LDO ピン接続に対して実用的な範囲でできる限り近づけて配置してください。入力コンデンサと出力コンデンサ、および LDO グランドピンへのグランドリターン接続を、コンポーネント側の広い銅表面で接続し、できるだけ近づけて配置します。システム性能の低下を防ぐため、入力および出力コンデンサへの接続にビアや長い配線は使用しないでください。図 7-21 に示された接地およびレイアウト方式は、寄生インダクタンスを最小限に抑えることで、負荷電流の過渡応答を低減し、ノイズを最小化し、回路の安定性を高めます。

広い帯域幅と高い出力電流性能を備えているため、出力に存在するインダクタンスは負荷の過渡応答に悪影響を与えます。最良の性能を得るために、出力と負荷間の配線インダクタンスを最小限に抑えます。低 ESL コンデンサと低インダクタンスの配線を組み合わせることで、出力に存在する総インダクタンスを抑え、高周波における PSRR を最適化できます。

性能を向上させるために、基板内に埋め込むか、部品面の反対側（基板の底面）に配置したグランド基準面を使用します。このリファレンスプレーンは、出力電圧精度を検証し、ノイズをシールドし、サーマルパッドに接続されたときに LDO デバイスからの熱を拡散（または放熱）するサーマルプレーンと同様に動作します。ほとんどの用途では、熱要件を満たすためにこのグランドプレーンが必要です。

### 7.4.2 レイアウト例

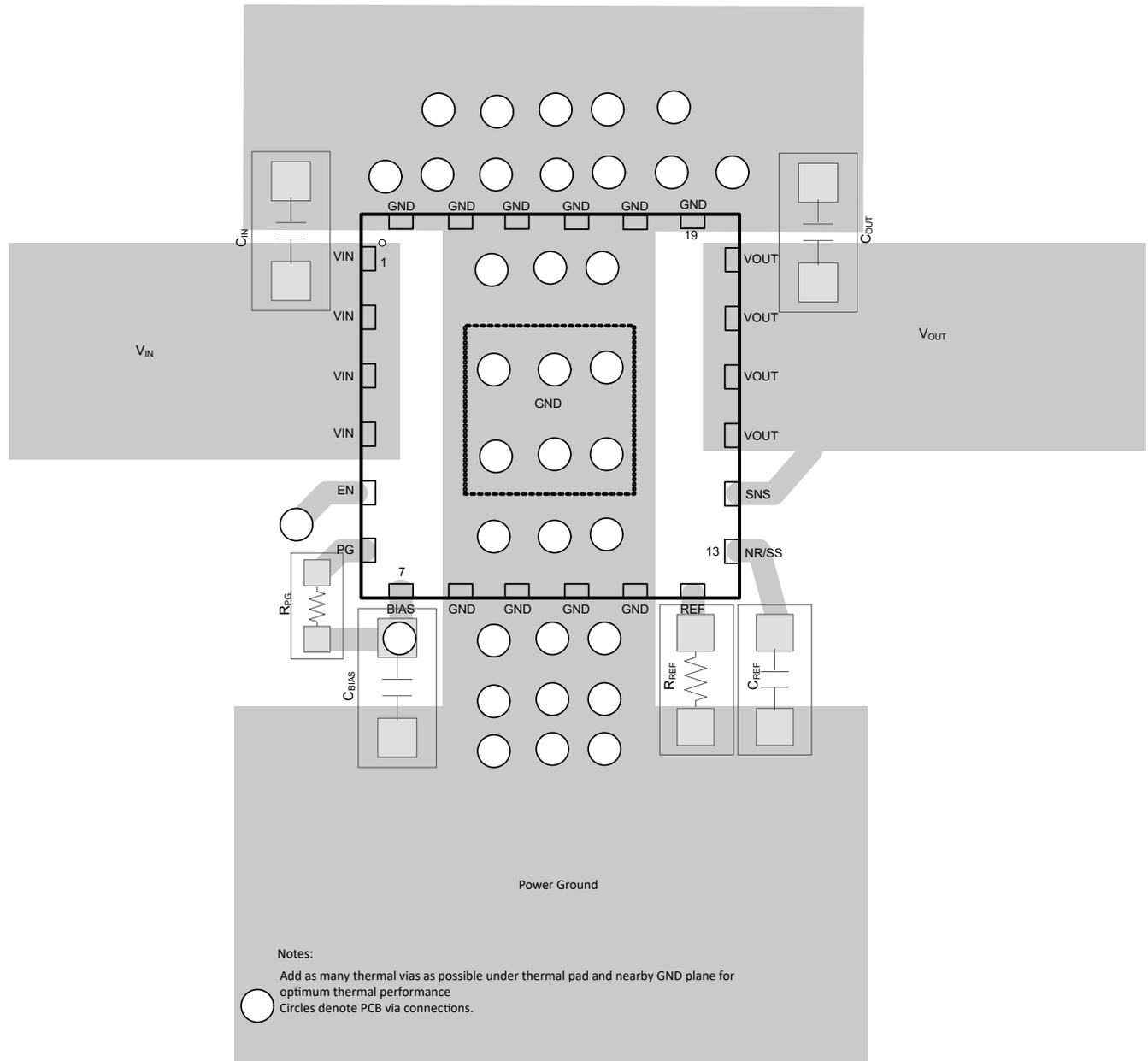


図 7-21. 推奨レイアウト

## 8 デバイスおよびドキュメントのサポート

### 8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (February 2026) to Revision A (March 2026)	Page
• 特長を追加.....	1
• 未定だったものを 30dB に更新.....	1
• NC ピンの説明を削除ピン 13 を NC から NR/SS に更新.....	3

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。



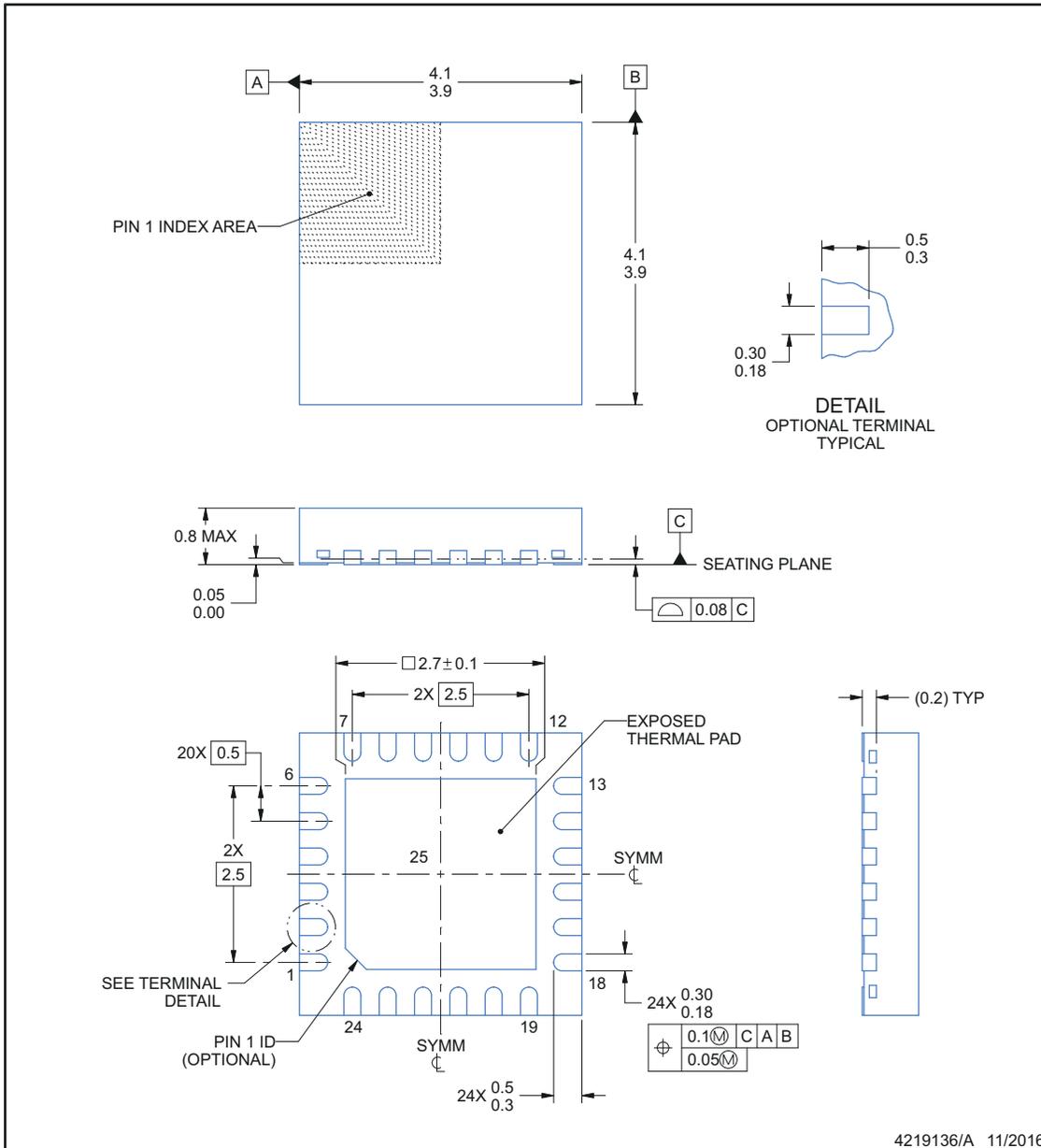
**PACKAGE OUTLINE**

**RTW0024H**

**WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD

ADVANCE INFORMATION



4219136/A 11/2016

**NOTES:**

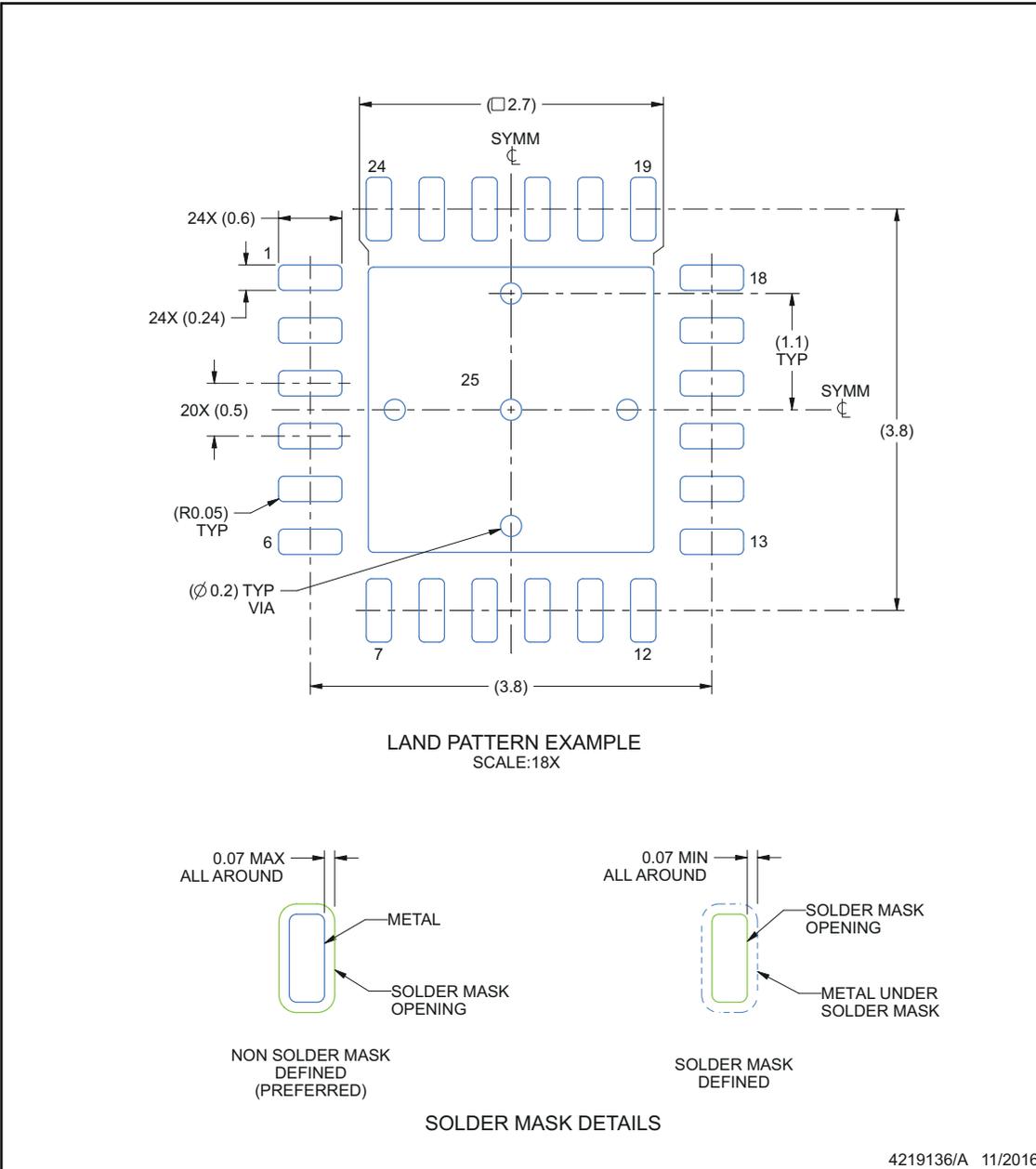
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Reference JEDEC registration MO-220.

## EXAMPLE BOARD LAYOUT

**RTW0024H**

**WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

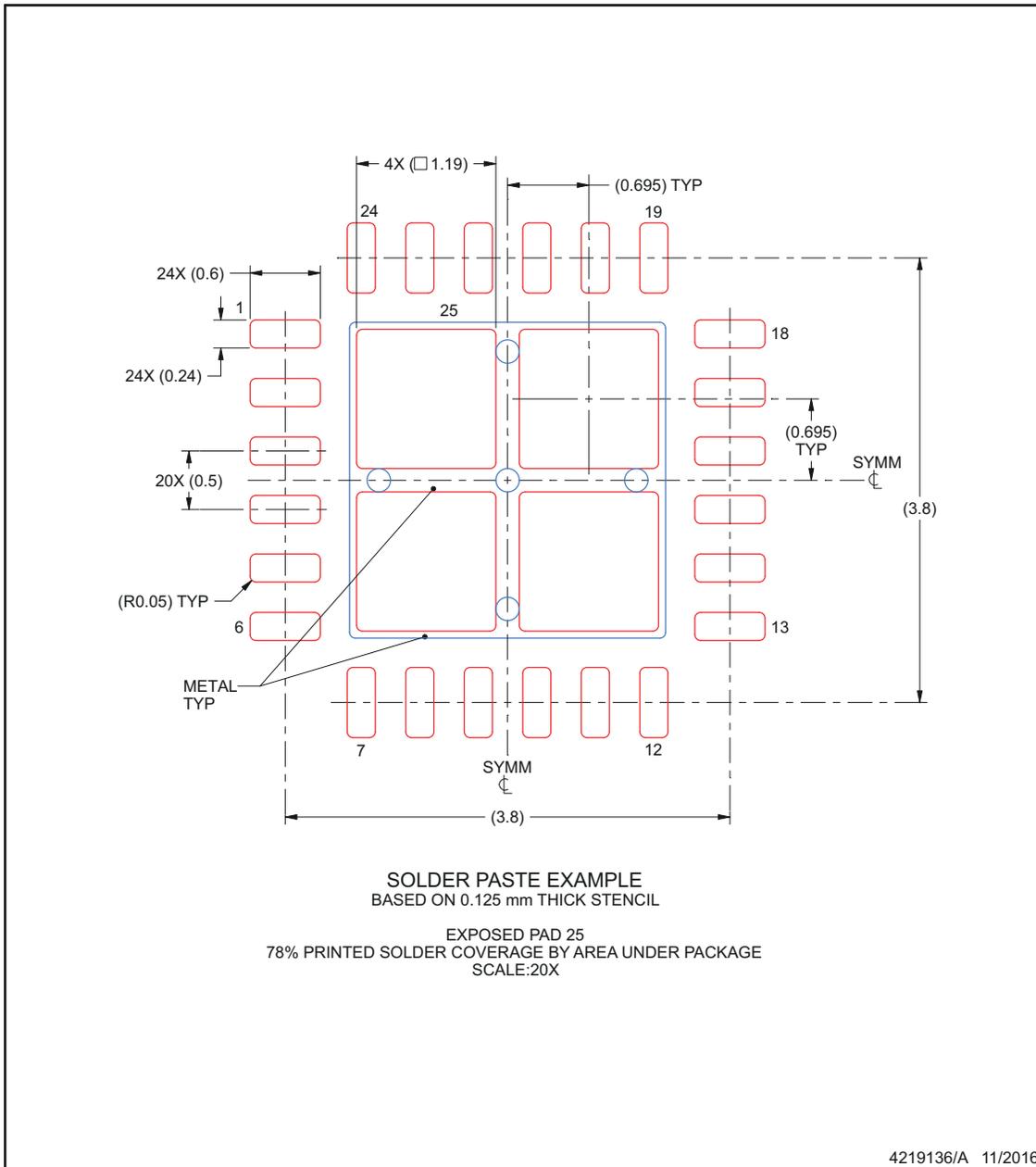
**EXAMPLE STENCIL DESIGN**

**RTW0024H**

**WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD

ADVANCE INFORMATION



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">PTPS7N5901RTWR</a>	Active	Preproduction	WQFN (RTW)   24	1   LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月