

# TPS92543-Q1 65V 車載同期整流昇圧コントローラ、CC (定電流) の 2A 同期整流降圧コントローラ、およびバイパス FET コントローラ

## 1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
  - グレード 1: -40°C ~ 125°C の動作時周囲温度
  - デバイス HBM 分類レベル H1C
  - デバイス CDM 分類レベル C5
- 機能安全対応**
  - 機能安全システム設計に役立つ資料を利用可能
- 4.5V ~ 65V の広い入力電圧範囲
- 内蔵スイッチを備えた同期整流降圧
  - 最大 2A、4% 精度の連続出力電流
- 同期整流昇圧コントローラ
  - 最大 65V のプログラマブル出力電圧
- シャント FET 調光用の 6 つのフローティング ゲートドライバ
  - プログラム可能な幅および位相設定
  - プログラム可能な PWM 周波数
- EMI の低減に役立つ昇圧および降圧スペクトラム拡散機能
- 降圧スイッチ過熱保護
- UART シリアル通信
  - システムクロック用の内部発振器
  - LMM 互換
- 内蔵 EEPROM
  - デフォルト設定
  - 顧客のキャリブレーションデータ

## 2 アプリケーション

- 車載用ヘッドライトおよびアダプティブ LED 駆動モジュール

## 3 説明

TPS92543 デバイスには、同期整流昇圧コントローラと、4.5V ~ 65V の広い降圧入力電圧で動作するモノリシック同期整流降圧 LED ドライバが内蔵されています。TPS92543 には、直列接続された 3 つのフローティングバイパス FET コントローラで構成されるサブストリングが 2 つ含まれています。

同期整流昇圧コントローラは、定電圧モードで動作するピーク電流モード コントローラを実装しています。昇圧は、別の TPS92543 と共に 2 相で動作するようにプログラムできます。出力電圧は、プログラム可能な 8 ビット DAC を使用してプログラムできます。

モノリシック同期整流降圧は、適応型オン時間平均電流モード制御を実装しており、シャント LED 調光手法や、LED

マトリクス マネージャを使用したダイナミック ビーム ヘッドライトと互換性を持つよう設計されています。適応型オン時間制御により、100kHz ~ 1.0MHz の範囲で設定可能なスイッチング周波数をほぼ一定に保ちます。インダクタ電流センシングと閉ループ帰還により、広い入力電圧、出力電圧、周囲温度範囲にわたって ±4% 未満の精度が得られます。

TPS92543 には、LED シャント FET 調光を実行するための、直列接続された 3 つのフローティング バイパス FET コントローラで構成されるサブストリングが 2 つ組み込まれています。各コントローラは、最大 55V のセグメント電圧で FET 調光を実行できます。このデバイスには、各セグメントの位相シフトおよびパルス幅をプログラム可能なレジスタが内蔵されています。

TPS92543 には、内部発振器が内蔵されています。UART シリアル インターフェイスは、TPS9266x および TPS9254x デバイスと互換性があります。内蔵 EEPROM には、システムのデフォルト値だけでなく、キャリブレーションおよびライティング モジュールのデータも保存できます。4 つの構成可能な MPIO は、デジタル入力 / 出力、またはシステム温度補償、LED ビニングおよびコーディングに使用する ADC 入力として構成できます。

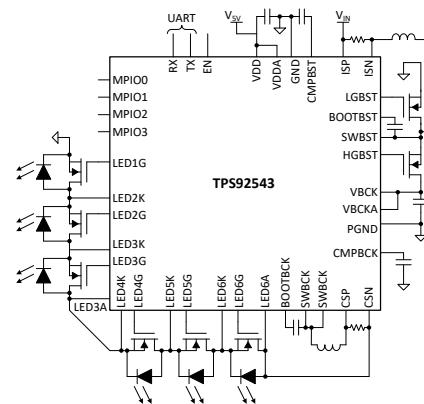
TPS92543-Q1 は、上面露出パッドを備えた 7.0mm × 7.0mm の熱的に強化された 48 ピン HTQFP パッケージで供給されます。

## 製品情報

| 部品番号 (1)    | パッケージ                | パッケージ サイズ (公称) (2) |
|-------------|----------------------|--------------------|
| TPS92543-Q1 | PKD, PHP (HTQFP, 48) | 7.0mm × 7.0mm      |

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

|                        |   |                       |   |
|------------------------|---|-----------------------|---|
| 1 特長                   | 1 | 5.3 商標                | 5 |
| 2 アプリケーション             | 1 | 5.4 用語集               | 5 |
| 3 説明                   | 1 | 6 改訂履歴                | 5 |
| 4 ピン構成および機能            | 3 | 7 メカニカル、パッケージ、および注文情報 | 5 |
| 5 デバイスおよびドキュメントのサポート   | 5 | 7.1 付録:パッケージオプション     | 6 |
| 5.1 ドキュメントの更新通知を受け取る方法 | 5 | 7.2 テープおよびリール情報       | 8 |
| 5.2 サポート・リソース          | 5 |                       |   |

## 4 ピン構成および機能

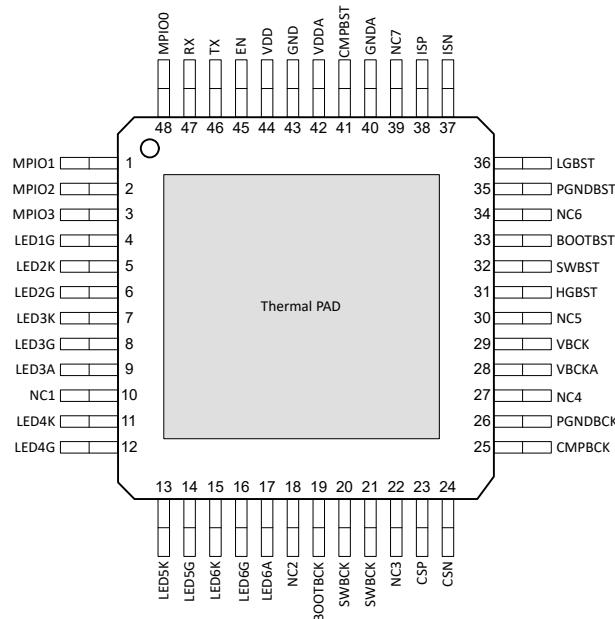


図 4-1. PKD パッケージ 48 ピン HTQFP (上面露出パッド) 上面図

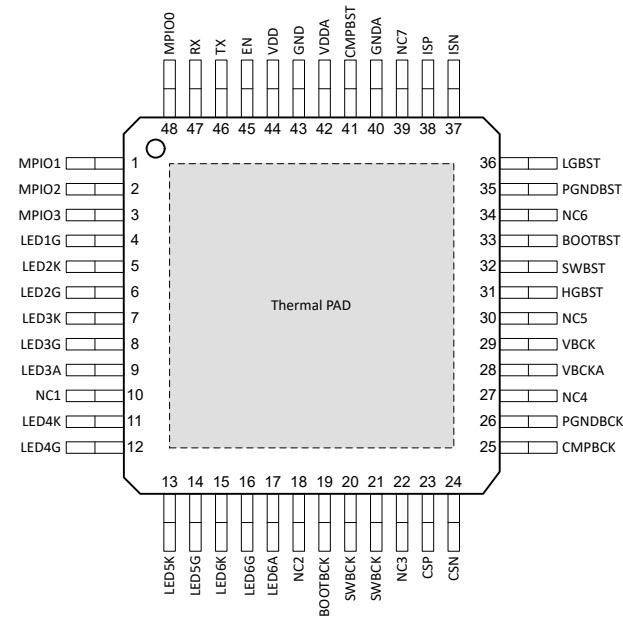


図 4-2. PHP パッケージ 48 ピン HTQFP (底面露出パッド) 上面図

表 4-1. ピンの機能

| ピン      |         | I/O | 説明   |
|---------|---------|-----|--|
| 名称      | 番号      |     |  |
|         | PKD/PHP |     |  |
| BOOTBCK | 19      | P   | 降圧ハイサイド MOSFET ゲート駆動回路の電源入力。BOOTBCK ピンと SWBCK ピンの間にセラミックコンデンサを接続します。VDD と BOOTBCK の間には、内部ダイオードが接続されています。 |
| BOOTBST | 33      | P   | 昇圧ハイサイド MOSFET ゲート駆動回路の電源入力。BOOTBST ピンと SWBST ピンの間にセラミックコンデンサを接続します。VDD と BOOTBST の間には、内部ダイオードが接続されています。 |
| CMPBCK  | 25      | I/O | 降圧内部の相互コンダクタンス エラー アンプの出力。安定性を維持するために積分補償回路を接続します。   |
| CMPBST  | 41      | I/O | 昇圧内部の相互コンダクタンス エラー アンプの出力。安定性を維持するために比例積分補償回路を接続します。   |
| CSN     | 24      | I   | 内部のレールツー レール相互コンダクタンス エラー アンプの負入力 (-)。LED 電流センス抵抗 $R_{CS}$ の負ノードに直接接続します。                                |
| CSP     | 23      | I   | 内部のレールツー レール相互コンダクタンス エラー アンプの正入力 (+)。LED 電流センス抵抗 $R_{CS}$ の正ノードに直接接続します。                                |
| EN      | 45      | I   | ハードウェア イネーブル。シャットダウンに移行するには、このピンを Low にプルします。  |
| GND     | 43      | G   | 信号およびアナログ グラウンド。内部基準電圧およびアナログ回路のリターンです。回路のグラウンドに接続することで、リターン パスを形成します。                                   |
| GNDA    | 40      |     |  |
| HGBT    | 31      | I/O | 昇圧ハイサイド ゲートドライバ出力。   |
| ISN     | 37      | O   | 昇圧電流センス アンプの負入力 (-)。LED 電流センス抵抗 $R_{IS}$ に直接接続します。   |
| ISP     | 38      | I   | 昇圧電流センス アンプの正入力 (+)。LED 電流センス抵抗 $R_{IS}$ に直接接続します。   |
| LGBTST  | 36      | I/O | 昇圧ローサイド ゲートドライバ出力。   |

表 4-1. ピンの機能 (続き)

| ピン                                      |                              | I/O | 説明  |
|---|------------------------------|-----|---|
| 名称                                      | 番号                           |     |   |
|   | PKD/PHP                      |     |   |
| LED1G                                   | 4                            | I/O | 外部シャント FET コントローラのゲートドライバ出力。外部 FET のゲートに接続します。  |
| LED2G                                   | 6                            | I/O |   |
| LED3G                                   | 8                            | I/O |   |
| LED4G                                   | 12                           | I/O |   |
| LED5G                                   | 14                           | I/O |   |
| LED6G                                   | 16                           | I/O |   |
| LED3A                                   | 9                            | I/O | LED3 のアノード (サブストリング 2 の上) に接続します。   |
| LED6A                                   | 17                           | I/O | LED6 のアノード (サブストリング 1 の上) に接続します。   |
| LED2K                                   | 5                            | I/O | LED2 のカソードに接続します。   |
| LED3K                                   | 7                            | I/O | LED3 のカソードに接続します。   |
| LED4K                                   | 11                           | I/O | LED4 のカソードに接続します。   |
| LED5K                                   | 13                           | I/O | LED5 のカソードに接続します。   |
| LED6K                                   | 15                           | I/O | LED6 のカソードに接続します。   |
| MPIO0                                   | 48                           | I/O | 多目的 IO。このピンは、ADC 入力、デジタル入力、またはデジタル出力として構成できます。MPIO0 は、CTM を開始するために使用します。  |
| MPIO1                                   | 1                            | I/O | 多目的 IO。このピンは、ADC 入力、デジタル入力、またはデジタル出力として構成できます。  |
| MPIO2                                   | 2                            | I/O |   |
| MPIO3                                   | 3                            | I/O |   |
| NC1、NC2、<br>NC3、NC4、<br>NC5、NC6、<br>NC7 | 10、18、22、<br>27、30、34、<br>39 | NC  | 接続しないでください。グランドに接続できます。   |
| PGNDBCK                                 | 26                           | G   | 降圧ローサイド MOSFET のグランドリターン  |
| PGNDBST                                 | 35                           | G   | 昇圧ハイサイド ゲートドライバのグランドリターン  |
| RX                                      | 47                           | I   | UART 受信データ入力。CAN トランシーバの RX に接続します。   |
| SWBCK                                   | 20、21                        | P   | 降圧レギュレータのスイッチング出力。両方のパワー MOSFET に内部で接続されています。パワーインダクタに接続します。  |
| SWBST                                   | 32                           | P   | 昇圧レギュレータのスイッチ ノード。  |
| TX                                      | 46                           | O   | UART 送信データ出力。CAN トランシーバの TX に接続します。   |
| VBCK                                    | 29                           | P   | 電源入力と降圧ハイサイド MOSFET ドレインノードへの接続。昇圧出力電圧およびバイパスコンデンサ $C_{IN}$ に接続します。VBCK ピンから高周波バイパス $C_{IN}$ および PGND へのパスは、できる限り短くする必要があります。 |
| VBCKA                                   | 28                           | P   | 降圧レギュレータの内部アナログ ブロックに電力を供給します。VBCK ピンおよび高周波バイパスコンデンサに接続します。   |
| VDD                                     | 44                           | P   | デジタル入力電源電圧 $2.2\mu F \sim 4.7\mu F$ のセラミックコンデンサをデバイスに近づけて配置し、GNDとの間でローカルにデカッピングします。   |
| VDDA                                    | 42                           | P   | アナログ入力電源電圧。 $100nF \sim 1\mu F$ のセラミックコンデンサをデバイスに近づけて配置し、GNDとの間でローカルにデカッピングします。   |

## 5 デバイスおよびドキュメントのサポート

### 5.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。右上の【アラートを受け取る】をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

### 5.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 5.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 5.4 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 6 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| Changes from Revision * (November 2024) to Revision A (August 2025) | Page              |
|---|-------------------|
| • PHP パッケージを追加.....   | <a href="#">1</a> |

## 7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 7.1 付録：パッケージオプション

### パッケージ情報

| 発注可能なデバイス       | ステータス <sup>(1)</sup> | パッケージタイプ | パッケージ図 | ピン | パッケージの数量 | エコ プラン <sup>(2)</sup>    | リード / ボール仕上げ <sup>(4)</sup> | MSL ピーク温度 <sup>(3)</sup> | 動作温度 (°C) | デバイス マーキング <sup>(5) (6)</sup> |
|-----------------|----------------------|----------|--------|----|----------|--------------------------|-----------------------------|--------------------------|-----------|-------------------------------|
| TPS92543QPKDRQ1 | アクティブ                | HTQFP    | PKD    | 48 | 1000     | グリーン (RoHS 準拠、Sb/Br 非含有) | NiPdAu                      | LEVEL3-260C-168 HR       | -40~125   | TPS92543                      |
| TPS92543QPHPRQ1 | アクティブ                | HTQFP    | PHP    | 48 | 1000     | グリーン (RoHS 準拠、Sb/Br 非含有) | NiPdAu                      | LEVEL3-260C-168 HR       | -40~125   | TPS92543Q                     |

(1) マーケティング ステータスの値は次のように定義されています。

供給中:新しい設計への使用が推奨される量産デバイス。

最終受注中:テキサス・インスツルメンツによりデバイスの生産中止予定が発表され、ライフトライム購入期間が有効です。

非推奨品:新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。

量産開始前:量産されていない、市販されていない、またはウェブで発表されていない未発表デバイスで、サンプルは提供されていません。

プレビュー:デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。

生産中止品:テキサス・インスツルメンツはデバイスの生産を終了しました。

(2) エコ プラン - 環境に配慮した計画的な分類:鉛フリー (RoHS)、鉛フリー (RoHS 適用除外)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

未定:鉛フリー / グリーン転換プランが策定されていません。

**鉛フリー (RoHS):**テキサス・インスツルメンツにおける「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温はんだに対応したテキサス・インスツルメンツ鉛フリー製品は、鉛フリー仕様プロセスでの使用に適しています。

**鉛フリー (RoHS 適用除外):**この部品は、1) ダイとパッケージとの間に鉛ベース フリップ チップのはんだバンプ使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかについて、RoHS が免除されています。この部品はそれ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。

**グリーン (RoHS 準拠、Sb/Br 非含有):**テキサス・インスツルメンツにおけるグリーンは、鉛フリー (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。

(3) MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。

(4) リード / ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード / ボール仕上げの値が最大列幅に収まらない場合は、2 行にまたがります。

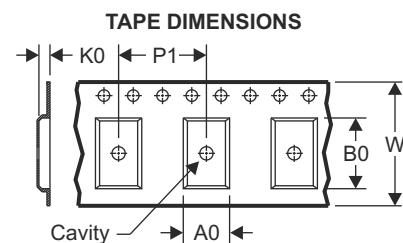
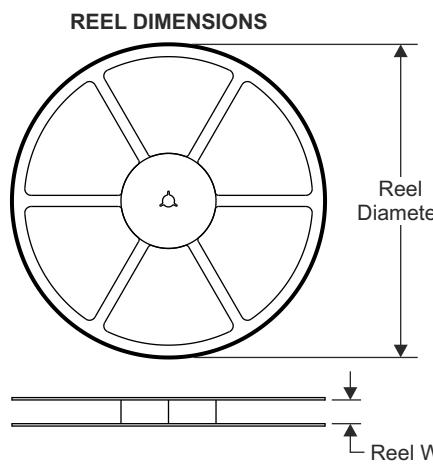
(5) ロゴ、ロットトレースコード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります

(6) 複数のデバイス マーキングが、括弧書きされています。カッコ内に複数のデバイス マーキングがあり、「～」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。

**重要なお知らせと免責事項:**このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報を取り扱うための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよびテキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

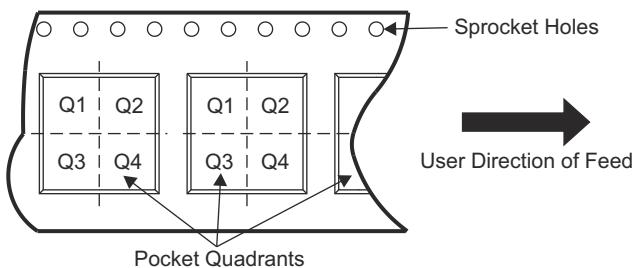
いかなる場合においても、そのような情報から生じたテキサス・インスツルメンツの責任は、このドキュメント発行時点でのテキサス・インスツルメンツ製品の価格に基づくテキサス・インスツルメンツからお客様への合計購入価格(年次ベース)を超えることはありません。

## 7.2 テープおよびリール情報



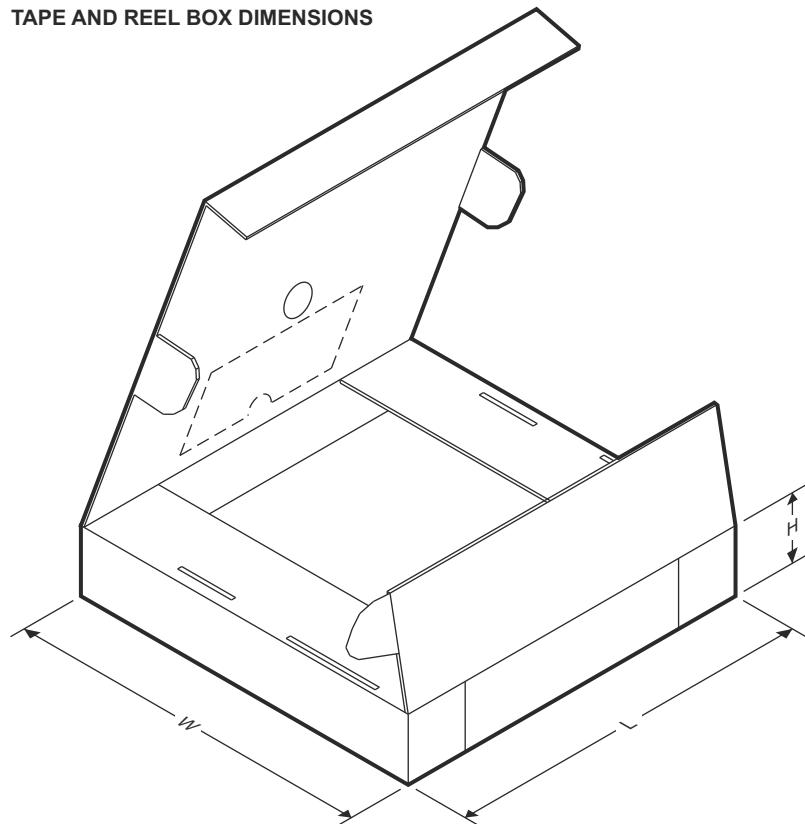
|    |   |
|----|---|
| A0 | Dimension designed to accommodate the component width     |
| B0 | Dimension designed to accommodate the component length    |
| K0 | Dimension designed to accommodate the component thickness |
| W  | Overall width of the carrier tape                         |
| P1 | Pitch between successive cavity centers                   |

### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



| デバイス            | パッケージ<br>タイプ | パッケージ<br>図 | ピン | SPQ  | リール<br>直径 (mm) | リール<br>幅 W1 (mm) | A0<br>(mm) | B0<br>(mm) | K0<br>(mm) | P1<br>(mm) | W<br>(mm) | ピン 1 の<br>象限 |
|-----------------|--------------|------------|----|------|----------------|------------------|------------|------------|------------|------------|-----------|--------------|
| TPS92543QPKDRQ1 | HTQFP        | PKD        | 48 | 1000 | 330            | 16.4             | 9.6        | 9.6        | 1.5        | 12         | 16        | Q2           |
| TPS92543QPHPRQ1 | HTQFP        | PHP        | 48 | 1000 | 330            | 16.4             | 9.6        | 9.6        | 1.5        | 12         | 16        | Q2           |

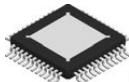
TAPE AND REEL BOX DIMENSIONS



| デバイス            | パッケージタイプ | パッケージ図 | ピン | SPQ  | 長さ (mm) | 幅 (mm) | 高さ (mm) |
|-----------------|----------|--------|----|------|---------|--------|---------|
| TPS92543QPKDRQ1 | HTQFP    | PKD    | 48 | 1000 | 336.6   | 336.6  | 31.8    |
| TPS92543QPHPRQ1 | HTQFP    | PHP    | 48 | 1000 | 336.6   | 336.6  | 31.8    |

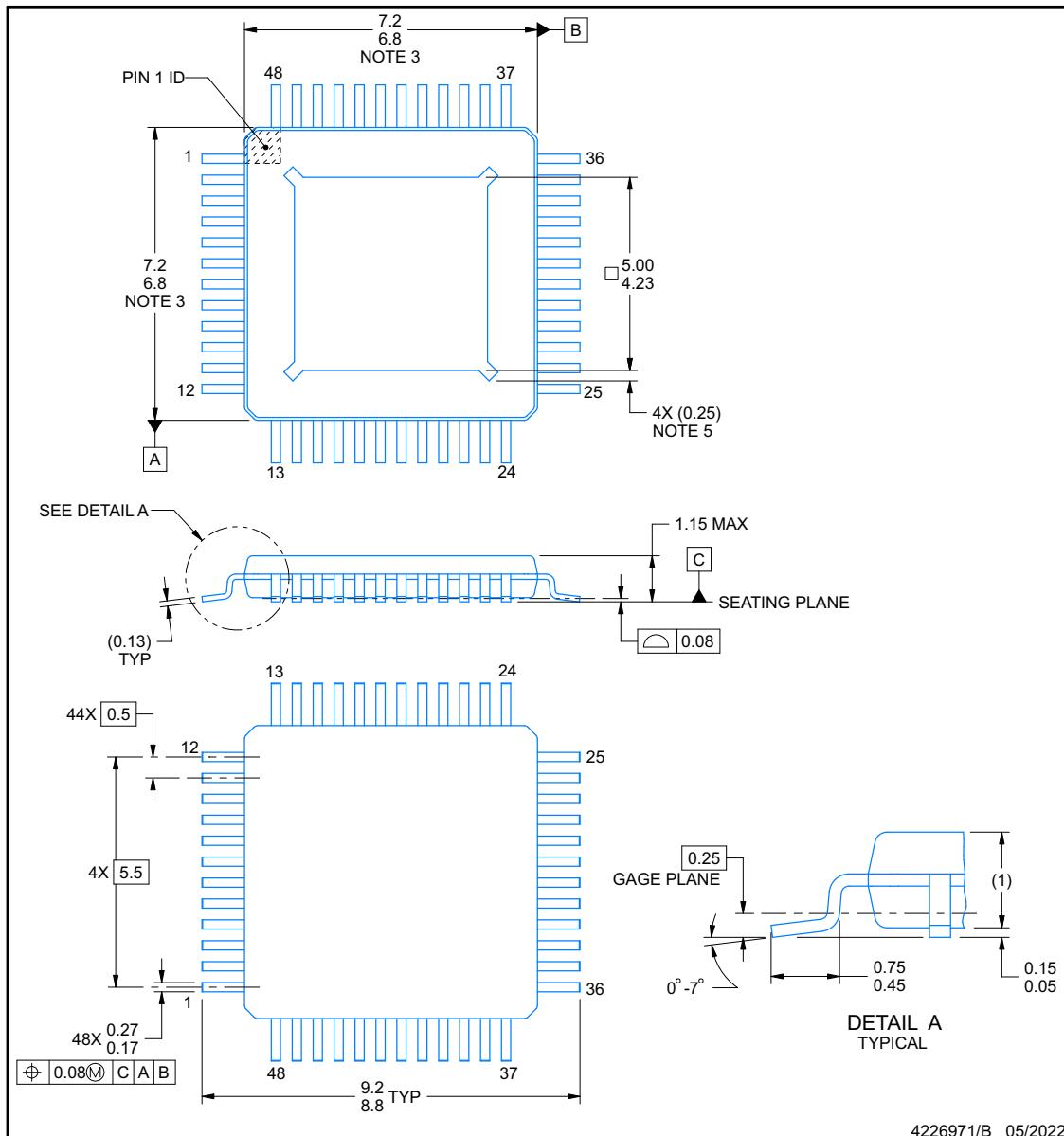
## PACKAGE OUTLINE

**PKD0048A**



## PowerPAD™ HTQFP - 1.15 mm max height

## PLASTIC COUNT & FLATPACK



4226971/B 05/2022

PowerPAD is a trademark of Texas Instruments.

## NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
  4. Reference JEDEC registration MS-026.
  5. Feature may not be present.

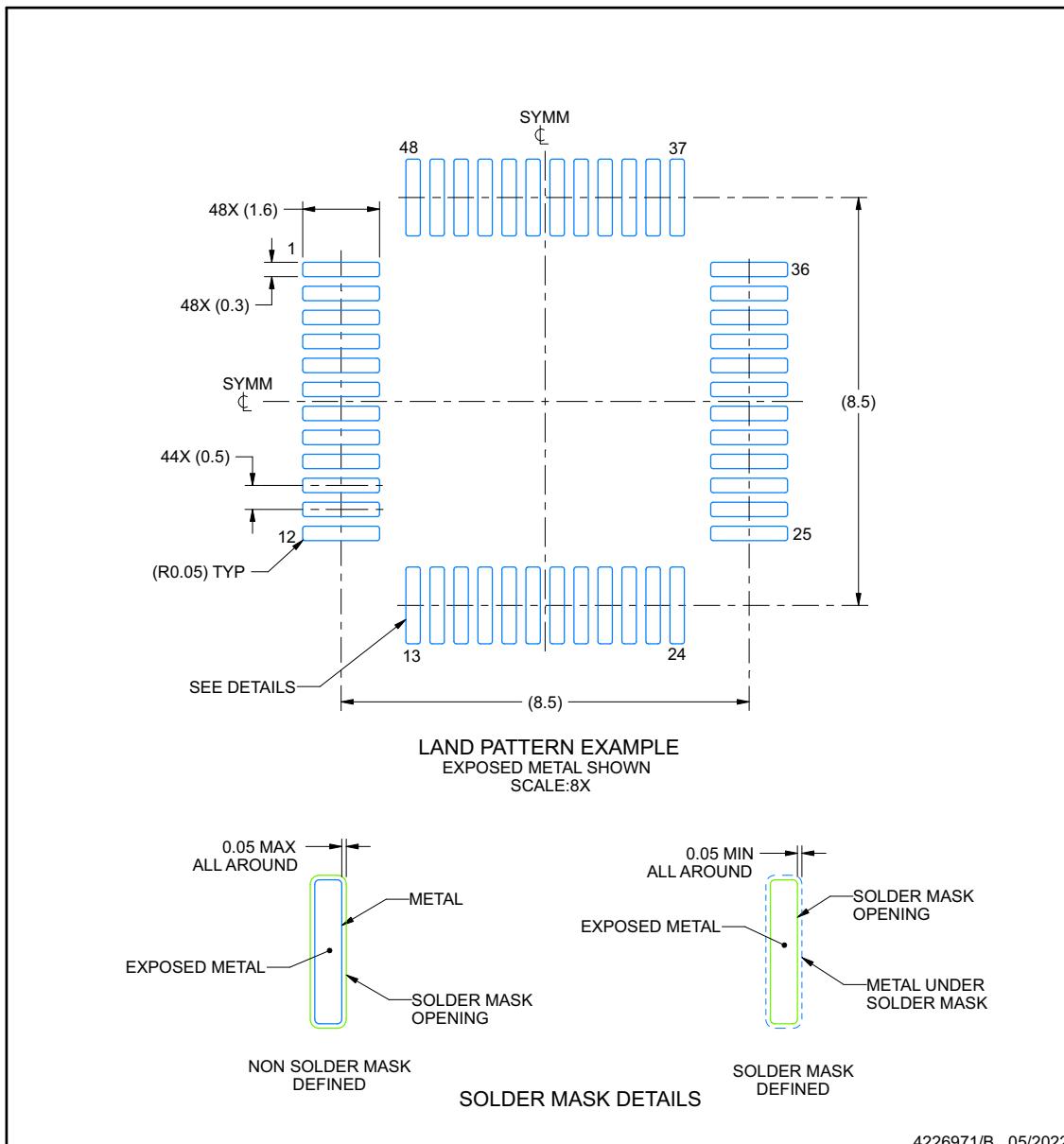


## EXAMPLE BOARD LAYOUT

**PKD0048A**

**PowerPAD™ HTQFP - 1.15 mm max height**

PLASTIC QUAD FLATPACK



4226971/B 05/2022

NOTES: (continued)

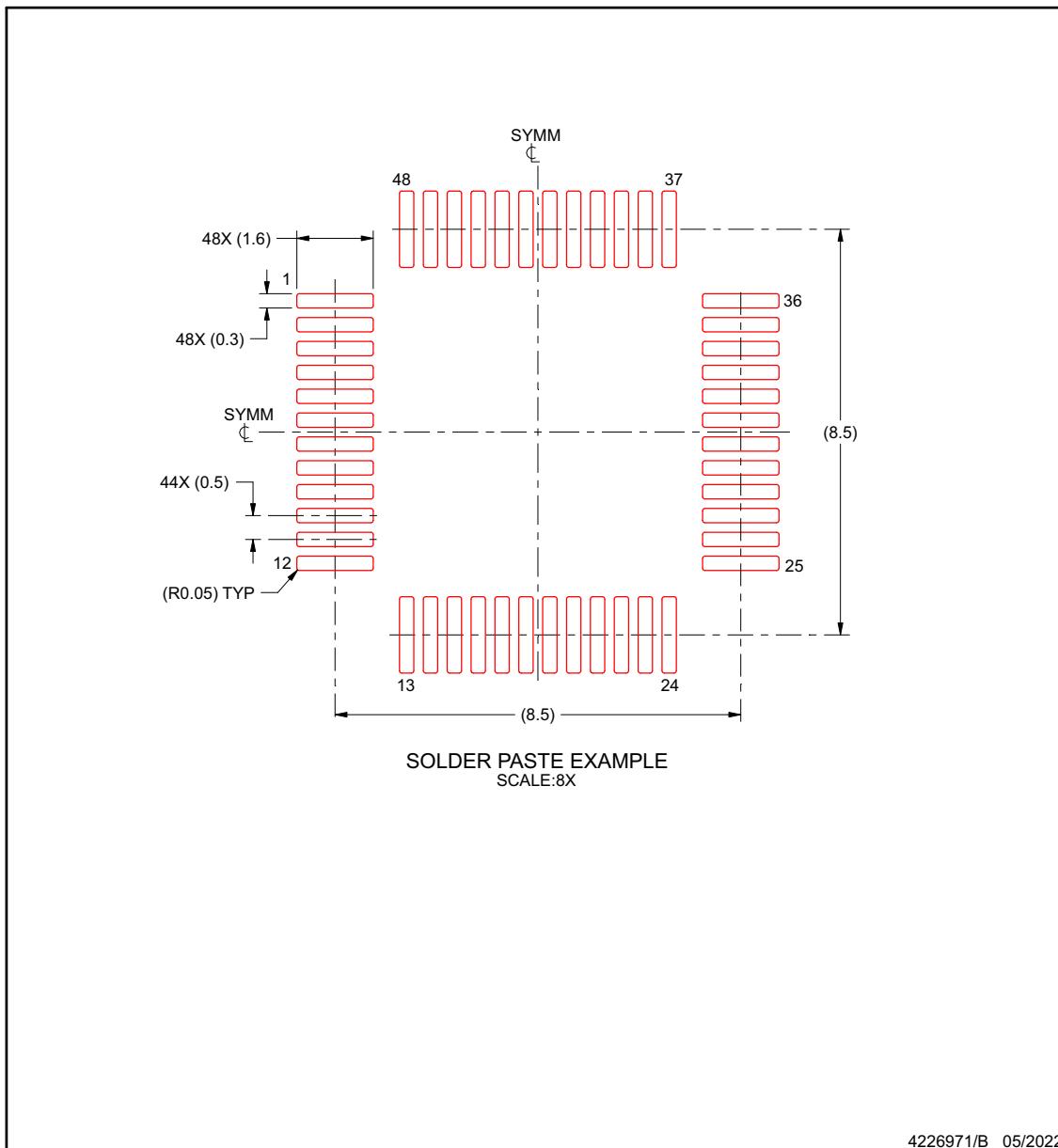
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

## EXAMPLE STENCIL DESIGN

**PKD0048A**

**PowerPAD™ HTQFP - 1.15 mm max height**

PLASTIC QUAD FLATPACK



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

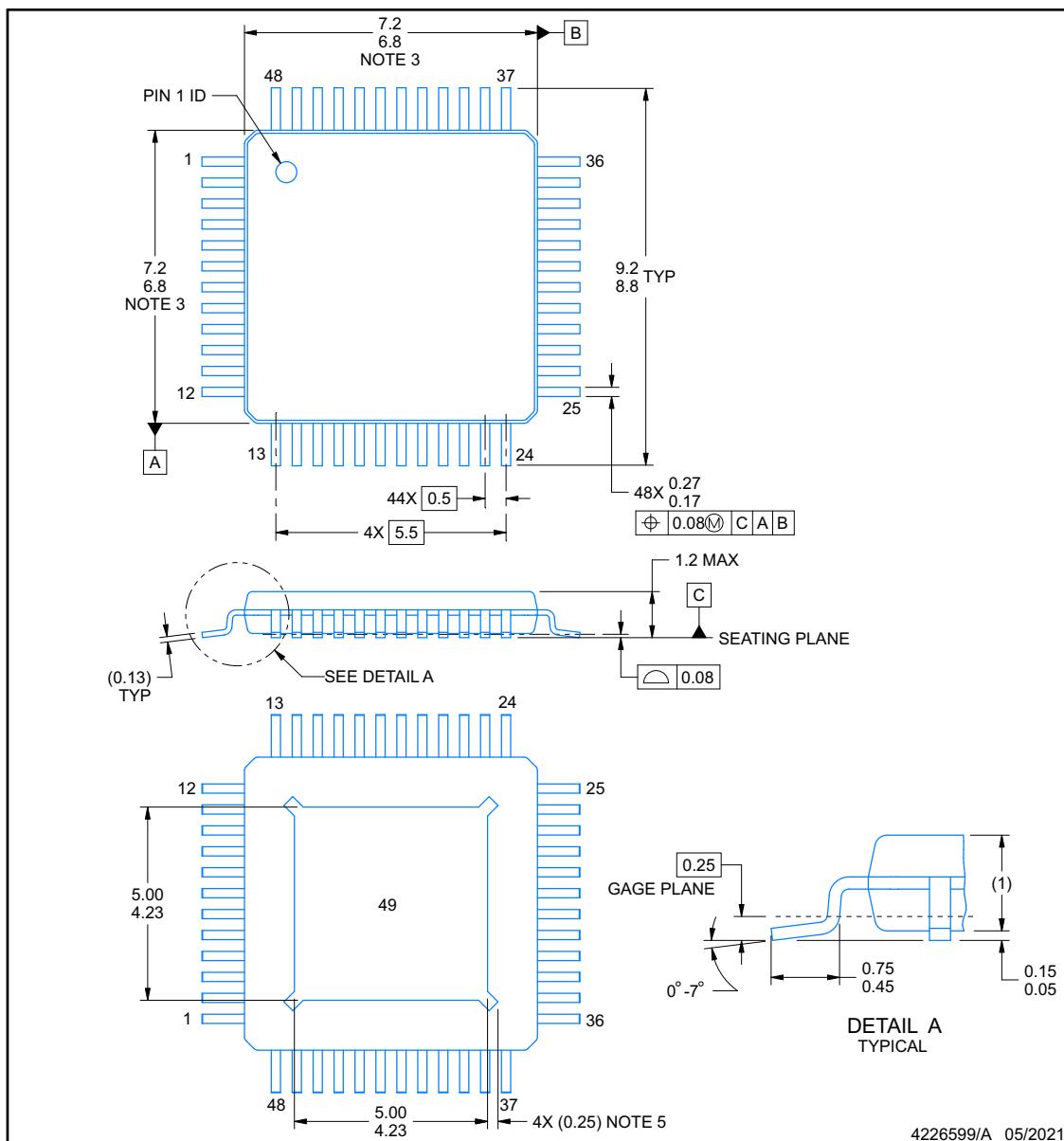


## PACKAGE OUTLINE

PHP0048L

PowerPAD™ HTQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



### NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.

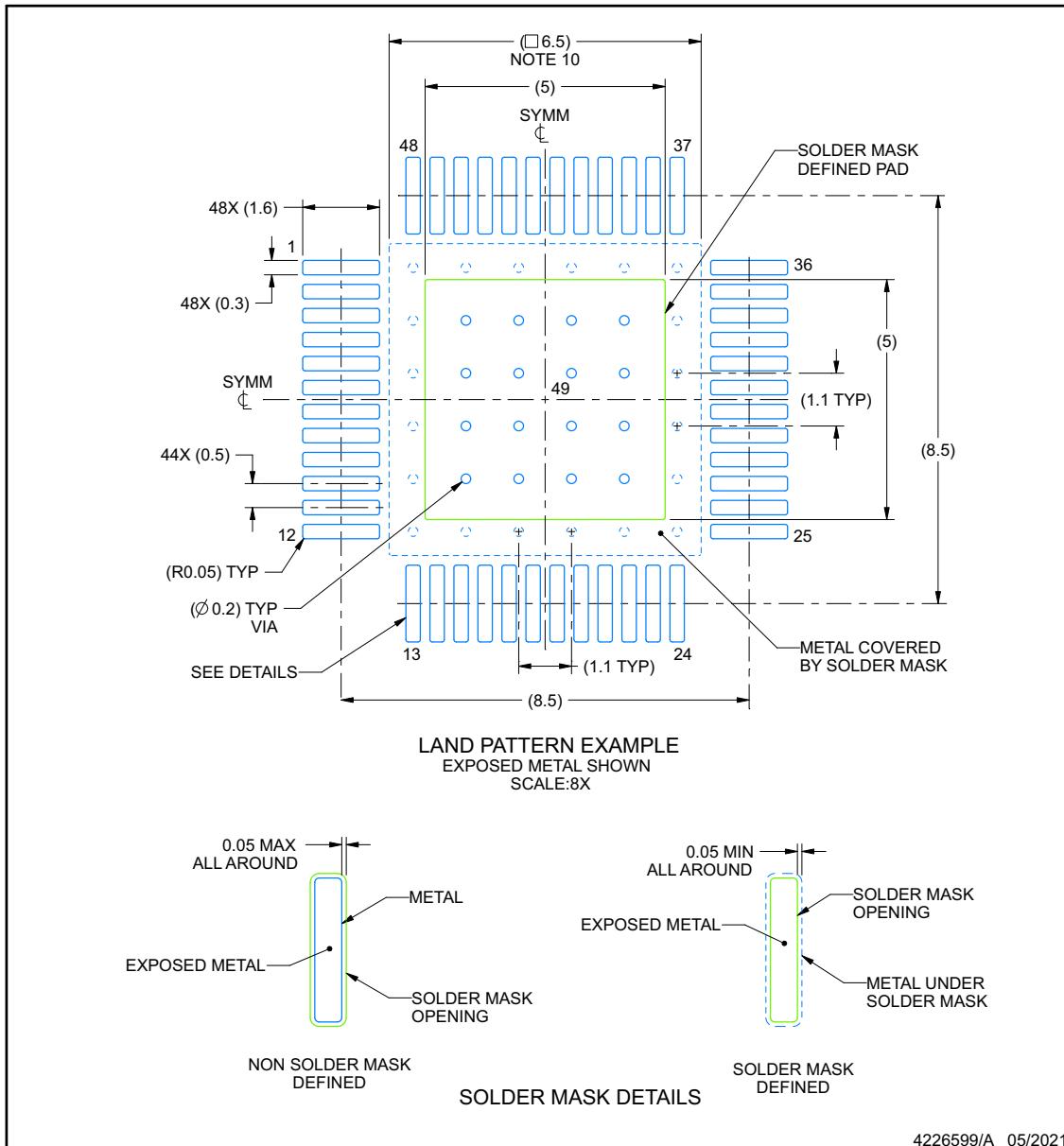
PowerPAD is a trademark of Texas Instruments.

## EXAMPLE BOARD LAYOUT

**PHP0048L**

**PowerPAD™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



4226599/A 05/2021

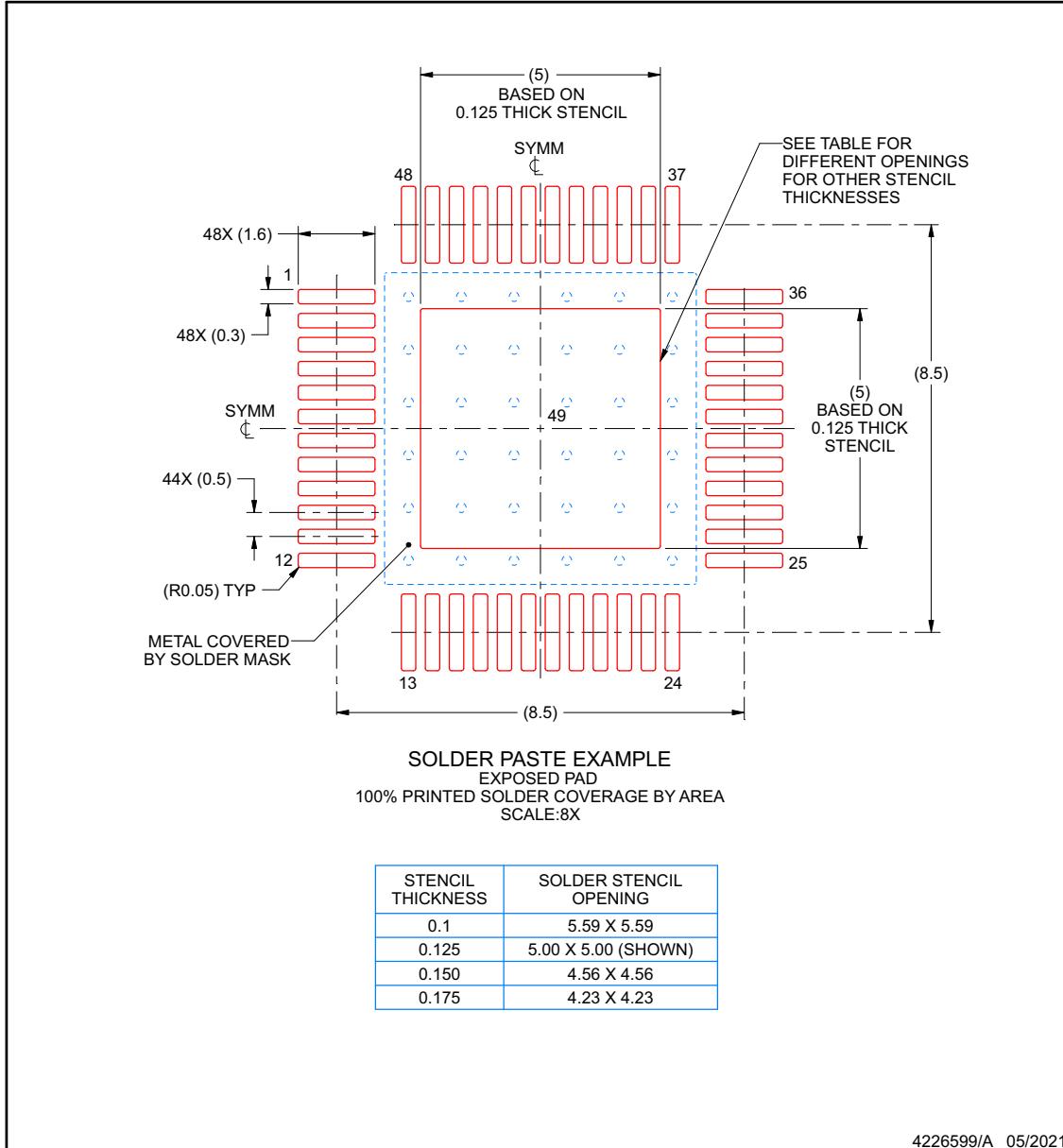
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

**PHP0048L**

**PowerPAD™ HTQFP - 1.2 mm max height**

## PLASTIC QUAD FLATPACK



#### NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
  12. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

| Orderable part number | Status<br>(1) | Material type<br>(2) | Package   Pins   | Package qty   Carrier | RoHS<br>(3) | Lead finish/<br>Ball material<br>(4) | MSL rating/<br>Peak reflow<br>(5) | Op temp (°C) | Part marking<br>(6) |
|-----------------------|---------------|----------------------|------------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------|
| TPS92543QPHPRQ1       | Active        | Production           | HTQFP (PHP)   48 | 1000   LARGE T&R      | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 125   | TPS92543Q           |
| TPS92543QPKDRQ1       | Active        | Production           | HTQFP (PKD)   48 | 1000   LARGE T&R      | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 125   | TPS92543            |
| TPS92543QPKDRQ1.A     | Active        | Production           | HTQFP (PKD)   48 | 1000   LARGE T&R      | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 125   | TPS92543            |

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

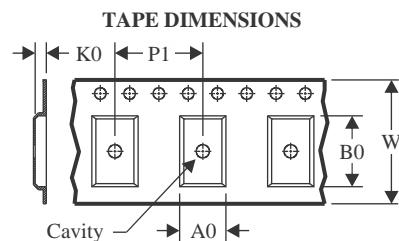
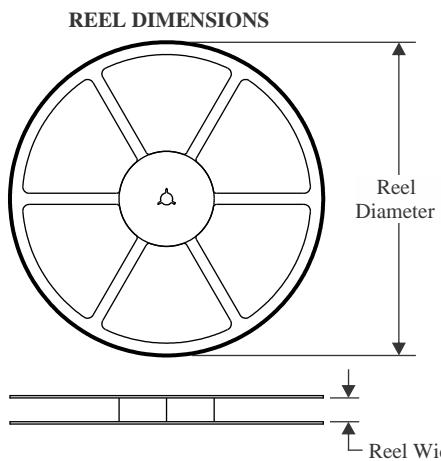
<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

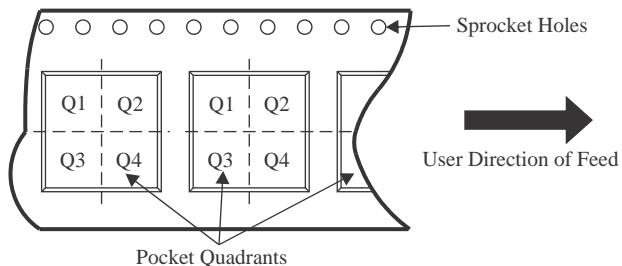
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

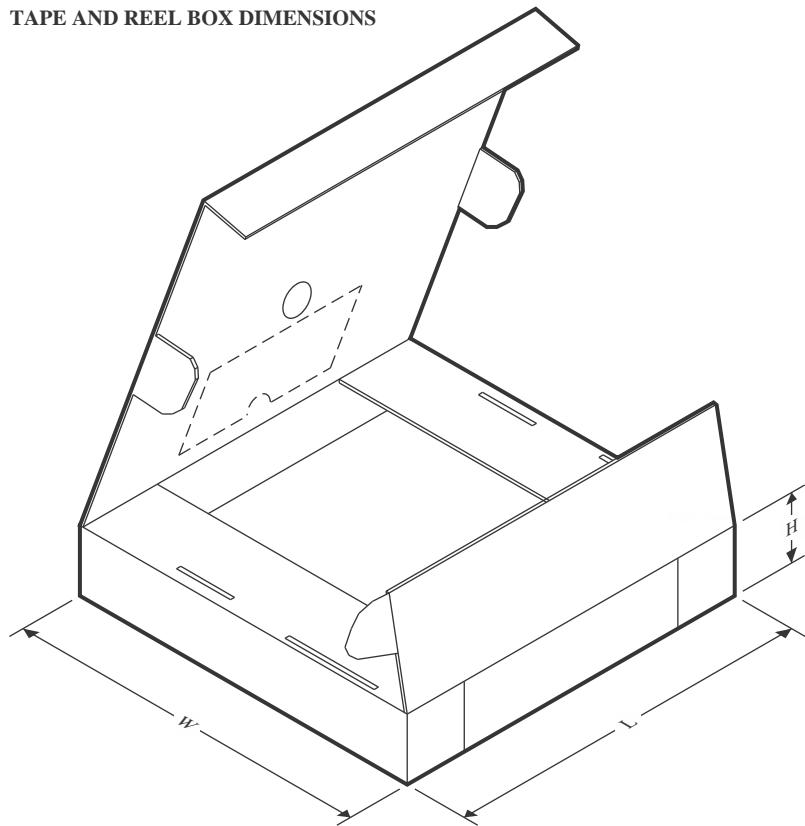
**TAPE AND REEL INFORMATION**


|    |   |
|----|---|
| A0 | Dimension designed to accommodate the component width     |
| B0 | Dimension designed to accommodate the component length    |
| K0 | Dimension designed to accommodate the component thickness |
| W  | Overall width of the carrier tape                         |
| P1 | Pitch between successive cavity centers                   |

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

| Device          | Package Type | Package Drawing | Pins | SPQ  | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|-----------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| TPS92543QPHPRQ1 | HTQFP        | PHP             | 48   | 1000 | 330.0              | 16.4               | 9.6     | 9.6     | 1.5     | 12.0    | 16.0   | Q2            |
| TPS92543QPKDRQ1 | HTQFP        | PKD             | 48   | 1000 | 330.0              | 16.4               | 9.6     | 9.6     | 1.5     | 12.0    | 16.0   | Q2            |

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

| Device          | Package Type | Package Drawing | Pins | SPQ  | Length (mm) | Width (mm) | Height (mm) |
|-----------------|--------------|-----------------|------|------|-------------|------------|-------------|
| TPS92543QPHPRQ1 | HTQFP        | PHP             | 48   | 1000 | 336.6       | 336.6      | 31.8        |
| TPS92543QPKDRQ1 | HTQFP        | PKD             | 48   | 1000 | 336.6       | 336.6      | 31.8        |

## GENERIC PACKAGE VIEW

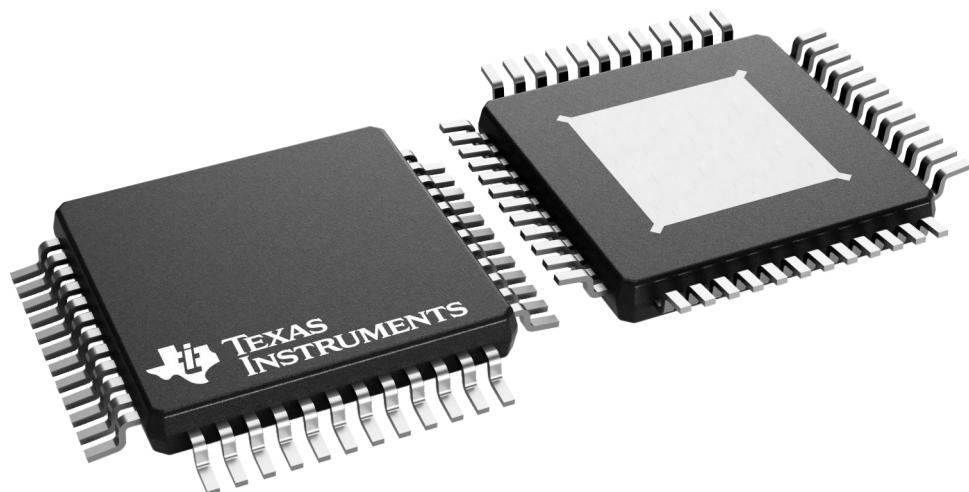
### PHP 48

### TQFP - 1.2 mm max height

7 x 7, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4226443/A

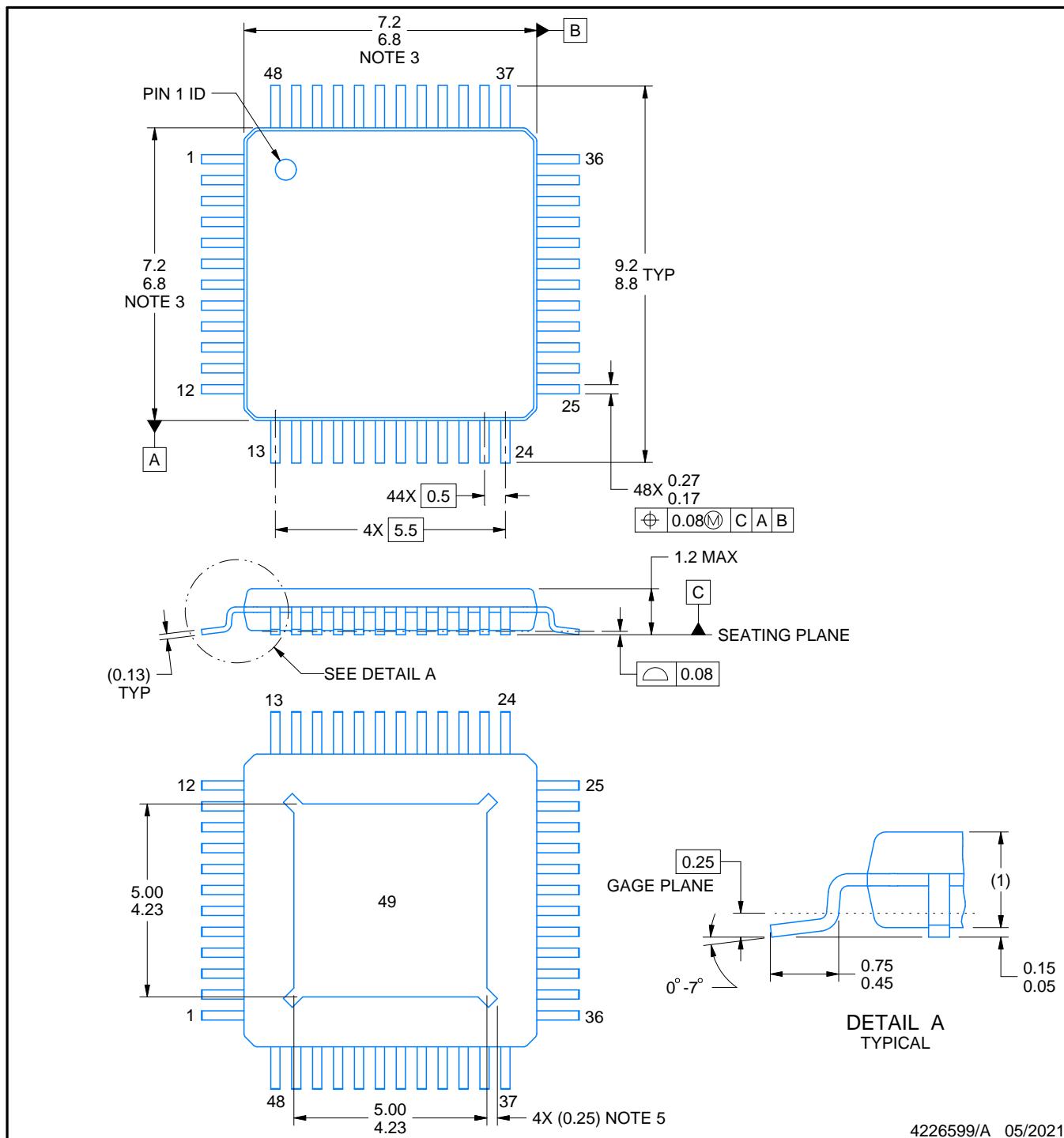


# PACKAGE OUTLINE

**PHP0048L**

**PowerPAD™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



NOTES:

PowerPAD is a trademark of Texas Instruments.

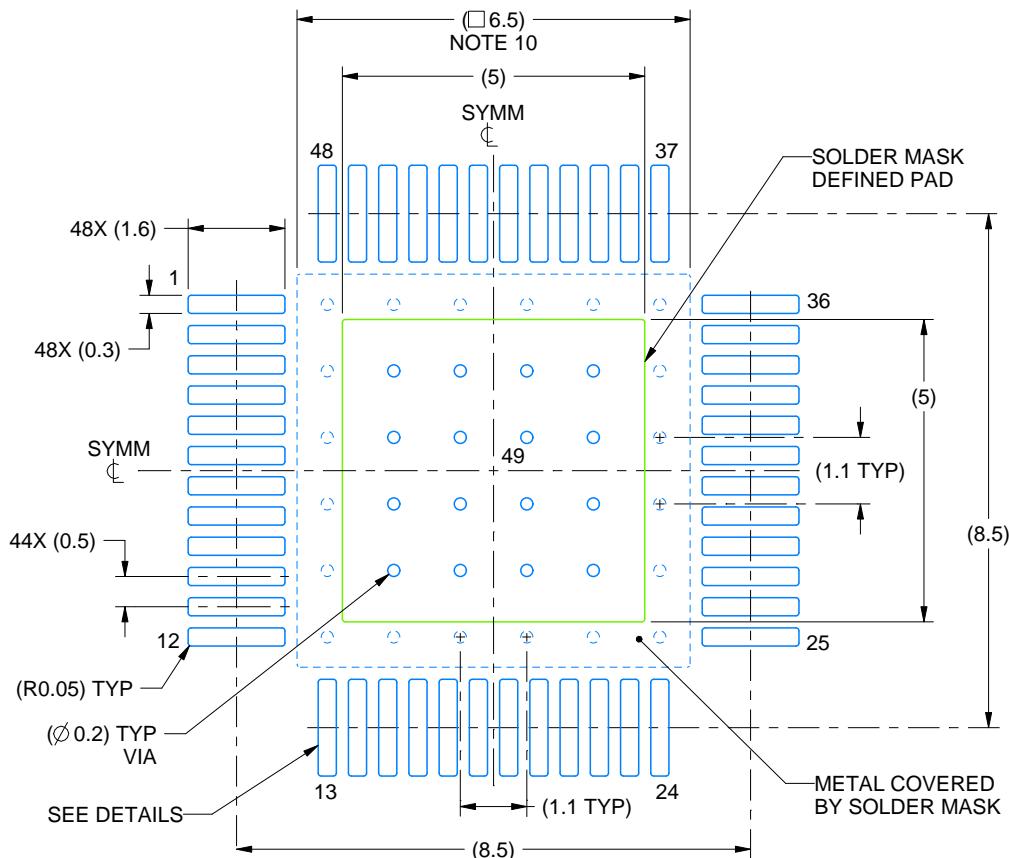
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.

## EXAMPLE BOARD LAYOUT

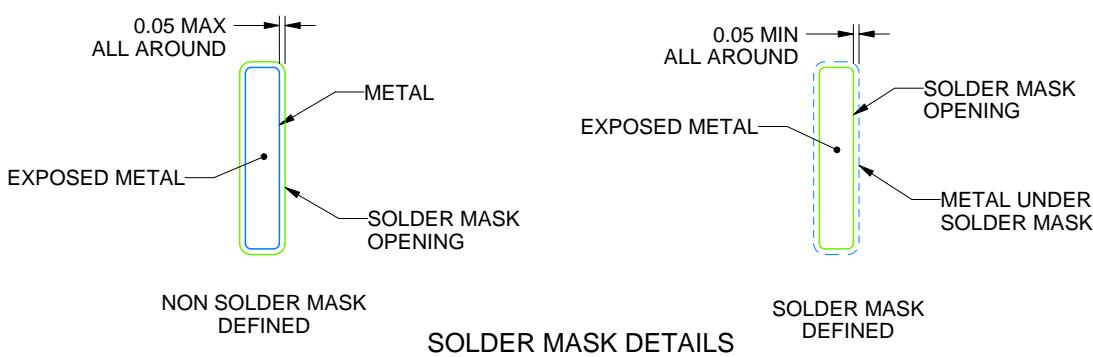
**PHP0048L**

## PowerPAD™ HTQFP - 1.2 mm max height

## PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:8X



4226599/A 05/2021

#### NOTES: (continued)

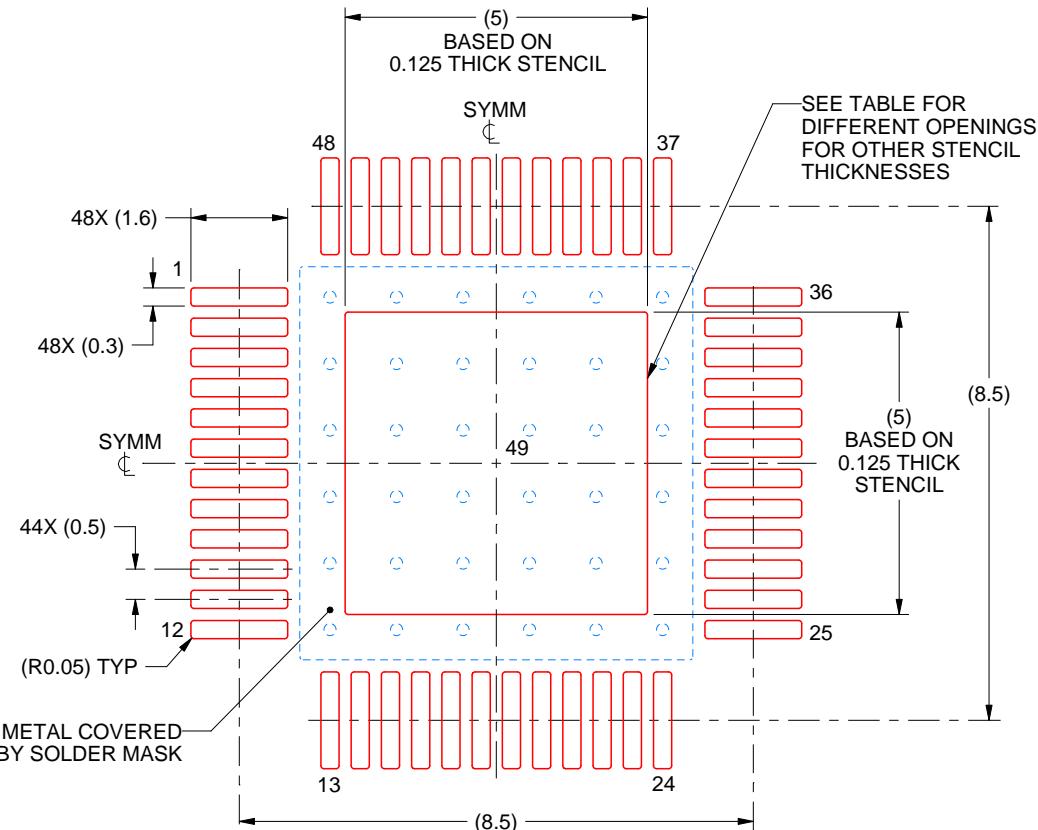
6. Publication IPC-7351 may have alternate designs.
  7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
  8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
  9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
  10. Size of metal pad may vary due to creepage requirement.

# EXAMPLE STENCIL DESIGN

PHP0048L

PowerPAD™ HTQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE  
EXPOSED PAD  
100% PRINTED SOLDER COVERAGE BY AREA  
SCALE:8X

| STENCIL THICKNESS | SOLDER STENCIL OPENING |
|-------------------|------------------------|
| 0.1               | 5.59 X 5.59            |
| 0.125             | 5.00 X 5.00 (SHOWN)    |
| 0.150             | 4.56 X 4.56            |
| 0.175             | 4.23 X 4.23            |

4226599/A 05/2021

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

## GENERIC PACKAGE VIEW

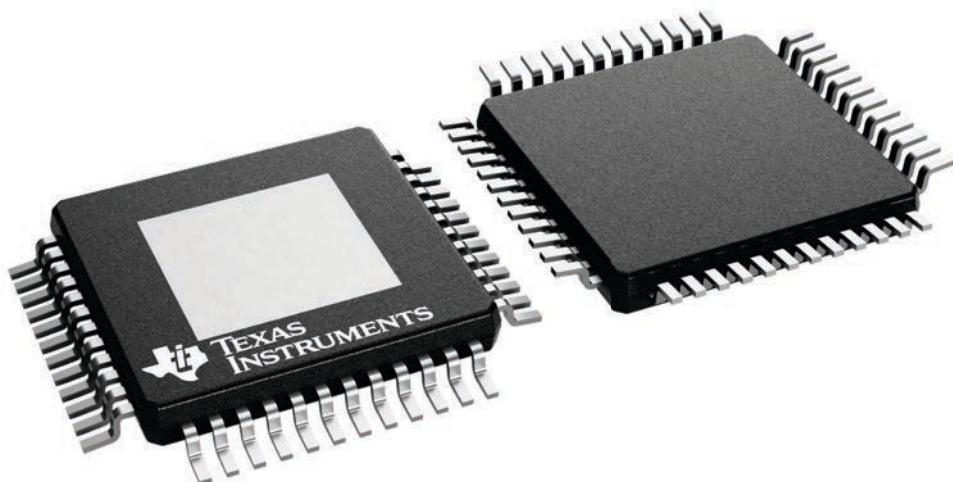
**PKD 48**

**PowerPAD™ HTQFP - 1.15 mm max height**

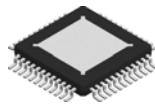
**7 x 7, 0.5 mm pitch**

**PLASTIC QUAD FLATPACK**

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4231748/A

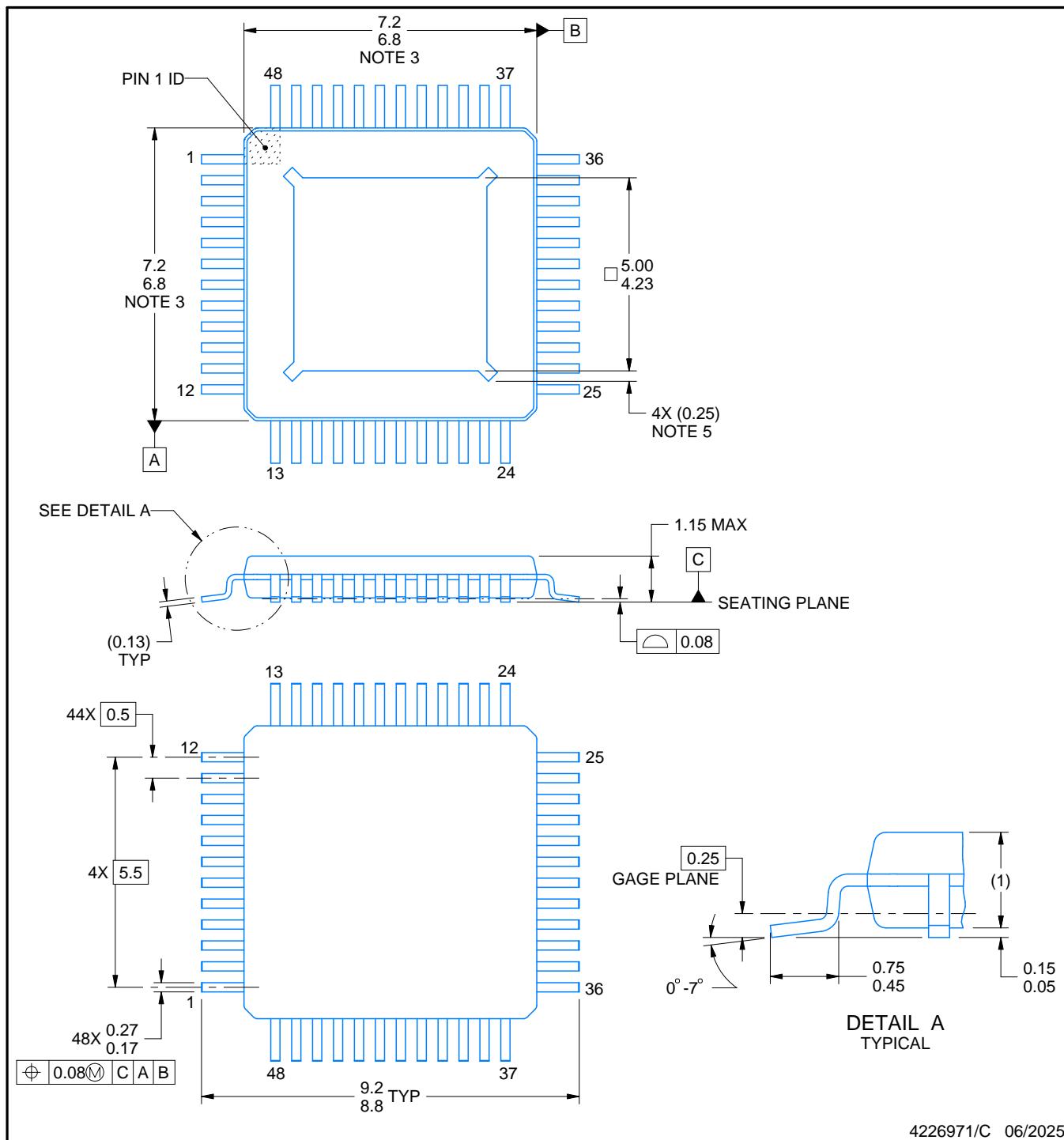


# PACKAGE OUTLINE

**PKD0048A**

**PowerPAD™ HTQFP - 1.15 mm max height**

PLASTIC QUAD FLATPACK



4226971/C 06/2025

PowerPAD is a trademark of Texas Instruments.

NOTES:

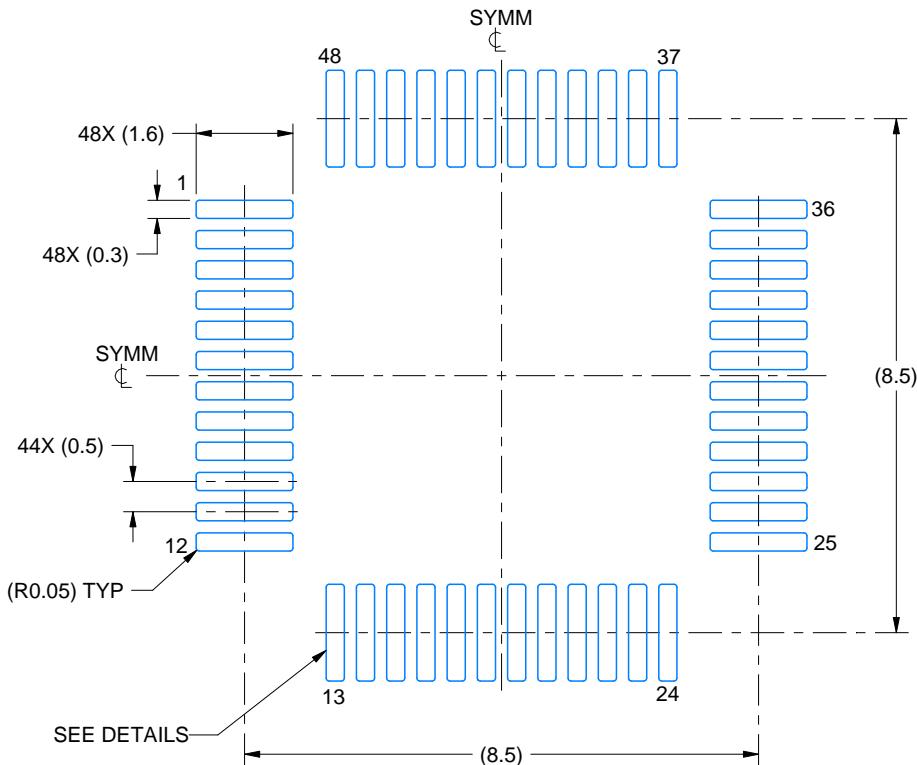
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.

# EXAMPLE BOARD LAYOUT

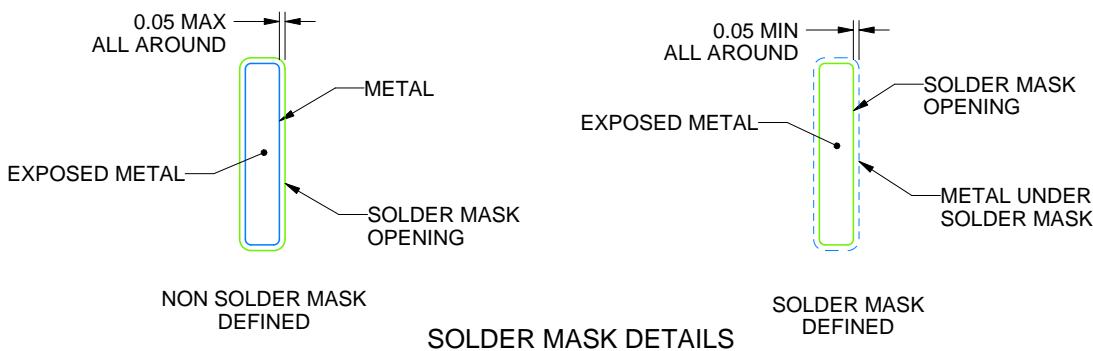
**PKD0048A**

**PowerPAD™ HTQFP - 1.15 mm max height**

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:8X



4226971/C 06/2025

NOTES: (continued)

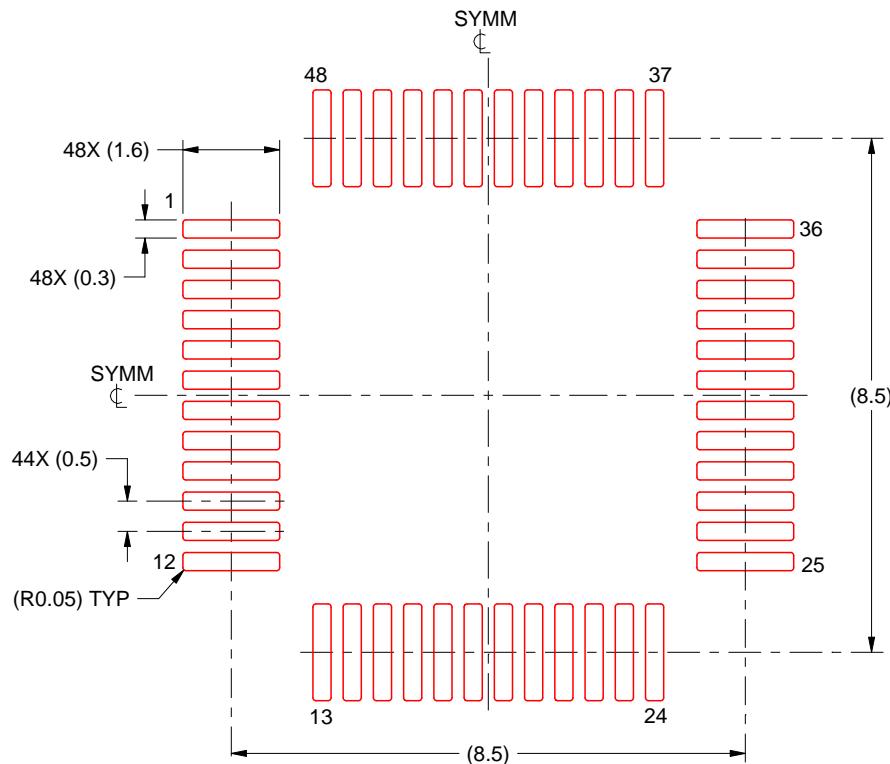
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

# EXAMPLE STENCIL DESIGN

PKD0048A

PowerPAD™ HTQFP - 1.15 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:8X

4226971/C 06/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月