

TPSI2240-Q1 1200V、50mA 車載強化ソリッドステートリレー、アバランシェ保護機能搭載

1 特長

- 車載アプリケーション認定済み
 - AEC-Q100 グレード 1: -40~125°C、 T_A
- 低 EMI:
 - 追加部品なしで CISPR25 Class 5 の性能に適合
- アバランシェ定格 MOSFET を内蔵
 - 誘電体耐性試験 (Hi-Pot) の信頼性を考慮して設計および認定済み
 - TPSI2240-Q1 $I_{AVA} = 1\text{mA}$ (60s パルス)
 - TPSI2240C-Q1 $I_{AVA} = 0.6\text{mA}$ (60s パルス)
 - TPSI2240T-Q1 $I_{AVA} = 3\text{mA}$ (60s パルス)
 - 1200V スタンドオフ電圧
 - $R_{ON} = 130\Omega$ ($T_J = 25^\circ\text{C}$)
 - $T_{ON}, T_{OFF} < 700\mu\text{s}$
 - $I_{OFF} = 1.22\mu\text{A}$ (1000V 時、 $T_J = 105^\circ\text{C}$)
- 1 次側低消費電流
 - オフ状態電流 ($T_J = 25^\circ\text{C}$): $3.5\mu\text{A}$
- 機能安全規格に対応
 - ISO 26262 および IEC 61508 システムの設計を支援する [ドキュメントを使用可能](#)
- 堅牢な絶縁バリア:
 - $1500V_{RMS}/2120V_{DC}$ の動作電圧で 30 年以上の予測寿命
 - 強化絶縁定格、 V_{ISO} 、最大 $4750V_{RMS}$
- 熱性能を向上させるワイドピンを備えた SOIC 11 ピン (DWQ) パッケージ
 - 浴面距離と空間距離: 8mm 以上 (1 次側 / 2 次側)
 - 浴面距離と空間距離: 6mm 以上 (スイッチ端子間)
- 安全関連認証
 - (申請予定) DIN EN IEC 60747-17 (VDE 0884-17)
 - UL 1577 部品認定プログラム (計画中)

2 アプリケーション

- [ソリッドステートリレー](#)
- [ハイブリッド / 電気自動車およびパワートレイン システム](#)
- [バッテリー管理システム \(BMS\)](#)
- [エネルギー ストレージ システム \(ESS\)](#)

- [太陽光エネルギー](#)
- [オンボード チャージャ](#)
- [EV 充電インフラ](#)
- これらのアプリケーションに関連する [テキサス・インスツルメンツのリファレンス デザイン](#)も参照してください。

3 説明

TPSI2240-Q1 は、高電圧車載用および産業用アプリケーション向けに設計された絶縁型ソリッドステートリレーです。TPSI2240-Q1 は、テキサス・インスツルメンツの高信頼性容量性絶縁技術と内蔵の双方向 MOSFET を組み合わせることにより、2 次側電源を必要としない統合されたソリューションを形成しています。

デバイスの 1 次側はわずか 5mA の入力電流で電力供給されており、また、VDD 電源に逆電力が供給される可能性を防ぐフェイルセーフ EN ピンが組み込まれています。ほとんどのアプリケーションでは、デバイスの VDD ピンを $4.5\text{V} \sim 20\text{V}$ のシステム電源に接続し、デバイスの EN ピンを $2.1\text{V} \sim 20\text{V}$ のロジック HI の GPIO 出力で駆動する必要があります。その他のアプリケーションでは、VDD ピンおよび EN ピンを一緒にシステム電源から直接、または GPIO 出力から駆動できます。TPSI2240-Q1 のすべての制御構成では、フォトリレーソリューションで一般的に必要なとされる抵抗やローサイドスイッチなどの追加の外部コンポーネントは必要ありません。

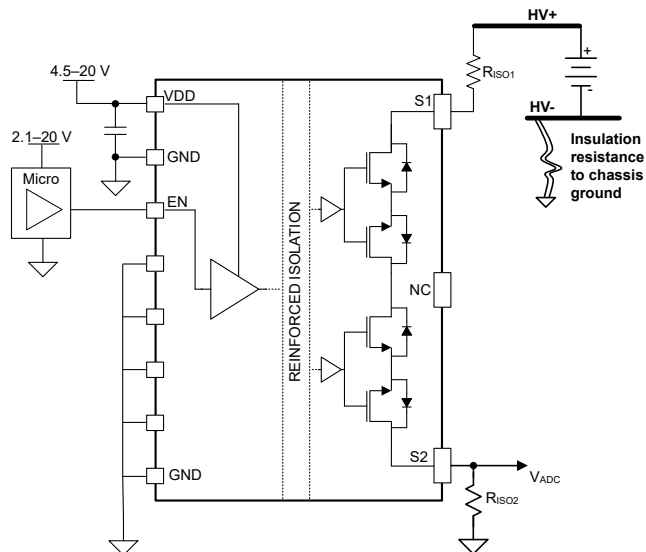
2 次側は、S1 から S2 までのスタンドオフ電圧が $\pm 1.2\text{kV}$ の双方向 MOSFET で構成されています。TPSI2240-Q1 MOSFET のアバランシェ堅牢性と熱を考慮したパッケージ設計により、外部部品を必要とせずに、システムレベルの絶縁耐力試験 (HiPot) 最大 1mA (TPSI2240C-Q1 の場合は 0.6mA 、TPSI2240T-Q1 の場合は 3mA) の DC 高速充電器のサージ電流を堅牢にサポートできます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)
TPSI2240-Q1	DWQ (SOIC、11 ピン)	10.3mm × 7.5mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。





TPSI2240-Q1 アプリケーションの概略回路図

目次

1 特長	1	8.1 概要	17
2 アプリケーション	1	8.2 機能ブロック図	17
3 説明	1	8.3 機能説明	18
4 デバイスの比較	4	8.4 デバイスの機能モード	19
5 ピン構成および機能	5	9 アプリケーションと実装	20
6 仕様	6	9.1 アプリケーション情報.....	20
6.1 絶対最大定格.....	6	9.2 代表的なアプリケーション.....	20
6.2 ESD 定格.....	6	9.3 電源に関する推奨事項.....	27
6.3 推奨動作条件.....	7	9.4 レイアウト.....	27
6.4 熱に関する情報.....	7	10 デバイスおよびドキュメントのサポート	30
6.5 電力定格.....	7	10.1 サード・パーティ製品に関する免責事項.....	30
6.6 絶縁仕様.....	8	10.2 ドキュメントの更新通知を受け取る方法.....	30
6.7 安全関連認証.....	10	10.3 サポート・リソース.....	30
6.8 安全限界値.....	10	10.4 商標.....	30
6.9 電気的特性.....	11	10.5 静電気放電に関する注意事項.....	30
6.10 スイッチング特性.....	13	10.6 用語集.....	30
6.11 代表的特性.....	14	11 改訂履歴	30
7 パラメータ測定情報	16	12 メカニカル、パッケージ、および注文情報	31
8 詳細説明	17		

4 デバイスの比較

表 4-1. デバイスの比較

型番	アバランシェ プロテクト モード	最大アバランシェ電流 (60 秒)
TPSI2240-Q1	標準的なアバランシェ保護	1.0mA
TPSI2240C-Q1	標準的なアバランシェ保護	0.6mA
TPSI2240T-Q1	熱アバランシェ保護	3.0mA

5 ピン構成および機能

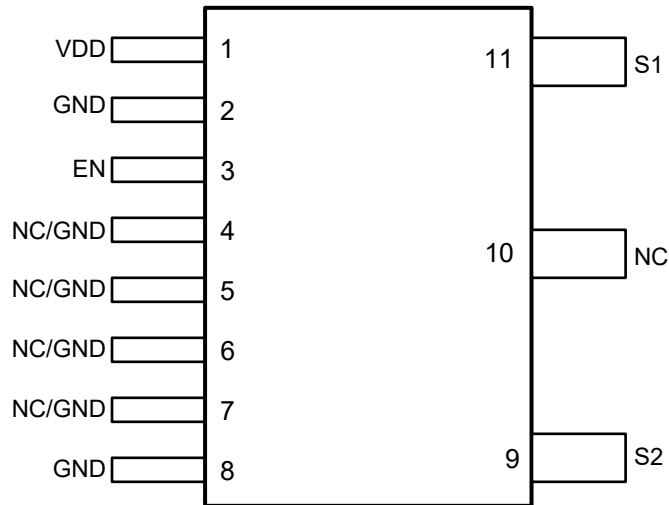


図 5-1. TPSI2240-Q1 DWQ パッケージ、11 ピン SOIC (上面図)

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	VDD	P	1 次側の電源
2	GND	GND	1 次側のグランド電源
3	EN	I	アクティブ High のスイッチ イネーブル信号
4	NC/GND	NC/GND	内部接続、外部からグランドに接続するかフローティングのまま
5	NC/GND	NC/GND	内部接続、外部からグランドに接続するかフローティングのまま
6	NC/GND	NC/GND	内部接続、外部からグランドに接続するかフローティングのまま
7	NC/GND	NC/GND	内部接続、外部からグランドに接続するかフローティングのまま
8	GND	GND	GND に内部接続、外部からグランドに接続するかフローティングのまま
9	S2	I/O	スイッチ入力
10	NC	NC	無接続
11	S1	I/O	スイッチ入力

(1) P = 電源、I = 入力、O = 出力、GND = グランド、NC = 接続なし

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

パラメータ		最小値	最大値	単位
V _{VDD}	1 次側の電源電圧 ⁽²⁾	-0.3	20.7	V
V _{EN}	イネーブル電圧 ⁽²⁾	-0.3	20.7	V
I _{S1,S2}	スイッチ電流、S1/S2	-55	55	mA
I _{AVA,S1,S2}	反復アバランシェ定格、60s パルス、TPSI2240C、S1/S2 ⁽³⁾	-0.6	0.6	mA
I _{AVA,S1,S2}	反復アバランシェ定格、60s パルス、TPSI2240、S1/S2 ⁽³⁾	-1	1	mA
I _{AVA,S1,S2}	反復アバランシェ定格、60s パルス、TPSI2240T、TAP、S1/S2 ⁽³⁾	-3	3	mA
T _J	接合部温度	-40	150	°C
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 電圧値は、GND を基準としています。
- (3) 60 秒以下の周期で、寿命全体にわたって 5 分間の累積、デューティ サイクル < 10%、TAP モード

6.2 ESD 定格

			値	単位	
HBM _{Prim}	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ HBM ESD 分類レベル 2 準拠	1 次側ピン番号 1-8	±2000	V
HBM _{Sec}		人体モデル (HBM)、AEC Q100-002 HBM ESD ⁽¹⁾ 分類レベル 2 準拠	2 次側ピン番号 9-11	±2000	V
CDM	静電放電	荷電デバイス モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4 準拠	すべてのピン	±750	V

- (1) AEC Q100-002 は、HBM ストレス試験を ANS/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		最小値	公称値	最大値	単位
V _{VDD}	1 次側の電源電圧 (1)	4.5		20	V
V _{EN}	イネーブル電圧(1)	0		20	V
V _{S2-S1}	スイッチ入力電圧	-1200		1200	V
I _{S1,S2}	スイッチ電流	-50		50	mA
T _A	動作時周囲温度	-40		125	°C
T _J	動作時の接合部温度	-40		150	°C

(1) 電圧値は、GND を基準としています。

6.4 熱に関する情報

熱評価基準(1)		デバイス	単位
		DWQ (SOIC)	
		11 ピン	
R _{θJA}	接合部から周囲への熱抵抗	85.7	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	32.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	41.3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	40.4	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	18.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

6.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
P _D	最大消費電力、合計	V _{VDD} = 5V、 V _{EN} = 5V ピークツーピーク、 V _{S1-S2} = 1200V、R _{S1} = 500kΩ f _{EN} = 1Hz 方形波			31	mW
P _{D_P}	最大消費電力 (1 次側)				30	mW
P _{D_S}	最大消費電力 (2 次側)				1	mW

6.6 絶縁仕様

パラメータ		テスト条件	値	単位
IEC 60664-1				
CLR	外部空間距離 ⁽¹⁾	空気を介した最短のピン間距離	>8	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	>8	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	>15.4	μm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	>600	V
	材料グループ	IEC 60664-1 に準拠	I	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V_{RMS} が 300V 以下	I-IV	
		定格商用電源 V_{RMS} が 600V 以下	I-III	
		定格商用電源 V_{RMS} が 1000V 以下	I-II	
DIN V VDE 0884-11:2017-01⁽²⁾、IEC 60747-17:2020				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	2120	V_{PK}
V_{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)	1000	V_{RMS}
		DC 電圧	2120	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$, $t = 60s$ (認定時)	6715	V_{PK}
		$V_{TEST} = 1.2 \times V_{IOTM}$, $t = 1s$ (100% 出荷時)	8059	V_{PK}
V_{IMP}	最大インパルス電圧 ⁽⁶⁾	IEC 62638-1 に準拠して気中でテスト、1.2/50μs 波形、	7690	V_{PK}
V_{IOSM}	最大サージ絶縁電圧 ⁽³⁾	IEC 62638-1 準拠してオイルでテスト、1.2/50μs 波形、 $V_{TEST} = 1.3 \times V_{IOSM}$ (認定時)	10000	V_{PK}
q_{pd}	見掛けの電荷 ⁽⁴⁾	方法 a: I/O 安全テスト サブグループ 2/3 の後、 $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.2 \times V_{IORM}$, $t_m = 10s$	≤ 5	pC
		方法 a: 環境テスト サブグループ 1 の後、 $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.6 \times V_{IORM}$, $t_m = 10s$	≤ 5	
		方法 b1: ルーチン テスト (100% 出荷時) および事前条件設定 (タイプ テスト) の場合、 $V_{ini} = V_{IOTM}$, $t_{ini} = 1s$, $V_{pd(m)} = 1.875 \times V_{IORM}$, $t_m = 1s$	≤ 5	
C_{IO}	絶縁バリア容量、入力から出力へ ⁽⁵⁾	$V_{IO} = 0.4 \times \sin(2\pi ft)$, $f = 1MHz$	1.6	pF
R_{IO}	絶縁抵抗、入力から出力へ ⁽⁵⁾	$V_{IO} = 500V$, $T_A = 25^\circ C$	$>10^{12}$	Ω
		$V_{IO} = 500V$ ($100^\circ C \leq T_A \leq 125^\circ C$ 時)	$>10^{11}$	
		$V_{IO} = 500V$ ($T_S = 150^\circ C$ 時)	$>10^9$	
	汚染度		2	
	耐候性カテゴリ		40/150/21	
UL 1577				
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO}$, $t = 60s$ (認定時)、 $V_{TEST} = 1.2 \times V_{ISO}$, $t = 1s$ (100% 出荷時)	4750	V_{RMS}
その他				
V_{ISO}	絶縁耐圧		6715	V_{DC}

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でインレタの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
- (2) このカプラは安全定格内においてのみ 安全な電氣的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- (3) テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
- (4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- (5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2つの端子を持つデバイスを構成します。

- (6) テストは、パッケージの固有サージ耐性を判定するため、気中で実行されます。

6.7 安全関連認証

VDE	CSA	UL	CQC	TUV
DIN EN IEC 60747-17 (VDE 0884-17) の認証取得を計画	未定です。ご要望については、TI にお問い合わせください。	UL 1577 部品認定プログラムに従う認証を計画中	未定です。ご要望については、TI にお問い合わせください。	未定です。ご要望については、TI にお問い合わせください。
強化絶縁。最大過渡絶縁電圧: 6715 V _{PK} 、最大反復ピーク絶縁電圧: 2120V _{PK} 、最大サージ絶縁電圧: 10000V _{PK}		シングル保護: 4750V _{RMS}		
認証計画中		認証計画中		

6.8 安全限界値

パラメータ ^{(1) (2)}		テスト条件	最小値	標準値	最大値	単位
I _S	VDD 安全電流	R _{θJA} = 85.7°C/W、V _{VDD} = 20V、T _J = 150°C、T _A = 25°C			72	mA
	スイッチ安全電流 (オン状態)	R _{θJA} = 85.7°C/W、V _{VDD} = 20V、T _J = 150°C、T _A = 25°C			69	
	スイッチ安全電流 (オフ状態、60 秒)	R _{θJA, EVM, 60s} ⁽³⁾ = 72.0°C/W、V _{VDD} = 0V、T _J = 150°C、T _A = 25°C			1.12	
P _S	安全入力、出力、または合計電力	R _{θJA} = 85.7°C/W、T _J = 150°C、T _A = 25°C			1.46	W
T _S	最高安全温度				150	°C

- 安全限界値の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グランドあるいは電源との抵抗が低くなる場合があります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。
- 安全限界は、データシートで規定されている最大接合部温度です。接合部の温度は、アプリケーション ハードウェアに搭載されているデバイスの消費電力、および接合部から空気への熱抵抗により決定されます。「[熱に関する情報](#)」の表で前提とされている接合部から空気への熱抵抗は、リード付き表面実装パッケージ向けの High-K テスト基板に実装されたデバイスの数値です。電力は、推奨最大入力電圧と電流との積です。この場合の接合部温度は、接合部から空気への熱抵抗と電力との積に周囲温度を加えたものです。
- 「レイアウト ガイドライン」セクションの EVM に類似した PCB レイアウトであると仮定します

6.9 電気的特性

特に記述のない限り、すべての最小 / 最大仕様は推奨動作条件範囲内の値です。すべての標準値は、 $T_J = 25^\circ\text{C}$ 、 $V_{VDD} = 5\text{V}$ 、 $V_{EN} = 5\text{V}$ で測定されています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
1 次側電源 (VDD)						
V_{UVLO_R}	VDD 低電圧スレッシュホールド立ち上がり	VDD 立ち上がり	4.1	4.3	4.5	V
V_{UVLO_F}	VDD 低電圧スレッシュホールド立ち下がり	VDD 立ち下がり	4.0	4.2	4.45	V
V_{UVLO_HYS}	VDD 低電圧スレッシュホールド ヒステリシス		25	75		mV
I_{VDD_ON}	VDD 電流、デバイスの電源がオン	$T_J = 25^\circ\text{C}$		8.5	11	mA
		$-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$		8.5	12	mA
I_{VDD_OFF}	VDD 電流、5V、デバイスの電源がオフ	$V_{VDD} = 5\text{V}$ 、 $V_{EN} = 0\text{V}$ $T_J = 25^\circ\text{C}$		3.5	8	μA
		$V_{VDD} = 5\text{V}$ 、 $V_{EN} = 0\text{V}$ $T_J = 105^\circ\text{C}$		6.3	11	μA
		$V_{VDD} = 5\text{V}$ 、 $V_{EN} = 0\text{V}$ $T_J = 125^\circ\text{C}$		7.6	16	μA
		$V_{VDD} = 5\text{V}$ 、 $V_{EN} = 0\text{V}$ $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$			30	μA
	VDD 電流、20V、デバイスの電源がオフ	$V_{VDD} = 20\text{V}$ 、 $V_{EN} = 0\text{V}$ $T_J = 25^\circ\text{C}$		8	10.5	μA
		$V_{VDD} = 20\text{V}$ 、 $V_{EN} = 0\text{V}$ $T_J = 105^\circ\text{C}$		13	17	
		$V_{VDD} = 20\text{V}$ 、 $V_{EN} = 0\text{V}$ $T_J = 125^\circ\text{C}$		15	25	
		$V_{VDD} = 20\text{V}$ 、 $V_{EN} = 0\text{V}$ $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$			40	
FET の特性 (S1, S2)						
R_{DSON}	オン抵抗	$I_O = 2\text{mA}$ 、 $T_J = 25^\circ\text{C}$		130	175	Ω
		$I_O = 2\text{mA}$ 、 $T_J = 85^\circ\text{C}$		176	235	
		$I_O = 2\text{mA}$ 、 $T_J = 105^\circ\text{C}$		192	250	
		$I_O = 2\text{mA}$ 、 $T_J = 125^\circ\text{C}$		210	275	
		$I_O = 2\text{mA}$ 、 $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$			300	
I_{OFF}	オフリーケージ、1200V	$V = \pm 1200\text{V}$ 、 $T_J = 25^\circ\text{C}$		0.058	0.25	μA
		$V = \pm 1200\text{V}$ 、 $T_J = 85^\circ\text{C}$			0.5	
		$V = \pm 1200\text{V}$ 、 $T_J = 105^\circ\text{C}$			1.5	
		$V = \pm 1200\text{V}$ 、 $T_J = 125^\circ\text{C}$			7	
		$V = \pm 1200\text{V}$ 、 $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$			50	
	オフリーケージ、1000V	$V = \pm 1000\text{V}$ 、 $T_J = 25^\circ\text{C}$		0.055	0.25	μA
		$V = \pm 1000\text{V}$ 、 $T_J = 85^\circ\text{C}$			0.43	
		$V = \pm 1000\text{V}$ 、 $T_J = 105^\circ\text{C}$			1.22	
		$V = \pm 1000\text{V}$ 、 $T_J = 125^\circ\text{C}$			5.75	
		$V = \pm 1000\text{V}$ 、 $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$			44	
V_{AVA}	アバランシェ電圧	$I_O = 10 \mu\text{A}$ 、 $T_J = 25^\circ\text{C}$	1300	1550	V	
		$I_O = 100 \mu\text{A}$ 、 $T_J = 150^\circ\text{C}$	1300	1550		
C_{OSS}	S1, S2 容量	$V_{S1,S2} = 0\text{V}$ 、SM フローティング、 $F = 1\text{MHz}$		71		pF
T_{TAP1}	サーマルアバランシェ保護スレッシュホールド (TPSI2240T-Q1 のみ)	アサート	160			C
T_{TAP_END}	サーマルアバランシェ保護スレッシュホールド (TPSI2240T-Q1 のみ)	デアサート	85		125	C

6.9 電気的特性 (続き)

特に記述のない限り、すべての最小 / 最大仕様は推奨動作条件範囲内の値です。すべての標準値は、 $T_J = 25^\circ\text{C}$ 、 $V_{VDD} = 5\text{V}$ 、 $V_{EN} = 5\text{V}$ で測定されています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ロジックレベル入力 (EN)						
V_{IL}	入力ロジック Low 電圧		0.0		0.8	V
V_{IH}	入力ロジック High 電圧		2.1		20.0	V
V_{HYS}	入力ロジック ヒステリシス		100	250	300	mV
I_{IL}	入力ロジック Low 電流	$V_{EN} = 0\text{V}$	-0.1		0.1	μA
		$V_{EN} = 0.8\text{V}$	0.1	0.68	6.5	μA
I_{IH}	入力ロジック High 電流	$V_{EN} = 5\text{V}$	1.5	4.4	15	μA
		$V_{EN} = 10\text{V}$	2	13	30	μA
		$V_{EN} = 20\text{V}$	10	32	65	μA
I_{VDD_FS}	VDD フェイルセーフ電流	$V_{EN} = 20\text{V}$ 、 $V_{VDD} = 0\text{V}$	-0.1	0	0.1	μA
R_{PD}	プルダウン抵抗	2点測定、 $V_{EN} = 0.5\text{V}$ および $V_{EN} = 0.8\text{V}$	589	1180	2050	k Ω
ノイズ耐性						
CMTI	同相過渡耐性	$ V_{CM} = 1000\text{V}$	100.0			V/ns

6.10 スイッチング特性

特に記述のない限り、すべての最小 / 最大仕様は推奨動作条件範囲内の値です。すべての標準値は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{EN} = 5\text{V}$ で測定されています。

モード	パラメータ	テスト条件	最小値	標準値	最大値	単位
スイッチング特性						
EN のスイッチング	t_{PD_ON}	入力 HI から出力電圧立ち下がりまでの伝搬遅延	$V_{IN} = 1000\text{V}$ $R_L = 1\text{M}\Omega$	170	370	μs
	t_F	出力立ち下がり時間		47	100	
	t_{ON}	入力 HI から出力 LO までの遅延		220	440	
	t_{PD_OFF}	入力 LO から出力電圧立ち上りまでの伝搬遅延		170	290	
	t_R	出力立ち上がり時間		29	70	
	t_{OFF}	入力 LO から出力 HI までの遅延		200	350	
EN および VDD スwitchング	t_{PD_ON}	入力 HI から出力電圧立ち下がりまでの伝搬遅延	$V_{IN} = 1000\text{V}$ $R_L = 1\text{M}\Omega$	250	520	μs
	t_F	出力立ち下がり時間		50	100	
	t_{ON}	入力 HI から出力 LO までの遅延		310	590	
	t_{PD_OFF}	入力 LO から出力電圧立ち上りまでの伝搬遅延		170	250	
	t_R	出力立ち上がり時間		30	80	
	t_{OFF}	入力 LO から出力 HI までの遅延		200	350	

6.11 代表的特性

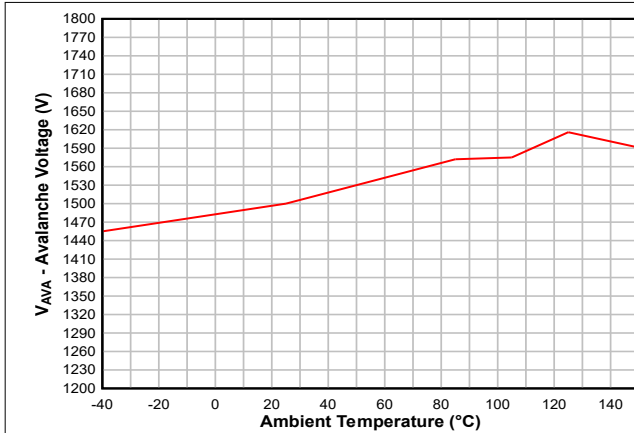


図 6-1. アバランシェ電圧と周囲温度との関係 ($I_0 = 100\mu\text{A}$)

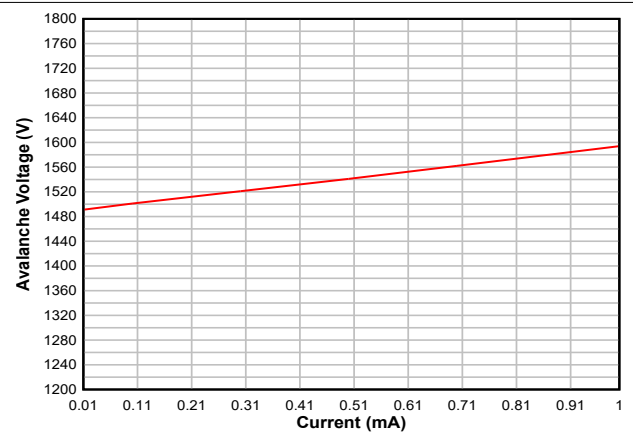


図 6-2. アバランシェ電圧とアバランシェ電流との関係

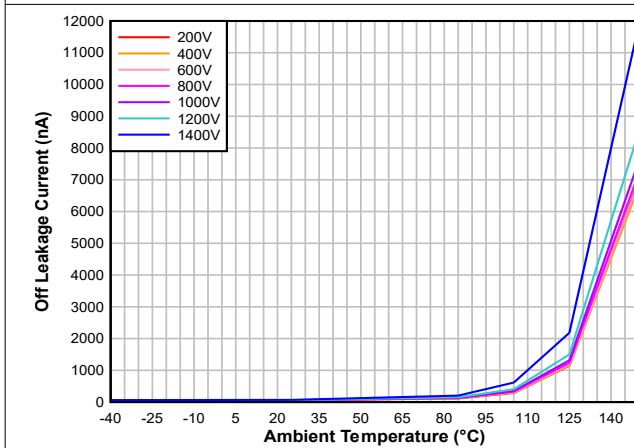


図 6-3. オフ リーク電流と周囲温度との関係

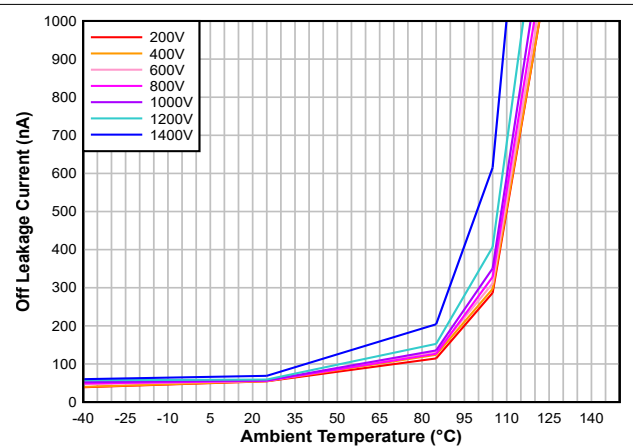


図 6-4. オフ リーク電流と周囲温度との関係 (拡大)

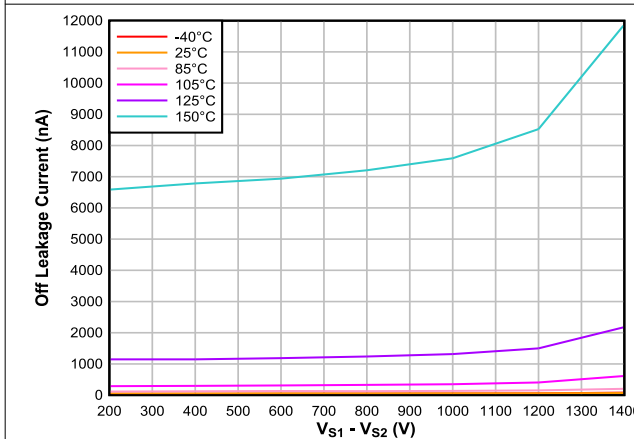


図 6-5. オフ リーク電流と出力電圧との関係

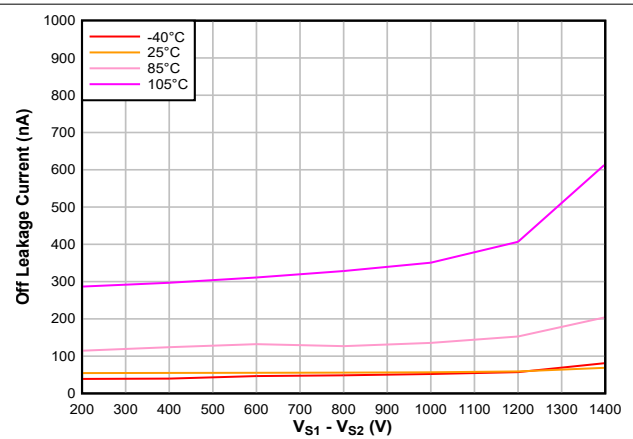


図 6-6. オフ リーク電流と出力電圧との関係 (拡大)

6.11 代表的特性 (続き)

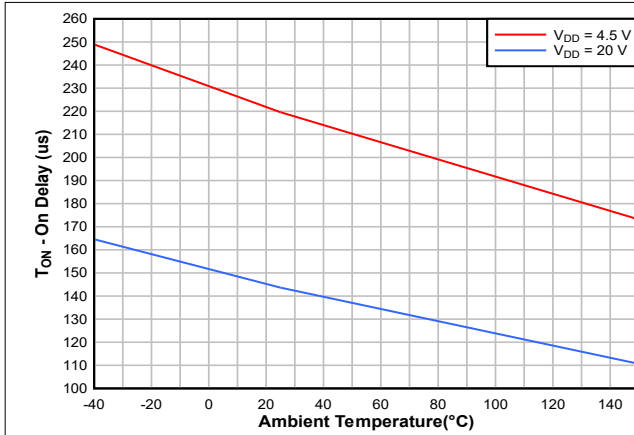


図 6-7. 入力から出力オンまでの遅延 ($V_{IN} = 1000V$)

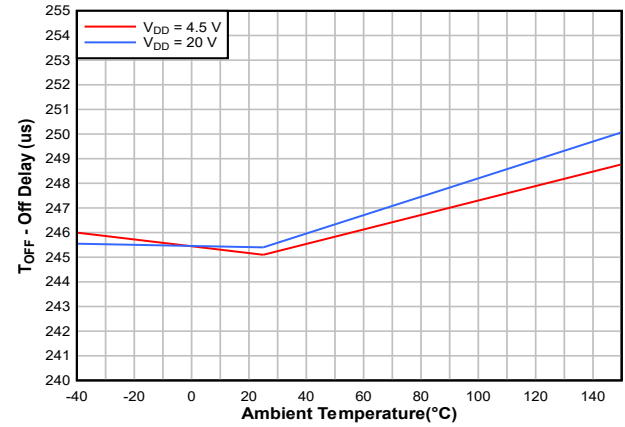


図 6-8. 入力から出力オフまでの遅延 ($V_{IN} = 1000V$)

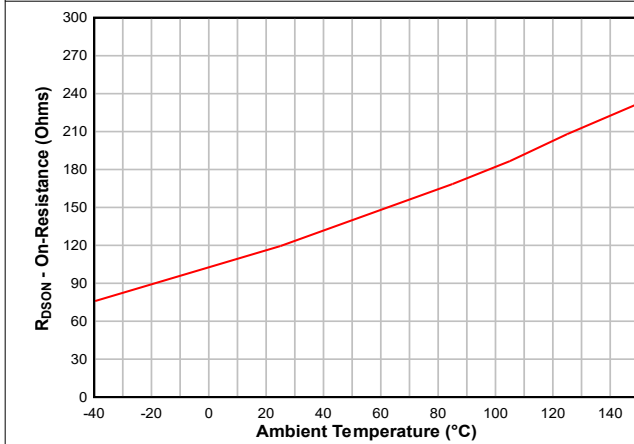


図 6-9. 標準的なオン抵抗値と周囲温度との関係

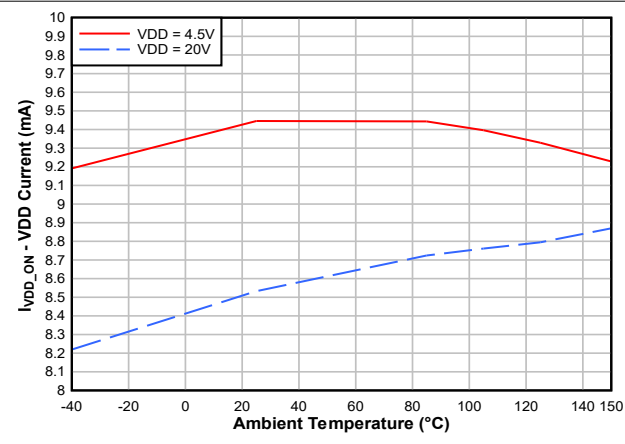


図 6-10. VDD 電流と周囲温度との関係

7 パラメータ測定情報

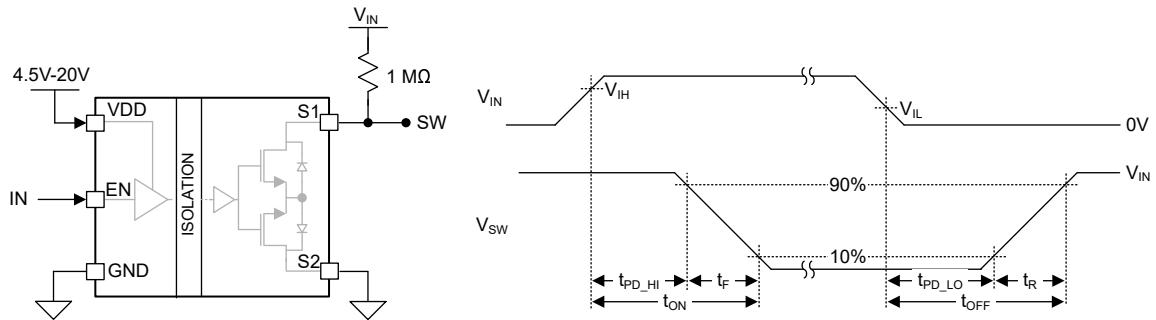


図 7-1. タイミング図、EN スイッチング

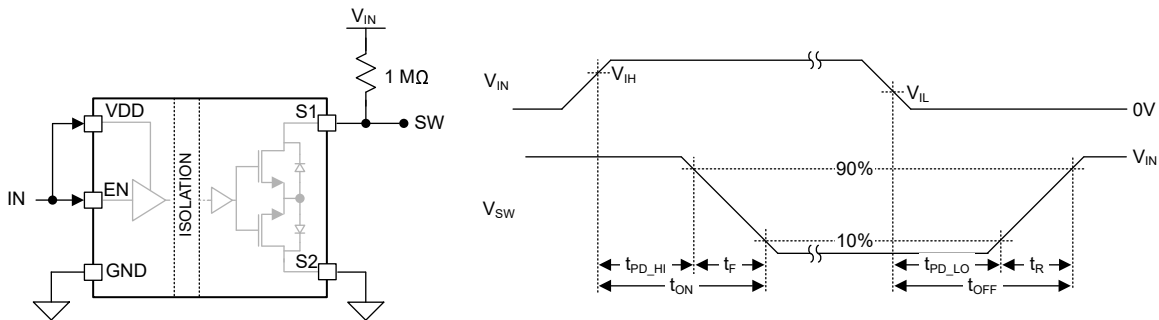


図 7-2. タイミング図、EN および VDD スイッチング

8 詳細説明

8.1 概要

TPSI2240-Q1 は、高電圧車載用および産業用アプリケーション向けに設計された絶縁型ソリッド ステートリレーです。TI の高信頼性容量性絶縁技術と双方向 MOSFET を組み合わせることにより、2 次側電源を必要としない完全に統合されたソリューションを形成しています。

「機能ブロック図」に示されているように、1 次側は、2 次側の各内部 MOSFET に電力と有効化ロジック情報を供給するされています。オンボード発振器はドライバの動作周波数を制御し、スペクトラム拡散変調 (SSM) コントローラは周波数を変更してシステムの EMI 性能を向上させます。イネーブルピンが HI になると、VDD 電圧が UVLO スレッシュホールドを超えると、発振器が起動し、ドライバがバリアを越えて論理 HI を送信します。VDD 電圧が UVLO スレッシュホールドを上回り、イネーブルピンが HI になると、発振器が起動し、ドライバはバリアをまたぐ形で電力とロジック HI を送信します。イネーブルピンが LO になるか、または VDD 電圧が UVLO スレッシュホールドを下回ると、ドライバは無効化されます。アクティビティがないため、ロジック LO は 2 次側に伝達され、MOSFET は無効化されます。

2 次側の MOSFET ペアには専用のフルブリッジ整流器があり、ローカル電源およびレシーバを形成します。レシーバは、容量性絶縁バリアを経由して 1 次側から供給されるロジック状態を決定し、スルーレート制御ドライバを使用して MOSFET のゲートを駆動します。レシーバは、同相モード干渉をフィルタリングし、1 次側ドライバとシステムが送信したロジックに従って MOSFET が確実に制御されるように、バリアをまたぐ形で受信された信号に対してシグナル コンディショニングを実行します。

TPSI2240-Q1 は、11 DWQ パッケージのアバランシェ堅牢型 MOSFET と拡大ピンの熱的利点により、外部の保護部品を必要とせずに、絶縁耐圧試験 (HiPot) や最大 1mA の DC 高速チャージャ サージ電流に耐えられます。TPSI2240T-Q1 バージョンのデバイスに搭載されている熱アバランシェ保護 (TAP) 機能は、接合部温度を監視し、MOSFET が温度を安全な動作範囲に維持できるようにすることにより、アバランシェ電流能力をさらに向上させるため、より大きなアバランシェ電流に対応できるようになります。

8.2 機能ブロック図

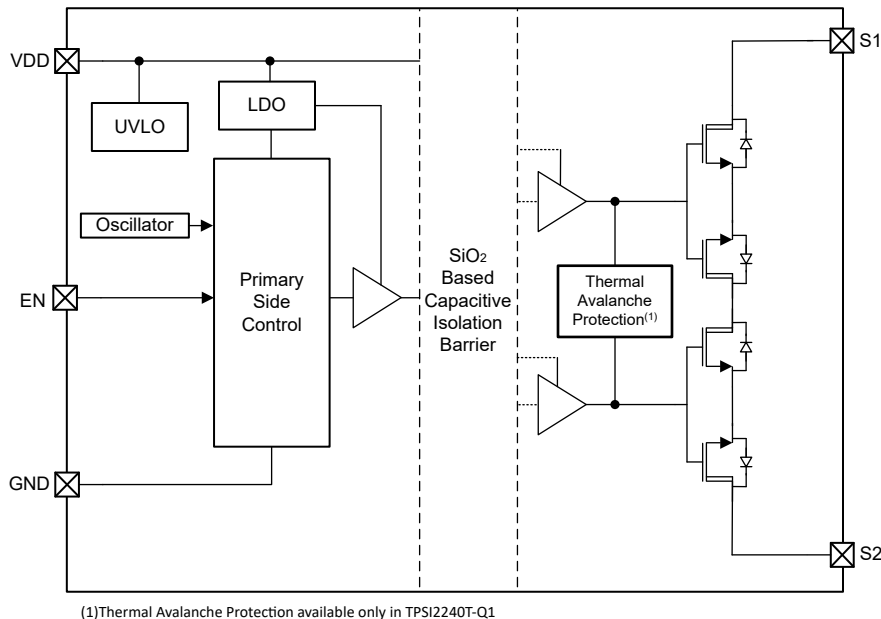


図 8-1. TPSI2240-Q1 のブロック図

8.3 機能説明

8.3.1 アバランシェ堅牢性

S1 ピンと S2 ピンの間の電圧が $\pm 1200\text{V}$ を上回った場合、2 次側 MOSFET がアバランシェモード動作に移行する可能性があります。MOSFET と 11 DWQ パッケージは、この動作モードで [セクション 9.2.1](#) をサポートするように堅牢に設計され、認定されています。この動作モードでシステムの放熱性能を確保する方法については、[PCB セクション 9.4.1](#) を参照してください。

8.4 デバイスの機能モード

表 8-1. デバイスの機能モード

VDD	EN	S1-S2 STATE	備考
パワーアップ ⁽¹⁾	L	OFF	VDD 電流はオフ状態の範囲です。
	H	オン	VDD 電流はオン状態の範囲です。
パワーダウン ⁽²⁾	L	OFF	VDD 電流はオフ状態の範囲です。
	H	OFF	1 次側アナログはオン、VDD 電流はオフ状態とオン状態の範囲内です。

- (1) $VDD \geq VDD$ 低電圧立ち上がりスレッシュヨルド。
 (2) $VDD \leq VDD$ 低電圧立ち下がりスレッシュヨルド。

9 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TPSI2240-Q1 は、特に絶縁バリアまたはガルバニック絶縁領域を超えてスイッチングする必要がある場合の測定アプリケーション向けとして、高電圧スイッチングに最適化された 1200V、50mA との車載対応絶縁スイッチです。一般的な最終製品には、エネルギー ストレージ システム (ESS)、ソーラー パネル アレイ、EV チャージャ、EV バッテリ管理システムなどがあります。機械式リレーや光学的に絶縁されたデバイスをこのデバイスに置き換えることで、システム設計者はコストを削減し、信頼性を向上させることができます。

TPSI2240-Q1 のイネーブル、VDD ピン電源と同じドメインから駆動する必要はありません。

TPSI2240-Q1 は、1 次側 VDD 電源ピンで 4.5V ~ 20V の入力電圧範囲、イネーブル ピンで 2.1V ~ 20V のロジック High に対応しています。2 次側は、-1200V ~ 1200V の高電圧スイッチングをサポートしています。

TI のリファレンス デザイン

以下のリンク先にある TI のリファレンス デザインは、TPSI2240-Q1 を使用する高電圧アプリケーションの概要を示します。絶縁耐圧試験 (HiPot) における TPSI2240-Q1 の放熱性能を最大化するため、このデータシートに記載されている [レイアウトのガイドライン](#) に従ってください。

- [TIDA-010232: 高電圧絶縁監視](#)
- [TIDA-01513: 車載用高電圧および絶縁リーク測定](#)

9.2 代表的なアプリケーション

絶縁抵抗の監視

電気自動車システムのような高電圧アプリケーションで、高電圧バッテリー パックは意図的に自動車のシャーシ ドメインから絶縁され、ドライバを保護し、電気部品の損傷を防止します。これらのシステムは、この絶縁の整合性をアクティブに監視して、システムの寿命全体にわたって安全性を確保します。このアクティブ監視は絶縁抵抗監視 (絶縁チェック、絶縁監視、残留電流監視 (RCM) と呼ばれます) と呼ばれます。これは、下図に R_{ISOP} および R_{ISON} として示されているように、各バッテリー端子からシャーシ グランドまでの抵抗を測定することで実行されます。

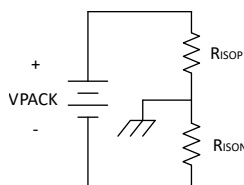


図 9-1. 絶縁抵抗モデル

TPSI2240-Q1 を使用して、これらの絶縁抵抗 R_{ISOP} および R_{ISON} を測定する設計アーキテクチャは複数存在します。一部のアーキテクチャでは、高電圧ドメインからの測定を実行するマイコンが採用されています。このアーキテクチャは、このドキュメントではバッテリー V リファレンス アーキテクチャと呼ばれます。また、低電圧ドメインでマイコンを使用するものも

あります。このマイコンは、本ドキュメントではシャーシ グランド リファレンス アーキテクチャと呼ばれます。これら 2 つのアーキテクチャの主な違いは、マイコン が GND リファレンスとして使用するノードにあります。バッテリー V マイコン の例は、BQ79731-Q1 UIR センサです。

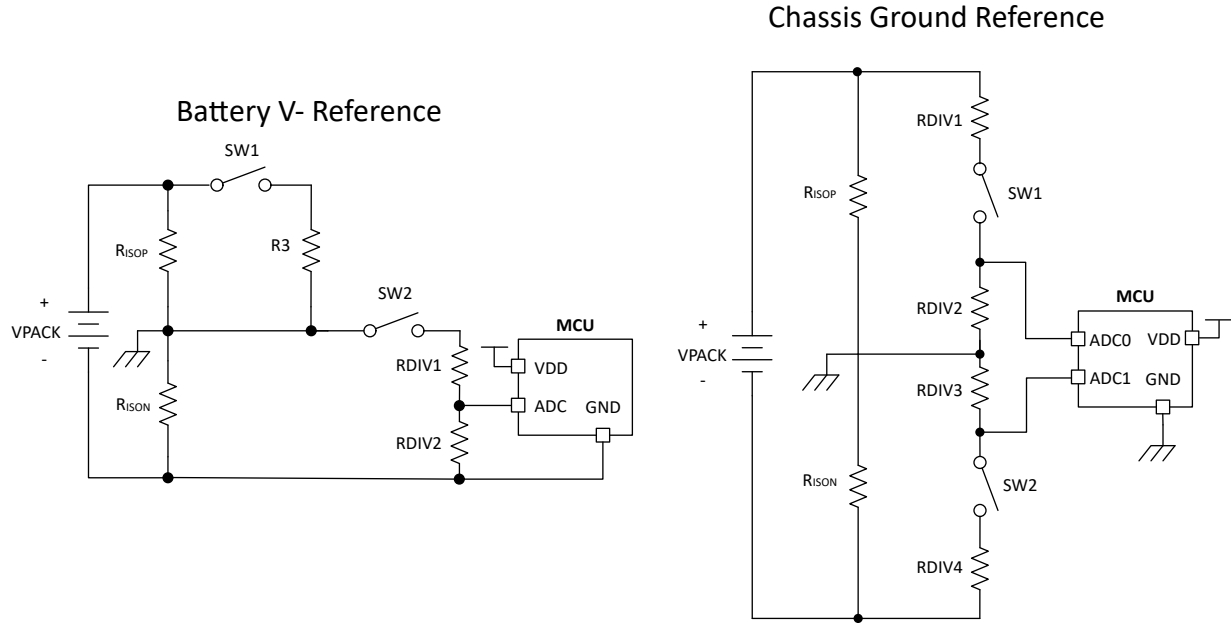


図 9-2. さまざまなマイコン ADC リファレンスの例

以下の 2 つのセクションでは、測定アルゴリズムと、各アーキテクチャを使用した絶縁抵抗の計算に使用する式について説明します。

バッテリー V リファレンスの例

以下に、TPSI2240-Q1 をスイッチ (SW1 および SW2) として使用したバッテリー V リファレンス アーキテクチャを示します。SW2 はシャーシと PACK- との間の接続を開始し、ADC への測定パスを有効にします。SW1 がシャーシと PACK+ の間の接続を開始します。RDIV1 と RDIV2 は分圧器を形成し、測定電圧を適切な ADC 範囲までスケールリングします。

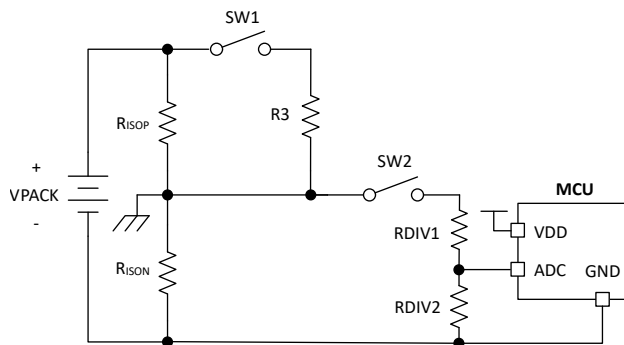


図 9-3. バッテリー V リファレンス アーキテクチャ

2つの未知の絶縁抵抗を計算するのに十分な情報を得るため、2回のADC測定を行う必要があります。最初の測定は、SW1を開放し、SW2を閉じた状態で行います。2回目の測定はSW1を閉じ、SW2も閉じた状態で行います。これら2つの測定によって、方程式を解き、 R_{ISOP} および R_{ISON} を計算できます。

次の例では、シャーシグラウンドの電圧を任意に V_{RISONx} と呼びます。

以下に示されているように、最初のADC測定値について、SW2は閉じており、以下の式で、ADC電圧をこの条件でシステム内の他のパラメータと関連付けます。

- V_{ADC1} 測定 1: SW1 = 開、SW2 = 閉

$$V_{RISON1} = V_{PACK} \times \frac{R_{ISON} \parallel (R_{DIV1} + R_{DIV2})}{R_{ISOP} + (R_{ISON} \parallel (R_{DIV1} + R_{DIV2}))} \quad (1)$$

$$V_{ADC1} = V_{RISON1} \times \frac{R_{DIV2}}{R_{DIV1} + R_{DIV2}} \quad (2)$$

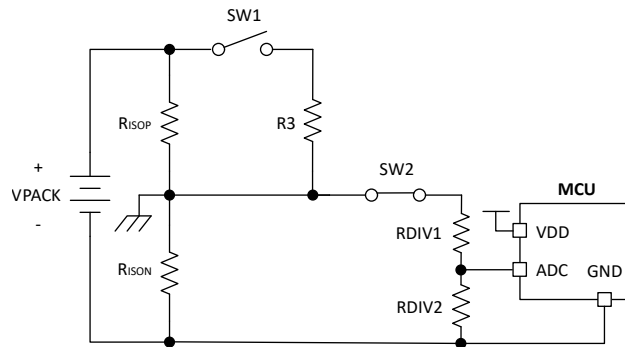


図 9-4. ADC1 測定のバッテリー V リファレンス スイッチの位置

以下に示されているように、2回目のADC測定では、SW1とSW2が閉じており、以下の式で、ADC電圧をこの条件でシステム内の他のパラメータと関連付けます。

- V_{ADC2} 測定 2: SW1 = 閉、SW2 = 閉

$$V_{RISON2} = V_{PACK} \times \frac{R_{ISON} \parallel (R_{DIV1} + R_{DIV2})}{(R_{ISOP} \parallel R_3) + (R_{ISON} \parallel (R_{DIV1} + R_{DIV2}))} \quad (3)$$

$$V_{ADC2} = V_{RISON2} \times \frac{R_{DIV2}}{R_{DIV1} + R_{DIV2}} \quad (4)$$

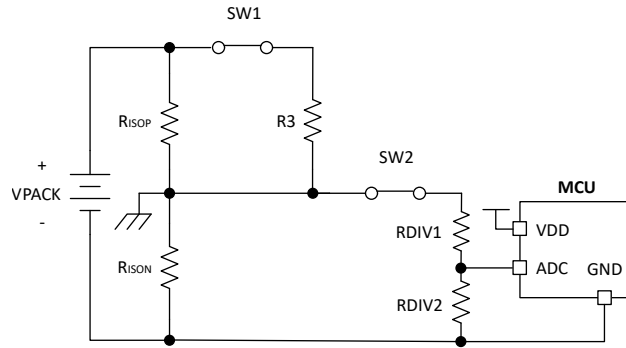


図 9-5. ADC2 測定のパッケージ V リファレンス スイッチの位置

シャーシ グランド リファレンスの例

シャーシ グランド リファレンス アーキテクチャを以下に示します。SW1 および SW2 は、PACK+ と PACK- への接続を開始し、対応する分圧抵抗を経由して、ADC への対応する測定パスを有効化します。RDIV1、RDIV2、RDIV3、RDIV4 は、測定された電圧を適切な ADC 範囲までスケールリングします。

最初の測定は SW1 を閉じ、SW2 を開放した状態で、2 番目の測定は SW1 を開放して、SW2 を閉じた状態で行います。

- V_{ADC1}: SW1 = 閉、SW2 = 開

$$V_{ADC1} = V_{RDIV2} = V_{PACK} \frac{(R_{ISOP} || (R_{DIV1} + R_{DIV2}))}{(R_{ISOP} || (R_{DIV1} + R_{DIV2}) + R_{ISON})} \times \frac{R_{DIV2}}{R_{DIV1} + R_{DIV2}} \quad (5)$$

- V_{ADC2}: SW1 = 開、SW2 = 閉

$$V_{ADC2} = V_{RDIV3} = -V_{PACK} \frac{(R_{ISON} || (R_{DIV3} + R_{DIV4}))}{(R_{ISON} || (R_{DIV3} + R_{DIV4}) + R_{ISOP})} \times \frac{R_{DIV3}}{R_{DIV3} + R_{DIV4}} \quad (6)$$

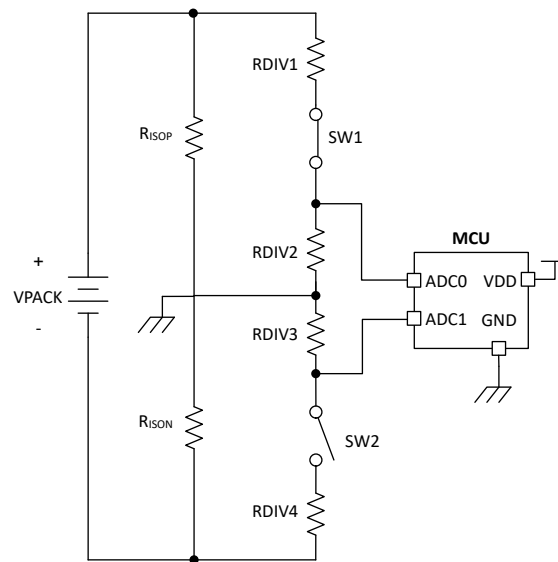


図 9-6. ADC1 測定のシャーシグラウンド リファレンス スイッチの位置

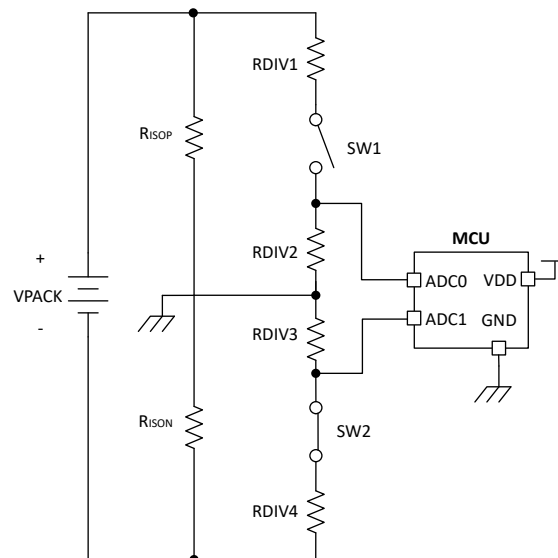


図 9-7. ADC2 測定のシャーシグラウンド リファレンス スイッチの位置

バッテリー V-リファレンスおよびシャーシ接地リファレンス アーキテクチャ TPSI2240-Q1

図 9-9 および図 9-8 の回路は、上記の各アーキテクチャでスイッチとして TPSI2240-Q1 を接続する方法を示しています。

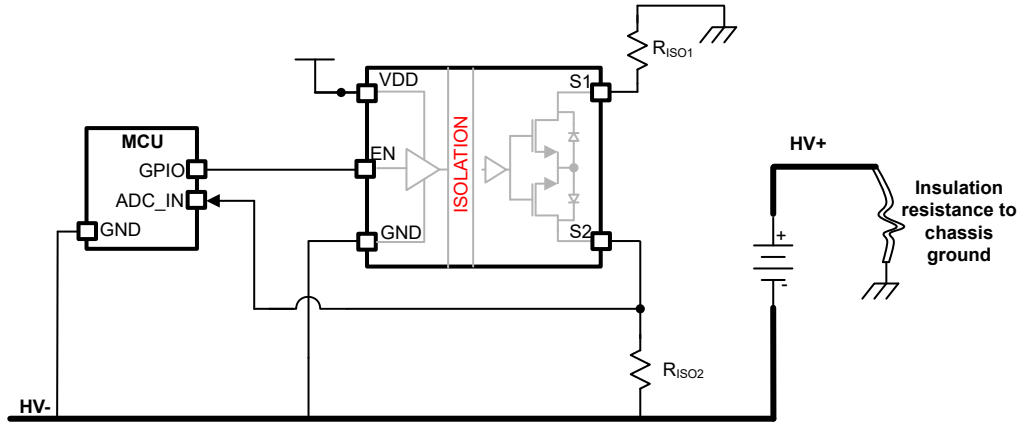


図 9-8. TPSI2240-Q1 絶縁抵抗監視-バッテリー V-リファレンス

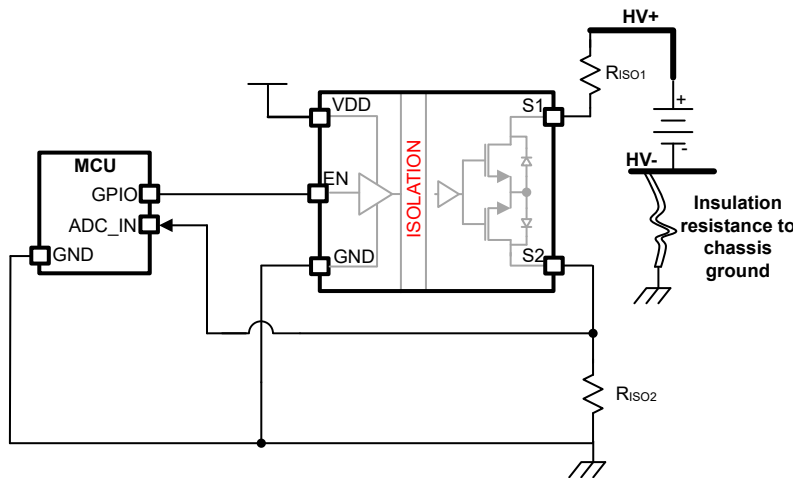


図 9-9. TPSI2240-Q1 絶縁抵抗監視-シャーシ 接地リファレンス

9.2.1 絶縁耐圧試験 (HiPot)

TPSI2240-Q1 は、絶縁耐圧試験をサポートするよう特に設計されています。高電圧システムでは、システムの実験評価、製造、またはメンテナンス中に絶縁耐圧試験 (HiPot) を実施し、絶縁障壁と、その中に含まれるガルバニック絶縁領域の信頼性を検証することができます。これらの耐電圧試験では、これらの領域にまたがる部品に意図的にストレスを加え、過電圧状態になります。これらの過電圧条件の下に配置された MOSFET はアバランシェモードに移行し、高電圧で電流を導通し始め、大電力を消費し、発熱します。TPSI2240T-Q1 は、熱アバランシェ保護 (TAP) 機能を備えています。IC の内部温度が T_{TAP} を超えると、このモードが有効化されます。このモードでは、デバイスはメインのパワー FET をイネーブルまたはディスエーブルにして内部温度を制御し、より大きなアバランシェ電流を持続できます。TPSI2240T-Q1 の設計と認定は、この状態を考慮して完了し、60 秒間隔にわたって 3mA I_{AVA} までをサポートし TPSI2240-Q1 60 秒間隔にわたって 1mA I_{AVA} まで (TPSI2240C-Q1 の 0.6mA) をサポートします。

TPSI2240-Q1 と直列に配置された絶縁耐圧試験の電圧 (V_{HiPot})、TPSI2240-Q1 のアバランシェ電圧 (V_{AVA})、および抵抗 (R) は、試験期間に応じて、対応する電流制限にアバランシェ電流 (I_{AVA}) を制限するように選択する必要があります。また、接合部温度 (T_J) が TPSI2240-Q1 の絶対最大定格よりも低く維持されるように、十分な熱性能を確保するため、PCB 設計は「[レイアウトのガイドライン](#)」セクションに示す推奨事項に従ってください。

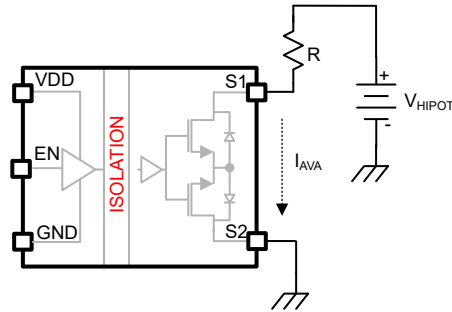


図 9-10. 誘電体耐性試験 (HiPot) - 概略回路図

9.2.2 設計要件

表 9-1 に、シャーシグラウンドリファレンスアーキテクチャとスイッチング用 TPSI2240-Q1 を使用した、標準的な絶縁抵抗監視アプリケーションの設計要件を示します。

表 9-1. TPSI2240-Q1 – シャーシグラウンドリファレンスアーキテクチャを使用した絶縁抵抗監視の代表的な設計パラメータ

パラメータ	値
V _{PACK} 電圧 (最大値)	1000V
1 次側電源 (V _{VDD})	5V ±10%
誘電体耐電圧試験	3850V
	60s
サージ電圧 (IEC61000-3-5)	2500V

9.2.3 詳細設計手順 - シャーシグラウンドリファレンス

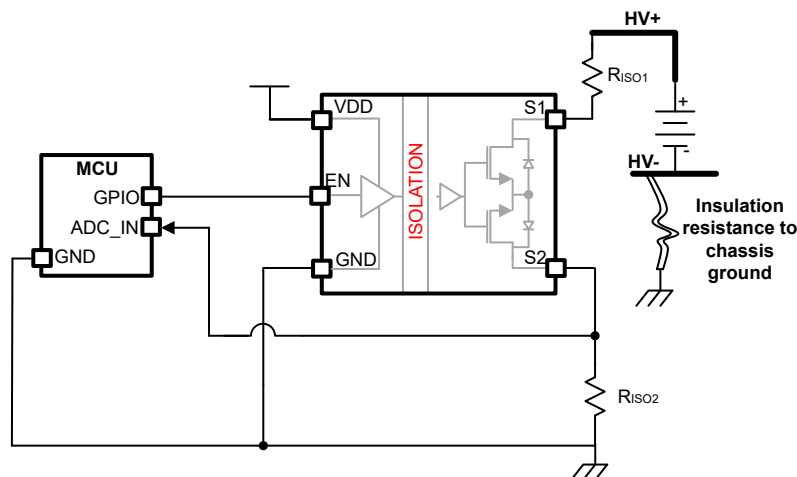


図 9-11. シャーシグラウンドリファレンス

R_{ISO1} の選択

TPSI2240-Q1 を保護するには、過電圧状態での電流を制限するように R_{ISO1} のサイズを設定する必要があります。TPSI2240-Q1 を保護するために必要な抵抗の量は、印加される過電圧の量によって異なります。たとえば、3850V の 60 秒間の絶縁耐圧テスト (HiPot) では、S1 から S2 への電圧は TPSI2240-Q1 によって 1300V (V_{AVA} 最小値) にクランプされ、1mA の場合は 2.55MΩ になります。

$$I_{AVA} = \frac{V_{HIPOT} - V_{AVA}}{R_{ISO1}} = \frac{3850V - 1300V}{2.55 M\Omega} = 1.0mA \quad (7)$$

DC 過電圧	R _{ISO1} 最小値 (60 秒間隔)
2000V	700kΩ
2500V	1200kΩ
3850V	2550kΩ
4300V	3000kΩ

9.2.4 アプリケーションの性能プロット

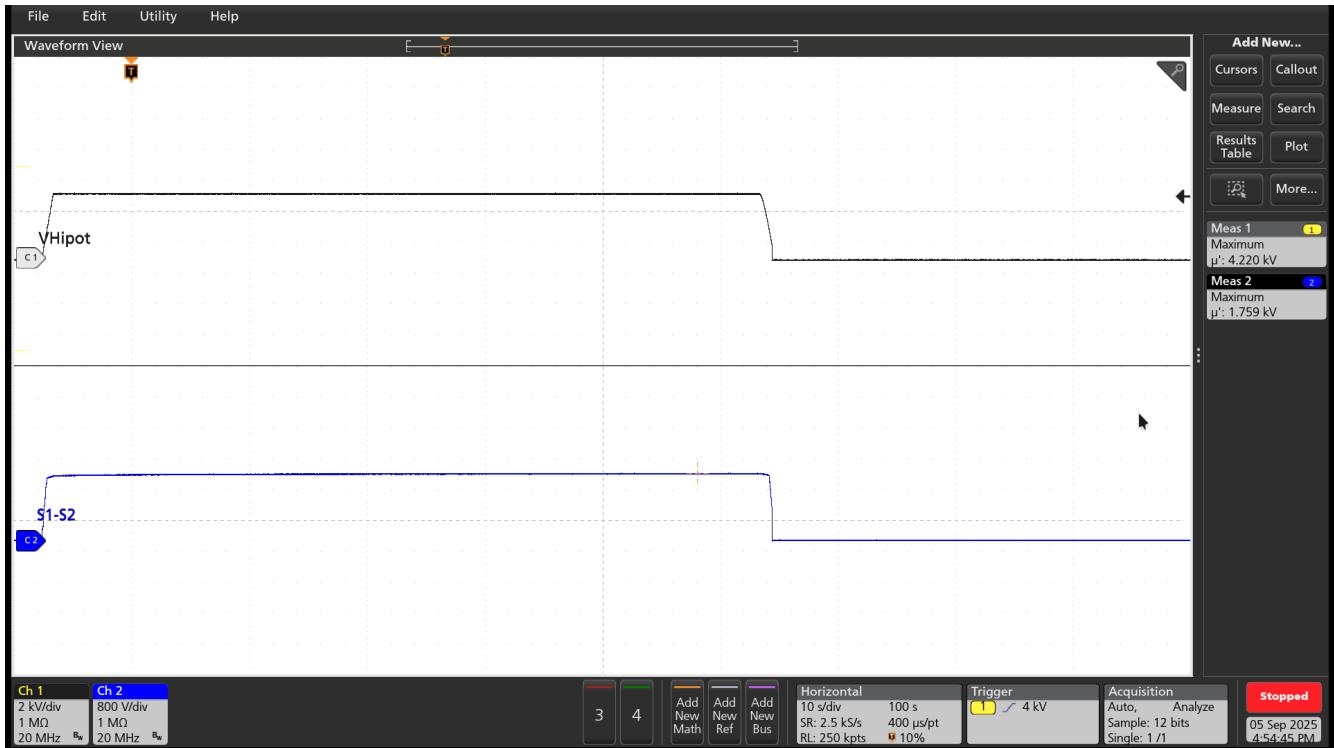


図 9-12. V_{HIPOT}= 4000V でのアバランシェ電圧 (V_{S1-S2}) (3126kΩ の制限抵抗を使用)

9.3 電源に関する推奨事項

信頼性の高い電源電圧を確保するため、VDD ピンと TPSI2240-Q1 の GND ピンの間に 100nF と 47nF のセラミックコンデンサを配置することを推奨します。コンデンサはデバイスの VDD ピンにできるだけ近付けて (10mm 以下) 配置します。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

部品の配置:

1 次側 VDD 電源のデカップリング コンデンサは、デバイス ピンのできるだけ近くに配置する必要があります。

EMI に関する検討事項:

TPSI2240-Q1 は、EMI 能力を向上させるため、2MHz の電力転送周波数によるスペクトラム拡散変調 (SSM) を採用しています。ほとんどのアプリケーションでは、CISPR 25 Class 5 規格の性能を満たすために、システム設計に関する検討事項を追加する必要はありません。2 次側で CISPR25 Class 5 が必要な場合は、最高の EMI 性能を得るために分割制限抵抗構成を推奨します (TPSI2240-Q1 回路レイアウト例を参照)。

最適な EMI 性能を得るためには、VDD ピンと GND ピンの間に 47nF X7R デカップリング コンデンサの接続が推奨されます。

ESD に関する検討事項:

最大 6kV の接触放電 (IEC 61000-4-2) に合格するために、追加の部品は必要ありません。6kV 以上の衝撃に対する接触が必要な場合は、分割抵抗構成を採用することにより ESD 性能を 8kV 以上の接触まで向上できます。また、非分割抵抗アーキテクチャでの ESD 性能を向上させるために、1 次側と 2 次側の間に ESD コンデンサを追加することもできます。

高電圧に関する注意事項:

TPSI2240-Q1 の 1 次側から 2 次側への沿面距離、S1 ピンから S2 ピンへの沿面距離は、システムの要件に応じて維持する必要があります。多くの場合、システム設計者は、パッケージ本体の下または S1、SM、S2 ピン間の最上層 PCB 配線を避けます。

9.4.2 レイアウト例

システムの EMI 要件とシステムの絶縁耐圧試験 (HiPot) パラメータの両方によって、さまざまな PCB 実装が可能です。以下のセクションでは、2 次側に分割抵抗アーキテクチャを実装することにより最高水準の EMI 性能および ESD 性能を実現するように最適化した TPSI2240-Q1 回路レイアウト例について詳しく説明します。

TPSI2240-Q1 回路レイアウト例

TPSI2240-Q1 を使用した 2 層回路のレイアウト例を以下に示します。

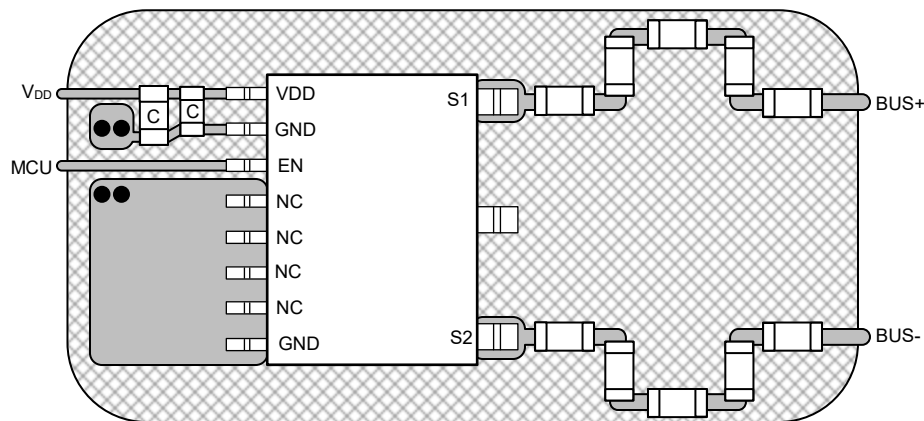


図 9-13. TPSI2240-Q1 のレイアウト例 - 上層

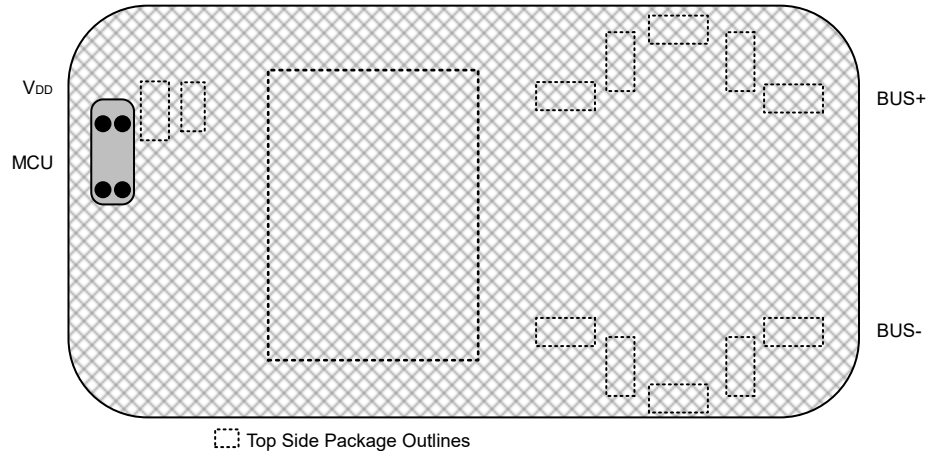


図 9-14. TPSI2240-Q1 のレイアウト例 - 下層

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

10.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (September 2025) to Revision A (December 2025)

Page

- | | |
|---------------------------------|---|
| • ステータスを「事前情報」から「量産データ」に変更..... | 1 |
|---------------------------------|---|

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPSI2240QDWQRQ1	Active	Preproduction	SOIC (DWQ) 11	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPSI2240CQDWQRQ1	Active	Production	SOIC (DWQ) 11	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	2240CQ
TPSI2240QDWQRQ1	Active	Production	SOIC (DWQ) 11	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	2240Q

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPSI2240CQDWQRQ1	SOIC	DWQ	11	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
TPSI2240QDWQRQ1	SOIC	DWQ	11	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

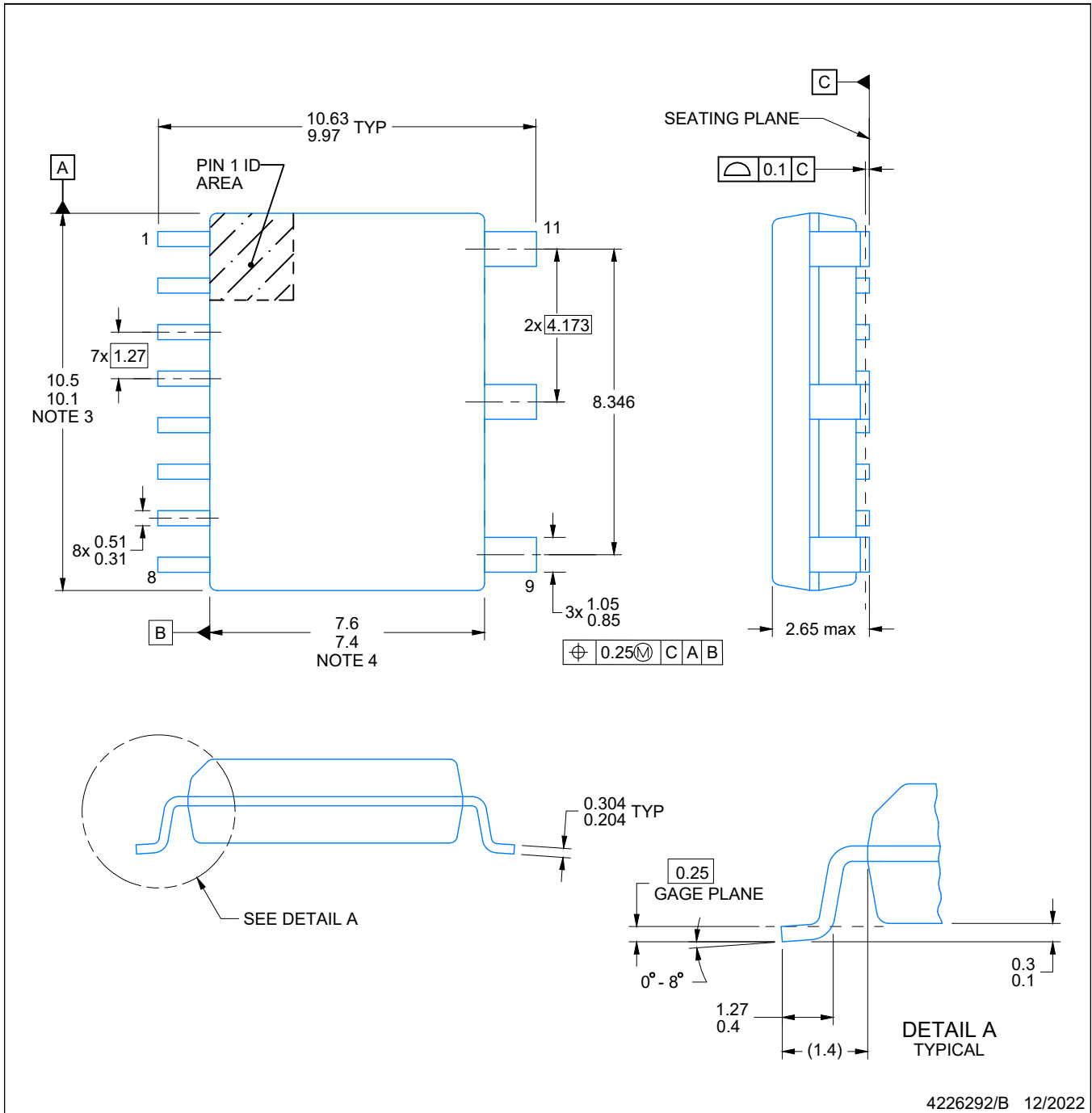
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPSI2240CQDWQRQ1	SOIC	DWQ	11	2000	350.0	350.0	43.0
TPSI2240QDWQRQ1	SOIC	DWQ	11	2000	350.0	350.0	43.0

PACKAGE OUTLINE

DWQ0011A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



NOTES:

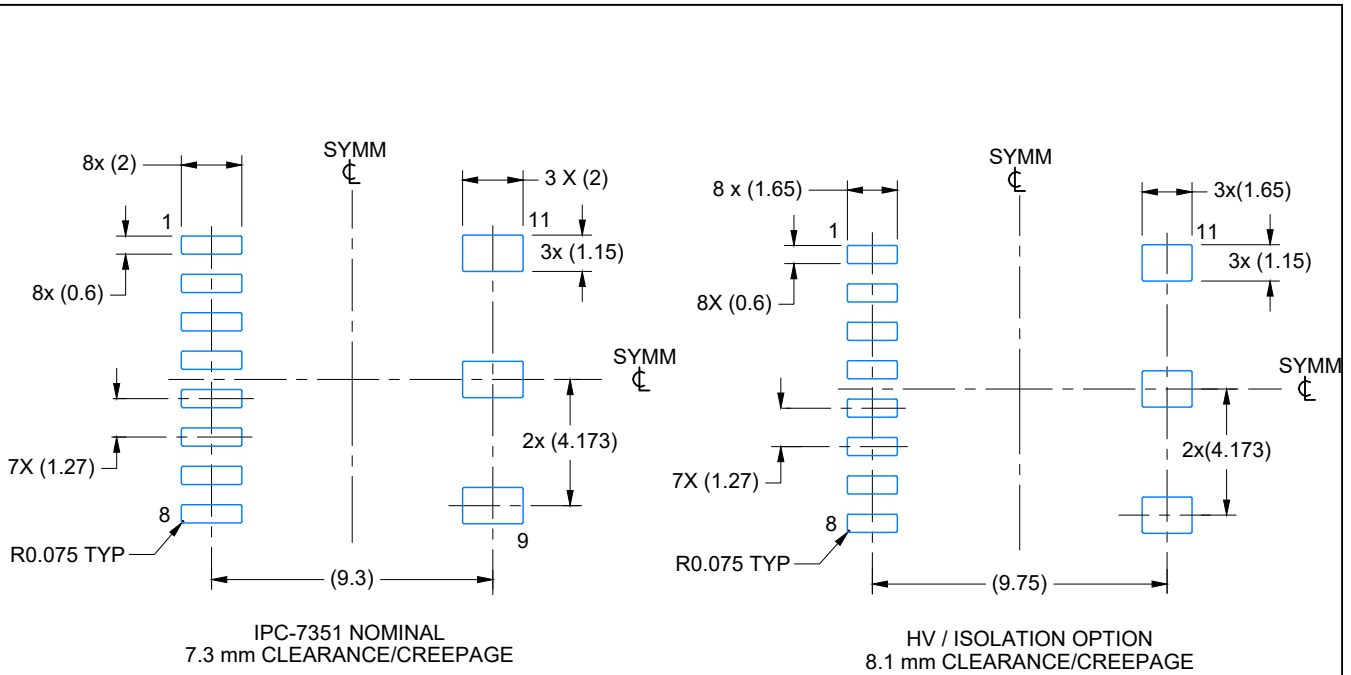
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

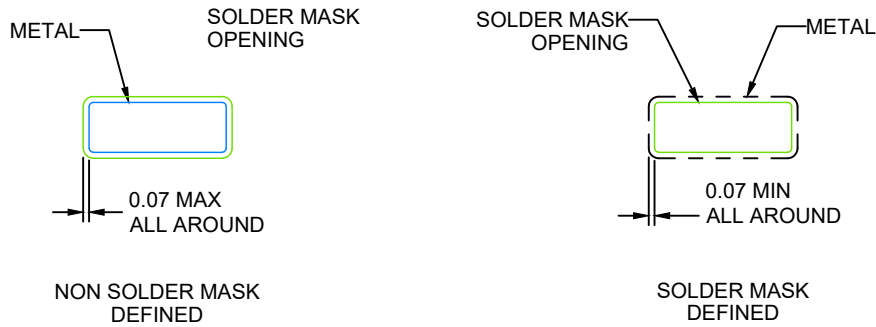
DWQ0011A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:4X



SOLDER MASK DETAILS

4226292/B 12/2022

NOTES: (continued)

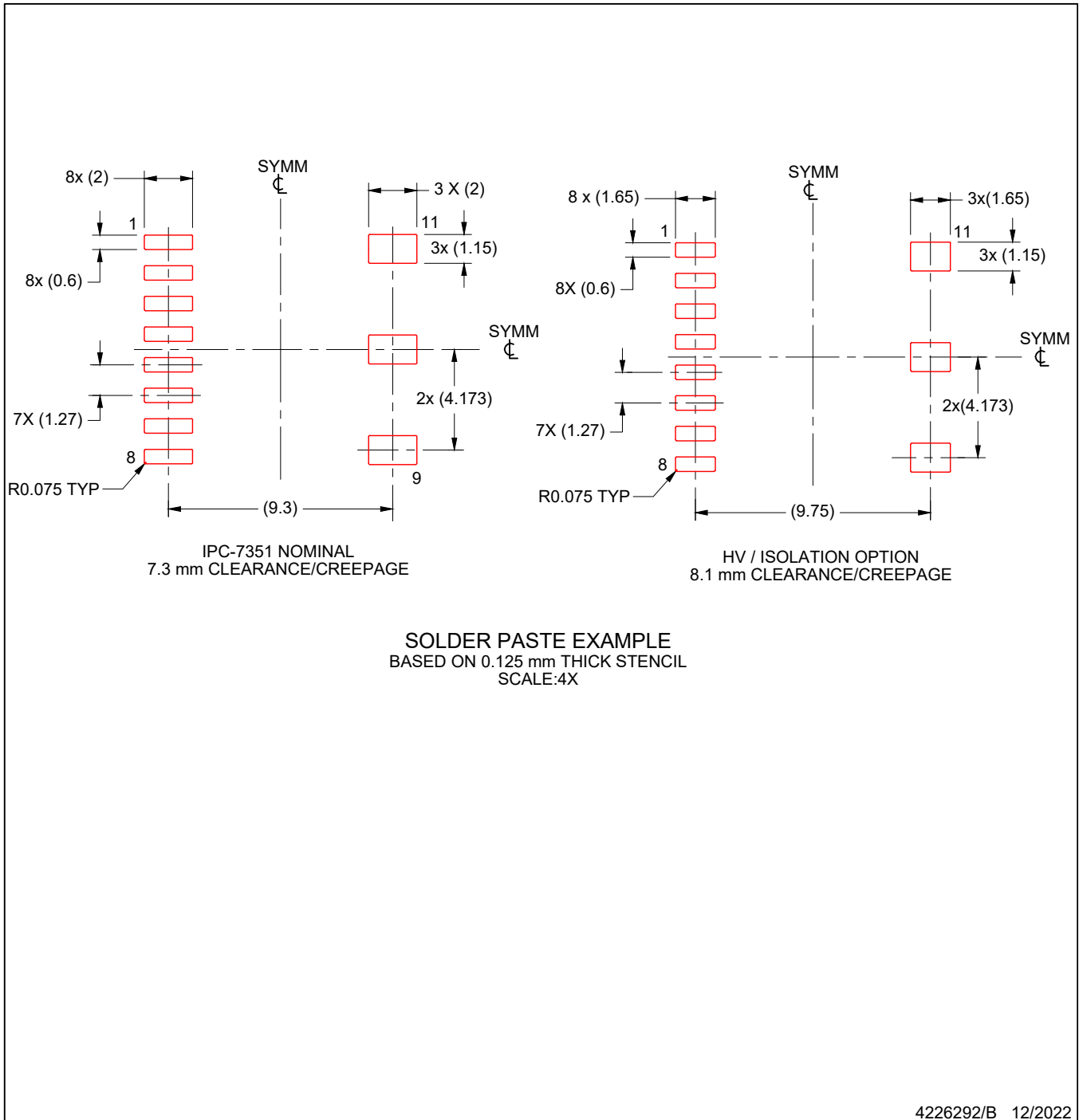
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DWQ0011A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月