

TPSI3052-Q1 15V ゲート電源内蔵、車載用強化絶縁型スイッチ ドライバ

1 特長

- 絶縁型二次電源は不要
- 外部パワー トランジスタまたは SCR を駆動
- 5kV_{RMS} 強化基本絶縁
- 1.5/3A ピークのソースおよびシンク電流の 15V ゲートドライブ
- 外部補助回路に対して最大 50mW の電力を供給
- AC または DC スwitchングをサポート
- 2 線式または 3 線式モードをサポート
- 7 レベルの電力伝送、抵抗が選択可能
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- 車載アプリケーション用に AEC Q-100 認定済み:
 - 温度グレード 1: -40 ~ +125°C, T_A
- 安全関連認証
 - DIN EN IEC 60747-17 (VDE 0884-17) に準拠した強化絶縁耐圧: 7071V_{PK}
 - UL 1577 に準拠した絶縁耐圧: 5kV_{RMS} (1 分間)
- 長い絶縁寿命
 - 1.2kV_{RMS} または 1700V_{DC} で 30 年以上
 - 1.7kV_{RMS} または 2400V_{DC} で 15 年以上

2 アプリケーション

- ソリッド・ステート・リレー (SSR)
- バッテリー・マネージメント・システム
- オンボード・チャージャ
- ハイブリッド車、電気自動車、パワートレイン・システム
- ビル・オートメーション
- ファクトリ・オートメーションおよび制御

3 説明

TPSI3052-Q1 は、統合型の絶縁スイッチ ドライバで、外部パワー スイッチと組み合わせることにより、完全な絶縁型ソリッド ステート リレー (SSR) を形成します。公称ゲート駆動電圧 15V で、1.5/3.0A ピークのソースおよびシンク電流という性能を備えているので、さまざまな外部パワー スイッチを選択して、幅広いアプリケーションに対応できます。TPSI3052-Q1 は、1 次側から供給された電源によって独自の 2 次バイアス電源を生成するので、絶縁型の 2 次側電源バイアスは不要です。さらに、TPSI3052-Q1 は、各種のアプリケーションのニーズに対応する外部のサポート回路に電力を供給することもできます。

TPSI3052-Q1 は、必要な入力ピンの数によって 2 つの動作モードをサポートしています。2 線式モードでは、通常は機械式リレーの駆動に使用され、スイッチの制御に必要なピンは 2 本のみで、6.5V ~ 48V の幅広い電圧範囲で動作できます。3 線式モードでは、3V ~ 5.5V の主電源が外部から供給され、スイッチは個別のイネーブルによって制御されます。TPSI3052S-Q1 は、スイッチの制御方式として、3 線式モードのみで利用可能なワンショット イネーブルを備えています。この機能は、通常は電流パルス 1 つだけでトリガできる SCR の駆動に便利です。

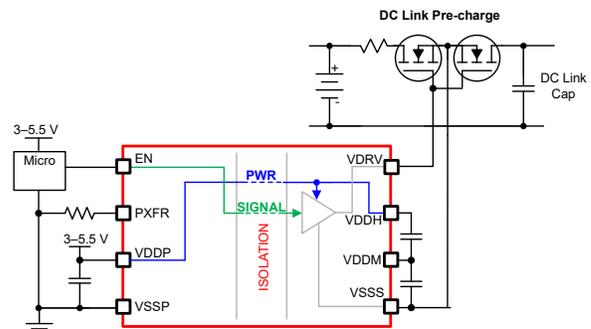
2 次側は、15V の安定化されたフローティング電源レールを提供し、2 次側バイアス電源を必要とせずに各種パワー スイッチを駆動します。このアプリケーションは、DC アプリケーション用のシングル パワー スイッチ、または AC アプリケーション用のデュアル双方向パワー スイッチ、および各種 SCR を駆動できます。TPSI3052-Q1 の内蔵絶縁保護は堅牢で、従来の機械式リレーやフォトカプラに比べて高信頼性、低消費電力で、温度範囲が広がっています。

TPSI3052-Q1 の電力伝送は、PXFR ピンと VSSP の間の外付け抵抗を使って、7 つの電力レベル設定のいずれかを選択することにより調整します。この操作により、アプリケーションのニーズに応じて、2 次側の供給電力と消費電力とのトレードオフが可能になります。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPSI3052-Q1	SOIC 8 ピン (DWZ)	7.50mm × 5.85mm
TPSI3052S-Q1		

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



TPSI3052-Q1 の概略回路図



目次

1 特長	1	7 詳細説明	18
2 アプリケーション	1	7.1 概要.....	18
3 説明	1	7.2 機能ブロック図.....	18
4 ピン構成および機能	3	7.3 機能説明.....	18
5 仕様	4	7.4 デバイスの機能モード.....	25
5.1 絶対最大定格.....	4	8 アプリケーションと実装	26
5.2 ESD 定格.....	4	8.1 使用上の注意.....	26
5.3 推奨動作条件.....	4	8.2 代表的なアプリケーション.....	26
5.4 熱に関する情報.....	5	8.3 電源に関する推奨事項.....	34
5.5 電力定格.....	5	8.4 レイアウト.....	34
5.6 絶縁仕様.....	5	9 デバイスおよびドキュメントのサポート	39
5.7 安全関連認証.....	6	9.1 ドキュメントの更新通知を受け取る方法.....	39
5.8 安全限界値.....	7	9.2 サポート・リソース.....	39
5.9 電気的特性.....	7	9.3 商標.....	39
5.10 スイッチング特性.....	10	9.4 静電気放電に関する注意事項.....	39
5.11 絶縁特性曲線.....	12	9.5 用語集.....	39
5.12 代表的特性.....	13	10 改訂履歴	39
6 パラメータ測定情報	16	11 メカニカル、パッケージ、および注文情報	39

4 ピン構成および機能

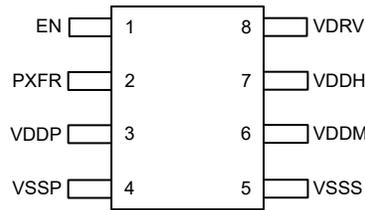


図 4-1. TPSI3052-Q1、TPSI3052S-Q1 の 8 ピン SOP 上面図

表 4-1. ピンの機能

ピン		I/O	タイプ ⁽¹⁾	説明
名称	番号			
EN	1	I	—	アクティブ High ドライバ イネーブル
PXFR	2	I	—	電力伝送は、PXFR ピンと VSSP の間の外付け抵抗を使って、7 つの電力レベル設定のいずれかを選択することにより調整できます。3 線式モードでは、選択した抵抗設定によりパワー コンバータのデューティ サイクルが設定され (表 7-1 を参照)、同様に伝送される電力量が設定されます。2 線式モードでは、選択した抵抗設定により EN ピンの電流制限が調整され (表 7-2 を参照)、同様に伝送される電力量が調整されます。
VDDH	7	—	P	高電圧の生成
VDDM	6	—	P	中電圧の生成
VDDP	3	—	P	1 次側の電源
VDRV	8	O	—	アクティブ High ドライバ出力
VSSP	4	—	GND	1 次側のグラウンド電源
VSSS	5	—	GND	2 次側のグラウンド電源

(1) P = 電源、GND = グラウンド、NC = 未接続

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ ⁽¹⁾		最小値	最大値	単位
一次側電源 ⁽²⁾	VDDP	-0.3	6	V
一次側電源 ⁽²⁾	EN	-0.3	60	V
一次側電源 ⁽²⁾	PXFR	-0.3	60	V
二次側電源 ⁽³⁾	VDRV	-0.3	18	V
二次側電源 ⁽³⁾	VDDH	-0.3	18	V
二次側電源 ⁽³⁾	VDDM	-0.3	6	V
二次側電源 ⁽³⁾	VDDH-VDDM	-0.3	12	V
接合部温度、 T_J	接合部温度、 T_J	-40	150	°C
保管温度、 T_{stg}		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、VSSP を基準としたものです。
- (3) すべての電圧値は、VSSS を基準としたものです。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾ HBM ESD 分類レベル 2	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±750	
		コーナピン (1、4、5、8) その他のピン	±500	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDDP	3 線式モードでの 1 次側電源電圧 ⁽¹⁾	3.0		5.5	V
EN	2 線式モードでイネーブル ⁽¹⁾	0		48.0	V
	3 線式モードでイネーブル ⁽¹⁾	0		5.5	V
PXFR	電力伝送制御 ⁽¹⁾	0		5.5	V
C_{VDDP}	VDDP および VSSP のデカップリング容量、2 線式モード ⁽²⁾	220		330	nF
	VDDP および VSSP のデカップリング容量、3 線式モード ⁽²⁾	0.22		20	μF
C_{DIV1} ⁽³⁾	VDDH と VDDM の間のデカップリング容量 ⁽²⁾	0.004		15	μF
C_{DIV2} ⁽³⁾	VDDM と VSSS の間のデカップリング容量 ⁽²⁾	0.012		40	μF
T_A	周囲動作温度範囲	-40		125	°C
T_J	動作時接合部温度	-40		150	°C
$ \Delta V_{EN}/\Delta t $	EN の立ち上がりおよび立ち下がりレート、2 線式モード。	65			V/ms

- (1) すべての電圧値は、VSSP を基準としたものです。

- (2) 容量値はすべて絶対値です。必要に応じてディレーティングを適用します。
 (3) C_{DIV1} と C_{DIV2} は同じタイプおよび許容誤差にする必要があります。 C_{DIV2} の容量値は、 C_{DIV1} の容量値の少なくとも 3 倍にする必要があります。例えば、 $C_{DIV2} \geq 3 \times C_{DIV1}$ です。

5.4 熱に関する情報

熱評価基準 ^{(1) (2)}		デバイス	
		DWZ(SOIC)	
		8ピン	
			単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	89.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	40.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	45.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	10.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	44.4	°C/W

- (1) 推定値のみ。
 (2) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
P_D	最大消費電力、VDDP。	$V_{VDDP} = 5V$ 、 $R_{PXFR} = 20k\Omega$ 、3 線式モード、 $C_{VDRV} = 100pF$ 、 $C_{DIV1} = 33nF$ 、 $C_{DIV2} = 100nF$ 、 $f_{EN} = 1kHz$ 方形波、 $V_{EN} = 5V$ ピーク ツー ピーク。			250	mW
	最大消費電力、EN。	$R_{PXFR} = 20k\Omega$ 、2 線式モード、 $C_{VDRV} = 100pF$ 、 $C_{DIV1} = 33nF$ 、 $C_{DIV2} = 100nF$ 、 $f_{EN} = 1kHz$ 方形波、 $V_{EN} = 48V$ ピーク ツー ピーク。			350	mW

5.6 絶縁仕様

パラメータ		テスト条件	仕様	単位
沿面距離と追跡				
CLR	外部空間距離 ⁽¹⁾	空気を介した最短のピン間距離	≥ 8.5	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	≥ 8.5	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	≥ 120	μm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	≥ 600	V
	材料グループ	IEC 60664-1 に準拠	I	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V_{RMS} が 600V 以下	I-IV	
		定格商用電源 V_{RMS} が 1000V 以下	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	1414	V_{PK}
V_{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)	1000	V_{RMS}
		DC 電圧	1414	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$ 、 $t = 60s$ (認定試験)	7070	V_{PK}
		$V_{TEST} = 1.2 \times V_{IOTM}$ 、 $t = 1s$ (100% 製造試験)	8484	V_{PK}

5.6 絶縁仕様 (続き)

パラメータ		テスト条件	仕様	単位
V_{IMP}	最大インパルス電圧 ⁽³⁾	気中でテスト、 IEC 62638-1 に準拠した 1.2/50 μ s の波形	9230	V_{PK}
V_{IOSM}	最大サージ絶縁電圧 ⁽³⁾	油中でテスト (認定試験)、 IEC 62638-1 に準拠した 1.2/50 μ s の波形	12000	V_{PK}
q_{pd}	見掛けの電荷 ⁽⁴⁾	方法 a: I/O 安全テスト サブグループ 2/3 の後、 $V_{ini} = V_{IOTM}$ 、 $t_{ini} = 60s$ 、 $V_{pd(m)} = 1.2 \times V_{IORM}$ 、 $t_m = 10s$ 。	≤ 5	pC
		方法 a: 環境テスト サブグループ 1 の後、 $V_{ini} = V_{IOTM}$ 、 $t_{ini} = 60s$ 、 $V_{pd(m)} = 1.6 \times V_{IORM}$ 、 $t_m = 10s$ 。	≤ 5	
		方法 b1: ルーチン テスト (100% 製造試験) および 事前条件設定 (タイプ テスト) で、 $V_{ini} = V_{IOTM}$ 、 $t_{ini} = 1s$ 、 $V_{pd(m)} = 1.875 \times V_{IORM}$ 、 $t_m = 1s$ 。	≤ 5	
C_{IO}	絶縁バリア容量、入力から出力へ ⁽⁵⁾	$V_{IO} = 0.4 \times \sin(2\pi ft)$ 、 $f = 1MHz$	3	pF
R_{IO}	絶縁抵抗、入力から出力へ ⁽⁵⁾	$V_{IO} = 500V$ 、 $T_A = 25^\circ C$	$> 10^{12}$	Ω
		$V_{IO} = 500V$ ($100^\circ C \leq T_A \leq 125^\circ C$ 時)	$> 10^{11}$	
		$V_{IO} = 500V$ ($T_S = 150^\circ C$ 時)	$> 10^9$	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO} = 5000V_{RMS}$ 、 $t = 60s$ (認定試験)、 $V_{TEST} = 1.2 \times V_{ISO} = 6000V_{RMS}$ 、 $t = 1s$ (100% 製造試験)	5000	V_{RMS}

- 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
- テストは、パッケージの固有サージ耐性を判定するため、気中で実行されます。
- テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
- 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

5.7 安全関連認証

VDE	UL
DIN EN IEC 60747-17 (VDE 0884-17) による認証	UL 1577 部品認定プログラムの認定
強化絶縁。最大過渡絶縁電圧: 7071 V_{PK} 。最大反復ピーク絶縁電圧: 1414 V_{PK} 。最大サージ絶縁電圧: 12000 V_{PK}	シングル保護: 5000 V_{RMS}
認証書番号: 40040142	ファイル番号: UL-US-2300613-0

5.8 安全限界値

パラメータ ^{(1) (2)}		テスト条件	最小値	標準値	最大値	単位
I _S	安全入力、出力、または電源電流	R _{θJA} = 89.3°C/W、V _{VDDP} = 5.5V、 T _J = 150°C、T _A = 25°C、 3 線式モード。			254	mA
		R _{θJA} = 89.3°C/W、V _{EN} = 24V、 T _J = 150°C、T _A = 25°C、 2 線式モード。			58	
		R _{θJA} = 89.3°C/W、V _{EN} = 48V、 T _J = 150°C、T _A = 25°C、 2 線式モード。			29	
P _S	安全入力、出力、または合計電力	R _{θJA} = 89.3°C/W、 T _J = 150°C、T _A = 25°C			1.4	W
T _S	最高安全温度				150	°C

- (1) 安全限界値の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グランドあるいは電源との抵抗が低くなる場合があります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。
- (2) 安全限界は、データシートで規定されている最大接合部温度です。接合部の温度は、アプリケーション ハードウェアに搭載されているデバイスの消費電力、および接合部から空気への熱抵抗により決定されます。「[熱に関する情報](#)」の表で前提とされている接合部から空気への熱抵抗は、リード付き表面実装パッケージ向けの High-K テスト基板に実装されたデバイスの数値です。電力は、推奨最大入力電圧と電流との積です。この場合の接合部温度は、接合部から空気への熱抵抗と電力との積に周囲温度を加えたものです。

5.9 電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)。T_A = 25°C 時の標準値 C_{VDDP} = 220nF (2 線式モード)、C_{VDDP} = 1μF (3 線式モード)、C_{DIV1} = 5.1nF、C_{DIV2} = 15nF、C_{VDRV} = 100pF、R_{PXFR} = 7.32kΩ ±1%

パラメータ		テスト条件	最小値	標準値	最大値	単位
コモン						
V _{VDDP_UV_R}	VDDP 低電圧スレッシュホールド立ち上がり	VDDP 立ち上がり	2.50	2.70	2.90	V
V _{VDDP_UV_F}	VDDP 低電圧スレッシュホールド立ち下がり	VDDP 立ち下がり	2.35	2.55	2.75	V
V _{VDDP_UV_HYS}	VDDP 低電圧スレッシュホールドヒステリシス			75		mV
V _{VDDH_UV_R}	VDDH 低電圧スレッシュホールド立ち上がり	VDDH 立ち上がり。	12.5	13	13.4	V
V _{VDDH_UV_F}	VDDH 低電圧スレッシュホールド立ち下がり	VDDH 立ち下がり。	9.9	10.4	10.9	V
V _{VDDH_UV_HYS}	VDDH 低電圧スレッシュホールドヒステリシス。			2.5		V
V _{VDDM_UV_R}	VDDM 低電圧スレッシュホールド立ち上がり	VDDM 立ち上がり。	2.8	3.3	3.7	V
V _{VDDM_UV_F}	VDDM 低電圧スレッシュホールド立ち下がり	VDDM 立ち下がり。	2.6	3	3.5	V
V _{VDDM_UV_HYS}	VDDM 低電圧スレッシュホールドヒステリシス。			0.3		V
I _{Q_VDDH}	VDDH 電源の内部静止電流。			45		μA
R _{DS(on)_VDRV}	Low 状態でのドライバのオン抵抗。	V _{VDDH} = 15V を強制、 I _{VDRV} = 50mA をシンク。		1.7		Ω
	High 状態でのドライバのオン抵抗。	V _{VDDH} = 15V を強制、 I _{VDRV} = 50mA をソース。		2.5		Ω

5.9 電気的特性 (続き)

自由空気での動作温度範囲内 (特に記述のない限り)。T_A = 25°C時の標準値 C_{VDDP} = 220nF (2 線式モード)、C_{VDDP} = 1μF (3 線式モード)、C_{DIV1} = 5.1nF、C_{DIV2} = 15nF、C_{VDRV} = 100pF、R_{PXFR} = 7.32kΩ ±1%

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{VDRV_PEAK}	立ち上がり時の VDRV ピーク出力電流	V _{VDDH} は定常状態、EN を Low から High に遷移させ、ピーク電流を測定します。		1.5		A
	立ち下がり時の VDRV ピーク出力電流	V _{VDDH} は定常状態、EN を High から Low に遷移させ、ピーク電流を測定します。		3		A
TSD	熱シャットダウン			173		°C
TSDH	熱シャットダウン ヒステリシス			32		°C
CMTI	同相過渡耐性	V _{CM} = 1000V	100			V/ns
2 線式モード						
V _{IH_EN}	有効なロジック High として検出される EN の最小電圧。		6.5			V
V _{IL_EN}	有効なロジック "Low" として検出される EN の最大電圧。				2.0	V
I _{EN_START}	スタートアップ時に電流をイネーブル	EN = 0V → 6.5V		27		mA
I _{EN}	電流定常状態をイネーブル	EN = 6.5V、 R _{PXFR} = 7.32kΩ、 R _{PXFR} ≥ 100kΩ または R _{PXFR} ≤ 1kΩ、 V _{VDDH} は定常状態。		1.9		mA
		EN = 6.5V、 R _{PXFR} = 20kΩ、 V _{VDDH} は定常状態。		6.8		mA
V _{VDDP_AVG}	VDDP 平均電圧。	EN = 6.5V、 V _{VDDH} は定常状態、 平均 VDDP 電圧を測定。		4.5		V
V _{VDDH}	VDDH 出力電圧	EN = 6.5V、 V _{VDDH} は定常状態。	13.9	15	16.2	V
V _{VDRV_H}	VDRV 出力電圧が High に駆動される	EN = 6.5V、 V _{VDDH} は定常状態、 DC 負荷なし。	13.9	15	16.2	V
V _{VDRV_L}	VDRV 出力電圧が Low に駆動される	EN = 6.5V → 0V、 V _{VDDH} は定常状態、 10mA の負荷をシンク。			0.1	V
V _{VDDM_IAUX}	外部電流ソース時の平均 VDDM 電圧。	EN = 6.5V、定常状態。 R _{PXFR} = 7.32kΩ、 R _{PXFR} ≥ 100kΩ または R _{PXFR} ≤ 1kΩ、 C _{DIV1} = 75nF、C _{DIV2} = 220nF、 0.20mA を VDDM からソース、 VDDM 電圧を測定。	4.6		5.5	V
	外部電流ソース時の平均 VDDM 電圧。	EN = 6.5V、定常状態。 R _{PXFR} = 20kΩ、 C _{DIV1} = 75nF、C _{DIV2} = 220nF、 VDDM から 1.2mA をソース、 VDDM 電圧を測定。	4.6		5.5	V
3 線式モード						

5.9 電気的特性 (続き)

自由空気での動作温度範囲内 (特に記述のない限り)。T_A = 25°C時の標準値 C_{VDDP} = 220nF (2 線式モード)、C_{VDDP} = 1μF (3 線式モード)、C_{DIV1} = 5.1nF、C_{DIV2} = 15nF、C_{VDRV} = 100pF、R_{PXFR} = 7.32kΩ ±1%

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IH_EN}	有効なロジック High として検出される EN の最小電圧。V _{IH(min)} = 0.7xV _{VDDP}	V _{VDDP} = 3V	2.1			V
		V _{VDDP} = 5.5V	3.85			V
V _{IL_EN}	有効なロジック "Low" として検出される EN の最大電圧。	V _{VDDP} = 3V			0.9	V
		V _{VDDP} = 5.5V			1.65	V
I _{VDDP}	定常状態での VDDP 平均電流	EN = 3.3V、 V _{VDDP} = 3.3V、 R _{PXFR} = 7.32kΩ、 R _{PXFR} ≥ 100kΩ または R _{PXFR} ≤ 1kΩ、 C _{VDDP} = 10μF、 V _{VDDH} は定常状態、 I _{VDDP} を測定。		3.1		mA
		EN = 3.3V、 V _{VDDP} = 3.3V、 R _{PXFR} = 20kΩ、 C _{VDDP} = 10μF、 V _{VDDH} は定常状態、 I _{VDDP} を測定。		26		mA
		EN = 5V、 V _{VDDP} = 5V、 R _{PXFR} = 7.32kΩ、 R _{PXFR} ≥ 100kΩ または R _{PXFR} ≤ 1kΩ、 C _{VDDP} = 10μF、 V _{VDDH} は定常状態、 I _{VDDP} を測定。		4.8		mA
		EN = 5V、 V _{VDDP} = 5V、 R _{PXFR} = 20kΩ、 C _{VDDP} = 10μF、 V _{VDDH} は定常状態、 I _{VDDP} を測定。		37		mA
V _{VDDM_IAUX}	外部電流ソース時の平均 VDDM 電圧。	V _{VDDP} = 3.3V、EN = 0.0V、定常状態、 R _{PXFR} = 7.32kΩ、 C _{DIV1} = 75nF、 C _{DIV2} = 220nF、 VDDM から 0.35mA をソース、 V _{VDDM} を測定。	4.6		5.5	V
V _{VDDM_IAUX}	外部電流ソース時の平均 VDDM 電圧。	V _{VDDP} = 5.0V、EN = 0.0V、定常状態、 R _{PXFR} = 7.32kΩ、 C _{DIV1} = 75nF、 C _{DIV2} = 220nF、 VDDM から 0.50mA をソース、 V _{VDDM} を測定。	4.6		5.5	V

5.9 電気的特性 (続き)

自由空気での動作温度範囲内 (特に記述のない限り)。T_A = 25°C時の標準値 C_{VDDP} = 220nF (2 線式モード)、C_{VDDP} = 1μF (3 線式モード)、C_{DIV1} = 5.1nF、C_{DIV2} = 15nF、C_{VDRV} = 100pF、R_{PXFR} = 7.32kΩ ±1%

パラメータ	テスト条件	最小値	標準値	最大値	単位
V _{VDDM_IAUX}	外部電流ソース時の平均 VDDM 電圧。 V _{VDDP} = 3.3V、EN = 0.0V、定常状態、 R _{PXFR} = 20kΩ、 C _{DIV1} = 75nF、 C _{DIV2} = 220nF、 VDDM から 3.0mA をソース、 V _{VDDM} を測定。	4.6		5.5	V
V _{VDDM_IAUX}	外部電流ソース時の平均 VDDM 電圧。 V _{VDDP} = 5.0V、EN = 0.0V、定常状態、 R _{PXFR} = 20kΩ、 C _{DIV1} = 75nF、 C _{DIV2} = 220nF、 VDDM から 5.0mA をソース、 V _{VDDM} を測定。	4.6		5.5	V
V _{VDDH}	VDDH 出力電圧 V _{VDDP} = 3.0V、 EN = 3.0V、 V _{VDDH} は定常状態。	13.9	15	16.2	V
V _{VDRV_H}	VDRV 出力電圧が High に駆動される V _{VDDP} = 3.0V、 EN = 3.0V、 V _{VDDH} は定常状態、 DC 負荷なし。	13.9	15	16.2	V
V _{VDRV_L}	VDRV 出力電圧が Low に駆動される V _{VDDP} = 3.0V、 EN = 0V、 V _{VDDH} は定常状態、 VDRV シンク 10mA。			0.1	V

5.10 スイッチング特性

自由空気での動作温度範囲内 (特に記述のない限り)。T_A = 25°C時の標準値 C_{VDDP} = 220nF (2 線式モード)、C_{VDDP} = 1μF (3 線式モード)、C_{DIV1} = 5.1nF、C_{DIV2} = 15nF、C_{VDRV} = 100pF、R_{PXFR} = 7.32kΩ ±1%

パラメータ	テスト条件	最小値	標準値	最大値	単位
2 線式モード					
t _{LO_EN}	EN の Low 時間。	5			μs
t _{LH_VDDH}	EN 立ち上がりから VDDH への 50% レベルでの伝搬遅延時間。 EN = 0V → 6.5V、 V _{VDDH} = 7.5V。		165		μs
t _{LH_VDRV}	EN 立ち上がりから VDRV への 90% レベルでの伝搬遅延時間。 EN = 0V → 6.5V、 V _{VDRV} = 13.5V。		185		μs
t _{HL_VDRV}	EN 立ち下がりから VDRV への 10% レベルでの伝搬遅延時間。 EN = 6.5V → 0V、 V _{VDRV} = 1.5V。		2.4	3	μs
t _{R_VDRV}	EN 立ち上がりから VDRV への 15% ~85% レベルでの VDRV 立ち上がり時間。 EN = 0V → 6.5V、 V _{VDRV} = 2.25V ~ 12.75V		6		ns
t _{F_VDRV}	EN 立ち下がりから VDRV への 85% ~15% レベルでの VDRV 立ち下がり時間。 EN = 6.5V → 0V、 V _{VDRV} = 12.75V ~ 2.25V		5		ns
3 線式モード					
t _{LO_EN}	EN の Low 時間。 V _{VDDP} = 3.3V、V _{VDDH} は定常状態。	5			μs
t _{HI_EN}	EN の High 時間。 V _{VDDP} = 3.3V、V _{VDDH} は定常状態。	5			μs

5.10 スイッチング特性 (続き)

自由空気での動作温度範囲内 (特に記述のない限り)。T_A = 25°C時の標準値 C_{VDDP} = 220nF (2 線式モード)、C_{VDDP} = 1μF (3 線式モード)、C_{DIV1} = 5.1nF、C_{DIV2} = 15nF、C_{VDRV} = 100pF、R_{PXFR} = 7.32kΩ ±1%

	パラメータ	テスト条件	最小値	標準値	最大値	単位
t _{HL_VDRV}	ワンショット イネーブル モードでの VDRV の High 時間。TPSI3052S-Q1 のみ。ワンショット イネーブルは 3 線式モードでのみ使用できます。	V _{VDDP} = 3.3V、定常状態。		2.5		μs
t _{LH_VDDH}	VDDP 立ち上がりから VDDH への 50% レベルでの伝搬遅延時間。	EN = 0V、 V _{VDDP} = 0V → 3.3V (1V/μs 時)、 V _{VDDH} = 7.5V。 C _{DIV1} = 3.3nF、C _{DIV2} = 220nF。		85		μs
t _{LH_VDRV}	EN 立ち上がりから VDRV への 90% レベルでの伝搬遅延時間	V _{VDDP} = 3.3V、 V _{VDDH} 定常状態、 EN = 0V → 3.3V、 V _{VDRV} = 13.5V。		3	4.5	μs
t _{HL_VDRV}	EN 立ち下がりから VDRV への 10% レベルでの伝搬遅延時間	V _{VDDP} = 3.3V、 V _{VDDH} 定常状態、 EN = 3.3V → 0V、 V _{VDRV} = 1.5V。		2.5	3	μs
t _{HL_VDRV_PD}	VDDP 立ち下がりから VDRV への 10% レベルでの伝搬遅延時間。一次電源の電源喪失によるタイムアウト メカニズム。	EN = 3.3V、 V _{VDDP} = 3.3V → 0V (-1V/μs 時)、 V _{VDRV} = 1.5V。		300		μs
t _{R_VDRV}	EN 立ち上がりから VDRV への 15% ~85% レベルでの VDRV 立ち上がり時間	V _{VDDP} = 3.3V、 V _{VDDH} 定常状態、 EN = 0V → 3.3V、 V _{VDRV} = 2.25V ~ 12.75V。		6		ns
t _{F_VDRV}	EN 立ち下がりから VDRV への 85% ~15% レベルでの VDRV 立ち下がり時間	V _{VDDP} = 3.3V、 V _{VDDH} 定常状態、 EN = 3.3V → 0V、 V _{VDRV} = 12.75V ~ 2.25V。		5		ns

5.11 絶縁特性曲線

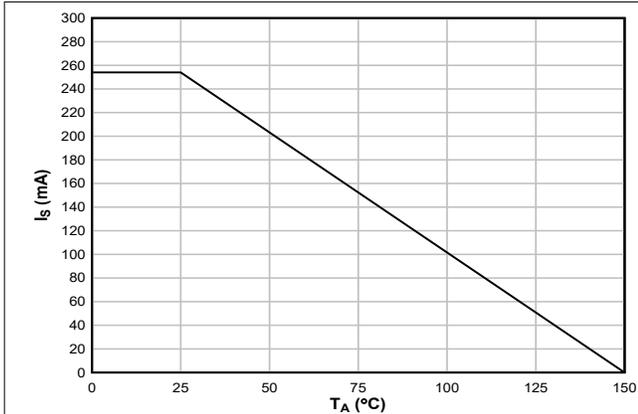


図 5-1.3 線式モードの VDE および IEC に従う制限電流の熱特性低下曲線

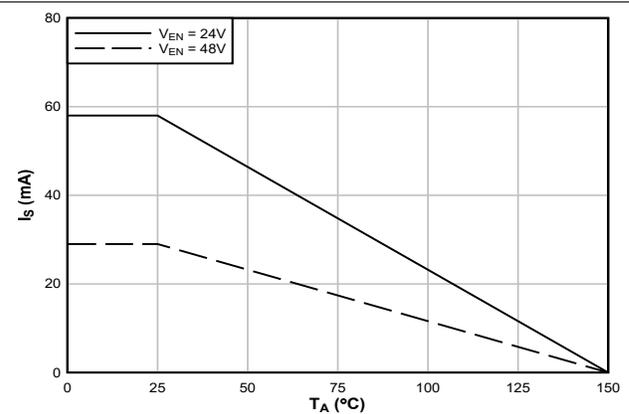


図 5-2.2 線式モードの VDE および IEC に従う制限電流の熱特性低下曲線

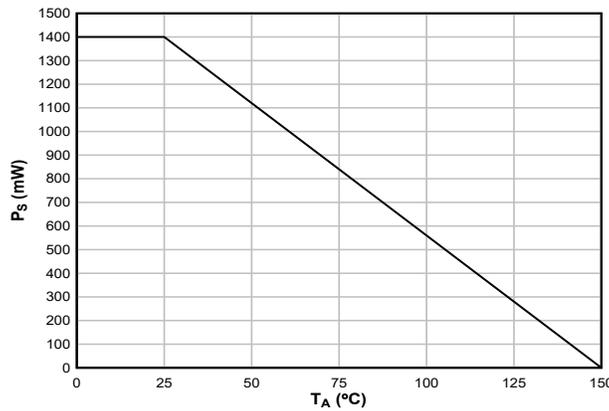


図 5-3. VDE および IEC に従う制限電力の熱ディレーティング曲線

5.12 代表的特性

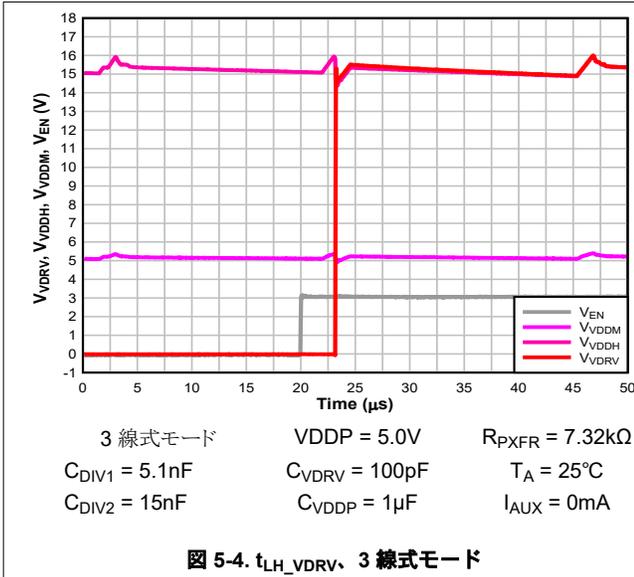


図 5-4. t_{LH_VDRV} 、3 線式モード

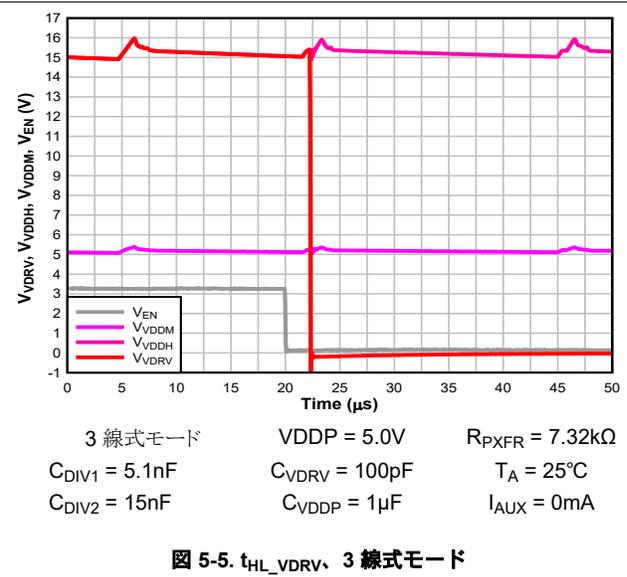


図 5-5. t_{HL_VDRV} 、3 線式モード

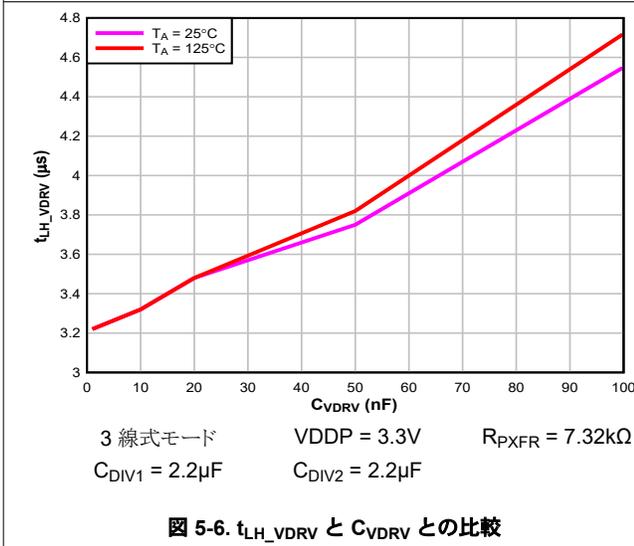


図 5-6. t_{LH_VDRV} と C_{VDRV} との比較

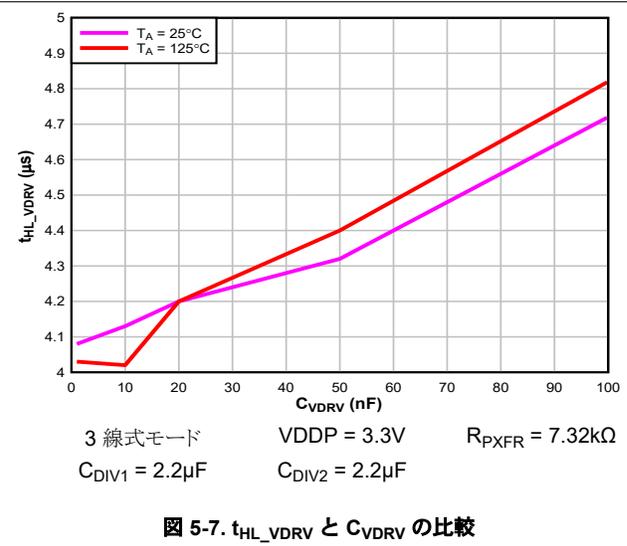


図 5-7. t_{HL_VDRV} と C_{VDRV} の比較

5.12 代表的特性 (続き)

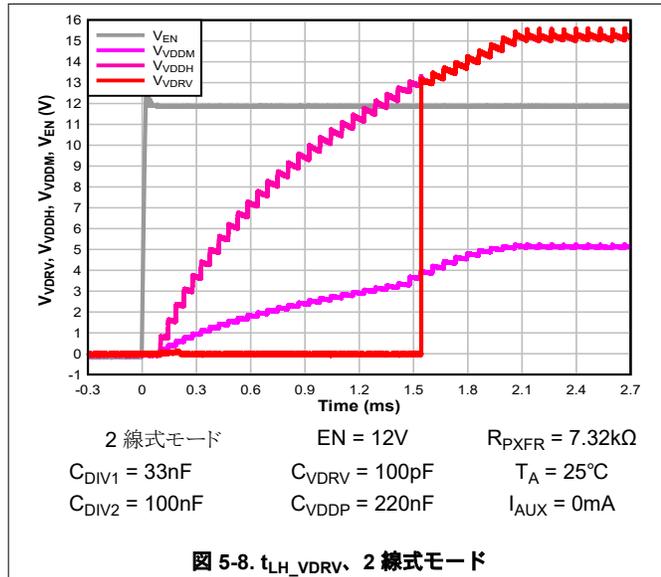


図 5-8. t_{LH_VDRV}, 2 線式モード

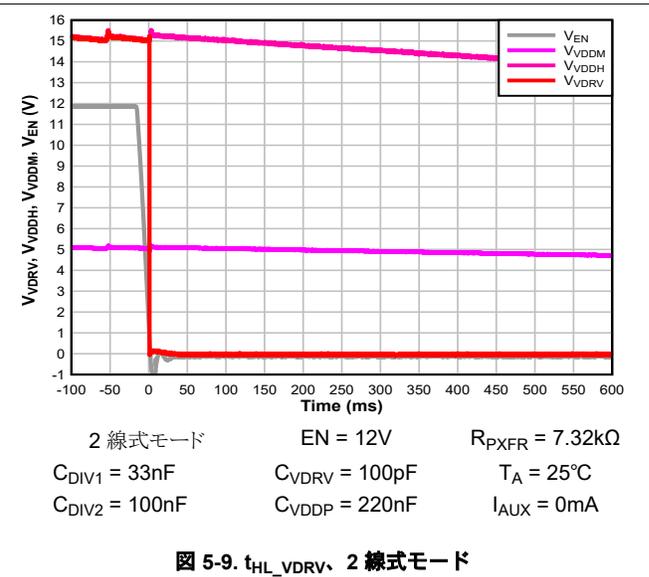


図 5-9. t_{HL_VDRV}, 2 線式モード

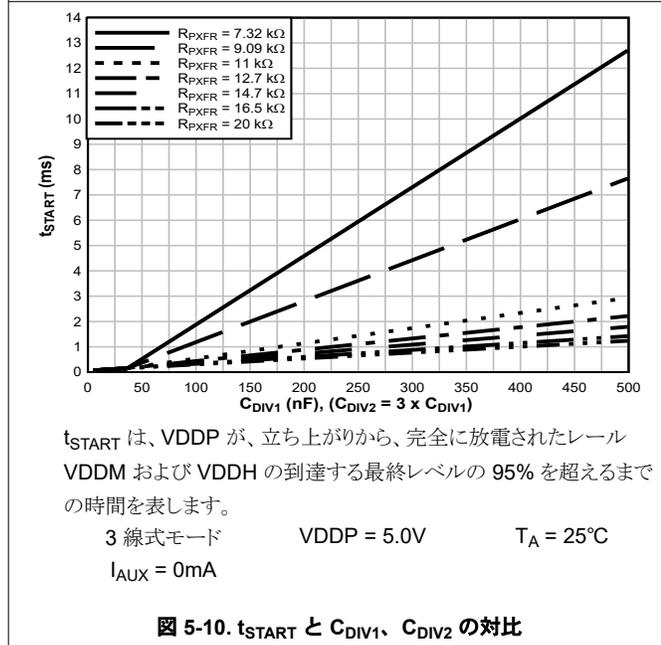


図 5-10. t_{START} と C_{DIV1}, C_{DIV2} の対比

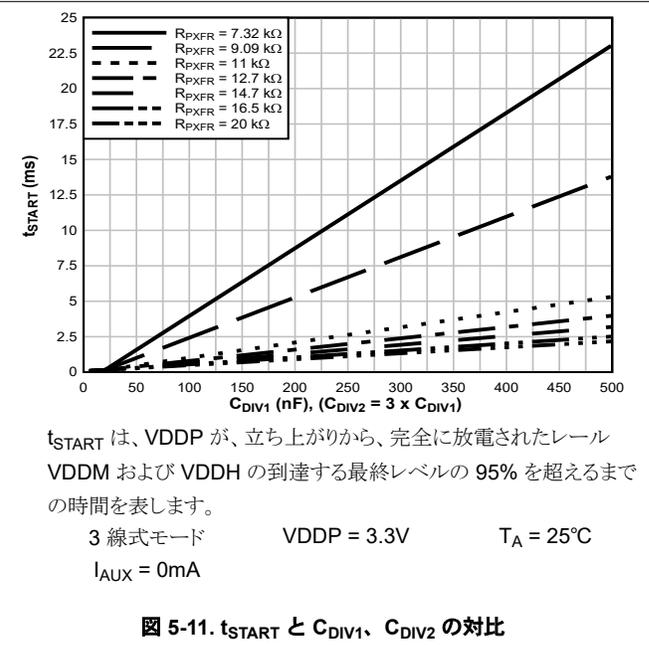


図 5-11. t_{START} と C_{DIV1}, C_{DIV2} の対比

5.12 代表的特性 (続き)

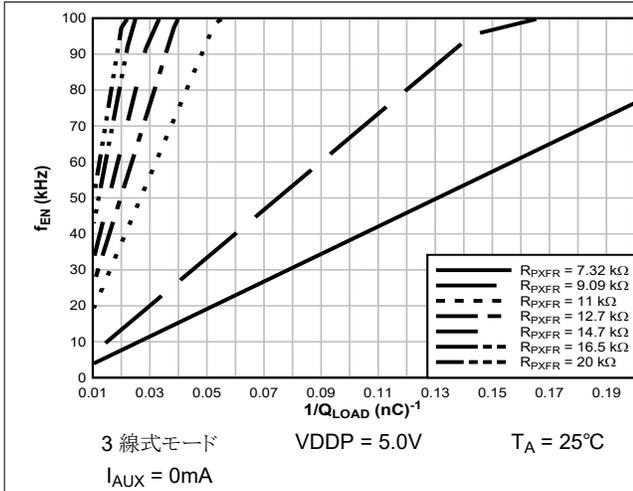


図 5-12. 最大の f_{EN} と Q_{LOAD} = 10nC ~ 100nC の対比

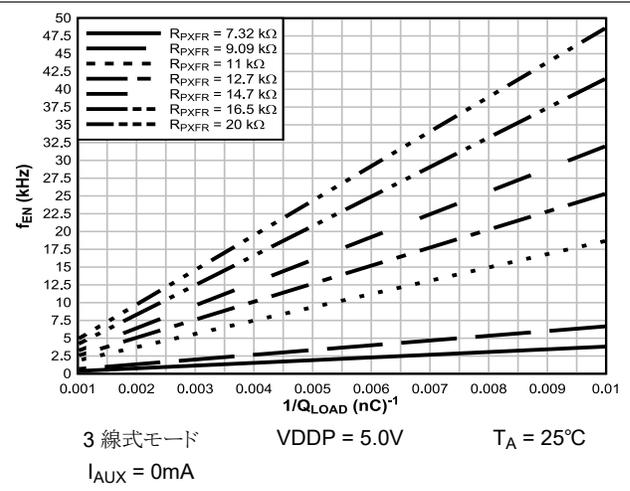


図 5-13. 最大の f_{EN} と Q_{LOAD} = 100nC ~ 1000nC の対比

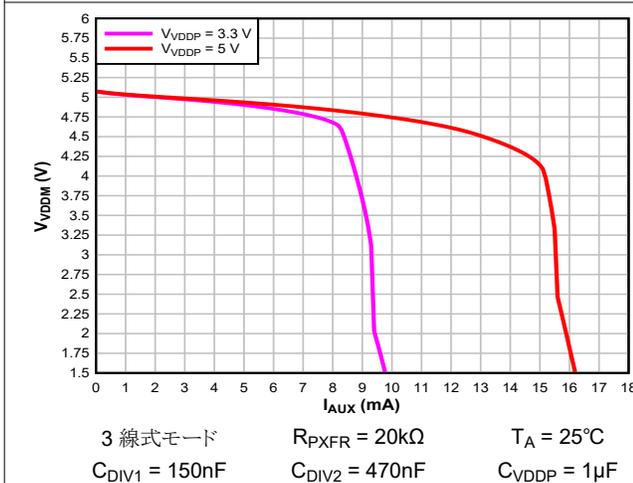


図 5-14. V_{VDDM} と I_{AUX} の対比

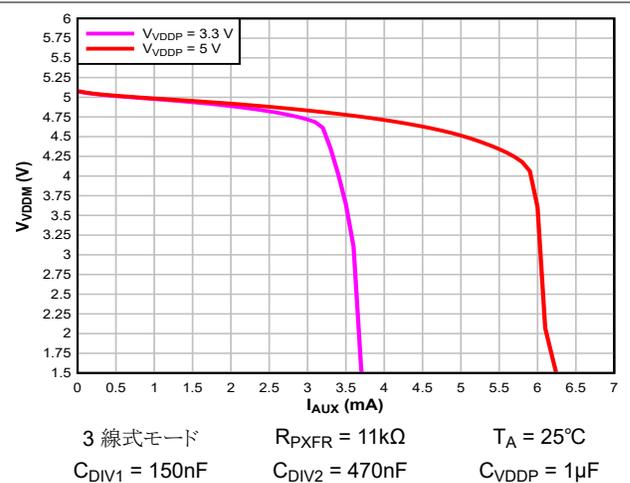


図 5-15. V_{VDDM} と I_{AUX} の対比

6 パラメータ測定情報

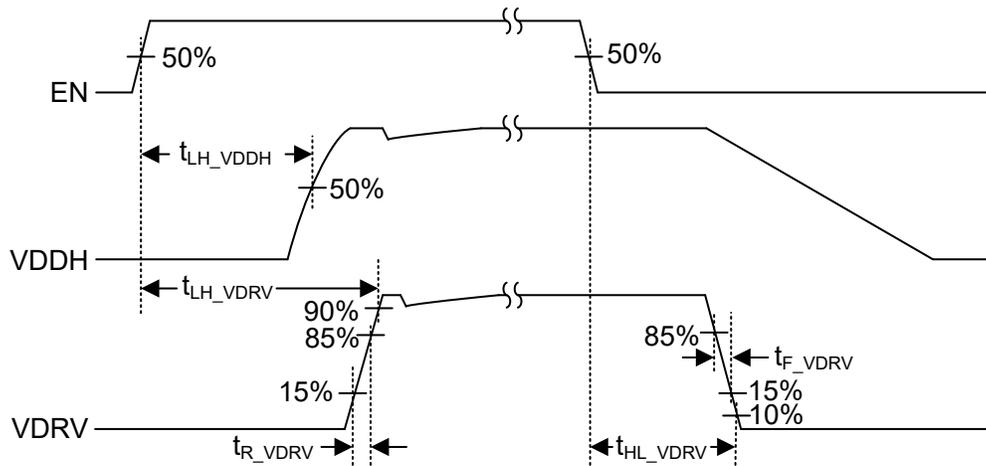


図 6-1. 2 線式モードのタイミング、標準イネーブル (TPSI3052-Q1 のみ)

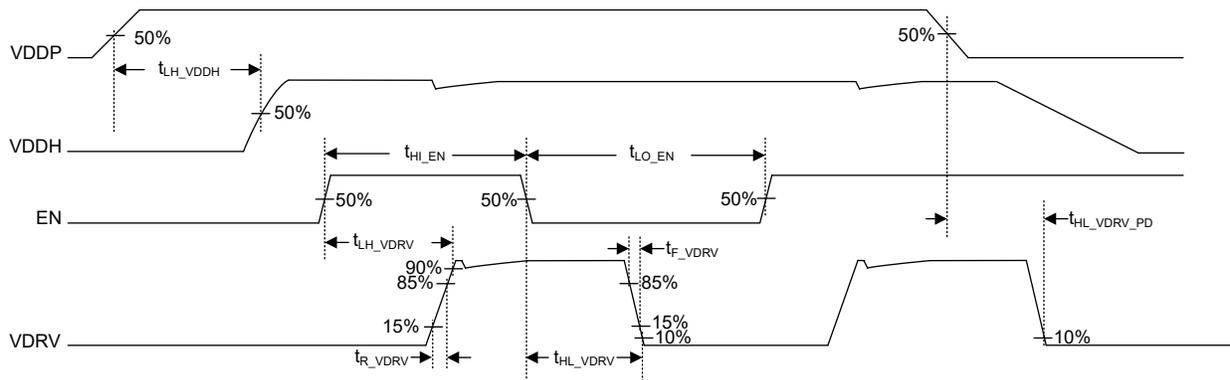


図 6-2. 3 線式モードのタイミング、標準イネーブル (TPSI3052-Q1 のみ)

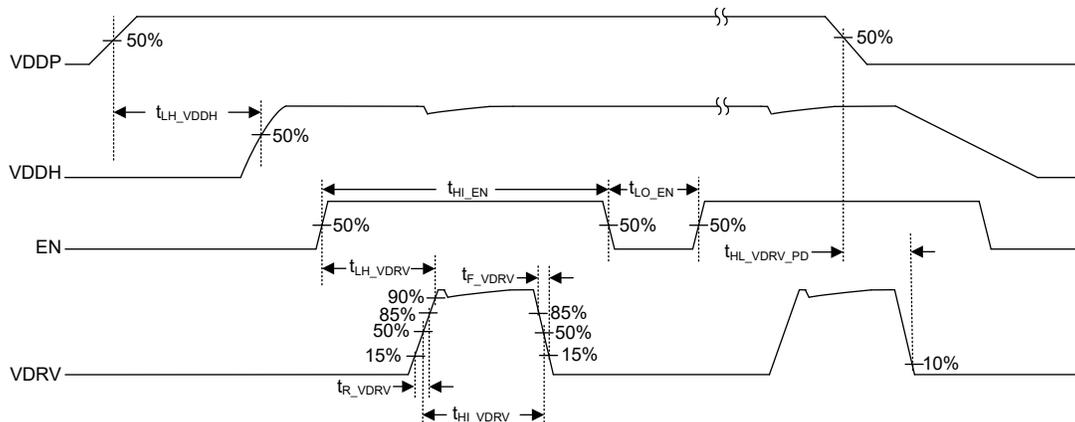


図 6-3. 3 線式モードのタイミング、ワンショット イネーブル (TPSI3052S-Q1 のみ)

7.3.4 モードの概要

TPSI3052-Q1 と TPSI3052S-Q1 には、2 線式モードと 3 線式モードの 2 つの動作モードがあります。

2 線式モードでは、1 次側の電力は EN ピンによって直接供給されます。EN を High に設定すると、2 次側に電力が伝送されます。電力が伝送されると、2 次レール VDDM および VDDH が上昇を始めます。十分な電力が 2 次側で利用可能になった後、VDRV が High にアサートされます。EN を Low に設定すると、VDRV は Low にアサートされ、2 次側への電力伝送は停止されます。

3 線式モードでは、VDDP に接続された低出力インピーダンスの専用電源により、1 次側の電力が供給されます。この場合、電力伝送はイネーブル状態とは別に独立して動作します。VDDP 電力が存在する場合、EN の状態に関係なく、電力は 1 次側から 2 次側に伝送されます。定常状態では、2 次側で十分な電力が利用可能な場合、EN を High に設定すると、VDRV が High にアサートされます。EN を Low に設定すると、VDRV が Low にアサートされます。

TPSI3052-Q1 でのみ利用可能な標準イネーブルでは、VDRV は EN ピンの状態に従い、ほとんどの負荷スイッチ アプリケーションで使用されます。TPSI3052S-Q1 の 3 線式モードでのみ使用可能なワンショット イネーブル モードでは、EN で立ち上がり遷移が発生すると、VDRV が瞬時に High にアサートされ、その後自動的に Low にアサートされ、VDRV にワンショット パルスが形成されます。このイベントは、トリガに単一の電力バーストのみを必要とする SCR デバイスの駆動に便利です。VDRV を再トリガするには、EN はまず Low に遷移し、その後、再度立ち上がり遷移する必要があります。

7.3.5 3 線式モード

より高いレベルの電力伝送や、TPSI3052-Q1 で実現が提供可能な最短伝搬遅延を必要とするアプリケーションには 3 線式モードが使用されます。VDDP は、必要な電力を供給できる低出力インピーダンスの外部電源によって、EN ピンから独立して供給されます。このモードでは、EN ピンの状態に関係なく、1 次側から 2 次側への電力が常に発生します。EN ピンをロジック High または Low に設定すると、VDRV がアサートまたはデアサートされ、外部スイッチがそれぞれイネーブルまたはディスエーブルされます。図 7-1 に、EN、VDDP、VSSP 信号を必要とする 3 線式モード動作に必要な基本設定を示します。EN は最大 5.5V まで駆動できますが、通常は VDDP と同じレールに存在する回路から駆動されます。この例では、TPSI3052-Q1 が共通ソース構成で双方向 MOSFET を駆動しています。C_{VDDP} は、デバイスの VDDP 電源レールに必要なデカップリング容量を提供します。C_{DIV1} および C_{DIV2} は、VDDH および VDDM 電源レールに必要なデカップリング容量を提供し、外部 MOSFET を駆動するためのピーク電流を供給します。

図 7-2 と図 7-3 に、スタートアップ状態から定常状態への基本動作を示します。図 7-2 に、TPSI3052-Q1 の標準イネーブルを使用した動作を示します。パワーアップ後、TPSI3052-Q1 は R_{PXFR} で決定されるデューティ サイクル レートで一定時間 (標準値 25µs)、VDDP から 2 次側への電力の伝送を開始し、VDDH (および VDDM) の 2 次側レールの充電を開始します。VDDP が存在する限り、電力伝送は継続されます。VDDH を完全に充電するために必要な時間は、VDDP、C_{DIV1}、C_{DIV2}、R_{PXFR} の値および全体的な電力伝送効率など、複数の要因に依存します。アプリケーションが EN ピンをロジック High に駆動すると、TPSI3052-Q1 は 1 次側から 2 次側に情報を伝送し、VDRV をアサートして High に駆動します。同様に、EN ピンをロジック "Low" に設定すると、VDRV は Low に駆動されます。図 7-3 に、TPSI3052S-Q1 のワンショット イネーブルを使った動作を示します。スタートアップ動作は同じです。ワンショット イネーブルでは、アプリケーションが EN ピンをロジック "High" に駆動すると、VDRV が High (t_{HI_VDRV}) にアサートされ、その後 TPSI3052S-Q1 によって自動的に Low にアサートされます。VDRV を再度 High にアサートするには、EN ピンが最初に Low に遷移してから High に遷移する必要があります。

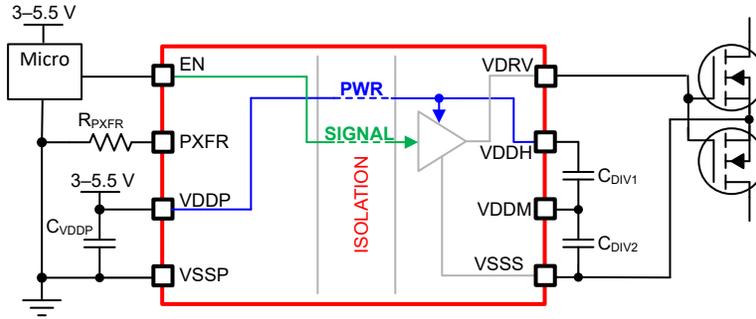


図 7-1. 3 線式モードの概略回路図

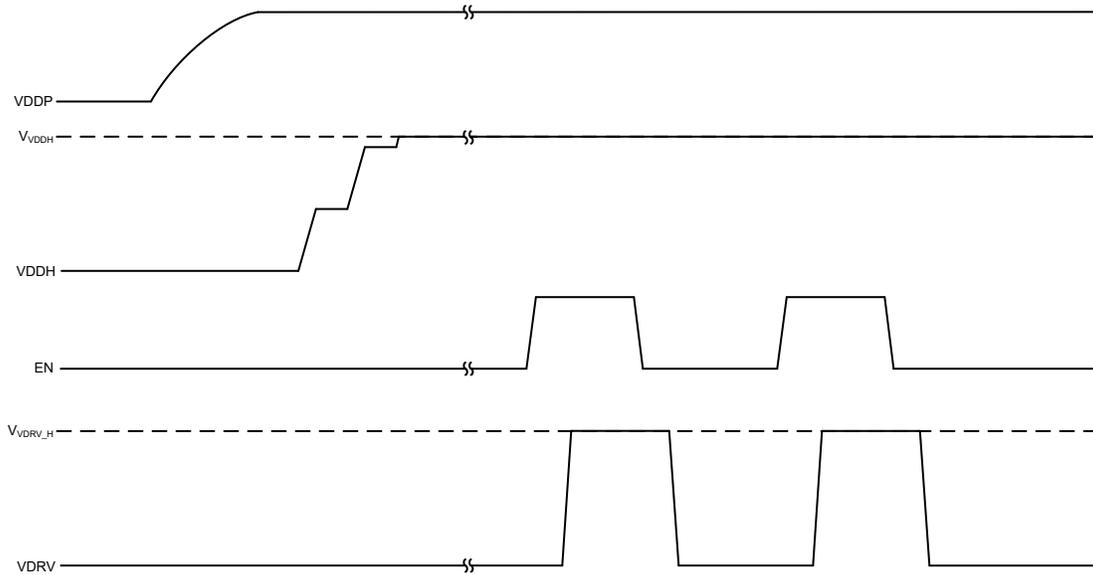


図 7-2. TPSI3052-Q1 による 3 線式モード (標準イネーブル)

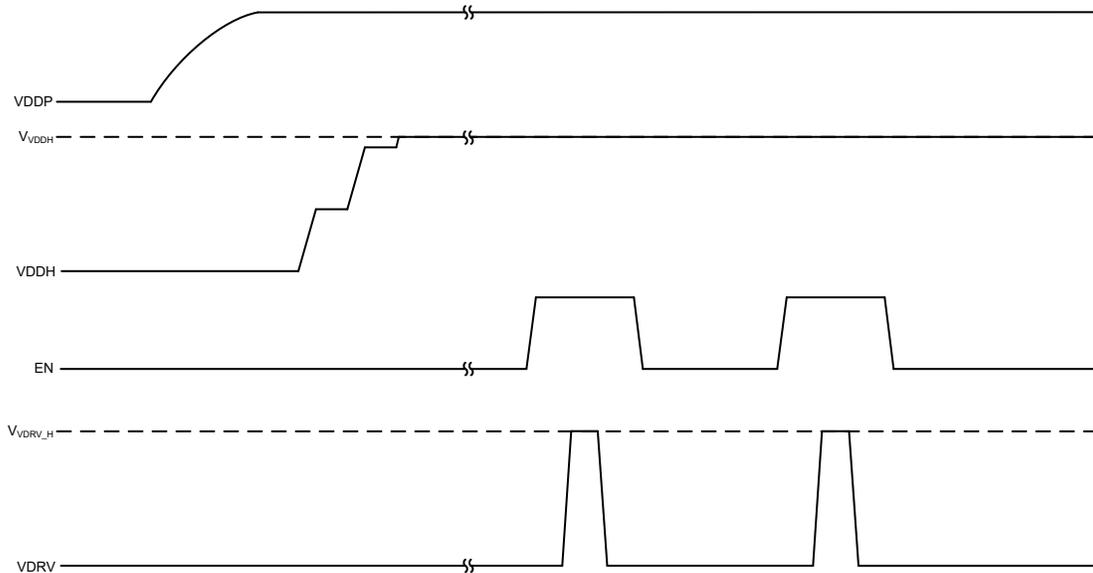


図 7-3. TPSI3052S-Q1 による 3 線式モード (ワンショットイネーブル)

平均電力を低減するために、TPSI3052-Q1 はバースト方式で 1 次側から 2 次側に電力を送ります。バースト期間は固定されますが、バースト オン時間は R_{PXFR} ピンから $VSSP$ ピンへの抵抗値 R_{PXFR} に 7 つのうちから適切な値を選択することでプログラム可能です。この値により、パワー コンバータのデューティ サイクルが変更されます。この操作により、アプリケーションの柔軟性が高まり、消費電力と供給電力の間のトレードオフが発生します。パワー コンバータの設定値を大きくするとバースト オン時間が長くなり、その結果、 $VDDP$ 電源からの平均消費電力が増加し、2 次側の $VDDH$ および $VDDM$ 電源に伝送される電力量も増加します。同様に、パワー コンバータの設定値を小さくするとバースト オン時間が短くなり、その結果、 $VDDP$ 電源からの平均消費電力が減少し、2 次側に伝送される電力量も減少します。

表 7-1 に、3 線式モード電力伝送の選択を示します。

表 7-1. 3 線式モード電力伝送の選択

R_{PXFR} (1) (2)	パワー コンバータのデューティ サイクル (3 線式モード、公称値)	説明
7.32k Ω	13.3%	このデバイスは、対応する R_{PXFR} の値を選択することによる、7 種類の固定電力伝送設定をサポートしています。いずれかの電力伝送設定を選択することで、パワー コンバータのデューティ サイクルと、それに伴う電力伝送の量が調整されます。電力伝送設定値が大きくなると、パワー コンバータのデューティ サイクルが大きくなり、電力伝送量と消費量も増加することになります。電源投入時に電力伝送設定値が決定され、 $VDDP$ パワー サイクルまでその設定値に固定されたままになります。
9.09k Ω	26.7%	
11k Ω	40.0%	
12.7k Ω	53.3%	
14.7k Ω	66.7%	
16.5k Ω	80.0%	
20k Ω	93.3%	

(1) 標準抵抗 (EIA E96)、許容誤差 1%、公称値。

(2) $R_{PXFR} \geq 100k\Omega$ または $R_{PXFR} \leq 1k\Omega$ により、パワー コンバータのデューティ サイクルが 13.3% に設定されます。

7.3.6 2 線式モード

図 7-4 に、EN 信号と $VSSP$ グランド信号を必要とする 2 線式モード動作に必要な基本設定を示します。EN は最大 48V まで駆動できます。TPSI3052-Q1 は、 R_{PXFR} 抵抗で設定された値に基づいて入力電流を制限するため、EN に電流制限抵抗は不要です (表 7-2 を参照)。この例では、TPSI3052-Q1 が共通ソース構成で双方向 MOSFET を駆動しています。 C_{VDDP} は、デバイスの $VDDP$ 電源レールに必要なデカップリング容量を提供します。 C_{DIV1} および C_{DIV2} は、外部 MOSFET を駆動するためのピーク電流を供給する $VDDH$ および $VDDM$ 電源レールに必要なデカップリング容量を提供します。

図 7-5 に、標準イネーブル用に構成された 2 線式モードでの代表的な動作を示します。このアプリケーションは EN をロジック "High" に駆動し、TPSI3052-Q1 はパワーアップシーケンスを開始します。電源投入時に、EN ピンに供給される電流 I_{EN} が外部容量 C_{VDDP} の充電を開始し、 $VDDP$ の電圧は V_{VDDP_H} に達するまで上昇を開始します。 $VDDP$ がピーク V_{VDDP_H} に達すると、TPSI3052-Q1 は C_{VDDP} の蓄積されたエネルギーを一定時間 (標準値 3.3 μ s) 2 次側に転送し、 $VDDH$ (および $VDDM$) の 2 次側レールの充電を開始して、 $VDDP$ の電圧を放電します。定常状態では、これにより $VDDP$ の平均電圧 V_{VDDP_AVG} が生じます。 $VDDH$ (および $VDDM$) 2 次側レールが完全に充電されるまで、このサイクルが繰り返されます。 $VDDH$ を完全に充電するために必要な時間は、 C_{VDDP} 、 C_{DIV1} 、 C_{DIV2} 、 R_{PXFR} の値および全体的な電力伝達効率など、複数の要因に依存します。 $VDDH$ が完全に充電されると、 $VDRV$ は High にアサートされ、EN ピンがロジック High に維持される間は High に維持されます。アプリケーションによって EN ピンがロジック Low に駆動されると、 $VDDP$ の充電は放電を開始します。 $VDDP$ が $UVLO$ 立ち下がりスレッショルドに達する前に、TPSI3052-Q1 は 1 次側から 2 次側に情報を信号伝達し、 $VDRV$ をデアサートして Low に駆動します。電力は伝送されなくなるため、すべてのレールが完全に放電を開始します。

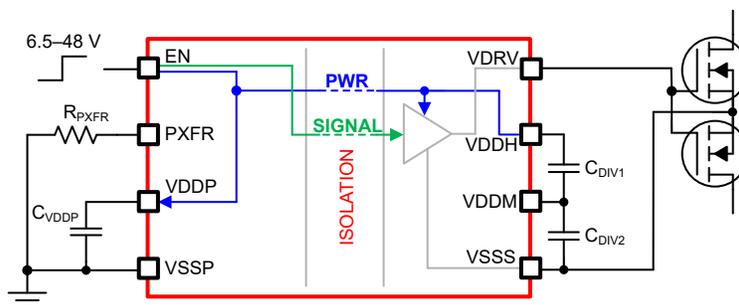


図 7-4. 2 線式モードの概略回路図

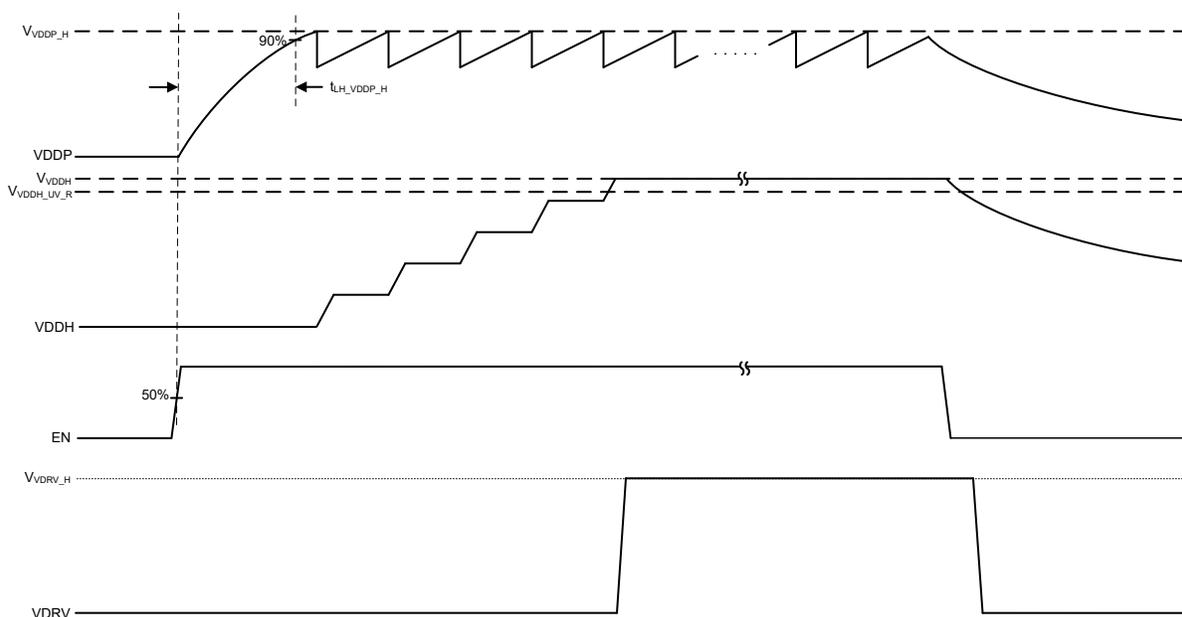


図 7-5. 標準イネーブル付き 2 線式モード (TPSI3052-Q1 のみ)

2 線式モードでは、電力は EN ピンから直接供給されます。EN が High にアサートされると、TPSI3052-Q1 は、期間が変動している間、一定時間 (公称値 $3.3\mu\text{s}$) にわたって電力を 2 次側に伝送します。この期間は、電力伝送のヒステリシス制御によって変化し、EN ピンを介して供給される平均電流を確保します。平均電流の量、すなわち伝送電力の量は、PXFR ピンと VSSP ピンとの間の抵抗値 R_{PXFR} を、7 つの値いずれかから適切なものを選択してプログラムできます。 R_{PXFR} の設定値が大きいくほど I_{EN} が増加するため、EN ピンからの平均消費電力が増加し、2 次側 VDDH 電源に伝送される電力も増加します。同様に、 R_{PXFR} の設定値が小さいほど I_{EN} が減少するため、EN ピンからの平均消費電力が減少し、2 次側に伝送される電力も減少します。

表 7-2 に、2 線式モードの電力選択の要約を示します。

表 7-2. 2 線式モード電力選択

R _{PXFR} (1) (2)	I _{EN} (2 線式モード、公称値)	説明
7.32kΩ	1.9mA	このデバイスは、対応する R _{PXFR} の指定値によって選択される 7 つの固定 EN 入力電流制限オプションをサポートしています。電流制限を選択する値が大きいくほど、電力伝送量と消費量が増加します。電源投入時に、EN 入力電流制限が決定され、VDDP パワーサイクルまでその設定値に固定されたままになります。
9.09kΩ	2.8mA	
11kΩ	3.7mA	
12.7kΩ	4.5mA	
14.7kΩ	5.2mA	
16.5kΩ	6.0mA	
20kΩ	6.7mA	

- (1) 標準抵抗 (EIA E96)、許容誤差 1%、公称値。
 (2) R_{PXFR} ≥ 100kΩ または R_{PXFR} ≤ 1kΩ により、I_{EN} が 1.9mA に設定されます。

7.3.7 VDDP、VDDH、VDDM 低電圧誤動作防止 (UVLO)

TPSI3052-Q1 および TPSI3052S-Q1 は、入力および出力両方の電源、VDDP、VDDH、VDDM の内部 UVLO 保護機能を実装しています。VDDP が UVLO スレッシュホールド電圧を下回ると、電源は VDDM および VDDH レールへの転送を停止します。時間の経過とともに、VDDH および VDDM レールが放電を開始します。VDDP で十分な電荷が得られる場合、デバイスは VDRV を Low にアサートするように信号伝達を試行します。VDDP で十分な電荷が得られない場合、タイムアウト メカニズムにより、タイムアウトに達した後に VDRV が Low にアサートします。VDDH または VDDM のいずれかがそれぞれの UVLO スレッシュホールドを下回ると、EN の状態に関係なく VDRV が Low にアサートします。UVLO 保護ブロックはヒステリシスを備えており、電源のノイズ耐性向上に役立ちます。ターンオンおよびターンオフ中に、ドライバはピーク過渡電流をソースおよびシンクします。これにより、VDDH、VDDM 電源の電圧降下が発生する可能性があります。内部の UVLO 保護ブロックは、これらの通常のスイッチング過渡中、関連するノイズを無視します。

7.3.8 電源と EN のシーケンシング

パワーアップ時に、デバイスは 2 線式モードと 3 線式モードのどちらに移行するかを自動的に判断します。2 線式と 3 線式モードのどちらに移行するかを決定すると、次のパワー サイクルが実行されるまでそのモードが維持されます。そのため、デバイスの動作に影響を与える可能性があるさまざまなシナリオを理解することが重要です。

2 線式モードでは、本デバイスは EN を介した単一の外部電圧源から電力を供給され、VDDP 上の C_{VDDP} 容量を充電します。電圧源は、選択された PXFR 設定での電源要件と、推奨される最小ランプ時間 $|\Delta V_{EN}/\Delta t|$ を満たす必要があります。2 線式モードが正常に開始されるよう、V_{VDDP} が V_{VDDP_UV_R} に達する前に、V_{EN} が V_{IH_EN} に達する必要があります。図 7-6 に、上述の内容を示します。同様に、V_{EN} が V_{IL_EN} までの推奨最小ランプ ダウン時間を満たすようにすることをお勧めします。ランプ ダウン時間が遅すぎると、V_{IH_EN} と V_{IL_EN} の間を低速で遷移している間に十分な電力を伝送できず、VDRV のデアサートとアサートが断続的になる場合があります。これは、電力伝送が VDRV を Low に維持するのに十分なだけ低下するまで継続することがあります。

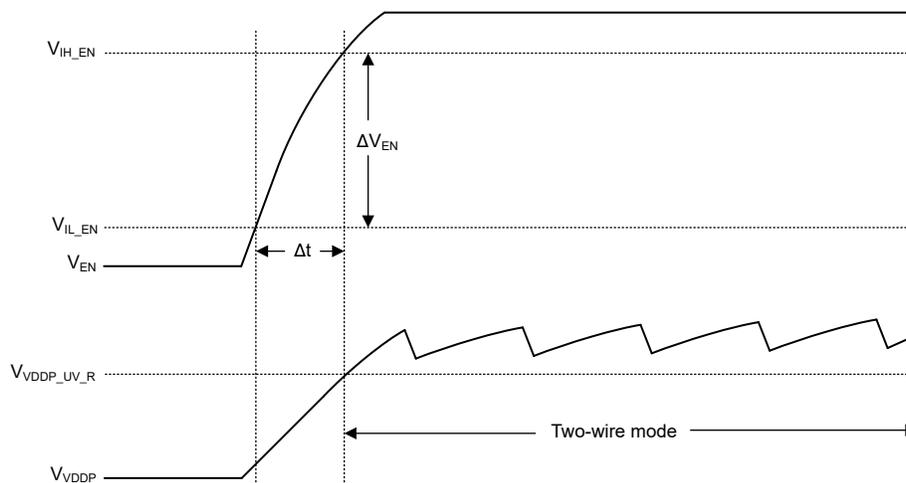


図 7-6.2 線式モードの開始

ほとんどの 3 線式モードのアプリケーションでは、EN と VDDP は同じ電圧レールとソースから供給されます。TI は、 V_{VDDP} が $V_{VDDP_UV_R}$ に達するまで、 V_{EN} を V_{IL_EN} よりも低く維持することを推奨します。一部のアプリケーションでは、EN を VDDP 電源に直接接続できます。図 7-7 に、この 2 つのシナリオを示します。

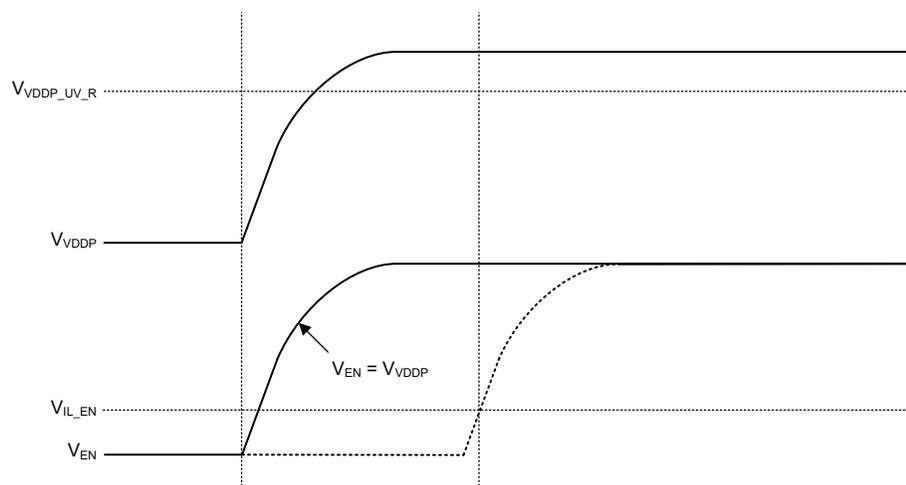


図 7-7.3 線式モードの電力シーケンス

分離した電圧源を使用して EN と VDDP に電力を供給する 3 線式モード アプリケーションでは、 V_{VDDP} が $V_{VDDP_UV_R}$ に達するまで、 V_{EN} を V_{IL_EN} よりも低く維持することを推奨します。 V_{VDDP} が $V_{VDDP_UV_R}$ に達する前に V_{EN} が V_{IH_EN} に達すると、EN を供給した電源からの電流は VDDP への電力供給を試行します。VDDP に存在するもう一方の電源のインピーダンスと EN ピンから供給される電力量に応じて、 V_{VDDP} が上昇し始め、最終的に $V_{VDDP_UV_R}$ を上回る場合があります。この時点で、本デバイスは 2 次側に電力の伝送を開始し、VDDM および VDDH レールの充電を開始します。VDDP が $V_{VDDP_UV_R}$ を上回ったままである場合、本デバイスは 2 次側に電力を伝送し続け、最終的に VDDM および VDDH レールを充電し、VDRV が High にアサートされる可能性があります。

7.3.9 サーマル シャットダウン

本デバイスは、デバイスのローカル温度を監視するための温度センサを内蔵しています。センサがスレッショルドに達すると、1 次側から 2 次側への電力伝送は自動的に停止します。さらに、VDDP に電源が引き続き存在する場合、ドライバは自動的に Low にアサートされます。電力伝送は、ローカル温度が再び作動できるほど低下するまで無効になります。

7.4 デバイスの機能モード

表 7-3 に、TPSI3052-Q1 と TPSI3052S-Q1 の機能モードを示します。

表 7-3. TPSI3052-Q1、TPSI3052S-Q1 デバイスの機能モード

VDDP ⁽¹⁾	VDDH	EN ⁽¹⁾	VDRV	コメント
電源オン ⁽²⁾	電源オン ⁽³⁾	L	L	TPSI3052-Q1 通常動作: VDRV 出力状態は、EN のロジック状態と見なされます。
		H	H	
		L	L	TPSI3052S-Q1 通常動作 (3 線式モードのみ): EN の立ち上がりエッジにより、VDRV は単独で High にパルスされます。別のパルスのアサートするには、最初に EN を Low にアサートする必要があります。
		L → H	L → H → L	
電源オフ ⁽⁶⁾	電源オフ ⁽⁴⁾	X ⁽⁵⁾	L	無効な動作: VDRV 出力をディスエーブル、キープオフ回路を適用します。
電源オン ⁽²⁾	電源オフ ⁽⁴⁾	X ⁽⁵⁾	L	無効な動作: VDRV 出力をディスエーブル、キープオフ回路を適用します。
電源オフ ⁽⁶⁾	電源オン ⁽³⁾	X ⁽⁵⁾	L	無効な動作: VDDP 電源オフの際、タイムアウト後に出力ドライバは自動的にディスエーブルされ、キープオフ回路を適用します。

- (1) 詳細については、[電源と EN のシーケンシング](#) を参照してください。
- (2) $V_{VDDP} \geq VDDP$ 低電圧誤動作防止立ち上がりスレッショルド、 $V_{VDDP_UV_R0}$
- (3) $V_{VDDH} \geq VDDH$ 低電圧誤動作防止立ち上がりスレッショルド、 $V_{VDDH_UV_R0}$
- (4) $V_{VDDH} < VDDH$ 低電圧誤動作防止立ち下がりスレッショルド、 $V_{VDDH_UV_F0}$
- (5) X:任意。
- (6) $V_{VDDP} < VDDP$ 低電圧誤動作防止立ち下がりスレッショルド、 $V_{VDDP_UV_F0}$

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TPSI3052-Q1 は、統合型の絶縁スイッチ ドライバ (統合バイアスあり) で、外部パワー スイッチと組み合わせることにより、完全な絶縁型ソリッド ステート リレー ソリューションを形成します。公称ゲート駆動電圧 15V で、1.5/3.0A ピークのソースおよびシンク電流を備えており、MOSFET、IGBT、SCR など、さまざまな外部パワー スイッチを選択して、幅広いアプリケーションに対応できます。TPSI3052-Q1 は、1 次側から供給された電源によって独自の 2 次バイアス電源を生成するので、絶縁型の 2 次側電源バイアスは不要です。

TPSI3052-Q1 は、必要な入力ピンの数によって 2 つの動作モードをサポートしています。2 線式モードでは、通常は機械式リレーの駆動に使用され、スイッチの制御に必要なピンは 2 本のみで、6.5V ~ 48V の幅広い電圧範囲で動作できます。3 線式モードでは、3V ~ 5.5V の主電源が外部から供給され、スイッチは個別のイネーブルによって制御されます。TPSI3052S-Q1 は、スイッチの制御方式として、3 線式モードのみで利用可能なワンショット イネーブルを備えています。この機能は、通常は電流パルス 1 つだけでトリガできる SCR の駆動に便利です。

2 次側は、15V の安定化されたフローティング電源レールを提供し、2 次側バイアス電源を必要とせずに各種パワー スイッチを駆動します。TPSI3052-Q1 は、さまざまな AC または DC アプリケーション向けに、シングル パワー スイッチ、デュアル双方向、パラレル パワー スイッチの駆動をサポートしています。TPSI3052-Q1 の統合絶縁保護は堅牢で、従来の機械式リレーやフォトカプラに比べて高信頼性、低消費電力で、温度範囲が広がっています。

TPSI3052-Q1 の消費電力は、PXFR ピンと VSSP との間の外付け抵抗により調整します。この機能により、アプリケーションのニーズに応じて、2 次側の供給電力と消費電力とのトレードオフが可能になります。

8.2 代表的なアプリケーション

図 8-1 と 図 8-2 の回路は、シリコン ベースの MOSFET を 3 線式モードと 2 線式モードで駆動するための代表的なアプリケーションをそれぞれ示しています。

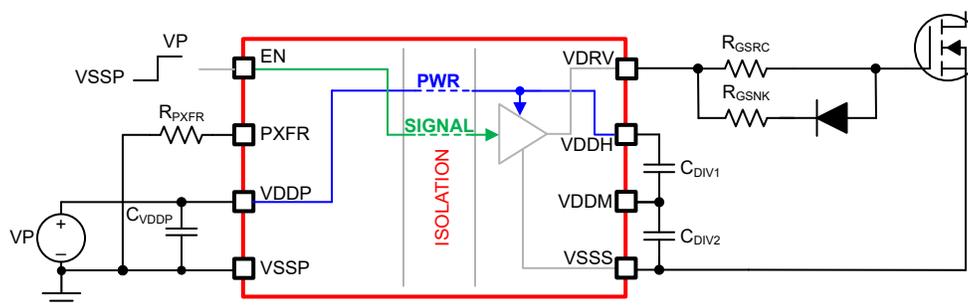


図 8-1. TPSI3052-Q1 3 線式モード駆動 MOSFET

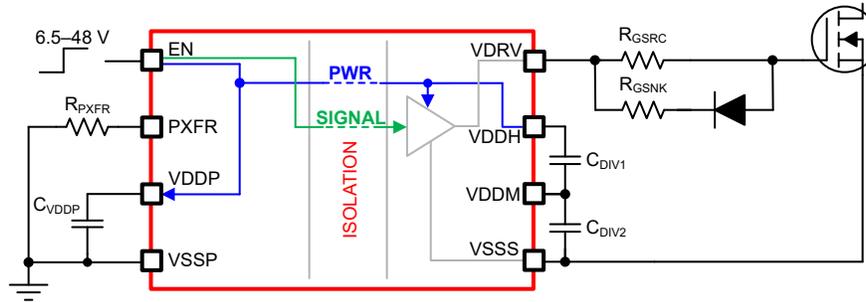


図 8-2. TPSI3052-Q1 2 線式モード駆動 MOSFET

8.2.1 設計要件

表 8-1 に、TPSI3052-Q1 ゲートドライバの設計要件を示します。

表 8-1. TPSI3052-Q1 設計要件

設計パラメータ	
合計ゲート容量	100nC
FET ターンオン時間	1μs
伝搬遅延	4μs 未満
スイッチング周波数	10kHz
電源電圧 (VDDP)	5V ± 5%

8.2.2 詳細な設計手順

8.2.2.1 2 線式と 3 線式の各モードの選択

設計においては、このアプリケーションで 2 線式モードと 3 線式モードのどちらを使用できるかをまず決定する必要があります。この設計では、全体的な伝搬遅延が 4μs 未満です。この要件を満たすのは 3 線式モードのみであることに注意してください。この場合、2 線式モードは適用できません。2 線式モードは、電力伝送に制限があるため、通常は数 KHz 未満の超低周波数アプリケーションや、イネーブル時間が重要ではない場合に限定されます。

8.2.2.2 標準イネーブル、ワンショットイネーブル

次に、アプリケーションに応じて、標準イネーブルモードまたはワンショットイネーブルモードが必要な場合のデバイスを判断します。この設計では、スイッチをイネーブルにした後、ディスエーブルにするよう指示されるまでスイッチをイネーブルに維持するのが適切であると仮定します。そのため、標準のイネーブルモードが想定されています。FET の駆動に関するほとんどのアプリケーションでは、標準のイネーブルが適切です。SCR またはトライアックを駆動する場合、ワンショットモードが役に立つことがあります。

8.2.2.3 CDIV1、CDIV2 容量

必要な CDIV1 および CDIV2 容量は、外部負荷のスイッチング中に VDDH レールで許容される降下の大きさによって異なります。CDIV1 および CDIV2 容量に蓄積された電荷を使用して、スイッチング中に電流を負荷に供給します。スイッチング中に充電共有が発生し、VDDH の電圧が低下します。CDIV1 と CDIV2 の直列の組み合わせにより形成される合計容量は、スイッチする合計ゲート容量の少なくとも 30 倍にすることを推奨します。このサイズでは、VDRV 信号への電力供給に使用する VDDH 電源レールが約 0.5V 低下します。式 1 と式 2 を使用して、指定の電圧降下に必要な容量の大きさを計算できます。

CDIV1 と CDIV2 は同じタイプおよび許容誤差である必要があります。

$$C_{DIV1} = \left(\frac{n+1}{n}\right) \times \frac{Q_{LOAD}}{\Delta V}, n \geq 3.0 \quad (1)$$

$$C_{DIV2} = n \times C_{DIV1}, n \geq 3.0 \quad (2)$$

ここで、

- n は 3.0 以上の実数です。
- C_{DIV1} は V_{DDH} から V_{DDM} への外部容量です。
- C_{DIV2} は V_{DDM} から V_{SSS} への外部容量です。
- Q_{LOAD} は V_{DRV} から V_{SSS} への負荷の総電荷量です。
- ΔV は、負荷のスイッチング時の V_{DDH} での電圧降下です。

注

C_{DIV1} と C_{DIV2} は絶対容量を表し、許容誤差と要求される必要な容量を達成するために必要なデイレートに
に応じて、選択した部品を調整する必要があります。

アプリケーションでは ΔV の値をより大きな値にすることもできますが、過度なドループにより、 V_{DDH} 低電圧誤動作防止立ち下がりスレッシュホールド ($V_{VDDH_UVLO_F}$) に到達し、 V_{DRV} が Low にアサートされる可能性があります。 C_{DIV1} および C_{DIV2} 容量の直列の組み合わせが Q_{LOAD} に対して増加すると、 V_{DDH} 電源電圧は低下しますが、電源投入時には V_{DDH} 電源電圧の初期充電が増加することに注意してください。

この設計では、 $n = 3$ かつ $\Delta V \cong 0.5V$ と仮定すると、次のようになります。

$$C_{DIV1} = \left(\frac{3+1}{3}\right) \times \frac{120nC}{0.5V} = 320nF \quad (3)$$

$$C_{DIV2} = 3 \times 320nF = 960nF \quad (4)$$

この設計では、 $C_{DIV1} = 330nF$ 、 $C_{DIV2} = 1\mu F$ の標準コンデンサの値を選択しています。

8.2.2.4 R_{PXFR} の選択

R_{PXFR} を選択することで、消費電力と供給電力との間でトレードオフを検討できます (「3 線式モード」を参照)。この設計では、指定のスイッチング周波数で駆動される負荷の大きさをサポートするのに十分な電力が伝送されるよう、適切な R_{PXFR} を選択します。

負荷のスイッチング中、 V_{DDH} の電荷の Q_{LOAD} が負荷に転送され、 V_{DDH} 電源電圧が低下します。各スイッチングサイクルの後、次のスイッチングサイクルが発生する前に、この電荷を補充します。この動作により、以後の負荷のスイッチングサイクルが原因で、 V_{DDH} に存在する電荷が時間の経過とともに消耗することを防止できます。この電荷の回復に要する時間 $t_{RECOVER}$ を次のように推定できます。

$$t_{RECOVER} = \frac{1}{f_{MAX}} \cong \frac{Q_{LOAD}}{I_{OUT}} \quad (5)$$

ここで、

- Q_{LOAD} は負荷電荷 (クーロン)
- I_{OUT} は V_{DDH} 電源から供給される平均電流 (A)
- f_{MAX} は最大スイッチング周波数 (Hz)

この設計では、 $Q_{LOAD} = 100nC$ 、 $f_{MAX} = 10kHz$ が既知であるため、必要な I_{OUT} は次のように推定できます。

$$I_{OUT} \cong 100nC \times 10kHz = 1.0mA \quad (6)$$

I_{OUT} は、設計要件を満たすために必要な最小平均電流を表します。TPSI3052-Q1 カリキュレータ ツールを使用すると、 I_{OUT} または f_{MAX} の列を参照することで、必要な R_{PXFR} を求めることができます。表 8-2 に、設計要件で指定されている電源許容誤差を考慮して $V_{DDP} = 4.75V$ と想定したツールによる結果を示します。「設計カリキュレータ」に TPSI3052-Q1 カリキュレータ ツールが記載されています。

表 8-2. TPSI3052-Q1 カリキュレータ ツールの結果、 $T_A = 25^\circ\text{C}$ 、3 線式モード

R_{PXFR} , k Ω	パワー コンバータのデューティ サイクル, %	I_{VDDP} , mA	P_{IN} , mW	P_{OUT} , mW	I_{OUT} , mA	t_{START} , μs	$t_{RECOVER}$, μs	f_{EN_MAX} , KHz	I_{AUX_MAX} , mA
7.32	13.3	5.3	25.0	5.9	0.35	該当なし	該当なし	該当なし	該当なし
9.09	21.1	8.3	39.6	10.0	0.62	該当なし	該当なし	該当なし	該当なし
11	40.0	15.8	75.1	26.8	1.74	2076	56.3	17.8	2.3
12.7	53.3	21.1	100.1	36.1	2.35	1581	41.8	23.9	4.1
14.7	66.7	26.4	125.2	45.5	2.98	1287	33.2	30.2	6.0
16.5	80.0	31.6	150.2	58.8	3.86	1032	25.7	39.0	8.6
20	93.3	36.9	175.2	68.8	4.52	905	21.9	45.6	10.0

表 8-3 に、カリキュレータ ツールのさまざまな出力パラメータの要約を示します。

表 8-3. TPSI3052-Q1 カリキュレータ ツールのパラメータの説明

パラメータ	説明
R_{PXFR}	デューティ サイクルを調整することで、負荷に転送する電力量を制御する外付け抵抗設定。 R_{PXFR} を高く設定すると、電力伝送と消費電力が増加します。
パワー コンバータのデューティ サイクル	パワー コンバータの公称デューティ サイクルです。 R_{PXFR} を高く設定すると、パワー コンバータのデューティ サイクルが上がり、電力伝送量が増加します。
I_{VDDP}	VDDP 電源からの平均消費電流
P_{IN}	VDDP 電源からの平均消費電力
P_{OUT}	VDDH 電源に供給される平均電力
I_{OUT}	VDDH 電源に供給される平均電流
t_{START}	VDDP 立ち上がりから VDDH 電源レールが完全に充電されるまでのスタートアップ時間。このパラメータは、VDDH および VDDM 電源レールが最初に完全に放電されていることを想定しています。
$t_{RECOVER}$	VDRV に存在する負荷の切り替え後、VDDH レールが回復するための時間を示します
f_{MAX}	適用される負荷条件に対する特定の R_{PXFR} 設定に対して可能な最大スイッチング周波数
I_{AUX_MAX}	現在のユーザー入力設定で利用可能な最大補助電流。 f_{MAX} と I_{AUX_MAX} には反比例の関係があります。

この設計例では、必要な 10kHz 周波数で指定の負荷のスイッチングをサポートするのに十分な電力を伝送するため、 R_{PXFR} を 9.09k Ω 以上の設定で構成します。

8.2.2.5 C_{VDDP} 容量

2 線式モードの場合、VDDP から VSSP への推奨容量 C_{VDDP} は 220nF です。

この設計では、設計要件を満たすために 3 線式モードが必要です。3 線式モードでは、容量 C_{VDDP} を増加させると、VDDP 電源のリップルが改善されます。この設計では、100nF と並列の 1 μF を使用します。

8.2.2.6 ゲート ドライバの出力抵抗

オプションの外部ゲートドライバ抵抗 R_{GSR} および R_{GSNK} は、ダイオードとともに次の目的で使用されます。

1. 寄生インダクタンスおよび容量に起因するリンギングの制限
2. 高電圧スイッチングの dv/dt 、大電流スイッチングの di/dt 、ボディ ダイオードの逆方向回復に起因するリンギングの制限
3. ソースおよびシンクのゲート駆動強度の微調整
4. 電磁干渉 (EMI) の低減

TPSI3052-Q1 はプルアップ構造を採用しており、ピーク ソース電流 1.5A の P チャネル MOSFET となっています。したがって、ピーク ソース電流は次の式で予測できます。

$$I_{O+} \cong \min\left(1.5A, \frac{V_{VDDH}}{R_{DSON_VDRV} + R_{GSRC} + R_{GFET_INT}}\right) \quad (7)$$

ここで、

- R_{GSRC} : 外部ターンオン抵抗
- R_{DSON_VDRV} : TPSI3052-Q1 ドライバのオン抵抗 (High 状態) 電氣的特性を参照してください。
- V_{VDDH} : VDDH 電圧。この例では、15.1V と想定しています。
- R_{GFET_INT} : パワー トランジスタのデータシートに記載されている外部パワー トランジスタの内部ゲート抵抗。この例では 0Ω と想定しています。
- I_{O+} : ピークソース電流。1.5A (ゲートドライバのピークソース電流) とゲート駆動ループ抵抗に基づく計算値のうちの小さい方の値。

この例では、 $R_{DSON_VDRV} = 2.5\Omega$ 、 $R_{GSRC} = 10\Omega$ 、 $R_{GFET_INT} = 0\Omega$ の結果が次のようになります。

$$I_{O+} \cong \min\left(1.5A, \frac{15.1V}{2.5\Omega + 10\Omega + 0\Omega}\right) = 1.21A \quad (8)$$

同様に、TPSI3052-Q1 はプルダウン構造を採用しており、ピークシンク電流 3.0A の N チャネル MOSFET となっています。したがって、 $R_{GFET_INT} = 0\Omega$ と仮定すると、ピークシンク電流は次の式で予測できます。

$$I_{O-} \cong \min\left[3.0A, (V_{VDDH} \times [R_{GSRC} + R_{GSNK}] - R_{GSRC} \times V_F) \times \frac{1}{R_{GSRC} \times R_{GSNK} + R_{DSON_VDRV} \times (R_{GSRC} + R_{GSNK})}\right] \quad (9)$$

ここで、

- R_{GSRC} : 外部ターンオン抵抗
- R_{GSNK} : 外部ターンオフ抵抗
- R_{DSON_VDRV} : TPSI3052-Q1 ドライバのオン抵抗 (Low 状態) セクション 5.9 を参照してください。
- V_{VDDH} : VDDH 電圧。この例では、15.1V と想定しています。
- V_F : ダイオードの順方向電圧降下。この例では 0.7V と想定しています。
- I_{O-} : ピークシンク電流。3.0A (ゲートドライバのピークシンク電流) とゲート駆動ループ抵抗に基づく計算値のうちの小さい方の値。

この例では、 $R_{DSON_VDRV} = 1.7\Omega$ 、 $R_{GSRC} = 10\Omega$ 、 $R_{GSNK} = 5.0\Omega$ 、 $R_{GFET_INT} = 0\Omega$ と仮定すると、以下のようになります。

$$I_{O-} \cong \min\left[3.0A, (15.1V \times [10\Omega + 5\Omega] - 10\Omega \times 0.7V) \times \frac{1}{10\Omega \times 5\Omega + 1.7\Omega \times (10\Omega + 5\Omega)}\right] = 2.91A \quad (10)$$

推定ピーク電流は PCB レイアウトと負荷容量によっても影響されることに注意します。ゲートドライバのループの寄生インダクタンスは、ピークゲート駆動電流を遅れさせ、オーバーシュートとアンダーシュートを発生させる可能性があります。そのため、ゲートドライバのループを最小化することを強く推奨します。

8.2.2.7 起動時間と復帰時間

$[C_{DIV1}$ 、 C_{DIV2} 容量] セクションで説明されているように、完全に放電された VDDH レールの起動時間は、VDDH 電源に存在する容量に依存します。この容量が充電される速度は、1 次側から 2 次側に伝送される電力量の量に依存します。 R_{PXFR} を選択することで、伝送される電力量を調整できます。 R_{PXFR} の抵抗設定を増加させると、1 次側電源 (VDDP) から 2 次側電源 (VDDH) により多くの電力量が伝送されるため、全体の起動および復帰時間を短縮できます。

8.2.2.8 補助電流の供給、VDDM からの I_{AUX}

TPSI3052-Q1 は、図 8-3 に示すように、VDDM から電力を供給して外部補助回路をサポートできます。この場合、必要な伝送電力に、VDDM レール上の補助回路によって消費される追加の電力を含める必要があります。 R_{PXFR} の値は、全体の電力要件を満たすように設定する必要があります。

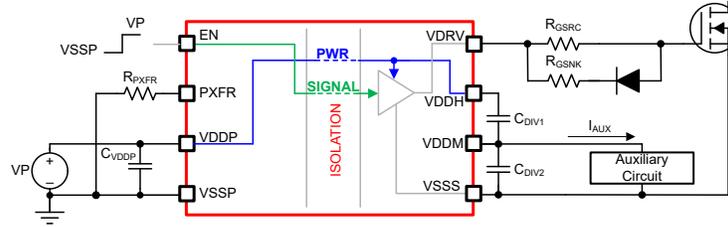


図 8-3. VDDM からの補助電源の供給

例えば、補助回路に 4mA の平均電流が必要であると仮定します。表 8-4 に、TPSI3052-Q1 カリキュレータ ツールの結果の概要を示します。カリキュレータ ツールは [設計カリキュレータ](#) で入手できます。

表 8-4. TPSI3052-Q1 カリキュレータ ツールの結果、 $T_A = 25^\circ\text{C}$ 、 $I_{\text{AUX}} = 4\text{mA}$ の 3 線式モード

R_{PXFR} , k Ω	パワー コンバータのデューティ サイクル, %	I_{VDDP} , mA	P_{IN} , mW	P_{OUT} , mW	I_{OUT} , mA	t_{START} , μs	t_{RECOVER} , μs	$f_{\text{EN_MAX}}$, KHz	$I_{\text{AUX_MAX}}$, mA
7.32	13.3	5.3	25.0	5.9	0.35	該当なし	該当なし	該当なし	該当なし
9.09	21.1	8.3	39.6	10.0	0.62	該当なし	該当なし	該当なし	該当なし
11	40.0	15.8	75.1	26.8	1.74	該当なし	該当なし	該当なし	該当なし
12.7	53.3	21.1	100.1	36.1	2.35	3557	96.0	10.4	4.1
14.7	66.7	26.4	125.2	45.5	2.98	2285	60.1	16.6	6.0
16.5	80.0	31.6	150.2	58.8	3.86	1549	39.3	25.5	8.6
20	93.3	36.9	175.2	68.8	4.52	1262	31.2	32.1	10.0

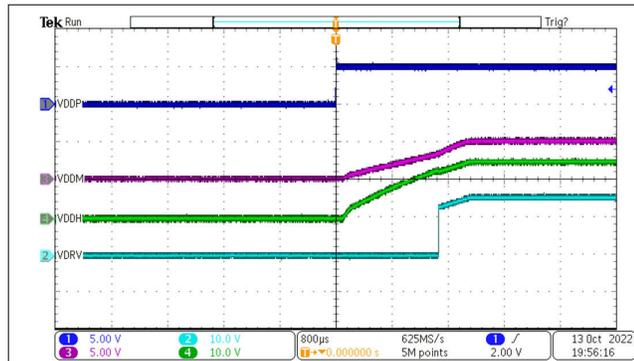
表 8-4 の結果から、次のようなことがわかります。

- $R_{\text{PXFR}} = 7.32\text{k}\Omega$ 、 $R_{\text{PXFR}} = 9.09\text{k}\Omega$ 、 $R_{\text{PXFR}} = 11\text{k}\Omega$ の場合、表 8-1 の設計要件で指定されているアプリケーションの電力要件を満たすのに十分な電力が得られていません。
- $R_{\text{PXFR}} = 12.7\text{k}\Omega$ 以上の場合、指定の設計要件を満たすのに十分な電力が伝送されますが、この設計では追加マージンを確保するために $R_{\text{PXFR}} = 14.7\text{k}\Omega$ を選択しています。
- 特定の R_{PXFR} について、伝送される電力の多くが補助回路に供給されるため、表 8-4 に示す $I_{\text{AUX}} = 0\text{mA}$ の結果と比較して、 t_{START} は長くなり、 f_{MAX} は減少します。

8.2.2.9 VDDM リップル電圧

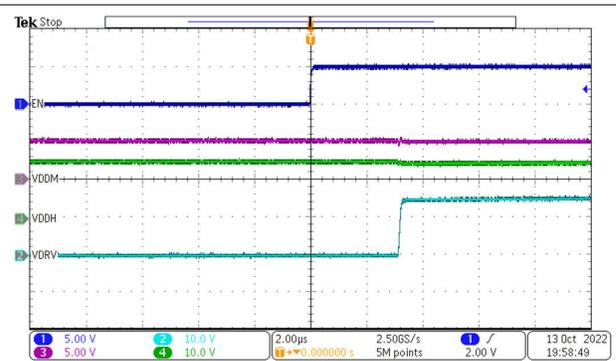
VDDM から電力を供給する場合、つまり $I_{\text{AUX}} > 0\text{mA}$ のとき、VDDM レールに追加の電圧リップルが存在することに注意してください。所定の R_{PXFR} 設定に対して、VDDM から VSSS に容量を追加するか、または R_{PXFR} の設定を大きくして電力伝送を増やすことで、このリップルを低減できます。この設計例では、カリキュレータ ツールで計算された VDDM のリップル $V_{\text{DDM_ripple}}$ は 35mV です。

8.2.3 アプリケーション曲線



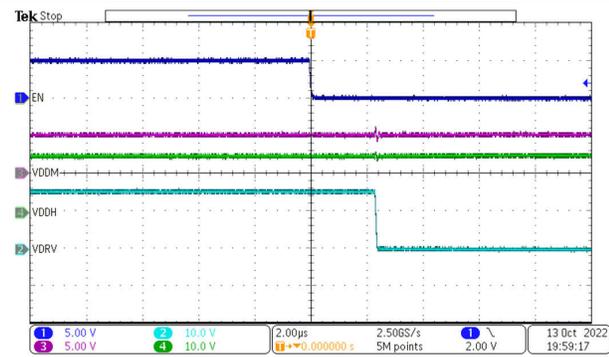
3 線式モード VDDP = 5.0V R_{PXFR} = 11kΩ
 C_{DIV1} = 330nF C_{DIV2} = 1μF
 I_{AUX} = 0mA C_{VDRV} = 6.8nF T_A = 25°C

図 8-4. 電源投入時、V_{EN} = V_{VDDP}、3 線式モード、TPSI3052-Q1



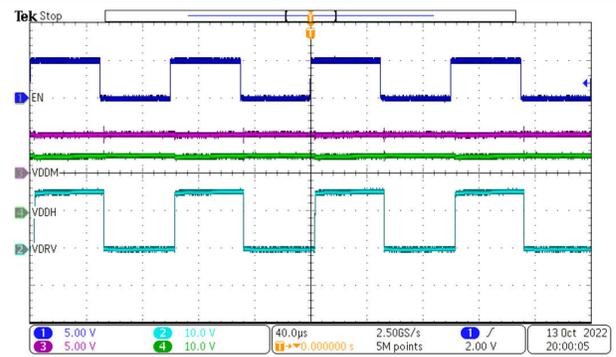
3 線式モード VDDP = 5.0V R_{PXFR} = 11kΩ
 C_{DIV1} = 330nF C_{DIV2} = 1μF
 I_{AUX} = 0mA C_{VDRV} = 6.8nF T_A = 25°C

図 8-5. t_{LH_VDRV}、3 線式モード、TPSI3052-Q1



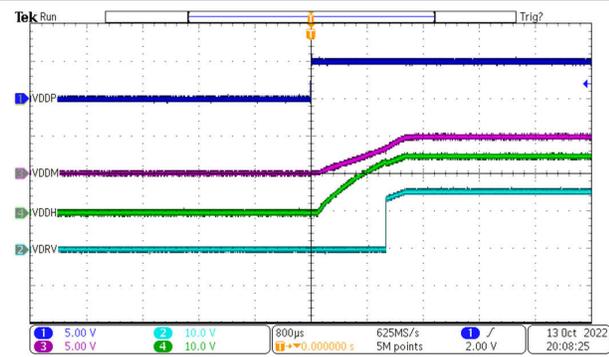
3 線式モード VDDP = 5.0V R_{PXFR} = 11kΩ
 C_{DIV1} = 330nF C_{DIV2} = 1μF
 I_{AUX} = 0mA C_{VDRV} = 6.8nF T_A = 25°C

図 8-6. t_{HL_VDRV}、3 線式モード、TPSI3052-Q1



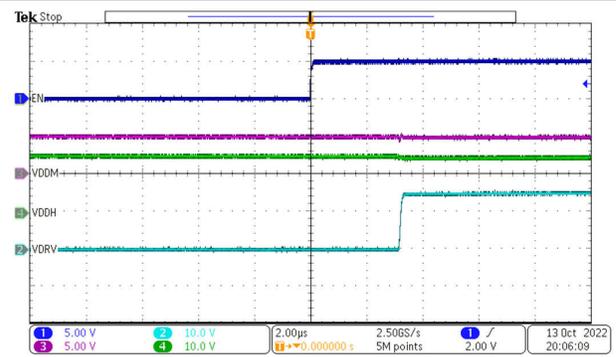
3 線式モード VDDP = 5.0V R_{PXFR} = 11kΩ
 C_{DIV1} = 330nF C_{DIV2} = 1μF
 I_{AUX} = 0mA C_{VDRV} = 6.8nF T_A = 25°C

図 8-7. 3 線式モード、f_{EN} = 10KHZ、TPSI3052-Q1



3 線式モード VDDP = 5.0V R_{PXFR} = 14.7kΩ
 C_{DIV1} = 330nF C_{DIV2} = 1μF
 I_{AUX} = 4mA C_{VDRV} = 6.8nF T_A = 25°C

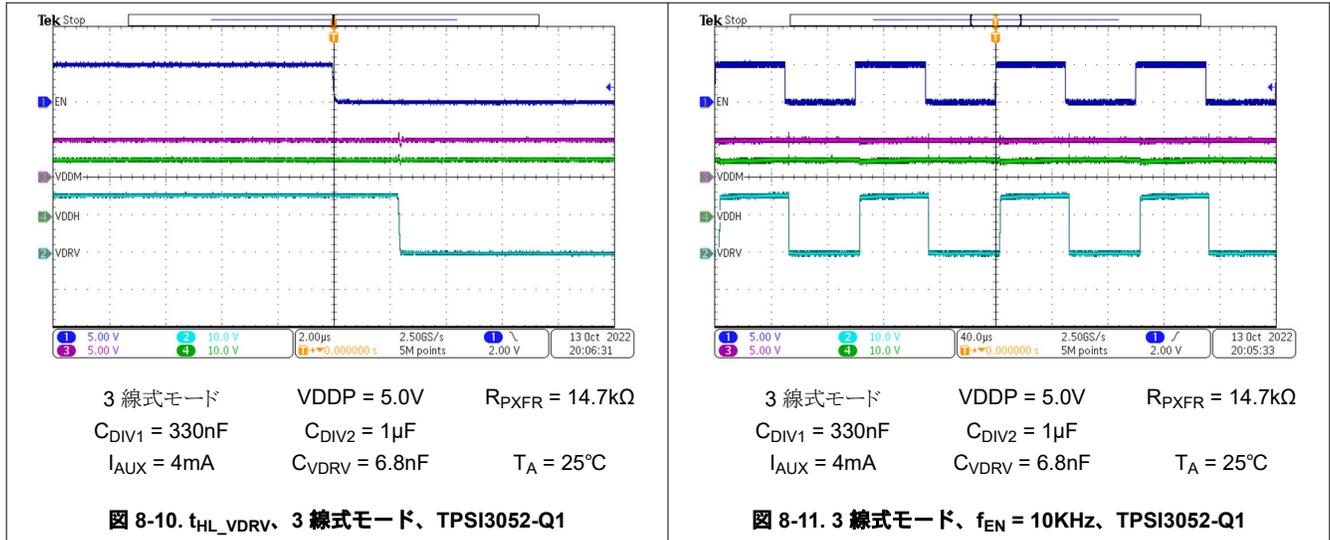
図 8-8. 電源投入時、V_{EN} = V_{VDDP}、3 線式モード、TPSI3052-Q1



3 線式モード VDDP = 5.0V R_{PXFR} = 14.7kΩ
 C_{DIV1} = 330nF C_{DIV2} = 1μF
 I_{AUX} = 4mA C_{VDRV} = 6.8nF T_A = 25°C

図 8-9. t_{LH_VDRV}、3 線式モード、TPSI3052-Q1

8.2.3 アプリケーション曲線 (続き)



8.2.4 絶縁寿命

絶縁寿命予測データは、業界標準の TDDB (Time Dependent Dielectric Breakdown、経時絶縁破壊) テスト手法を使用して収集されます。このテストでは、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、その両側に高電圧を印加します。TDDB テスト構成については、[図 8-12](#) を参照してください。この絶縁破壊データは、動作温度範囲で、さまざまな電圧について 60Hz でスイッチングして収集されます。強化絶縁について、VDE 規格では、100 万分の 1 (ppm) 未満の故障率での TDDB (経時絶縁破壊) 予測曲線の使用が求められています。期待される最小絶縁寿命は、規定の動作絶縁電圧において 20 年ですが、VDE の強化絶縁認証には、動作電圧について 20%、寿命について 87.5% の安全マージンがさらに必要となります。すなわち、規定値よりも 20% 高い動作電圧で、37.5 年の最小絶縁寿命が必要であることとなります。

[図 8-13](#) に、寿命全体にわたって高電圧ストレスに耐えることができる、絶縁バリアの固有能力を示します。この TDDB データによれば、絶縁バリアの固有能力は 1000V_{RMS}、寿命は 1184 年です。

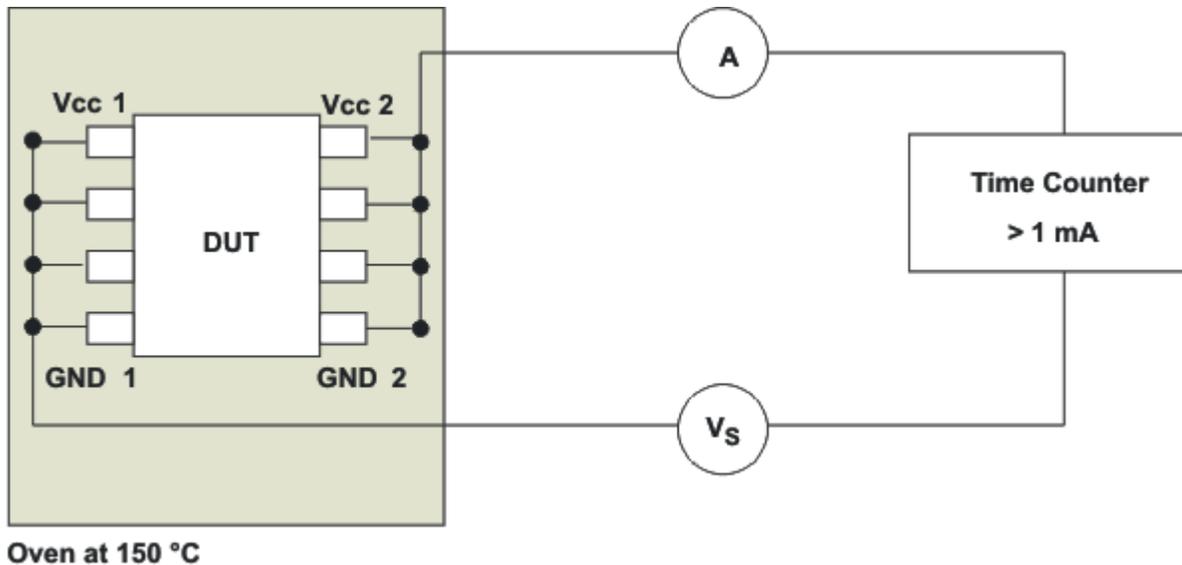


図 8-12. 絶縁寿命測定用のテスト構成

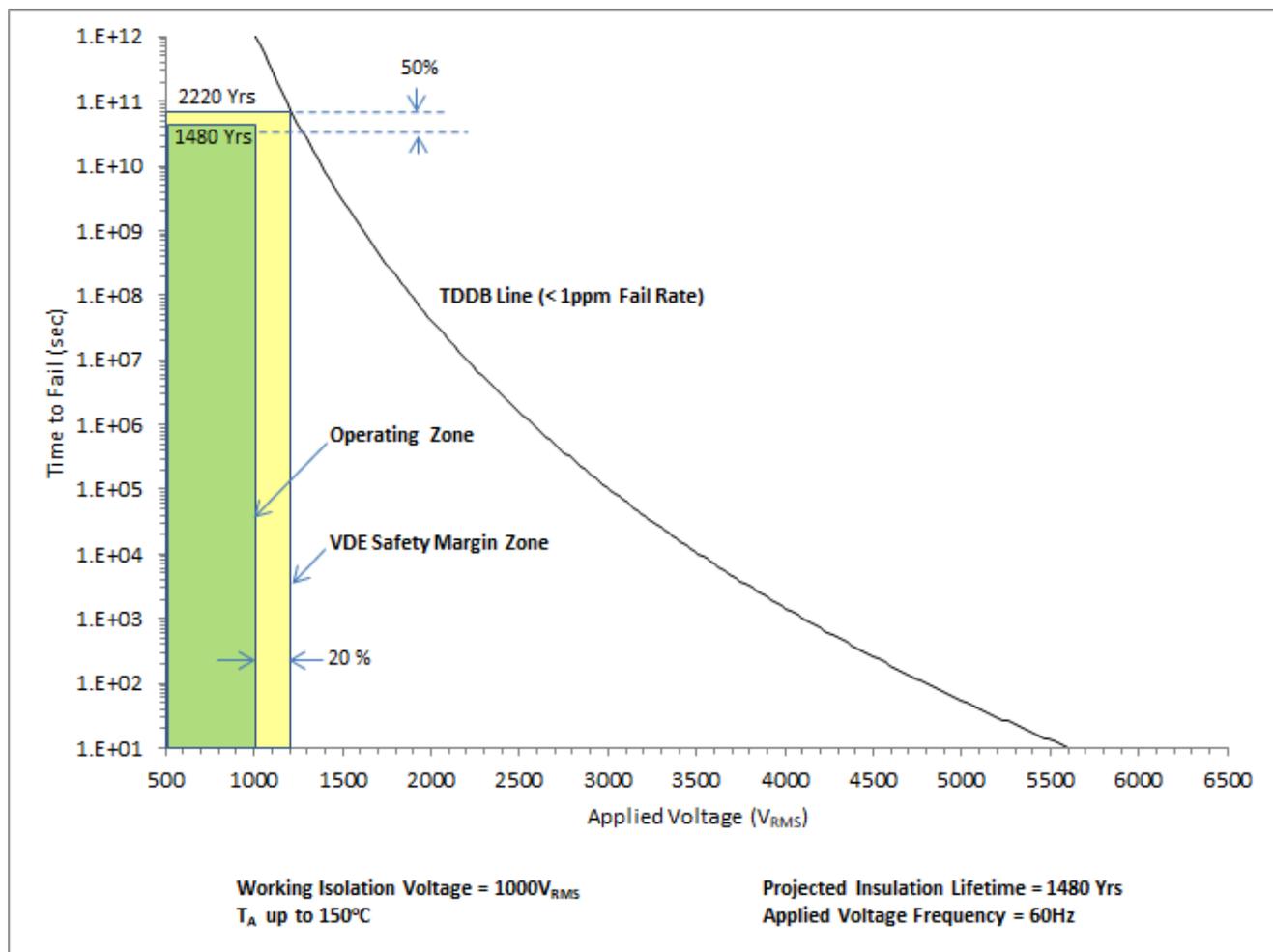


図 8-13. 絶縁寿命予測データ

8.3 電源に関する推奨事項

3 線式モードでは、信頼性の高い電源電圧を確保するため、VDDP から VSSP までの C_{VDDP} 容量を、高周波デカップリング用の 0.1μF バイパス コンデンサと、低周波数デカップリング用の 1μF バイパス コンデンサの並列配置で構成することをお勧めします。

2 線式モードでは、VDDP から VSSP へ配置する C_{VDDP} 容量を、VDDP ピンと VSSP ピンの間にデバイスに近接して接続された 220nF のコンデンサで構成することを推奨します。推奨絶対容量は 220nF である必要があるため、ディレーティングが必要な場合は、より大きな値の部品が必要になります。

低 ESR コンデンサおよび低 ESL コンデンサは、VDDP ピンと VSSP ピンの間にデバイスに近接して接続する必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

設計者が TPSI3052-Q1 の性能を適切に引き出すには、PCB レイアウトに細心の注意を払う必要があります。主なガイドラインは次のとおりです。

- 部品の配置:
 - PCB パターン上のゲート ループの寄生インダクタンスが減少するように、ドライバはパワー半導体のできるだけ近くに配置します。

- 外付けパワー トランジスタをターンオンさせる際のノイズをバイパスし、大きなピーク電流に対応するため、VDDH ピンと VDDM ピンの間と VDDM ピンと VSSS ピンの間に低 ESR かつ低 ESL のコンデンサを本デバイスに近接して接続します。
- 低 ESR かつ低 ESL のコンデンサを、VDDP ピンと VSSP ピンの間に、本デバイスに近接して接続します。
- R_{PXFR} ピンの寄生容量を最小限に抑えます。
- 接地に関する注意事項:
 - トランジスタのゲートを充放電する大きいピーク電流が流れる領域を、最小の物理面積に制限します。これによりループのインダクタンスの減少が制限され、トランジスタのゲート端子のノイズが最小限に抑えられます。ゲートドライバをトランジスタのできるだけ近くに配置します。
 - ドライバ VSSS は、MOSFET ソースまたは IGBT エミッタのケルビン接続に接続します。電源デバイスに分割ケルビンソースまたはエミッタがない場合は、VSSS ピンを電源デバイス パッケージのソースまたはエミッタ端子にできる限り近接して接続し、ゲート ループを大電カススイッチング ループと分離します。
- 高電圧に関する注意事項:
 - 1 次側と 2 次側間の絶縁性能を確保するため、ドライバ デバイスの下には PCB パターンも銅箔も配置しないようにします。絶縁性能を低下させるおそれがある汚染を防止するため、PCB カットアウトや溝を使用することを推奨します。
- 熱に関する検討事項:
 - 適切な PCB レイアウトは、デバイスから PCB に熱を放散し、接合部から基板への熱インピーダンス (θ_{JB}) を最小化するのに役立ちます。
 - システムに複数の層がある場合は、VDDH ピンおよび VSSS ピンを、適切なサイズの複数のビアを経由して内部のグラウンドまたは電源プレーンに接続することも推奨します。熱伝導率を最大化するため、これらのビアは IC ピンの近くに配置する必要があります。ただし、異なる高電圧プレーンからのパターンや銅箔が重ならないように注意してください。

8.4.2 レイアウト例

PCB レイアウトの例を、[図 8-14](#) に示します。この図では、信号と主要なコンポーネントにラベル付けされています。

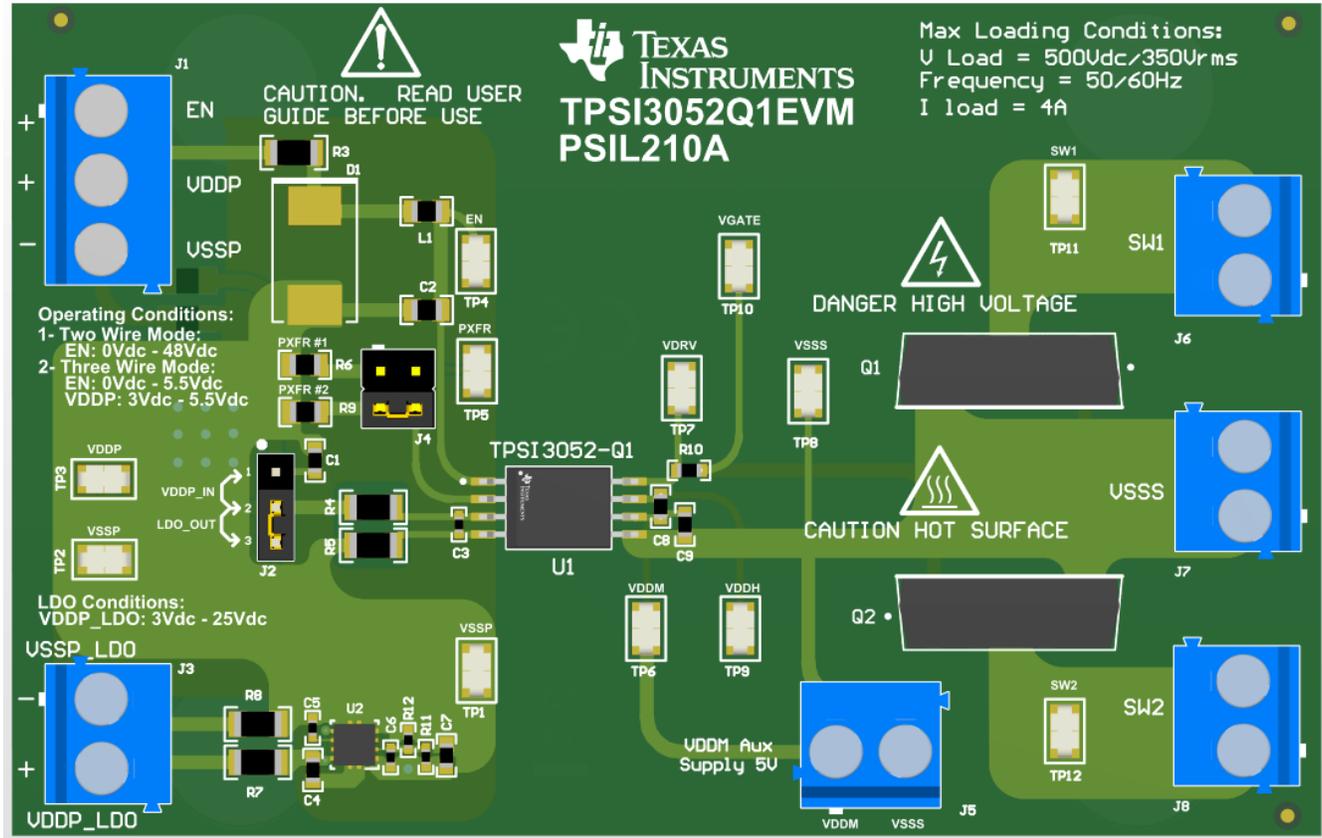


図 8-14. PCB の 3D 図

図 8-15 と図 8-16 に上層と下層のパターンと銅箔を示します。

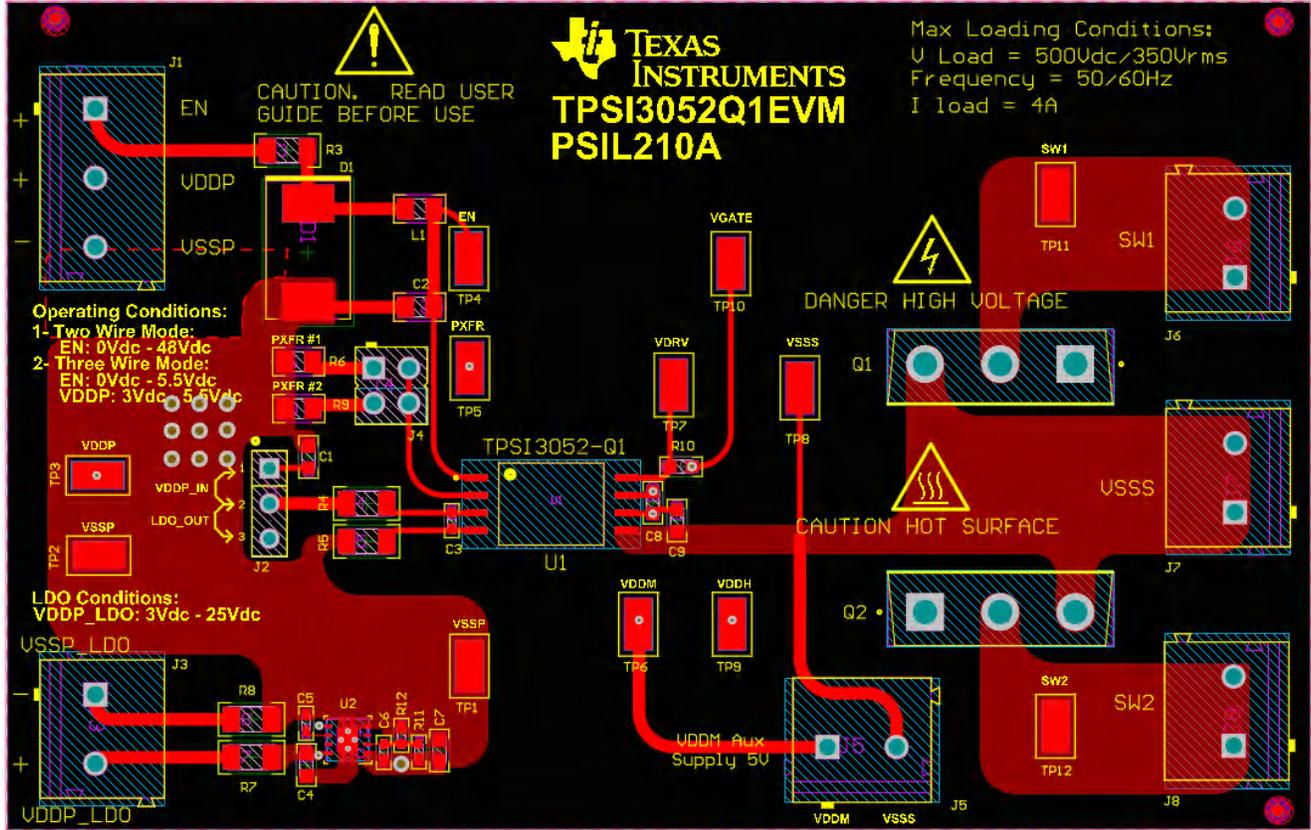


図 8-15. 上層

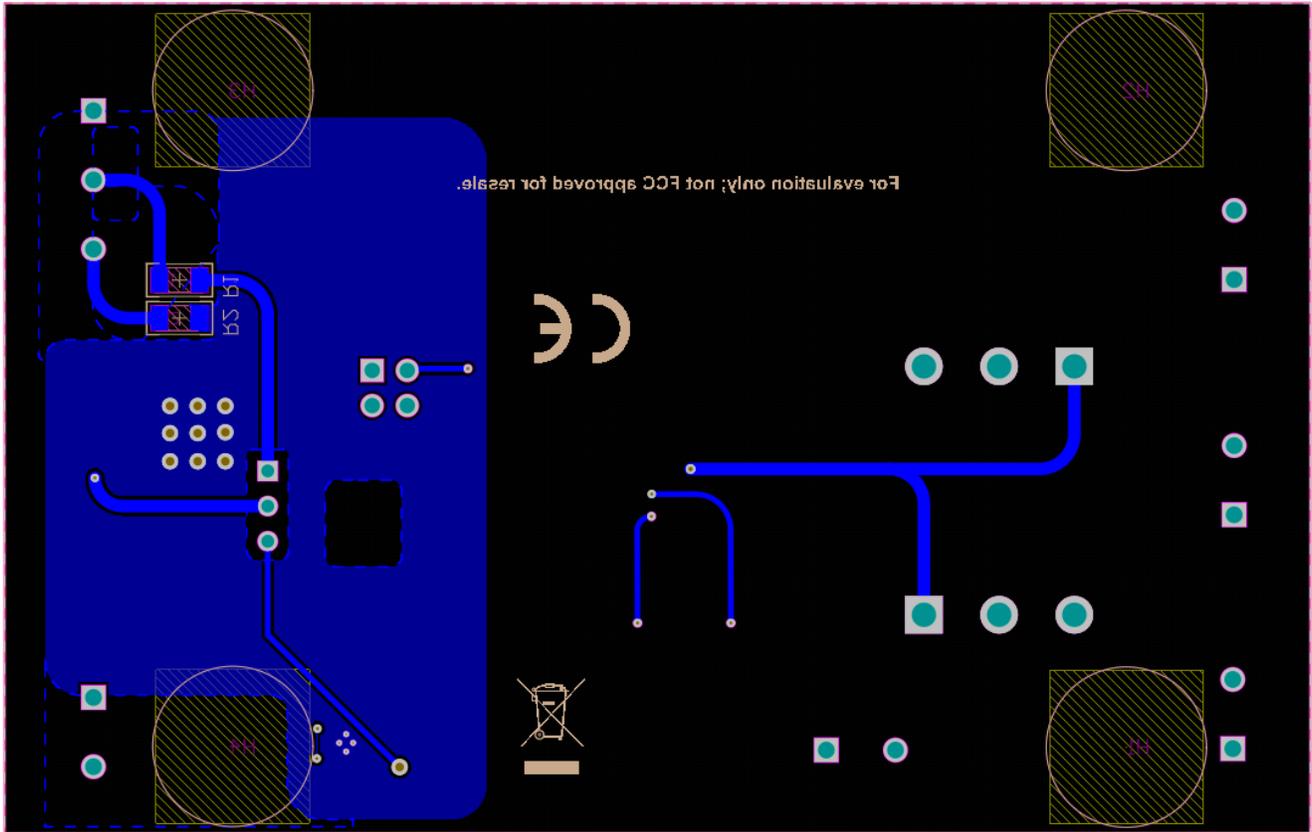


図 8-16. 下層

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (August 2023) to Revision D (February 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「特長」に絶縁寿命データを追加	1

Changes from Revision B (April 2023) to Revision C (August 2023)	Page
• 「安全関連認証」セクションを関連するファイルおよび証明書番号とともに更新.....	4

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPSI3052QDWZRQ1	Active	Production	SO-MOD (DWZ) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	I3052Q1
TPSI3052QDWZRQ1.A	Active	Production	SO-MOD (DWZ) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	I3052Q1
TPSI3052SQDWZRQ1	Active	Production	SO-MOD (DWZ) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	I3052SQ1
TPSI3052SQDWZRQ1.A	Active	Production	SO-MOD (DWZ) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	I3052SQ1

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

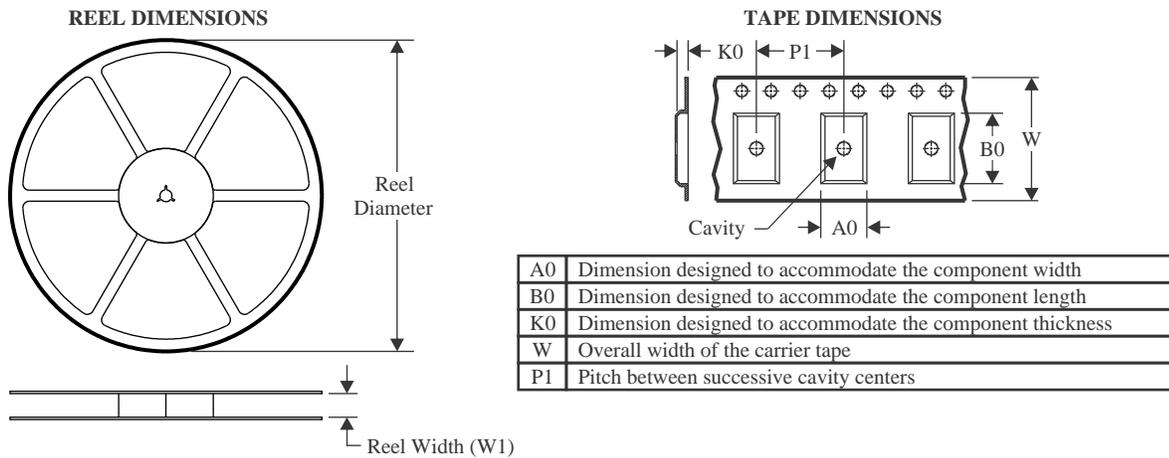
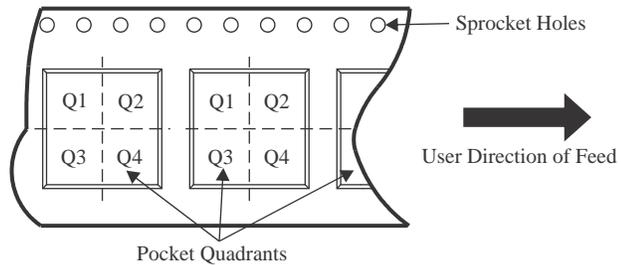
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPSI3052-Q1 :

- Catalog : [TPSI3052](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPSI3052QDWZRQ1	SO-MOD	DWZ	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
TPSI3052SQDWZRQ1	SO-MOD	DWZ	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

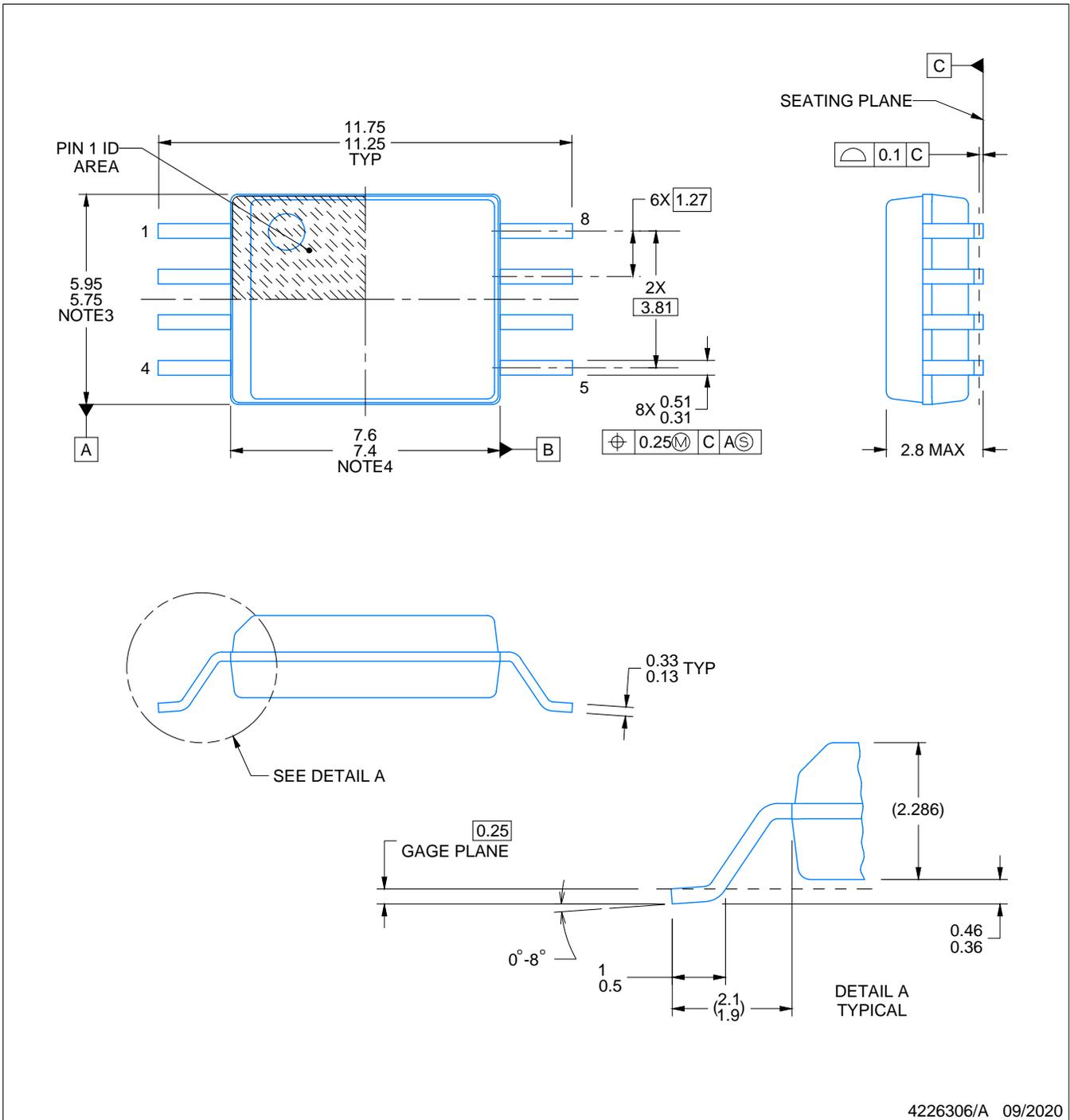
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPSI3052QDWZRQ1	SO-MOD	DWZ	8	1000	350.0	350.0	43.0
TPSI3052SQDWZRQ1	SO-MOD	DWZ	8	1000	350.0	350.0	43.0

PACKAGE OUTLINE

DWZ0008A

SOIC - 2.8 mm max height

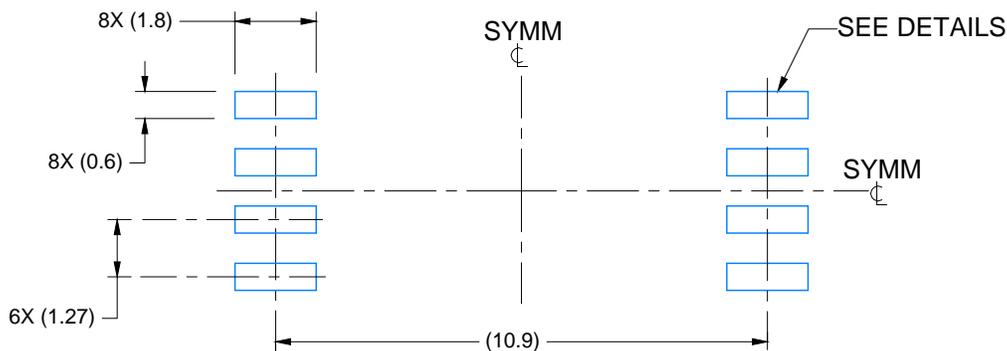
SMALL OUTLINE PACKAGE



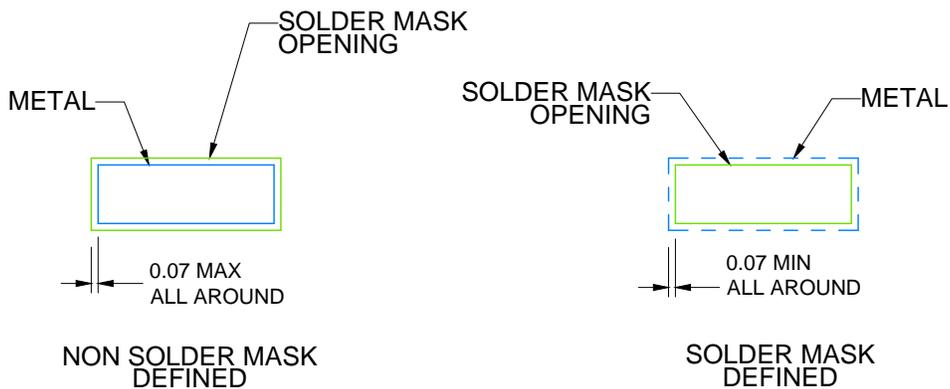
4226306/A 09/2020

NOTES:

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Ref. JEDEC registration MS-013



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE: 6X

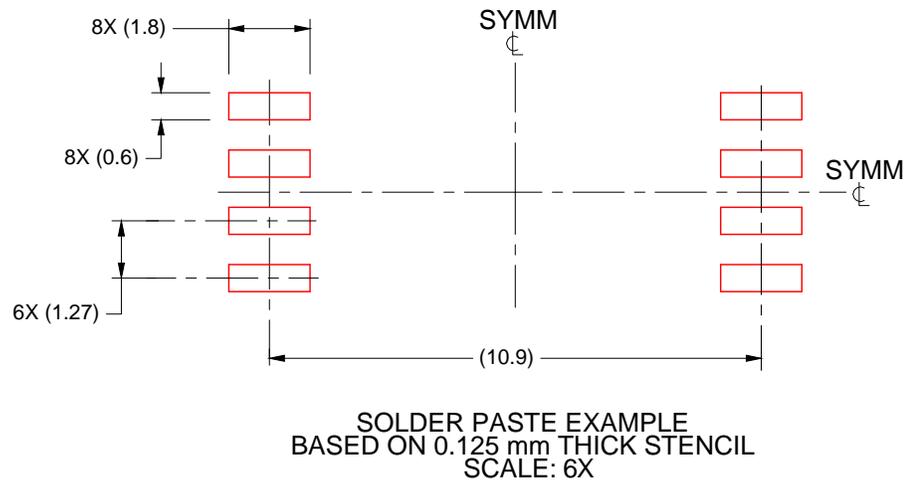


SOLDER MASK DETAILS

4226306/A 09/2020

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



4226306/A 09/2020

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月