

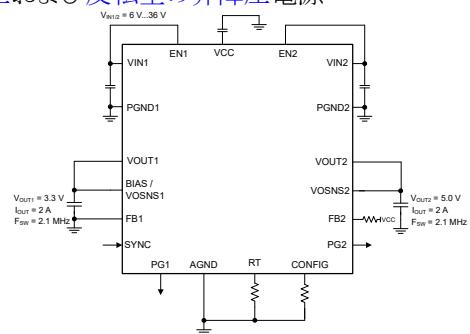
# TPSM6440xx 3V ~ 36V、低 IQ、電力密度と低 EMI に最適化されたデュアル 2A、3A ZEN 2 モジュール

## 1 特長

- 多用途なデュアル出力電圧またはマルチフェーズ単一出力同期整流降圧モジュール
  - MOSFET、インダクタ、コントローラを内蔵
  - 広い入力電圧範囲:3V~36V
  - 出力電圧を 0.8V~16V の範囲で調整可能
  - 6.5mm × 7.0mm × 2mm のオーバーモールドパッケージ
  - 接合部温度範囲:-40°C~125°C
  - 負電圧出力**に対応可能
- 全負荷範囲にわたって極めて高い効率を実現
  - 93.5% 以上のピーク効率
  - 外部バイアスオプションによる効率向上
  - 露出パッドによる熱インピーダンスの低減評価基板  $\theta_{JA} = 20^\circ\text{C}/\text{W}$
  - シャットダウン時静止電流:0.6μA (標準値)
- ZEN 2 スイッチャ**
  - デュアル入力バスと内蔵コンデンサを備えた低ノイズパッケージにより、スイッチのリングングが減少
  - CISPR 11 および 32 Class B の放射規格に準拠
  - HotRod™ パッケージによりスイッチノードリングングを最小化
- スケーラブルな電源に対応した設計
- 堅牢な設計用の本質的な保護機能
  - 高精度のイネーブル入力とオープンドラインの PGOOD インジケータによるシーケンシング、制御、 $V_{IN}$  UVLO
  - 過電流およびサーマルシャットダウン保護機能
- WEBENCH® Power Designer** により、TPSM64406 を使用するカスタム設計を作成

## 2 アプリケーション

- 試験および測定、航空宇宙および防衛
- ファクトリオートメーションおよび制御
- 降圧および反転型の昇降圧電源



代表的な回路図

## 3 説明

TPSM6440xx は、パワー MOSFET、シールド付きインダクタ、受動部品を拡張 HotRod QFN パッケージに実装した高集積 36V 入力対応の DC/DC 設計です。このデバイスは、デュアル出力または大電流の单一出力をサポートし、インターリープされたスタッカブルな電流モード制御アーキテクチャを使用しているためループ補償が簡単で、過渡応答が高速で、優れた負荷およびラインレギュレーションを行います。出力クロックによって正確な電流共有を行い、最大 18A の電流について最大 6 相をサポートできます。このモジュールは、VIN および VOUT ピンをパッケージの角に配置し、入力および出力コンデンサの配置を最適化しています。モジュールの下面には大きなサーマルパッドがあるため、単純なレイアウトが可能で、製造時の扱いも容易です。

ZEN 2 スイッチャ技術を搭載した TPSM6440xx は、EMI を最小限に抑えられるように設計されています。このデバイスは、デュアルランダムスペクトラム拡散機能 (DRSS) と高周波バイパスコンデンサを対称型パッケージに内蔵し、HotRod™ QFN パッケージによってスイッチノードのリングングと放射ノイズを低減します。TPSM6440xx は出力電圧範囲が 1V~16V で、小さな PCB フットプリントで低 EMI の設計を短時間で容易に実装できるよう設計されています。VCC とブートストラップコンデンサを内蔵しているため、必要な外付け部品数もわずか 6 個まで削減できます。このモジュールは、全負荷電流範囲 (FPWM) にわたって一定のスイッチング周波数に設定することも、可変周波数 (PFM) に設定して軽負荷時の効率を高めることもできます。スイッチング周波数は、ノイズの影響を受けやすい周波数帯を避けるため、200kHz~2.2MHz の範囲で同期できます。

## 製品情報

部品番号 (3)	パッケージ (1)	パッケージサイズ (2)
TPSM64406	RCH (QFN-FCMOD, 28)	6.50mm × 7.0mm
TPSM64406E		
TPSM64404		

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージサイズ(長さ × 幅)は公称値であり、該当する場合はピンも含まれます。

(3) 「[デバイス比較表](#)」を参照してください。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール(機械翻訳)を使用していることがあり、TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SLVSHK8](#)

## 目次

<b>1 特長</b>	<b>1</b>	7.4 デバイスの機能モード	<b>29</b>
<b>2 アプリケーション</b>	<b>1</b>	<b>8 アプリケーションと実装</b>	<b>29</b>
<b>3 説明</b>	<b>1</b>	8.1 アプリケーション情報	<b>29</b>
<b>4 デバイス比較表</b>	<b>3</b>	8.2 代表的なアプリケーション	<b>29</b>
<b>5 ピン構成および機能</b>	<b>3</b>	8.3 電源に関する推奨事項	<b>41</b>
<b>6 仕様</b>	<b>7</b>	8.4 レイアウト	<b>41</b>
6.1 絶対最大定格	7	<b>9 デバイスおよびドキュメントのサポート</b>	<b>44</b>
6.2 ESD Ratings	7	9.1 デバイス サポート	<b>44</b>
6.3 推奨動作条件	7	9.2 ドキュメントのサポート	<b>45</b>
6.4 熱に関する情報	8	9.3 ドキュメントの更新通知を受け取る方法	<b>45</b>
6.5 電気的特性	8	9.4 サポート・リソース	<b>45</b>
6.6 システム特性	10	9.5 商標	<b>45</b>
6.7 代表的特性	12	9.6 静電気放電に関する注意事項	<b>45</b>
<b>7 詳細説明</b>	<b>13</b>	9.7 用語集	<b>46</b>
7.1 概要	13	<b>10 改訂履歴</b>	<b>47</b>
7.2 機能ブロック図	14	<b>11 メカニカル、パッケージ、および注文情報</b>	<b>47</b>
7.3 機能説明	15		

## 4 デバイス比較表

デバイス	発注用製品型番	定格出力電流	パッケージ	接合部温度範囲
TPSM64404	TPSM64404RCHR	デュアル 2A/2A またはスタッカブル 4A	RCH (28)	-40°C ~ 125°C
TPSM64406	TPSM64406RCHR	デュアル 3A/3A またはスタッカブル 6A	RCH (28)	-40°C ~ 125°C
TPSM64406E	TPSM64406EXTRCHR	デュアル 3A/3A またはスタッカブル 6A	RCH (28)	-55°C ~ 125°C

## 5 ピン構成および機能

RCH パッケージ、ウェッタブル フランク付きの 28 ピン QFN

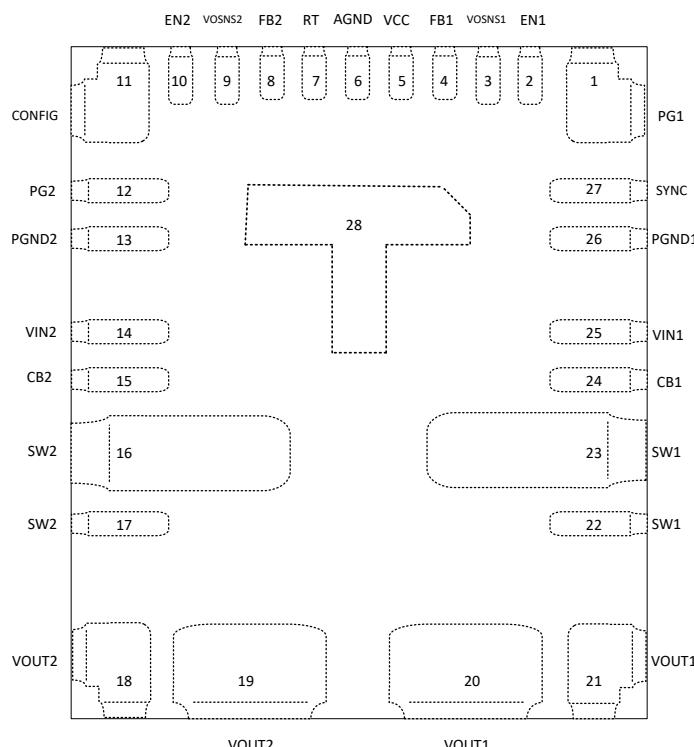


図 5-1. デュアル出力 (上面図)

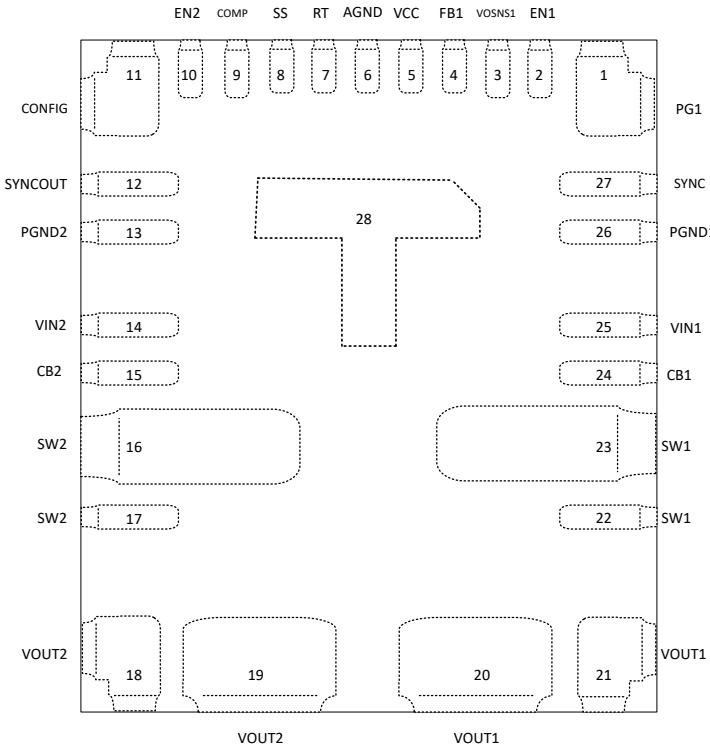


図 5-2. 単一出力 1 次側 (上面図)

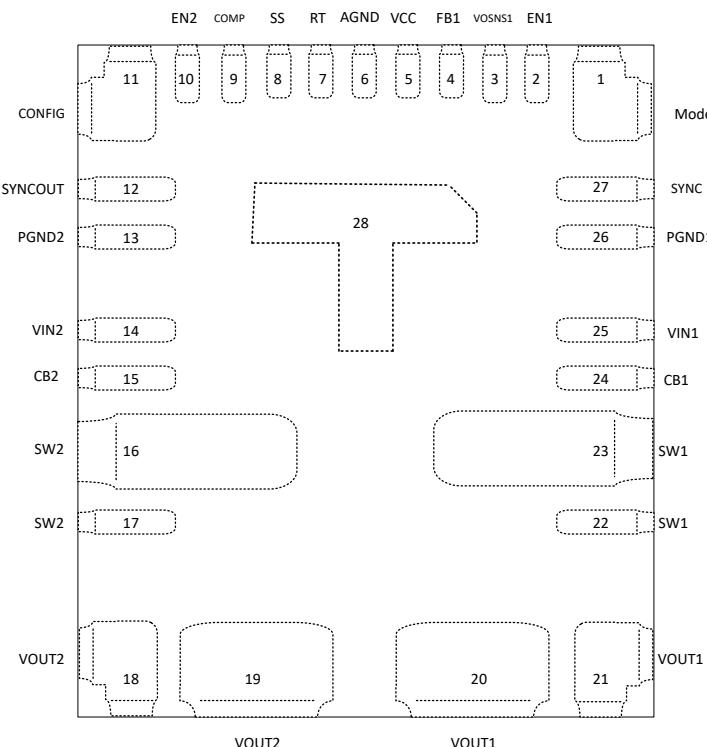


図 5-3. 単一出力 2 次側 (上面図)

**表 5-1. ピンの機能**

ピン			タイプ <sup>(1)</sup>	説明				
番号	名称							
	デュアル出力	単一出力						
14	VIN2	VIN2	I	レギュレータへの入力電源。このピンと PGND との間に高品質のバイパスコンデンサを接続します。VIN1 と低インピーダンスで接続する必要があります。				
15	BOOT2	BOOT2	I/O	チャネル 2 ハイサイドドライバの上側電源レール。SW2 と BOOT2 の間に、内部 100nF コンデンサを接続します。SW2 が Low の間は、内部ダイオードによってコンデンサが充電されます。機械的接続、設計で NC として使用します。				
16、17	SW2	SW2	P	ハイサイド NMOS 降圧スイッチのソースおよびローサイド NMOS 同期整流器のドレインに内部接続されているチャネル 2 スイッチングノード。機械的接続、設計で NC として使用します。				
22、23	SW1	SW1	P	ハイサイド NMOS 降圧スイッチのソースおよびローサイド NMOS 同期整流器のドレインに内部接続されているチャネル 1 スイッチングノード。機械的接続、設計で NC として使用します。				
24	BOOT1	BOOT1	I/O	チャネル 1 ハイサイドドライバの上側電源レール。SW1 と BOOT1 の間に、内部 100nF を接続します。SW1 が Low の間は、内部ダイオードによってコンデンサが充電されます。機械的接続、設計で NC として使用します。				
25	VIN1	VIN1	I	レギュレータへの入力電源。このピンと PGND との間に高品質のバイパスコンデンサを接続します。VIN2 と低インピーダンスで接続する必要があります。				
27	SYNC	SYNC	I	マルチファンクションピン。SYNC には、強制パルス幅変調 (FPWM) モードまたはダイオード エミュレーション モードを選択します。SYNC を AGND に接続すると、ダイオード エミュレーション モードはイネーブルになります。SYNC を VCC に接続すると、TPSM6440xx は軽負荷時に連続導通して FPWM モードで動作します。SYNC を同期入力として使用して、内部発振器を外部クロックに同期することができます。単一出力構成で 2 次側デバイスとして使用する場合、クロックタイミングとして SYNC ピンを 1 次側の SYNC_OUT に接続します。				
1	PG1	モード	O	デュアル機能ピン。デュアル出力および単一出力の 1 次構成で、VOSNS1 が指定されたレギュレーション ウィンドウの範囲外にある場合に Low に遷移するオープンドレイン出力。単一出力 2 次側モード構成では、これは mode ピンとして動作し、強制 PWM (FPWM) モードとダイオード エミュレーション モード (DEM) を選択できます。単一出力 2 次側 MODE を単一出力の 1 次側の SYNC ピンに接続し、それらを同じ動作モードにします。FPWM モードの場合は、MODE と VCC の間に 10kΩ の抵抗を接続します。DEM の場合は、グランドに接続します。				
2	EN1	EN1	I	アクティブ High 入力 TPSM6440xx ( $V_{OH} > 1.375V$ ) により、デュアル出力動作で出力 1 が有効になります。単一出力動作では、アクティブ High 入力により、システムのすべての位相が有効になります。無効のとき、TPSM6440xx はシャットダウン モードになります。EN1 はオープン状態にしないでください。				
3	BIAS および VOSNS1	BIAS および VOSNS1	I	出力電圧検出と内部電圧レギュレータへの入力。インダクタの非スイッチング側に接続します。最高の性能を得るには、このピンと AGND の間にオプションで高品質の 0.1μF コンデンサを接続します。				
4	FB1	FB1	I	デュアル出力動作で TPSM6440xx のチャネル 1 への帰還入力と、単一出力動作ですべてのチャネルへの帰還入力。5V 出力の場合は 10kΩ 抵抗を介して FB1 を VCC に接続し、3.3V 出力の場合は FB1 を AGND に接続します。インダクタの非スイッチング側から FB1 までの抵抗デバイダにより、出力電圧レベルは 0.8V ~ 20V に設定されます。FB1 のレギュレーション スレッショルドは 0.8V です。出力電圧が低い場合、抵抗デバイダの上側に少なくとも 10kΩ を使用します。				
5	VCC	VCC	O	内部電圧レギュレータ出力。内部制御回路への電源として使用されます。いずれの外部負荷にも接続しないでください。このピンと AGND との間に高品質の 1μF コンデンサを接続します。				
6	AGND	AGND	G	アナログ グラント接続。内部電圧リファレンスとアナログ回路のグラントの帰線。				
7	RT	RT	I	周波数プログラミング ピン。RT と AGND の間に抵抗を配置することにより、発振器の周波数は 100kHz ~ 2.2MHz の範囲に設定されます。				
8	FB2	SS	I	デュアル機能ピン。デュアル出力動作では、このピンは FB2 として機能し、TPSM6440xx のチャネル 2 への帰還入力として機能します。5V 出力の場合は 10kΩ 抵抗を介して FB2 を VCC に接続し、3.3V 出力の場合は FB2 を AGND に接続します。インダクタの非スイッチング側から FB2 までの抵抗デバイダにより、出力電圧レベルは 0.8V ~ 20V に設定されます。出力電圧が低い場合、抵抗デバイダの上側に少なくとも 10kΩ を使用します。単一出力モードでは、このピンは SS として機能します。出力の外部ソフトスタートを行うには、SS と AGND の間に外部コンデンサを配置する必要があります。デバイス間のフルオルト通信のため、1 次側と 2 次側の SS ピンを接続します。				

表 5-1. ピンの機能 (続き)

ピン			タイプ <sup>(1)</sup>	説明				
番号	名称							
	デュアル出力	単一出力						
9	VOSNS2	COMP	I	デュアル機能ピン。デュアル出力動作では、このピンは固定 3.3V および 5V、ならびに可変出力条件の VOSNS2 として機能します。単一出力動作では、このピンは内部エラー アンプ出力となります。				
10	EN2	EN2	I	アクティブ High 入力( $V_{OH} > 1.375V$ ) により、デュアル出力動作で出力 2 が有効になります。単一出力モードの場合、すべての TPSM6440xx の EN2 を互いに接続する必要があります。アクティブ High 入力により、システムのすべての 2 次側位相が有効になります。無効の場合、1 次側 TPSM6440xx で 1 つのチャネルのみがアクティブで、残りの位相はすべてシャットダウン モードとなります。EN2 はオープン状態にしないでください。				
11	CONFIG	CONFIG	I	単一出力またはデュアル出力の選択。特定の抵抗値をピンに接続して (表 7-1 を参照)、位相数、1 次側、2 次側、ディザー オプションを選択します。				
12	PG2	SYNC_OUT	O	デュアル機能ピン。デュアル出力動作では、このピンは PG2 として動作し、VOSNS2 が指定されたレギュレーション ウィンドウの範囲外にある場合に Low に遷移するオープンドレイン出力です。単一出力モードでは、このピンは SYNC_OUT として機能し、1 次側から 2 次側にクロック情報を提供します。				
18, 19	VOUT2	VOUT	O	モジュールの出力。このピンと PGND との間に高品質のバイパス コンデンサを接続します。				
20, 21	VOUT1	VOUT	O	モジュールの出力。このピンと PGND との間に高品質のバイパス コンデンサを接続します。				
13.26	PGND	PGND	G	内部ローサイド MOSFET の電源グランド。システム グランドに接続。PGND1, PGND3, PGND4 と低インピーダンスで接続する必要があります。このピンと VIN2 との間に高品質のバイパス コンデンサを接続します。				
28	PGND	PGND	G	電源グランドとヒートシンクの接続。システム グランド プレーンに直接半田付けします。PGND ピンと低インピーダンスで接続する必要があります。				

(1) I = 入力、O = 出力、P = 電源、G = グランド

## 6 仕様

### 6.1 絶対最大定格

動作時接合部温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
ピン電圧	VIN1、VIN2 (過渡)	-0.3	42	V
ピン電圧	SW1、SW2 (過渡 10ns 未満)	-6	42	V
ピン電圧	SW1、SW2 (過渡)	-0.3	42	V
ピン電圧	BOOT1 - SW1、BOOT2 - SW2	-0.3	5.5	V
ピン電圧	EN1、EN2	-0.3	42	V
ピン電圧	PG1、SYNC_OUT/PG2	-0.3	20	V
ピン電圧	SYNC/MODE、FB1、FB2/SS、CONFIG	-0.3	5.5	V
ピン電圧	BIAS/VOSNS1、COMP/VOSNS2	-0.3	22	V
ピン電圧	RT、VCC	-0.3	5.5	V
ピン電圧	PGND1/2/3/4 電圧差動	-1	2	V
シンク電流	PG1、PG2		10	mA
T <sub>J</sub>	動作時接合部温度 TPSM64406E	-55	150	°C
T <sub>J</sub>	動作時接合部温度 TPSM64406/TPSM64404	-40	150	°C
T <sub>stg</sub>	保存温度	-55	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しなくなる可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

### 6.2 ESD Ratings

V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	値	単位
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	±750	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。  
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 6.3 推奨動作条件

動作時接合部温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V <sub>VOSNS1/2</sub>	出力電圧範囲	0.8	16	16	V
V <sub>IN1/2</sub>	入力電源電圧範囲	VIN1、VIN2	3	36	V
	ピン電圧	SW1、SW2	0	36	V
	ピン電圧	BOOT1、BOOT2	0	VIN + 3.3	V
	ピン電圧	BOOT1 - SW1、BOOT2 - SW2	0	3.3	V
	ピン電圧	VCC	0	3.3	V
F <sub>SW</sub>	周波数	スイッチング周波数範囲	300	2200	kHz
I <sub>OUT1/2</sub>	出力電流範囲		0	3	A
T <sub>A</sub>	周囲温度 TPSM64406E	動作時周囲温度	-55	125	°C
T <sub>A</sub>	周囲温度 TPSM64404/TPSM64406	動作時周囲温度	-40	125	°C
T <sub>J</sub>	動作時接合部温度		-40	125	°C

## 6.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		TPSM6440X	単位
		RCH	
		28 ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗 (TPSM64406 評価基板)	20	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	5.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションノートを参照してください。

## 6.5 電気的特性

T<sub>J</sub> = -40°C ~ 125°C。標準値は T<sub>J</sub> = 25°C および V<sub>IN</sub> = 13.5V のときに測定 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
<b>電源</b>						
I <sub>Q(VIN-ST5p0)</sub>	VIN 静止電流、單一出力モード	非スイッチング、V <sub>EN</sub> = 2V、V <sub>BIAS</sub> = V <sub>VOSNS1</sub> = 5V + 10%、T <sub>J</sub> = 125°C	25	45	μA	
I <sub>Q(VIN-ST3p3)</sub>	VIN 静止電流、單一出力モード	非スイッチング、V <sub>EN</sub> = 2V、V <sub>BIAS</sub> = V <sub>VOSNS1</sub> = 3.3V + 10%、T <sub>J</sub> = 125°C	15	35	μA	
I <sub>Q(VIN-DT3p3)</sub>	VIN 静止電流、デュアル出力モード、BIAS = 3.3V	非スイッチング、V <sub>EN</sub> = 2V、V <sub>BIAS</sub> = V <sub>VOSNS1</sub> = 3.3V + 10%、V <sub>VOSNS2</sub> = 5V + 10%、T <sub>J</sub> = 125°C	9	18	μA	
I <sub>SD(VIN)</sub>	VIN のシャットダウン時消費電流	V <sub>EN</sub> = 0V	1	8	μA	
<b>UVLO</b>						
V <sub>IN_UVLO(R)</sub>	VIN UVLO 立ち上がりスレッショルド	V <sub>IN</sub> 立ち上がり	3.5	3.80	V	
V <sub>IN_UVLO(F)</sub>	VIN UVLO 立ち下がりスレッショルド	V <sub>IN</sub> 立ち下がり	2.55	3	V	
V <sub>IN_UVLO(H)</sub>	VIN UVLO ヒステリシス		0.735	0.95	1.25	V
<b>イネーブル</b>						
V <sub>EN(R)</sub>	EN1/2 電圧立ち上がりスレッショルド	EN1/2 立ち上がり、スイッチング イネーブル	1.125	1.25	1.375	V
V <sub>EN(F)</sub>	EN1/2 電圧立ち下がりスレッショルド	EN1/2 立ち下がり、スイッチング ディスエーブル	0.8	0.9	1.0	V
V <sub>EN(H)</sub>	EN1/2 電圧ヒステリシス		0.25	0.325	0.55	V
V <sub>EN(W)</sub>	EN1/2 電圧ウェークアップ スレッショルド		0.4			V
I <sub>EN</sub>	EN1/2 ピンのソース電流ポスト EN の立ち上がりスレッショルド	V <sub>EN1/2</sub> = V <sub>IN</sub> = 13.5V	0.6	400	nA	
<b>内部 LDO</b>						
V <sub>VCC</sub>	内部 LDO 出力電圧	V <sub>BIAS</sub> ≥ 3.4V、I <sub>VCC</sub> ≤ 100mA	2.7	3.1	3.7	V
I <sub>VCC</sub>	内部 LDO 短絡電流制限	V <sub>IN</sub> = 13.5V	100	377	880	mA
V <sub>VCC(UVLO-R)</sub>	スタートアップの VCC UVLO 立ち上がりスレッショルド		3.3	3.5	3.75	V
V <sub>VCC(UVLO-F)</sub>	シャットダウンの VCC UVLO 立ち下がりスレッショルド		2.3	2.5	2.7	V
<b>基準電圧</b>						
V <sub>FB1/2</sub>	可変出力構成でのデュアル出力帰還電圧		788	800	812	mV
V <sub>FB1_so</sub>	可変出力構成での単一出力モード FB 電圧		788	800	812	mV
I <sub>FB1/2(LKG)</sub>	デュアル出力構成での FB 入力リーク電流	V <sub>FB1/2</sub> = 0.8V	10	250	nA	
I <sub>FB1_so(LKG)</sub>	単一出力構成での FB 入力リーク電流	V <sub>FB</sub> = 0.8V	2	250	nA	
FB <sub>Sel-5v0</sub>	固定 5.0V 設定の電圧スレッショルド		VCC-0.5			V
FB <sub>Sel-3v0</sub>	固定 3.3V 設定の抵抗		300			Ω
FB <sub>Sel-ext</sub>	可変出力電圧を選択するための外部 FB 分圧器オプションの最小テクナン等価抵抗。		4			kΩ
<b>エラー アンプ</b>						
g <sub>m-S1</sub>	EA 相互コンダクタンス - 単一出力モード	V <sub>FB1</sub> = V <sub>COMP</sub>	625	888	1300	μs
I <sub>COMP(src)</sub>	EA ソース電流 - 単一出力モード	V <sub>COMP</sub> = 1V、V <sub>FB1</sub> = 0.4V	92.5	200	400	μA

$T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$ 。標準値は  $T_J = 25^\circ\text{C}$  および  $V_{IN} = 13.5\text{V}$  のときに測定 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{COMP(sink)}$	EA シンク電流 - 単一出力モード	$V_{COMP} = 1\text{V}, V_{FB1} = 1.2\text{V}$	94.5	200	500	$\mu\text{A}$
<b>スイッチング周波数</b>						
$f_{SW1(FCCM)}$	スイッチング周波数、FCCM 動作	$R_{RT} = 7.15\text{k}\Omega$ から AGND へ	1.9	2.1	2.3	MHz
$f_{SW2(FCCM)}$	スイッチング周波数、FCCM 動作	$R_{RT} = 39.2\text{k}\Omega$ から AGND へ	360	400	450	KHz
$f_{ADJ(FCCM)}$	可変スイッチング周波数範囲	$6.81\text{k}\Omega \sim 158\text{k}\Omega$ から AGND への $R_{RT}$ 抵抗	0.1	2.2	2.2	MHz
$f_{SS(int)}$	スペクトラム拡散スイッチング周波数範囲	$R_{RT} = 7.15\text{k}\Omega, R_{CONFIG} = 73.2\text{k}\Omega$		10%		
<b>同期</b>						
$V_{IH(sync)}$	SYNCIN の High レベル スレッショルド		1.35	1.6		V
$V_{IL(sync)}$	SYNCIN の Low レベル スレッショルド		0.65	0.95		V
$V_{OH(sync)}$	同期高出力電圧 (最小値)	10mA 負荷	1.6	2.6		V
$V_{OL(sync)}$	同期低出力電圧 (最大値)	10mA 負荷	0.34	0.68		V
$f_{SYNC-2p1}$	2.1MHz 付近の周波数同期範囲	$R_{RT} = 7.15\text{k}\Omega$ から AGND へ	1.7	2.1	2.4	MHz
$f_{SYNC-0p4}$	400kHz 付近の周波数同期範囲	$R_{RT} = 39.2\text{k}\Omega$ から AGND へ	320	400	480	KHz
$t_{SYNC(min)}$	$V_{IH(sync)}$ を上回る外部同期信号の最小パルス幅		100			ns
$t_{SYNC(max)}$	$V_{IL(sync)}$ を下回る外部同期信号の最小幅		100			ns
$t_{SYNC-SW(delay)}$	SYNC の立ち上がりエッジから SW の立ち上がりエッジまでの遅延 - 単一出力モード - 2 次側		90	130		ns
<b>スタートアップ</b>						
$t_{SS(R)}$	内部固定ソフトスタート時間 — デュアル出力モード	$V_{VOSNS1/2} = 0\%$ (最初の SW パルス) から $V_{VOSNS1/2} = 90\%$ まで	2.7	4.5	7	ms
$t_{SS_Lockout(R)}$	出力がレギュレーション状態でない場合に最初の SW1/2 パルスから FPWM モードが有効になるまでの時間 - デュアル出力モード		7	13	32	ms
$I_{SS(R)}$	ソフトスタート充電電流 — 単一出力モード	$V_{SS} = 0\text{V}$	15	20	25	$\mu\text{A}$
$R_{SS(F)}$	ソフトスタート放電抵抗 — 単一出力モード		10	27		$\Omega$
$t_{EN}$	EN1 (单一出力モード) または EN1/EN2 (デュアル出力モードのどちらか早い方) HIGH からスイッチング開始までの遅延		687	900		$\mu\text{s}$
<b>電力段</b>						
$R_{DSON(HS)}$	ハイサイド MOSFET オン抵抗	$V_{BOOT-SW} = 3.3\text{V}, I_{OUT} = 1\text{A}$	37	75		$\text{m}\Omega$
$R_{DSON(LS)}$	ローサイド MOSFET オン抵抗	$V_{VCC} = 3.3\text{V}, I_{OUT} = 1\text{A}$	23.9	50		$\text{m}\Omega$
$t_{ON(min)}$	最小 ON パルス幅	$V_{IN} = 20\text{V}, I_{OUT} = 2\text{A}$	40	62		ns
$t_{ON(max)}$	最大 ON パルス幅 (デュアル出力、单一出力 1 次側)	$R_{RT} = 7.15\text{k}\Omega$	5	8	12	$\mu\text{s}$
$t_{ON(max)}$	最大 ON パルス幅 (单一出力 2 次側)	$R_{RT} = 7.15\text{k}\Omega$		16	25	$\mu\text{s}$
$t_{OFF(min)}$	最小 OFF パルス幅	$V_{IN} = 4\text{V}$	70	110		ns
<b>過電流保護</b>						
$I_{HS(OC1)}$	ハイサイド ピーク電流制限 TPSM64404	デューティサイクルが 0% に近づいた場合の HS FET のピーク電流制限	4.76			A
$I_{HS(OC2)}$	ハイサイド ピーク電流制限 TPSM64406	デューティサイクルが 0% に近づいた場合の HS FET のピーク電流制限	4.6	5.5	6.8	A
$I_{LS(OC1)}$	ローサイド バレー電流制限 TPSM64404	LS FET のバレー電流制限	3.2			A
$I_{LS(OC2)}$	ローサイド バレー電流制限 TPSM64406	LS FET のバレー電流制限	2.8	3.7	4.5	A
$I_{LS2(NOC)}$	上限側負の電流制限 TPSM64406	LS FET のシンク電流制限	2	2.8	3.6	A
$I_{LP-EAK1(min-0)}$	最小デューティサイクルでの最小ピークインダクタ電流 TPSM64404	$V_{VCC} = 3.3\text{V}, t_{pulse} \leq 100\text{ns}$	0.71			A
$I_{LP-EAK1(min-100)}$	最大デューティサイクルでの最小ピークインダクタ電流 TPSM64404	$V_{VCC} = 3.3\text{V}, t_{pulse} \geq 1\mu\text{s}$	0.19			A

$T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$ 。標準値は  $T_J = 25^\circ\text{C}$  および  $V_{IN} = 13.5\text{V}$  のときに測定 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{LPEAK2(min-0)}$	最小デューティ サイクルでの最小ピーク インダクタ電流 TPSM64406	$V_{VCC} = 3.3\text{V}, t_{pulse} \leq 100\text{ns}$	0.5	0.79	1.1	A
$I_{LPEAK2(min-100)}$	最大デューティ サイクルでの最小ピーク インダクタ電流 TPSM64406	$V_{VCC} = 3.3\text{V}, t_{pulse} \geq 1\mu\text{s}$	0.25	0.3	0.35	A
$V_{Hiccup-FB}$	FB ピンのヒップ スレッショルド - デュアル出力モード、可変出力オプション	HS FET オン時間 > 165ns	0.25	0.3	0.35	V
$t_{Hiccup-1}$	ヒップに移行するまでの待機時間 - 単一出力モードおよびデュアル出力モード		126	128	130	電流制限サイクル
$t_{Hiccup-2}$	再スタート前のヒップ時間		50	88		ms
<b>パワー グッド</b>						
$V_{PGTH-1}$	パワーグッド スレッショルド (PG1/2)	PGOOD Low, $V_{VOSNS1/2}$ 立ち上がり	93%	95%	97%	
$V_{PGTH-2}$	パワーグッド スレッショルド (PG1/2)	PGOOD High, $V_{VOSNS1/2}$ 立ち下がり	92%	94%	96%	
$V_{PGTH-3}$	パワーグッド スレッショルド (PG1/2)	PGOOD High, $V_{VOSNS1/2}$ 立ち上がり	105%	107%	110%	
$V_{PGTH-4}$	パワーグッド スレッショルド (PG1/2)	PGOOD Low, $V_{VOSNS1/2}$ 立ち下がり	104%	106%	109%	
$t_{PGOOD(R)}$	スタートアップ時の $V_{VOSNS1/2}$ 有効から PGOOD High までの PG1/2 遅延	$V_{VOSNS1/2} = 3.3\text{V}$	1.5	2.1	3	ms
$t_{PGOOD(F)}$	$V_{VOSNS1/2}$ 無効から PGOOD Low までの PG1/2 遅延	$V_{VOSNS1/2} = 3.3\text{V}$	25	40	70	μs
$I_{PG(LKG)}$	オープン ドレイン出力が High の時の PG1/2 ピンのリーケ電流	$V_{PG} = 3.3\text{V}$			0.075	μA
$V_{PG-D(LOW)}$	両方のチャネルに PG ピンが Low レベル電圧を出力します	$I_{PG} = 1\text{mA}, V_{EN} = 0\text{V}$			400	mV
$R_{PG-1}$	ブルダウン MOSFET 抵抗	$I_{PG} = 1\text{mA}, V_{EN} = 3.3\text{V}$	30	90		Ω
$V_{IN(PG\_VALID)}$	有効な PG 出力の最小 VIN	$PG - R_{PG} = 10\text{k}\Omega$ のブルアップ抵抗、 $PG - V_{PULLUP\_PG} = 3\text{V}$ の電圧ブルアップ、 $V_{PG-D(LOW)} = 0.4\text{V}$	0.45	1.2		V
<b>サーマル シャットダウン</b>						
$T_{J(SD)}$	サーマル シャットダウンのスレッショルド (1)	温度上昇	160	170	180	°C
$T_{J(HYS)}$	サーマル シャットダウン ヒステリシス (1)				10	°C

(1) 設計により規定されています。

## 6.6 システム特性

以下の仕様は、標準的なアプリケーション回路にのみ適用され、コンポーネントの公称値が設定されています。「代表値 (TYP)」列の仕様は、 $T_J = 25^\circ\text{C}$  にのみ適用されます。 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$  の温度範囲での標準的な部品の場合、最小 (MIN) および最大 (MAX) 列の仕様が適用されます。これらの仕様は、製造試験では保証されていません。

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>出力電圧</b>						
	$V_{OUT1}$ (3.3V) での負荷およびライン レギュレーション - 単一出力およびデュアル出力モード	$V_{BIAS/VOSNS1} = 3.3\text{V}, V_{VOSNS2} = 5\text{V}$ (デュアル出力モード)、 $V_{IN} = 3.8\text{V} \sim 36\text{V}, I_{OUT} = 0\text{A} \sim$ 全負荷、FPWM モード	5			mV
	$V_{OUT1}$ (5V) での負荷およびライン レギュレーション - 単一出力およびデュアル出力モード	$V_{BIAS/VOSNS1} = 5\text{V}, V_{VOSNS2} = 3.3\text{V}$ (デュアル出力モード)、 $V_{IN} = 6\text{V} \sim 36\text{V}, I_{OUT} = 0\text{A} \sim$ 全負荷、FPWM モード	5			mV
	$V_{OUT1}$ (3.3V) での負荷およびライン レギュレーション - 単一出力およびデュアル出力モード	$V_{BIAS/VOSNS1} = 3.3\text{V}, V_{VOSNS2} = 5\text{V}$ (デュアル出力モード)、 $V_{IN} = 3.8\text{V} \sim 36\text{V}, I_{OUT} = 0\text{A} \sim$ 全負荷、PFM モード	60			mV
	$V_{OUT1}$ (5V) での負荷およびライン レギュレーション - 単一出力およびデュアル出力モード	$V_{BIAS/VOSNS1} = 5\text{V}, V_{VOSNS2} = 3.3\text{V}$ (デュアル出力モード)、 $V_{IN} = 6\text{V} \sim 36\text{V}, I_{OUT} = 0\text{A} \sim$ 全負荷に対応、PFM モード	70			mV
$D_{MAX(fb)}$	最大スイッチ デューティ サイクル	$V_{IN} = 3.3\text{V}, V_{VOSNS1} = 3.3\text{V}, I_{OUT} = 2\text{A}$ 、周波数 フォールドバック		99%		
$D_{MAX}$	最大スイッチ デューティ サイクル	$V_{IN} = 6\text{V}, V_{VOSNS1} = 5\text{V}, I_{OUT} = 2\text{A}, f_{sw} = 1\text{MHz}$		88%		
<b>効率</b>						

以下の仕様は、標準的なアプリケーション回路にのみ適用され、コンポーネントの公称値が設定されています。「代表値 (TYP)」列の仕様は、 $T_J = 25^\circ\text{C}$  にのみ適用されます。 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$  の温度範囲での標準的な部品の場合、最小 (MIN) および最大 (MAX) 列の仕様が適用されます。これらの仕様は、製造試験では保証されていません。

パラメータ	テスト条件	最小値	標準値	最大値	単位
VOUT1(5V) での効率 - デュアル出力モード	$V_{BIAS/VOSNS1} = 5\text{V}$ , $V_{VOSNS2} = 3.3\text{V}$ , $V_{IN} = 12\text{V}$ , $I_{OUT} = 3\text{A}$ , $f_{sw} = 1\text{MHz}$		91.5%		
VOUT2(3.3V) での効率 - デュアル出力モード	$V_{BIAS/VOSNS1} = 5\text{V}$ , $V_{VOSNS2} = 3.3\text{V}$ , $V_{IN} = 12\text{V}$ , $I_{OUT} = 3\text{A}$ , $f_{sw} = 1\text{MHz}$		88%		
効率 - 単一出力モード	$V_{BIAS/VOSNS1} = 5\text{V}$ , $V_{IN} = 12\text{V}$ , $I_{OUT} = 6\text{A}$ , $f_{sw} = 2.1\text{MHz}$		91%		

## 6.7 代表的特性

特に記述のない限り、 $V_{IN} = 13.5V$ 。

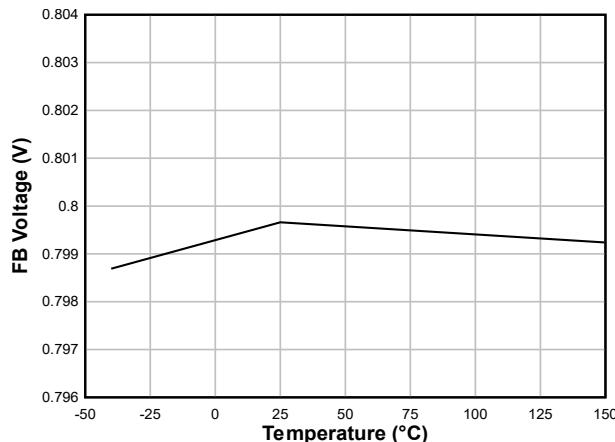


図 6-1. 帰還電圧

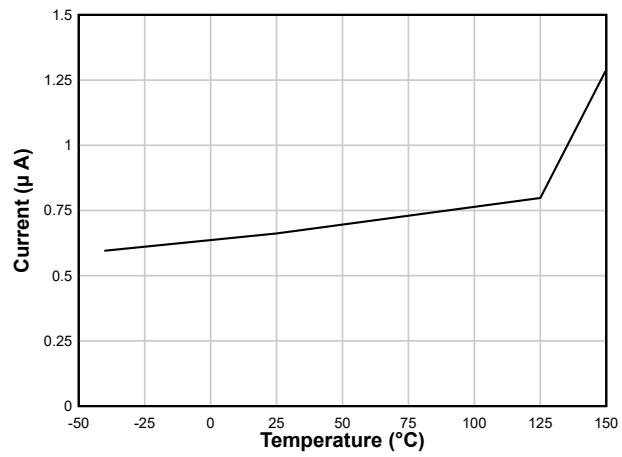


図 6-2. シャットダウン時の電源電流  
EN = 0V

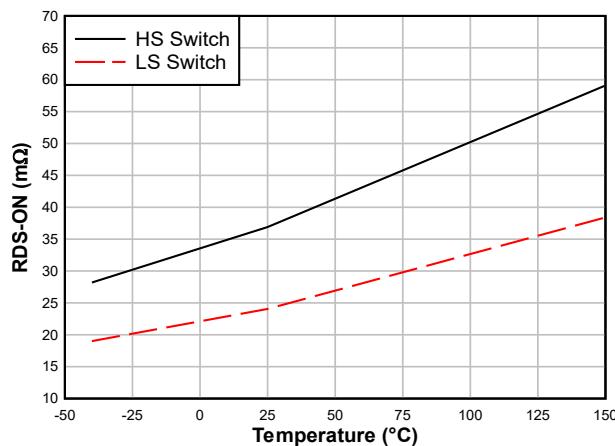


図 6-3. ハイサイドおよびローサイドスイッチの  
 $R_{DS\_ON}$

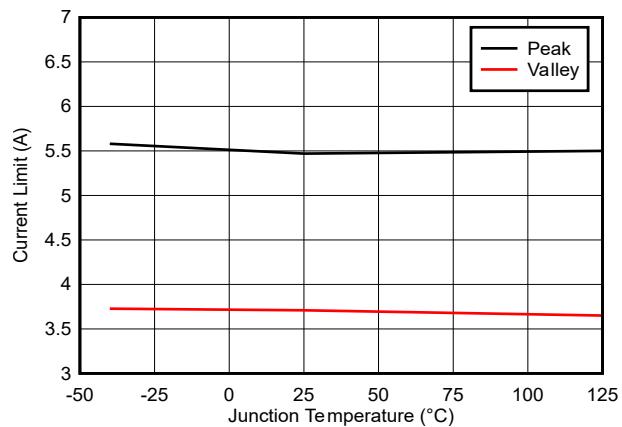


図 6-4. ハイサイドおよびローサイドの電流制限  
TPSM64406

## 7 詳細説明

### 7.1 概要

TPSM64406 は使いやすい同期整流降圧 DC/DC 電源モジュールで、信頼性、小型設計サイズ、低 EMI 特性が非常に重要なさまざまなアプリケーション向けに設計されています。パワー MOSFET、降圧インダクタ、また PWM コントローラを内蔵した TPSM64406 は、3V ~ 36V の入力電圧範囲で動作し、最大 42V の過渡電圧に対応します。このモジュールは、変換効率が高く、超低入力静止電流を非常に小さな専有面積で実現し、最大 3A (位相ごと) の DC 負荷電流を供給します。デュアル出力構成の場合、制御ループ補償は不要となるため、設計時間の短縮と複数の出力電圧に必要な外付け部品点数の削減につながります。

TPSM64406 は、RT ピンを使用してスイッチング周波数を 300kHz から 2.2MHz までプログラム可能であるため、固定インダクタを使用した場合でも非常に広い範囲で出力電圧を調整できます。

このモジュールには、いくつかの EMI 低減機能が組み込まれています。

- 内蔵の高周波コンデンサのレイアウトにより、寄生インダクタンス、スイッチング電圧リンクギング、放射フィールドカップリングを最小限に抑えることが可能
- デュアルランダムスペクトラム拡散 (DRSS) により、ピーク放射を低減
- クロック同期と FPWM モードにより、負荷電流範囲全体にわたってスイッチング周波数を一定に維持可能
- 強化型ゲートドライブ制御を備えたパワー MOSFET を内蔵しているため、低ノイズの PWM スイッチングが可能

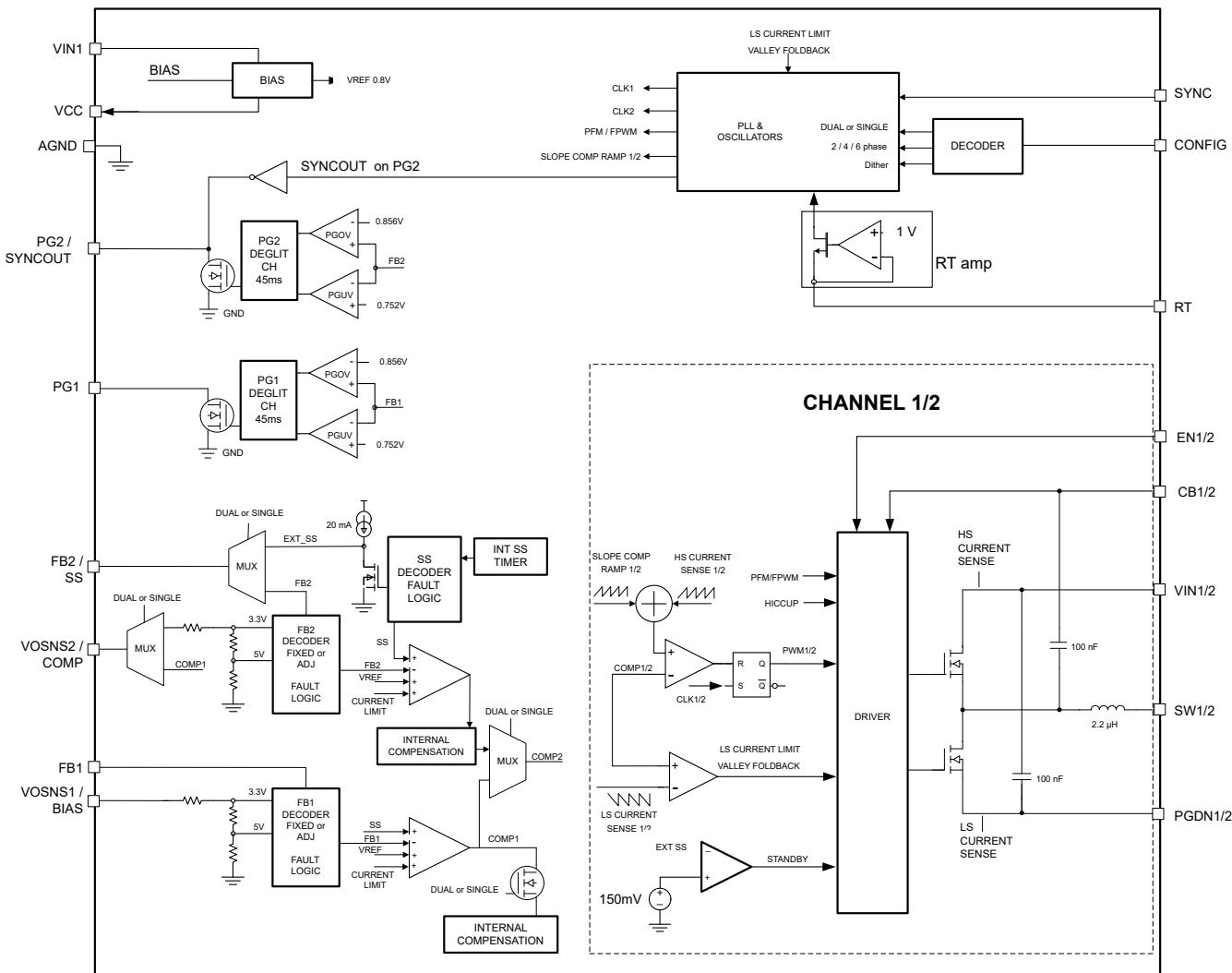
これらの機能を組み合わせることで、EMI フィルタリング要件を大幅に低減すると同時に、伝導型および放射型の電磁波に関する CISPR 11 および CISPR 32 クラス B EMI の制限を満たすことができます。

TPSM64406 モジュールには、堅牢なシステム要件に対応する固有の保護機能も内蔵されています。

- 電源レールのシーケンシングと障害報告用のオープンドレイン PGOOD インジケータ
- ヒステリシス付きの高精度イネーブル入力により以下を実現する
  - プログラム可能なライン低電圧誤動作防止 (UVLO)
  - リモートオン / オフ特性
- 2 つの出力モードにおけるプリバイアス負荷への単調起動機能を備えた内部固定出力電圧ソフトスタート
- 単一出力モードにおけるプリバイアス負荷への単調起動を備えた外部調整可能なソフトスタート
- サイクル単位のピーク電流制限とバレー電流制限によるヒップアップ モード過電流保護
- 自動回復機能付きサーマルシャットダウン。

TPSM64406 は、外付け部品をわずかしか必要としないシンプルなレイアウト向けに設計されたピン配置を活用して、最大接合部温度 125°C での動作が規定されています。特定の周囲環境における適合性を推定するには、「[代表的な放熱性能](#)」を参照してください。

## 7.2 機能ブロック図



## 7.3 機能説明

### 7.3.1 入力電圧範囲 (VIN1、VIN2)

TPSM64406 モジュールは、3V～36V の定常状態入力電圧範囲に対応しており、標準的な 12V、24V、28V の入力電源レールからの降圧変換を目的としています。図 7-1 の回路図に、単一の入力電源を使用して TPSM64406 ベースの降圧レギュレータを実装するために必要なすべての部品を示します。

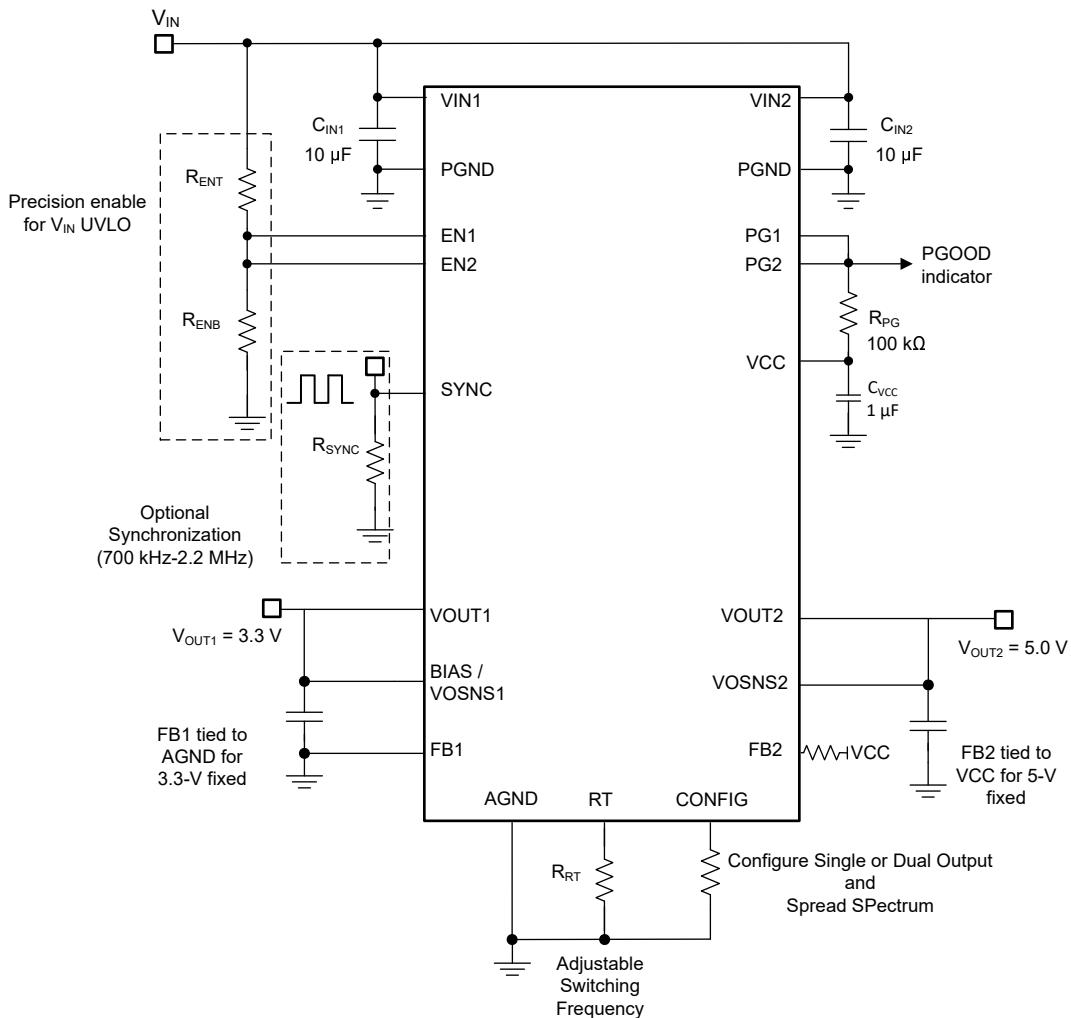


図 7-1. 入力電圧動作範囲が 3V～36V の場合の TPSM64406 の回路図

起動に必要な最小入力電圧は 3.7V です。モジュールの VIN ピン (VIN1 および VIN2) の電圧が、ラインまたは負荷過渡事象中に絶対最大電圧定格 42V を超えないように十分注意してください。絶対最大定格を超える VIN ピンでの電圧リンクは、IC に損傷を与える可能性があります。

### 7.3.2 EN ピンを有効にして V<sub>IN</sub> UVLO として使用する

TPSM6440X をシャットダウン モードに移行させるには、EN1 ピンに 0.25V 未満の電圧を印加します。シャットダウン モードでは、静止電流は 0.5µA (標準値) に低下します。この電圧より高く、かつ下限 EN スレッショルド未満の場合、VCC はアクティブになりますが、SW1 と SW2 のスイッチングは非アクティブのままでです。EN1 が V<sub>EN</sub> を上回ると、SW1 がアクティブになります。EN2 は 2 番目の出力 SW2 のスイッチングを制御します。デュアル出力構成では、EN2 を使用して 2 番目の出力電圧を独立してオフにできますが、デバイスがシャットダウン モードに移行する時期は制御されません。単一出力マルチフェーズ構成では、1 次側と 2 次側の EN1 を相互に接続する必要があります。単一出力構成では、位相シ

エディングで 2 次側デバイスを無効にするために EN1 を使用しないでください。1 次側と 2 次側の EN2 は相互に接続する必要があり、2 次側位相をシャットダウンするために使用できます。PFM 動作でこのデバイスは非常に効率が高いため、ほとんどの設計では PFM 動作の下でも 2 次側の位相が制御されるため、位相シェディングが不要になります。

EN 端子はフローティングのままにすることはできません。動作を有効にする最も簡単な方法は、EN ピンを VIN ピンに接続することです。これにより、VIN によって内部 VCC が UVLO レベルよりも高く駆動されるときに、デバイスの自己起動が可能になります。ただし、多くのアプリケーションでは、イネーブル分圧回路を採用することで恩恵を受けることができます。これにより、高精度の入力低電圧誤動作防止 (UVLO) を実現できます。高精度 UVLO は以下の用途で使用できます：

- シーケンシング
- 長い入力ケーブルと組み合わせて使用する際にデバイスが再トリガされるのを防止する
- バッテリー電源の過放電の発生を低減する

EN スレッショルドが正確であることに注意してください。立ち上がりイネーブル スレッショルドの許容誤差は 10% です。ヒステリシスの大きさは、負荷のシャットダウン時の再トリガを防止するのに十分です (約 38%)。その他の IC の外部ロジック出力で EN 端子を駆動して、システム電源のシーケンシングを行うこともできます。

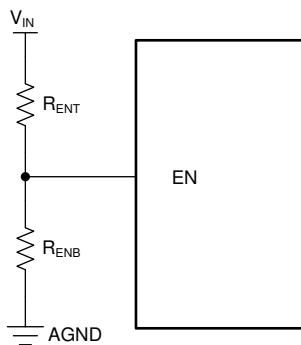


図 7-2. EN ピンを使った VIN/UVLO

抵抗値は、以下の式で計算できます。

$$R_{ENB} = R_{ENT} \times \left( \frac{V_{EN(R)}}{V_{IN(on)} - V_{EN(R)}} \right) \quad (1)$$

$$V_{OFF} = V_{IN(on)} \times (1 - V_{EN(H)}) \quad (2)$$

ここで、

- $V_{ON} = V_{IN}$  のターンオン電圧
- $V_{OFF} = V_{IN}$  のターンオフ電圧

### 7.3.3 CONFIG デバイス構成ピン

CISPR 25 および車載用 EMI 要件への準拠を簡素化するために、いくつかの機能が搭載されています。入力コンデンサのリップル電流と EMI フィルタのサイズを小さくするために、2 相、4 相、または 6 相のスタックで動作するようにデバイスを構成でき、位相数に基づいて、対応する位相シフトインターリーブ動作が可能です。たとえば、4 相構成の場合、90° 位相差のあるクロック出力構成は、カスケード接続されたマルチチャネルまたはマルチフェーズ電力段に適しています。スイッチング周波数は最高 2.2MHz まで抵抗により設定可能で、外部クロックソースと同期できるため、ノイズに敏感な用途のビート周波数を除去できます。オプションのスペクトラム拡散変調により、EMI 性能をさらに向上させることができます。

CONFIG 端子は、デュアル出力または単一出力マルチフェーズ動作にデバイスを設定するために使用します。また、スペクトラム拡散は、さまざまな抵抗値を使ってオンとオフを切り替えることができます。

**表 7-1.  $R_{CONFIG}$  抵抗の選択**

$R_{CONFIG}$ (kΩ)	モード	スペクトラム拡散
0	デュアル出力	なし
9.53	2相1次側	なし
19.1	4相1次側	なし
29.4	6相1次側	なし
41.2	セカンダリ	該当なし
56.2	2相1次側	あり
73.2	4相1次側	あり
93.1	6相1次側	あり
121	デュアル出力	あり

单一出力マルチフェーズ動作で構成した場合、VOSNS2 ピンはエラー アンプ (COMP) の出力になり、制御ループを補償するためにこのピンに抵抗とコンデンサが必要です。 $R_C = 11\text{k}\Omega$ ,  $C_C = 2.2\text{nF}$  は、多くの設計の初期評価に使用できます。抵抗を大きくするとループ ゲインが高くなり、出力コンデンサを大きくする必要があります。容量を小さくすると、デバイスのループ 応答が増加し、過渡現象が高速化しますが、クロスオーバー周波数での位相マージンが小さくなる可能性があり、出力キャパシタンスを調整する必要がある場合があります。**表 7-2** に、各種出力構成に対するいくつかの設定を示します。

**表 7-2. 代表的な部品表**

モード	$V_{OUT1}$	$V_{OUT2}$	FREQUENCY	$C_{OUT}$ (各位相)	$C_{IN} + C_{HF}$ (各位相)	$R_C$	$C_C$
デュアル	3.3V	5V	500kHz	$47 + 22\mu\text{F}$	$2 \times 10\mu\text{F} + 1 \times 100\text{nF}$	内部	内部
デュアル	3.3V	5V	2100kHz	$2 \times 22\mu\text{F}$	$1 \times 10\mu\text{F} + 1 \times 100\text{nF}$	内部	内部
SINGLE	3.3V	3.3V	500kHz	$47 + 22\mu\text{F}$	$2 \times 10\mu\text{F} + 1 \times 100\text{nF}$	$11\text{k}\Omega$	$2.2\text{nF}$
SINGLE	5V	5V	2100kHz	$2 \times 22\mu\text{F}$	$1 \times 10\mu\text{F} + 1 \times 100\text{nF}$	$11\text{k}\Omega$	$2.2\text{nF}$

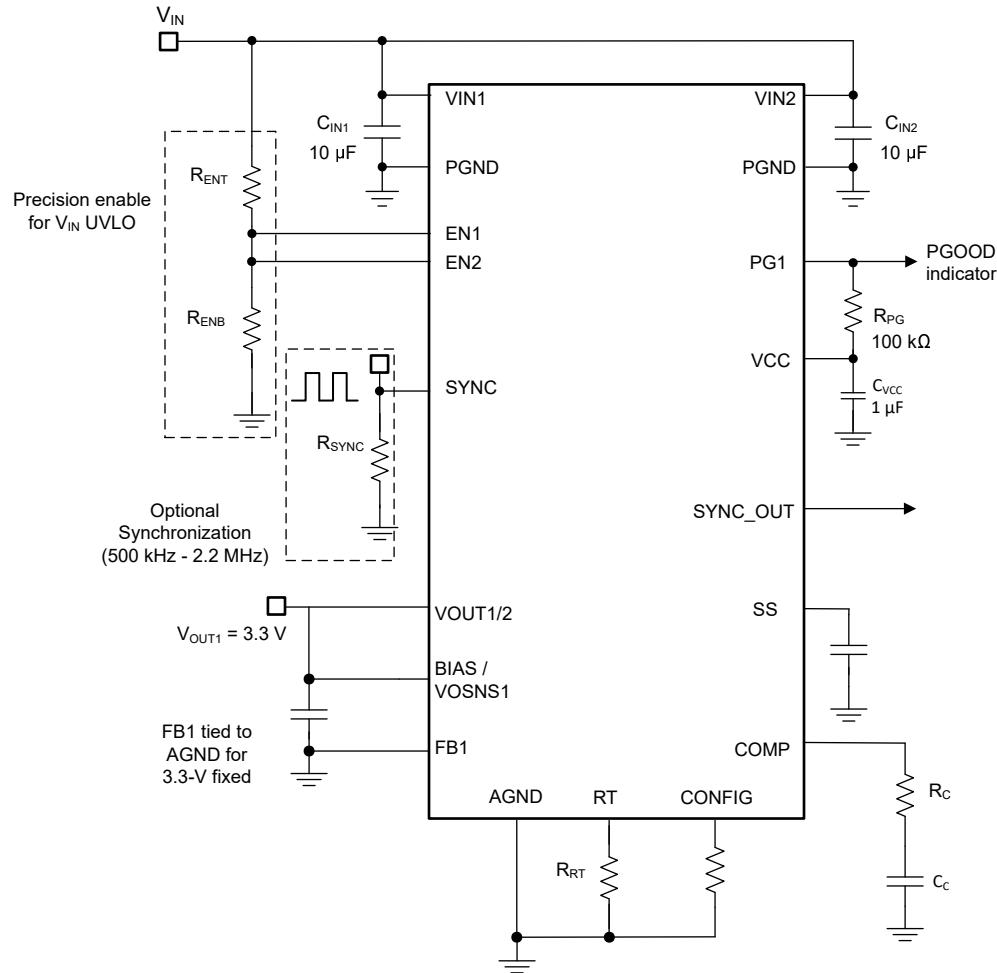


図 7-3. 高効率、単一出力 2 相降圧コンバータ

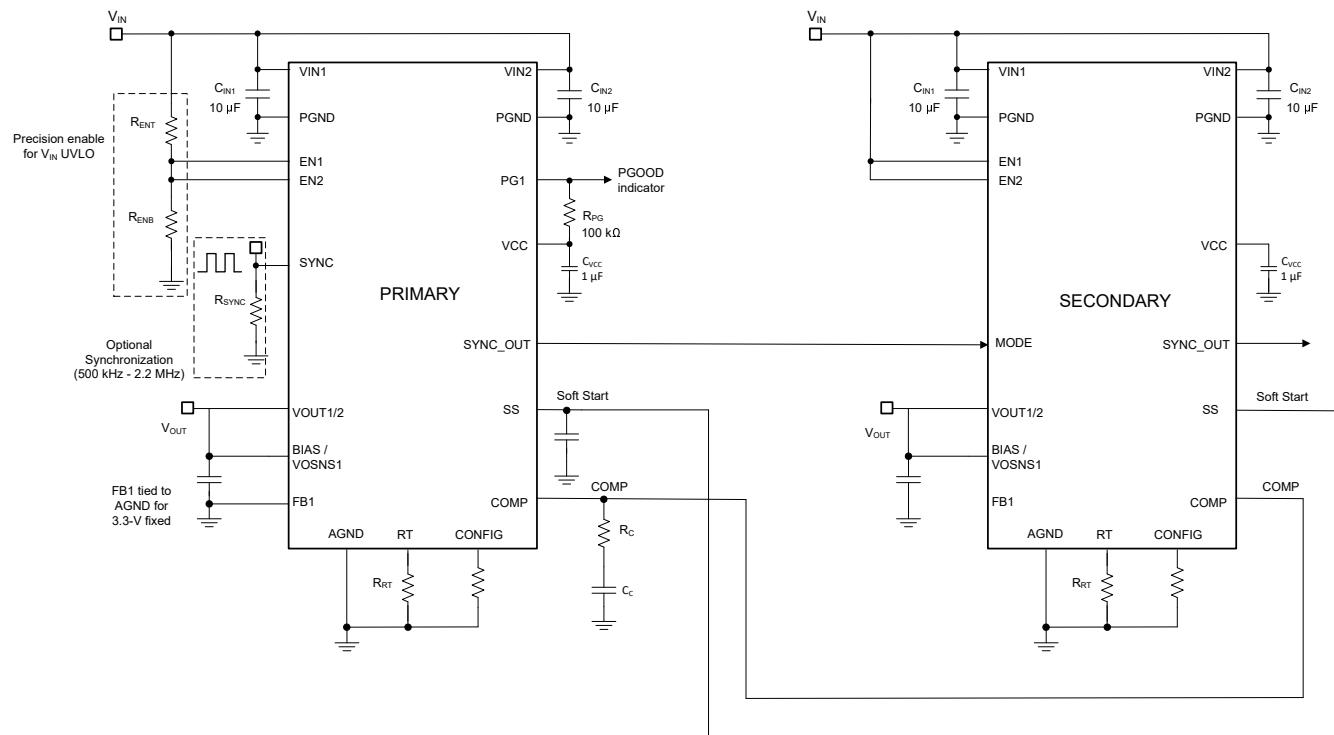


図 7-4. 高効率、単一出力 4 相降圧コンバータ

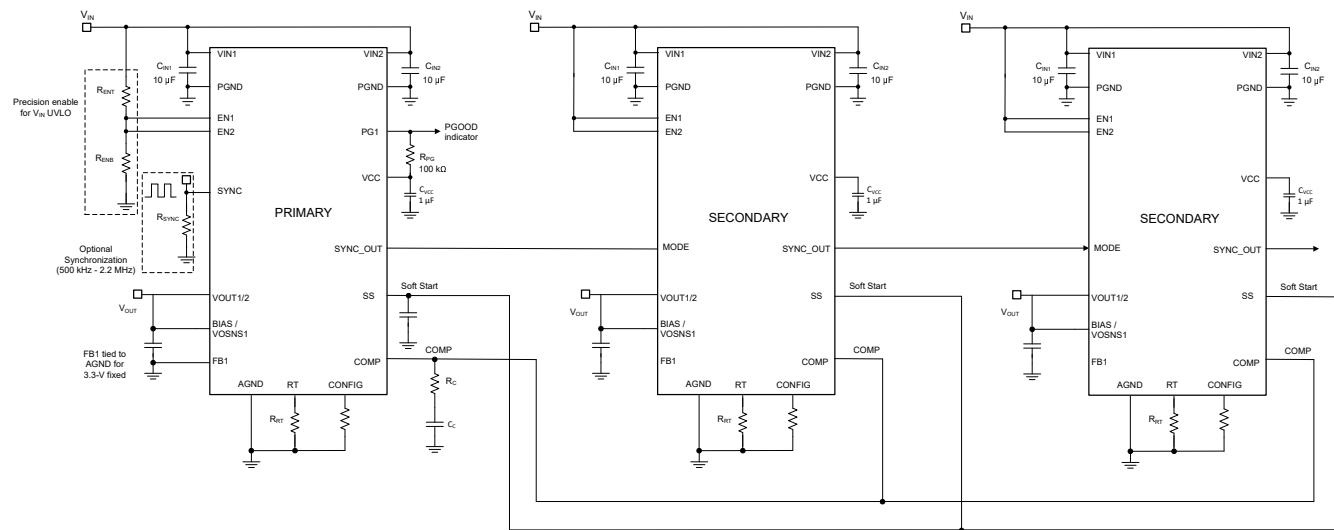


図 7-5. 高効率、単一出力 6 相降圧コンバータ

### 7.3.4 可変スイッチング周波数

周波数は、RT ピンに接続された抵抗を使用して設定します。可変動作周波数を設定するために、AGND への抵抗を使用します。抵抗値については、以下を参照してください。推奨範囲外の抵抗値を使用すると、デバイスがスイッチング動作を停止する可能性があります。強制的に同期させる目的で、このピンにパルス信号を印加することはしないでください。同期が必要な場合は、SYNC ピンを参照してください。

$$R_T[\text{k}\Omega] = \left( \frac{16.4}{f_{SW}[\text{MHz}]} - 0.633 \right) \quad (3)$$

たとえば、 $f_{SW} = 400\text{kHz}$ 、 $R_T = (16.4/0.4) - 0.633 = 40.37$  の場合、最も近い選択肢として  $40.2\text{k}\Omega$  の抵抗を選択します。

表 7-3.  $R_T$  標準値

$R_T$ ( $\text{k}\Omega$ )	周波数 ( $\text{kHz}$ )
6.81	2206
7.15	2106
15.4	1005
31.6	497.4
39.2	402
158	101

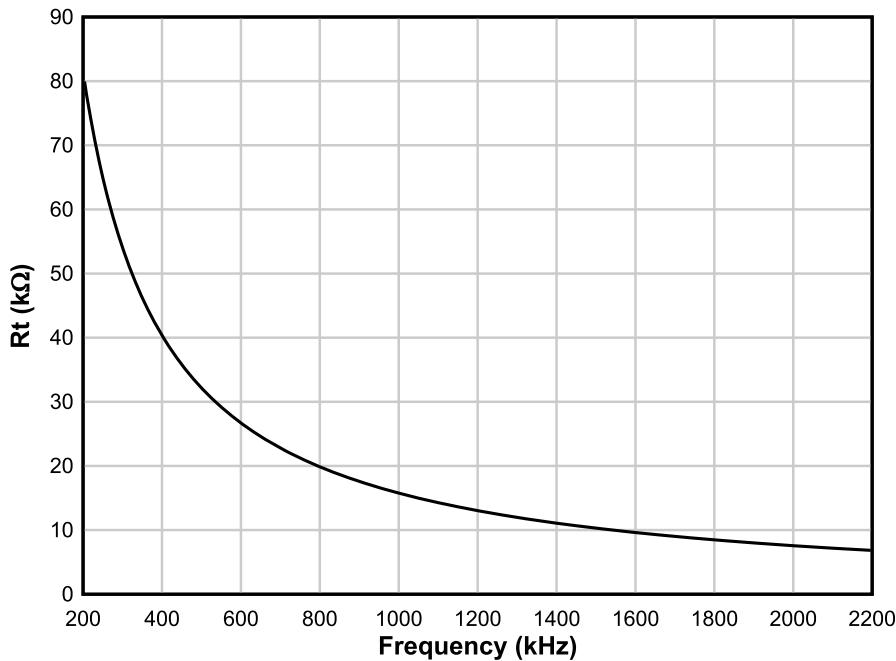


図 7-6. クロック周波数の設定

### 7.3.5 スペクトラム拡散

スペクトラム拡散は CONFIG ピンを使用して構成可能です。スペクトラム拡散は、固定周波数で動作する部品よりも広範囲の周波数帯域にピークを拡散することにより、特定の周波数によるピーク放射に対する影響を低減します。TPSM6440X は、スイッチング周波数の最初のいくつかの高調波からの低周波伝導放射を低減するように設計された変調パターンを実装しています。このパターンは、FM 帯域に落ちる可能性があり、フィルタ処理が難しい高調波を低減させるのにも役立ちます。これらの高調波はしばしば、スイッチ ノードとインダクタの周囲の電界によって環境と結合します。TPSM6440X は  $\pm 10\%$  (標準値) の周波数拡散を採用しており、FM および TV 帯域全体にエネルギーをスムーズに拡

散できます。このデバイスには、デュアルランダムスペクトラム拡散 (DRSS) 機能が実装されています。DRSS は、三角波の周波数拡散パターンと疑似ランダム周波数ホッピングを組み合わせたものです。これらの組み合わせにより、スペクトラム拡散は、次のとおりエネルギー拡散に非常に効果的です：

- 低速三角波パターンによる基本スイッチング高調波
- スイッチング周波数に疑似ランダムジャンプを付加した高周波ハーモニクス

DRSS の利点は、基本周波数偏差が小さく、高域の周波数で等価高調波減衰が得られることです。この機能により、変調周波数で生じる入力電流と出力電圧リップルの量が低減されます。

スペクトラム拡散は、TPSM6440X のクロックが本来の周波数で自走している間に限り利用できます。次のいずれかの条件がクロックに優先し、スペクトラム拡散に干渉する可能性があります。

- 低入力電圧動作のため、クロック速度が低下します。これはドロップアウトでの動作です。
- 自動モードで軽負荷によりクロック速度が低下した場合。デバイスが FPWM モードで動作している場合、無負荷であってもスペクトラム拡散が有効となっていることに注意してください。
- 入出力電圧比が大きい場合、クロック速度が低下した場合。オン時間が最小オン時間に達した場合にこの動作モードが想定されます。「[セクション 6.5](#)」を参照してください。
- クロックが外部クロックに同期している。

### 7.3.6 可変出力電圧 (FB)

TPSM64406 の可変出力電圧範囲は、0.8V から最大 16V まで、またはわずかに  $V_{IN}$  未満、のどちらか小さい方になります。出力電圧を設定するには、[図 7-1](#) の  $R_{FBT}$  および  $R_{FBB}$  として指定された 2 つの帰還抵抗が必要です。フィードバック (FB) ピンの基準電圧は 0.8V に設定され、±1% の接合部温度範囲にわたってフィードバック システムの精度が得られます。デバイスの接合部温度範囲は −40°C～125°C です。

$R_{FBT}$  の推奨値 100kΩ に基づいて、[式 4](#) を使用して  $R_{FBB}$  の値を計算します。

$$R_{FBB}(k\Omega) = \frac{R_{FBT}(k\Omega)}{\frac{V_{OUT}}{0.8} - 1} \quad (4)$$

[表 7-4](#) に、いくつかの出力電圧の標準抵抗値と、適切なピーク ツー ピーク インダクタリップル電流を維持するための推奨スイッチング周波数範囲を示します。この表には、安定性を維持するために各出力電圧設定に必要な最小出力容量も記載されています。以下に示す容量は、DC バイアス電圧および温度に対してディレーティングされたセラミックコンデンサの実効値を表します。さらに、フィードフォワードコンデンサ  $C_{FF}$  を  $R_{FBT}$  と並列に配置し、出力容量が最小推奨値に近いときに位相マージンを増やします。

**表 7-4. 標準  $R_{FBT}$  値、推奨  $F_{SW}$  範囲、最小  $C_{OUT}$**

$V_{OUT}$ (V)	$R_{FBT}$ (kΩ) <sup>(1)</sup>	$R_{FBB}$ (kΩ) <sup>(1)</sup>	推奨する $F_{SW}$ 範囲 (kHz)	$C_{OUT(min)}$ (μF)、位相ごと (実効値)	BOM <sup>(2)</sup>	$C_{FF}$ (pF)
0.8	10	オープン	300～700	470	1 × 47μF (6.3V)、1 × 470μF (2.5V)	—
1.8	12.4	10	300～1000	125	3 × 47μF (6.3V)、1 × 22μF (6.3V)	330
3.3	31.2	10	500～1300	64	4 × 22μF (10V)	内部
5	52.3	10	700～2100	64	4 × 22μF (10V)	内部
9	105	10	1200～2100	40	3 × 22μF (16V)	4.7
12	140	10	1700～2100	30	1 × 22μF (25V)、1 × 50μF (25V)	10
16	190	10	1900～2100	20	1 × 22μF (25V)、1 × 50μF (25V)	—

(1)  $R_{FBT} = 100\text{k}\Omega$ 。

(2) 出力コンデンサのリストについては、[表 7-6](#) を参照してください。

帰還抵抗が大きいほど、DC 電流の消費が小さくなることに注意してください。ただし、 $R_{FBT}$  上限抵抗値が  $1\text{M}\Omega$  を超えると、フィードバック パスはノイズの影響を受けやすくなります。一般に、帰還抵抗が大きいほど、フィードバック パスのレイアウトをより慎重に行う必要があります。帰還抵抗は、FB ピンおよび AGND ピンの近くに配置し、帰還パターンをできるだけ短く（また、PCB のノイズの多い領域から遠ざけるように）してください。詳細については、「[レイアウト例](#)」を参照してください。

### 7.3.7 入力コンデンサ

入力コンデンサは、スイッチング周波数の AC 電流により、モジュールへの入力リップル電圧を制限する必要があります。テキサス・インスツルメンツは、幅広い温度範囲で低インピーダンスと高い RMS 電流定格を実現するセラミックコンデンサの使用を推奨しています。[式 5](#) に、入力コンデンサの RMS 電流を示します。入力コンデンサの RMS 電流の最大値は  $D = 0.5$  のときに発生します。この時点では、コンデンサの RMS 電流定格は出力電流の半分を超えていました。

$$I_{CIN, rms} = \sqrt{D \times \left( I_{OUT}^2 \times (1 - D) + \frac{\Delta i_L^2}{12} \right)} \quad (5)$$

ここで、

- $D = V_{OUT} / V_{IN}$  はモジュールのデューティサイクルです。

理想的には、降圧段への入力電流の DC 成分と AC 成分は、それぞれ入力電圧源と入力コンデンサによって供給されます。インダクタリップル電流を無視すると、入力コンデンサは、 $D$  間隔の間に振幅 ( $I_{OUT} - I_{IN}$ ) の電流をソースし、 $1 - D$  間隔の間に  $I_{IN}$  をシンクします。そのため、入力コンデンサは、出力電流に等しいピークツーピーク振幅の方形波電流を導通します。この結果、AC リップル電圧の合成容量成分は三角波になります。[ESR](#) 関連のリップル成分だけでなく、[式 6](#) にピークツーピークリップル電圧の振幅を示します。

$$\Delta V_{IN} = \left( \frac{I_{OUT} \times D \times (1 - D)}{F_{SW} \times C_{IN}} + I_{OUT} \times R_{ESR} \right) \quad (6)$$

[式 7](#) に、特定の負荷電流に必要な入力容量を示します。

$$C_{IN} \geq \left( \frac{I_{OUT} \times D \times (1 - D)}{F_{SW} \times (\Delta V_{IN} - I_{OUT} \times R_{ESR})} \right) \quad (7)$$

ここで、

- $\Delta V_{IN}$  は、入力電圧リップルの仕様です。

TPSM64406 は、 $10\mu\text{F}$  のセラミック入力コンデンサが 2 個以上必要です。[X7R](#) または [X7S](#) 誘電体の使用と、占有面積は [1206](#) または [1210](#) を推奨します。CISPR 11 や CISPR 32 などの伝導型 EMI 仕様を満たすアプリケーションでは、追加の容量が必要になる場合があります。

[表 7-5](#) に、メーカー毎に推奨されるコンデンサのリストを示します。スイッチング ループの寄生インダクタンスを最小限に抑えるため、セラミック入力コンデンサを VIN1 ピンと VIN2 ピンの近くに対称的の[レイアウト](#)で配置し、モジュールの下にある銅のグランドプレーンを使用してコンデンサのリターン端子を PGND ピンに接続します。

表 7-5. 推奨セラミック入力コンデンサ

メーカー <sup>(1)</sup>	誘電	部品番号	ケース サイズ	容量 ( $\mu\text{F}$ ) <sup>(2)</sup>	定格電圧 (V)
TDK	X7R	C3216X7R1H106K160AC	1206	10	50
Murata (村田製作所)	X7S	GCM32EC71H106KA03K	1210	10	50
AVX	X7R	12105C106MAT2A	1210	10	50
Murata (村田製作所)	X7R	GRM32ER71H106KA12L	1210	10	50

(1) この表に記載されているコンデンサの入手可能性、材料組成、RoHS および鉛フリーのステータス、製造プロセスの要件については、コンデンサのサプライヤにお問い合わせください。『[サードパーティ製品の免責事項](#)』を参照してください。

(2) 銘板の容量値(実効値は、印加された DC 電圧および温度に基づいて低いです)。

「[電源に関する推奨事項](#)」で説明したように、電解バルク容量(68μF～100μF)は低周波数フィルタリングと並列ダンピングを実現し、低 ESR の高 Q セラミック入力コンデンサでの入力寄生インダクタンスの共振の影響を緩和します。

### 7.3.8 出力コンデンサ

表 7-4 に、TPSM64406 に必要な最小出力容量を示します。セラミックコンデンサを使用する場合は、DC バイアスと温度変動の影響を考慮する必要があります。特にセラミックコンデンサの場合、パッケージサイズ、電圧定格、誘電体材料は、標準定格値と容量の実際の実効値の差に寄与します。

$C_{OUT(min)}$  を超える追加容量を含める場合、容量にはセラミックタイプ、低 ESR ポリマー タイプ、またはこれら 2 つの組み合わせを使用できます。メーカーごとに推奨される出力コンデンサのリストについては、表 7-6 を参照してください。

**表 7-6. 推奨セラミック出力コンデンサ**

メーカー <sup>(1)</sup>	誘電	部品番号	ケース サイズ	容量(μF) <sup>(2)</sup>	電圧(V)
Murata (村田製作所)	X7R	GRM31CZ71C226ME15L	1206	22	16
TDK	X7R	C3225X7R1C226M250AC	1210	22	16
Murata (村田製作所)	X7R	GRM32ER71C226KEA8K	1210	22	16
TDK	X6S	C3216X6S1E226M160AC	1206	22	25
AVX	X7R	12103C226KAT4A	1210	22	25
Murata (村田製作所)	X7R	GRM32ER71E226ME15L	1210	22	25
AVX	X7R	1210ZC476MAT2A	1210	47	10
Murata (村田製作所)	X7R	GRM32ER71A476ME15L	1210	47	10
Murata (村田製作所)	X6S	GRM32EC81C476ME15L	1210	47	16
TDK	X6S	C3216X6S0G107M160AC	1206	100	4
Murata (村田製作所)	X6T	GRM31CD80J107MEA8L	1206	100	6.3
Murata (村田製作所)	X7S	GRM32EC70J107ME15L	1210	100	6.3

- (1) 表に記載されているコンデンサの入手可能性、材料組成、RoHS および鉛フリーのステータス、製造プロセスの要件については、コンデンサのサプライヤにお問い合わせください。『[サードパーティー製品の免責事項](#)』を参照してください。  
(2) 銘板の容量値(実効値は、印加された DC 電圧および温度に基づいて低いです)。

### 7.3.9 SYNC によりクロック同期とモード選択が可能

SYNC ピンを使用して、強制パルス幅変調(FPWM)またはパルス周波数変調(PFM)を選択できます。FPWM では、出力電流が軽い場合、スイッチング周波数は一定に維持されます。PFM では、インダクタ電流が負になるとローサイド FET がオフになり、周波数が低下することで、軽負荷条件下での効率が向上します。SYNC を AGND に接続すると、PFM が有効になります。SYNC を VCC に接続すると、TPSM6440X は軽負荷時に連続導通して FPWM モードで動作します。

SYNC ピンを使用して、内部発振器を外部クロックに同期することができます。外部クロックに同期すると、TPSM6440X は FPWM で動作します。内部発振器は、正のエッジで SYNC ピンに同期することができます。内部同期パルス検出器をトリップさせるには、ピンの結合エッジ電圧が SYNC 振幅スレッショルド  $V_{SYNCDH}$  を上回る必要があります。最小 SYNC 立ち上げパルスおよび立ち下がりパルス幅は、それぞれ  $t_{PULSE\_H}$  および  $t_{PULSE\_L}$  よりも長くする必要があります。TPSM6440X のスイッチング動作は、200kHz ~ 2.2MHz の外部クロックと同期することができます。外部クロックに同期する場合、 $R_T$  ピンを使用して内部周波数を外部クロックの値に近い値に設定する必要があります。この動作により、同期が失われた場合に大きな周波数の変化が防止されます。この動作は、2 次側デバイスのスロープ補償の設定にも使用されます。

单一出力 2 相動作では、クロック情報が内部で共有されるため、1 次側の PG2/SYNC-OUT 端子をフローティングのままにできます。

单一出力の 4 相動作では、1 次側の PG2/SYNC-OUT 端子を 2 次側の SYNC ピンに接続することで、4 つの位相すべてを 90 度位相差でクロック供給することができます。

单一出力 6 相動作では、1 次側の PG2/SYNC-OUT 端子を 2 次側デバイスの SYNC ピンに接続する必要があります。2 次側の PG2/SYNC-OUT 端子は、3 次側デバイスの SYNC ピンに接続する必要があります。このようにして、デバイスは 6 つの位相すべてを 60 度の位相差で動作させます。

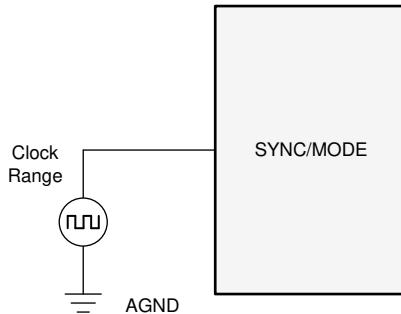
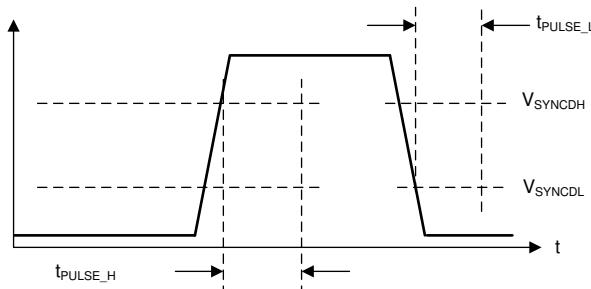


図 7-7. SYNC/MODE ピンを使用した同期ができる代表的な実装



この図に、SYNC 信号を検出するために必要な条件を示します。

図 7-8. 代表的な SYNC/MODE 波形

### 7.3.10 パワー グッド出力電圧の監視

TPSM6440X の PG1/PG2 は標準のパワーグッド機能に似ていますが、その機能はディスクリート リセット IC を置き換えるよう設計されており、BOM コストが削減されます。ほとんどのレギュレータでは、PG 機能と通常のパワーグッド機能に以下の 3 つの大きな違いがあります。

- リセットの解放に遅延が追加されました。[表 7-7](#) を参照してください。
- PG 出力は、部品が無効な場合にフォルトを通知します（出力をグランドにプルダウン）。
- PG は、1.2V という低い入力電圧で動作し続けます。この入力電圧を下回ると、PG 出力がハイインピーダンスになる場合があります。

デュアル出力構成 ( $R_{CONFIG} = 0$  または  $121\text{k}\Omega$ ) の場合、PG1 はオープンドレインで、抵抗を介して外部電圧に接続する必要があります。FB1 または VOSNS1 がトリップしている場合は Low にプルされます。PG2 フラグは PG1 と同じ方法で設定され、FB2 または VOSNS2 の 2 番目の出力を監視します。

单一出力マルチフェーズ動作 ( $9.53\text{k}\Omega < R_{CONFIG} < 93.1\text{k}\Omega$ ) では、PG2 は SYNC-OUT として再構成され、2 次側デバイスに位相シフトされたクロックを供給します。この構成では、1 次側デバイスの PG2/SYNC-OUT 端子を 2 相動作の

ためにフローティングのままにするか、4相以上で2次側デバイスのSYNCピンに接続できます。6相動作の場合、2次側デバイスのPG2/SYNC-OUTピンは3次側デバイスのSYNCピンに接続されます。

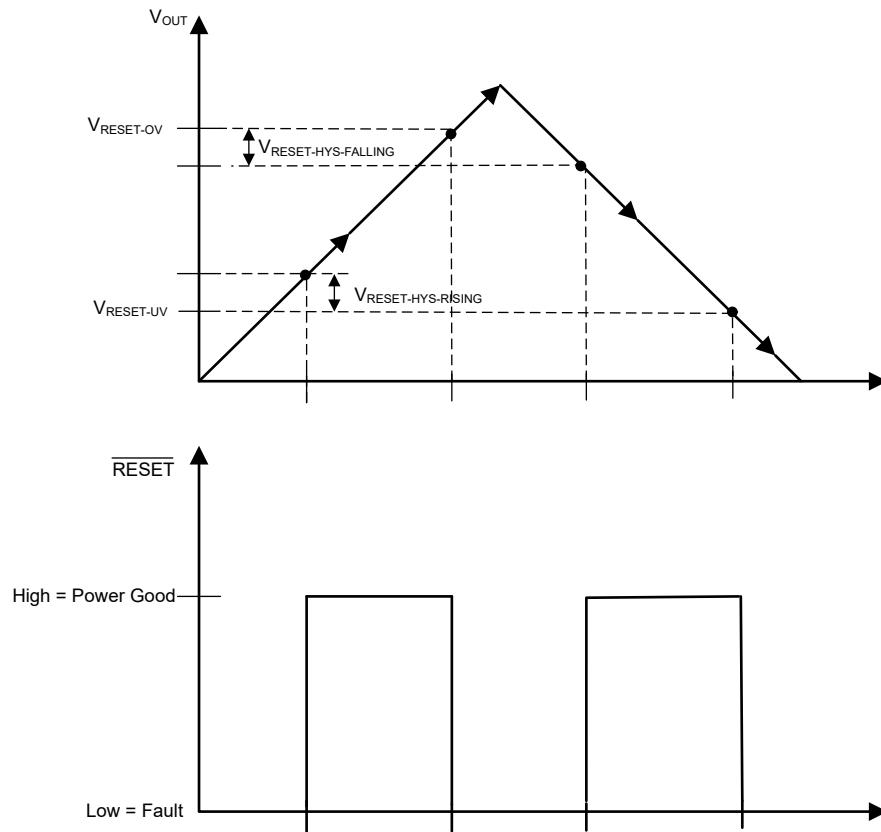


図 7-9. PG 静的電圧スレッショルド

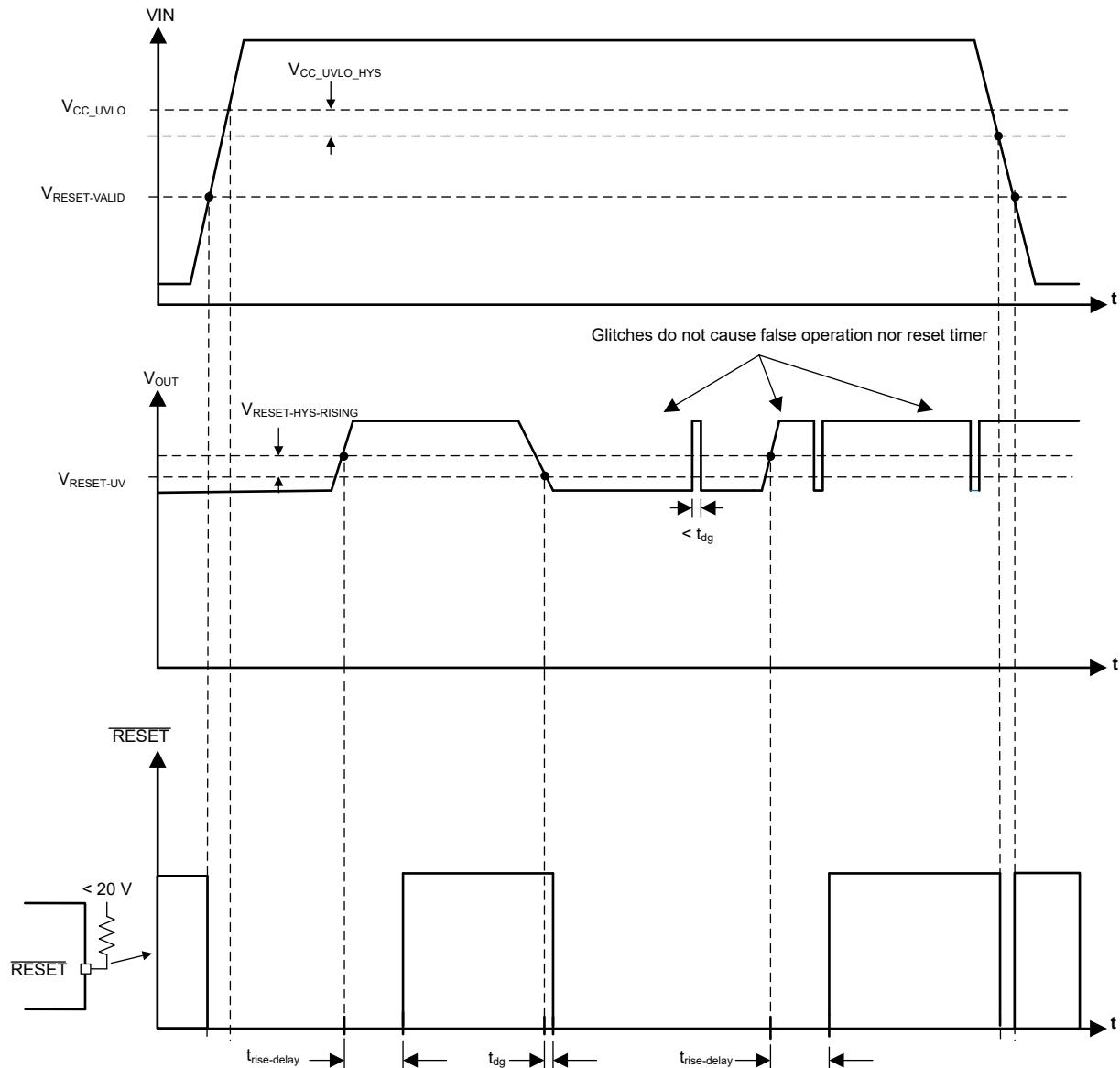


図 7-10. PG のタイミング図 (OV イベントを除く)

表 7-7. PG がフォルトを通知 (Low をプル) する条件

フォルト条件の開始	フォルト条件の終了 (その後、RESET 出力が解放される前に $t_{RESET\_ACT}$ が経過する必要があります)
$t_{RESET\_FILTER}$ よりも長い間 FB が $V_{RESET\_UV}$ を下回る	$t_{RESET\_FILTER}$ よりも長い間 FB が $V_{RESET\_UV} + V_{RESET\_HYST}$ を上回る
$t_{RESET\_FILTER}$ よりも長い間 FB が $V_{RESET\_OV}$ を上回る	$t_{RESET\_FILTER}$ よりも長い間 FB が $V_{RESET\_OV} - V_{RESET\_HYST}$ を下回る
接合部温度が $T_{SD\_R}$ を超える	接合部温度が $T_{SD\_F}$ 未満に低下する <sup>(1)</sup>
EN が Low	EN がハイになってから $t_{EN}$ が経過する <sup>(1)</sup>
VCC が $V_{CC\_UVLO} - V_{CC\_UVLO\_HYST}$ を下回るように VIN が十分に低い値に低下する。この値は $V_{IN\_OPERATE}$ と呼ばれます。	VCC ピンが $V_{CC\_UVLO}$ を上回るほど VIN の電圧が十分に高くなる <sup>(1)</sup>

(1) 追加の動作チェックとして、ソフトスタート中に PG が Low に維持されます。ソフトスタートは、全出力電圧に達したとき、または初期化から  $t_{SS2}$  が経過したときの、どちらか早い方まで定義されます。この定義は、この表の他のすべての条件が満たされ、 $t_{RESET\_ACT}$  が経過した場合にも当てはまります。ソフトスタート中にロックアウトされる場合は、PG が解除される前に  $t_{RESET\_ACT}$  が経過する必要はありません。

PG 機能のスレッショルド電圧は、PG 回路への内部帰還スレッショルドの可用性を利用して指定されます。これにより、選択した出力電圧の 96.5% の最大スレッショルドを、実際の動作ポイントの 96% と同時に指定できます。その結果、リセット機能の精度が向上し、過渡応答に対するシステム許容量を拡大できます。[図 7-11](#) の出力電圧誤差のスタックアップ比較を参照してください。

過電圧検出時 ( $V_{RESET\_OV}$  より高い FB) のフォルト通知に加え、スイッチノードがシャットダウンされ、SW ノードに約 1mA の小さなプルダウンが加えられます。

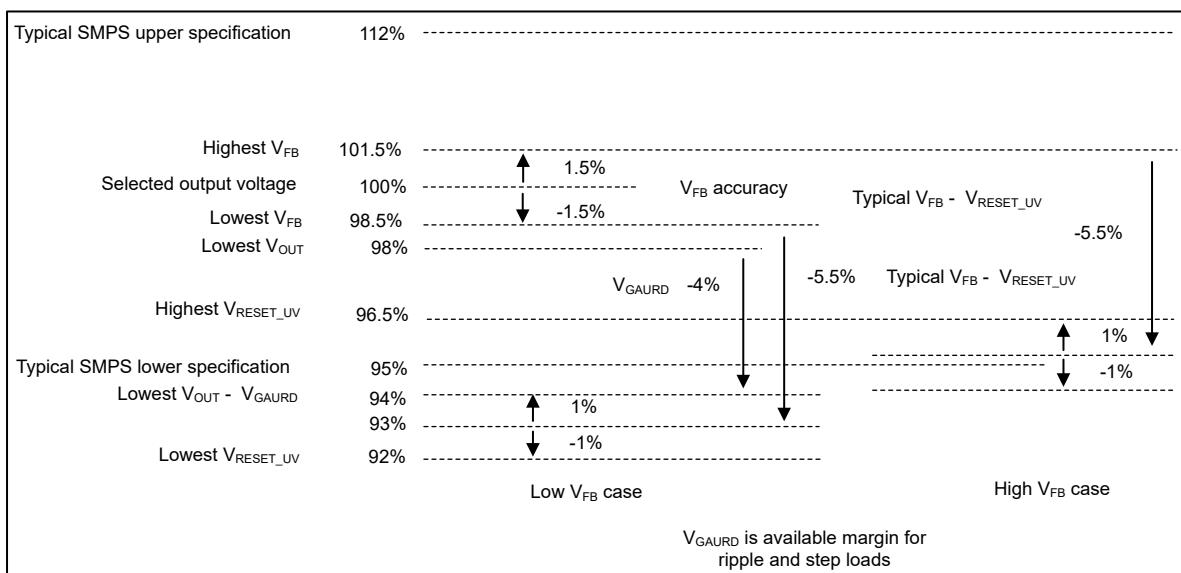


図 7-11. リセットスレッショルド電圧のスタックアップ

下図に示されているように、PG 信号はダウンストリーム レギュレータの起動シーケンス制御や、�オルト保護、出力監視などに使用することができます。

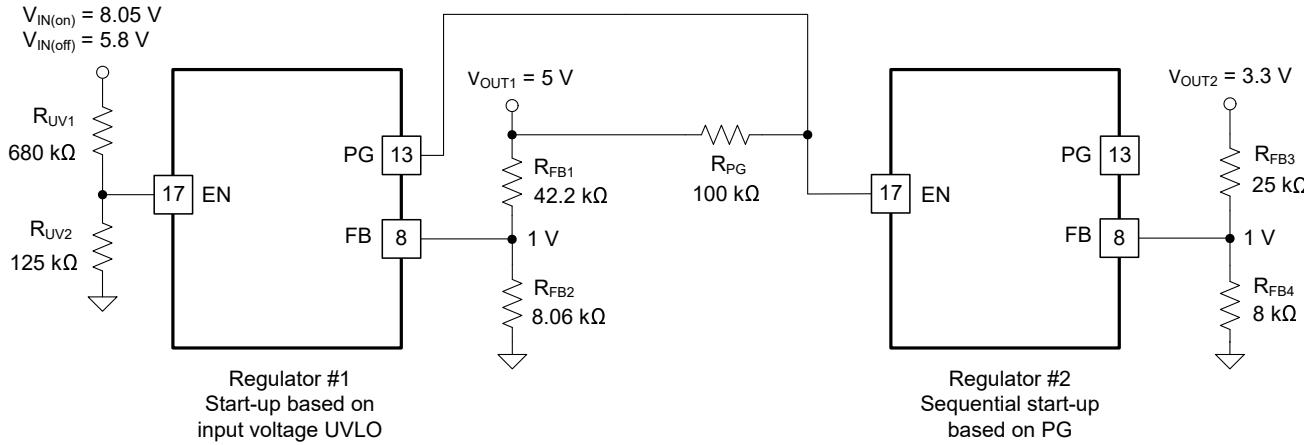


図 7-12. PG および EN を使用した TPSM64406 シーケンシングの実装

### 7.3.11 バイアス電源レギュレータ (VCC, VOSNS)

VCC は、TPSM64406 の制御回路に電力を供給するために使用される内部 LDO サブレギュレータの出力です。公称 VCC 電圧は 3.3V です。VOSNS ピンは内部 LDO への入力です。入力電源電流をできるだけ小さくするため、この入力を  $V_{OUT}$  に接続します。VOSNS 電圧が 3.1V 未満の場合、VIN1 と VIN2 は内部 LDO に直接電力を供給します。

不適切な動作を防止するため、VCC には、内部電圧が低すぎる場合にスイッチングを止める UVLO 保護機能が備わっています。「電気的特性」の  $V_{CC\_UVLO}$  および  $V_{CC\_UVLO\_HYS}$  を参照してください。

VCC は外部回路への電力供給に使用しないでください。VCC のロードまたは VCC のグランドへの短絡は行わないでください。VOSNS は、内部 LDO へのオプション入力です。ノイズ耐性を向上させるには、オプションの高品質 0.1 $\mu\text{F}$ ~1 $\mu\text{F}$  コンデンサを VOSNS から AGND に接続します。

LDO は、次の 2 つの入力のいずれかから VCC 電圧を供給します。 $V_{IN}$  または VOSNS。VOSNS をグランドまたは 3.1V 未満に接続すると、LDO は  $V_{IN}$  から電力を引き出します。VOSNS が 3.1V を超える電圧に接続されている場合、LDO 入力は VOSNS になります。VOSNS 電圧は  $V_{IN}$  と 12V の両方を超えないようにしてください。

式 8 に、LDO の電力損失の低減を次のように規定します。

$$P_{LDO-LOSS} = I_{LDO} \times (V_{VOSNS} - V_{VCC}) \quad (8)$$

VOSNS 入力には、 $V_{IN}$  より低い電圧で LDO に電力を供給するオプションがあり、VCC を基準とする LDO 入力電圧を最小化し、電力損失を低減できます。たとえば、 $V_{IN} = 24\text{V}$ 、 $V_{OUT} = 5\text{V}$  で、1MHz で LDO 電流が 10mA の場合、グランドに接続された VOSNS での LDO 電力損失は  $10\text{mA} \times (24\text{V} - 3.3\text{V}) = 207\text{mW}$  になります。一方 VOSNS を  $V_{OUT}$  に接続した場合の損失は、 $10\text{mA} \times (5\text{V} - 3.3\text{V}) = 17\text{mW}$  と等しくなり 190mW 減少しています。

### 7.3.12 過電流保護 (OCP)

TPSM64406 は、ピークインダクタ電流のサイクルごとの電流制限を使用して、過電流状態から保護されています。電流は、スイッチングサイクルごとに電流制限スレッショルドと比較されます。過電流状態の間、出力電圧は低下します。

TPSM64406 は、極端な過負荷が発生した場合にヒップアップ過電流保護を採用しています。ヒップアップモードでは、TPSM64406 モジュールがシャットダウンされ、再起動しようとする前に 40ms (標準値) オフに保持されます。それでも過電流または短絡による�オルト状態が続く場合は、�オルト状態が解消されるまでヒップアップが繰り返されます。ヒップアップモードは、重度の過電流状態での消費電力を低減し、過熱やデバイスが損傷する可能性を防止します。障害が解消されると、モジュールは自動的に回復し、通常動作に戻ります。

### 7.3.13 サーマル シャットダウン

サーマル シャットダウンは、接合部温度を制限し、過熱に起因する損傷を防止するために使用される内蔵自己保護機能です。接合部温度が  $168^{\circ}\text{C}$  (標準値) を超えると、サーマル シャットダウンによってデバイスがオフになり、それ以上の電力消費および温度上昇を防ぎます。シャットダウン後に接合部温度が低下し、TPSM64406 は接合部温度が  $159^{\circ}\text{C}$  (標準値) まで低下したときに再起動を試みます。

## 7.4 デバイスの機能モード

### 7.4.1 シャットダウンモード

EN ピンは、TPSM64406 のオン / オフを制御します。 $V_{\text{EN}}$  が約  $0.4\text{V}$  を下回ると、デバイスはシャットダウン モードになります。内部 LDO とスイッチング レギュレータの両方がオフになります。シャットダウン モードでの静止電流は、 $0.6\mu\text{A}$  (標準値) まで減少します。TPSM64406 は低電圧保護機能も内蔵しています。入力電圧がその UV スレッショルドを下回ると、レギュレータはオフのままになります。

### 7.4.2 スタンバイ モード

VCC バイアス電源用の内部 LDO は、レギュレータよりも低いイネーブル スレッショルドを備えています。 $V_{\text{EN}}$  が  $1.1\text{V}$  (最大値) を超え、高精度イネーブル スレッショルドの  $1.263\text{V}$  (標準値) を下回ると、内部 LDO がオンになり、レギュレーションが行われます。内部  $V_{\text{CC}}$  が UVLO スレッショルドを上回ると、高精度イネーブル回路がオンになります。スイッチング動作および電圧レギュレーションは、 $V_{\text{EN}}$  が高精度イネーブル スレッショルドを上回るまで有効になりません。

### 7.4.3 アクティブ モード

TPSM64406 は、 $V_{\text{VCC}}$  および  $V_{\text{EN}}$  が関連するスレッショルドを超えて、フォルト条件が存在しない場合、アクティブ モードになります。この動作を可能にする最も簡単な方法は、EN を  $V_{\text{IN}}$  に接続することです。これにより、印加された入力電圧が最小起動電圧を超えると自動的に起動できます。

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

TPSM64406 同期整流降圧モジュールは、わずか数個の外付け部品を使用して、広い範囲の電源電圧を出力電圧に変換し、単相出力ごとに最大  $3\text{A}$ 、2 相出力の場合は最大  $6\text{A}$  に変換できます。TPSM64406 ベースのレギュレータの設計プロセスを迅速化および効率化することを目的として、システム設計者が特定のアプリケーションに適した部品を選択する上で有益となる包括的な TPSM64406 クイックスタート計算ツールをダウンロードできます。

### 8.2 代表的なアプリケーション

TPSM64406 を使用した実装の回路図、部品表、PCB レイアウト ファイル、テスト結果については、TPSM64406EVM デュアル出力リファレンス デザインを参照してください。

### 8.2.1 設計 1 – 高効率デュアル出力同期整流降圧レギュレータ (3A で 5V、3A で 3.3V)

図 8-1 に、スイッチング周波数 1MHz のデュアル出力降圧レギュレータ (3A で 5V、3A で 3.3V) の回路図を示します。この例では、6.3V から 36V の範囲内の公称入力電圧 12V に基づき、ターゲット効率は全負荷で 91.5% です。抵抗  $R_{RT}$  を  $15.4\text{k}\Omega$  にすると、フリーランニング スイッチング周波数が 1MHz に設定されます。オプションの SYNC 入力は、 $RT$  抵抗を使用して設定周波数の  $\pm 20\%$  に制限する必要があります。

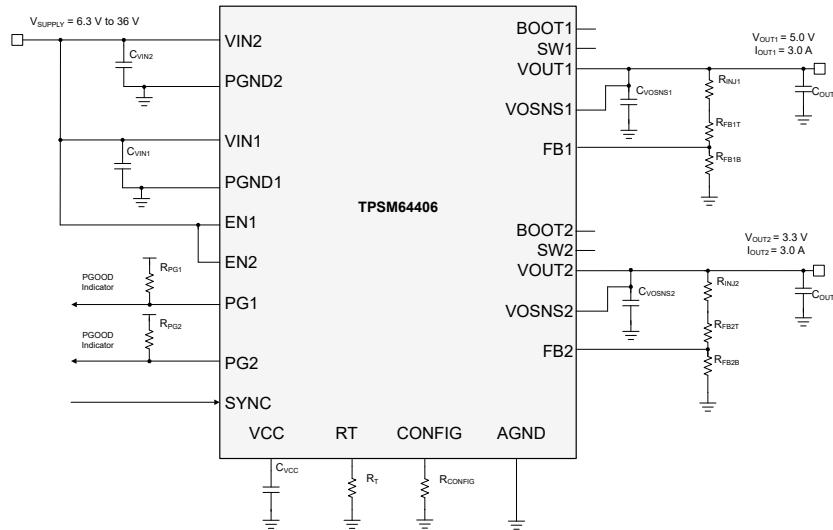


図 8-1. 回路図

#### 8.2.1.1 設計要件

このアプリケーション例の入力、出力、性能のパラメータを、表 8-1 に示します。

表 8-1. 設計パラメータ

設計パラメータ	値
入力電圧範囲	6.3V ~ 36V
入力電圧 UVLO がオン、オフ	6V, 4.3V
出力電圧 1	5V
出力電圧 2	3.3V
全負荷電流 1	3A
全負荷電流 2	3A
スイッチング周波数	1MHz
出力電圧レギュレーション	$\pm 1\%$

表 8-2 により、選択した降圧モジュールの電力段部品を複数のベンダから入手できるようになります。このデザインでは、完全セラミック出力コンデンサを実装しています。

表 8-2. アプリケーション回路 1 の部品表

参照記号	数量	仕様	メーカー (1)	部品番号
$C_{IN1}, C_{IN2}$	4	10 $\mu\text{F}$ 、50V、X5R、0805、セラミック	Murata (村田製作所)	GRM21BR61H106ME43L
$C_{INBULK}$	1	100 $\mu\text{F}$ 、50V 電解	Panasonic	EEE-FK1H101P
$C_{OUT1}, C_{OUT2}$	4	22 $\mu\text{F}$ 、25V、X7R、1210、セラミック	Murata (村田製作所)	GRM32ER71E226KE15L
	2	1 $\mu\text{F}$ 、25V、X7R、0603、セラミック	Murata (村田製作所)	GCM188R71E105KA64D

**表 8-2. アプリケーション回路 1 の部品表 (続き)**

参照記号	数量	仕様	メーカー <sup>(1)</sup>	部品番号
U <sub>1</sub>	1	TPSM64406 36V、6A 同期整流降圧モジュール	テキサス・インスツルメンツ	TPSM64406RDLR

(1) 「サードパーティ製品に関する免責事項」をご覧ください。

### 8.2.1.2 詳細な設計手順

#### 8.2.1.2.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、TPSM64406 モジュールを使用するカスタム設計を作成できます。

- 最初に、入力電圧 ( $V_{IN}$ )、出力電圧 ( $V_{OUT}$ )、出力電流 ( $I_{OUT}$ ) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と一緒に参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する。
- 熱シミュレーションを実行し、基板の熱特性を把握します。
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力します。
- 設計のレポートを PDF で印刷し、同僚と設計を共有する。

WEBENCH ツールの詳細は、[www.ti.com/ja-jp/WEBENCH](http://www.ti.com/ja-jp/WEBENCH) でご覧になれます。

#### 8.2.1.2.2 出力電圧の設定ポイント

帰還抵抗分圧式を使用して、両方の出力の出力電圧設定点を計算できます。 $R_{FB1T}$  および  $R_{FB2T}$  の推奨値は  $100\text{k}\Omega$  です。これにより、 $1\text{M}\Omega$  の場合と比較してノイズ耐性が向上し、より低い抵抗値の場合と比較して消費電流を削減できます。以下の式を使用して  $R_{FB1B}$  および  $R_{FB2B}$  を計算します。

$$R_{FBB} = \frac{R_{FBT} \times V_{REF}}{V_{OUT} - V_{REF}} \quad (9)$$

$R_{FB1B}$  には、 $19\text{k}\Omega$  に最も近い標準値を選択します。これは、 $5\text{V}$  の  $V_{OUT1}$  に関連します。また、 $R_{FB2B}$  には、 $32\text{k}\Omega$  に最も近い標準値を選択します。これは、 $3.3\text{V}$  の  $V_{OUT2}$  に関連します。

#### 8.2.1.2.3 スイッチング周波数の選択

各出力のスイッチング周波数を  $1\text{MHz}$  に設定するには、 $15.4\text{k}\Omega$  の抵抗を  $RT$  と  $AGND$  の間に接続します。

#### 8.2.1.2.4 入力コンデンサの選択

TPSM64406 には、最低入力容量が  $4 \times 10\mu\text{F}$  のセラミックが必要で、X7R 誘電体の使用を推奨します。入力コンデンサの電圧定格は、最大入力電圧よりも高い必要があります。この設計では、 $VIN1$  および  $VIN2$  から  $PGND$  へモジュールのできるだけ近くに接続された  $10\mu\text{F}$ 、X7R、 $50\text{V}$ 、0805 ケース サイズのセラミック コンデンサを 4 個選択します。推奨レイアウトの配置については、図 8-24 を参照してください。

#### 8.2.1.2.5 出力コンデンサの選択

表 7-4 から分かるように、TPSM64406 では、 $1\text{MHz}$  で  $5\text{V}$  の出力電圧で適切に動作させるには最低  $24\mu\text{F}$  の実効出力容量が必要で、 $1\text{MHz}$  で  $3.3\text{V}$  の出力電圧で適切に動作させるには最低  $37\mu\text{F}$  の実効出力容量が必要です。電圧と温度の定格が十分な高品質のセラミック タイプ コンデンサを使用します。必要に応じて、追加の出力容量を接続してリップル電圧を低減するか、特定の負荷過渡要件を持つアプリケーションに接続します。

この設計例では、モジュールの近くで VOUT1 から PGND に接続された 2 つの  $22\mu\text{F}$ 、25V 定格、X7R、1210 のセラミックコンデンサと、VOUT2 ピンから PGND に接続された 2 つの  $22\mu\text{F}$ 、25V 定格、X7R、1210 のセラミックコンデンサを使用します。コンデンサのデータシートに掲載されているディレーティング曲線を使用して、温度および DC バイアスによる実効容量を測定します。

#### 8.2.1.2.6 他の検討事項

表 7-4 の最小値に近い出力容量を使用するときに位相マージンを増やすには、 $C_{FF}$  として指定されたフィードフォワードコンデンサを上側の帰還抵抗の両端に配置できます。 $C_{FF}$  および  $R_{FBT}$  によって生成されるゼロを、スイッチング周波数の 5 分の 1 よりも高い位置に配置することで、クロスオーバー周波数を大幅に増加させることなく位相を改善できます。この  $C_{FF}$  コンデンサは、回路の出力から IC の FB ノードに直接ノイズを導く可能性があるため、 $4.99\text{k}\Omega$  の抵抗 ( $R_{FF}$ ) を  $C_{FF}$  と直列に配置する必要があります。出力コンデンサの ESR ゼロが  $200\text{kHz}$  未満である場合、CFF を使用しないでください。

さらに、VOUT1 で 5V、VOUT2 で 3.3V のデュアル出力電圧出力では、固定周波数構成を使用できます。5V 出力の場合は  $10\text{k}\Omega$  抵抗を経由して FB を VCC に、3.3V 出力の場合は FB を AGND に接続します。内部の固定帰還抵抗を使用すると、より高い効率を実現できます。

### 8.2.1.3 アプリケーション曲線

#### 効率およびロード レギュレーション性能

特に記述のない限り、 $V_{IN} = 12V$ 、 $V_{OUT1} = 5V$ 、 $V_{OUT2} = 3.3V$ 、 $I_{OUT1} = 3A$ 、 $I_{OUT2} = 3A$  および  $f_{SW} = 1MHz$ 。

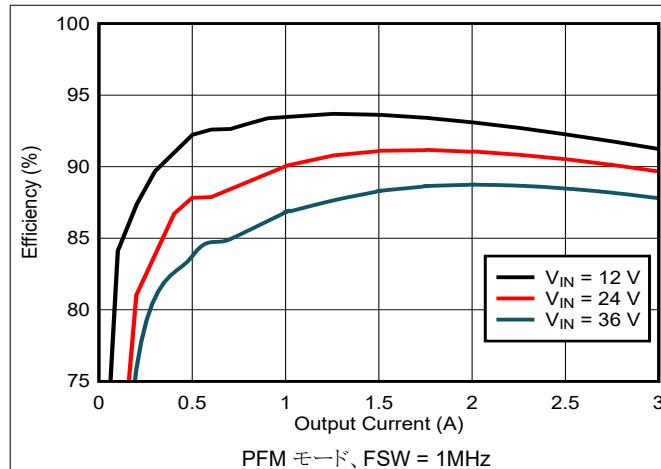


図 8-2. 効率、 $V_{OUT} = 5V$

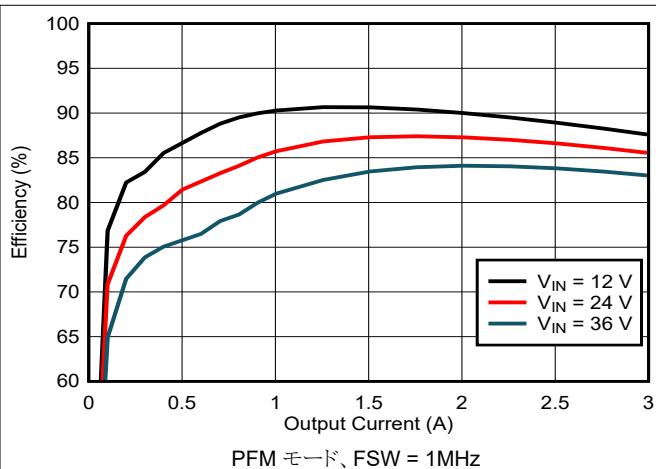


図 8-3. 効率、 $V_{OUT} = 3.3V$

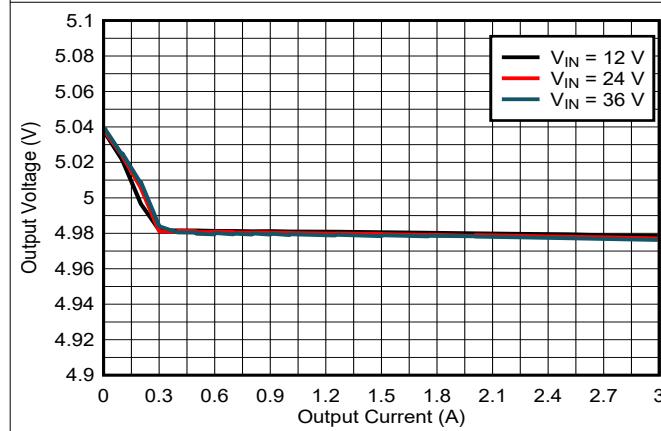


図 8-4. ロード レギュレーション、 $V_{OUT} = 5V$ 、PFM モード

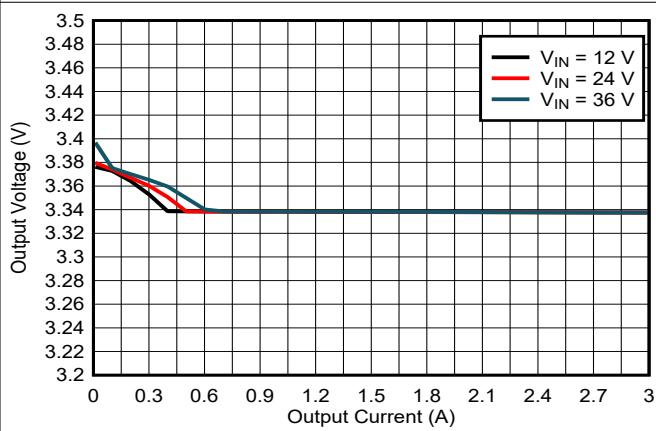


図 8-5. ロード レギュレーション、 $V_{OUT} = 3.3V$ 、PFM モード

## 波形および線図

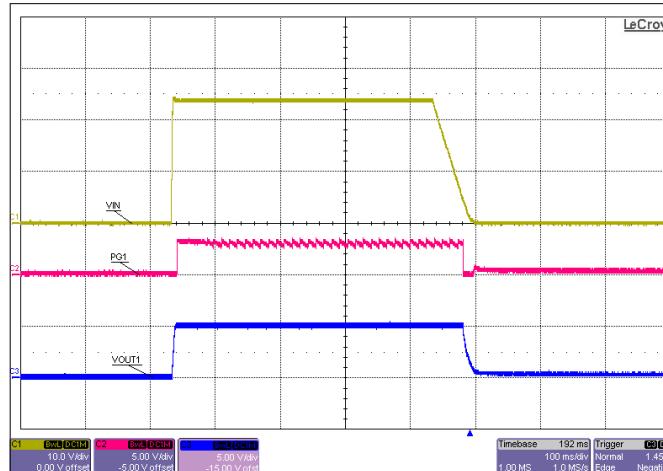


図 8-6. スタートアップおよびシャットダウン、VOUT1 = 5V

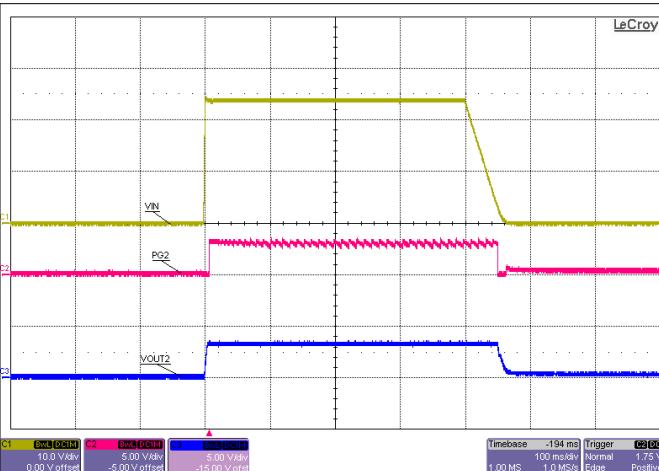


図 8-7. スタートアップおよびシャットダウン、VOUT2 = 3.3V

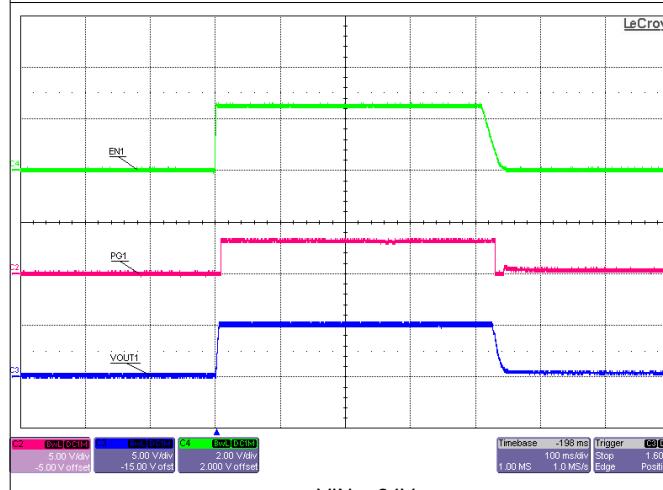


図 8-8. オンとオフを有効化、VOUT1 = 5V

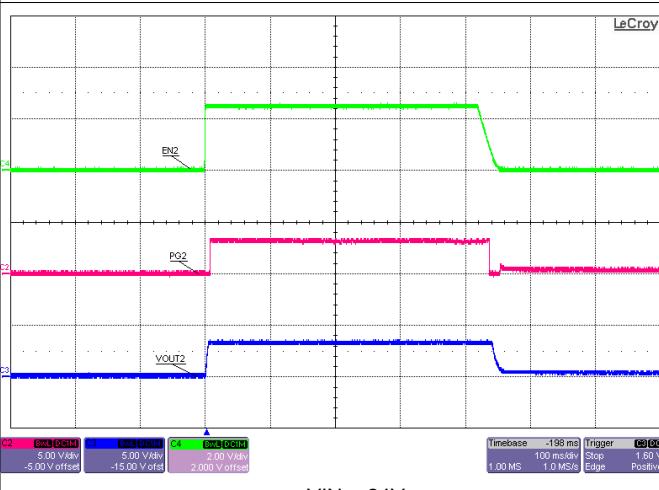
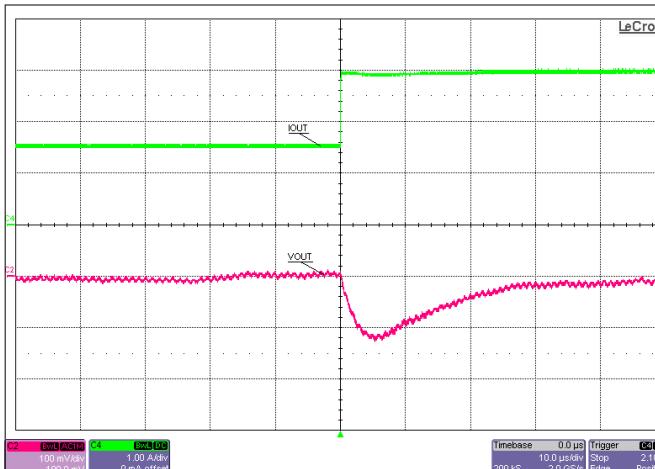
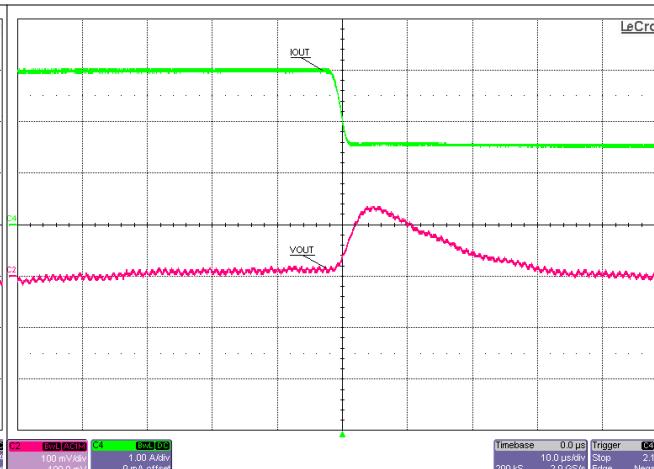


図 8-9. オンとオフを有効化、VOUT2 = 3.3V



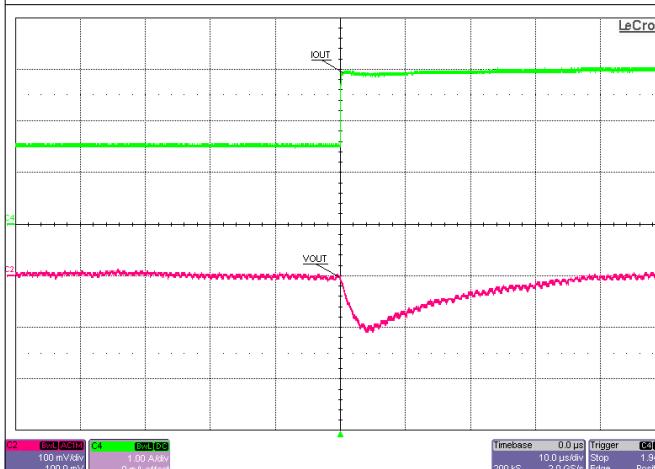
VOUT1 = 5V, IOUT1 = 1.5A ~ 3A (1A/µs 時)

図 8-10. 負荷過渡立ち上がり (CH1)



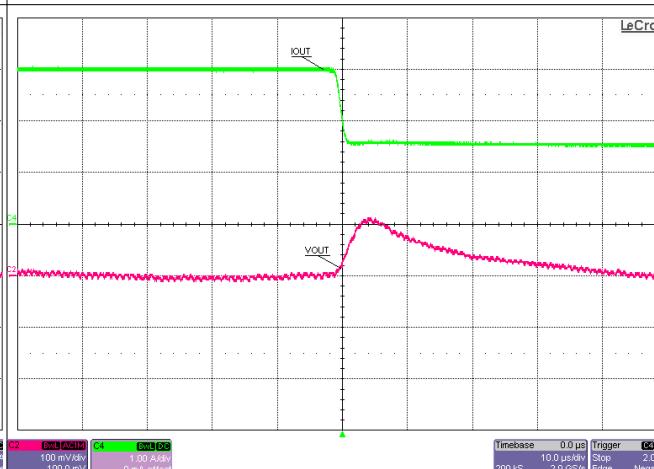
VOUT1 = 5V, IOUT1 = 3A ~ 1.5A (1A/µs 時)

図 8-11. 負荷過渡立ち下がり (CH1)



VOUT2 = 3.3V, IOUT2 = 3A ~ 6A (1A/µs 時)

図 8-12. 負荷過渡立ち上がり (CH2)



VOUT2 = 3.3V, IOUT2 = 6A ~ 3A (1A/µs 時)

図 8-13. 負荷過渡立ち下がり (CH2)

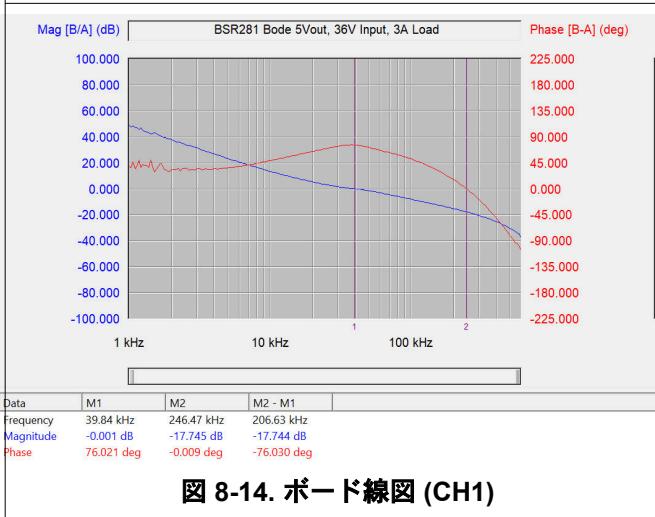


図 8-14. ボード線図 (CH1)

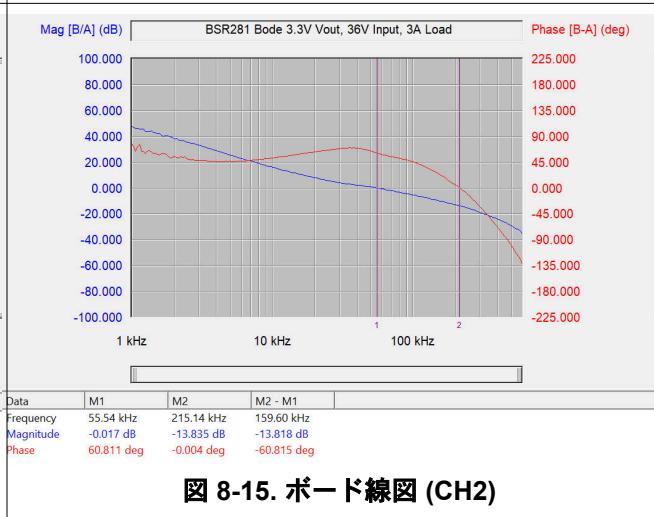
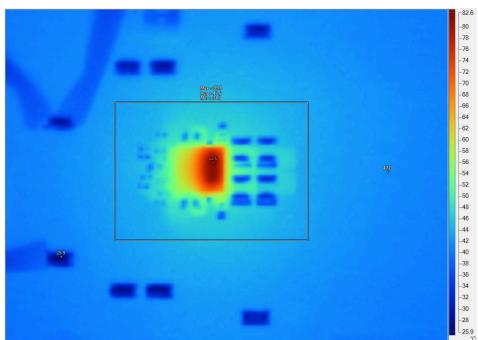
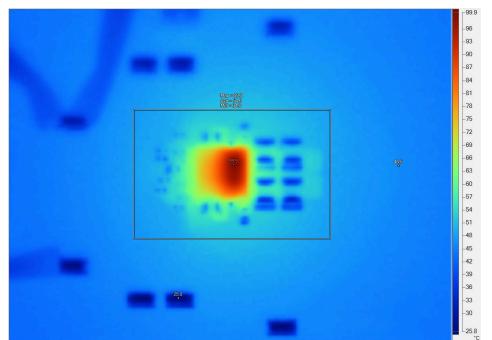


図 8-15. ボード線図 (CH2)

## 熱性能



$V_{OUT1} = 5V, V_{OUT2} = 3.3V, I_{OUT1} = 3A, I_{OUT2} = 3A, F_{SW} = 1MHz$

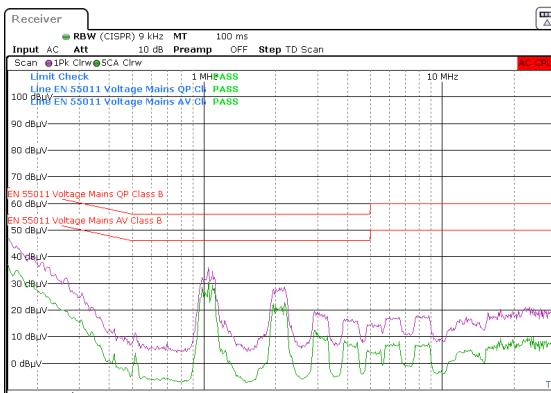


$V_{OUT1} = 5V, V_{OUT2} = 3.3V, I_{OUT1} = 3A, I_{OUT2} = 3A, F_{SW} = 1MHz$

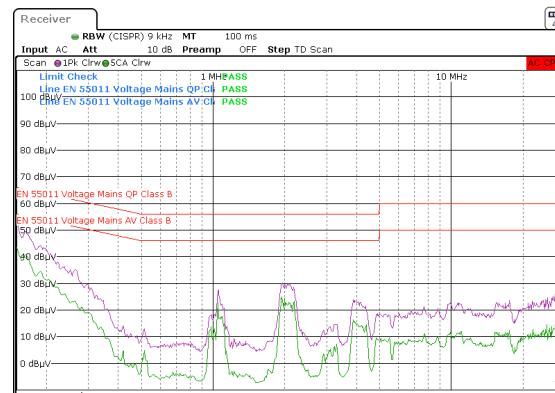
図 8-16. 赤外線熱画像 :  $V_{IN} = 12V$

図 8-17. 赤外線熱画像 :  $V_{IN} = 36V$

## EMI 性能



$V_{OUT1} = 5V, V_{OUT2} = 3.3V, I_{OUT1} = 3A, I_{OUT2} = 3A, F_{SW} = 1MHz$



$V_{OUT1} = 5V, V_{OUT2} = 3.3V, I_{OUT1} = 3A, I_{OUT2} = 3A, F_{SW} = 1MHz$

図 8-18. CISPR 11/32 クラス B 伝導性放射 :  $V_{IN} = 12V$

図 8-19. CISPR 11/32 クラス B 伝導性放射 :  $V_{IN} = 24V$

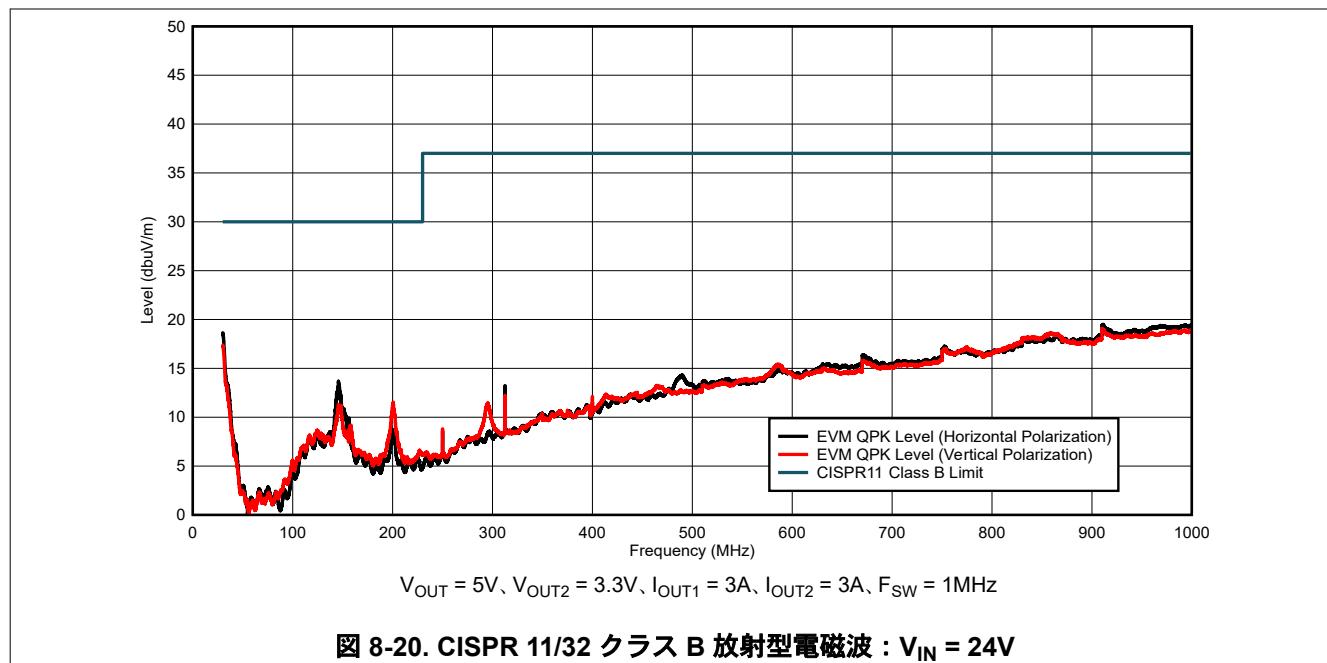


図 8-20. CISPR 11/32 クラス B 放射型電磁波 :  $V_{IN} = 24V$

### 8.2.2 設計 1 – 産業用アプリケーション向け高効率 8A (10A ピーク) 同期整流降圧レギュレータ

下図に、1MHz のスイッチング周波数を使用する 5V、8-A の降圧レギュレータの回路図を示します。この例では、9V から 36V の範囲内の公称入力電圧 24V に基づき、半負荷効率と全負荷効率の目標はそれぞれ、93.4% および 91.5% です。抵抗  $R_{RT}$  を  $15.8\text{k}\Omega$  にすると、フリーランニング スイッチング周波数が 1MHz に設定されます。オプションの SYNC 入力信号を使用すると、この特定のアプリケーションのためにスイッチング周波数を 500kHz ~ 1.4MHz に調整できます。

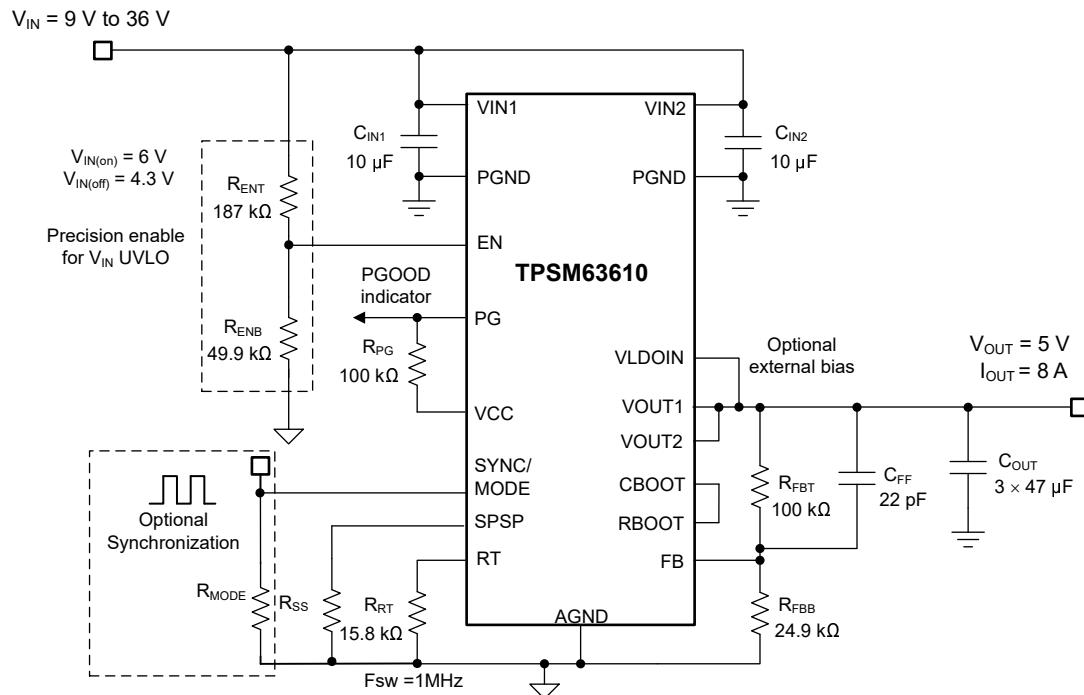


図 8-21. 回路図

### 8.2.2.1 設計要件

下表に、このアプリケーション例の入力、出力、性能のパラメータを示します。入力電圧が約 7V を下回ると、レギュレータは 5V の設定ポイントを下回る出力電圧で、ドロップアウトで動作することに注意してください。

**表 8-3. 設計パラメータ**

設計パラメータ	値
入力電圧範囲	7V ~ 36V
入力電圧 UVLO がオン、オフ	6V、4.3V
出力電圧	5V
最大出力電流	6A
スイッチング周波数	2.1MHz
出力電圧レギュレーション	±1%
モジュール シャットダウン電流	1µA 未満

表 8-4 により、選択した降圧モジュールの電力段部品を複数のベンダから入手できるようになります。このデザインでは、完全セラミック出力コンデンサを実装しています。

**表 8-4. アプリケーション回路 2 の部品表**

リファレンス指定子	数量	仕様	メーカー <sup>(1)</sup>	部品番号
C <sub>IN1</sub> 、C <sub>IN2</sub>	4	2.2µF、50V、X7R、0805、セラミック	TDK	C2012X7R1H225K125AC
C <sub>INBULK</sub>	1	100 µF、50V 電解	Panasonic	EEE-FK1H101P
C <sub>OUT1</sub> 、C <sub>OUT2</sub>	5	10µF、25V、X7R、1210、セラミック	TDK	C3225X7R1E106K250AC
	1	22µF、25V、X7R、1210、セラミック	TDK	CNA6P1X7R1E226M250AE
U <sub>1</sub>	1	TPSM64406 36V、6A 同期整流降圧モジュール	テキサス・インスツルメンツ	TPSM64406RDLR

(1) 『サードパーティ製品の免責事項』を参照してください。

一般的に TPSM64406 モジュールは、幅広い外付け部品とシステム パラメータで機能するように設計されています。しかし内部ループ補償は、特定の範囲の出力容量に対して最適化されています。

### 8.2.2.2 詳細な設計手順

#### 8.2.2.2.1 出力電圧の設定ポイント

TPSM64406 モジュールの出力電圧は、分圧抵抗を使用して外部で調整可能です。R<sub>FBT</sub> の推奨値である 100kΩ は 1MΩ に比べてノイズ耐性が向上しており、より小さい抵抗値に比べて消費電流が低減しています。以下の式を使用して R<sub>FBB</sub> を計算します。

$$R_{FBB} = \frac{R_{FBT} \times V_{REF}}{V_{OUT} - V_{REF}} \quad (10)$$

R<sub>FBB</sub> には 19kΩ に最も近い標準値を選択します。これは、5V の V<sub>OUT</sub> に関連します。

#### 8.2.2.2.2 スイッチング周波数の選択

RT と AGND の間に 6.9kΩ の抵抗を接続し、スイッチング周波数を 2.1MHz (位相ごと) に設定します。このスイッチング周波数は、公称入力電圧 12V で 6A 定格出力電流の 20%~40% の範囲でデバイスがインダクタのピーク ツー ピーク リップル電流を確立するため 5V の出力用に設計されています。

### 8.2.2.2.3 入力コンデンサの選択

TPSM64406 には、最低入力容量が  $4 \times 10\mu\text{F}$  のセラミックが必要で、X7R 誘電体の使用を推奨します。入力コンデンサの電圧定格は、最大入力電圧よりも高い必要があります。この設計では、VIN1 および VIN2 から PGND へモジュールのできるだけ近くに接続された  $10\mu\text{F}$ 、X7R、50V、0805 ケース サイズのセラミック コンデンサを 4 個選択します。推奨レイアウトの配置については、図 8-24 を参照してください。

### 8.2.2.2.4 出力コンデンサの選択

クイック スタート計算ツールによる計算では、TPSM64406 では 2.1MHz で 5V の出力電圧で適切に動作させるには、 $15\mu\text{F}$  以上の実効出力容量が必要です。電圧と温度の定格な十分な高品質のセラミック タイプ コンデンサを使用します。必要に応じて、追加の出力容量を接続してリップル電圧を低減するか、特定の負荷過渡要件を持つアプリケーションに接続します。

この設計例では、モジュールの近くで VOUT1 と VOUT2 ピンから PGND に接続された 5 つの  $10\mu\text{F}$ 、25V、X7R、1210 のセラミック コンデンサと、1 つの  $47\mu\text{F}$ 、16V、X5R、1210 のセラミック コンデンサを使用します。コンデンサのデータシートに掲載されているディレーティング曲線を使用して、温度および DC バイアスによる実効容量を測定します。

### 8.2.2.2.5 その他の接続

表 7-4 の最小値に近い出力容量を使用するときに位相マージンを増やすには、 $C_{FF}$  として指定されたフィードフォワード コンデンサを上側の帰還抵抗の両端に配置できます。 $C_{FF}$  および  $R_{FBT}$  によって生成されるゼロを、スイッチング周波数の 5 分の 1 よりも高い位置に配置することで、クロスオーバー周波数を大幅に増加させることなく位相を改善できます。この  $C_{FF}$  コンデンサは、回路の出力から IC の FB ノードに直接ノイズを導く可能性があるため、 $4.99\text{k}\Omega$  の抵抗 ( $R_{FF}$ ) を  $C_{FF}$  と直列に配置する必要があります。出力コンデンサの ESR ゼロが 200kHz 未満である場合、CFF を使用しないでください。

さらに、出力電圧が 5V または 3.3V の場合は、固定周波数構成を使用できます。5V 出力の場合は  $10\text{k}\Omega$  抵抗を経由して FB を VCC に、3.3V 出力の場合は FB を AGND に接続します。内部の固定帰還抵抗を使用すると、より高い効率を実現できます。

### 8.2.2.3 アプリケーション曲線

#### 効率性能

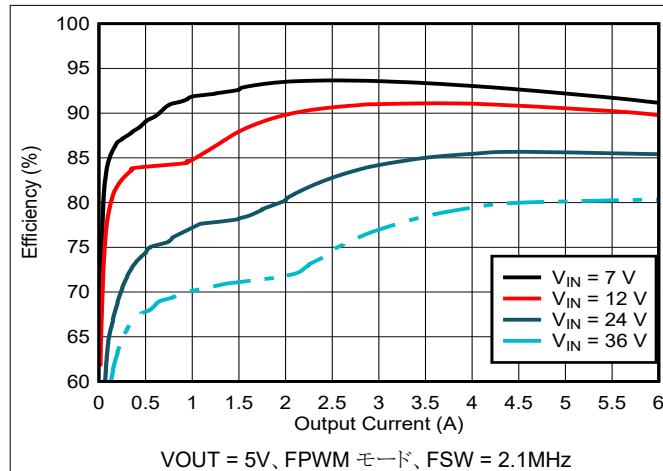


図 8-22. 効率

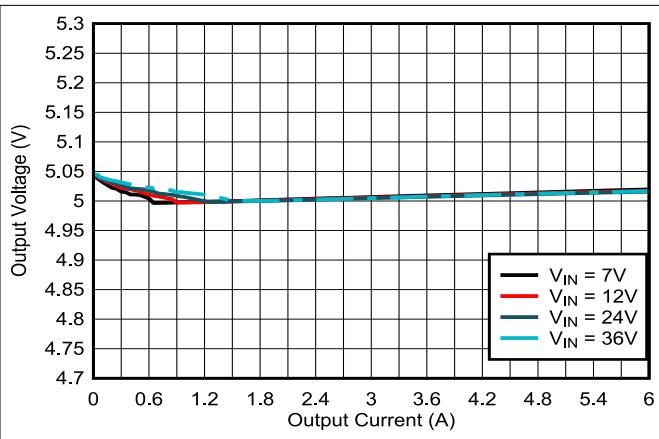


図 8-23. ロード レギュレーション

## 8.3 電源に関する推奨事項

TPSM64406 降圧モジュールは、3V ~ 36V の幅広い入力電圧範囲で動作するように設計されています。入力電源の特性は、このデータシートの [セクション 6.1](#) および [セクション 6.3](#) と互換性がある必要があります。また、入力電源は、負荷時レギュレータ回路に必要な入力電流を供給できる必要があります。[式 11](#) を使用して平均入力電流を推定します。

$$I_{IN} = \left( \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \right) \quad (11)$$

ここで、

- $\eta$  は効率です。

モジュールが高インピーダンスを持つ長い配線や PCB パターンを経由して入力電源に接続されている場合は、安定した性能を実現するために特に注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、モジュールの動作に悪影響を及ぼすことがあります。具体的には、寄生インダクタンスと低 ESR のセラミック入力コンデンサの組み合わせにより、低減衰共振回路が形成され、入力電源のサイクルのオン/オフが繰り返されるたびに不安定または電圧過渡が発生する可能性があります。寄生抵抗により、負荷過渡中に入力電圧が低下する場合があります。モジュールが最小入力電圧に近い値で動作している場合、この低下によって UVLO が誤って起動され、システムがリセットされる可能性があります。

こうした問題を解決する最善策は、入力電源からモジュールまでの距離を短くして、電解入力コンデンサをセラミックと並列に使用することです。中程度の ESR を持つ電解コンデンサは、入力共振回路の振動を減衰させ、入力のすべてのオーバーシュートまたはアンダーシュートを低減するのに役立ちます。通常、47μF ~ 100μF の容量は入力並列ダンピングに十分であり、大きな負荷過渡中も入力電圧を安定した状態に保持できます。代表的な ESR は 0.1Ω~0.4Ω であり、ほとんどの入力回路構成で十分な減衰を実現します。

## 8.4 レイアウト

大電流、高速スイッチング モジュール回路 (高い内部電圧および電流スルーレートを持つ) においては、信頼性の高いデバイス動作と設計の堅牢性を実現するために、適切な PCB 設計とレイアウトが重要です。これは主に、基板上のデバイスの EMI 性能と放熱性能に影響を与えます。

### 8.4.1 レイアウトのガイドライン

次のリストに、熱や EMI 特性を含め、DC/DC モジュールの性能を最適化できる PCB レイアウトと部品の配置に関する重要なガイドラインを要約します。[図 8-24](#) に、TPSM64406 の推奨 PCB レイアウトと、最適化された電力段および小信号部品の配置および配線を示します。

- 入力コンデンサは、VIN ピンにできる限り近づけて配置してください。モジュール パッケージの各側に配置されている VIN1 ピンと VIN2 ピンに基づいて、入力コンデンサのデュアル配置と対称配置に注意してください。高周波電流は 2 つに分割され、関連する磁界の寄与が互いに打ち消し合うように効果的に逆方向に流れ、EMI 性能が向上します。
  - X7R または X7S 誘電体とともに、低 ESR の 1206 または 1210 セラミックコンデンサを使用します。このモジュールには、高周波バイパス用のデュアル 0402 入力コンデンサが内蔵されています。
  - 入力コンデンサのグランドリターン パスは、モジュールの下にある PGND パッドに接続する局所的な上面プレーンで構成されている必要があります。
  - VIN ピンは内部で接続されていますが、下側の PCB 層で広いポリゴン プレーンを使用して、これらのピンを相互に接続し、入力電源に接続します。
- 出力コンデンサは、VOUT ピンにできる限り近づけて配置してください。出力コンデンサのデュアル配置と対称配置が類似しているため、磁界の打ち消しと EMI の低減が可能です。
  - 出力コンデンサのグランドリターン パスは、モジュールの下にある PGND パッドに接続する局所的な上面プレーンで構成されている必要があります。
  - VOUT ピンは内部で接続されていますが、下側の PCB 層で広いポリゴン プレーンを使用して、これらのピンを相互に接続し、負荷に接続することで、導通損失と熱ストレスを低減します。
- 帰還抵抗を FB ピンの近くに配置することで、FB パターンをできるだけ短くします。分圧抵抗を負荷ではなく FB ピン近くに配置することで、出力電圧帰還パスのノイズの影響を小さくします。FB は電圧ループ エラー アンプへの入力で

あり、ノイズの影響を受けやすいハイインピーダンスノードを表します。上側の帰還抵抗から必要な出力電圧レギュレーションポイントまでパターンを配線します。

- モジュールの上層の直下にあるPCB層のソリッドグランドプレーンを使用します。このプレーンは、スイッチングループ内の電流に関連する磁界を最小化することで、ノイズシールドとして機能します。AGNDピン6と11をモジュールの下にあるPGNDピン19に直接接続します。
- 適切なヒートシンクのために十分なPCB領域を確保します。十分な銅面積を使用して、最大負荷電流および周囲温度条件に対応する低熱インピーダンスを実現します。接合部温度を150°C未満に維持するために、TPSM64406には十分なヒートシンクを用意してください。全定格負荷で動作する場合、上面のグランドプレーンは重要な放熱面積になります。一連のヒートシンクビアを使用して、パッケージの露出したパッド(PGND)をPCBグランドプレーンに接続します。PCBに複数の銅層がある場合は、これらのサーマルビアを内部層のグランドプレーンに接続します。PCB層の上部と下部は2オンスの銅厚(最低でも1オンス以上)を推奨します。

#### 8.4.1.1 热設計およびレイアウト

DC/DCモジュールを特定の温度範囲で使用できるようにするには、パッケージは接合部温度を定格制限内に維持しながら、発生する熱を効率的に除去する必要があります。TPSM64406モジュールは、豊富なアプリケーション要件に対応する小型の6.5mm × 7.55mm 28ピンQFNパッケージで供給されます。[セクション6.4](#)の表には、このパッケージの熱指標と、『[半導体およびICパッケージの熱指標](#)』アプリケーションノートに記載された関連する詳細情報が要約されています。

28ピンQFNパッケージでは、パッケージの底面にある露出した熱パッドを介して熱が除去されます。この設計により、ヒートシンクが大幅に改善されます。熱除去サブシステムを完成させる上で、PCB設計にサーマルランド、サーマルビア、および1つまたは複数のグランドプレーンを含めることは不可欠です。TPSM64406の露出したパッドは、PCB上でデバイスのパッケージの真下にある、グランドに接続された銅ランドにはんだ付けされているため、熱抵抗を非常に小さい値まで低減します。

すべての層に2ozの銅厚の4層基板を使用して、低インピーダンス、適切なシールド、低い熱抵抗を実現することを推奨します。サーマルランドから内部とはんだ側のグランドプレーンに接続された直径0.3mmの大量のビアは、伝熱に不可欠です。PCBをマルチレイヤに積み上げる場合、通常は電力段部品下のPCB層にソリッドグランドプレーンを配置します。この設計は、電力段の電流が流れるためのプレーンだけでなく、熱を生成するデバイスから熱を逃がす熱伝導経路を提供します。

#### 8.4.2 レイアウト例

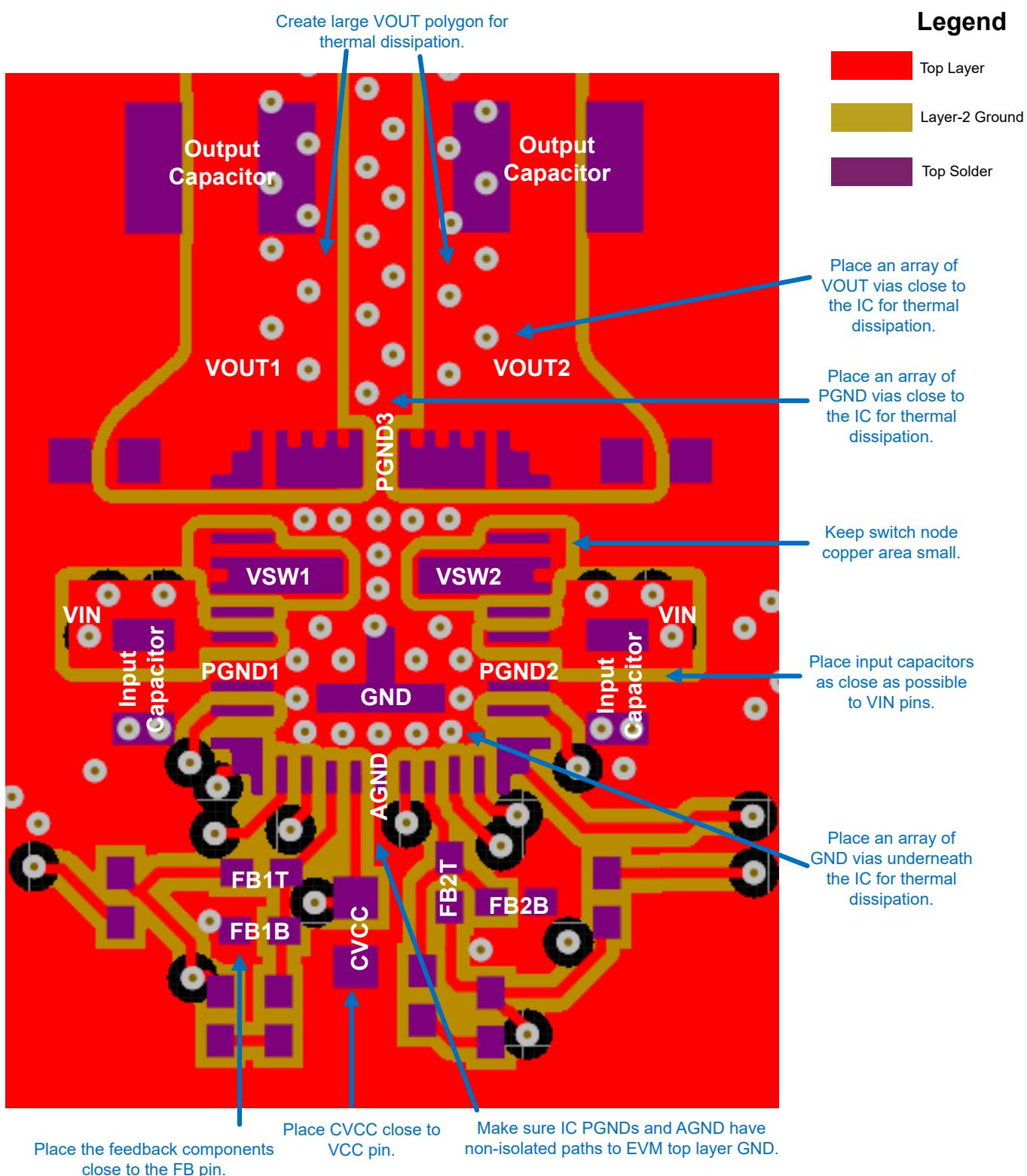


図 8-24. 標準上層部の設計

## 9 デバイスおよびドキュメントのサポート

## 9.1 デバイス サポート

#### 9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

### 9.1.2 開発サポート

TPSM64406 ファミリーの同期整流降圧電源モジュールは、3V ~ 36V の入力動作電圧と最大 6A の定格出力電流を実現し、多様なアプリケーションに対応できる柔軟性、スケーラビリティ、最適化されたソリューション サイズを実現します。これらのモジュールを使用すると、高密度、低 EMI で高い柔軟性を持つ DC/DC 設計を実現できます。利用可能な EMI 低減機能には、デュアルランダムスペクトラム拡散機能 (DRSS) と内蔵入力バイパスコンデンサが含まれます。

表 9-1. 同期整流降圧 DC/DC 電源モジュール ファミリー

DC/DC モジュール	定格 $I_{OUT}$	パッケージ	寸法	特長	EMI 軽減
TPSM64404	4A	B3QFN (28)	6.5mm × 7.0mm × 4mm	RT 可変 $F_{SW}$ 、外部同期、MODE 可変 (PFM/FPWM)	DRSS、内蔵入力、BOOT コンデンサ
TPSM64406	6A				

開発サポートについては、以下を参照してください。

- ・ テキサス・インスツルメンツのリファレンス デザイン ライブドキュメントについては、[テキサス・インスツルメンツ リファレンス デザイン ライブドキュメント](#)をご覧ください。
  - ・ テキサス・インスツルメンツの **WEBENCH** 設計環境については、[WEBENCH® 設計センター](#)をご覧ください。
  - ・ 低 EMI の電源を設計するには、テキサス・インスツルメンツの包括的な **EMI トレーニング シリーズ**をご覧ください。
  - ・ 反転昇降圧 (IBB) レギュレータを設計するには、[DC/DC 反転昇降圧モジュール](#)をご覧ください。
  - ・ TI のリファレンス デザイン。
    - [『Kintex 7 アプリケーション向け複数出力電源ソリューション』](#)
    - [『Arria V 向けの電源リファレンス デザイン』](#)
    - [『Altera 製 Cyclone V SoC 向けの電源リファレンス デザイン』](#)
    - [『BOM \(部品表\) 点数が最小で、スペースを最適化した DC/DC 反転型電源モジュールのリファレンス デザイン』](#)
    - [『小型の低ノイズシステム用の  \$V\_{IN} = 3 \sim 11.5V\$ ,  \$V\_{OUT} = -5V, 1.5A\$  の反転電源モジュールのリファレンス デザイン』](#)
  - ・ 技術関連ブログ記事：
    - [『DC/DC 降圧コンバータを使用した医療用画像処理アプリケーションへの電力供給』](#)
    - [『How To Create A Programmable Output Inverting Buck-boost Regulator \(英語\)』](#)
  - ・ この製品の関連デバイスについては、[『LMQ644A2 36V、デュアル 6-A 同期整流降圧コンバータ』](#)を参照してください。

### 9.1.2.1 WEBENCH® ツールによるカスタム設計

[これをクリック](#) すると、WEBENCH® Power Designer により、TPSM64406 モジュールを使用するカスタム設計を作成できます。

- 最初に、入力電圧 ( $V_{IN}$ )、出力電圧 ( $V_{OUT}$ )、出力電流 ( $I_{OUT}$ ) の要件を入力します。
  - オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
  - 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

**WEBENCH Power Designer** では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と一緒に見て参考できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する。
- 熱シミュレーションを実行し、基板の熱特性を把握します。
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力します。
- 設計のレポートを PDF で印刷し、同僚と設計を共有する。

WEBENCH ツールの詳細は、[www.ti.com/ja-jp/WEBENCH](http://www.ti.com/ja-jp/WEBENCH) でご覧になれます。

## 9.2 ドキュメントのサポート

### 9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[TI 降圧スイッチング DC/DC のクイックリファレンス ガイド](#)』アプリケーション ノート アプリケーション ノートの編集
- テキサス・インスツルメンツ、『[革新的な DC/DC 電源モジュール](#)』セレクション ガイド
- テキサス・インスツルメンツ、『[Enhanced HotRod™ QFN パッケージ テクノロジーによる小型で低発熱の静音電源モジュールの実現](#)』ホワイトペーパー
- テキサス・インスツルメンツ、『[電源モジュール パッケージの各種オプションの利点とトレードオフ](#)』ホワイトペーパー
- テキサス・インスツルメンツ、『[電源モジュールによる低 EMI 設計の簡素化](#)』ホワイトペーパー
- テキサス・インスツルメンツ、『[ラボ計測用電源モジュール](#)』ホワイトペーパー
- テキサス・インスツルメンツ、『[DC/DC レギュレータの EMI エンジニア ガイド](#)』e-book
- テキサス・インスツルメンツ、『[電源モジュールの半田付けに関する考慮事項](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[DC/DC 電源モジュールを使った実用的な熱設計](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[新しい熱評価基準の解説](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[過去ではなく、現在の議見による AN-2020 热設計](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[負出力反転昇降圧アプリケーションに TPSM53602/3/4 を使用する方法](#)』アプリケーション ノート

## 9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

## 9.5 商標

HotRod™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

## 9.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお奨めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 9.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (June 2024) to Revision B (October 2025)	Page
• 「特長」セクションに ZEN 2 命名規則を追加.....	1
• データシートのタイトルに ZEN 2 命名規則を追加.....	1
• 「説明」セクションに ZEN 2 命名規則を追加.....	1

Changes from Revision * (December 2023) to Revision A (June 2024)	Page
• TPSM64406E および TPSM64404 の新たにリリースされたデバイス情報を追加.....	3
• ESD テストの説明を更新.....	7
• 熱特性表にパッケージへの参照を追加.....	8
• TPSM64406 に合わせて電流制限の標準曲線を更新.....	12
• 「機能ブロック図」から色を削除.....	14

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPSM64404RCHR	Active	Production	QFN-FCMOD (RCH)   28	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	64404
TPSM64404RCHR.A	Active	Production	QFN-FCMOD (RCH)   28	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	64404
TPSM64406EXTRCHR	Active	Production	QFN-FCMOD (RCH)   28	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	64406EXT
TPSM64406EXTRCHR.A	Active	Production	QFN-FCMOD (RCH)   28	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	64406EXT
TPSM64406RCHR	Active	Production	QFN-FCMOD (RCH)   28	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	64406
TPSM64406RCHR.A	Active	Production	QFN-FCMOD (RCH)   28	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	64406

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

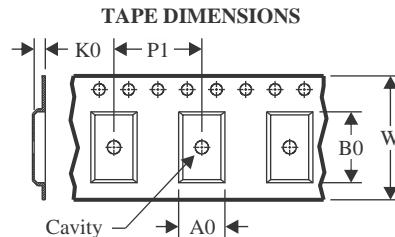
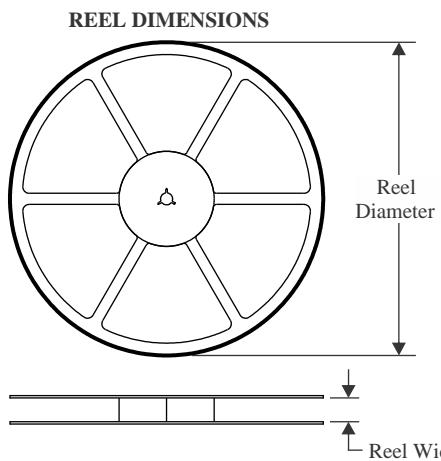
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

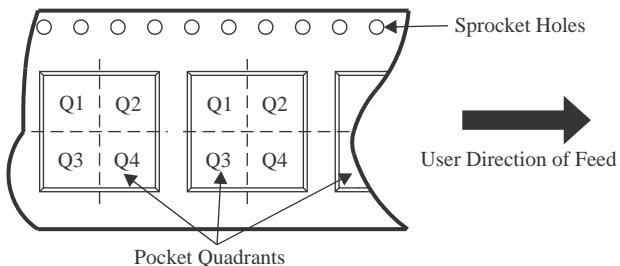
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION



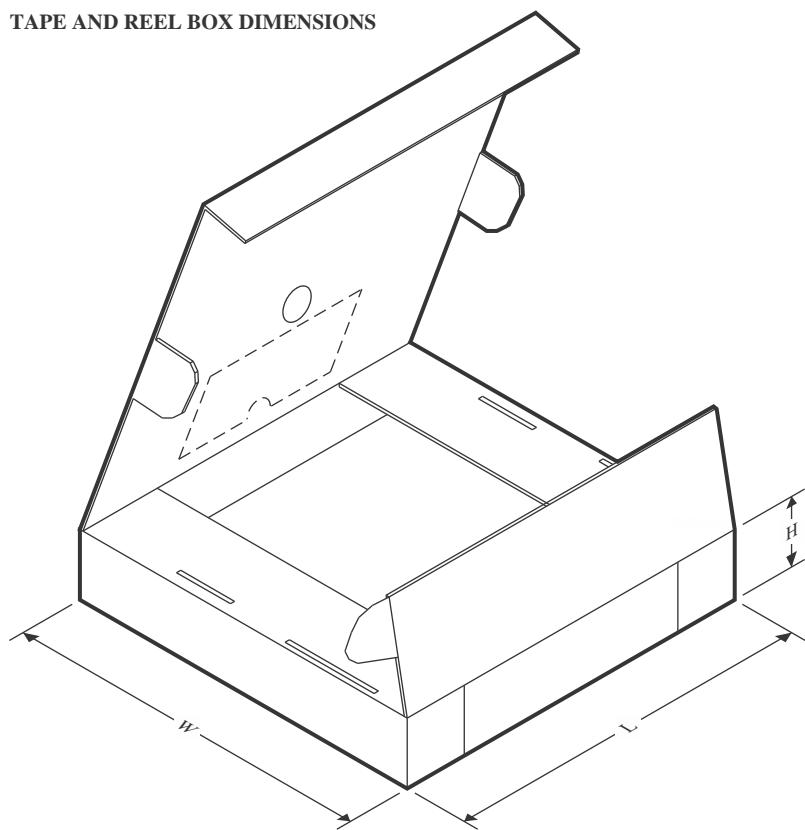
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPSM64404RCHR	QFN-FCMOD	RCH	28	1000	330.0	16.4	6.8	7.3	2.25	12.0	16.0	Q2
TPSM64406EXTRCHR	QFN-FCMOD	RCH	28	1000	330.0	16.4	6.8	7.3	2.25	12.0	16.0	Q2
TPSM64406RCHR	QFN-FCMOD	RCH	28	1000	330.0	16.4	6.8	7.3	2.25	12.0	16.0	Q2

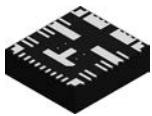
**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPSM64404RCHR	QFN-FCMOD	RCH	28	1000	367.0	367.0	38.0
TPSM64406EXTRCHR	QFN-FCMOD	RCH	28	1000	367.0	367.0	38.0
TPSM64406RCHR	QFN-FCMOD	RCH	28	1000	367.0	367.0	38.0

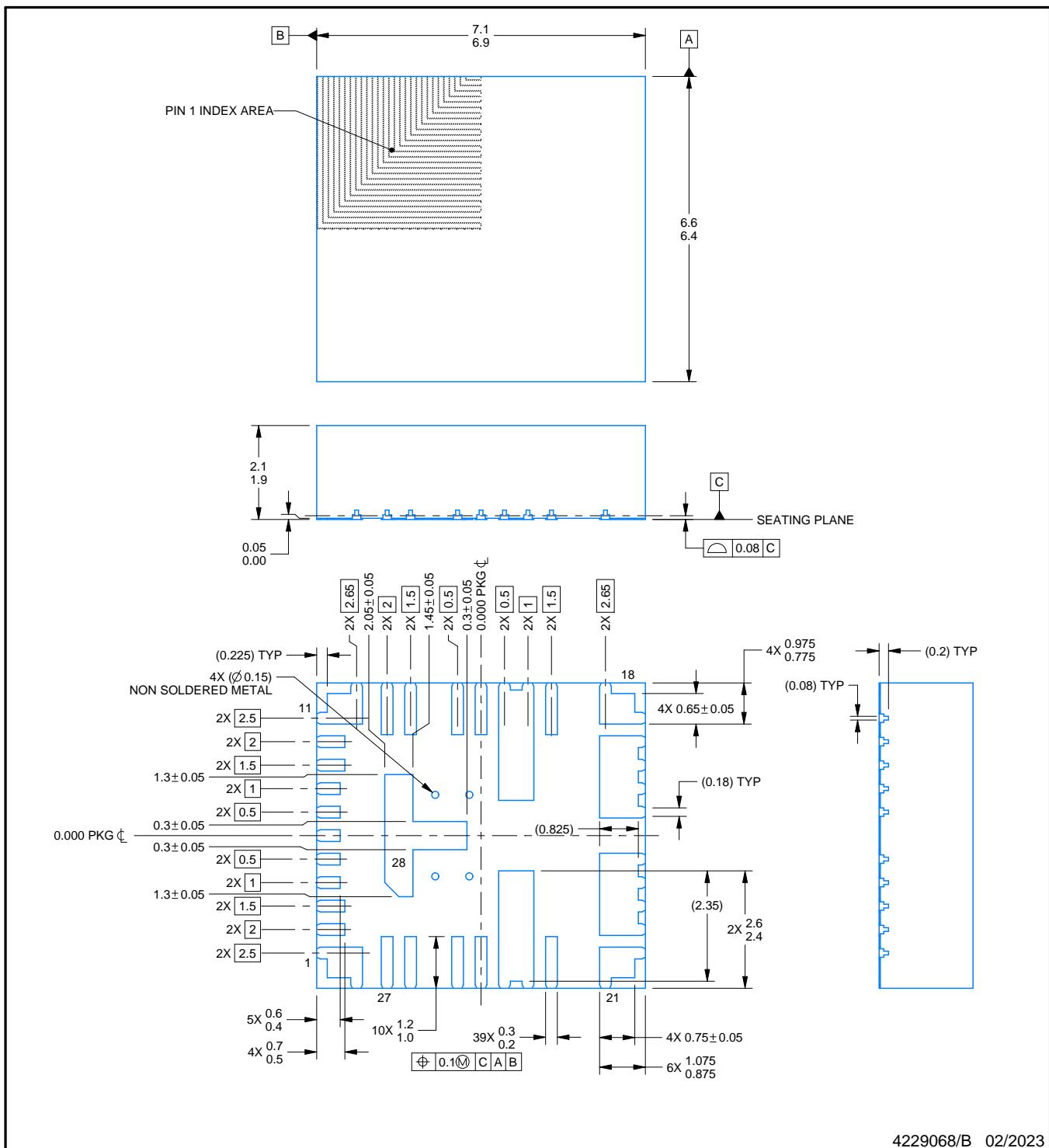
## **PACKAGE OUTLINE**

RCH0028B



## **QFN-FCMOD - 2.1 mm max height**

## PLASTIC QUAD FLATPACK - NO LEAD



4229068/B 02/2023

## NOTES:

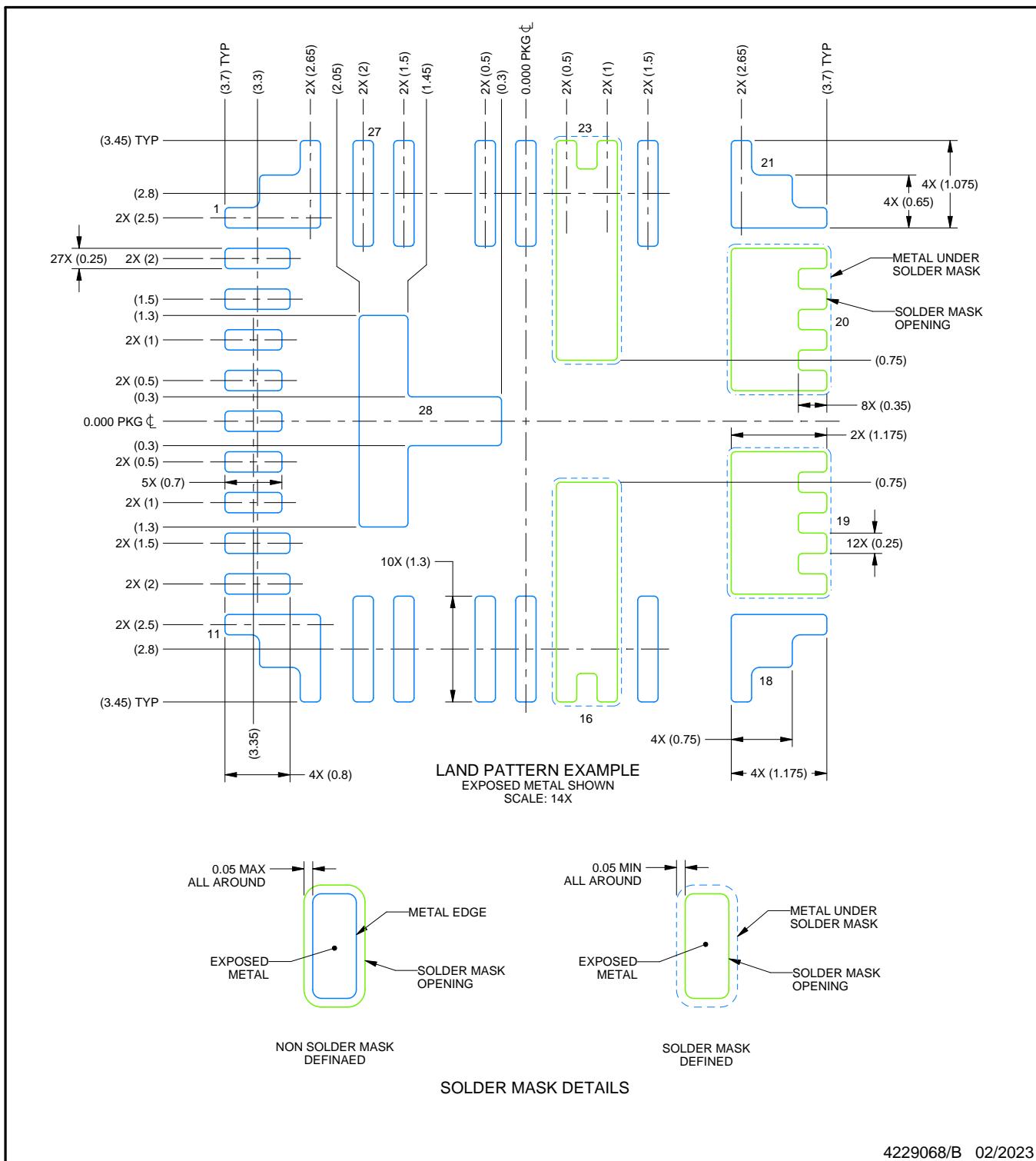
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.

# EXAMPLE BOARD LAYOUT

RCH0028B

QFN-FCMOD - 2.1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

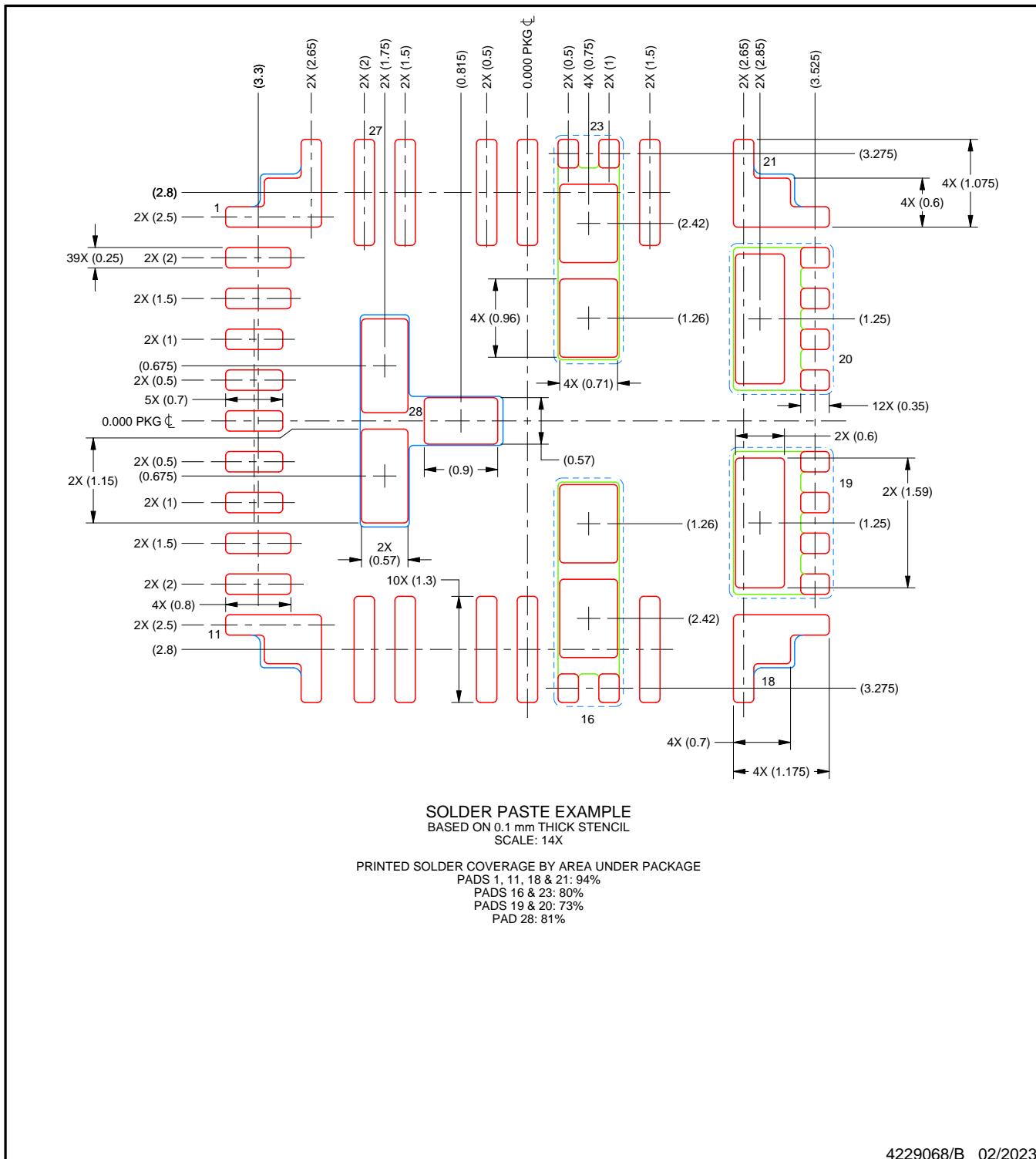


# EXAMPLE STENCIL DESIGN

RCH0028B

QFN-FCMOD - 2.1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月