

TS3USB3031 2 チャンネル、1:3、USB 2.0 ハイスピード (480Mbps) および MHL (Mobile High-Definition Link) または MyDP (Mobility Display Port) スイッチ

1 特長

- V_{CC} 範囲: 2.5V ~ 4.3V
- MHL (Mobile High-Definition Link) スイッチまたは MyDP (Mobility Display Port) スイッチ:
 - 帯域幅 (–3dB): 6.5GHz
 - R_{ON} (標準値): 5.5 Ω
 - C_{ON} (標準値): 1.3pF
- USB スイッチ (2 セット):
 - 帯域幅 (–3dB): 6.5GHz
 - R_{ON} (標準値): 4.5 Ω
 - C_{ON} (標準値): 1pF
- 消費電流: 28 μ A (標準値)
- 特別な機能:
 - I_{OFF} 保護により、パワー ダウン状態 ($V_{CC} = 0V$) で の電流リークを防止
 - 1.8V 対応の制御入力 (SEL)
 - 外部部品なしで、すべての I/O ピンにおいて最大 5.5V の過電圧耐性 (OVT)
- ESD 性能:
 - 2kV、人体モデル (A114B、クラス II)
 - 1kV、デバイス帯電モデル (C101)
- パッケージ:
 - 12 ピン VQFN パッケージ (1.8mm $\times$ 1.8mm, 0.4mm ピッチ)

2 アプリケーション

- スマートフォン
- タブレット
- 携帯電話 / スマートフォン
- ポータブル計測装置
- デジタル・カメラ USB 2.0 MHL

3 概要

TS3USB3031 デバイスは、2 チャンネル、1:3 マルチプレクサであり、高速の Mobile High-Definition Link (MHL)、Mobility Display Port (MyDP) スイッチ、USB 2.0 High-Speed (480Mbps) スイッチが同じパッケージに内蔵されています。これらの構成により、システム設計者は基板面積を削減でき、また、MHL/MyDP 信号および 2 組の USB データのために、共通の USB または Mico-USB コネクタを使用することにより、複数のコネクタを購入する必要がなくなります。MHL/MyDP パスは、最新の MHL Rev. 3.0 仕様をサポートしています。

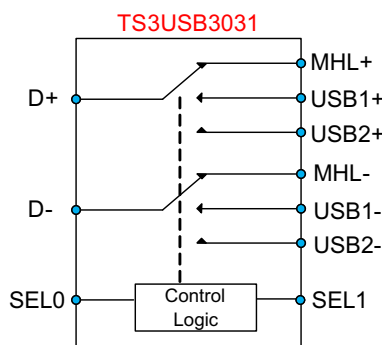
TS3USB3031 の V_{CC} 範囲は 2.5V ~ 4.3V であり、過電圧耐性 (OVT) 機能がサポートされているため、I/O ピンは最大 5.5V の過電圧状況に耐えられます。電源オフ保護機能により、電源が存在しないときはすべての I/O ピンが強制的に高インピーダンス モードになるため、このような状況では信号ラインが完全に絶縁され、過剰なリーク電流が発生しません。TS3USB3031 の選択ピンは、1.8V の制御電圧に対応しているので、モバイル プロセッサからの汎用 I/O (GPIO) と直接接続が可能であり、追加の電圧シフト回路が不要です。

TS3USB3031 は、モバイル アプリケーション用に設計された小型の 1.8mm $\times$ 1.8mm 12 ピン VQFN パッケージで供給されます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TS3USB3031	RMG (VQFN, 12)	1.8mm $\times$ 1.8mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ サイズ (長さ $\times$ 幅) は公称値であり、該当する場合はピンも含まれます。



Copyright © 2016, Texas Instruments Incorporated

スイッチ図



Table of Contents

1 特長	1	6.4 Device Functional Modes.....	10
2 アプリケーション	1	7 Application and Implementation	11
3 概要	1	7.1 Application Information.....	11
4 Pin Configuration and Functions	3	7.2 Typical Application.....	11
5 Specifications	4	7.3 Power Supply Recommendations.....	15
5.1 Absolute Maximum Ratings.....	4	7.4 Layout.....	15
5.2 ESD Ratings.....	4	8 Device and Documentation Support	17
5.3 Recommended Operating Conditions.....	4	8.1 Documentation Support.....	17
5.4 Thermal Information.....	4	8.2 ドキュメントの更新通知を受け取る方法.....	17
5.5 Electrical Characteristics.....	5	8.3 サポート・リソース.....	17
5.6 Dynamic Characteristics.....	5	8.4 Trademarks.....	17
5.7 Typical Characteristics.....	6	8.5 静電気放電に関する注意事項.....	17
6 Detailed Description	10	8.6 用語集.....	17
6.1 Overview.....	10	9 Revision History	17
6.2 Functional Block Diagram.....	10	10 Mechanical, Packaging, and Orderable Information	18
6.3 Feature Description.....	10		

4 Pin Configuration and Functions

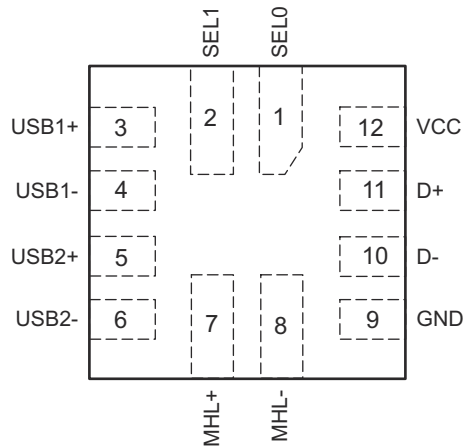


図 4-1. RMG Package, 12-Pin VQFN (Top View)

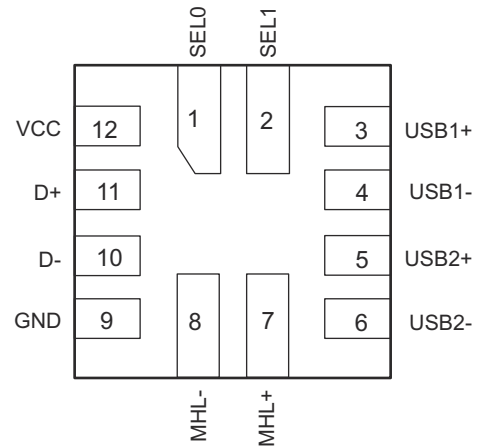


図 4-2. RMG Package, 12-Pin VQFN (Bottom View)

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
SEL0	1	I	Digital control Input
SEL1	2	I	Digital control Input
USB1+	3	I/O	Differential signal path 1
USB1–	4	I/O	Differential signal path 1
USB2+	5	I/O	Differential signal path 2
USB2–	6	I/O	Differential signal path 2
MHL+	7	I/O	Differential signal path 3
MHL–	8	I/O	Differential signal path 3
GND	9	G	Ground
D–	10	I/O	Common Differential signal path
D+	11	I/O	Common Differential signal path
VCC	12	P	Power Supply

(1) G = Ground, I = Input, O = Output, P = Power

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)^{(1) (2)}

		MIN	MAX	UNIT
V _{CC}	Supply voltage ⁽³⁾	−0.3	5.5	V
V _{I/O}	Input/Output DC voltage ⁽³⁾	−0.3	5.5	V
I _K	Input/Output port diode current (V _{I/O} < 0)	−50		mA
V _I	Digital input voltage (SEL0, SEL1)	−0.3	5.5	
I _{IK}	Digital logic input clamp current (V _I < 0) ⁽³⁾	−50		mA
I _{I/O}	Continuous switch DC output current (USB and MHL)		60	mA
T _{stg}	Storage temperature	−65	150	°C

- (1) Operation outside the *Absolute Maximum Ratings* may cause permanent device damage. *Absolute Maximum Ratings* do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Conditions*. If used outside the *Recommended Operating Conditions* but within the *Absolute Maximum Ratings*, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.
- (2) The algebraic convention, whereby the most negative value is a minimum and the most positive value is a maximum.
- (3) All voltages are with respect to ground, unless otherwise specified.

5.2 ESD Ratings

		VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±1000

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process. Manufacturing with less than 500-V HBM is possible with the necessary precautions. Pins listed as ±2000 V may actually have higher performance.
- (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process. Manufacturing with less than 250-V CDM is possible with the necessary precautions. Pins listed as ±1000 V may actually have higher performance.

5.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	MAX	UNIT
V _{CC}	Supply voltage	2.5	4.3	V
V _{I/O (USB)} , V _{I/O (MHL)}	Analog voltage	0	3.6	V
V _I	Digital input voltage (SEL0, SEL1)	0	V _{CC}	V
T _{RAMP (VCC)}	Power supply ramp time requirement (VCC)	100	1000	μs/V
I _{I/O, PEAK}	Peak switch DC output current (1-ms duration pulse at <10% duty cycle)		150	mA
T _A	Operating free-air temperature	−40	85	°C

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		TS3USB3031	UNIT
		RMG (VQFN)	
		12 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	160.8	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	95.5	°C/W
R _{θJB}	Junction-to-board thermal resistance	91.2	°C/W
ψ _{JT}	Junction-to-top characterization parameter	7.4	°C/W

THERMAL METRIC ⁽¹⁾	UNIT
	TS3USB3031
	RMG (VQFN) 12 PINS
Ψ_{JB} Junction-to-board characterization parameter	91.2 °C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application note.

5.5 Electrical Characteristics

$T_A = -40^{\circ}\text{C}$ to 85°C , typical values are at $V_{CC} = 3.3\text{ V}$ and $T_A = 25^{\circ}\text{C}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
MHL SWITCH					
R_{ON} ON-state resistance	$V_{CC} = 2.5\text{ V}$, $V_{I/O} = 1.5\text{ V}$, $I_{ON} = -8\text{ mA}$ (see Figure 6-1)		5.5	7	Ω
ΔR_{ON} ON-state resistance match between + and – paths	$V_{CC} = 2.5\text{ V}$, $V_{I/O} = 1.5\text{ V}$, $I_{ON} = -8\text{ mA}$		0.1		Ω
$R_{ON (FLAT)}$ ON-state resistance flatness	$V_{CC} = 2.5\text{ V}$, $V_{I/O} = 1.5\text{ V}$ to 3.3 V , $I_{ON} = -8\text{ mA}$		1		Ω
I_{OZ} OFF leakage current	$V_{CC} = 4.3\text{ V}$, Switch OFF, $V_{MHL+/MHL-} = 1.5\text{ V}$ to 3.3 V , $V_{D+/D-} = 0\text{ V}$ (see Figure 6-2)	–2		2	μA
I_{OFF} Power-off leakage current	$V_{CC} = 0\text{ V}$, Power off, $V_{MHL+/MHL-} = 1.5\text{ V}$ to 3.3 V , $V_{D+/D-} = \text{NC}$	–10		10	μA
I_{ON} ON leakage current	$V_{CC} = 4.3\text{ V}$, Switch ON, $V_{MHL+/MHL-} = 1.5\text{ V}$ to 3.3 V , $V_{D+/D-} = \text{NC}$	–2		2	μA
USB SWITCH (USB1 and USB2)					
R_{ON} ON-state resistance	$V_{CC} = 2.5\text{ V}$, $V_{I/O} = 0.4\text{ V}$, $I_{ON} = -8\text{ mA}$ (see Figure 6-1)		4.5	6	Ω
ΔR_{ON} ON-state resistance match between + and – paths	$V_{CC} = 2.5\text{ V}$, $V_{I/O} = 0.4\text{ V}$, $I_{ON} = -8\text{ mA}$		0.1		Ω
$R_{ON (FLAT)}$ ON-state resistance flatness	$V_{CC} = 2.5\text{ V}$, $V_{I/O} = 0\text{ V}$ to 0.4 V , $I_{ON} = -8\text{ mA}$		1		Ω
I_{OZ} OFF leakage current	$V_{CC} = 4.3\text{ V}$, Switch OFF, $V_{USB+/USB-} = 0\text{ V}$ to 0.4 V , $V_{D+/D-} = 0\text{ V}$ (see Figure 6-2)	–2		2	μA
I_{OFF} Power-off leakage current	$V_{CC} = 0\text{ V}$, Switch ON or OFF, $V_{USB+/USB-} = 0\text{ V}$ to 0.4 V , $V_{D+/D-} = \text{NC}$	–10		10	μA
I_{ON} ON leakage current	$V_{CC} = 4.3\text{ V}$, Switch ON, $V_{USB+/USB-} = 0\text{ V}$ to 0.4 V , $V_{D+/D-} = \text{NC}$	–2		2	μA
DIGITAL CONTROL INPUTS (SEL)					
V_{IH} Input logic high	$V_{CC} = 2.5\text{ V}$ to 4.3 V	1.3			V
V_{IL} Input logic low	$V_{CC} = 2.5\text{ V}$ to 4.3 V			0.6	V
I_{IN} Input leakage current	$V_{CC} = 4.3\text{ V}$, $V_{I/O} = 0\text{ V}$ to 3.6 V , $V_{IN} = 0\text{ V}$ to 4.3 V	–10		10	μA

5.6 Dynamic Characteristics

$T_A = -40^{\circ}\text{C}$ to 85°C , Typical values are at $V_{CC} = 3.3\text{ V}$, $T_A = 25^{\circ}\text{C}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{pd} Propagation delay	$R_L = 50\text{ }\Omega$, $C_L = 5\text{ pF}$, $V_{CC} = 2.5\text{ V}$ to 4.3 V , $V_{I/O(USB)} = 0.4\text{ V}$, $V_{I/O(MHL)} = 3.3\text{ V}$		50		ps
t_{switch} Switching time between USB/MHL channels in active modes	$R_L = 50\text{ }\Omega$, $C_L = 5\text{ pF}$, $V_{CC} = 2.5\text{ V}$ to 4.3 V , $V_{I/O(USB)} = 0.4\text{ V}$, $V_{I/O(MHL)} = 3.3\text{ V}$		400		ns
t_{ON} Switch turnon time (from disabled to active mode)	$R_L = 50\text{ }\Omega$, $C_L = 5\text{ pF}$, $V_{CC} = 2.5\text{ V}$ to 4.3 V , $V_{I/O(USB)} = 0.4\text{ V}$, $V_{I/O(MHL)} = 3.3\text{ V}$		100		μs
t_{OFF} Switch turnoff time (from active to disabled mode)	$R_L = 50\text{ }\Omega$, $C_L = 5\text{ pF}$, $V_{CC} = 2.5\text{ V}$ to 4.3 V , $V_{I/O(USB)} = 0.4\text{ V}$, $V_{I/O(MHL)} = 3.3\text{ V}$		100		μs
$C_{ON(MHL)}$ MHL path, ON capacitance	$V_{CC} = 3.3\text{ V}$, $V_{I/O} = 0\text{ V}$ or 3.3 V , $f = 240\text{ MHz}$, Switch ON		1.3		pF
$C_{ON(USB)}$ USB1 and USB2 paths, ON capacitance	$V_{CC} = 3.3\text{ V}$, $V_{I/O} = 0\text{ V}$ or 3.3 V , $f = 240\text{ MHz}$, Switch ON		1		pF

$T_A = -40^{\circ}\text{C}$ to 85°C , Typical values are at $V_{CC} = 3.3\text{ V}$, $T_A = 25^{\circ}\text{C}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$C_{OFF(MHL)}$	MHL path, OFF capacitance		1		pF
$C_{OFF(USB)}$	USB1 and USB2 paths, OFF capacitance		0.8		pF
C_I	Digital input capacitance		2.2		pF
$O_{ISO(MHL)}$	MHL path, OFF isolation		–38		dB
$O_{ISO(USB)}$	USB path, OFF isolation		–38		dB
$X_{TALK(MHL)}$	MHL channel crosstalk		–41		dB
$X_{TALK(USB)}$	USB channel crosstalk		–38		dB
$BW_{(MHL)}$	MHL path, –3-dB bandwidth		6.5		GHz
$BW_{(USB)}$	USB path, –3-dB bandwidth		6.5		GHz
SUPPLY					
V_{CC}	Power supply voltage	2.5		4.3	V
I_{CC}	Positive supply current		28	40	μA

5.7 Typical Characteristics

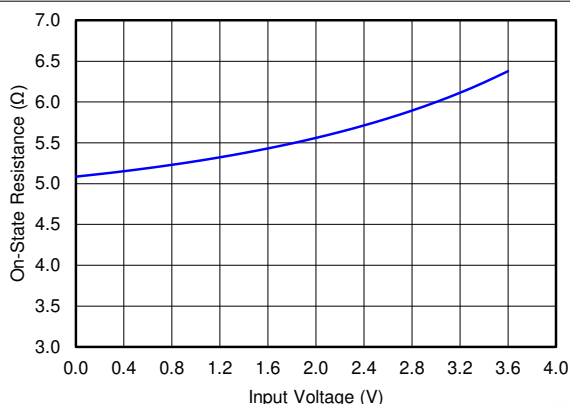


FIG 5-1. ON-Resistance vs $V_{I/O}$ for MHL Switch

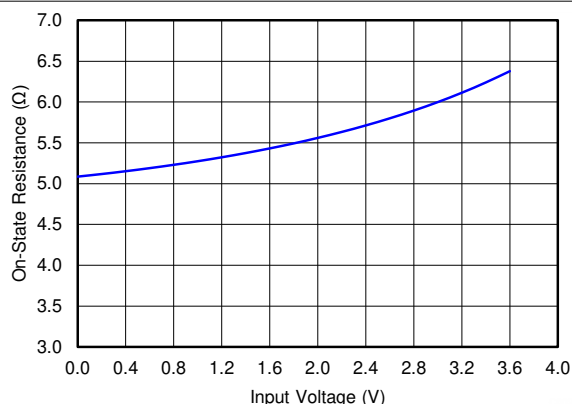


FIG 5-2. ON-Resistance vs $V_{I/O}$ for USB Switch

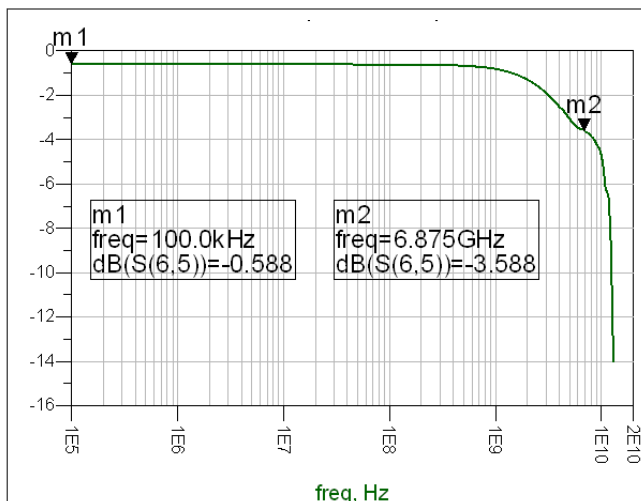


図 5-3. Bandwidth for MHL Switch

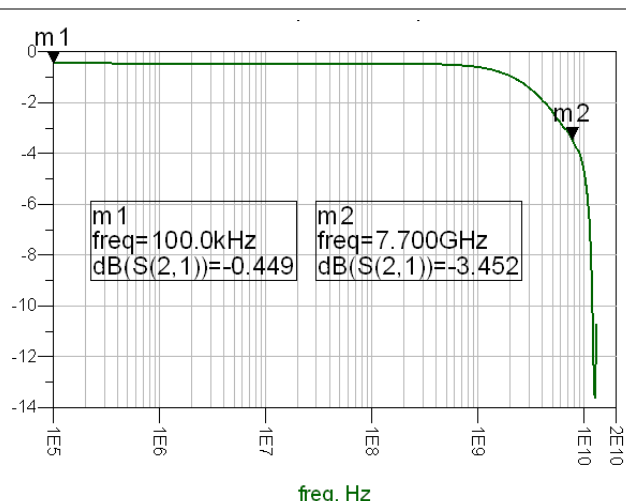


図 5-4. Bandwidth for USB Switch

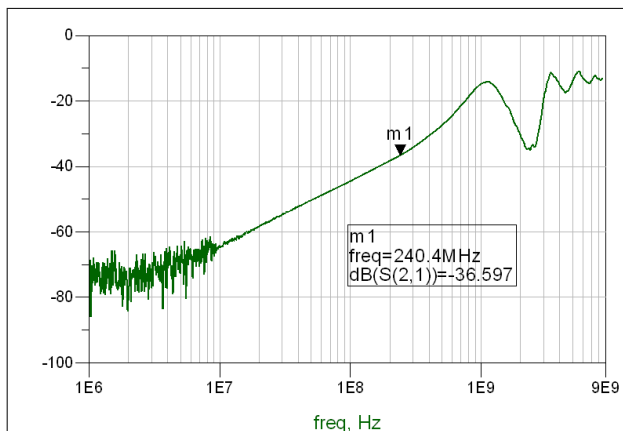


図 5-5. OFF Isolation vs Frequency for MHL Path

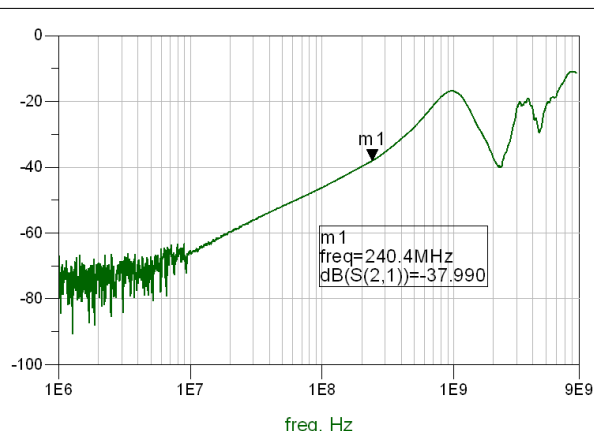


図 5-6. OFF Isolation vs Frequency for USB Path

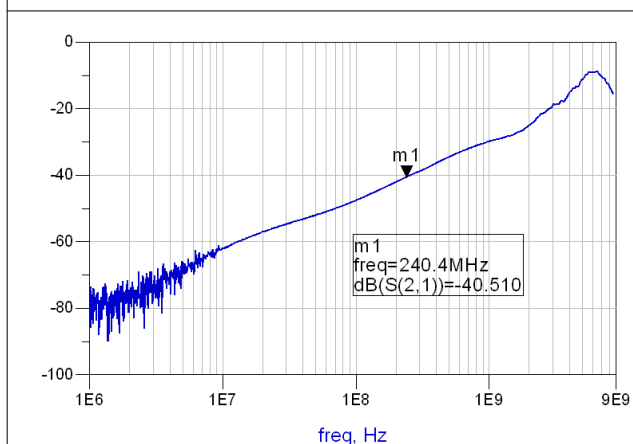


図 5-7. Cross Talk vs Frequency for MHL Path

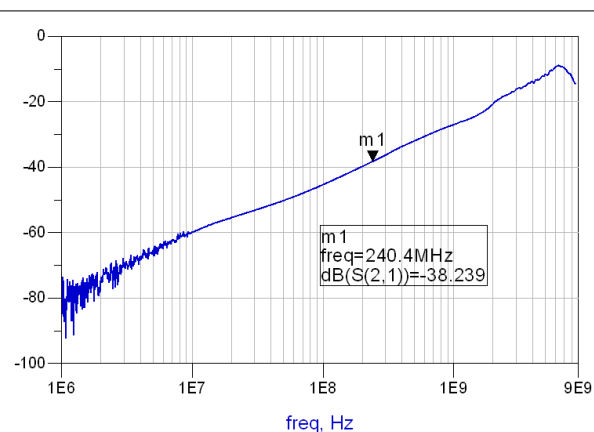
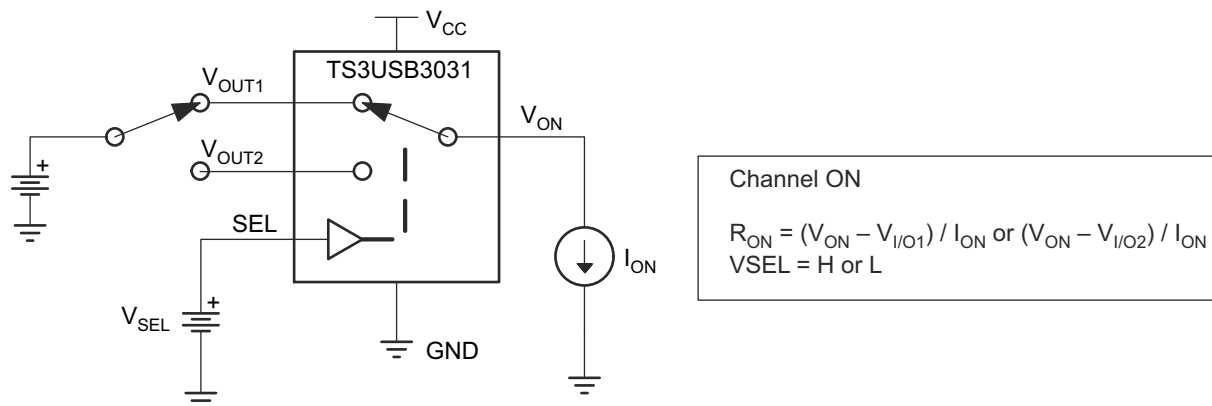


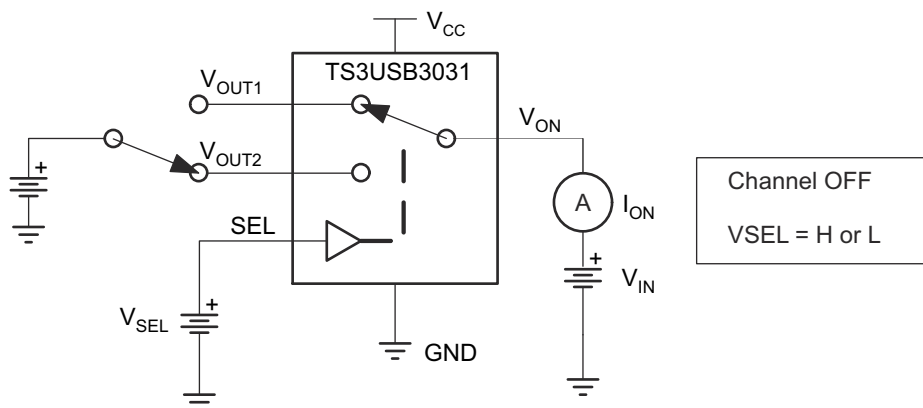
図 5-8. Cross Talk vs Frequency for USB Path

Parameter Measurement Information



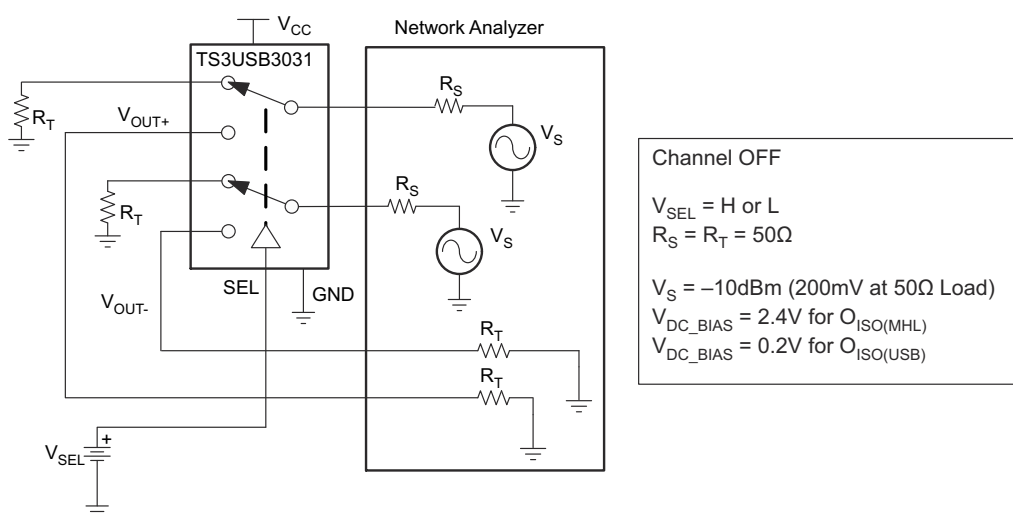
Copyright © 2016, Texas Instruments Incorporated

図 6-1. ON-State Resistance (R_{ON})



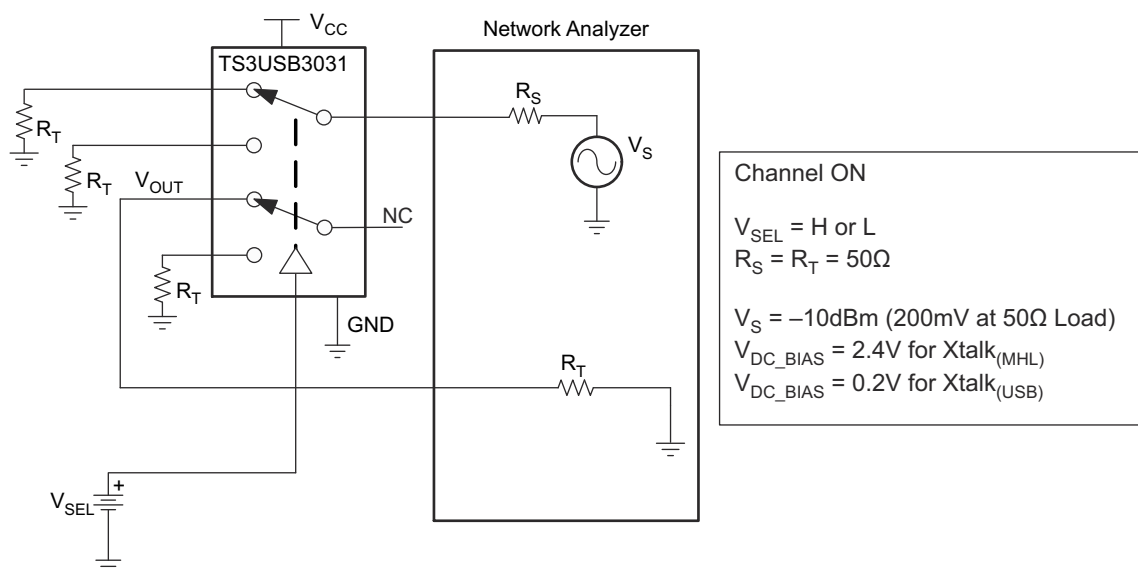
Copyright © 2016, Texas Instruments Incorporated

図 6-2. OFF Leakage Current (I_{OZ})



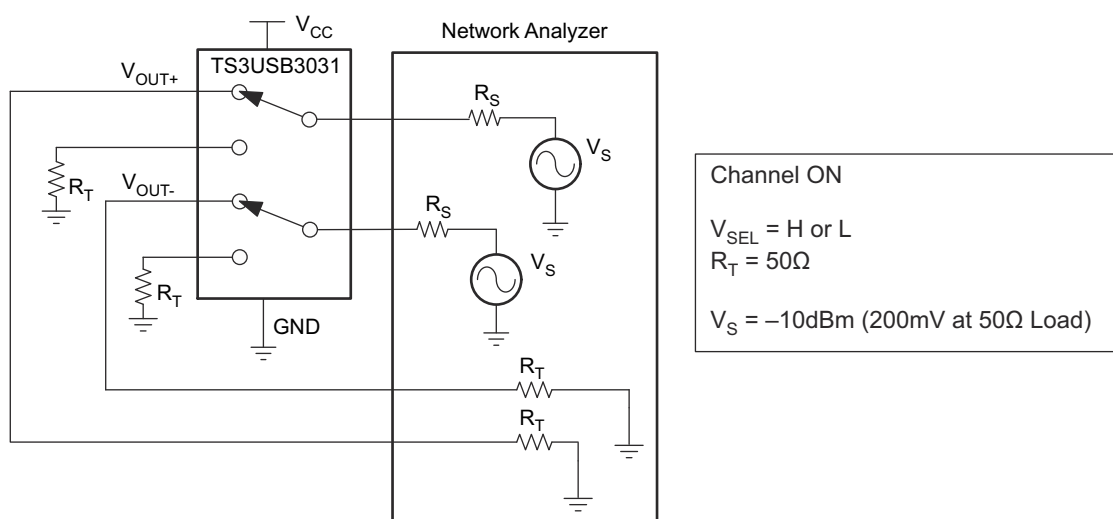
Copyright © 2016, Texas Instruments Incorporated

図 6-3. Differential Off-Isolation (O_{ISO})



Copyright © 2016, Texas Instruments Incorporated

Figure 6-4. Crosstalk (Xtalk)



Copyright © 2016, Texas Instruments Incorporated

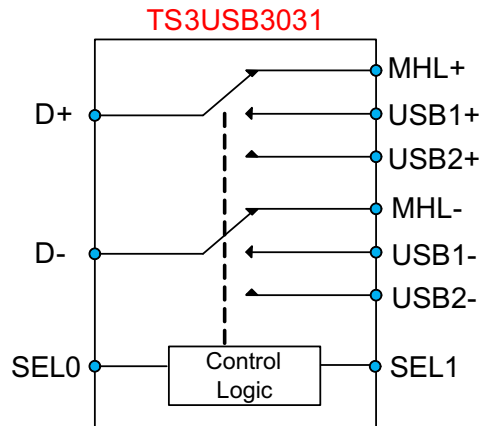
Figure 6-5. Differential Bandwidth (BW)

6 Detailed Description

6.1 Overview

The TS3USB3031 device is a 2-channel, 1:3 multiplexer that includes a high-speed Mobile High-Definition Link (MHL) or Mobility Display Port (MyDP) switch and USB 2.0 High-Speed (480 Mbps) switches in the same package. This device is used in many high-speed differential 1:3 mux applications.

6.2 Functional Block Diagram



Copyright © 2016, Texas Instruments Incorporated

6.3 Feature Description

6.3.1 I_{OFF} Protection

I_{OFF} protection prevents current leakage through the device when $V_{CC} = 0$ V. This allows signals to be present on the D± and USB/MHL± pins before the device is powered up without damaging the device or system.

6.3.2 1.8-V Compatible Logic

The TS3USB3031 device supports 1.8-V logic irrespective to the supply voltage applied to the IC.

6.3.3 Overvoltage Tolerant (OVT)

The D± and USB/MHL± pins of the device can support signals up to 5.5 V without damaging the device. This protects the TS3USB3031 in case the VBUS pin of the USB connector is shorted to the signal path without additional components added.

6.4 Device Functional Modes

表 6-1 lists the functional modes of the TS3USB3031.

表 6-1. Function Table

SEL1	SEL0	SWITCH STATUS
Low	Low	D+/D– connected to USB1+/USB1–
Low	High	D+/D– connected to USB2+/USB2–
High	Low	D+/D– connected to MHL+/MHL–
High	High	USB and MHL switches in High-Z

7 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Application Information

The TS3USB3031 is a passive, bidirectional, 2-channel 1:3 switch that can be used in many high speed 1:3 switching applications. This device was designed originally for USB 2.0 and Mobile High-Definition Link applications but can be used for general signal switching applications such as I²C, UART, LVDS, and so forth.

7.2 Typical Application

図 7-1 represents a typical application of the TS3USB3031 MHL switch. The TS3USB3031 is used to switch signals between the two sets of USB paths, which go to either the baseband or application processor, and the MHL path, which goes to the HDMI to MHL bridge. The TS3USB3031 has internal 6-M Ω pulldown resistors on SEL0 and SEL1. The pulldown on SEL0 and SEL1 ensure the USB1 channel is selected by default. The TS5A3157 is a separate SPDT switch that is used to switch between the MHL CBUS and the USB ID line that is required for USB OTG (USB On-The-Go) application.

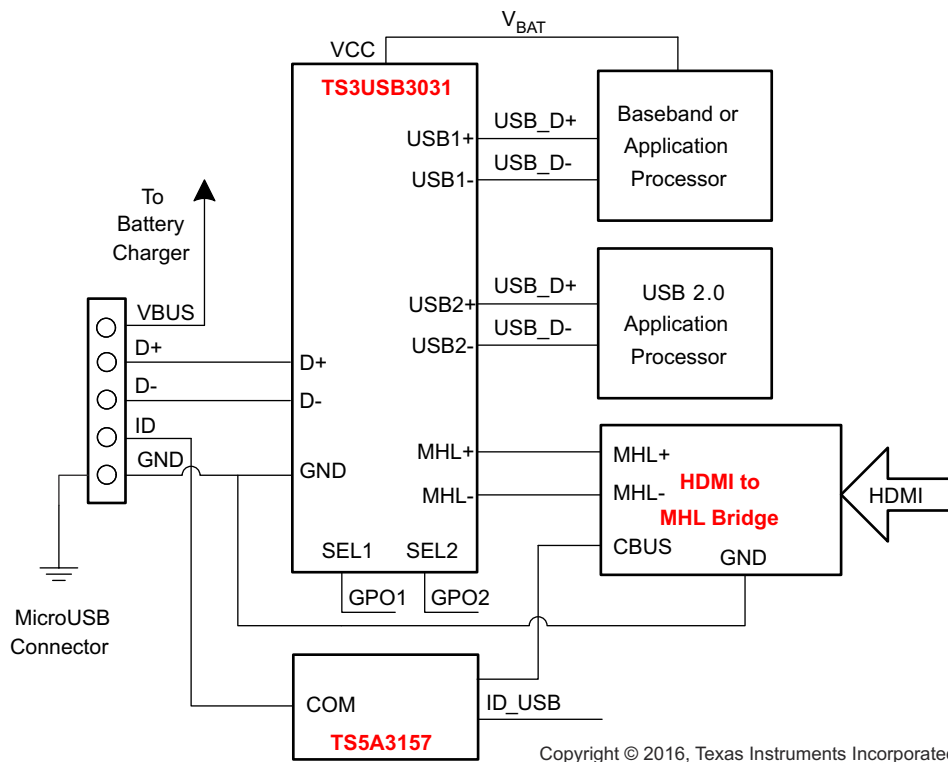


図 7-1. Typical TS3USB3031 Application

7.2.1 Design Requirements

Design requirements of the MHL and USB 1.0, 1.1, and 2.0 standards must be followed.

The TS3USB3031 has internal 6-M Ω pulldown resistors on SEL0 and SEL1 so no external resistors are required on the logic pins. The pulldown on SEL0 and SEL1 ensure the USB1 channel is selected by default.

The TS5A3157 is a separate SPDT switch that is used to switch between the CBUS of the MHL and the USB ID line that is required for USB OTG (USB On-The-Go) application.

7.2.2 Detailed Design Procedure

The TS3USB3031 can be properly operated without any external components. However, TI recommends that unused signal I/O pins must be connected to ground through a 50- Ω resistor to prevent signal reflections back into the device.

7.2.3 Application Curves

7.2.3.1 MHL Eye Pattern

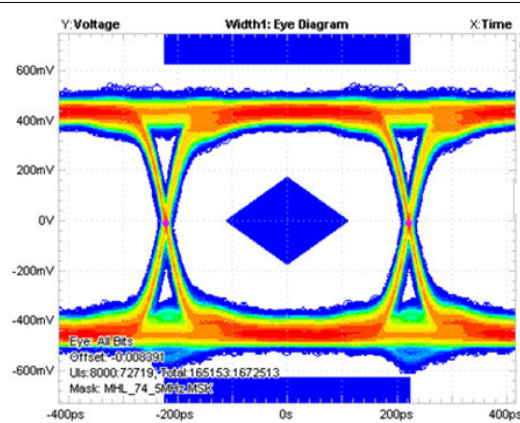
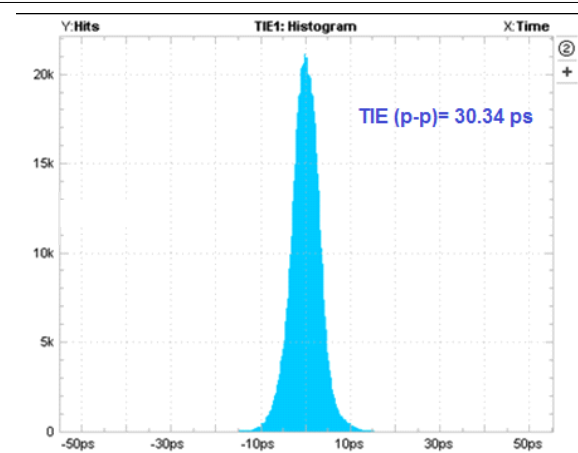
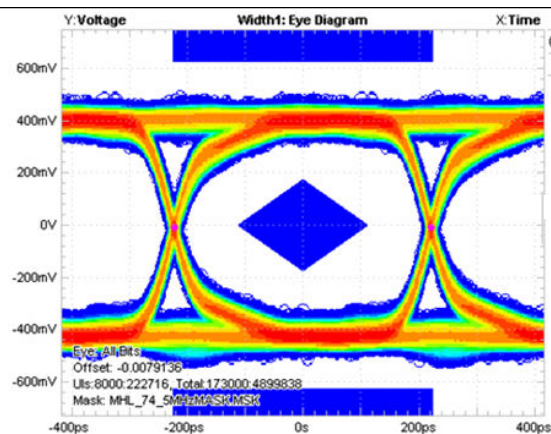


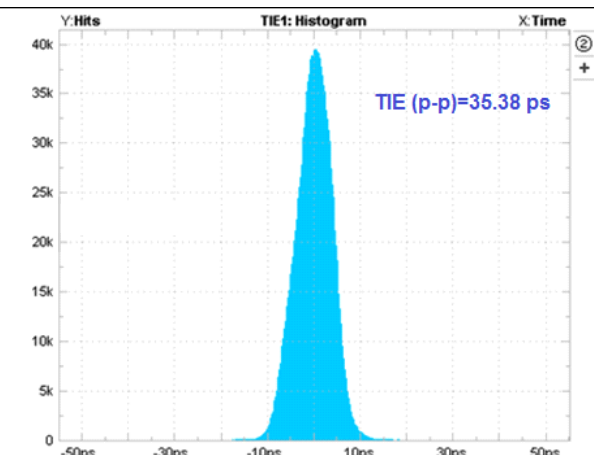
Figure 7-2. Eye Pattern Error Histogram: 2.25 Gbps With No Device



7-3. Time Interval Error Histogram: 2.25 Gbps With No Device



7-4. Eye Pattern Error Histogram: 2.25 Gbps With TS3USB3031 (Added Jitter = 5.04 ps)



7-5. Time Interval Error Histogram: 2.25 Gbps With TS3USB3031 (Added Jitter = 5.04 ps)

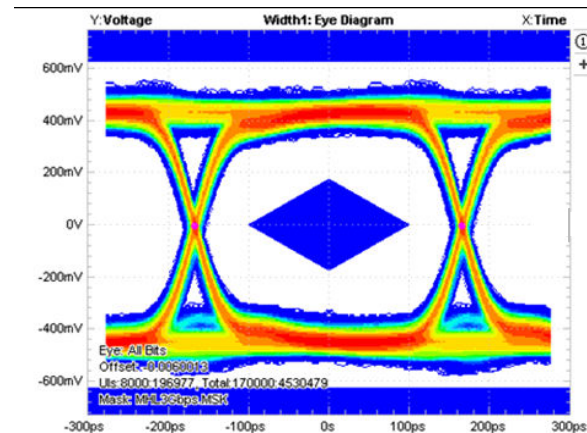


図 7-6. Eye Pattern Error Histogram: 3.0 Gbps With No Device

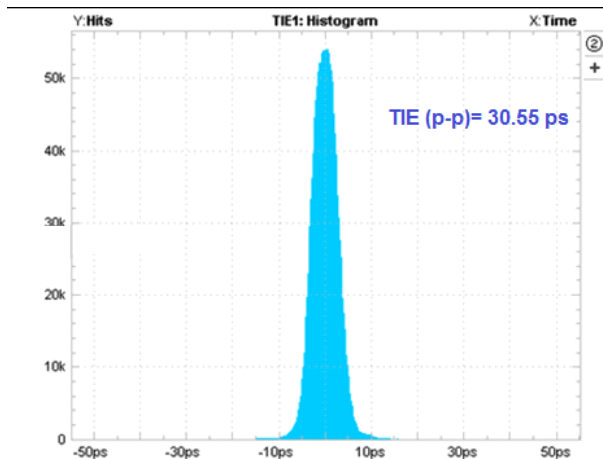


図 7-7. Time Interval Error Histogram: 3.0 Gbps With No Device

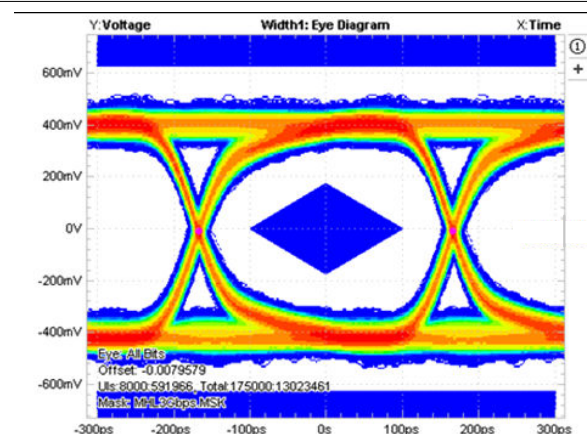


図 7-8. Eye Pattern Error Histogram: 3.0 Gbps With TS3USB3031 (Added Jitter = 2.57 ps)

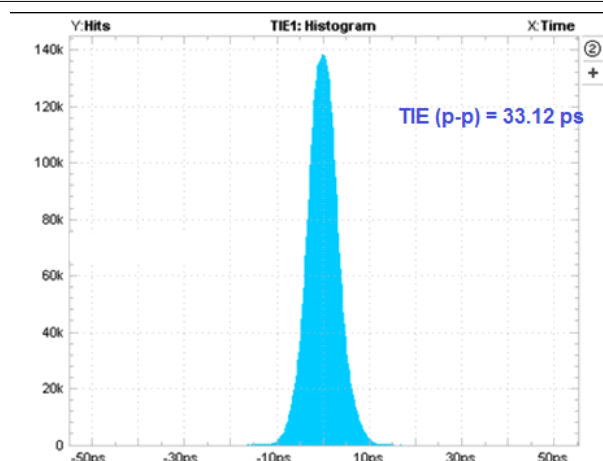


図 7-9. Time Interval Error Histogram: 3.0 Gbps With TS3USB3031 (Added Jitter = 2.57 ps)

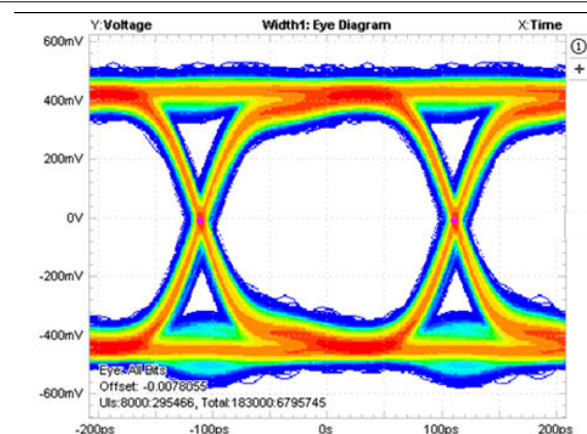


図 7-10. Eye Pattern Error Histogram: 4.5 Gbps With No Device

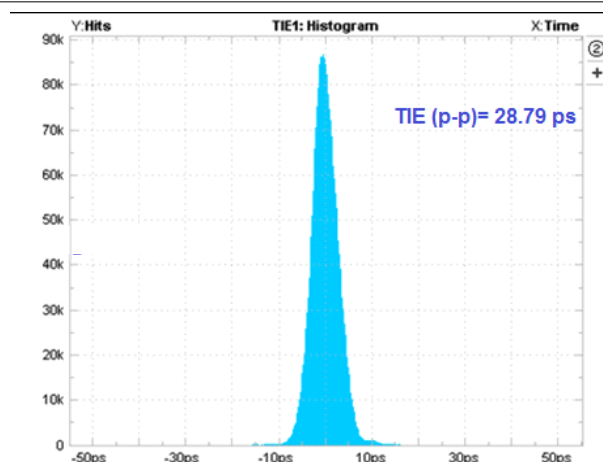


図 7-11. Time Interval Error Histogram: 4.5 Gbps With No Device

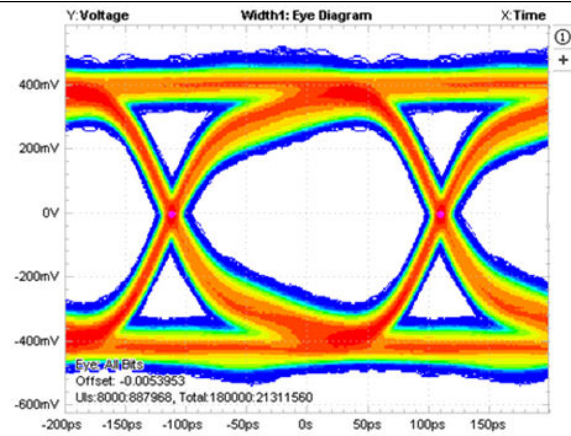


図 7-12. Eye Pattern Error Histogram: 4.5 Gbps
With TS3USB3031 (Added Jitter = 1.13 ps)

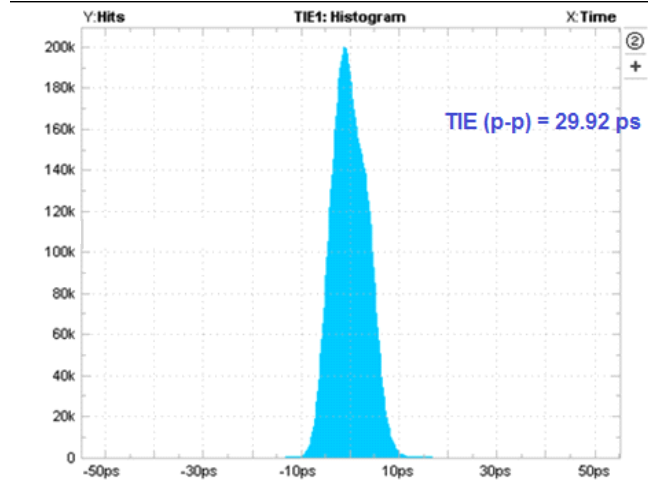


図 7-13. Time Interval Error Histogram: 4.5 Gbps
With TS3USB3031 (Added Jitter = 1.13 ps)

7.2.3.2 USB EYE Pattern

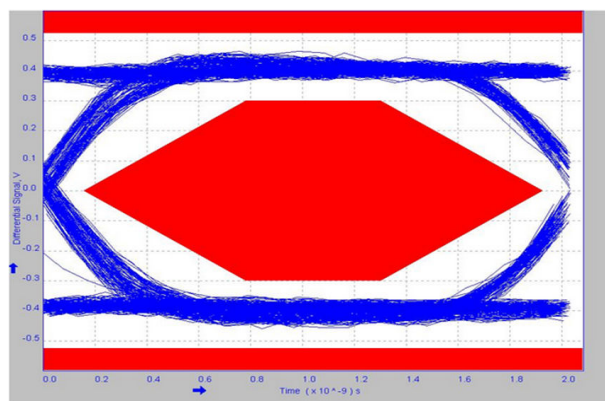


図 7-14. 480-Mbps USB 2.0 Eye Pattern With No
Device

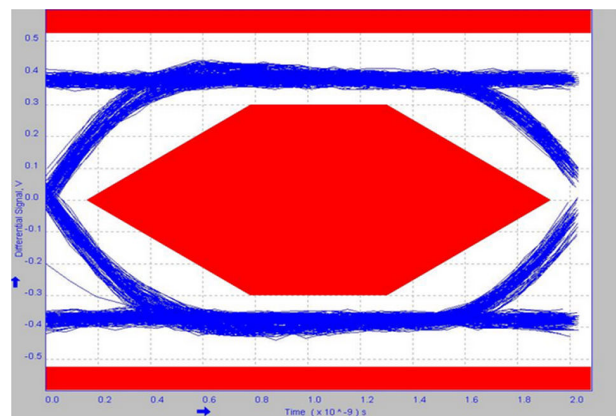


図 7-15. 480-Mbps USB 2.0 Eye Pattern for USB
Switch

7.3 Power Supply Recommendations

Power to the device is supplied through the V_{CC} pin. TI recommends placing a bypass capacitor as close as possible to the supply pin V_{CC} to help smooth out lower frequency noise to provide better load regulation across the frequency spectrum.

This device does not require any power sequencing with respect to other devices in the system due to the power off isolation feature. The power off isolation feature allows signals to be present on the signal path pins before the device is powered up without damaging the device.

7.4 Layout

7.4.1 Layout Guidelines

Place supply bypass capacitors as close to the V_{CC} pin as possible and avoid placing the bypass caps near the D+ and D– traces.

The high-speed D+ and D– traces must always be of equal length and must be no more than four inches; otherwise, the eye diagram performance may degrade. A high-speed USB connection is made through a shielded, twisted pair cable with a differential characteristic impedance. In the layout, the impedance of D+ and D– traces must match the cable characteristic differential impedance for optimal performance.

Route the high-speed USB signals using a minimum of vias and corners which reduces signal reflections and impedance changes. When a via must be used, increase the clearance size around the via to minimize the capacitance. Each via introduces discontinuities in the transmission line of the signal and increases the chance of picking up interference from the other layers of the board. Be careful when designing test points on twisted pair lines; through-hole pins are not recommended.

When it becomes necessary to turn 90°, use two 45° turns or an arc instead of making a single 90° turn. This reduces reflections on the signal traces by minimizing impedance discontinuities.

Do not route USB traces under or near crystals, oscillators, clock signal generators, switching regulators, mounting holes, magnetic devices, or ICs that use or duplicate clock signals.

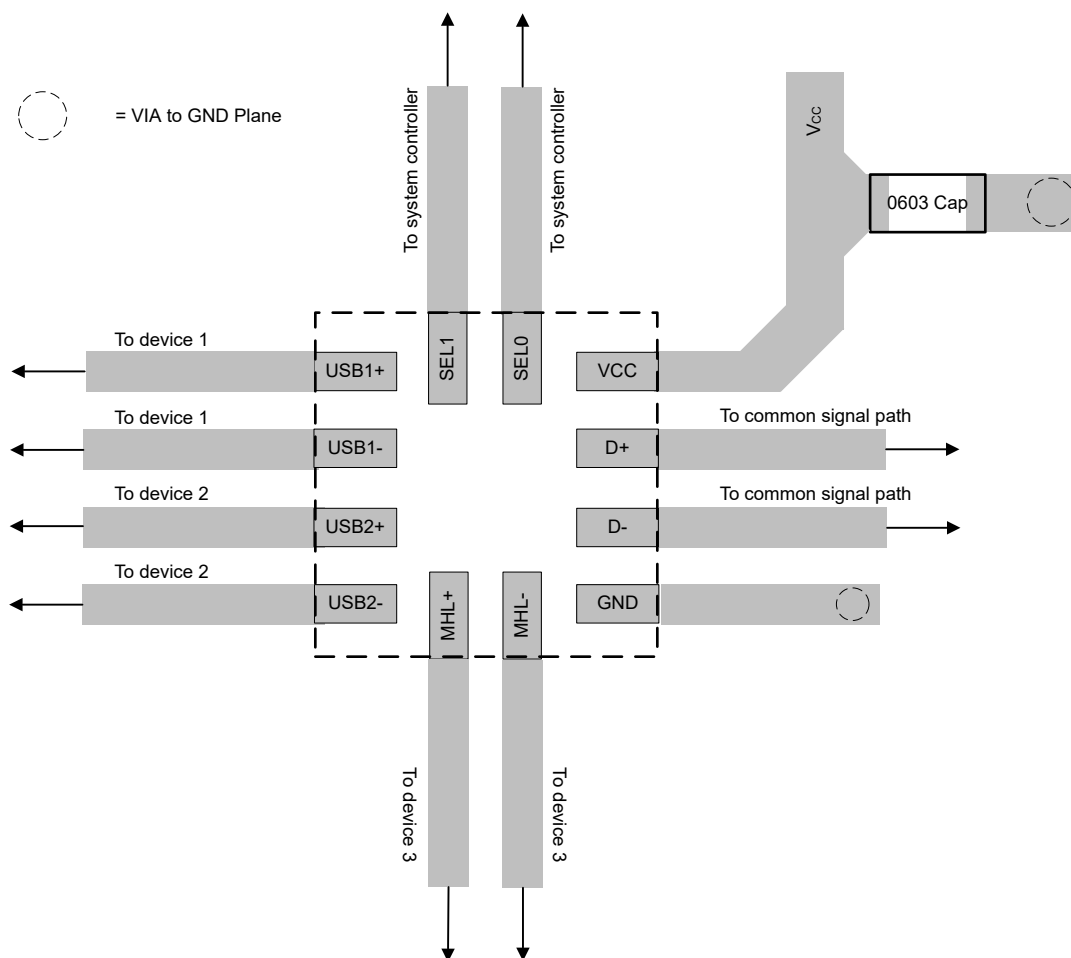
Avoid stubs on the high-speed USB signals because the stubs cause signal reflections. If a stub is unavoidable, then the stub must be less than 200 mm.

Route all high-speed USB signal traces over continuous GND planes, with no interruptions.

Avoid crossing over anti-etch, commonly found with plane splits.

Due to high frequencies associated with the USB, a printed circuit board with at least four layers is recommended: two signal layers separated by a ground layer and a power layer. The majority of signal traces must run on a single layer, preferably top layer. Immediately next to this layer must be the GND plane, which is solid with no cuts. Avoid running signal traces across a split in the ground or power plane. When running across split planes is unavoidable, sufficient decoupling must be used. Minimizing the number of signal vias reduces EMI by reducing inductance at high frequencies. For more information on layout guidelines, see [High Speed Layout Guidelines](#) and [USB 2.0 Board Design and Layout Guidelines](#).

7.4.2 Layout Example



✎ 7-16. Layout Recommendation

8 Device and Documentation Support

8.1 Documentation Support

8.1.1 Related Documentation

For related documentation, see the following:

- Texas Instruments, [High Speed Layout Guidelines](#)
- Texas Instruments, [USB 2.0 Board Design and Layout Guidelines](#)

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (March 2017) to Revision D (August 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• ピッチの寸法を「0.5mm」から「0.4mm」に変更	1
• Changed the 480-Mbps USB 2.0 Eye Pattern for USB Switch graph.	14
• Changed SEL2 pin name to SEL0 in the Layout Example image to keep consistency across the data sheet	16

Changes from Revision B (December 2016) to Revision C (March 2017)	Page
• 「特長」の 1.8V 対応の制御入力 (SEL, $\overline{OE}$) を 1.8V 対応の制御入力 (SEL) に変更.....	1
• スイッチ図で 2 番目のピン D+ を D- に変更.....	1
• Changed DIGITAL CONTROL INPUTS (SEL, $\overline{OE}$) To: DIGITAL CONTROL INPUTS (SEL) in the Electrical Characteristics table.....	5
• Changed second pin D+ To: D- in the Functional Block Diagram	10

- Deleted sentence: "The internal pulldown resistor on OE enables the switch when power is applied to VCC" from the *Design Requirements* section..... 12

Changes from Revision A (September 2013) to Revision B (December 2016) Page

- 「アプリケーション」リスト、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加..... 1
- 「注文情報」表を削除 (このデータシートの末尾にある「パッケージ オプションについての付録」を参照)..... 1
- Moved Peak switch DC output current parameter From: *Absolute Maximum Ratings* To: *Recommended Operating Conditions*4

Changes from Revision * (June 2013) to Revision A (September 2013) Page

- Added TYPICAL CHARACTERISTICS section.....6

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TS3USB3031RMGR	Active	Production	WQFN (RMG) 12	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	DY
TS3USB3031RMGR.A	Active	Production	WQFN (RMG) 12	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	DY
TS3USB3031RMGRG4	Active	Production	WQFN (RMG) 12	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	DY
TS3USB3031RMGRG4.A	Active	Production	WQFN (RMG) 12	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	DY

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TS3USB3031RMGR	WQFN	RMG	12	3000	180.0	8.4	2.05	2.05	1.0	4.0	8.0	Q2
TS3USB3031RMGRG4	WQFN	RMG	12	3000	180.0	8.4	2.05	2.05	1.0	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TS3USB3031RMGR	WQFN	RMG	12	3000	182.0	182.0	20.0
TS3USB3031RMGRG4	WQFN	RMG	12	3000	182.0	182.0	20.0



WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



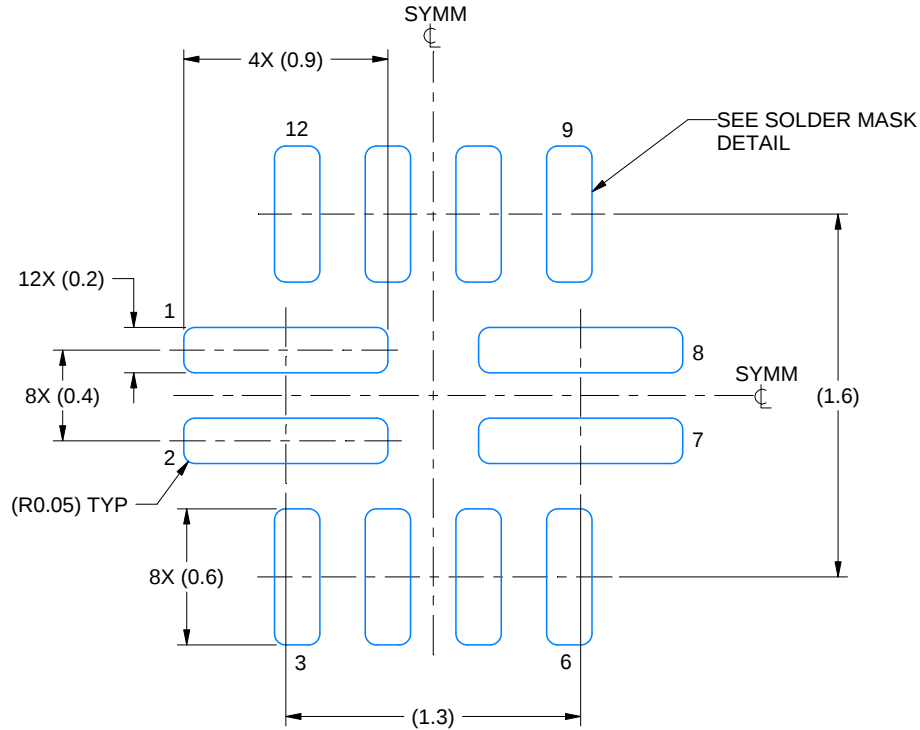
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

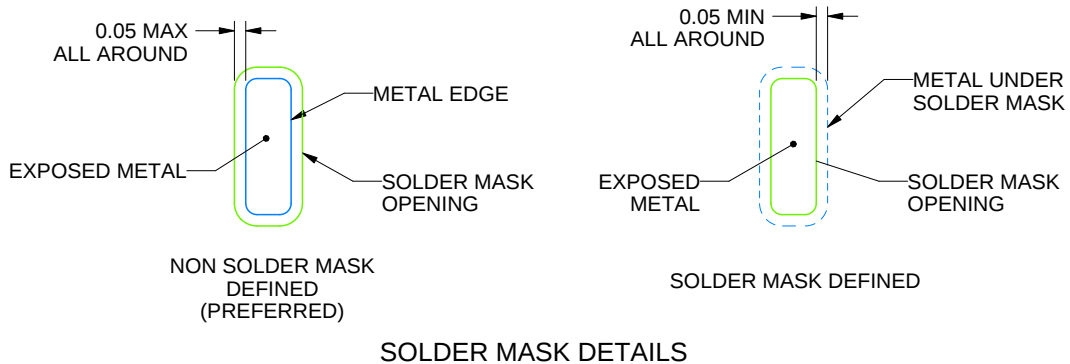
RMG0012A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X



4226797/B 04/2024

NOTES: (continued)

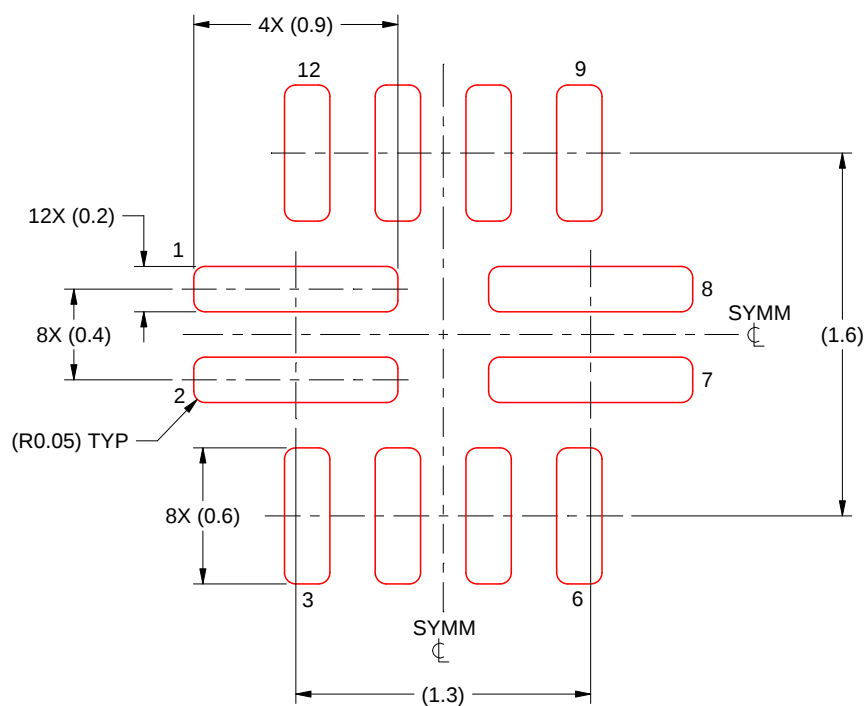
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RMG0012A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 30X

4226797/B 04/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月