

アクティブ保護、絶縁アナログセンシング、高 CMTI を備えた SiC/IGBT 用の UCC21751-Q1 10A 自動車用ソース/シンク強化絶縁シングルチャネルゲートドライバ

1 特長

- 5.7kV_{RMS} のシングルチャネル絶縁型ゲートドライバ
- 車載アプリケーション向けに AEC-Q100 認証済み
 - デバイス温度グレード 1: 動作時周囲温度範囲 -40°C ~ +125°C
- 最高 2121V_{pk} の SiC MOSFET および IGBT
- 出力駆動電圧 (VDD – VEE): 33V (最大値)
- ±10A の駆動能力と分割出力
- 最小 CMTI: 150V/ns
- 200ns の応答時間による高速な DESAT 保護
- 4A の内部アクティブミラー クランプ
- フォルト発生時の 400mA ソフトターンオフ オプション
- PWM 出力を備えた絶縁アナログセンサで
 - NTC、PTC、サーマルダイオードによる温度センシング
 - 高電圧 DC リンクまたは相電圧
- 過電流時の $\overline{\text{FLT}}$ アラームと $\overline{\text{RST/EN}}$ からのリセット
- $\overline{\text{RST/EN}}$ での高速イネーブル/ディセーブル応答
- 入力ピンの 40ns 未満のノイズ過渡およびパルスを除去
- 12V VDD UVLO (RDY のパワーグッド付き)
- 最大 5V のオーバー/アンダーシュート過渡電圧に耐える入力/出力
- 伝搬遅延時間: 130ns (最大値)、パルス/部品スキュー: 30ns (最大値)
- 沿面距離と空間距離が 8mm を超える SOIC-16 DW パッケージ
- 動作時の接合部温度: -40°C ~ 150°C
- 安全関連認証:
 - UL 1577 部品認定プログラム (認証予定)

2 アプリケーション

- EV 用トラクションインバータ
- オンボードチャージャおよび充電ステーション
- HEV/EV 用 DC/DC コンバータ

3 説明

UCC21751-Q1 は、先進の保護機能、クラス最高の動的性能、堅牢性を持ち合わせ、最高 2121V (DC) で動作する SiC MOSFET および IGBT 用に設計されたガルバニック絶縁型シングルチャネルゲートドライバです。UCC21751-Q1 は最大 ±10A のピークソースおよびシンク電流を供給できます。

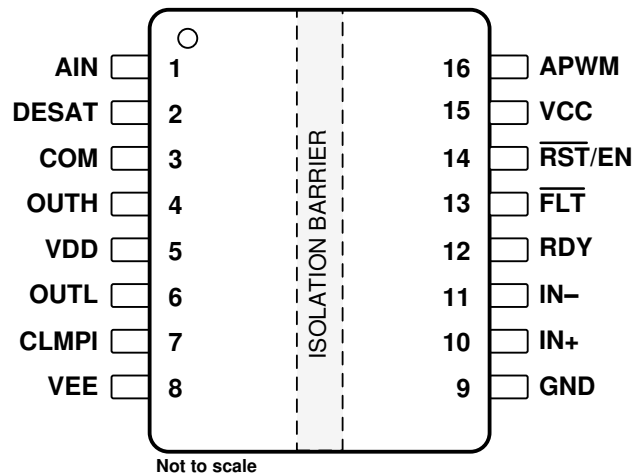
入力側は SiO₂ 容量性絶縁技術によって出力側から絶縁されており、最大 1.5kV_{RMS} の動作電圧、絶縁バリア寿命が 40 年を超える 12.8kV_{PK} のサージ耐性を備えるとともに、小さい部品間スキューと 150V/ns を超える同相ノイズ耐性 (CMTI) を実現しています。

UCC21751-Q1 は、高速の過電流および短絡検出、シャント電流センシング、フォルト通知、アクティブミラー クランプ、入力側および出力側電源 UVLO などの最新の保護機能を備えているため、SiC および IGBT のスイッチング動作や堅牢性を最適化できます。アナログから PWM へ信号を変換する、この絶縁型センサは、温度または電圧のセンシングを簡単に行えるため、ドライバの汎用性をさらに高め、システムの設計工数、サイズ、およびコストを簡素化できます。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
UCC21751-Q1	DW SOIC-16	10.3mm × 7.5mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



デバイスのピン構成



目次

1 特長.....	1	6.5 非飽和 (DESAT) 保護.....	22
2 アプリケーション.....	1	7 詳細説明.....	24
3 説明.....	1	7.1 概要.....	24
4 ピン構成および機能.....	3	7.2 機能ブロック図.....	25
5 仕様.....	5	7.3 機能説明.....	25
5.1 絶対最大定格.....	5	7.4 デバイスの機能モード.....	31
5.2 ESD 定格.....	5	8 アプリケーションと実装.....	32
5.3 推奨動作条件.....	5	8.1 アプリケーション情報.....	32
5.4 熱に関する情報.....	6	8.2 代表的なアプリケーション.....	32
5.5 電力定格.....	6	8.3 電源に関する推奨事項.....	44
5.6 絶縁仕様.....	6	8.4 レイアウト.....	44
5.7 安全関連認証.....	7	9 デバイスおよびドキュメントのサポート.....	46
5.8 安全限界値.....	7	9.1 サード・パーティ製品に関する免責事項.....	46
5.9 電気的特性.....	8	9.2 ドキュメントのサポート.....	46
5.10 スイッチング特性.....	10	9.3 ドキュメントの更新通知を受け取る方法.....	46
5.11 絶縁特性曲線.....	11	9.4 サポート・リソース.....	46
5.12 代表的特性.....	12	9.5 商標.....	46
6 パラメータ測定情報.....	17	9.6 静電気放電に関する注意事項.....	46
6.1 伝搬遅延.....	17	9.7 用語集.....	46
6.2 入力デグリッチ フィルタ.....	18	10 改訂履歴.....	46
6.3 アクティブ ミラー クランプ.....	19	11 メカニカル、パッケージ、および注文情報.....	46
6.4 低電圧誤動作防止 (UVLO).....	20		

4 ピン構成および機能

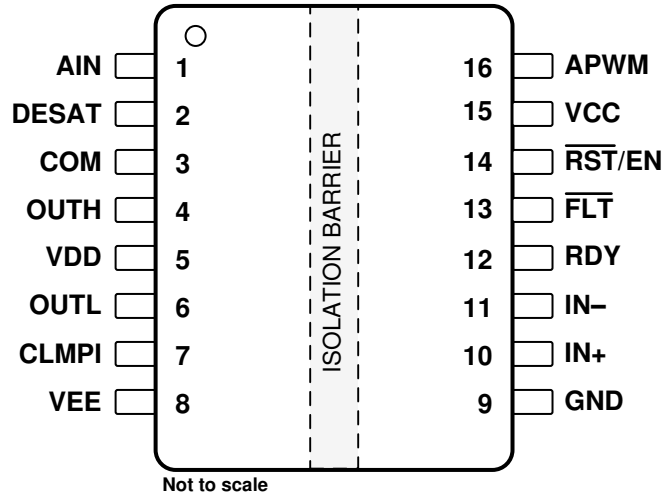


図 4-1. UCC21751-Q1 DW SOIC (16) 上面図

表 4-1. ピンの機能

ピン		I/O ⁽¹⁾	説明
名称	番号		
AIN	1	I	絶縁型アナログセンシング入力。ノイズ耐性を向上させるために、COM と小型コンデンサを並列接続します。使用しない場合は、COM に接続します。
DESAT (脱飽和)	2	I	脱飽和電流保護入力。使用しない場合は、COM に接続します。
COM	3	P	共通グランド基準。IGBT のエミッタピンと SiC-MOSFET のソースピンに接続します。
OUTH	4	O	ゲートドライバの出力プルアップ。
VDD	5	P	ゲート駆動電圧の正電源レール。10 μ F を超えるコンデンサを COM に接続してバイパスすることで、指定のゲートドライバのソースピーク電流能力をサポートします。デカップリング コンデンサは、ピンの近くに配置します。
OUTL	6	O	ゲートドライバのプルダウン
CLMPI	7	I	内部アクティブミラークランプ。このピンをパワートランジスタのゲートに直接接続します。使用しない場合は、フローティングのままにする、または VEE に接続します。
VEE	8	P	ゲート駆動電圧の負電源レール。10 μ F を超えるコンデンサを COM に接続することにより、指定されたゲートドライバのシンクピーク電流能力が得られます。デカップリング コンデンサは、ピンの近くに配置します。
GND	9	P	入力電源およびロジックグランド基準電圧。
IN+	10	I	非反転ゲートドライバの制御入力。使用しない場合は、VCC に接続します。
IN-	11	I	反転ゲートドライバの制御入力。使用しない場合は、GND に接続します。
RDY	12	O	VCC-GND および VDD-COM 用のパワーグッド VCC。RDY はオープンドレイン構成であり、他の RDY 信号と並列に接続可能です。
FLT	13	O	過電流または短絡時でのアクティブ Low フォルトアラーム出力。FLT はオープンドレイン構成であり、他のフォルトと並列に接続可能です。
RST/EN	14	I	RST/EN は次の 2 つの目的で適用されます： 1) 出力側の有効 / シャットダウン。端子 EN が Low に設定される場合、FET は通常のターンオフによってオフになります。2) 端子 RST/EN が 1000ns を超える間に Low に設定される場合、FLT ピンで通知される DESAT 状態をリセットします。信号 FLT のリセットは、端子 RST/EN の立ち上がりエッジでアサートされます。 自動リセット機能の場合、このピンは EN ピンとしてのみ機能します。出力側の有効 / シャットダウン。端子 EN が Low に設定されている場合、通常のターンオフによって FET はオフになります。
VCC	15	P	外部電源入力 (範囲: 3V ~ 5.5V) GND との間に 1 μ F のセラミック コンデンサを用いてバイパスします。デカップリング コンデンサは、ピンの近くに配置します。
APWM	16		

表 4-1. ピンの機能 (続き)

ピン		I/O ⁽¹⁾	説明
名称	番号		
APWM	16	O	絶縁アナログセンシング PWM 出力。未使用の場合は、フローティングのままにします。

(1) P = 電源、G = グランド、I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

パラメータ		最小値	最大値	単位
VCC	VCC - GND	-0.3	6	V
VDD	VDD - COM	-0.3	36	V
VEE	VEE - COM	-17.5	0.3	V
V _{MAX}	VDD - VEE	-0.3	36	V
IN+, IN-, $\overline{\text{RST}}/\text{EN}$	DC	GND-0.3	VCC	V
		過渡応答、100ns 未満 ⁽²⁾	VCC+5.0	V
DESAT (脱飽和)	COM 基準	COM-0.3	VDD+0.3	V
AIN	COM 基準	-0.3	5	V
OUTH, OUTL, CLMPI	DC	VEE-0.3	VDD	V
		過渡応答、100ns 未満 ⁽²⁾	VDD+5.0	V
RDY, $\overline{\text{FLT}}$, APWM		GND-0.3	VCC	V
I _{FLT} , I _{RDY}	$\overline{\text{FLT}}$ 、および RDY ピンの入力電流		20	mA
I _{APWM}	APWM ピン出力電流		20	mA
T _J	接合部温度範囲	-40	150	°C
T _{stg}	保管温度範囲	-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の範囲内であっても、推奨動作条件の範囲外の場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 値はベンチでの特性評価によって検証されます。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	±4000
		デバイス帯電モデル (CDM)、AEC Q100-011、	±1500

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

パラメータ		最小値	最大値	単位
VCC	VCC-GND	3.0	5.5	V
VDD	VDD-COM	13	33	V
V _{MAX}	VDD-VEE	-	33	V
IN+, IN-, $\overline{\text{RST}}/\text{EN}$	GND に対する基準	High レベル入力電圧	0.7×VCC	VCC
		Low レベル入力電圧	0	0.3×VCC
AIN	COM 基準	0.6	4.5	V
t _{RST/EN}	フォールトをリセットする最小パルス幅	800		ns
T _A	周囲温度	-40	125	°C
T _J	接合部温度	-40	150	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		UCC21751-Q1	
		DW (SOIC)	
		16 ピン	
			単位
R _{θJA}	接合部から周囲への熱抵抗	68.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	27.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	32.9	°C/W
ψ _{JT}	接合部から上面への特性パラメータ	14.1	°C/W
ψ _{JB}	接合部から基板への特性パラメータ	32.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

5.5 電力定格

パラメータ	テスト条件	値	単位
P _D	最大消費電力 (両サイド)	985	mW
P _{D1}	トランスマッタ側の最大消費電力	20	mW
P _{D2}	レシーバー側の最大消費電力	965	mW

VCC = 5V, VDD — COM = 20V, VEE = 5V, IN+/- = 5V, 150kHz, 10nF 負荷に対し 50% のデューティサイクル, T_a = 25°C

5.6 絶縁仕様

パラメータ	テスト条件	値	単位
一般			
CLR	外部空間距離 ⁽¹⁾	空気を介した最短のピン間距離	> 8 mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	> 8 mm
DTI	絶縁物を介した距離	二重絶縁 (2 × 0.0085mm) の最小内部ギャップ (内部距離)	> 17 μm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	> 600 V
	材料グループ	IEC 60664-1 に準拠	I
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V _{RMS} が 300V 以下	I-IV
		定格商用電源 V _{RMS} が 600V 以下	I-IV
		定格商用電源 V _{RMS} が 1000V 以下	I-III
DIN EN IEC 60747-17 (VDE 0884-17) ⁽²⁾			
V _{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	2121 V _{PK}
V _{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) テスト	1500 V _{RMS}
		DC 電圧	2121 V _{DC}
V _{IMP}	最大インパルス電圧	IEC 62368-1 に準拠し空気中でテスト、1.2/50μs の波形	8000 V _{PK}
V _{IOTM}	最大過渡絶縁電圧	V _{TEST} = V _{IOTM} , t = 60s (認定時テスト)	8000 V _{PK}
		V _{TEST} = 1.2 × V _{IOTM} , t = 1s (100% 出荷時テスト)	
V _{IOSM}	最大サージ絶縁電圧 ⁽³⁾	IEC 62368-1 に準拠したテスト方法、1.2/50μs 波形	12800 V _{PK}

5.6 絶縁仕様 (続き)

パラメータ	テスト条件	値	単位
Q _{pd} 見掛けの電荷 ⁽⁴⁾	方法 a: I/O 安全テスト サブグループ 2/3 の後、V _{ini} = V _{IOTM} 、t _{ini} = 60s、V _{pd(m)} = 1.2 × V _{IORM} = 2545V _{PK} 、t _m = 10s	≦ 5	pC
	方法 a: 環境テストのサブグループ 1 の後、V _{ini} = V _{IOTM} 、t _{ini} = 60s、V _{pd(m)} = 1.6 × V _{IORM} = 3394V _{PK} 、t _m = 10s	≦ 5	
	方法 b1: ルーチン テスト (100% 出荷時) および事前条件設定 (タイプ テスト) の場合、V _{ini} = V _{IOTM} 、t _{ini} = 1s、V _{pd(m)} = 1.875 × V _{IORM} = 3977V _{PK} 、t _m = 1s	≦ 5	
C _{IO} 絶縁バリア容量、入力から出力へ ⁽⁵⁾	V _{IO} = 0.5 sin (2πft)、f = 1MHz	"1	pF
R _{IO} 絶縁抵抗、入力から出力へ ⁽⁵⁾	V _{IO} = 500V、T _A = 25°C	10 ¹² 以上	Ω
	V _{IO} = 500V (100°C ≦ T _A ≦ 125°C時)	10 ¹¹ 以上	
	V _{IO} = 500V (T _S = 150°C時)	10 ⁹ 以上	
汚染度		2	
耐候性カテゴリ		40/125/21	
UL 1577			
V _{ISO} 絶縁耐圧	V _{TEST} = V _{ISO} = 5700V _{RMS} 、t = 60s (認定)、V _{TEST} = 1.2 × V _{ISO} = 6840V _{RMS} 、t = 1s (100% 出荷時テスト)	5700	V _{RMS}

- アプリケーションに固有の機器の絶縁規格に従って沿面距離および空間距離の要件を適用します。基板設計では、沿面距離および空間距離を維持し、プリント基板 (PCB) のアイソレータの取り付けパッドによりこの距離が短くならないよう注意が必要です。特定の場合には、PCB 上の沿面距離と空間距離は等しくなります。PCB 上にグループヤリブを挿入するなどの技法を使用して、これらの仕様値を増やすことができます。
- この絶縁素子は、安全定格内に限定した安全な電氣的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
- 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

5.7 安全関連認証

UL
UL 1577 部品認定プログラム、CSA Component Acceptance Notice 5A に基づいて認定済み
シングル保護: 5700V _{RMS}
認証計画中

5.8 安全限界値

安全限界値⁽¹⁾の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グラウンドあるいは電源との抵抗が低くなる場合があります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。

パラメータ	テスト条件	最小値	標準値	最大値	単位
I _S 安全入力、出力、または電源電流	R _{θJA} = 68.3°C/W、V _{DD} = 15V、V _{EE} = -5V、T _J = 150°C、T _A = 25°C			91	mA
	R _{θJA} = 68.3°C/W、V _{DD} = 20V、V _{EE} = -5V、T _J = 150°C、T _A = 25°C			73	
P _S 安全入力、出力、または合計電力	R _{θJA} = 68.3°C/W、V _{DD} = 20V、V _{EE} = -5V、T _J = 150°C、T _A = 25°C			1830	mW
T _S 安全温度				150	°C

- 安全限界は、データシートで規定されている最大接合部温度です。接合部の温度は、アプリケーション ハードウェアに搭載されているデバイスの消費電力、および接合部から空気への熱抵抗により決定されます。「[熱に関する情報](#)」の表で前提とされている接合部から空気への熱抵抗は、

リード付き表面実装パッケージ向けの High-K テスト基板に実装されたデバイスの数値です。電力は、推奨最大入力電圧と電流との積です。この場合の接合部温度は、接合部から空気への熱抵抗と電力との積に周囲温度を加えたものです。

5.9 電気的特性

VCC = 3.3V または 5.0V、VCC から GND の 1 μ F コンデンサ、VDD - COM = 20V、18V または 15V、COM - VEE = 0V、5V、8V または 15V、C_L = 100pF、-40°C < T_J < 150°C (特に注記がない限り)⁽¹⁾ ⁽²⁾。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
VCC UVLO スレッシュホールドと遅延							
V _{VCC_ON}	VCC-GND		2.55	2.7	2.85	V	
V _{VCC_OFF}			2.35	2.5	2.65		
V _{VCC_HYS}			0.2				
t _{VCCFIL}	VCC UVLO グリッチ除去時間		10		μ s		
t _{VCC+ to OUT}	VCC UVLO オンの遅延から出力 High まで	IN+ = VCC、IN- = GND	28	37.8		50	
t _{VCC- to OUT}	VCC UVLO オフの遅延から出力 Low まで		5	10		15	
t _{VCC+ to RDY}	VCC UVLO オンの遅延から RDY High まで	RST/EN = VCC	25	37.8		50	
t _{VCC- to RDY}	VCC UVLO オフの遅延から RDY Low まで		5	10		15	
VDD UVLO のスレッシュホールドと遅延							
V _{VDD_ON}	VDD-COM		10.5	12.0	12.8	V	
V _{VDD_OFF}			9.9	10.7	11.8		
V _{VDD_HYS}			0.8				
t _{VDDFIL}	VDD UVLO グリッチ除去時間		5		μ s		
t _{VDD+ to OUT}	VDD UVLO オンの遅延から出力 High まで	IN+ = VCC、IN- = GND	2	5		8	
t _{VDD- to OUT}	VDD UVLO オフの遅延から出力 Low まで		5			10	
t _{VDD+ to RDY}	VDD UVLO オンの遅延から RDY High まで	RST/EN = FLT=High				10	15
t _{VDD- to RDY}	VDD UVLO オフの遅延から RDY Low まで					10	15
VCC、VDD 静止電流							
I _{VCCQ}	VCC 静止電流	OUT(H) = High、f _S = 0Hz、AIN = 2V	2.5	3	4	mA	
		OUT(L) = Low、f _S = 0Hz、AIN = 2V	1.45	2	2.75		
I _{VDDQ}	VDD 静止電流	OUT(H) = High、f _S = 0Hz、AIN = 2V	3.6	4	5.9	mA	
		OUT(L) = Low、f _S = 0Hz、AIN = 2V	3.1	3.7	5.3		
ロジック入力 - IN+、IN- および RST/EN							
V _{INH}	入力 High スレッシュホールド	V _{CC} = 3.3V		1.85	2.31	V	
V _{INL}	入力 Low スレッシュホールド	V _{CC} = 3.3V	0.99	1.52		V	
V _{INHYS}	入力スレッシュホールドのヒステリシス	V _{CC} = 3.3V	0.33			V	
I _{IH}	入力 High レベル入力リーク電流	V _{IN} = VCC	90			μ A	
I _{IL}	入力 Low レベル入力リーク電流	V _{IN} = GND	-90			μ A	
R _{IND}	入力ピンプルダウン抵抗	詳細については、「 詳細説明 」を参照してください	55			k Ω	
R _{INU}	入力ピンのプルアップ抵抗	詳細については、「 詳細説明 」を参照してください	55			k Ω	
T _{INFIL}	IN+、IN- および RST/EN のグリッチ除去 (オンおよびオフ) フィルタ時間	f _S = 50kHz	28	40	60	ns	
T _{RSTFIL}	リセット/FLT までのグリッチ除去フィルタ時間		400	650	800	ns	
ゲートドライブ							
I _{OUT} 、I _{OUTH}	ピークソース電流	C _L = 0.18 μ F、f _S = 1kHz	10			A	
I _{OUT} 、I _{OUTL}	ピークシンク電流		10			A	
R _{OUTH} ⁽³⁾	出力プルアップ抵抗	I _{OUT} = -0.1A	2.5			Ω	
R _{OUTL}	出力プルダウン抵抗	I _{OUT} = 0.1A	0.3			Ω	
V _{OUTH}	High レベル出力電圧	I _{OUT} = -0.2A、V _{DD} = 18V	17.5			V	
V _{OUTL}	Low レベル出力電圧	I _{OUT} = 0.2A	60			mV	

5.9 電気的特性 (続き)

VCC = 3.3V または 5.0V、VCC から GND の 1μF コンデンサ、VDD - COM = 20V、18V または 15V、COM - VEE = 0V、5V、8V または 15V、CL = 100pF、-40°C < Tj < 150°C (特に注記がない限り)⁽¹⁾ ⁽²⁾。

パラメータ	テスト条件	最小値	標準値	最大値	単位	
アクティブプルダウン						
V _{OUTPD}	OUT、OUTL の出力アクティブプルダウン	I _{OUTL} または I _{OUT} = 0.1 × I _{OUT(L)(typ)} 、 VDD=OPEN、VEE=COM	1.5	2	2.5	V
内部アクティブミラークランプ						
V _{CLMPH}	ミラークランプのスレッシュホールド電圧	VEE 基準	1.5	2.0	2.5	V
V _{CLMPI}	出力 Low クランプ電圧	I _{CLMPI} = 1A	VEE + 0.5			V
I _{CLMPI}	出力 Low クランプ電流	V _{CLMPI} = 0V、VEE = -2.5V	4			A
R _{CLMPI}	ミラークランプのプルダウン抵抗	I _{CLMPI} = 0.2A	0.6			Ω
t _{DCLMPI}	ミラークランプのオン遅延時間	C _L = 1.8nF	15	50		ns
短絡クランプ						
V _{CLP-OUT(H)}	V _{OUT} -VDD、V _{OUTH} -VDD	OUT = Low、I _{OUT(H)} = 500mA、t _{CLP} = 10μs	0.9			V
V _{CLP-OUT(L)}	V _{OUT} -VDD、V _{OUTL} -VDD	OUT = High、I _{OUT(L)} = 500mA、t _{CLP} = 10μs	1.8			V
V _{CLP-CLMPI}	V _{CLMPI} -VDD	OUT = High、I _{CLMPI} = 20mA、t _{CLP} = 10μs	1.0			V
DESAT 保護						
I _{CHG}	ブランキングコンデンサの充電電流	V _{DESAT} = 2.0V	430	500	570	μA
I _{DCHG}	ブランキングコンデンサの放電電流	V _{DESAT} = 6.0V	10	15		mA
V _{DESAT}	検出スレッシュホールド		8.4	9.0	9.7	V
t _{DESATLEB}	リーディング エッジのブランキング時間		200			ns
t _{DESATFIL}	DESAT グリッチ除去フィルタ		50	140	230	ns
t _{DESATOFF}	DESAT 伝搬遅延から OUT(L) の 90%		150	200	300	ns
t _{DESATFLT}	DESAT から FLT Low までの遅延		400	820	1250	ns
内部ソフトターンオフ						
I _{STO}	フォルト状態時のソフトターンオフ電流	V _{DD} -V _{EE} =20V、V _{OUTL} -COM=8V	250	400	570	mA
絶縁型温度検出および監視 (AIN-APWM)						
V _{AIN}	アナログ検出電圧範囲		0.6		4.5	V
I _{AIN}	内部電流源は	V _{AIN} = 2.5V、-40°C < Tj < 150°C	196	200	209	μA
f _{APWM}	APWM 出力周波数	V _{AIN} = 2.5V	380	400	420	kHz
BW _{AIN}	AIN-APWM 帯域幅		10			kHz
D _{APWM}	APWM デューティサイクル	V _{AIN} = 0.6V	86.5	88	89.5	%
		V _{AIN} = 2.5V	48.5	50	51.5	
		V _{AIN} = 4.5V	7.5	10	11.5	
FLT および RDY 通知						
t _{RDYHLD}	VDD UVLO RDY Low の最小保持時間		0.55		1	ms
t _{FLTMUTE}	故障時の出力ミュート時間	RST/EN により故障をリセット	0.55		1	ms
R _{ODON}	オーブンドレイン出力のオン抵抗	I _{ODON} = 5mA	30			Ω
V _{ODL}	オーブンドレインの Low 出力電圧	I _{ODON} = 5mA			0.31	V
同相過渡耐性						
CMTI	同相過渡耐性		150			V/ns

- (1) 電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。
- (2) 特に記述のない限り、全電圧は COM 基準です。
- (3) 内部 PMOS のみです。実効プルアップ抵抗については、「セクション 7.3.2」を参照してください。

5.10 スイッチング特性

VCC = 5.0V、VCC から GND へ 1 μ F のコンデンサ、VDD-COM=20V、18V または 15V、COM VEE = 3V、5V または 8V、C_L = 100pF、-40°C < T_J < 150°C (別途記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{PDHL}	伝搬遅延時間 – High から Low		60	90	130	ns
t _{PDLH}	伝搬遅延時間 – Low から High		60	90	130	
PWD	パルス幅歪み t _{PDHL} - t _{PDLH}				30	
t _{sk-pp}	部品間スキュー	立ち上がりまたは立ち下がり伝搬遅延			30	
t _r	ドライバ出力立ち上がり時間	C _L =10nF		33		
t _f	ドライバ出力立ち下がり時間	C _L =10nF		27		
f _{MAX}	最大スイッチング周波数				1	MHz

5.11 絶縁特性曲線

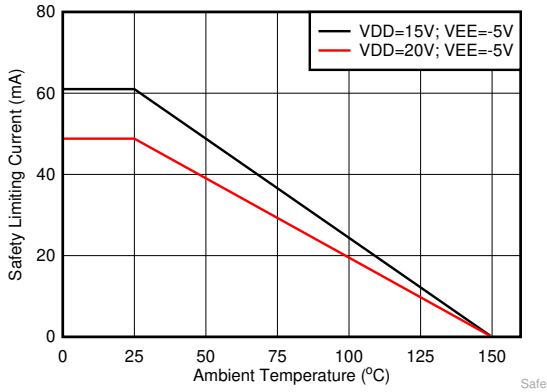


図 5-1. VDE に従う制限電流の熱特性低下曲線

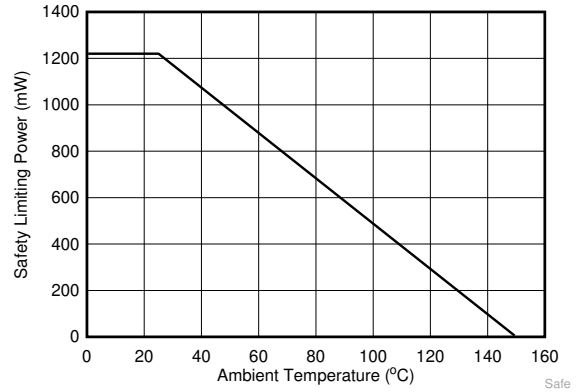


図 5-2. VDE に従う制限電力の熱特性低下曲線

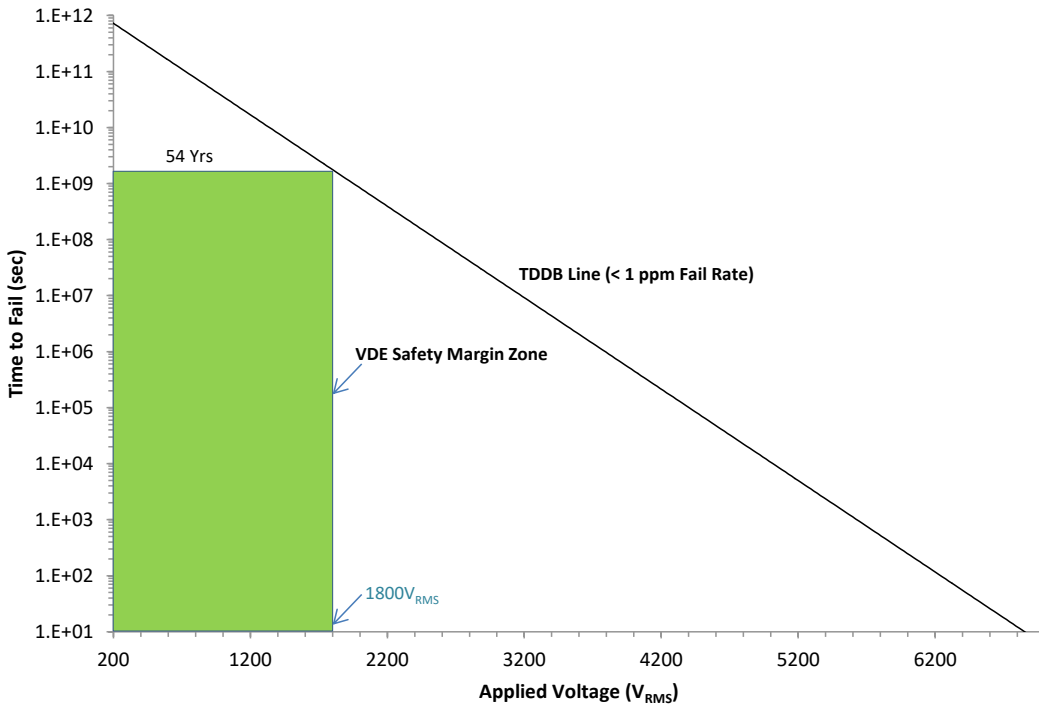
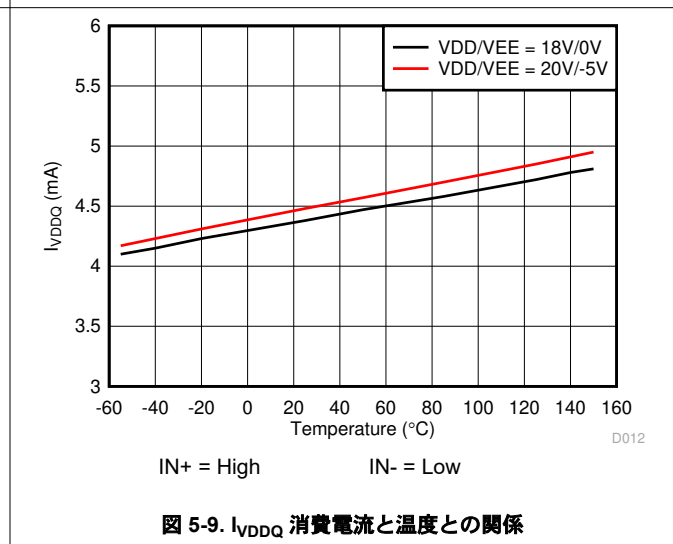
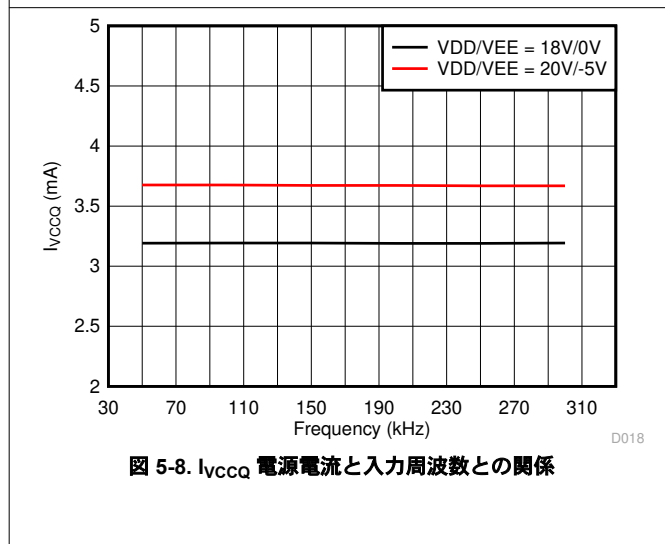
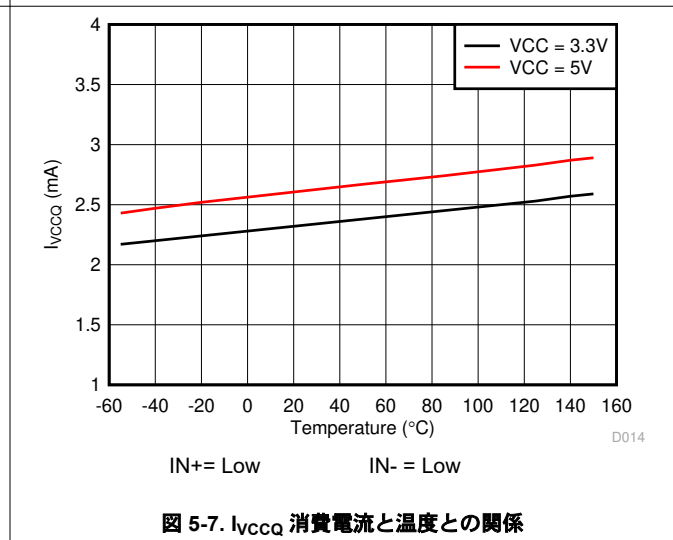
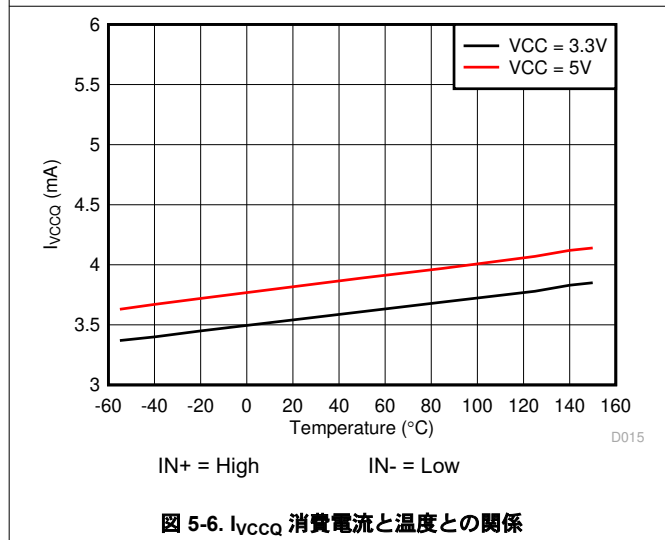
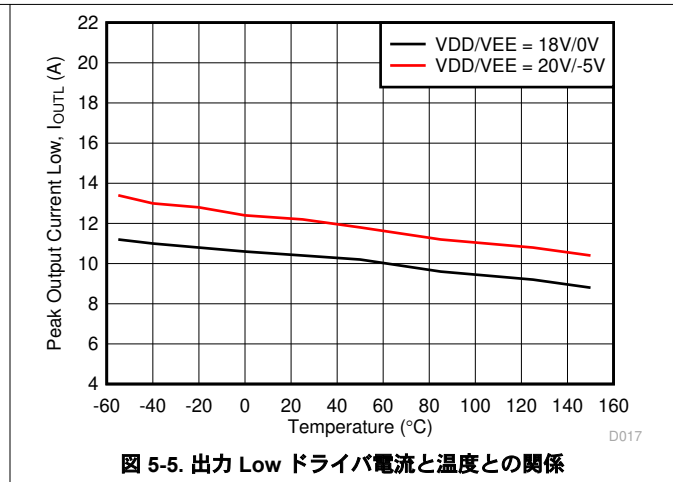
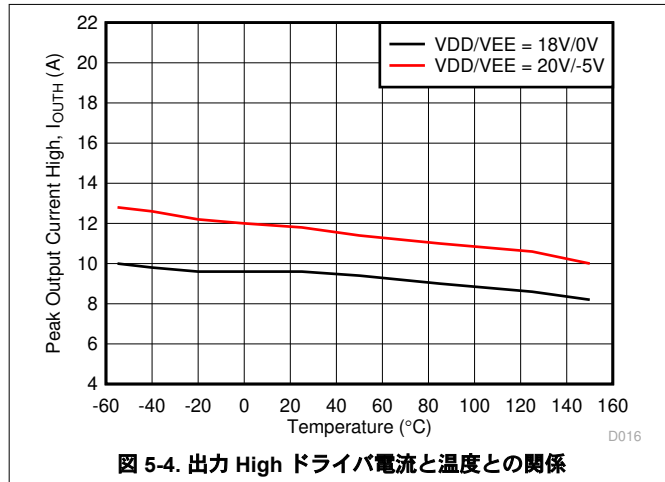
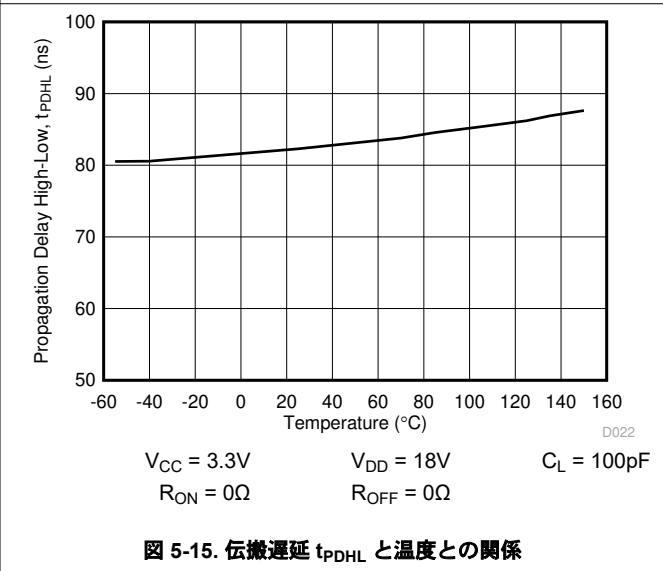
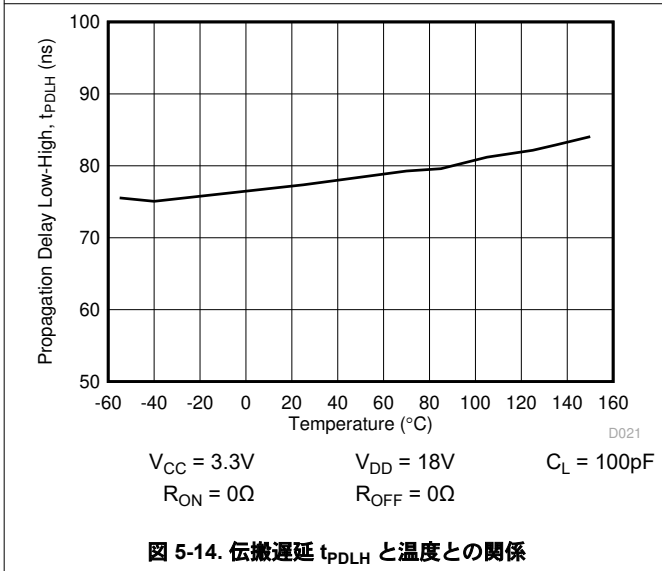
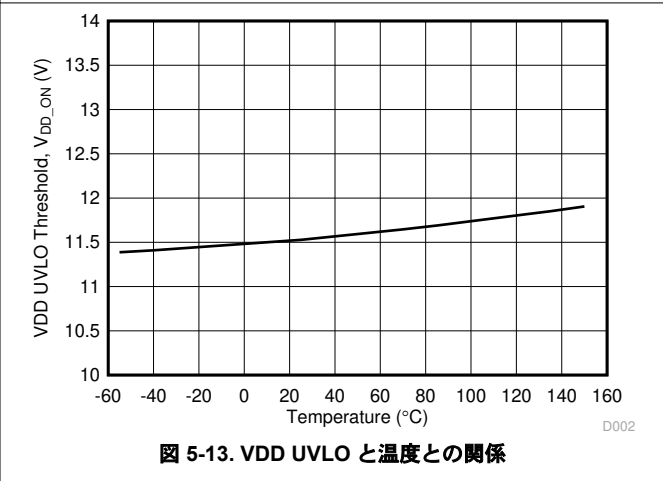
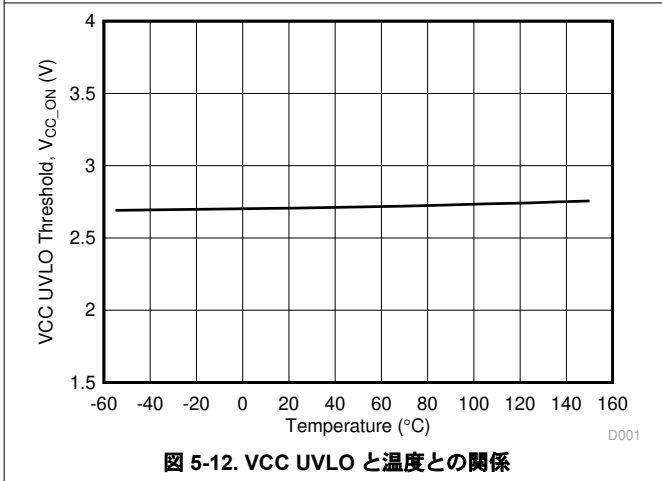
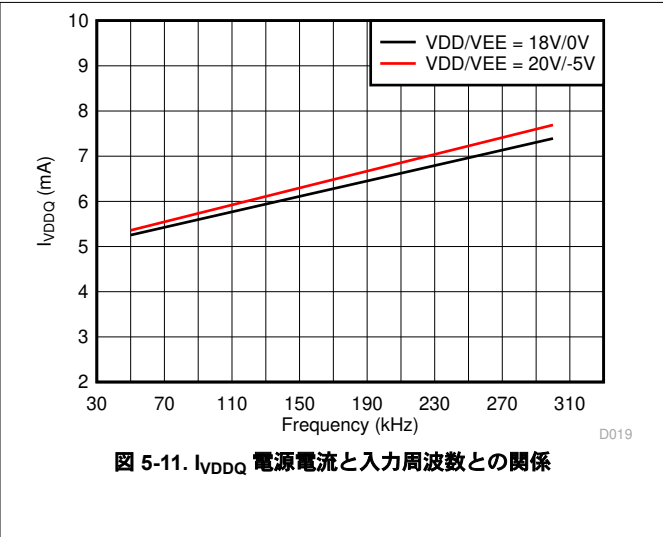
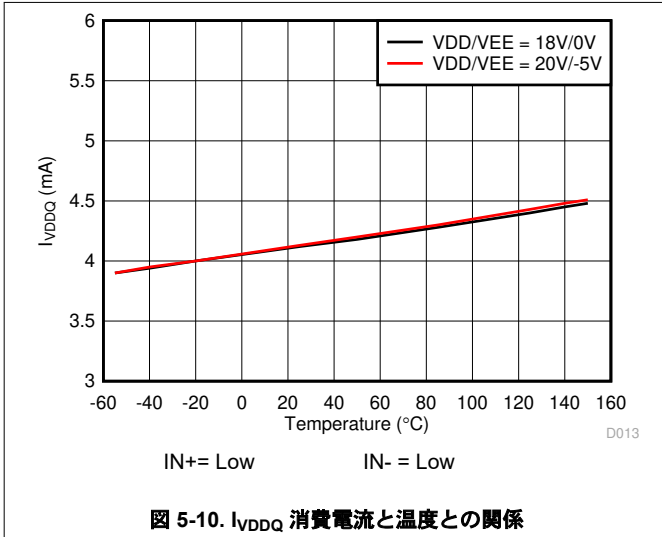


図 5-3. 強化絶縁コンデンサの寿命予測

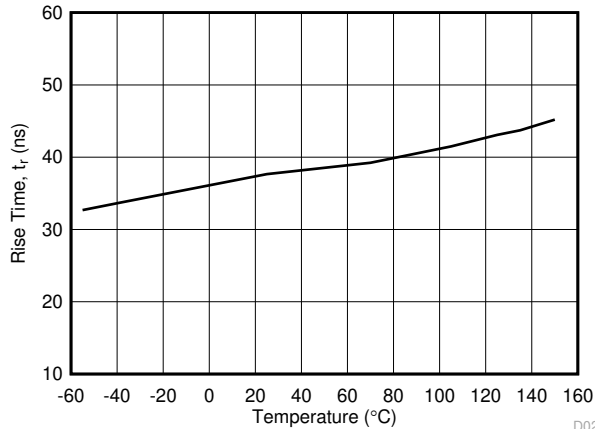
5.12 代表的特性



5.12 代表的特性 (続き)

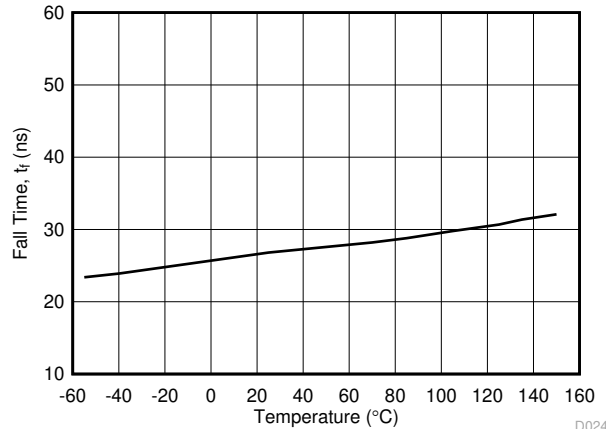


5.12 代表的特性 (続き)



$V_{CC} = 3.3V$ $V_{DD} = 18V$ $C_L = 10nF$
 $R_{ON} = 0\Omega$ $R_{OFF} = 0\Omega$

図 5-16. t_r 立ち上がり時間と温度との関係



$V_{CC} = 3.3V$ $V_{DD} = 18V$ $C_L = 10nF$
 $R_{ON} = 0\Omega$ $R_{OFF} = 0\Omega$

図 5-17. t_f 立ち下がり時間と温度との関係

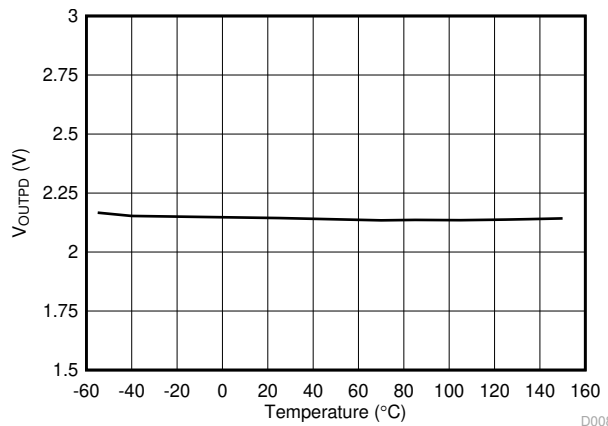


図 5-18. V_{OUTPD} 出力アクティブプルダウン電圧と温度との関係

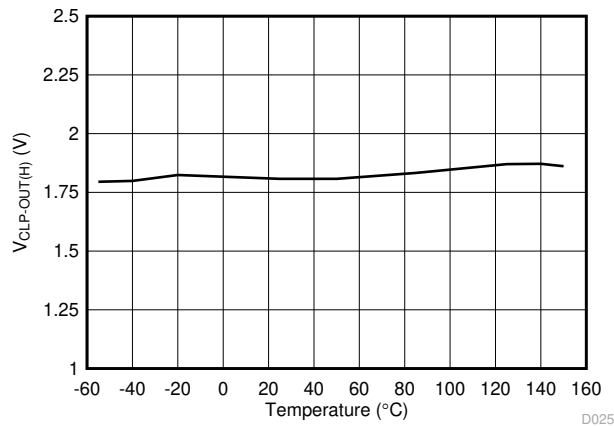


図 5-19. $V_{CLP-OUT(H)}$ 短絡クランプ電圧と温度との関係

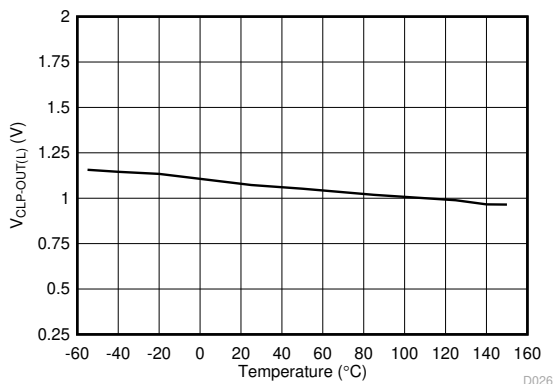


図 5-20. $V_{CLP-OUT(L)}$ 短絡クランプ電圧と温度との関係

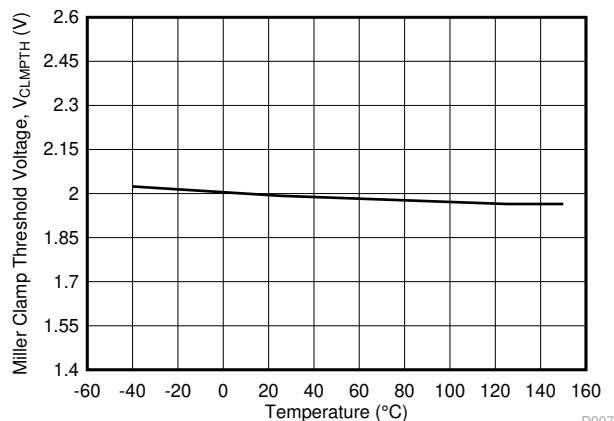


図 5-21. V_{CLMPH} ミラークランプしきい値電圧と温度との関係

5.12 代表的特性 (続き)

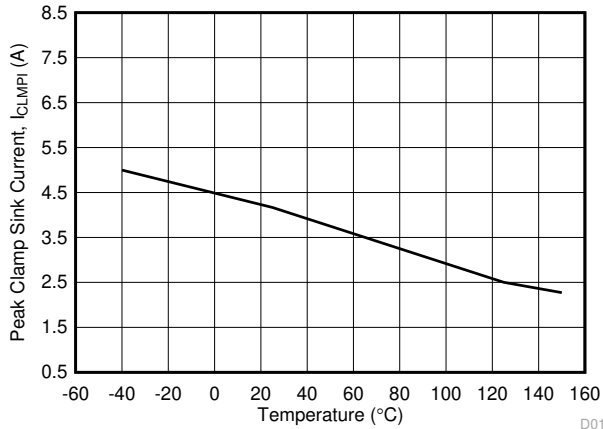


図 5-22. I_{CLMPI} ミラークランプシンク電流と温度との関係

D011

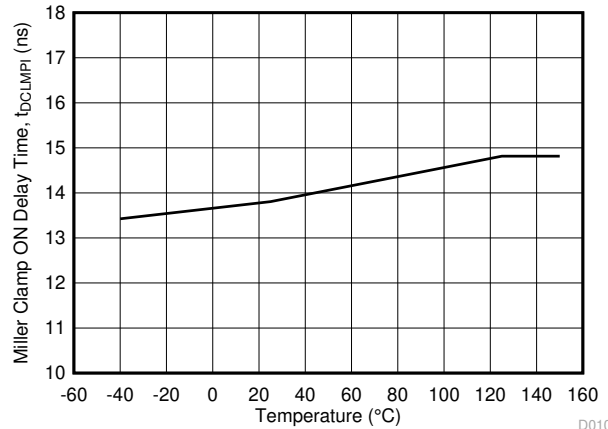


図 5-23. t_{DCLMPI} ミラークランプオン遅延時間と温度との関係

D010

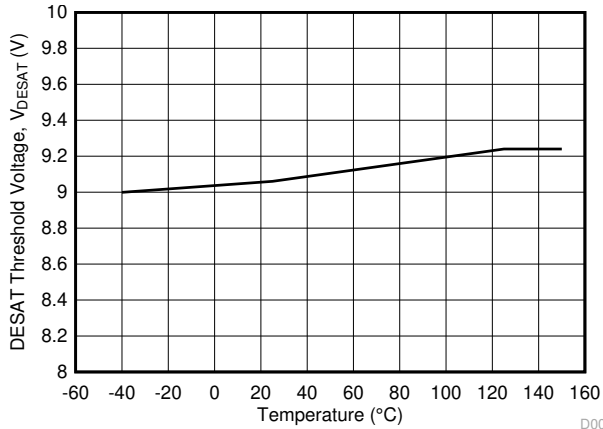


図 5-24. V_{DESAT} DESAT しきい値電圧と温度との関係

D001

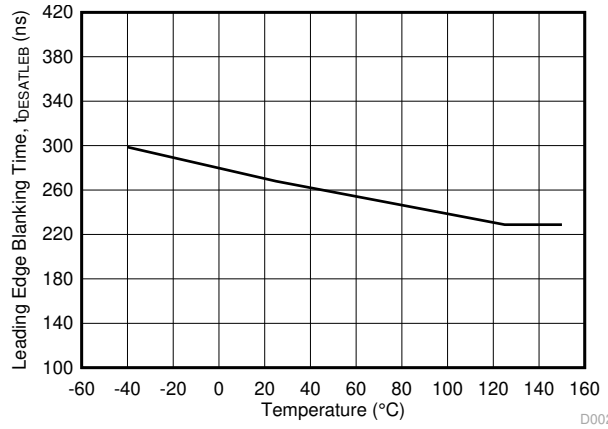


図 5-25. $t_{DESATLEB}$ DESAT リーディングエッジブランキング時間と温度との関係

D002

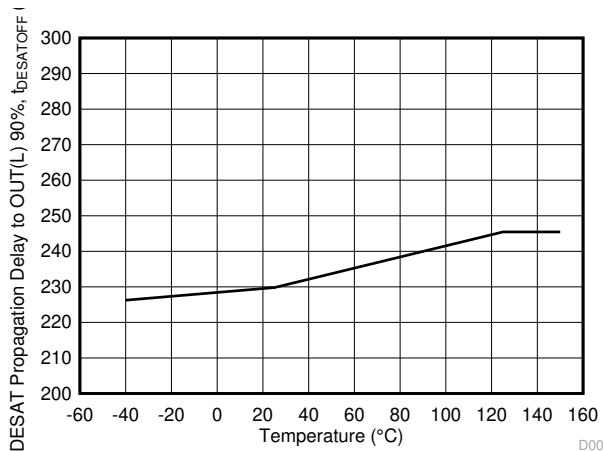


図 5-26. OUT (L) 90%に対する $t_{DESATOFF}$ DESAT までの伝搬遅延と温度との関係

D003

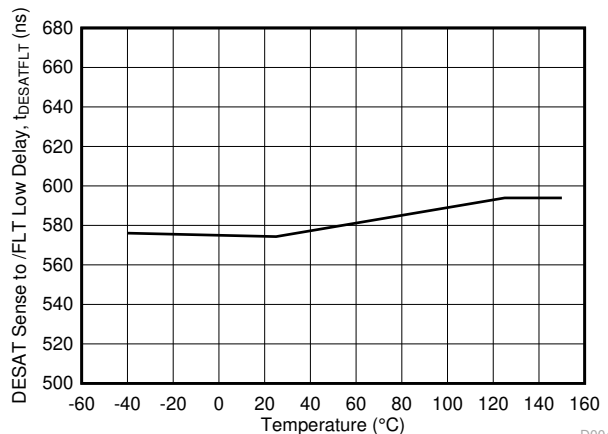


図 5-27. /FLT Low 遅延時間に対する $t_{DESATFLT}$ DESAT 検出と温度との関係

D004

5.12 代表的特性 (続き)

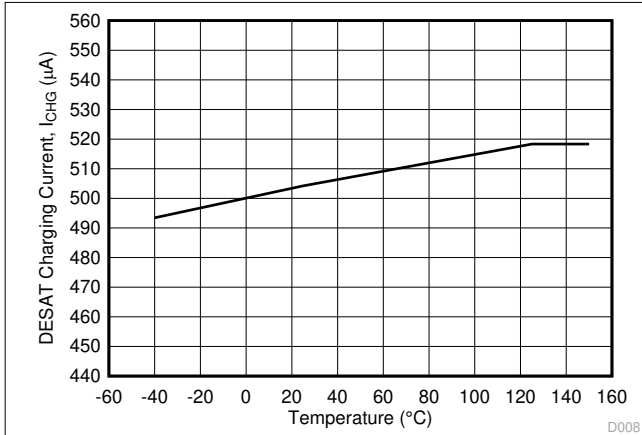


図 5-28. I_{CHG} DESAT 充電電流と温度との関係

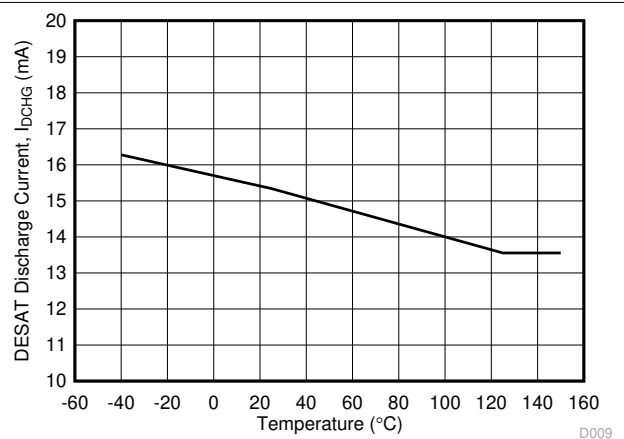


図 5-29. I_{DCHG} DESAT 放電電流と温度との関係

6 パラメータ測定情報

6.1 伝搬遅延

6.1.1 通常のターンオフ

図 6-1 に、非反転型構成による伝搬遅延の測定を示します。図 6-2 に、反転型構成による伝搬遅延の測定を示します。

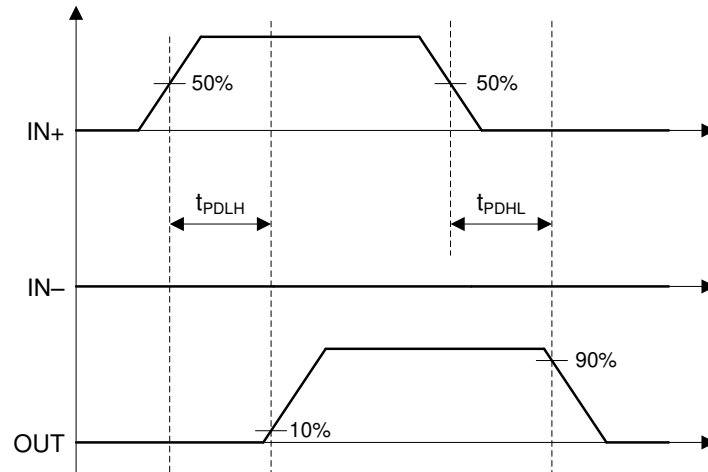


図 6-1. 非反転型ロジックの伝搬遅延の測定

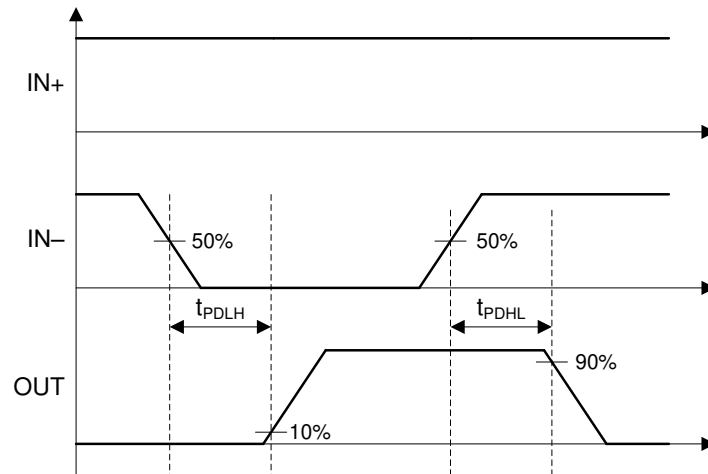


図 6-2. 反転型ロジックの伝搬遅延の測定

6.2 入力デグリッチ フィルタ

この機能は、ノイズ過渡や、入力ピン上の偶発的な小さなパルスに対して、ゲートドライバの堅牢性を向上させるためのものです。IN+、IN-、RST/EN にある 40ns のデグリッチ フィルタは、過渡をフィルタで除去し、出力応答の障害や、偶発的なドライバの誤動作が発生しないように設計されています。IN+ または IN- の PWM パルスが入力デグリッチ フィルタ幅 T_{INFIL} より小さい場合、OUT 駆動信号に応答はありません。図 6-3 と図 6-4 に、IN+ ピンの ON および OFF パルスのデグリッチ フィルタの影響を示します。図 6-5 と図 6-6 に、IN- ピンの ON および OFF パルスのデグリッチ フィルタの影響を示します。

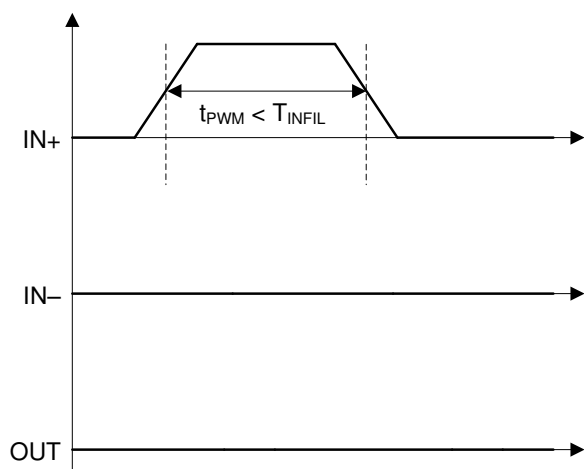


図 6-3. IN+ の ON デグリッチ フィルタ

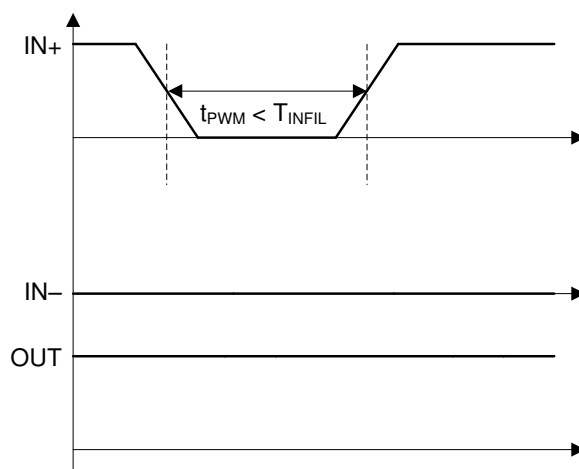


図 6-4. IN+ の OFF デグリッチ フィルタ

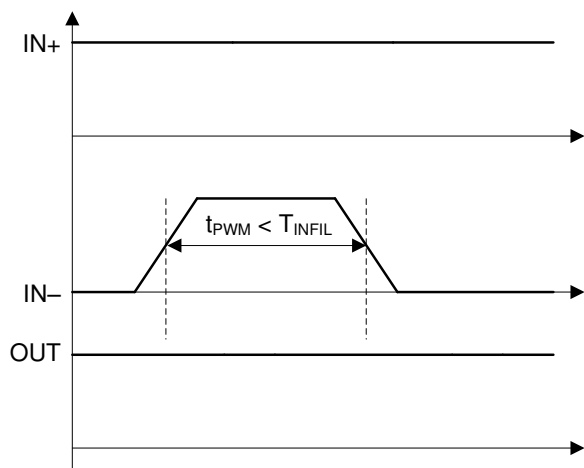


図 6-5. IN- の ON デグリッチ フィルタ

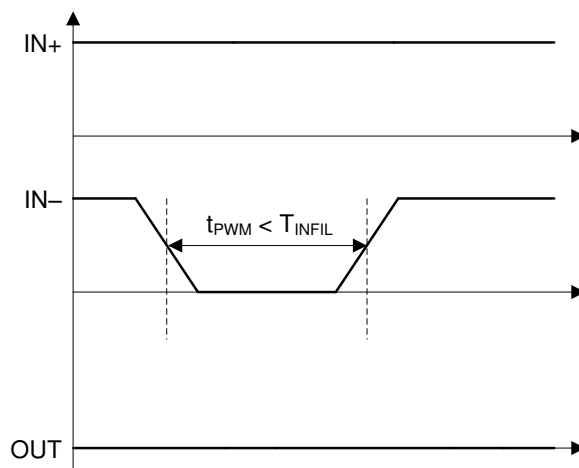


図 6-6. IN- の OFF デグリッチ フィルタ

6.3 アクティブ ミラー クランプ

6.3.1 内部オンチップアクティブミラー クランプ

ユニポーラ バイアス電源、または負のターンオフ電圧が小さいバイポーラ電源を持つゲートドライバ アプリケーションの場合、アクティブ ミラー クランプを使用すると、低インピーダンスの追加パスが新たに作成されてミラー電流をバイパスし、大きな dV/dt がミラー容量によって意図しないターンオンを引き起こすことを防止できます。図 6-7 に、オンチップの内部ミラー クランプ機能のタイミング図を示します。

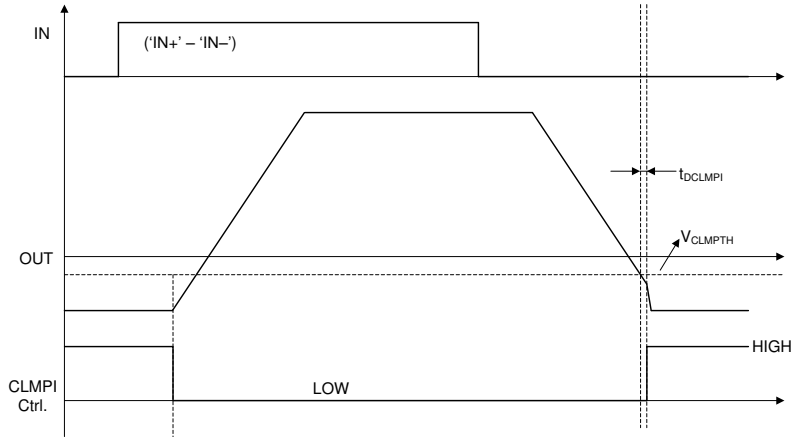


図 6-7. 内部アクティブ ミラー クランプ機能のタイミング図

6.4 低電圧誤動作防止 (UVLO)

UVLO は、VCC (1 次側電源) と VDD (2 次側電源) のバイアス電源障害が発生した場合にシステムを保護するために設計された主要保護機能の一つです。

6.4.1 VCC UVLO

このセクションでは、VCC UVLO 保護の詳細を説明します。図 6-8 に、UVLO オン/オフ スレッシュホールド、グリッチ除去フィルタ、応答時間、RDY および AIN-APWM の定義を示すタイミング図を示します。

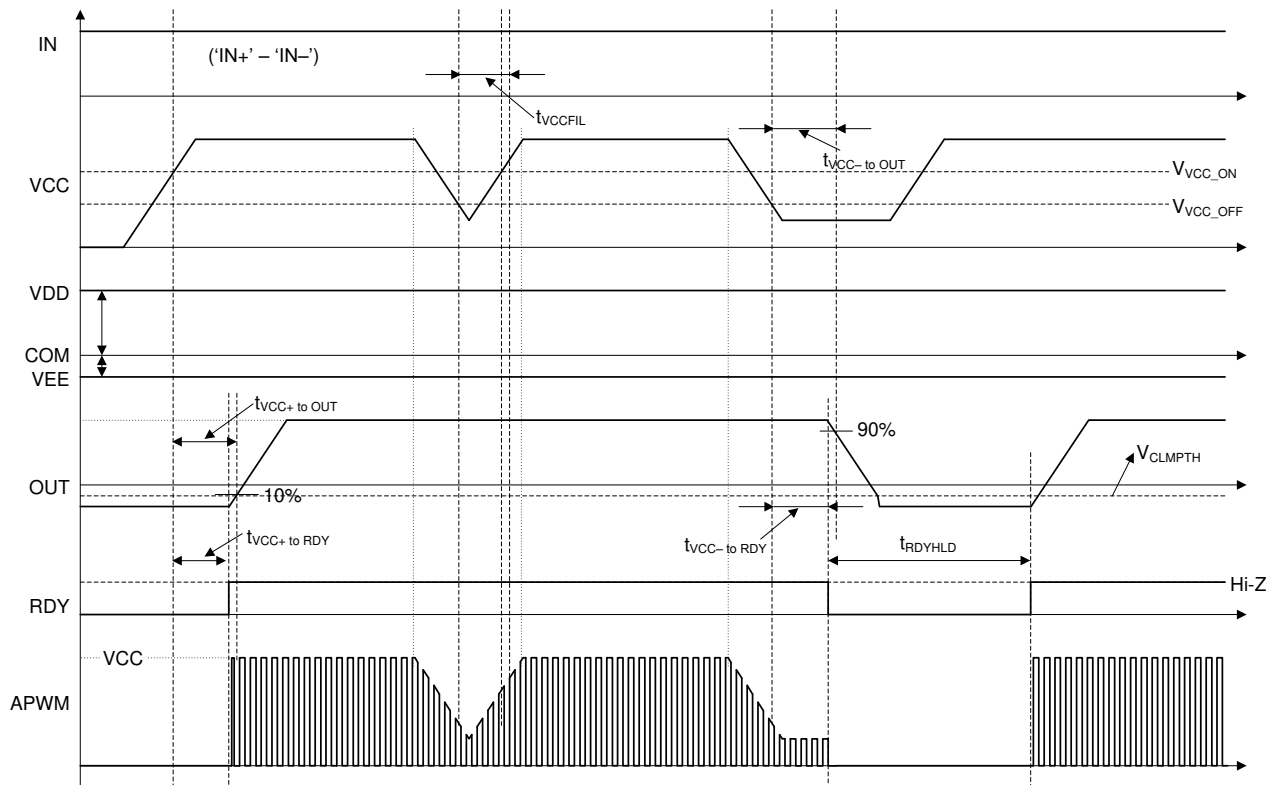


図 6-8. VCC UVLO 保護のタイミング図

6.4.2 VDD UVLO

このセクションでは、VDD UVLO 保護の詳細を説明します。図 6-9 に、UVLO オン/オフ スレッショルド、グリッチ除去フィルタ、応答時間、RDY および AIN-APWM の定義を示すタイミング図を示します。

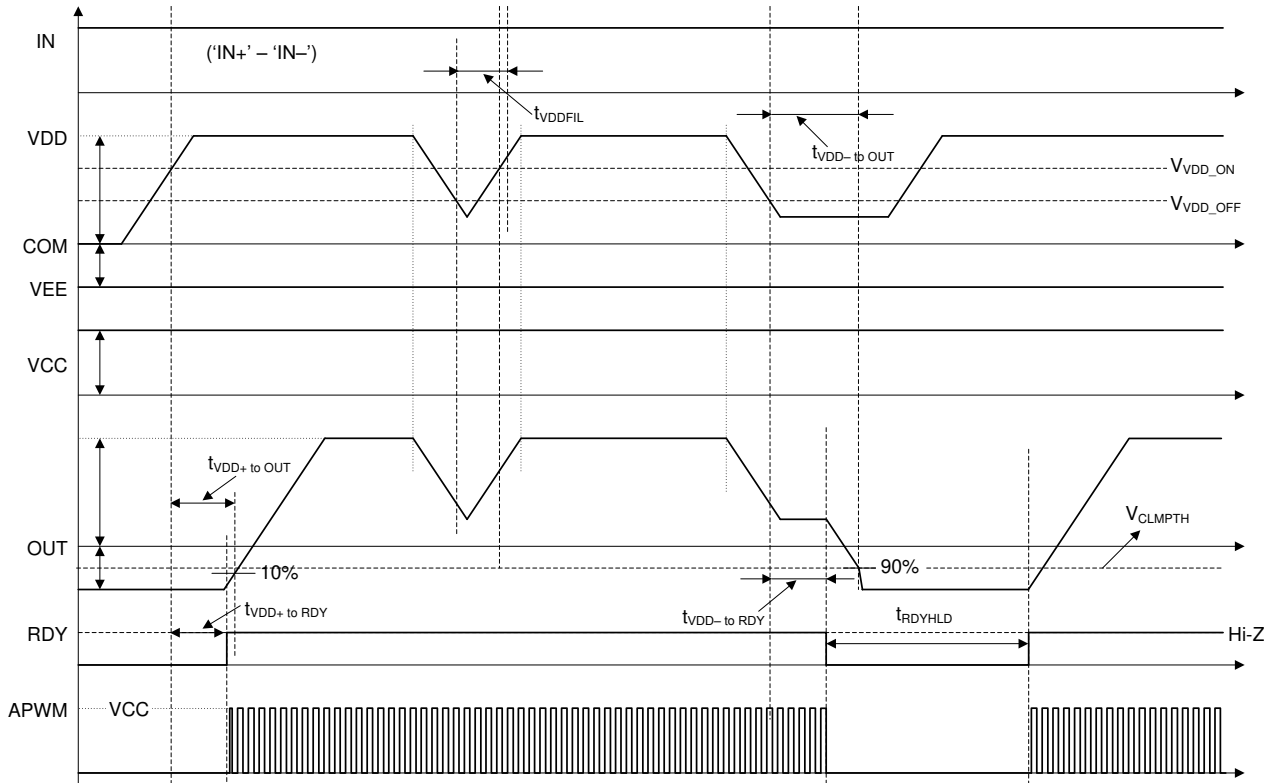


図 6-9. VDD UVLO 保護のタイミング図

6.5 非飽和 (DESAT) 保護

6.5.1 ソフト ターンオフによる DESAT 保護

DESAT 機能は、過電流状態における SiC-MOSFET の V_{DS} または IGBT の V_{CE} を検出するために使用されます。図 6-10 はターンオン遷移中のソフトターンオフを使用した DESAT 動作のタイミング図を示しています。

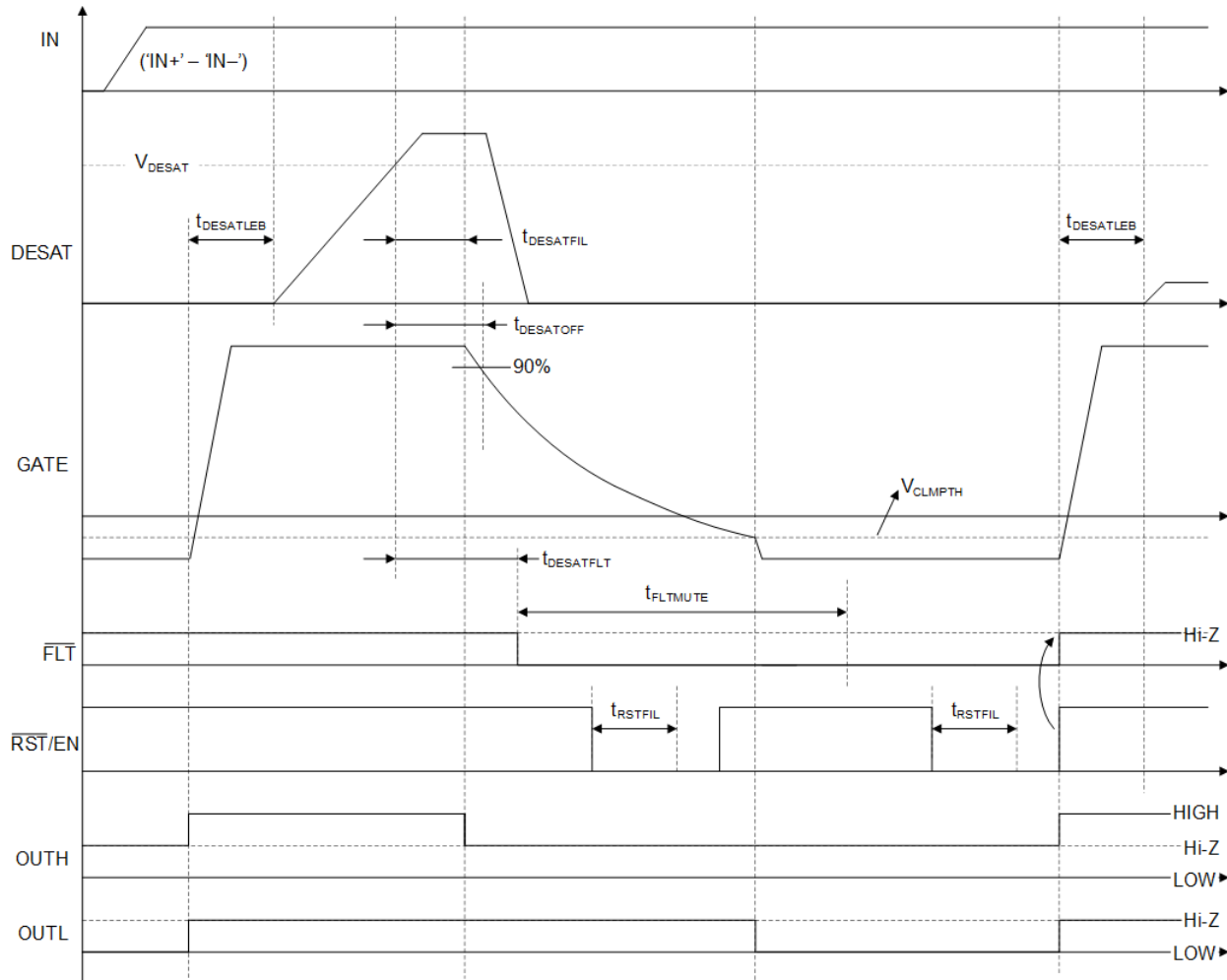


図 6-10. ターンオン遷移中のソフトターンオフによる DESAT 保護

図 6-11 はパワーデバイスがすでにオンになっている場合の、DESAT 保護のタイミング図を示しています。

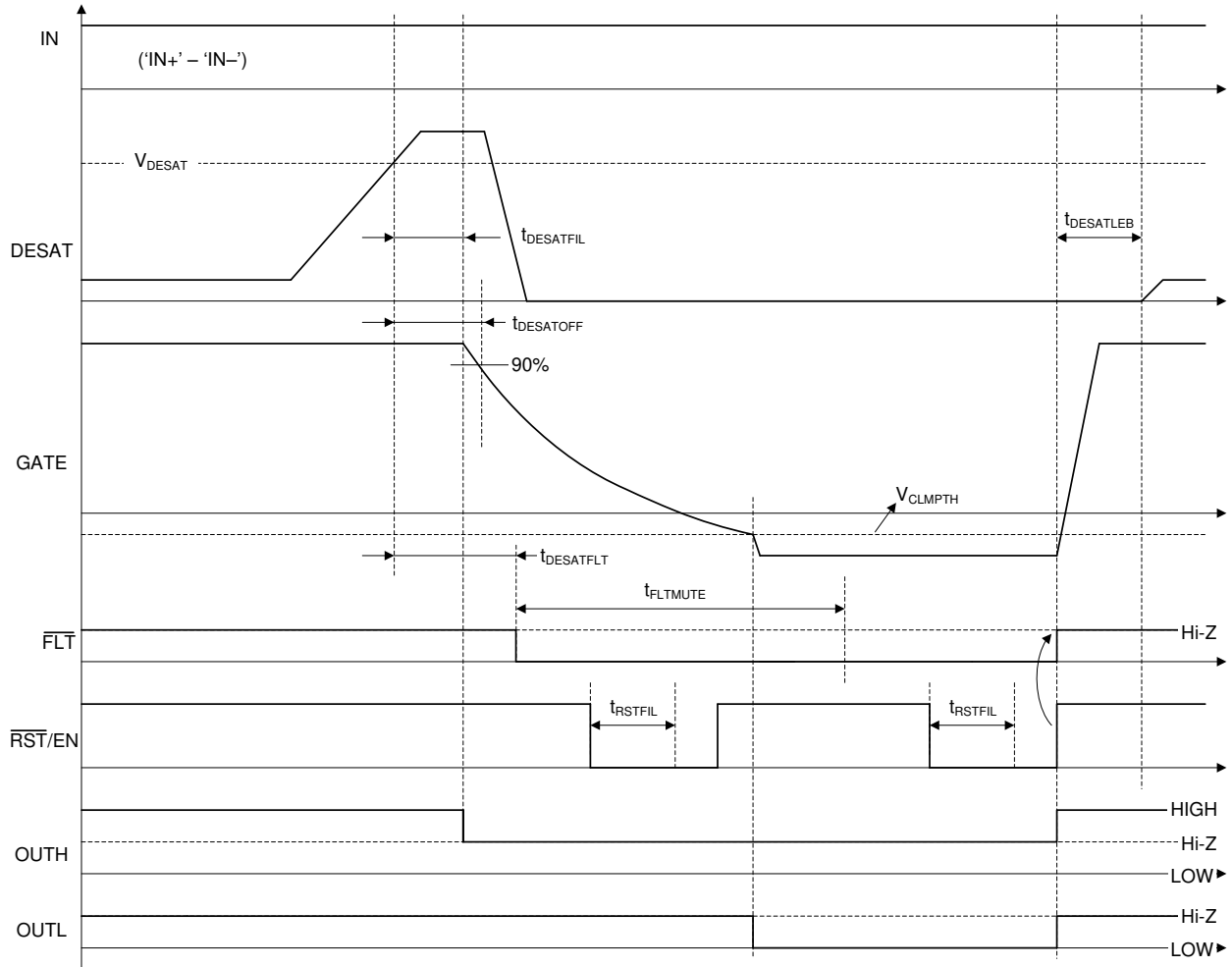


図 6-11. 電源デバイスがオンである間のソフトターンオフによる DESAT 保護

7 詳細説明

7.1 概要

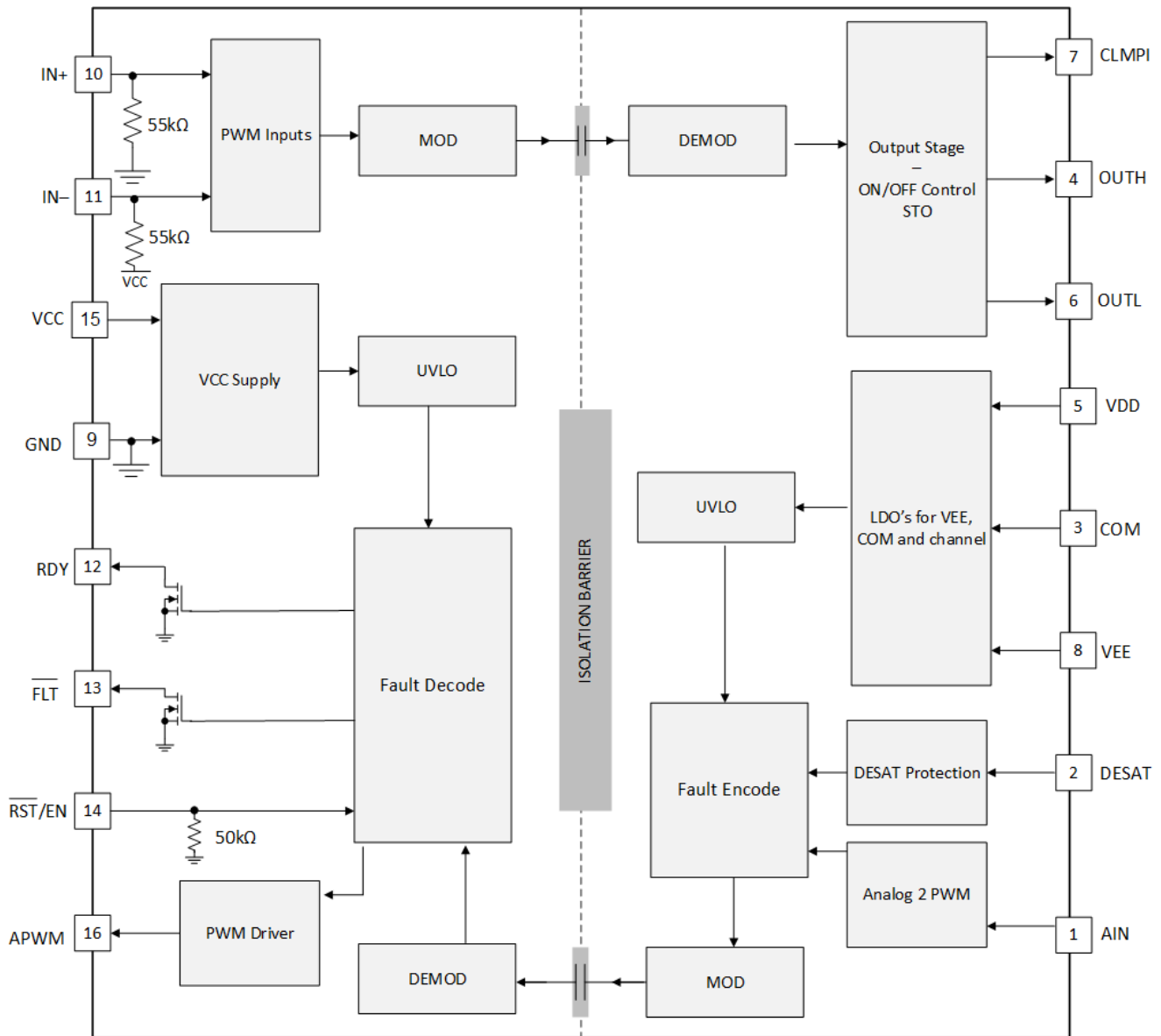
UCC21751-Q1 デバイスは、SiC MOSFET および IGBT 用の最新の保護機能とセンシング機能を備えた先進絶縁型ゲートドライバです。このデバイスは、SiC MOSFET および IGBT を使って最大 2121V DC 動作電圧をサポートできるほか、HEV/EV トラクションインバータ、モーター駆動、オンボードおよびオフボードバッテリー充電器、ソーラーインバータなど、10kW を超えるアプリケーションで使用できます。ガルバニック絶縁は容量性絶縁技術で実装されています。この技術により、低電圧 DSP / マイコンと高電圧側の間で信頼性の高い強化絶縁が可能となります。

UCC21751-Q1 の $\pm 10A$ のピークシンクおよびソース電流は、追加のバッファなしで SiC MOSFET モジュールと IGBT モジュールを直接駆動することができます。また、このドライバを用いれば、より大電力のパワーモジュール、または外部バッファ段と組み合わせた並列モジュールを駆動することも可能です。入力側は、容量性絶縁技術に基づく強化絶縁バリアによって出力側と絶縁されています。このデバイスは、最大 1.5kV_{RMS} の動作電圧、12.8kV_{PK} のサージ耐性をに対応するとともに、絶縁バリア寿命は 40 年を上回ります。その強力な駆動強度により、デバイスを高速にスイッチングし、スイッチング損失を低減します。このほか、150V/ns の最小 CMTI によって高速なスイッチング速度でシステムの信頼性を確保しています。伝搬遅延が小さく部品間のスキューが最小化されるため、デッドタイム設定を最小限に抑えられ、導通損失を低減できます。

このデバイスは広範な保護および監視機能を搭載しており、SiC MOSFET および IGBT によるシステムで高い信頼性と堅牢性が得られます。12V 出力側電源 UVLO は、ゲート電圧 $\geq 15V$ を使用するスイッチに適しています。アクティブミラークランプ機能は、高速スイッチング中のミラー容量によって引き起こされる誤ったターンオンを防止します。このデバイスは、低電圧側 DSP / マイコン への過電流検出および異常検出出力機能を備えます。DESAT フォルトが検出されるとソフトターンオフがトリガされ、短絡エネルギーを最小限に抑えながらスイッチのオーバーシュート電圧を低減します。

アナログから PWM への絶縁型センサは、スイッチ温度センシング、DC バス電圧センシング、補助電源センシングなどに適用可能です。PWM 信号は、DSP / マイコン に直接供給する、またはアナログ信号としてローパスフィルタ経由で供給することが可能です。

7.2 機能ブロック図



7.3 機能説明

7.3.1 電源

入力側電源 VCC は、広範囲の電圧範囲 (3V ~ 5.5V) に対応できます。このデバイスは、出力側でユニポーラおよびバイポーラ電源の両方をサポートしており、VDD から VEE まで広範囲の電圧範囲 (13V ~ 33V) が確保されます。スイッチソースまたはエミッタに対して負の電源を採用することにより、位相レグのもう一方のスイッチがオンになった際に誤ってオンになることを防止します。SiC MOSFET の場合、そのスイッチング速度が高速となるため、負の電圧は特に重要となります。

7.3.2 ドライバ段

UCC21751-Q1 のピーク駆動能力は $\pm 10A$ で、大電力アプリケーションに適しています。駆動能力が高いため、追加のバッファ段なしで SiC MOSFET モジュール、IGBT モジュール、並列接続型ディスクリートデバイスを直接駆動できます。UCC21751-Q1 は、より大電力のモジュール、または追加のバッファ段と並列接続したモジュールの駆動にも使用できます。VDD の値に関係なく、ピークシンクとソース電流を 10A に維持できます。このドライバは、入力ピンがフローティング

状態のとき OUTH/OUTL を LOW 状態に保持する重要な安全機能を備えています。図 7-1 はドライバ段の分割出力を示しています。このドライバは、P チャンネル MOSFET と N チャンネル MOSFET を並列にし、プルダウンに N チャンネル MOSFET を接続したハイブリッドプルアップ構造を実装することで、レールツーレール出力を実現しています。プルアップ NMOS はプルダウン NMOS と同じであるため、オン抵抗 R_{NMOS} は R_{OL} と同じです。ハイブリッドプルアップ構造は、パワー半導体のターンオン遷移のミラープラトー領域において、最も必要なときに最大のピークソース間電流を供給します。図 7-1 の R_{OH} はプルアップ P チャンネル MOSFET のオン抵抗を表します。ただし、実効プルアップ抵抗は R_{OH} よりかなり小さい値になります。プルアップ N チャンネル MOSFET は P チャンネル MOSFET よりもオン抵抗がはるかに小さいため、OUTH ピンの電圧が VDD 電圧より約 3V 低くなるまで、ターンオン遷移の大部分はプルアップ N チャンネル MOSFET が占めます。この期間中のハイブリッドプルアップ構造の有効抵抗は、約 $2 \times R_{OL}$ です。次に、P チャンネル MOSFET は OUTH 電圧を VDD レールまでプルアップします。プルアップインピーダンスが低いため、ターンオン過渡時の強い駆動強度が得られ、パワー半導体の入力容量の充電時間が短縮され、ターンオンのスイッチング損失が低減されます。

ドライバ段のプルダウン構造は、プルダウン N チャンネル MOSFET でのみ実装されます。この MOSFET により、OUTL 電圧を VEE レールまでプルダウンできます。プルダウンインピーダンスが低いため、ターンオフ時間を短縮するシンク電流が大きくなることに加え、ミラー効果を考慮したノイズ耐性の向上にも役立ちます。

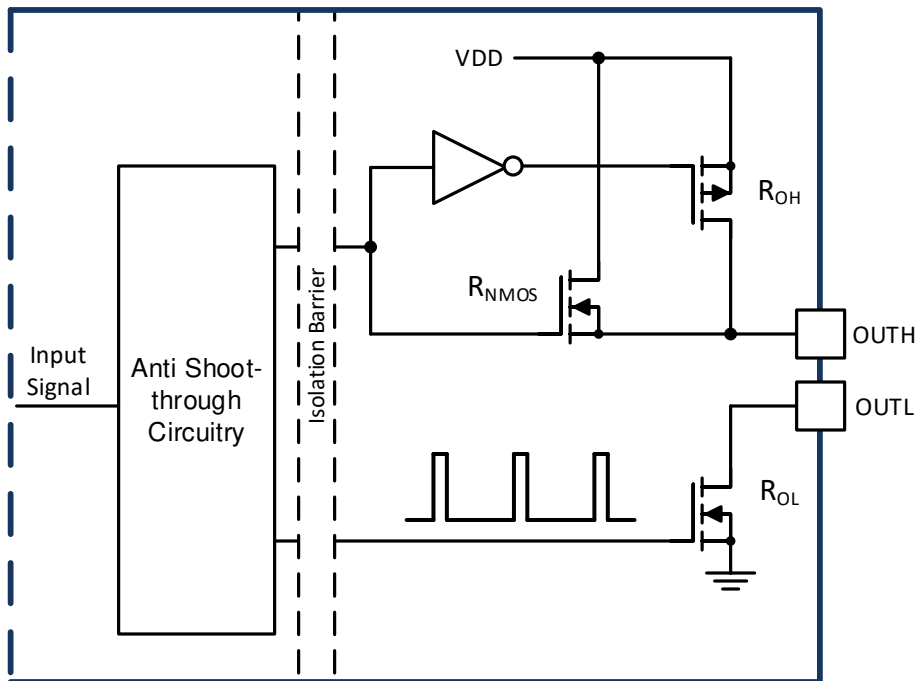


図 7-1. ゲート ドライバの出力段

7.3.3 VCC および VDD 低電圧誤動作防止 (UVLO)

UCC21751-Q1 は、入力電源および出力電源 (VCC および VDD) の両方に対して、内部 UVLO 保護機能を備えています。電源電圧がしきい値電圧を下回ると、ドライバ出力は LOW に保持されます。VCC と VDD の両方が UVLO ステータスを外れた場合に限り、出力が HIGH になります。UVLO 保護機能は、低電源電圧条件時のドライバ自体の消費電力を低減するだけでなく電力段の効率も高めます。SiC MOSFET と IGBT の場合、ゲート-ソース間電圧またはゲート-エミッタ間電圧が上昇すると、オン抵抗は小さくなります。VDD 値が低い状態でパワー半導体がオンになると、導通損失が大幅に増加するとともに、熱に関する問題が発生し、電力ステージ効率の低下につながる可能性があります。UCC21751-Q1 は、12V のしきい値電圧にある VDD UVLO を実装しており、800mV のヒステリシスを備えています。このしきい値電圧は SiC MOSFET と IGBT の両方に適しています。

UVLO 保護ブロックはヒステリシスとデグリッチフィルタを備えており、電源のノイズ耐性向上に役立ちます。ターンオンおよびターンオフスイッチング過渡にある間、ドライバはピーク過渡電流をソースおよびシンクします。これにより電源の電圧

降下が発生する可能性があります。ヒステリシスおよび UVLO グリッチ除去フィルタにより、内部 UVLO 保護ブロックは、通常のスイッチング過渡時に小さなノイズを無視します。

図 6-8 および図 6-9 に、VCC および VDD の UVLO 機能のタイミング図を示します。入力側の RDY ピンを用いて、パワーグッド状態を示します。RDY ピンはオープンドレインです。UVLO 状態にある間、RDY ピンは Low 状態に保持され、GND に接続されます。通常、このピンは電源正常を示すために、外部から VCC に引き上げられます。UVLO ステータスの間は、AIN-APWM 機能は動作を停止します。入力側の APWM ピンは LOW に保持されます。

7.3.4 アクティブプルダウン

UCC21751-Q1 は、VDD が開放のときに OUTH/OUTL ピンを VEE にクランプするためのアクティブプルダウン機能を実装しています。OUTH/OUTL ピンは VDD が開放のときにハイインピーダンス状態になり、アクティブプルダウン機能により、デバイスが制御状態に戻る前に出力が誤ってオンになることを防止できます。

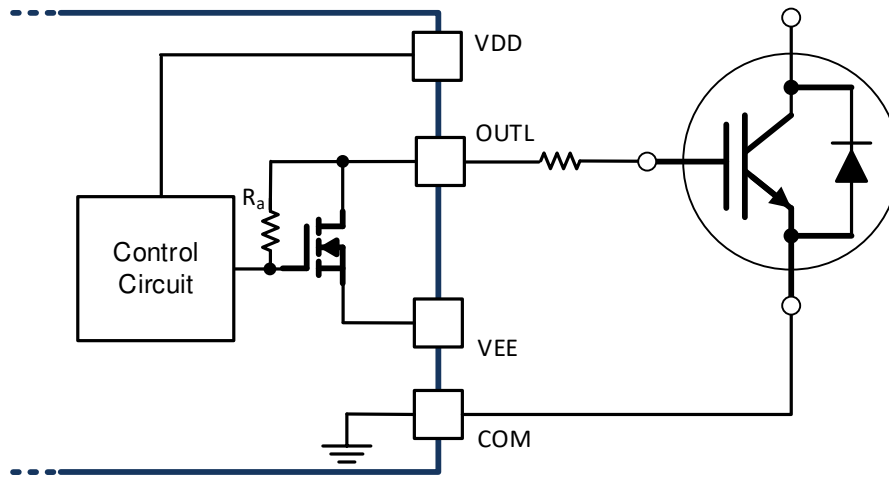


図 7-2. アクティブプルダウン

7.3.5 短絡クランプ

短絡状態時には、ミラー容量は、高い dV/dt のために OUTH/OUTL/CLMPI ピンへの電流シンクを引き起こすほか、OUTH/OUTL/CLMPI 電圧を上昇させる可能性があります。UCC21751-Q1 の短絡クランプ機能により、OUTH/OUTL/CLMPI ピンの電圧を VDD よりわずかに高くするようにクランプできます。これにより、ゲートソース間およびゲート — エミッタ間の過電圧破壊からパワー半導体を保護することが可能です。この機能は、OUTH/OUTL/CLMPI から VDD までの内部ダイオードによって得られます。

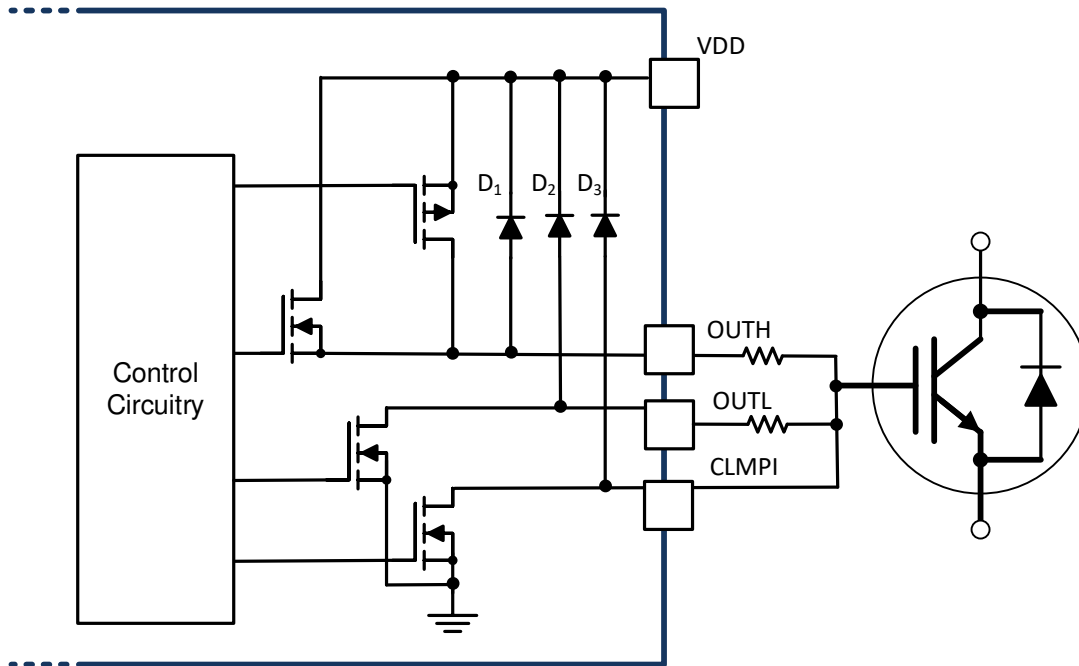


図 7-3. 短絡クランプ

7.3.6 内部アクティブミラー クランプ

アクティブ ミラー クランプ機能は、ドライバが OFF 状態の間に誤ってターンオンが発生することを防止するために重要です。デバイスを同期整流モードに設定可能なアプリケーションでは、デバイスが OFF 状態の間のデッドタイム中にボディダイオードが電流を導通し、ドレインとソースとの間、またはコレクタとエミッタとの間の電圧は同じに維持され、位相レグの他のパワー半導体がオンになったとき dV/dt が発生します。UCC21751-Q1 は内部プルダウン インピーダンスが小さいため、OUTL を VEE に保持するための強力なプルダウンを提供できます。ただし、通常は外部ゲート抵抗を採用して dV/dt を制限します。別のパワー半導体のターンオン過渡時のミラー効果によって、外部ゲート抵抗で電圧降下が発生し、ゲートとソースとの間、またはゲートとエミッタとの間の電圧が昇圧される可能性があります。V_{GS} または V_{GE} の電圧が、パワー半導体のスレッショルド電圧よりも高い場合、貫通電流が発生し、致命的な損傷を引き起こす可能性があります。UCC21751-Q1 のアクティブ ミラー クランプ機能は、デバイスのゲートに接続する内部 MOSFET を駆動します。この MOSFET は、ゲート電圧が VEE より 2V 高い V_{CLMPH} よりも低いときにトリガされ、低インピーダンスのパスを作成して、誤ったターンオンの問題を回避します。

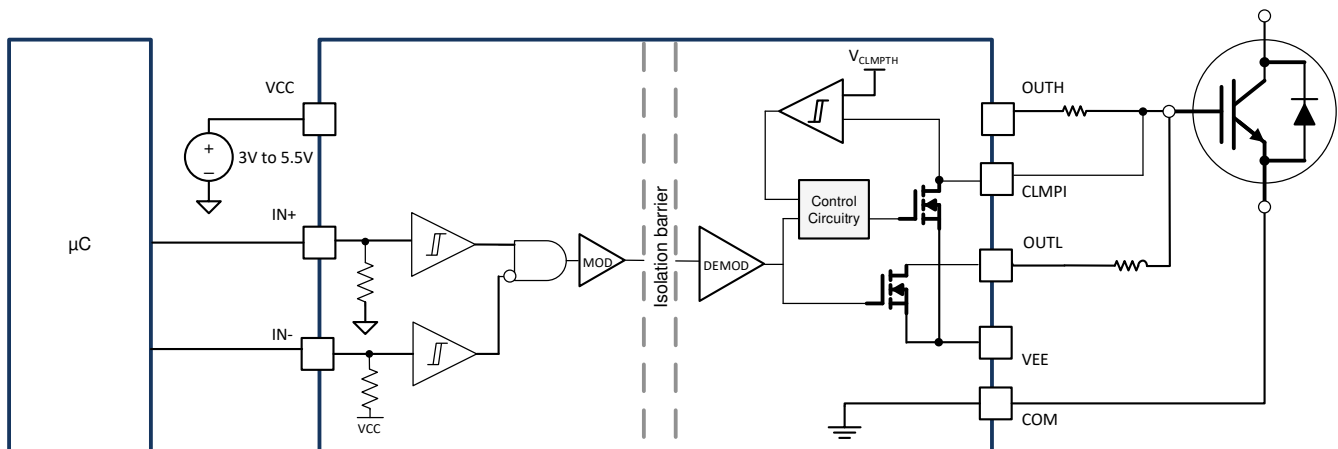


図 7-4. アクティブミラークランプ

7.3.7 非飽和 (DESAT) 保護

UCC21751-Q1 は、故障時の致命的な破壊から IGBT モジュールを保護するための、過電流および短絡からの高速な保護機能を実装しています。デバイスの DESAT ピンには、COM、パワー半導体のソースまたはエミッタに関する標準的な 9V のスレッシュホールドがあります。入力がフローティング状態、または出力が low 状態を保持している場合は、DESAT ピンが内部 MOSFET によりプルダウンされて LOW 状態を保持し、過電流および短絡故障の誤動作を防止します。DESAT ピンの内部電流源はドライバがオン状態のときのみ有効になるため、過電流および短絡からの保護機能は、パワー半導体がオン状態の場合にのみ機能します。内部プルダウン MOSFET は、パワー半導体がオフになったときの DESAT ピンの電圧の放電に役立ちます。UCC21751-Q1 では、OUTH が High 状態に切り替わった後、200ns の内部リーディングエッジブランキング時間があります。内部リーディングエッジブランキング時間の後に外部ブランキングコンデンサを充電するため、内部電流源が起動します。内部電流ソースの標準値は 500 μ A です。

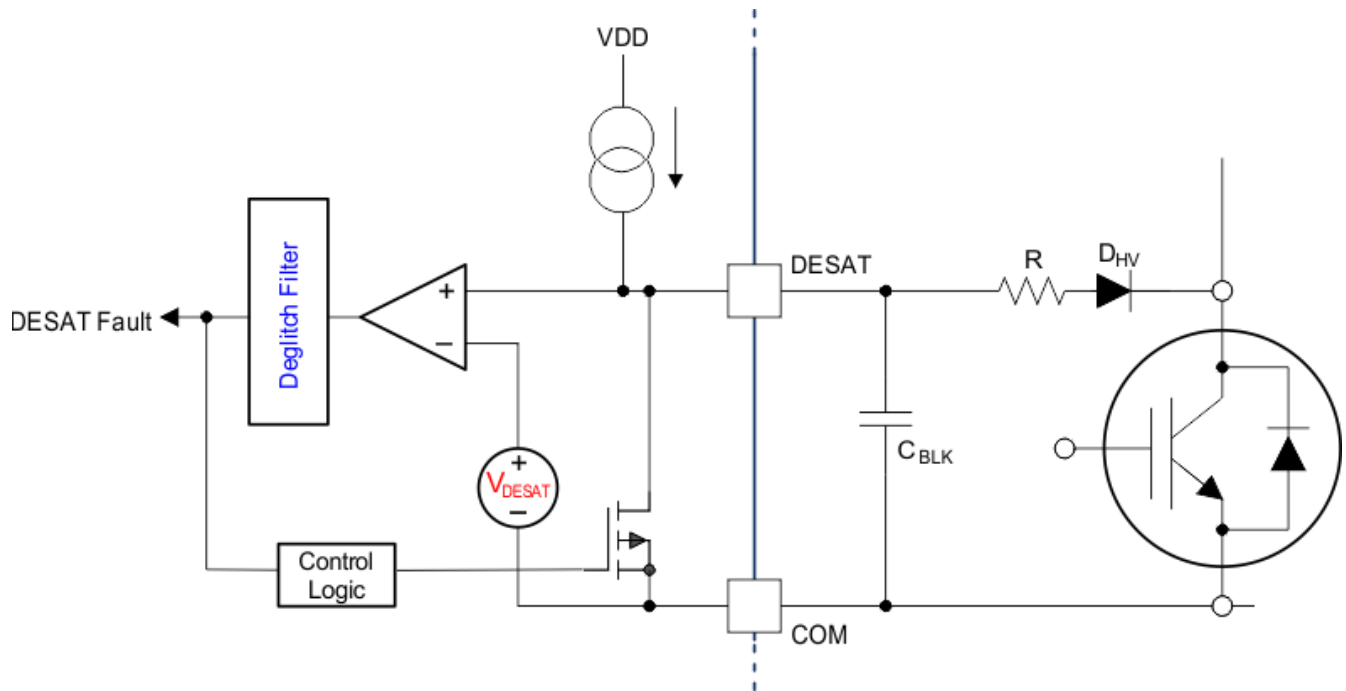


図 7-5. DESAT 保護

7.3.8 ソフト ターンオフ

過電流および短絡保護がトリガされると、UCC21751-Q1 がソフトターンオフを開始します。過電流および短絡フォルトが発生すると、IGBT はアクティブ領域から非飽和領域にきわめて高速に遷移します。チャンネル電流はゲート電圧によって制御され、ソフト方法で減少するため、IGBT のオーバーシュートが制限され、過電圧ブレイクダウンを防止します。オーバーシュート電圧と短絡エネルギーの間には、トレードオフがあります。オーバーシュート電圧を制限するには、ターンオフ速度を低速にする必要があります。ただし、シャットダウン時間は長くしないようにします。大きなエネルギー消費がデバイスの故障を引き起こす可能性があるためです。UCC21751-Q1 の 400mA ソフトターンオフ電流によって、短絡発生時に電源スイッチを安全にオフにすることが可能です。図 6-10 に、ソフトターンオフのタイミング図を示します。

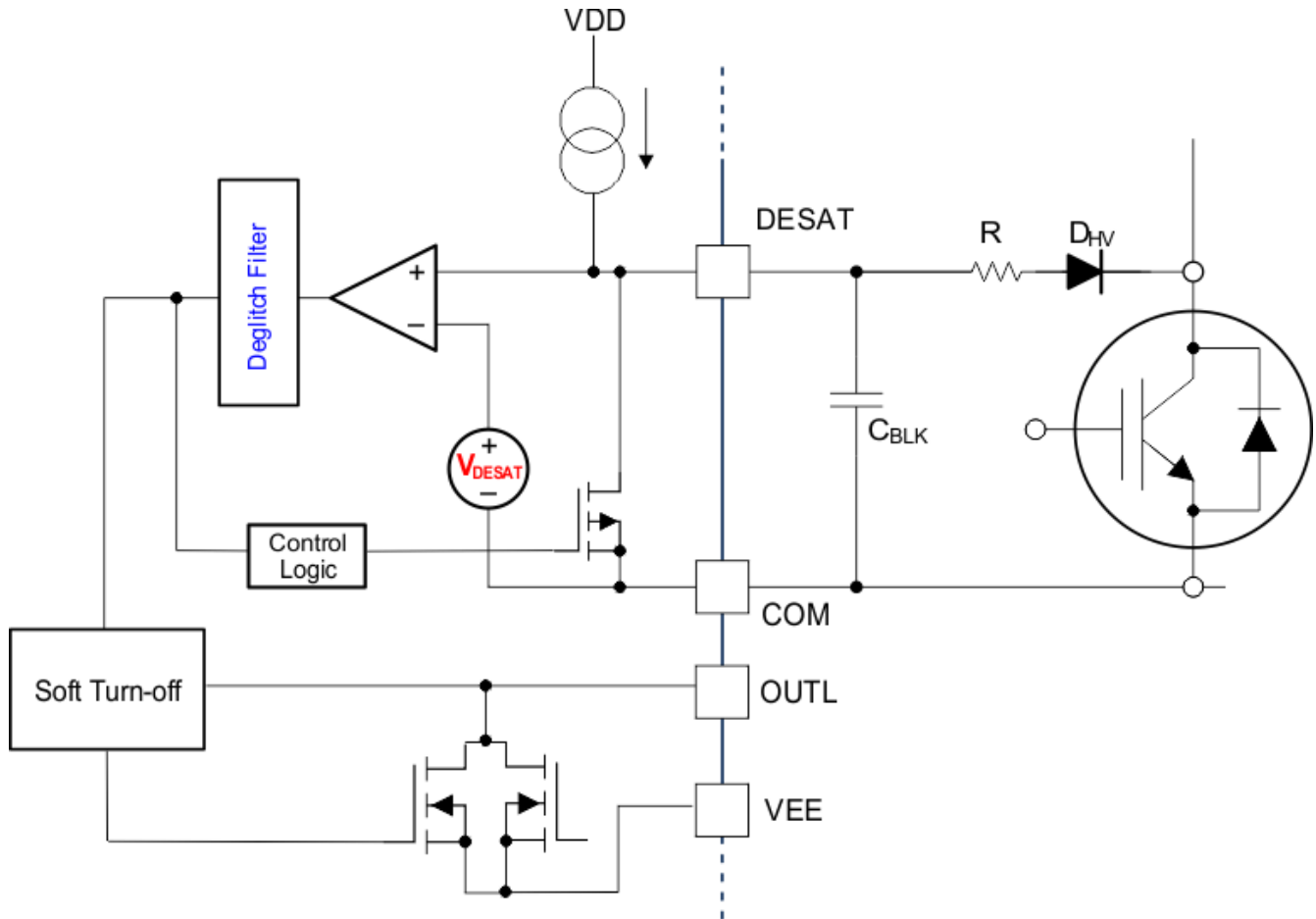


図 7-6. ソフト ターンオフ

7.3.9 フォルト ($\overline{\text{FLT}}$ 、リセットおよびイネーブル ($\overline{\text{RST/EN}}$))

UCC21751-Q1 の $\overline{\text{FLT}}$ ピンはオープンドレインであり、DESAT ピンによってフォルトが検出された場合、DSP / マイコンにフォルト信号を検出できます。 $\overline{\text{FLT}}$ ピンは、フォルトが検出されると GND にプルダウンされ、RST/EN からリセット信号を受信するまで LOW に保持されます。このデバイスにはフォルト ミュート時間 t_{FLTMUTE} 、があり、この時間内はリセット信号を無視します。

$\overline{\text{RST/EN}}$ は 50k Ω 抵抗により内部的にプルダウンされるため、このピンがフローティングの場合、デフォルトでディセーブルになります。ドライバをイネーブルにするには、外部からプルアップします。ピンには次の 2 つの目的があります：

- $\overline{\text{FLT}}$ ピンのリセット方法: リセットするには、 $\overline{\text{RST/EN}}$ ピンを LOW にします。ミュート時間 t_{FLTMUTE} 後に、このピンが t_{RSTFIL} より長い間 LOW 状態に設定され、保持されると、フォルト信号がリセットされ、 $\overline{\text{RST/EN}}$ ピンの入力信号の立ち上がりエッジで $\overline{\text{FLT}}$ が高インピーダンス状態にリセットされます。
- デバイスのイネーブルおよびシャットダウン: $\overline{\text{RST/EN}}$ ピンが t_{RSTFIL} より長い間 LOW になると、ドライバはディセーブルされ、OUTL がアクティブになり、IGBT または SiC MOSFET のゲートがプルダウンされます。このピンを外部でプルアップしてこのデバイスをイネーブルにする必要があります。それ以外の場合、このデバイスはデフォルトでディセーブルになっています。

7.3.10 アナログから PWM への信号変換および絶縁機能

UCC21751-Q1 は、AIN から APWM ピンへの絶縁アナログから PWM への信号機能を備えているため、絶縁温度センシングや高電圧 DC バス電圧センシングなどが可能です。外部サーマル ダイオードや温度センシング抵抗にバイアスを印加するため、AIN ピンの内部電流源 I_{AIN} がデバイスに実装されています。UCC21751-Q1 は、電圧信号 V_{AIN} を

PWM 信号にエンコードして、強化絶縁バリアを通過させ、入力側の APWM ピンに出力します。PWM 信号は、DSP / マイコン に直接転送してデューティ サイクルを計算することも、シンプルな RC フィルタでアナログ信号としてフィルタ処理することもできます。AIN 電圧入力範囲は 0.6V ~ 4.5V で、APWM 出力の対応するデューティ サイクルは 88% ~ 10% の範囲です。AIN 電圧が 4.5V から 0.6V に減少するとき、デューティ サイクルは直線的に 10% から 88% に増加します。この動作は、負の温度係数 (NTC) の抵抗とサーマル ダイオードの温度係数に対応します。AIN がフローティングのとき、AIN 電圧は 5V で、APWM は約 10% のデューティ サイクルで、400kHz で動作します。デューティ サイクルの精度は、ワнтаイム キャリブレーションなしでは温度範囲全体にわたって $\pm 3\%$ です。キャリブレーションを使用すると、精度を改善できます。内部電流源 I_{AIN} の精度は、温度範囲全体にわたって $\pm 3\%$ です。

アナログから PWM への絶縁信号機能は、高電圧 DC バス電圧など、他のアナログ信号センシングもサポートできます。高電圧を検出する場合、分圧器を設計するときは、内部電流源 I_{AIN} を考慮する必要があります。

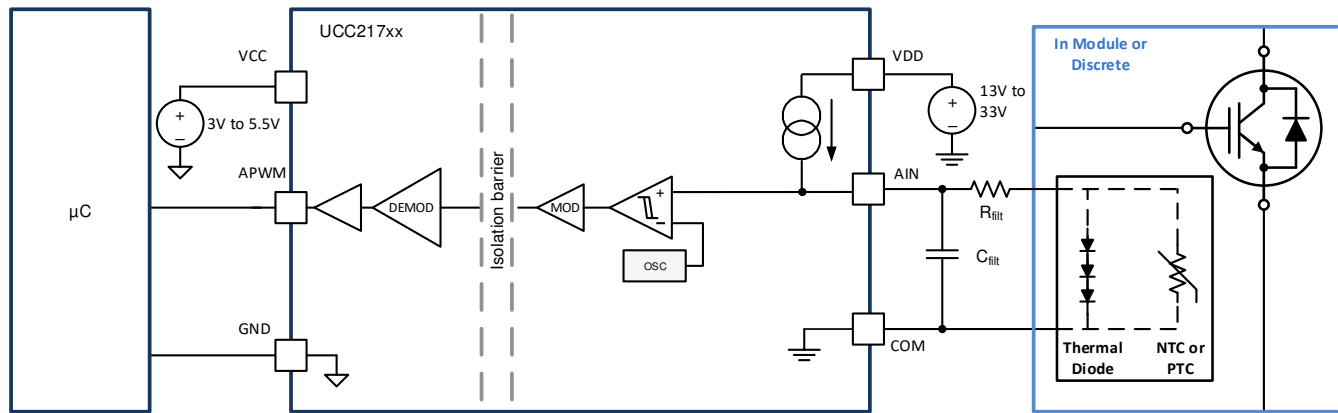


図 7-7. アナログから PWM への絶縁信号

7.4 デバイスの機能モード

表 7-1 にデバイスの機能を示します。

表 7-1. 機能表

入力						出力					
VCC	VDD	VEE	IN+	IN-	RST/EN	AIN	RDY	FLT	OUTH/ OUTL	CLMPI	APWM
PU	PD	PU	X	X	X	X	Low	HiZ	Low	Low	Low
PD	PU	PU	X	X	X	X	Low	HiZ	Low	Low	Low
PU	PU	PU	X	X	Low	X	High	HiZ	Low	Low	High
PU	オープン	PU	X	X	X	X	Low	HiZ	HiZ	HiZ	HiZ
PU	PU	オープン	X	X	X	X	Low	HiZ	Low	Low	Low
PU	PU	PU	Low	X	High	X	HiZ	HiZ	Low	Low	P*
PU	PU	PU	X	High	High	X	HiZ	HiZ	Low	Low	P*
PU	PU	PU	High	High	High	X	HiZ	HiZ	Low	Low	P*
PU	PU	PU	High	Low	High	X	HiZ	HiZ	High	HiZ	P*

PU: パワーアップ ($VCC \geq 2.85V$, $VDD \geq 13.1V$, $VEE \leq 0V$)、PD: パワーダウン ($VCC \leq 2.35V$, $VDD \leq 9.9V$)、X: 無関係、P*: PWM パルス、HiZ: 高インピーダンス

8 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

UCC21751-Q1 デバイスは、強力な駆動能力、幅広い出力電源範囲、高い絶縁定格、高い CMTI、優れた保護およびセンシング機能を備えているため、様々な用途に使用できます。1.5kVRMS の動作電圧と 12.8kV_{PK} のサージ耐性により、最大 2121V の DC バス電圧を使用する SiC MOSFET と IGBT の両方のモジュールへの対応が可能です。このデバイスは、HEV/EV のトラクションインバータ、オンボードチャージャおよび充電パイル、モータードライバ、ソーラーインバータ、産業用電源など、低消費電力および大電力の両方で使用できます。このデバイスは、トータムポール構造の NPN/PNP バイポーラトランジスタを使用する外付けバッファ駆動回路なしで、大電力 SiC MOSFET モジュール、IGBT モジュール、または並列ディスクリートデバイスを直接駆動できるため、ドライバはパワー半導体をより細かく制御でき、基板設計のコストとスペースを節約できます。UCC21751-Q1 は超大電力モジュール、または外部バッファ段と並列接続したモジュールの駆動にも使用できます。入力側は 3.3V ~ 5V の電源とマイコン信号に対応でき、デバイスレベルは強化絶縁バリアを介して信号を出力側にシフトします。このデバイスは、13V ~ 33V の広い出力電源範囲を備えており、広い負電源範囲に対応できます。この機能により、SiC MOSFET アプリケーション、IGBT アプリケーション、その他多くのアプリケーションでドライバを使用できます。12V UVLO を使用できるため導通損失が小さいパワー半導体に適しており、システム効率が向上します。このデバイスは強化絶縁型シングルチャネルドライバとして、ローサイドまたはハイサイドドライバの駆動に使用できます。

UCC21751-Q1 デバイスは広範な保護および監視機能を備えており、さまざまな故障条件からシステムを監視、報告、保護できます。

- 過電流と短絡の故障に対する高速検出および保護機能を搭載しています。故障が検出されると半導体はシャットダウンされ、FLT ピンがプルダウンされて故障検出が表示されます。RST/EN ピンからリセット信号を受信しない限り、デバイスはラッチされます。
- 過電流や短絡故障が発生している間、致命的な破壊からパワー半導体を保護するソフトターンオフ機能です。パワー半導体のオーバーシュートを制限しながらシャットダウンエネルギーを制御できます。
- 過度の導通損失から半導体を保護する UVLO 検出機能です。デバイスが UVLO モードであることが検出されると、出力がプルダウンされ、RDY ピンは電源が失われたことを示します。電源が UVLO ステータスでなくなると、デバイスは通常動作モードに戻ります。パワーグッドステータスは RDY ピンから監視できます。
- アナログから PWM へのアイソレーション信号変換機能を備えたアナログ信号センシング。この機能により、サーマルダイオードまたは温度検出抵抗、または分圧デバイダ付き DC バス電圧から、半導体の温度を検出できます。PWM 信号は、高電圧側からの絶縁が強化された低電圧側で生成されます。信号は温度監視や電圧監視などの用途でマイコンに帰還できます。
- アクティブミラーランプ機能により、誤ったターンオンからパワー半導体が保護されます。
- RST/EN ピンによるイネーブルおよびディスエーブル機能。
- 短絡ランプ。
- アクティブ プルダウン。

8.2 代表的なアプリケーション

図 8-1 に、2 個の UCC21751-Q1 絶縁ゲートドライバを使用したハーフブリッジの代表的アプリケーションを示します。このハーフブリッジは、HEV/EV のトラクションインバータなど、さまざまなパワーエレクトロニクスアプリケーションで基本要素であり、電気自動車のバッテリーの DC 電流を AC 電流に変換し、推進システム内で電気モーターを駆動します。このトポロジは、AC モーターの動作速度とトルクを制御するためにモータードライブアプリケーションでも使用できます。

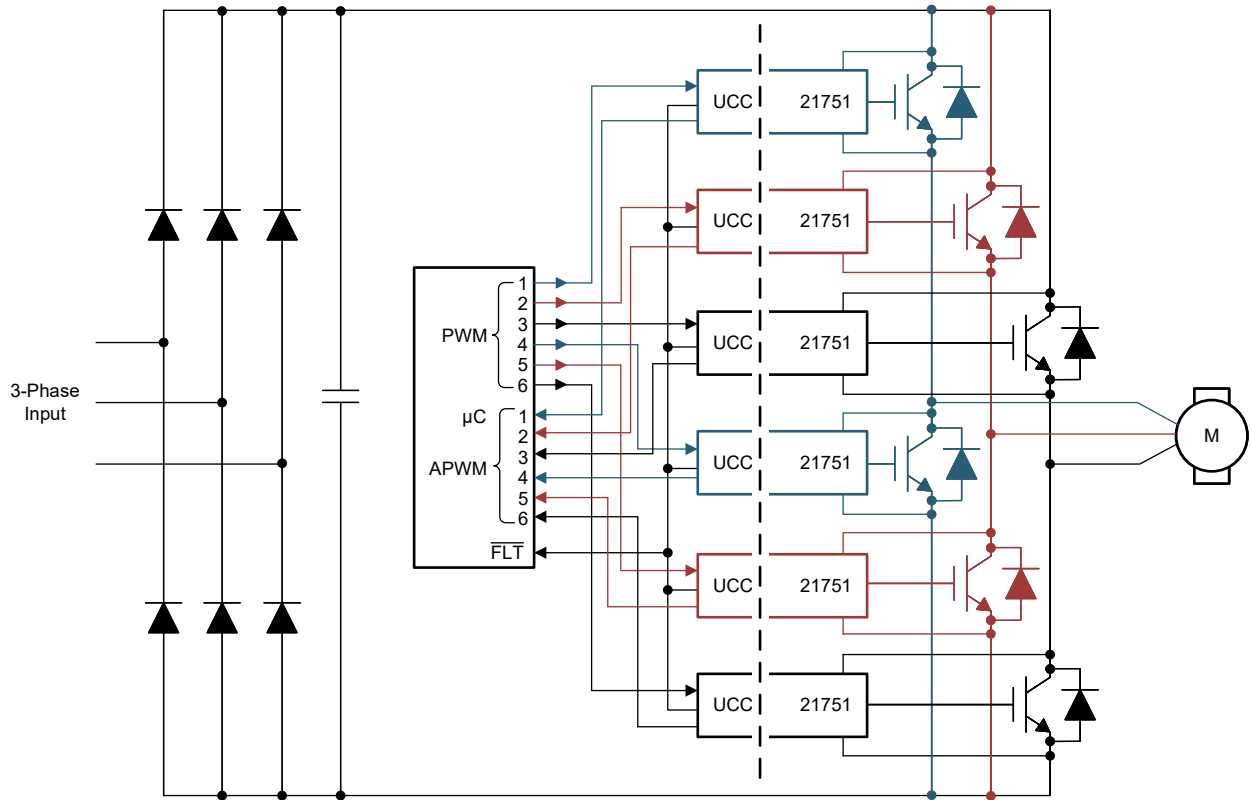


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

最終機器用の電源システムの設計では、UCC21751-Q1 が負荷範囲全体で信頼性の高い動作をするため、いくつかの設計要件を考慮する必要があります。設計上の考慮事項には、ピークソースおよびシンク電流、消費電力、過電流および短絡の保護、アナログ信号センシング用の AIN-APWM 機能などが含まれます。

このサブセクションでは、IGBT に基づくハーフブリッジの設計例を示します。表 8-1 に設計パラメータを示します。

表 8-1. 設計パラメータ

パラメータ	値
入力電源電圧	5V
IN-OUT 構成	非反転
正の出力電圧 VDD	15V
負の出力電圧 VEE	-5V
DC バス電圧	800V
ピークドレイン電流	300A
スイッチング周波数	50kHz
スイッチタイプ	IGBT モジュール

8.2.2 詳細な設計手順

8.2.2.1 IN+, IN-, RST/EN の入力フィルタ

トラクション インバータまたはモータードライブのアプリケーションでは、パワー半導体はハード スイッチング モードになります。UCC21751-Q1 の強力な駆動能力により、特に SiC MOSFET の場合は dV/dt が高くなる可能性があります。ノイ

ズは、寄生インダクタンスによってゲート電圧に結合するだけでなく、理想的ではない PCB レイアウトと結合容量の結果として入力側に結合することもあります。

UCC21751-Q1 は、IN+、IN-、 $\overline{\text{RST/EN}}$ ピンへの 40ns の内部デグリッチ フィルタを備えています。40ns 未満のすべての信号を、入力ピンからフィルタで除去できます。ノイズの多いシステムでは、入力ピンに外部ローパス フィルタを追加できます。IN+、IN-、 $\overline{\text{RST/EN}}$ ピンにローパス フィルタを追加すると、ノイズ耐性が実質的に向上し、シグナル インテグリティが向上します。使用しないとき、IN+、IN-、 $\overline{\text{RST/EN}}$ ピンをフローティングにしないでください。非反転入力から出力への構成に IN+ のみを使用する場合、IN- を GND に接続する必要があります。ローパス フィルタの目的は、レイアウトの寄生成分によって生成される高周波ノイズをフィルタで除去することです。ローパス フィルタの抵抗とコンデンサを選択する際には、システム要件に応じて、ノイズ耐性の効果と遅延時間の両方を考慮する必要があります。

8.2.2.2 IN+ および IN- の PWM インターロック

UCC21751-Q1 は IN+ ピンと IN- ピンに PWM インターロックを搭載しており、位相レグの貫通電流問題を防止するために使用することができます。表 7-1 に示すとおり、IN+ と IN- の両方がロジック High である間、出力はロジック Low にあります。IN+ のみを使用する場合は、IN- を GND に接続できます。PWM インターロック機能を利用するために、相レグのもう一方のスイッチの PWM 信号を IN- ピンに送信することができます。図 8-2 に示すとおり、PWM_T は上側スイッチへの PWM 信号、PWM_B は下側スイッチへの PWM 信号です。上側ゲートドライバの場合、PWM_T 信号は IN+ ピンに、PWM_B 信号は IN- ピンに、下側ゲートドライバでは PWM_B 信号は IN+ ピンに、PWM_T 信号は IN- ピンにそれぞれ与えられます。PWM_T 信号と PWM_B 信号の両方が High にある場合、貫通電流状態を防止するために両方のゲートドライバの出力はいずれもロジック Low になります。

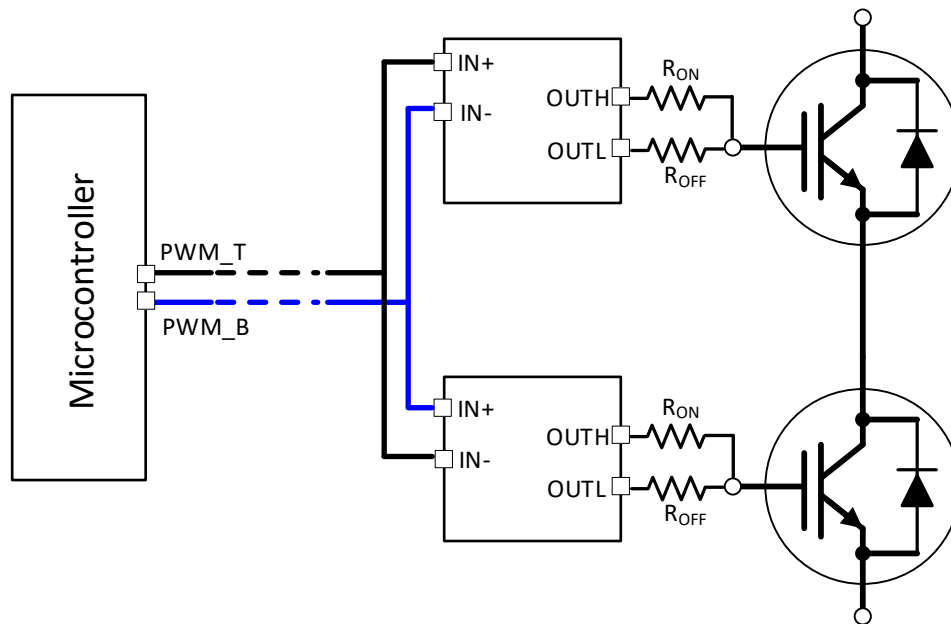


図 8-2. ハーフブリッジの PWM インターロック

8.2.2.3 $\overline{\text{FLT}}$ 、RDY、 $\overline{\text{RST/EN}}$ ピン回路

$\overline{\text{FLT}}$ と RDY ピンはオープンドレイン出力です。 $\overline{\text{RST/EN}}$ ピンには 50k Ω 内部プルダウン抵抗があるため、 $\overline{\text{RST/EN}}$ ピンが外部からプルアップされていない場合、ドライバは OFF 状態になります。5k Ω 抵抗は、 $\overline{\text{FLT}}$ 、RDY、 $\overline{\text{RST/EN}}$ ピンのプルアップ抵抗として使用できます。

寄生結合や同相ノイズによるノイズ耐性を向上させるため、 $\overline{\text{FLT}}$ 、RDY、 $\overline{\text{RST/EN}}$ ピンとマイクロコントローラとの間にローパスフィルタを追加できます。100pF~300pF のフィルタコンデンサを追加できます。

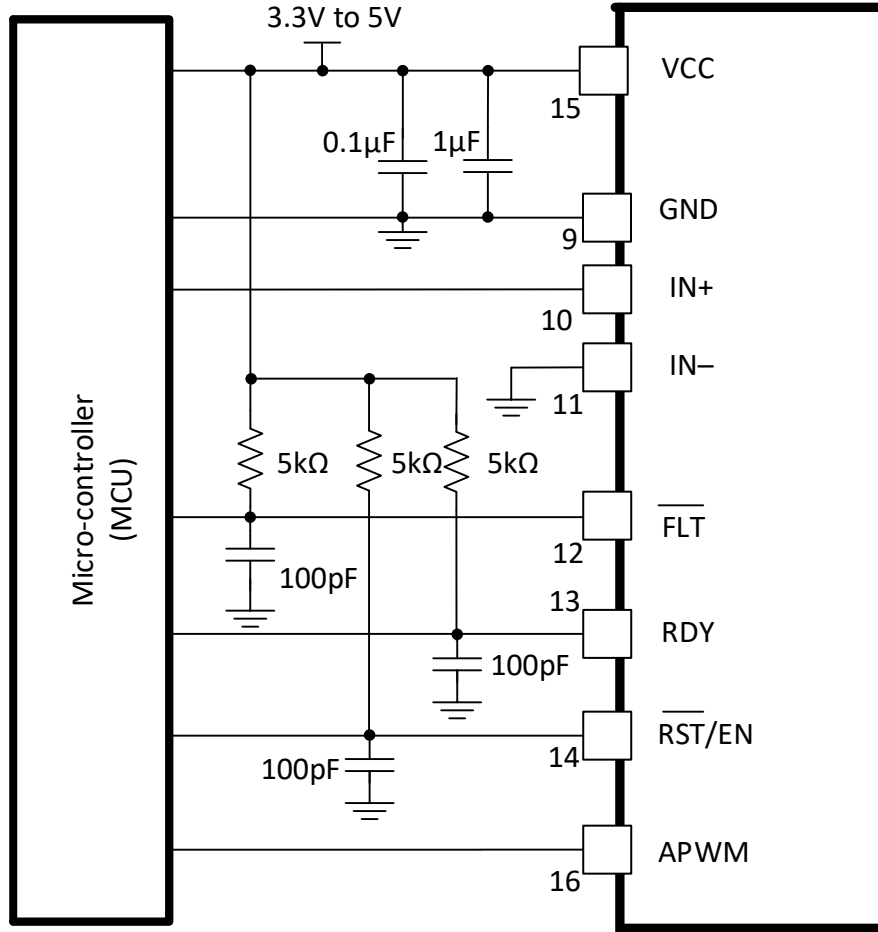


図 8-3. $\overline{\text{FLT}}$ 、RDY、および $\overline{\text{RST/EN}}$ ピン回路

8.2.2.4 $\overline{\text{RST/EN}}$ ピン制御

$\overline{\text{RST/EN}}$ ピンには、2つの機能があります。このピンを用いると、ドライバ出力をイネーブ爾またはシャットダウンし、DESAT が検出された後に $\overline{\text{FLT}}$ ピンで通知されたフォルトをリセットできます。デバイスを有効にするには、 $\overline{\text{RST/EN}}$ ピンをプルアップする必要があります。このピンをプルダウンすると、デバイスは無効ステータスになります。デフォルトでは、このピンの内部 50k Ω プルダウン抵抗によってこのドライバは無効になります。

DESAT が検出された後にドライバがラッチされると、 $\overline{\text{FLT}}$ ピンと出力は Low にラッチされるため、 $\overline{\text{RST/EN}}$ ピンによりリセットする必要があります。マイコンは、フォルトの後に $\overline{\text{RST/EN}}$ ピンに信号を送信して、ドライバをリセットする必要があります。ドライバは、ミュート時間 t_{FLTMUTE} が経過するまで応答しません。RESET 信号は、ミュート時間後に少なくとも t_{RSTFIL} の間 LOW に保持する必要があります。

このピンを用いて、ドライバを自動的にリセットすることもできます。連続入力信号 IN+ または IN- を $\overline{\text{RST/EN}}$ ピンに印加できます。この方法でドライバを構成する場合、マイクロコントローラからの個別のリセット信号は生じません。PWM が非反転入力 IN+ に印加される場合、IN+ を $\overline{\text{RST/EN}}$ ピンに接続することも可能です。PWM が反転入力の IN- に印加されている場合、マイクロコントローラからの PWM 信号と $\overline{\text{RST/EN}}$ ピンの間に NOT ロジックが必要となります。いずれかの構成を使用すると、マイクロコントローラからの追加の制御信号が $\overline{\text{RST/EN}}$ ピンに接続されなくても、スイッチングサイクルごとにドライバがリセットされます。DESAT フォルトの原因でドライバをリセットするためには、PWM オフ時間が t_{RSTFIL} よりも長いことを確認する必要があります。

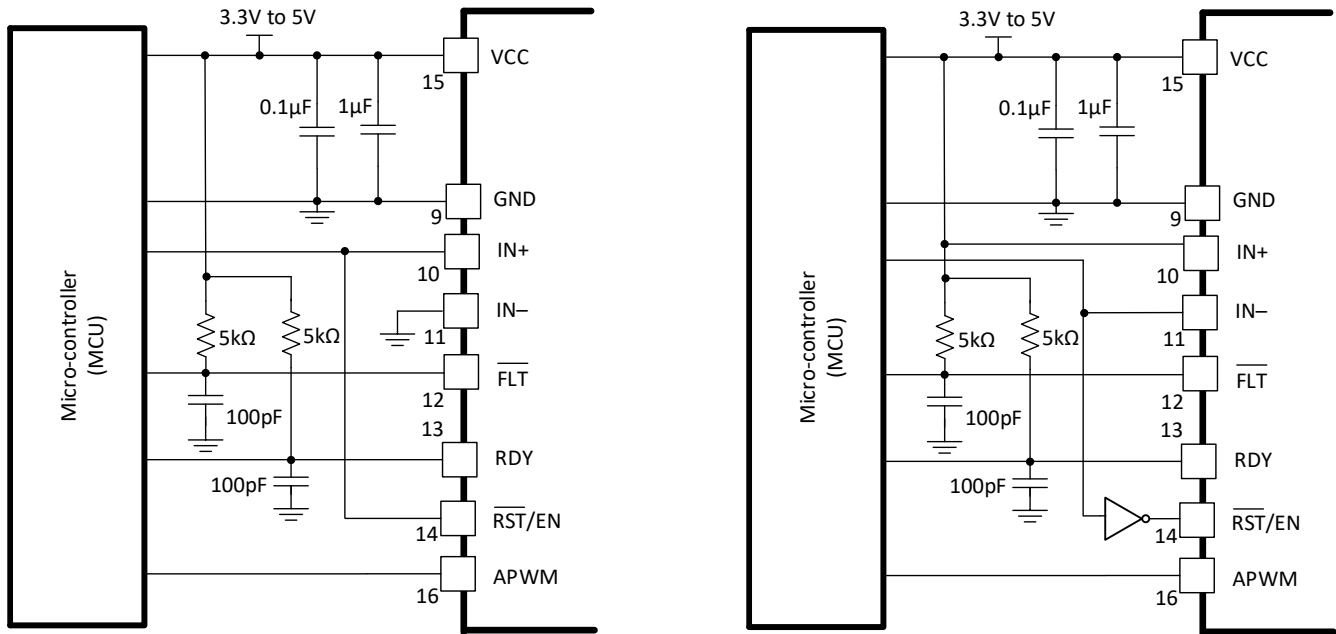


図 8-4. 自動リセット制御

8.2.2.5 ゲート抵抗のオンとオフの切り替え

UCC21751-Q1 は OUTH および OUTL の分割出力を備えているため、オン / オフのスイッチング速度を独立して制御することが可能です。ターンオンおよびターンオフ抵抗によってピークソース電流およびシンク電流が決まり、これによってターンオン時のスイッチング速度が制御されます。その一方で、デバイスが熱的制限内にあることを確認するために、ゲートドライバの消費電力を考慮する必要があります。最初に、ピークソースおよびシンク電流はが次のように計算されます：

$$I_{\text{source_pk}} = \min\left(10\text{A}, \frac{V_{\text{DD}} - V_{\text{EE}}}{R_{\text{OH_EFF}} + R_{\text{ON}} + R_{\text{G_Int}}}\right)$$

$$I_{\text{sink_pk}} = \min\left(10\text{A}, \frac{V_{\text{DD}} - V_{\text{EE}}}{R_{\text{OL}} + R_{\text{OFF}} + R_{\text{G_Int}}}\right) \quad (1)$$

ここで

- $R_{\text{OH_EFF}}$ は、[図 7-1](#) に示すハイブリッドプリアップ構造の実効内部プリアップ抵抗であり、 $2 \times R_{\text{OL}}$ (約 0.7Ω) です。これは、プリアップ構造のスイッチング過渡時の支配的な抵抗となります。
- R_{OL} は、内付けプルダウン抵抗 (約 0.3Ω)
- R_{ON} は、外付けターンオンゲート抵抗
- R_{OFF} は、外付けターンオフゲート抵抗です。
- $R_{\text{G_Int}}$ は、SiC MOSFET または IGBT モジュールの内付け抵抗。

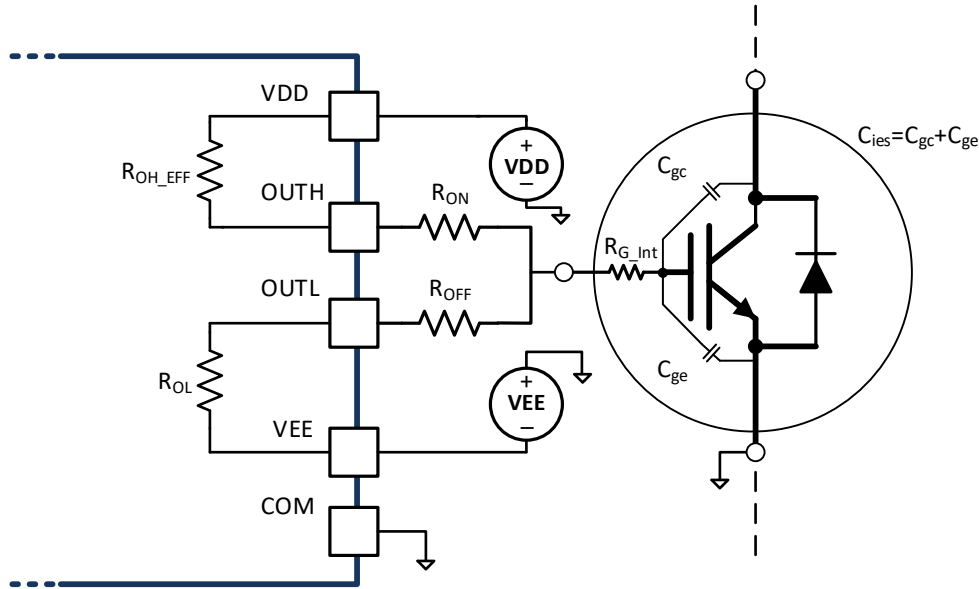


図 8-5. ピークゲート電流計算用の出力モデル

たとえば、次のパラメータにある IGBT モジュールベースのシステムの場合：

- $Q_g = 3300\text{nC}$
- $R_{G_Int} = 1.7\Omega$
- $R_{ON} = R_{OFF} = 1\Omega$

この場合のピークソースおよびシンク電流は次のとおりです：

$$I_{\text{source_pk}} = \min\left(10\text{A}, \frac{V_{DD} - V_{EE}}{R_{OH_EFF} + R_{ON} + R_{G_Int}}\right) \approx 5.9\text{A}$$

$$I_{\text{sink_pk}} = \min\left(10\text{A}, \frac{V_{DD} - V_{EE}}{R_{OL} + R_{OFF} + R_{G_Int}}\right) \approx 6.7\text{A} \quad (2)$$

したがって、 1Ω の外付けゲート抵抗を用いると、ピークソース電流は 5.9A 、ピークシンク電流は 6.7A となります。ターンオンスイッチング過渡中のコレクタからエミッタへの dV/dt は、ミラープラトー電圧でのゲート電流によって支配されます。ハイブリッドプルアップ構造により、ターンオンゲート抵抗が過度に大きい場合を除き、ミラープラトー電圧でのピークソース電流が確保されます。コレクタ — エミッタ間 V_{ce} の電圧が V_{DC} 、まで上昇するほど、ターンオンスイッチング損失は小さくなります。 dV/dt は $Q_{gc}/I_{\text{source_pk}}$ と推定することが可能です。ターンオフスイッチング過渡については、ターンオフゲート抵抗が大きすぎる場合を除いて、ドレイン — ソース間の dV/dt が負荷電流によって支配されます。 V_{ce} が DC バス電圧に達すると、パワー半導体は飽和モードになり、チャンネル電流は V_{ge} によって制御されます。ピークシンク電流によって dI/dt が定まり、それに応じて V_{ce} 電圧オーバーシュートが支配されます。比較的大きなターンオフゲート抵抗を使用する場合は、 V_{ce} オーバーシュートを制限することができます。デューティサイクルは、以下によって推定可能です：

$$\Delta V_{ce} = L_{\text{stray}} \cdot I_{\text{load}} / ((R_{OFF} + R_{OL} + R_{G_Int}) \cdot C_{ies} \cdot \ln(V_{\text{plat}} / V_{\text{th}})) \quad (3)$$

ここで

- L_{stray} は、図 8-6 に示すように、電源スイッチングループの浮遊インダクタンスです。
- I_{load} は負荷電流。パワー半導体のターンオフ電流です。
- C_{ies} は、パワー半導体の入力容量である。
- V_{plat} は、パワー半導体のプラトー電圧
- V_{th} は、パワー半導体のしきい値電圧

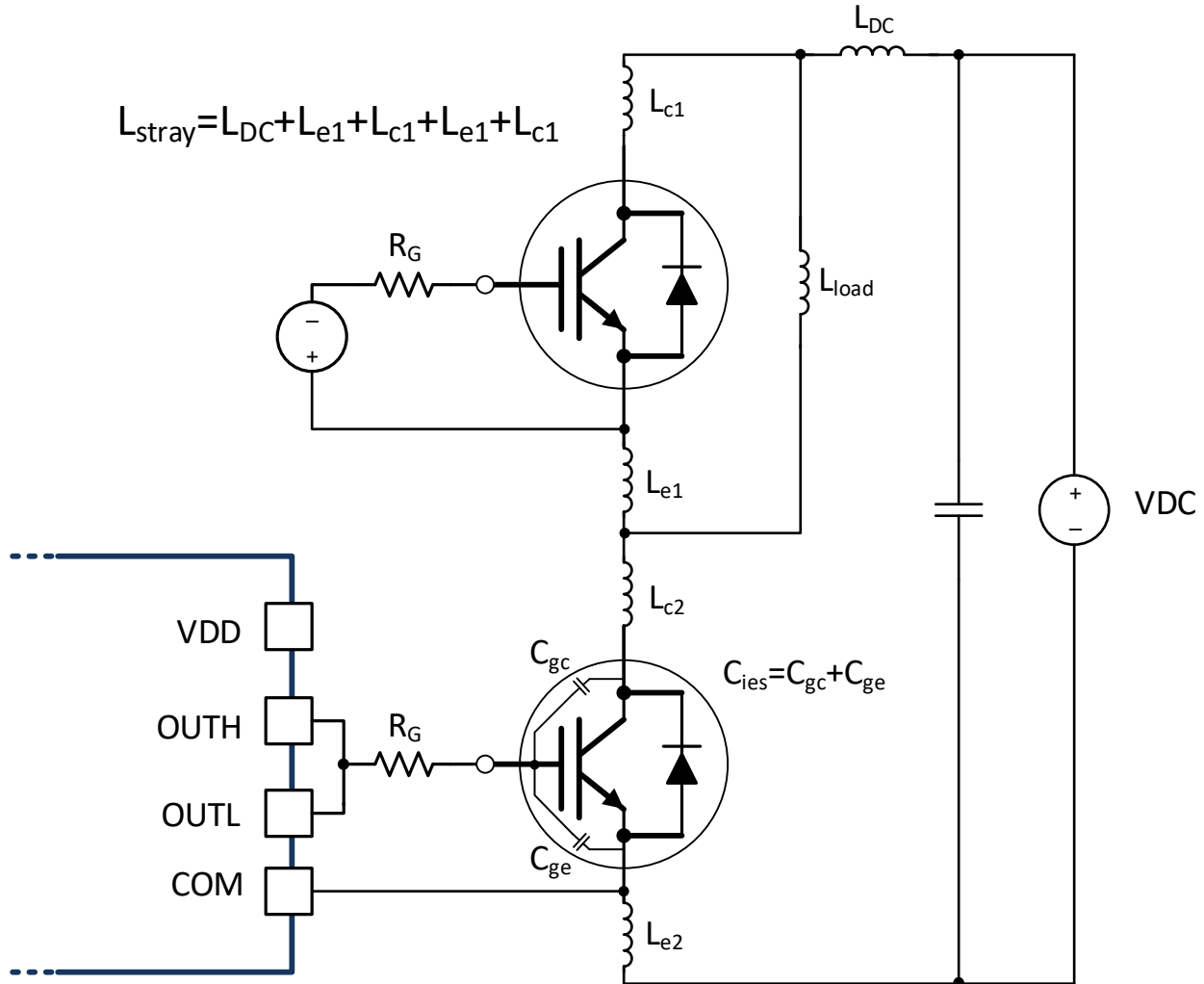


図 8-6. ハーフブリッジ構成での IGBT の漂遊寄生インダクタンス

ゲートドライバが温度制限内に維持されるようにするには、消費電力を考慮する必要があります。ゲートドライバの電力損失には、静止損失とスイッチング損失が含まれ、次のように計算可能です：

$$P_{DR} = P_Q + P_{SW} \quad (4)$$

P_Q はドライバの静止電力損失。 $I_q \times (VDD - VEE) = 5mA \times 20V = 0.100W$ となります。静止電力損失とは、ドライバが VDD と VEE でバイアスされる場合、ドライバがスイッチングを行う際に内部回路（入力段、基準電圧、論理回路、保護回路など）によって消費される電力であり、ドライバがスイッチングする際での内部回路の充電および放電電流を指します。ドライバがスイッチングしている際の消費電力は、次のように計算することが可能です：

$$P_{SW} = \frac{1}{2} \cdot \left(\frac{R_{OH_EFF}}{R_{OH_EFF} + R_{ON} + R_{G_Int}} + \frac{R_{OL}}{R_{OL} + R_{OFF} + R_{G_Int}} \right) \cdot (VDD - VEE) \cdot f_{sw} \cdot Q_g \quad (5)$$

ここで

- Q_g は、VEE から VDD までのゲート電圧を完全に充電するために動作ポイントに必要なゲート電荷量
- f_{sw} はスイッチング周波数

この例では、 P_{SW} は次のように計算することが可能です：

$$P_{SW} = \frac{1}{2} \cdot \left(\frac{R_{OH_EFF}}{R_{OH_EFF} + R_{ON} + R_{G_Int}} + \frac{R_{OL}}{R_{OL} + R_{OFF} + R_{G_Int}} \right) \cdot (VDD - VEE) \cdot f_{sw} \cdot Q_g = 0.505W \quad (6)$$

したがって、全電力損失は次のようになります。

$$P_{DR} = P_Q + P_{SW} = 0.10W + 0.505W = 0.605W \quad (7)$$

基板の温度が 125°C の場合、接合部温度は次のように推定することが可能です：

$$T_j = T_b + \psi_{jb} \cdot P_{DR} \approx 150^\circ C \quad (8)$$

したがって、この例のアプリケーションで、125°C 基板温度を使用する場合、ゲートドライバを熱的制限内に維持するために、最大スイッチング周波数は約 50kHz となります。より低いスイッチング周波数を使用すること、または外部ゲート抵抗を大きくすることにより、ゲートドライバをより高いスイッチング周波数で動作させることが、可能です。

8.2.2.6 過電流および短絡保護

標準の脱飽和回路を DESAT ピンに適用できます。DESAT ピンの電圧がスレッシュホールド V_{DESAT} 、より高い場合、ソフトターンオフが開始されます。DSP / マイコン への入力側に障害が通知されます。障害が検出された後、出力は LOW に保持され、RST/EN ピンによってのみリセットできます。最新の過電流および短絡検出時間により、SiC MOSFET および IGBT の短いシャットダウン時間を確保できます。

DESAT ピンを使用しない場合は、過電流フォルトの誤トリガを避けるため、COM に接続する必要があります。

- TI では、脱飽和回路に高速な逆回復高電圧ダイオードを推奨します。突入電流を制限するため、高電圧ダイオードと直列に抵抗を接続することを推奨します。
- 負電圧によって発生するドライバの損傷を防止するため、COM と DESAT の間にショットキーダイオードを推奨します。
- 正電圧によって発生するドライバの損傷を防止するため、COM と DESAT の間にツェナーダイオードを接続することを推奨します。

8.2.2.7 絶縁型アナログ シグナル センシング

絶縁型アナログ信号センシング機能は、絶縁型温度検出、電圧センシングなどに使用できるシンプルな絶縁チャンネルを実現します。この機能の代表的な応用の 1 つは、パワー半導体の温度モニタです。SiC MOSFET または IGBT モジュールには、接合部温度を監視するため、ダイの近くにサーマル ダイオードまたは温度センシング抵抗が内蔵されています。UCC21751-Q1 には、全温度範囲で ±3% の精度を持つ 200μA の内部電流源が内蔵されているため、サーマル ダイオードを順方向にバイアスしたり、温度検出抵抗に電圧降下を発生させたりできます。AIN ピンで検出された電圧は、絶縁バリアを通過して入力側に渡され、PWM 信号に変換されます。AIN 電圧が 4.5V から 0.6V に変化するとき、PWM のデューティ サイクルは直線的に 10% から 88% まで変化し、式 9 で表すことができます。

$$D_{APWM}(\%) = -20 * V_{AIN} + 100 \quad (9)$$

8.2.2.7.1 絶縁型温度センシング

代表的なアプリケーション回路を図 8-7 に示します。AIN ピンは温度センシングのためサーマル ダイオードまたはサーミスタに接続されます。これらは独立したものか、電源モジュールに内蔵されています。TI は、AIN 入力にローパスフィルタを推奨します。温度信号は高帯域でないため、ローパスフィルタは主に電源デバイスのスイッチングによって生じるノイズのフィルタリングに使用されます。このノイズは、伝搬遅延の厳密な制御を必要としません。ノイズレベルに応じて、 C_{filt} のフィルタ容量は 1nF ~ 100nF、フィルタ抵抗 R_{filt} は 1Ω ~ 10Ω の範囲で選択できます。

APWM の出力はマイコンに直接接続され、式 9 を使用して、AIN の入力電圧に対応するデューティ サイクルが測定されます。

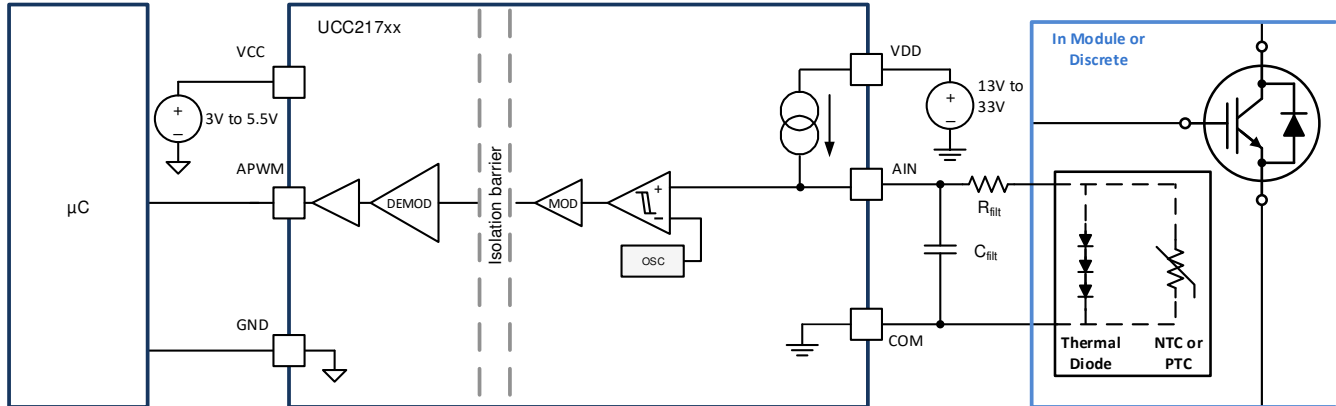


図 8-7. サーマル ダイオードまたはサーミスタの温度センシングの構成

UCC21751-Q1 の 1 次側で VCC 用の高精度電圧電源を使用する場合、図 8-8 に示すように、APWM のデューティサイクル出力をフィルタ処理し、マイコンの ADC 入力ピンを使用して電圧を測定することもできます。APWM の周波数は 400kHz なので、 R_{filt_2} と C_{filt_2} の値は、カットオフ周波数が 400kHz 未満になるように設定する必要があります。温度は急速に変化しないため、フィルタの RC 定数による立ち上がり時間は厳密な要件には該当しません。

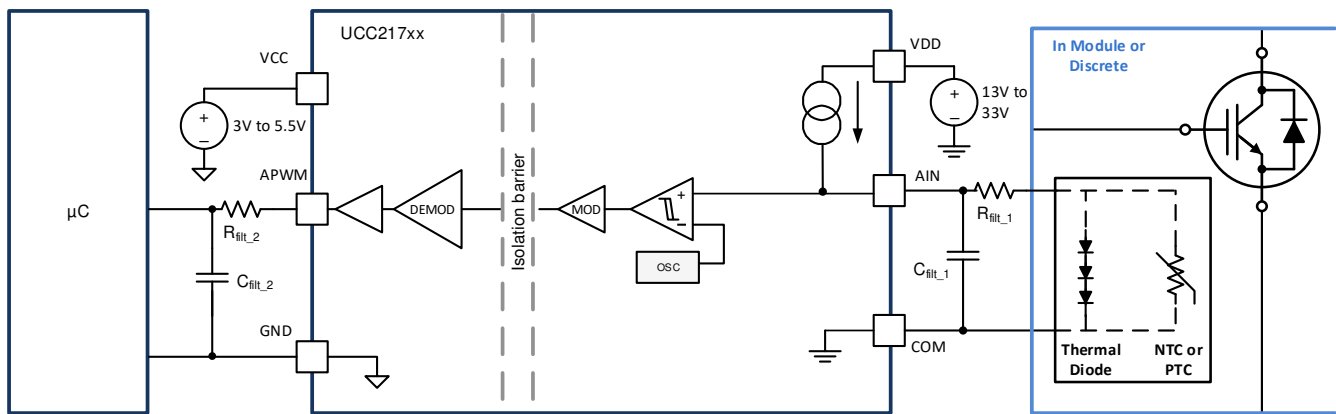


図 8-8. フィルタ処理された出力を持つ APWM チャネル

次の例は、4.7kΩ NTC (NTCS0805E3472FMT) を 3kΩ 抵抗と直列に使用し、4 つのダイオードで接続された MMBT3904 NPN トランジスタによるサーマル ダイオードとともに使用した結果を示しています。直列に接続された 4 つの MMBT3904 サーマル ダイオードで検出される電圧は、25°C ~ 135°C の範囲において約 2.5V ~ 1.6V で、50% ~ 68% のデューティサイクルに対応します。3kΩ の抵抗と直列に接続された NTC サーミスタで検出される電圧は、25°C ~ 135°C の範囲において約 1.5V ~ 0.6V で、70% ~ 88% のデューティサイクルに対応します。両方のセンサの VAIN における電圧と、それに対応する APWM で測定されるデューティサイクルを、図 8-9 に示します。

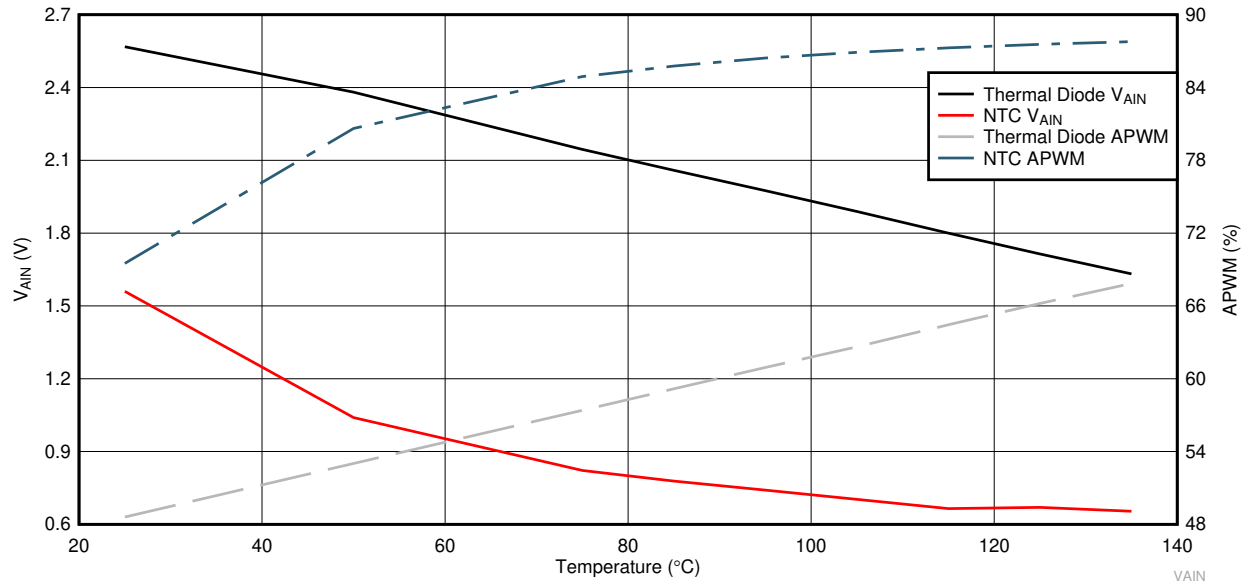


図 8-9. サーマル ダイオードと NTC の V_{AIN} 、および対応する APWM のデューティ サイクル

図 8-10 に示すように、デューティ サイクル出力は、キャリブレーションなしで全温度範囲にわたって $\pm 3\%$ の精度ですが、 25°C でのシングル ポイント キャリブレーションを使用すると、図 8-11 に示すように、デューティ精度を $\pm 1\%$ に向上できます。

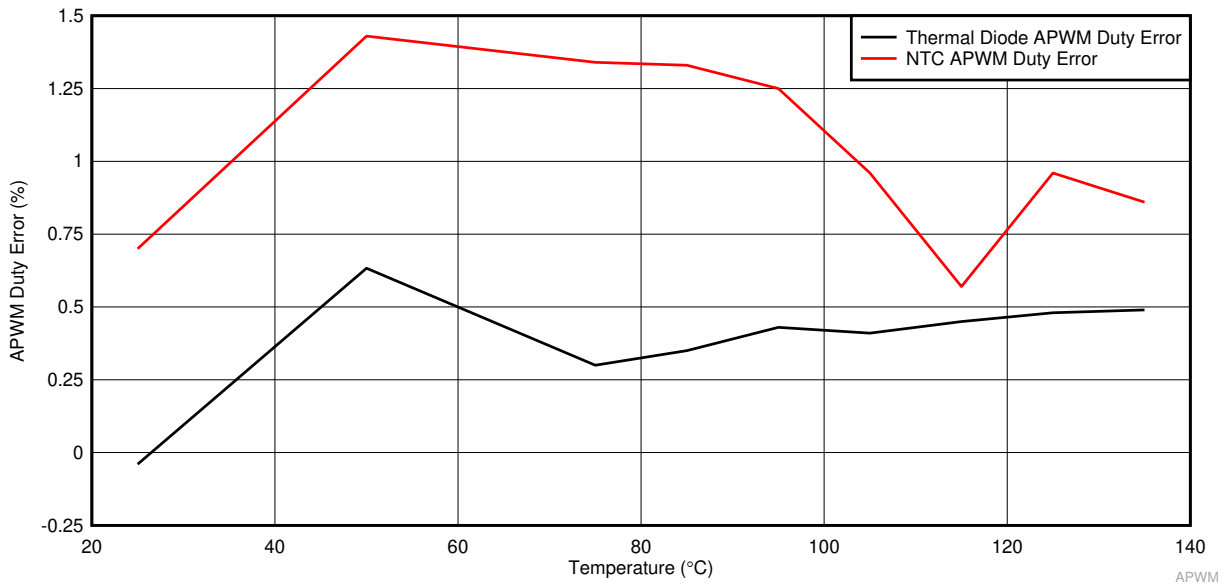


図 8-10. キャリブレーションなしでの APWM デューティ 誤差

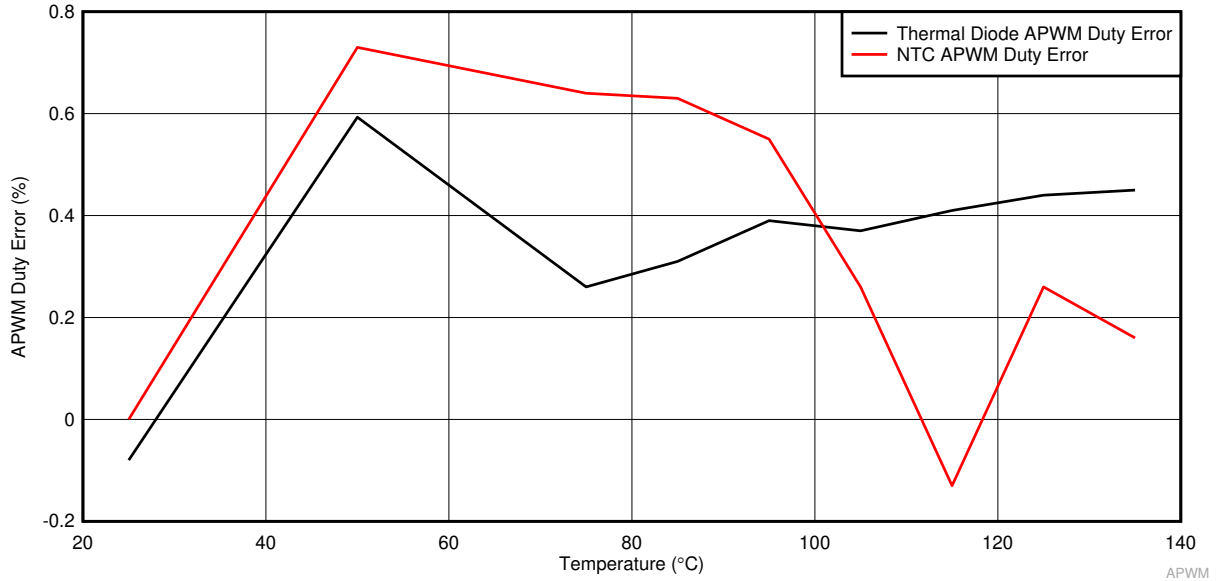


図 8-11. シングルポイントキャリブレーションでの APWM デューティ誤差

8.2.2.7.2 絶縁型 DC バス電圧センシング

AIN から APWM へのチャネルは、図 8-12 に示すように、DC リンク電圧センシングなど他のアプリケーションにも使用できます。この場合も、上記と同じフィルタリング要件を使用できます。R_{atten_1} から R_{atten_n} までの減衰抵抗の数は、抵抗の電圧レベルと電力定格に依存します。この電圧は最終的に、R_{LV_DC} の両端で測定され、HV DC リンクの降圧電圧を監視します。この電圧は、AIN の電圧範囲である 0.6V ~ 4.5V に収まる必要があります。ドライバは、測定リファレンスと同じポイントを基準にする必要があります。したがって、次に示す場合では UCC21751-Q1 がハーフブリッジの下側の IGBT を駆動し、DC リンクの電圧は COM を基準として測定されます。抵抗デバイダを設計するときには、内部電流源 I_{AIN} を考慮する必要があります。AIN ピンの電圧は次のとおりです：

$$V_{AIN} = \frac{R_{LV_DC}}{R_{LV_DC} + \sum_{i=1}^n R_{atten_i}} \cdot V_{DC} + R_{LV_DC} \cdot I_{AIN} \quad (10)$$

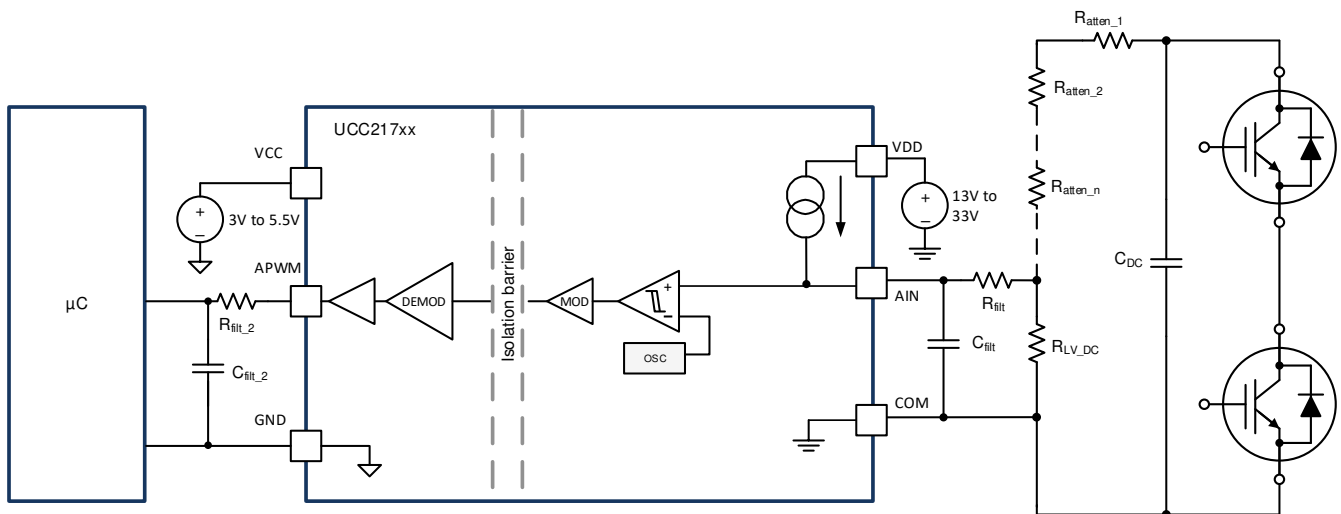


図 8-12. DC リンクの電圧センシングの構成

8.2.2.8 外部電流バッファを使用した高出力電流

IGBT ゲートドライブ電流を大きくするために、非反転電流バッファ (図 8-13 に示す NPN/PNP バッファなど) を使用することができます。反転型は非飽和過電流保護回路と互換性がないため、回避する必要があります。MJD44H11/MJD45H11 のペアは最大 15A のピーク電流に適しており、D44VH10/D45VH10 ペアは最大 20A のピーク電流に対応します。

過電流検出の場合、ソフト ターンオフ (STO) が作動します。外部バッファを使用する場合、通常のターンオフ速度の代わりに STO を実装するために、外部部品を追加する必要があります。C_{STO} ソフト ターンオフのタイミングを設定し、R_{STO} は突入電流を内部 FET の電流定格 (10A) 未満に制限します。R_{STO} は、少なくとも (VDD - VEE)/10 以上である必要があります。ソフト ターンオフのタイミングは、400mA の内部電流源およびコンデンサ C_{STO} によって決定されます。C_{STO} は、式 11 を使用して計算されます。

$$C_{STO} = \frac{I_{STO} \cdot t_{STO}}{VDD - VEE} \quad (11)$$

- I_{STO} は、400mA の内部 STO 電流源です
- t_{STO} は、必要な STO 時間です

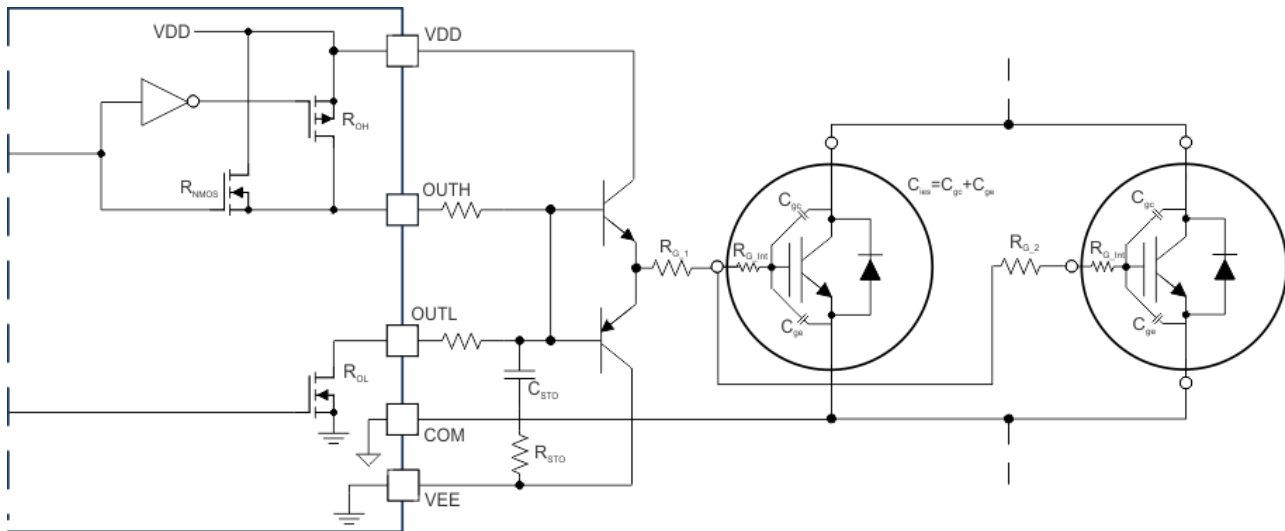


図 8-13. 駆動強度を高めるための電流バッファ

8.2.3 アプリケーション曲線

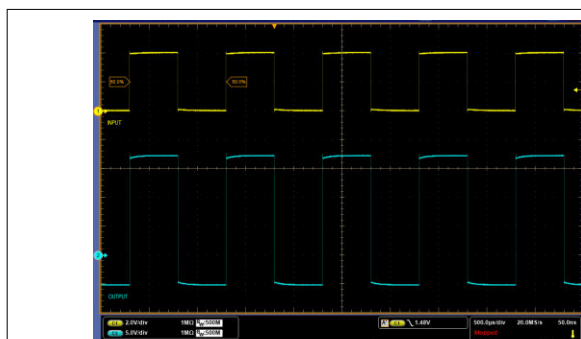


図 8-14. PWM 入力 (黄) およびドライバ出力 (青)

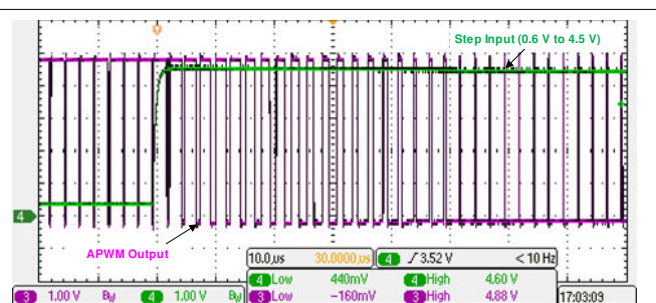


図 8-15. AIN ステップ入力 (緑) および APWM 出力 (ピンク)

8.3 電源に関する推奨事項

ターンオンおよびターンオフのスイッチング過渡中、ソースおよびシンクのピーク電流は VDD および VEE 電源から供給されます。大きなピーク電流により、VDD および VEE の電圧レベルがドレインして、電源で電圧降下が生じる可能性があります。電源を安定させ、信頼性の高い動作を保証するために、電源に一連のデカップリング コンデンサの配置を推奨します。UCC21751-Q1 は±10A のピーク駆動能力を達成しており、高い dV/dt を生成できることを考慮すると、VDD と COM、VEE と COM の間に 10 μ F バイパスコンデンサを配置することを推奨します。出力側電源と比較して電流が少ないため、VCC と GND 間に 1 μ F バイパス コンデンサの配置を推奨します。また、高周波ノイズをフィルタリングして除去するため、各電源に 0.1 μ F デカップリング コンデンサが推奨します。デカップリング コンデンサは、高周波ノイズを避けるために低 ESR および低 ESL にする必要があります。また、PCB レイアウトのシステム寄生成分からのノイズ結合を防止するために、VCC、VDD、VEE ピンにできる限り近づけて配置する必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

UCC21751-Q1 には強力な駆動能力があるため、PCB 設計では慎重に検討する必要があります。いくつかの要点を、以下に示します：

- PCB パターン上のゲートループの寄生インダクタンスを減らすため、ドライバはパワー半導体のできるだけ近くに配置します。
- 入力および出力電源のデカップリング コンデンサは、電源ピンにできるだけ近くに配置する必要があります。各スイッチング過渡で発生するピーク電流により、PCB パターンの寄生インダクタンスで大きな dI/dt と電圧スパイクが発生する可能性があります。
- ドライバの COM ピンは、SiC MOSFET ソースまたは IGBT エミッタのケルビン接続に接続する必要があります。電源デバイスに分割ケルビン ソースまたはエミッタがない場合は、COM ピンを電源デバイス パッケージのソースまたはエミッタ端子にできるだけ近くに接続し、ゲートループを大電力スイッチングループと分離します。
- 入力側にグランドプレーンを使用して、入力信号をシールドします。出力側のスイッチング過渡により発生する高周波ノイズが、入力信号を歪める可能性があります。グランドプレーンは、リターン電流のためのインダクタンスが低いフィルタを提供します。
- COM ピンを DC バスの負極に接続するローサイドスイッチにゲートドライバを使用する場合は、出力側のグランドプレーンを使用して、スイッチノードによって生成されるノイズから出力信号をシールドします。COM ピンをスイッチノードに接続するハイサイドスイッチにゲートドライバを使用する場合は、グランドプレーンは推奨されません。
- 出力側でグランドプレーンを使用しない場合は、DESAT と AIN のグランドループの帰路を、ピークソース電流とシンク電流が大きいゲートループグランドから分離します。
- ゲートドライバの下には PCB パターンも銅箔も使用できません。TI は、入力側と出力側との間のノイズ結合により、絶縁バリアが汚染される可能性を回避するため、PCB カットアウトを推奨します。

8.4.2 レイアウト例

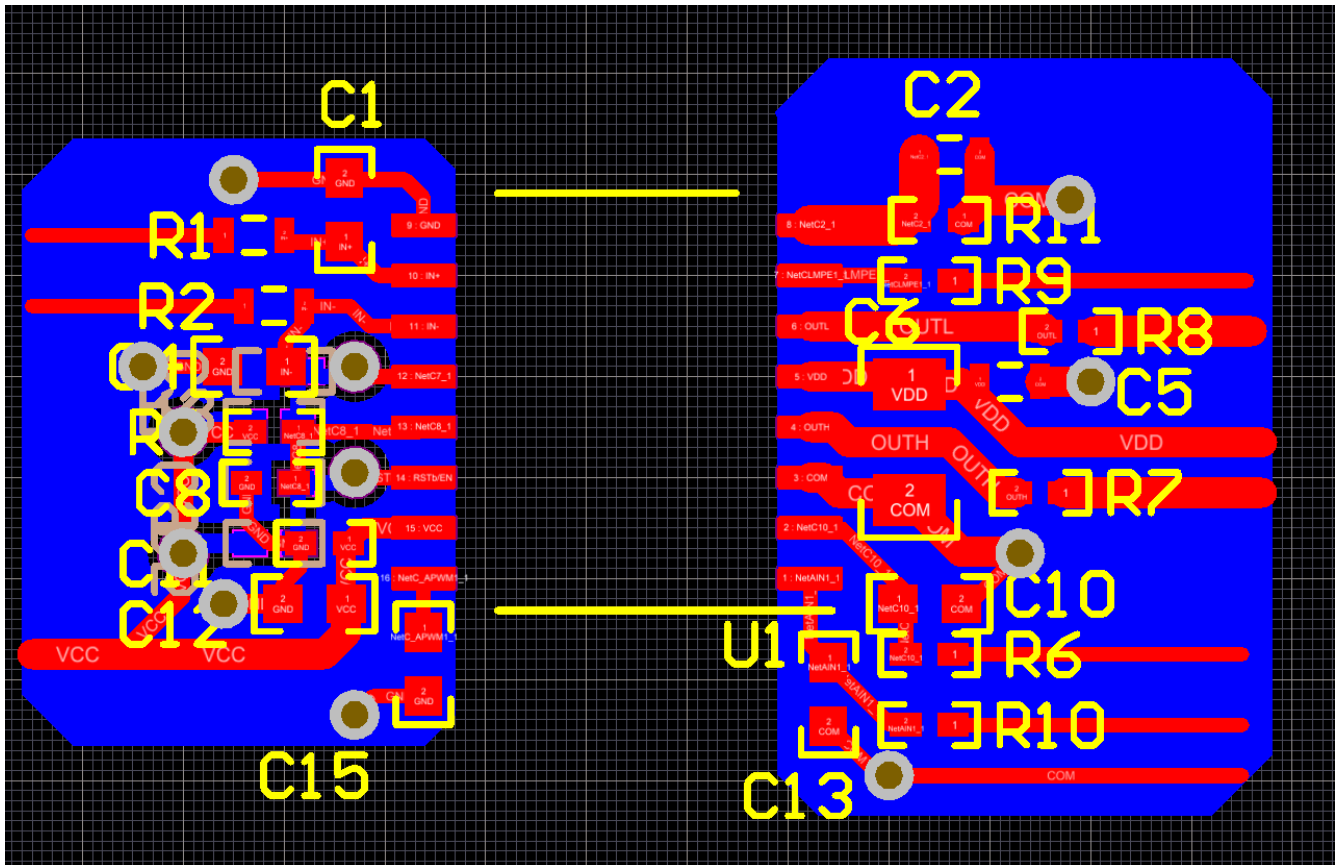


図 8-16. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- 『[絶縁の用語集](#)』

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
December 2025	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC21751QDWRQ1	Active	Production	SOIC (DW) 16	2000 LARGE T&R	-	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCC21751Q

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC21751QDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC21751QDWRQ1	SOIC	DW	16	2000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

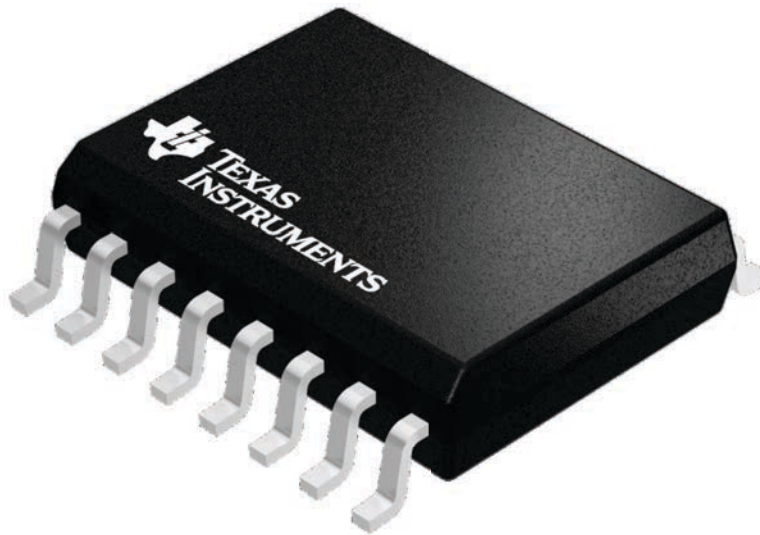
DW 16

SOIC - 2.65 mm max height

7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A



DW0016B

PACKAGE OUTLINE SOIC - 2.65 mm max height

SOIC



4221009/B 07/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

DW0016B

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:4X



SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

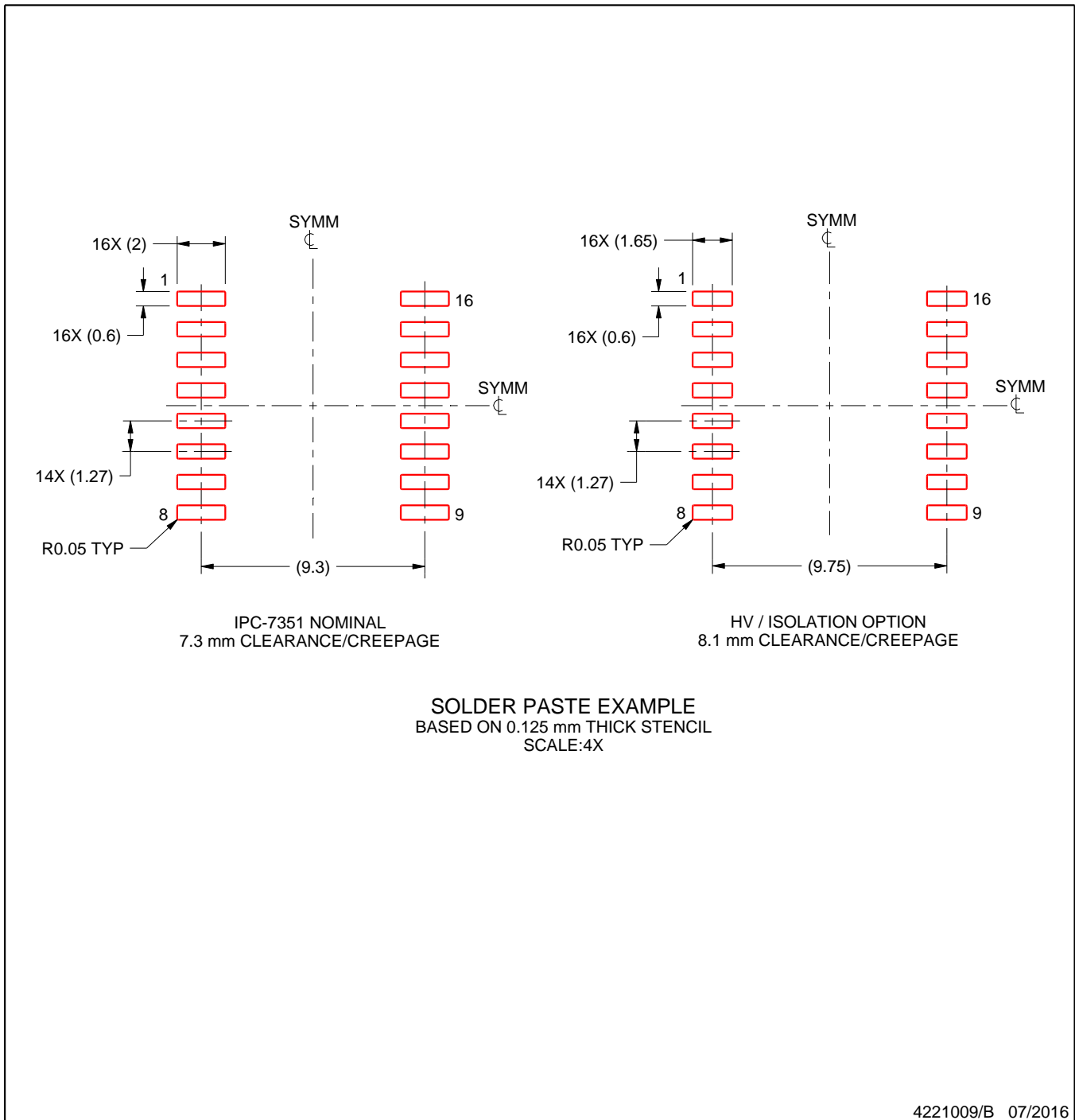
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月