

UCC23711 SiC/IGBT 向け、オプト入力シングルチャネル、絶縁型ゲートドライバ

1 特長

- 5kV_{RMS} のシングルチャネル絶縁型ゲートドライバ
- 最高 1500V_{pk} の SiC MOSFET および IGBT
- 最大出力駆動電圧: 36V (V_{DD}-V_{EE})
- ±5A の駆動能力
- 最小 CMTI: 300V/ns
- 応答時間 250ns の高速 DESAT 保護 (6.5V スレッシュホルド)
- 2.5A の内部アクティブミラー クランプ
- 200mA のソフトターンオフ (フォルト検出時)
- 過電流時の FLT アラーム
- 故障停止メカニズム: PWM 入力でのリセット
- 12V V_{DD} UVLO
- 伝搬遅延時間: 100ns (最大値)、パルス / 部品スキュー: 30ns (最大値)
- 沿面距離と空間距離が 8mm を超える SOIC-16DW ワイドボディパッケージ
- 動作時の接合部温度: -40°C ~ 150°C

2 アプリケーション

- AC およびブラシレス DC モータードライブ
- 産業用インバータと無停電電源 (UPS)
- ビルディングオートメーションおよびグリッドオートメーション

3 説明

UCC23711 は、先進の保護機能、クラス最高の動的性能、堅牢性を持ち合わせ、最高 1500V_{DC} で動作する SiC MOSFET および IGBT 用に設計されたガルバニック絶縁型シングルチャネルゲートドライバです。UCC23711 は、最大 ±5A のピークソース / シンク電流を供給できます。

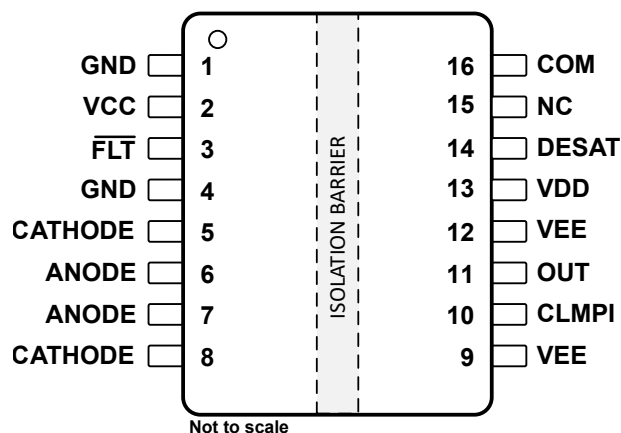
入力側は SiO₂ 絶縁技術によって出力側から絶縁されており、最大 1.5kV_{PK} の動作電圧、10kV_{PK} のサージ耐性を備えるとともに、小さい部品間スキューと 300V/ns を超える同相過渡耐性を実現しています。

UCC23711 には、ソフトターンオフ (STO) による DESAT 保護による過電流保護、アクティブミラー クランプ、障害診断、入力側および出力側電源 UVLO などの最新の保護機能を備えているため、SiC および IGBT のスイッチング動作や堅牢性を最適化できます。

パッケージ情報

部品番号	特長	パッケージ (1)	本体サイズ (公称)
UCC23711B	6.5V DESAT、12V VDD UVLO、故障ラッチオフ	DW (SOIC-16)	10.3mm × 7.5mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



デバイスのピン構成



目次

1 特長	1	6.2 機能ブロック図	12
2 アプリケーション	1	6.3 機能説明	12
3 説明	1	6.4 デバイスの機能モード	19
4 ピン構成および機能	3	7 アプリケーションと実装	20
5 仕様	4	7.1 使用上の注意	20
5.1 絶対最大定格.....	4	7.2 代表的なアプリケーション	21
5.2 ESD 定格.....	4	7.3 電源に関する推奨事項	26
5.3 推奨動作条件.....	4	7.4 レイアウト	26
5.4 熱に関する情報.....	5	8 デバイスおよびドキュメントのサポート	28
5.5 電力定格.....	5	8.1 デバイス サポート.....	28
5.6 絶縁仕様.....	5	8.2 ドキュメントのサポート.....	28
5.7 安全関連認証.....	6	8.3 ドキュメントの更新通知を受け取る方法.....	28
5.8 安全限界値.....	6	8.4 サポート・リソース.....	28
5.9 電気的特性.....	7	8.5 商標.....	28
5.10 スイッチング特性.....	8	8.6 静電気放電に関する注意事項.....	28
5.11 代表的特性.....	9	8.7 用語集.....	28
6 詳細説明	11	9 改訂履歴	28
6.1 概要.....	11	10 メカニカル、パッケージ、および注文情報	28

4 ピン構成および機能

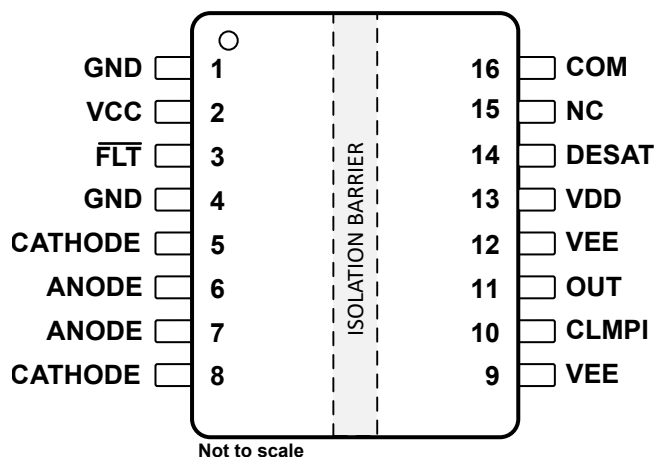


図 4-1. UCC23711 DW (SOIC 16) 上面図

表 4-1. ピンの機能

ピン		I/O ⁽¹⁾	説明
名称	番号		
GND	1,4	P	入力側のグラウンド レール
VCC	2	P	3V ~ 5.5V の入力電源。1μF を超えるコンデンサを使用して GND にバイパスします。デカップリング コンデンサをピンの近くに配置します。
FLT	3	O	DESAT 検出時のアクティブ low フォルト アラーム出力。FLT はオープンドレイン構成で、他のフォルトと並列に接続できます。
CATHODE	5,8	I	カソード
ANODE	6,7	I	アノード
VEE	9,12	P	ゲート駆動電圧の負電源レール。10μF を超えるコンデンサを COM に接続してバイパスし、指定のゲートドライバのシンク ピーク電流容量をサポートします。デカップリング コンデンサをピンの近くに配置します。
CLMPI	10	O	内部アクティブ ミラー クランプにより、このピンをパワー トランジスタのゲートに直接接続します。使用しない場合は、フローティングのままにするか、VEE に接続します。
OUT	11	O	ゲートドライバの出力
VDD	13	P	ゲート駆動電圧の正電源レール。10μF を超えるコンデンサを COM に接続してバイパスし、指定のゲートドライバのソース ピーク電流容量をサポートします。デカップリング コンデンサをピンの近くに配置します。
DESAT (脱飽和)	14	O	脱飽和電流保護入力。使用しない場合は、COM に接続します。
COM	16	P	共通のグラウンド基準を IGBT のエミッタ ピンと SiC-MOSFET のソース ピンに接続します。

(1) P = 電源、G = グランド、I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
VCC	VCC - GND	-0.3	6	V
VDD	VDD - COM	-0.3	36	V
VEE	VEE - COM	-17.5	0.3	V
V _{MAX}	VDD - VEE	-0.3	36	V
I _{F(AVG)}			25	mA
I _{F(TRAN)} < 1US パルス、300pps			1	A
V _{R(MAX)}	逆入力電圧		5	V
OUT	DC	VEE-0.3	VDD	V
	過渡応答、100ns 未満 ⁽²⁾	VEE-5.0	VDD+5.0	V
CLMPI	CLMPI の電圧、VEE 基準	-0.3	VDD	V
DESAT (脱飽和)	DESAT の電圧、COM 基準	-0.3	VDD+0.3	V
V _{FLT}	FLT ピン電圧	-0.3	6	V
I _{FLT}	FLT ピンの入力電流		20	mA
T _J	接合部温度	-40	150	°C
T _{stg}	保存温度	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて言及して、絶対最大定格において、またはこのデータシートの推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 値はベンチでの特性評価によって検証されます。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±500	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
VCC	VCC-GND	3	5.5	V
V _{FLT}	VCC-GND	0	5.5	V
VDD	VDD-COM	13	30	V
VEE	VEE-COM	-16	0	V
V _{MAX}	VDD-VEE	-	30	V
I _{F(ON)}	入力ダイオードの順方向電流 (ダイオードはオン)	5	20	mA
V _{F(OFF)}	アノード電圧 - カソード電圧 (ダイオードはオフ)	-5	0.8	V
T _A	周囲温度	-40	125	°C
T _J	接合部温度	-40	150	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		UCC2371X	単位
		DW (SOIC)	
		16 ピン	
R _{θJA}	接合部から周囲への熱抵抗	73.6	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	37.7	°C/W
R _{θJB}	接合部から基板への熱抵抗	36.4	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	18.9	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	36.0	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
P _D	最大消費電力 (両サイド)	VCC = 5V、VDD-COM = 20V、COM-VEE = 5V、IF(on) = 5mA、140kHz、10nF 負荷、Ta = 25°C の場合の 50% デューティ サイクル		720		mW
P _{D1}	トランスミッタ側の最大消費電力	VCC = 5V、VDD-COM = 20V、COM-VEE = 5V、IF(on) = 5mA、140kHz、10nF 負荷、Ta = 25°C の場合の 50% デューティ サイクル		20		mW
P _{D2}	レシーバ側の最大消費電力	VCC = 5V、VDD-COM = 20V、COM-VEE = 5V、IF(on) = 5mA、140kHz、10nF 負荷、Ta = 25°C の場合の 50% デューティ サイクル		700		mW

5.6 絶縁仕様

パラメータ		テスト条件	仕様	単位
一般				
CLR	外部空間距離 ⁽¹⁾	空気を介した最短のピン間距離	> 8	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	> 8	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	> 17	μm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	> 600	V
	材料グループ	IEC 60664-1 に準拠	I	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V_{RMS} が 300V 以下	I-IV	
		定格商用電源 V_{RMS} が 600V 以下	I-IV	
		定格商用電源 V_{RMS} が 1000V 以下	I-III	
DIN V VDE 0884-10 (VDE V 0884-10): 2016-12				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	1500	V_{PK}
V_{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) テスト、図 1 を参照	1060	V_{RMS}
		DC 電圧	1500	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$ 、 $t = 60s$ (認定試験) $V_{TEST} = 1.2 \times V_{IOTM}$ 、 $t = 1s$ (100% 製造試験)	7071	V_{PK}
V_{IMP}	最大入力パルス電圧 ⁽²⁾	IEC 62368-1 に準拠し空気中でテスト、1.2/50μs の波形	7692	V_{PK}

5.6 絶縁仕様 (続き)

パラメータ		テスト条件	仕様	単位
V_{IOSM}	最大サージ絶縁電圧 ⁽³⁾	IEC 60065 準拠のテスト方法、1.2/50 μ s 波形、 $V_{TEST} = 1.6 \times V_{IOSM} = 11300V_{PK}$ (認定)	10000	V_{PK}
q_{pd}	見掛けの電荷 ⁽⁴⁾	方法 a: I/O 安全テスト サブグループ 2/3 の後、 $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.2 \times V_{IORM} = 2545V_{PK}$, $t_m = 10s$	≤ 5	pC
		方法 a: 環境テストのサブグループ 1 の後、 $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.6 \times V_{IORM} = 3394V_{PK}$, $t_m = 10$	≤ 5	
		方法 b1: ルーチン テスト (100% 出荷時) および事前条件設定 (タイプ テスト) の場合、 $V_{ini} = V_{IOTM}$, $t_{ini} = 1s$, $V_{pd(m)} = 1.875 \times V_{IORM} = x V_{PK}$, $t_m = 1s$	≤ 5	
C_{IO}	絶縁バリア容量、入力から出力へ ⁽⁵⁾	$V_{IO} = 0.5 \times \sin(2\pi ft)$, $f = 1MHz$	"1"	pF
R_{IO}	絶縁抵抗、入力から出力へ ⁽⁵⁾	$V_{IO} = 500V$, $T_A = 25^\circ C$	10^{12} 以上	Ω
		$V_{IO} = 500V$ ($100^\circ C \leq T_A \leq 125^\circ C$ 時)	10^{11} 以上	
		$V_{IO} = 500V$ ($T_S = 150^\circ C$ 時)	10^9 以上	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO} = 5000V_{RMS}$, $t = 60s$ (認定), $V_{TEST} = 1.2 \times V_{ISO} = 6000V_{RMS}$, $t = 1s$ (100% 出荷時)	5000	V_{RMS}

- (1) アプリケーションに固有の機器の絶縁規格に従って沿面距離および空間距離の要件を適用します。基板設計では、沿面距離および空間距離を維持し、プリント基板 (PCB) のアイソレータの取り付けパッドによりこの距離が短くならないよう注意が必要です。特定の場合には、PCB 上の沿面距離と空間距離は等しくなります。PCB 上にグループやリブを挿入するなどの技法を使用して、これらの仕様値を増やすことができます。
- (2) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
- (3) テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
- (4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- (5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

5.7 安全関連認証

VDE	UL	CQC
DIN EN IEC 60747-17 (VDE 0884-17) による認証を計画	UL 1577 部品認定プログラムに従う認証を計画中	GB4943.1 に従う認証を計画中
代理店資格は計画中です	代理店資格は計画中です	代理店資格は計画中です

5.8 安全限界値

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_S	安全入力、出力、または電源電流	$R_{\theta JA} = 73.6^\circ C/W$, $V_{CC} = 5V$, $T_J = 150^\circ C$, $T_A = 25^\circ C$			59	mA
		$R_{\theta JA} = 73.6^\circ C/W$, $V_{DD} - V_{EE} = 30V$, $T_J = 150^\circ C$, $T_A = 25^\circ C$			39	
P_S	安全入力、出力、または合計電力	$R_{\theta JA} = 73.6^\circ C/W$, $T_J = 150^\circ C$, $T_A = 25^\circ C$			900	mW
T_S	最高安全温度 ⁽¹⁾				150	$^\circ C$

- (1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。 I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。 I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって異なります。「熱に関する情報」表にある接合部から空気への熱抵抗 R_{qJA} は、リードあり表面実装パッケージ用の高 K テスト基板に搭載されているデバイスのものです。これらの式を使

用して、以下のように各パラメータの値を計算します。 $T_J = T_A + R_{qJA} \cdot P$ 、ここで、 P はデバイスで消費される電力です。 $T_{J(max)} = T_S = T_A + R_{qJA} \cdot P_S$ 、ここで、 $T_{J(max)}$ は最大許容接合部温度です。 $P_S = I_S \cdot V_I$ 、ここで、 V_I は最大電源電圧です。

5.9 電気的特性

VCC = 3.3V または 5.0V、VCC と GND の間に 1μF のコンデンサを接続、VDD–COM = 20V、18V、または 15V、COM–VEE = 0V、5V、8V、または 15V、 $C_L = 100\text{pF}$ 、 $-40^\circ\text{C} < T_J < 150^\circ\text{C}$ (特に記述のない限り)^{(1) (2)}。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
入力段							
I _{FLH}	Low から High の入力順方向電流スレ シヨルド	V _{DD} -V _{EE} = 15V		1	2.7	mA	
I _{F_HYS}	入力順方向電流ヒステリシス	V _{DD} -V _{EE} = 15V		0.3		mA	
V _F	入力順方向電圧	I _F = 10mA	1.4	1.7	2	V	
ΔV _F /ΔT	入力順方向電圧温度係数	I _F = 10mA		0.7		mV/°C	
V _R	入力逆方向ブレイクダウン電圧	I _R = 10uA	6			V	
C _{IN}	入力容量	f _s = 0.5MHz、 +/- 250mV		4		pF	
電源と静止電流							
I _{VCCQ}	VCC 静止電流	OUT = High、 f _s = 0Hz		1	2	mA	
		OUT = Low、 f _s = 0Hz		1	2	mA	
I _{VDDQ}	VDD 静止電流	OUT = High、 f _s = 0Hz		1	2.3	4	mA
		OUT = Low、 f _s = 0Hz		1	2.0	3	mA
I _{VEEQ}	VEE 静止電流	OUT (H) = High、 f _s = 0Hz、 COM-VEE = 5V		-1.8		mA	
		OUT (L) = Low、 f _s = 0Hz、 COM-VEE = 5V		-1.5		mA	
電源保護							
V _{VDD_UVLO_ON}	VDD UVLO 立ち上がりスレシヨルド	VDD-COM	11.4	12	12.6	V	
V _{VDD_UVLO_OFF}	VDD UVLO 立ち下がりスレシヨルド	VDD-COM	10.45	11	11.55	V	
V _{VDD_HYST}	12V UVLO の VDD UVLO ヒステリシス			1.1		V	
t _{VDDFIL}	VDD UVLO グリッチ除去時間			5		μs	
t _{VDD+ to OUT}	VDD UVLO オンから出力が High になる までの遅延	IF(on) = 5mA	2	4.6	7	μs	
t _{VDD- to OUT}	VDD UVLO オンから出力が low になる までの遅延			5.4	8.5	μs	
ゲートドライバ段							
I _{OUT}	ピークソース電流	C _L = 0.22μF、 f _s = 1kHz		5		A	
I _{OUT}	ピークシンク電流	C _L = 0.22μF、 f _s = 1kHz		5		A	
R _{OUTH}	出力プルアップ抵抗	IOH = 1A、 C _L =220nF、 Fsw = 1khz		0.7		Ω	
R _{OUTL}	出力プルダウン抵抗	IOL = -1A、 C _L =220nF、 Fsw = 1khz		0.7		Ω	
アクティブ プルダウン							
V _{OUTPD}	OUT のアクティブ プルダウン	I _{OUT} = 0.1×I _{OUT(typ)} 、 VDD = OPEN、 VEE = COM	1.4	2.0	2.5	V	
内部ミラー クランプ							
V _{CLMPH}	ミラー クランプのスレシヨルド電圧	VEE を参照	1.5	2.1	2.5	V	
V _{CLMPI}	出力 Low クランプ電圧	I _{CLMPI} = 20 mA		16		mV	
I _{CLMPI}	出力 Low クランプ電流	V _{CLMPI} = 0V、 VEE = -2.5V		2.3		A	
R _{CLMPI}	ミラー クランプのプルダウン抵抗	I _{CLMPI} = 0.2A		0.8		Ω	
t _{DCLMPI}	ミラー クランプのオン遅延時間	C _L = 1.8nF		38	50	ns	

5.9 電気的特性 (続き)

VCC = 3.3V または 5.0V、VCC と GND の間に 1μF のコンデンサを接続、VDD–COM = 20V、18V、または 15V、COM–VEE = 0V、5V、8V、または 15V、C_L = 100pF、–40°C < T_J < 150°C (特に記述のない限り)^{(1) (2)}。

パラメータ		テスト条件	最小値	標準値	最大値	単位
短絡クランプ						
V _{OUT_CLMP}	V _{OUT} - V _{DD}	OUT = High、I _{OUT} = 500mA、t _{CLP} = 10us	0.8			V
DESAT 保護						
I _{CHG}	ブランキング コンデンサの充電電流	V _{DESAT} = 2.0V	210	250	297	μA
I _{DCHG}	ブランキング コンデンサの放電電流	V _{DESAT} = 6.0V (V _{DESATTH} > 6.5 の場合) V _{DESAT} = 5.0V (V _{DESATTH} = 6.5 の場合)	25	40		mA
V _{DESATTH}	検出スレッシュホールド		6.04	6.5	6.96	V
t _{DESATLEB}	リーディング エッジのブランキング時間		320	470	540	ns
t _{DESATFIL}	DESAT グリッチ除去フィルタ		100	180	260	ns
t _{DESATOFF}	DESAT 伝搬遅延 (OUT 90%)	V _{DESAT} > V _{DESATTH}	200			ns
t _{DESATFLT}	DESAT から FLT Low までの遅延		260			ns
ソフト ターンオフ						
I _{STO}	内部ソフト ターンオフ電流	V _{OUT} = 8V、C _L = 0.18μF、f _S = 1kHz、	0.25			A
故障通知 (FLT)						
t _{FLT_RST}	デバイス リセット後の故障フラグ クリア時間	IF 立ち上がりから故障クリアまで	60			ns
t _{FLTMUTE}	電流故障時の出力ミュート時間		22			us
R _{ODON}	オープン ドレイン出力オン抵抗	I _{ODON} = 5mA	8.8			Ω
V _{FLT_OD}	オープン ドレイン Low 出力電圧		0.15xV _{C_C}			V
同相過渡電圧耐性						
CMTI	同相過渡耐性 ⁽³⁾	V _{CM} = 1200V	300			V/ns

(1) 電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

(2) 特に明記されていない限り、すべての電圧は COM 基準です

(3) 最高の CMTI 性能を得るため、アノードピンに 1 つの抵抗を使用し、カソードピンを直接 GND に接続することを推奨します。

5.10 スイッチング特性

VCC = 5.0V、VCC から GND への 1μF コンデンサ、VDD - COM = 20V、18V、または 15V、COM - VEE = 3V、5V、または 8V、C_L = 100pF、–40°C < T_J < 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{PDLH}	伝搬遅延時間、low から high				150	ns
t _{PDHL}	伝搬遅延時間、low から high				150	ns
PWD	パルス幅歪み (t _{PDHL} - t _{PDLH})				30	ns
t _{sk-pp}	部品間スキュー	立ち上がりまたは立ち下がり伝搬遅延			30	ns
t _r	ドライバ出力立ち上がり時間	C _L = 1.8nF		15		ns
t _f	ドライバ出力立ち下がり時間	C _L = 1.8nF		15		ns
f _{MAX}	最大スイッチング周波数				1000	kHz

5.11 代表的特性

OUT = オープン

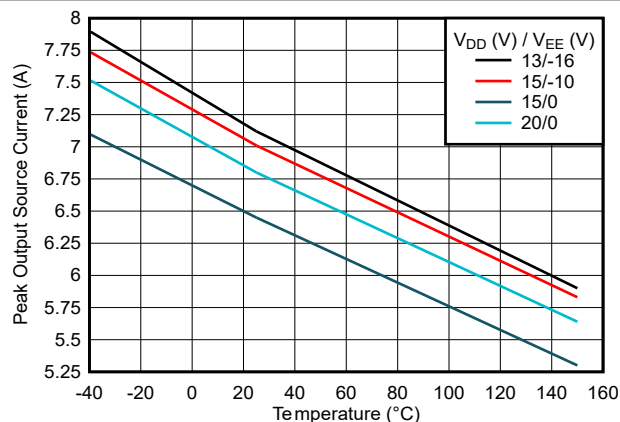


図 5-1. 出力 High 駆動電流と温度との関係

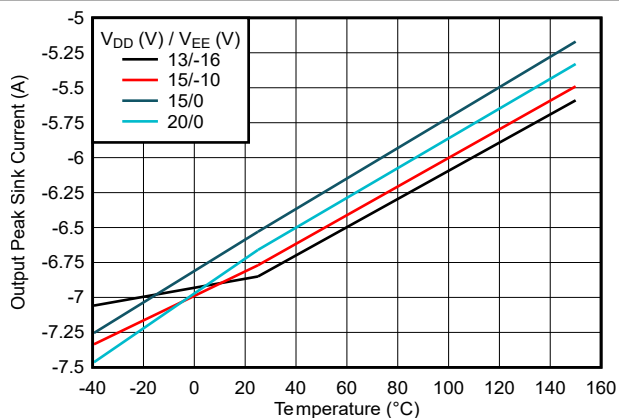


図 5-2. 出力 Low ドライバ電流と温度との関係

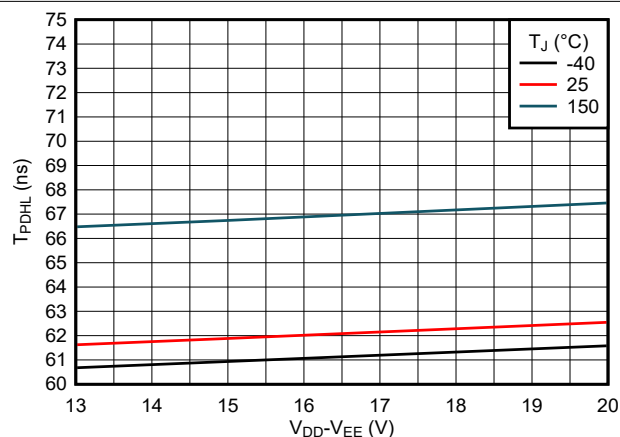


図 5-3. 伝搬遅延 t_{PDHL} と温度との関係

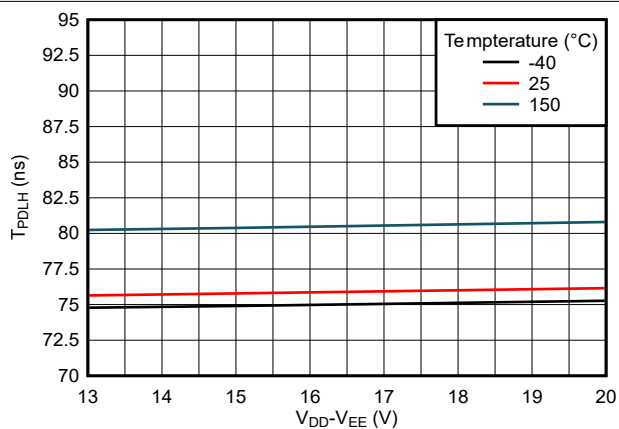


図 5-4. 伝搬遅延 t_{PDH} と温度との関係

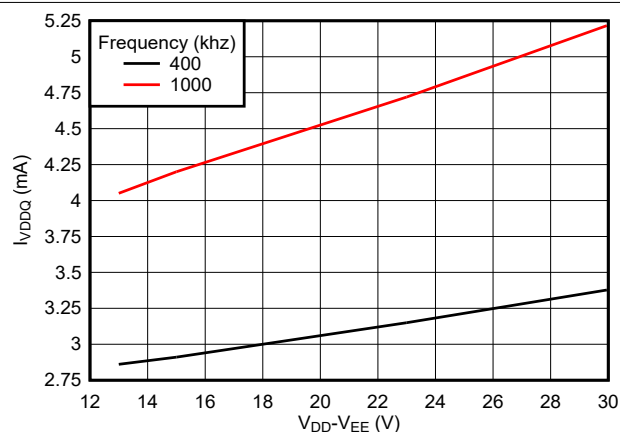


図 5-5. I_{VCCQ} 電源電流と入力周波数との関係

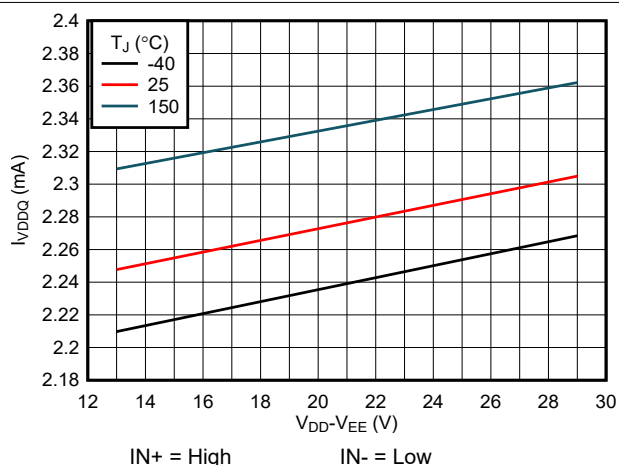


図 5-6. I_{VDDQ} 電源電流 と温度との関係

5.11 代表的特性 (続き)

OUT = オープン

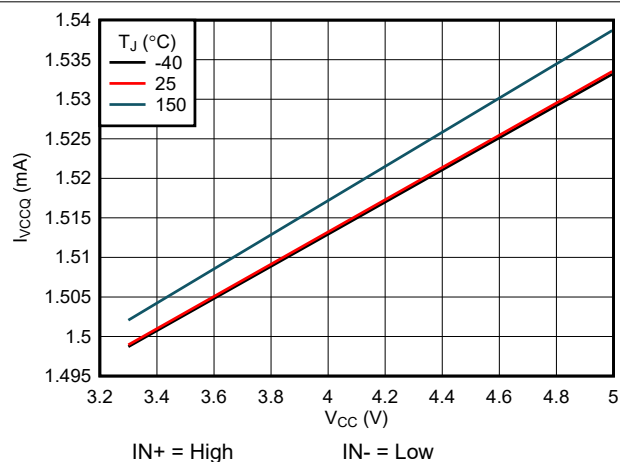


図 5-7. I_{VCCQ} 電源電流 と温度との関係

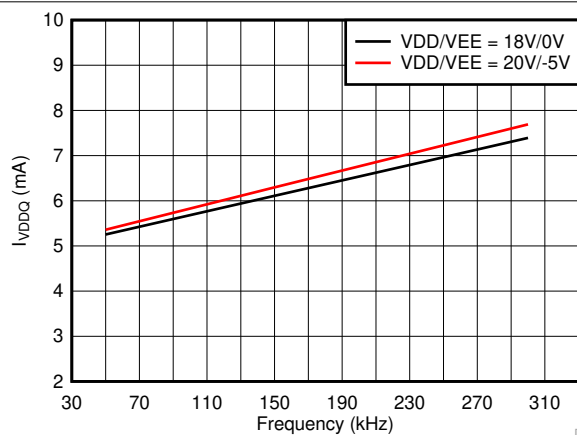


図 5-8. I_{VEEQ} 電源電流と入力周波数との関係

D019

6 詳細説明

6.1 概要

このデバイスは、保護およびセンシング機能を内蔵した先進的な絶縁ゲートドライバであり、シリコン カーバイド (SiC) MOSFET および絶縁ゲート バイポーラ トランジスタ (IGBT) 向けに特化して設計されています。このデバイスは、SiC MOSFET および IGBT をベースとして最大 1500V_{DC} の動作電圧をサポートでき、モータドライブ、オンボードおよびオフボードのバッテリー充電器、太陽光インバータなど、10kW を超える用途を含む高電力システムに適しています。

このデバイスは磁気絶縁技術によって実装されたガルバニック絶縁を備えており、低電圧側のデジタル信号プロセッサ/マイコン (DSP/マイコン) と高電圧側との間に、信頼性の高い強化絶縁バリアを提供します。この絶縁技術により、このデバイスは最大 1.5kV_{DC} のピーク動作電圧と最大 10kV_{peak} のサージ耐性に対応できます。

このデバイスは $\pm 5A$ のピーク シンク電流およびソース電流を供給でき、追加のバッファ段を必要とせずに、SiC MOSFET モジュールや IGBT モジュールを直接駆動できます。さらに、外付けのバッファ段を追加することで、より高出力のモジュールや並列接続されたモジュールの駆動にも使用できます。

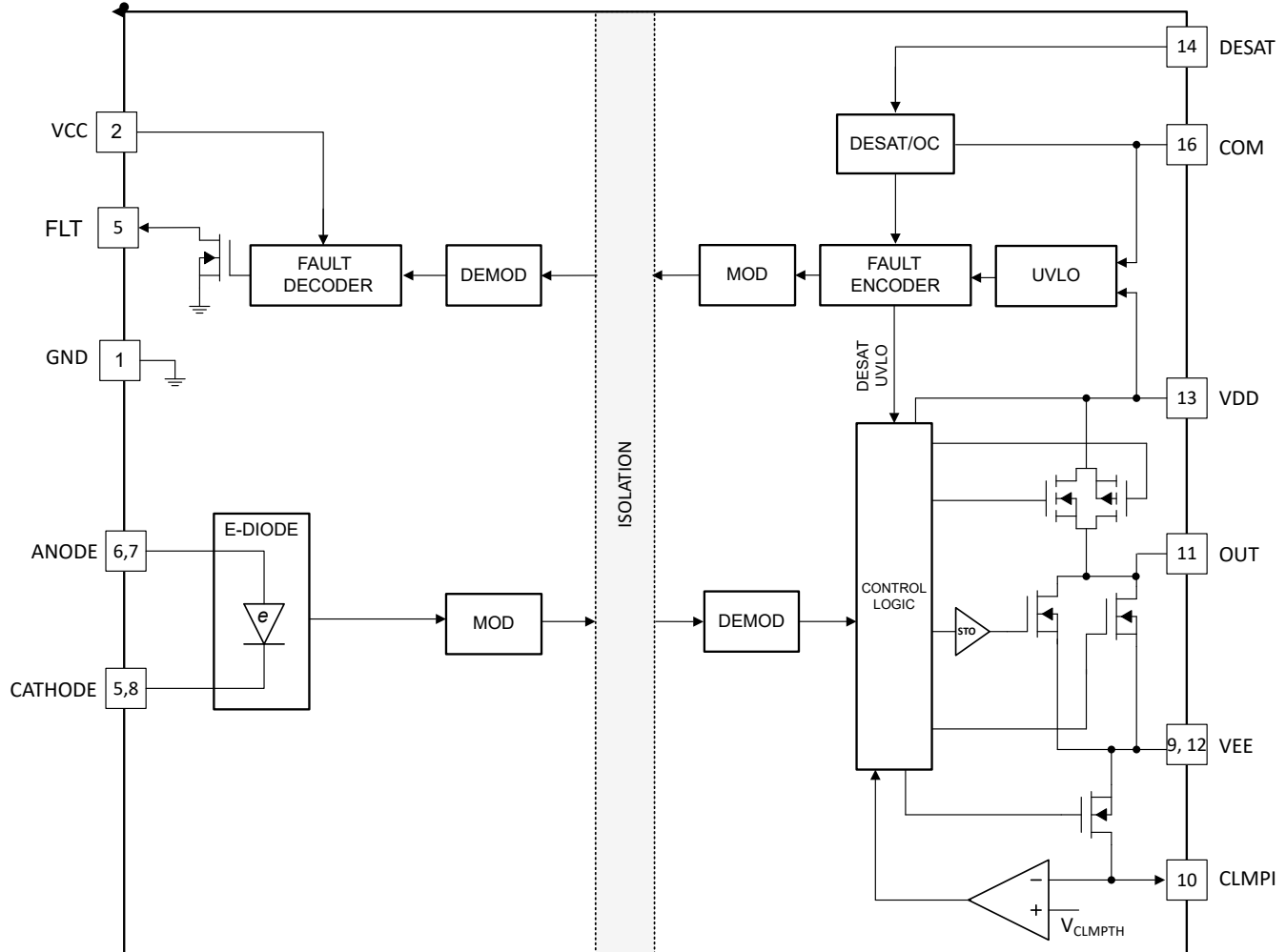
このデバイスの入力側は出力側から絶縁されており、磁気絶縁技術に基づく強化絶縁バリアを備えています。このデバイスの強力な駆動能力により高速スイッチングが可能となり、スイッチング損失を低減できます。また、最小同相モード過渡耐性 (CMTI) が 300V/ns であるため、高速スイッチング時でもシステムの信頼性が確保されます。このデバイスは伝搬遅延およびデバイス間スキューが小さいため、デッドタイム設定を最小化でき、その結果、導通損失を低減できます。

このデバイスは、SiC MOSFET および IGBT ベースのシステムの信頼性と堅牢性を高めるために設計された、幅広い保護機能および監視機能を備えています。これらの機能には、ゲート電圧が 15V 以上のスイッチに適した出力側電源の低電圧ロックアウト (UVLO) や、高速スイッチング時にミラー容量によって生じる誤動作ターンオンを防止するアクティブ ミラー クランプ機能が含まれます。

このデバイスは、高速な検出時間を備えた最先端のデサチュレーション (DESAT) 検出機能に加え、低電圧側の DSP/マイコン へ故障を通知する機能も備えています。DESAT 故障が発生した場合、このデバイスはソフト ターンオフを実行し、短絡エネルギーを最小化するとともに、スイッチの過電圧オーバーシュートを低減します。これらの高度な保護機能および監視機能により、SiC MOSFET および IGBT ベースのシステムは損傷や誤動作のリスクを最小限に抑えつつ、信頼性の高い動作を実現できます。

6.2 機能ブロック図

機能ブロック図



6.3 機能説明

6.3.1 電源

入力側電源 VCC は 3V～5.5V の広い電圧範囲をサポートしており、3.3V および 5V のコントローラ信号の両方に対応します。

出力側電源 VDD～VEE は最大 30V までの広い電圧範囲をサポートします。VDD～VEE の最小電圧は、使用する VDD の UVLO バリエーションによって異なります。このデバイスは、ユニポーラ電源およびバイポーラ電源のいずれにも対応します。相レッグ内のもう一方のスイッチがターンオンした際のターンオンの誤作動を防止するため、ソースまたはエミッタである COM を基準とした負電源 VEE が一般的に採用されます。負電圧は、高速スイッチング特性を持つ SiC MOSFET にとって重要であり、またアクティブ ミラー クランプを使用しない場合の IGBT にとっても重要です。有効な動作を確保するため、低電圧コンパレータによって VDD が監視されます。VDD 低電圧ロックアウト保護の詳細については、[セクション 6.3.2](#) を参照してください。

6.3.2 VDD 低電圧誤動作防止 (UVLO)

UCC23711 は、VDD に対する UVLO 保護機能を実装しています。電源電圧がスレッシュホールド電圧を下回ると、ドライバ出力は low に保持されます。V_{DD}-COM が V_{DD_UVLO_ON} を超えると、ドライバ出力が有効になります。UVLO 保護機能

は、低電圧電源条件下におけるドライバ自体の消費電力を低減するだけでなく、電力段の効率向上にも寄与します。SiC MOSFET と IGBT の場合、ゲート - ソース間電圧またはゲート - エミッタ間電圧が上昇すると、オン抵抗は小さくなります。VDD 値が低い状態でパワー半導体がオンになると、導通損失が大幅に増加し、熱に関する問題が発生し、電力段の効率低下につながる可能性があります。

UVLO 保護ブロックにはヒステリシスを備えたコンパレータ スレッシュホールドと入力部のグリッチ除去フィルタが組み込まれており、電源のノイズ耐性向上に寄与します。ターン オンおよびターン オフのスイッチング過渡中に、ドライバは電源からのピーク過渡電流をソースおよびシンクします。これにより、電源の電圧降下が急に発生する可能性があります。ヒステリシスと UVLO グリッチ除去フィルタを使用すると、内部 UVLO 保護ブロックは通常のスイッチング過渡中における小さなノイズを無視します。

VCC および VDD の UVLO 保護機能に関するタイミング図を図 6-1 に示します。

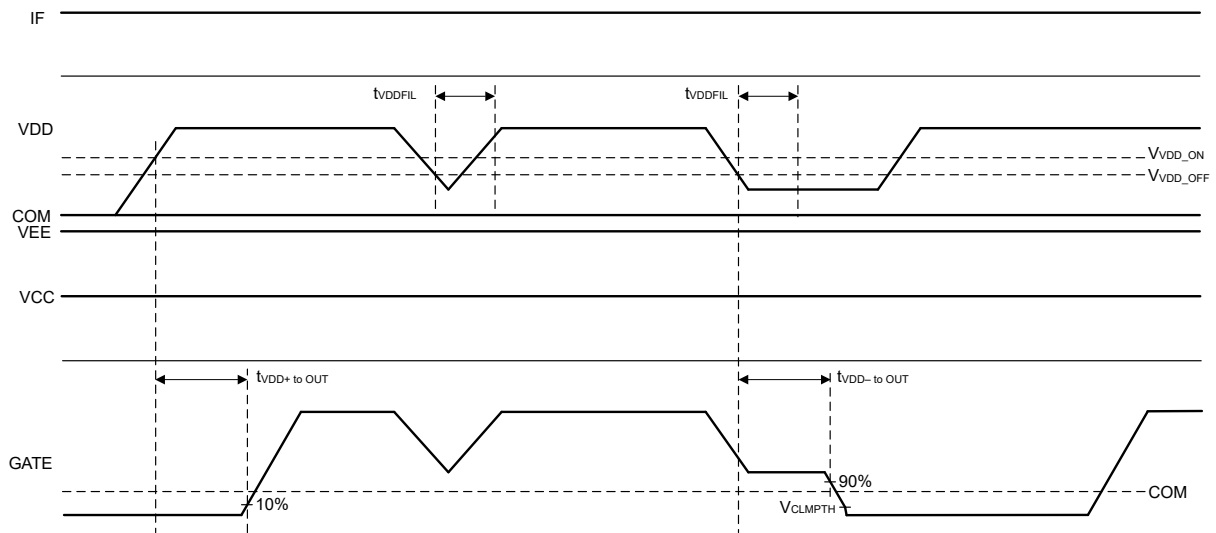


図 6-1. VDD 保護のタイミング図

6.3.3 オプトエミュレート入力

UCC23711 の入力段は、アノードおよびカソードを介して接続されるダイオード エミュレータ (e-diode) を内蔵しています。カソードに対して正の電圧をアノードに印加すると、e-diode が順方向バイアスされ、順方向電流 I_F が e-diode に流れます。e-diode の順方向電圧降下は 1.7V (標準値) です。順方向電流を制限するため、アノードには外付け抵抗を使用する必要があります。IF がスレッシュホールド電流 I_{FLH} (標準値 1mA) を超えると、高周波信号が絶縁バリアを介して送信され、受信側で検出された後、 V_{OUT} が high に駆動されます。e-diode のダイナミック インピーダンスは非常に小さく ($<1.0\Omega$)、e-diode の順方向電圧降下の温度係数は代表値で $0.7mV/^\circ C$ です。これにより、すべての動作条件にわたって順方向電流 I_F の安定性が優れています。アノード電圧が $V_{F_{HL}}$ (0.8V) 未満に低下する、または逆バイアスされると、ゲートドライバ出力は Low に駆動されます。順方向電流の推奨範囲は 5mA~20mA です。

e-diode の逆方向ブレイクダウン電圧は 6V を超えています。そのため、通常動作では、最大 5V の逆バイアスが許容されます。e-diode の大きな逆方向ブレイクダウン電圧により、UCC23711 をインターロック アーキテクチャで動作させることができます。システム設計者は、適切な入力抵抗を使用することで、3.3V または 5.0V の信号源を選択して UCC23711 の入力段を駆動できます。インターロック アーキテクチャにより、両方の e-diode が同時にオンにならないようにし、IGBT での貫通を防止します。また、両方の PWM 信号が誤って High (または Low) に固着した場合も、両方のゲートドライバ出力が Low に駆動されます。

最良のノイズ耐性性能を得るためには、アノードに接続された電流制限抵抗を配置することを推奨します。カソードはグラウンドに直接接続する必要があります。

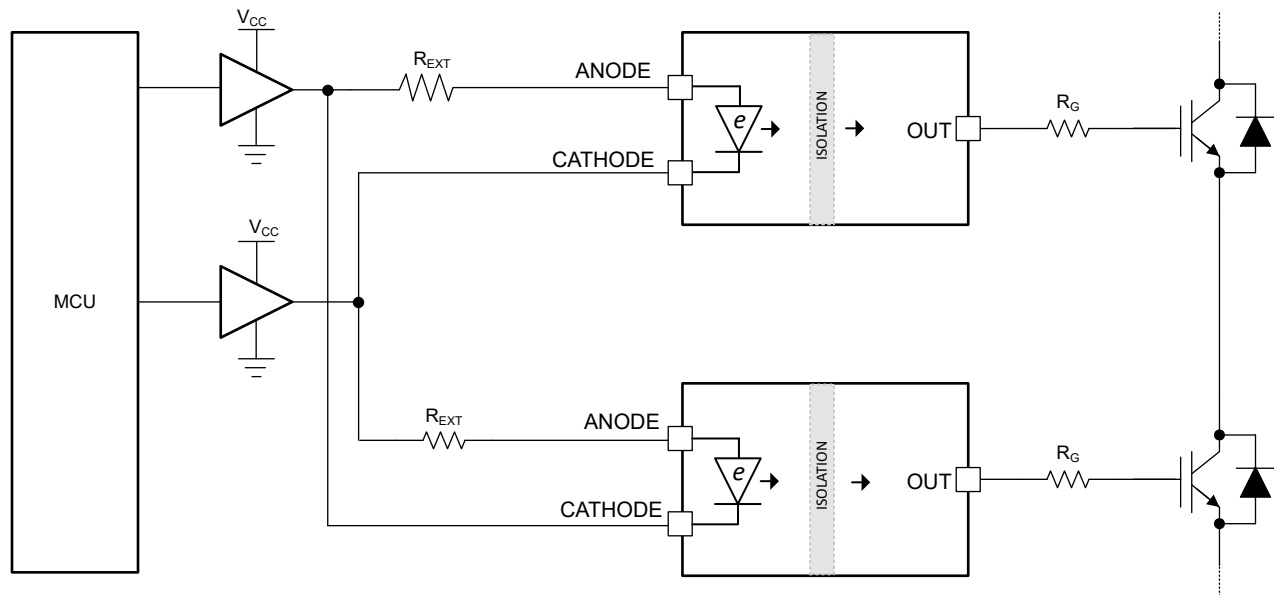


図 6-2. インターロック アーキテクチャ

6.3.4 ドライバ段

このデバイスは $\pm 5A$ のピーク駆動能力を備えており、高出力アプリケーションに適しています。高い駆動能力により、追加のバッファ段なしで、SiC MOSFET モジュール、IGBT モジュール、または並列接続型ディスクリート デバイスを直接駆動できます。このデバイスは、追加のバッファ ステージを用いることで、より高出力のモジュールや並列接続されたモジュールの駆動にも使用できます。VDD の値に関係なく、ピークのシンク電流およびソース電流は 5A に維持されます。またこのドライバは重要な安全機能を備えており、入力ピンがフローティング状態のとき、OUT は LOW 状態に保持されます。図 6-3 に示すドライバ ステージは、内蔵ブートストラップ ゲート 駆動を用いた NMOS プルアップを実装することで、レール ツー レール 出力を実現しています。DC 条件では、図に示すように、PMOS を使用して OUT を VDD に接続したままにします。NMOS の低いプルアップ インピーダンスにより、ターンオン過渡時に強い駆動能力が得られ、その結果、パワー半導体の入力容量の充電時間が短縮されます。入力から出力へのタイミング図については、図 6-4 を参照してください。

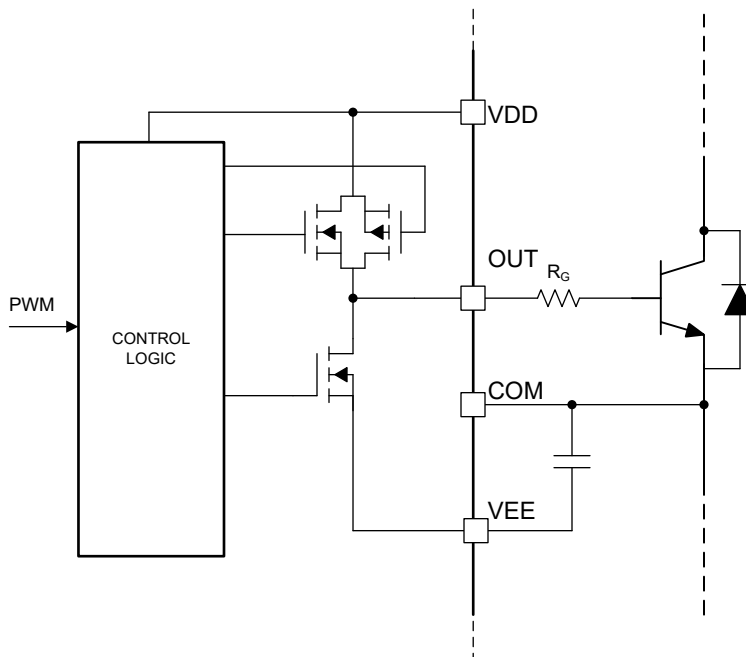


図 6-3. ゲート ドライバの出力段

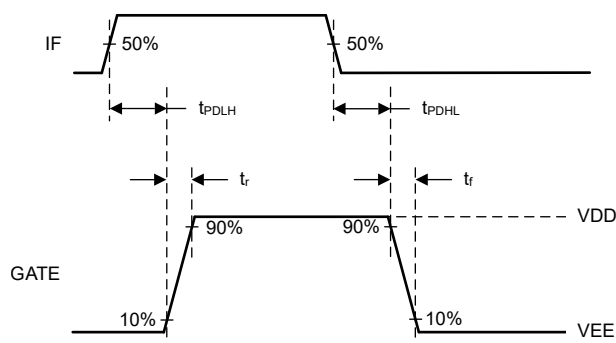


図 6-4. 入力 / 出力タイミング図

6.3.5 アクティブ プルダウン

UCC23711 は、VDD がオープン状態のときに OUT ピンが VEE にクランプされるよう、アクティブ プルダウン 機能を実装しています。VDD がオープン状態のとき、OUT ピンはハイ インピーダンス状態になります。ただし、ゲートドライバ外部から OUTL ピンに電圧が印加されている場合、電圧が R_a を介してプルダウン FET を駆動し、図 6-5 に示すように出力をプルダウンしてデバイスがオンになるのを防ぎます。

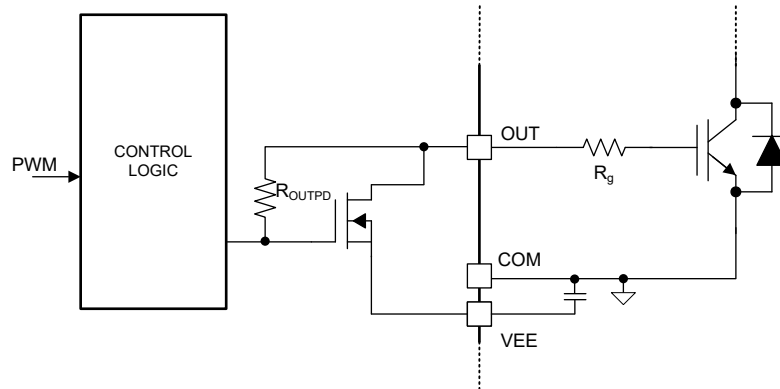


図 6-5. アクティブ プルダウン

6.3.6 短絡クランプ

UCC23711 には OUT が VDD を超過するのを防ぐため、内蔵ダイオードが実装されています。短絡クランプ機能は、パワースイッチの短絡状態において、ドライバ出力の電圧を VDD よりわずかに高いレベルにクランプします。クランプされたゲート電圧は短絡電流を制限し、IGBT または MOSFET のゲートが過電圧によって破壊または劣化するのを防ぎます。

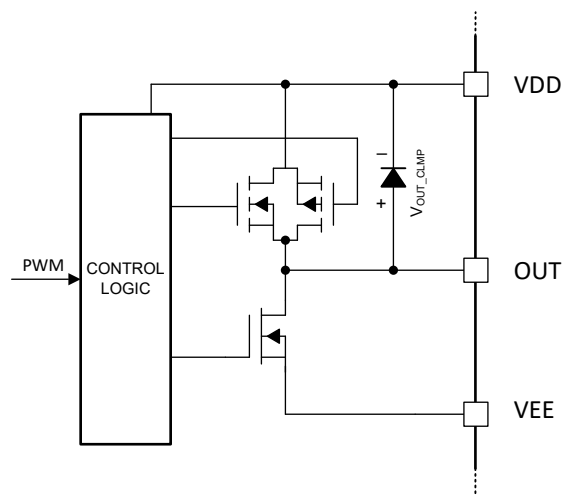


図 6-6. 短絡クランプ

6.3.7 内部アクティブミラー クランプ

UCC23711 は、アクティブ ミラー クランプ機能を備えており、ドライバがオフ状態の間に追加の低インピーダンス経路を設けることで、意図しないターンオンを防止します。ハーフブリッジ用途では、デッドタイム中にドライバがオフ状態であっても、パワー半導体デバイスのボディ ダイオードが導通する場合があります。この状態で相レッグ内のもう一方のパワー半導体デバイスがターンオンすると、ドレイン ソース間電圧またはコレクタ エミッタ間電圧が急激に上昇し、ミラー容量に高い dV/dt が印加されます。この高い dV/dt により電流スパイクが発生し、ゲート容量が充電され、外付けターンオフ抵抗や PCB 配線パターンが長いこと、またはその両方が原因で主なターンオフ経路が十分に強くない場合、シュートスルーが発生する可能性があります。

内部のアクティブ ミラー クランプ機能により、内部で強力なプルダウン FET を実現できます。パワー半導体デバイスのゲート電圧がミラー クランプ スレッシュホールド V_{CLMPH} を下回ると、FET がオンになります。ゲート電圧は CLMPI ピンを介して検出されます。図 6-7 に簡略化したブロック図を、図 6-8 にタイミング図を示します。

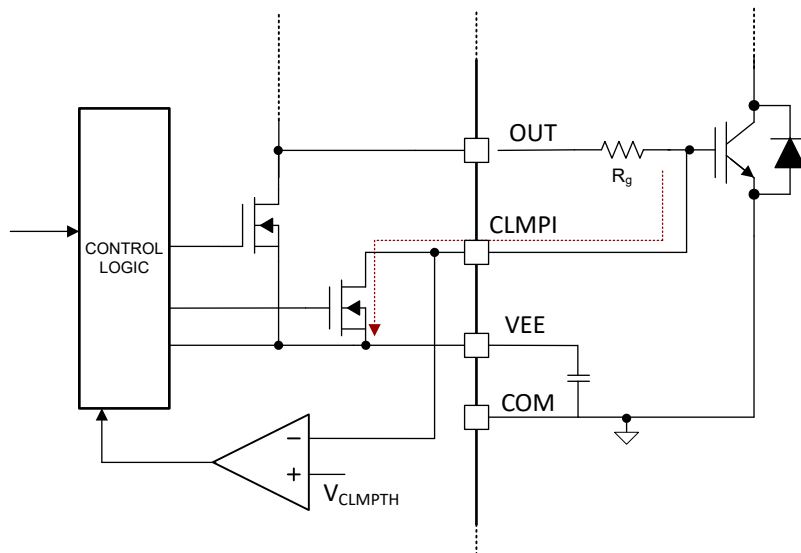


図 6-7. 内部アクティブ ミラー クランプ

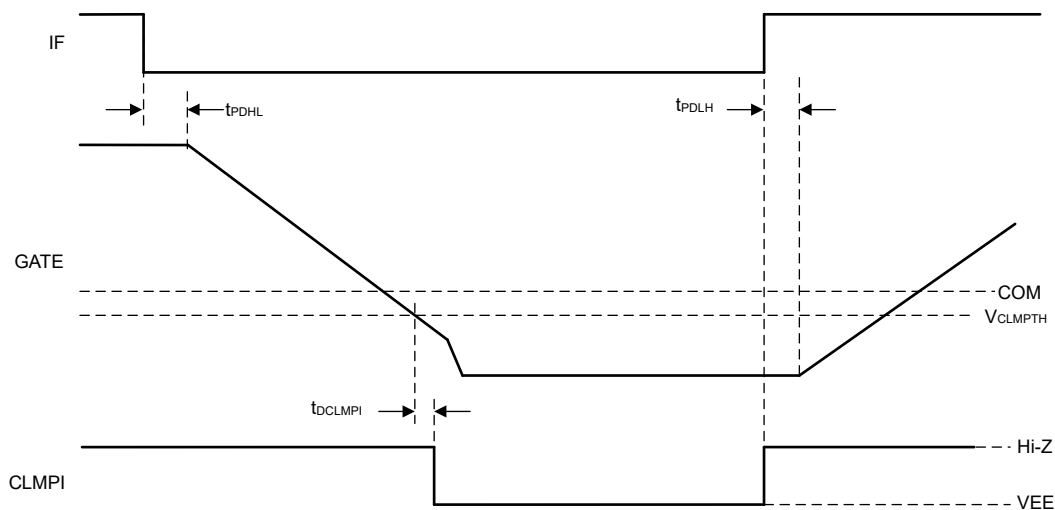


図 6-8. 内部アクティブ ミラー クランプ タイミング図

6.3.8 非飽和 (DESAT) 保護

UCC23711 は、故障発生時にパワー半導体デバイスを致命的な破壊から保護するため、高速な過電流および短絡保護機能を実装しています。DESAT ピンのスレッショルド $V_{DESATTH}$ は、パワー半導体デバイスのソースまたはエミッタである COM を基準としています。ドライバがオフ状態のとき、DESAT の誤動作トリガを防止するため、DESAT ピンは内部 MOSFET によってプルダウンされます。ドライバがオン状態のとき、内部電流源がアクティブになって、外部コンデンサを充電します。UCC23711 は、スイッチング過渡中のノイズによる誤トリガを防止するため、OUT が ON 状態に切り替わった後に内部リーディング エッジ ブランキング時間を備えています。ドライバがオフになると、内部プルダウン MOSFET が DESAT ピンの電圧を放電します。DESAT 回路の簡略化したブロック図を図 6-9 に示します。図 6-10 に、DESAT 故障、ソフト ターンオフ、故障通知、故障リセットを示すタイミング図を示します。

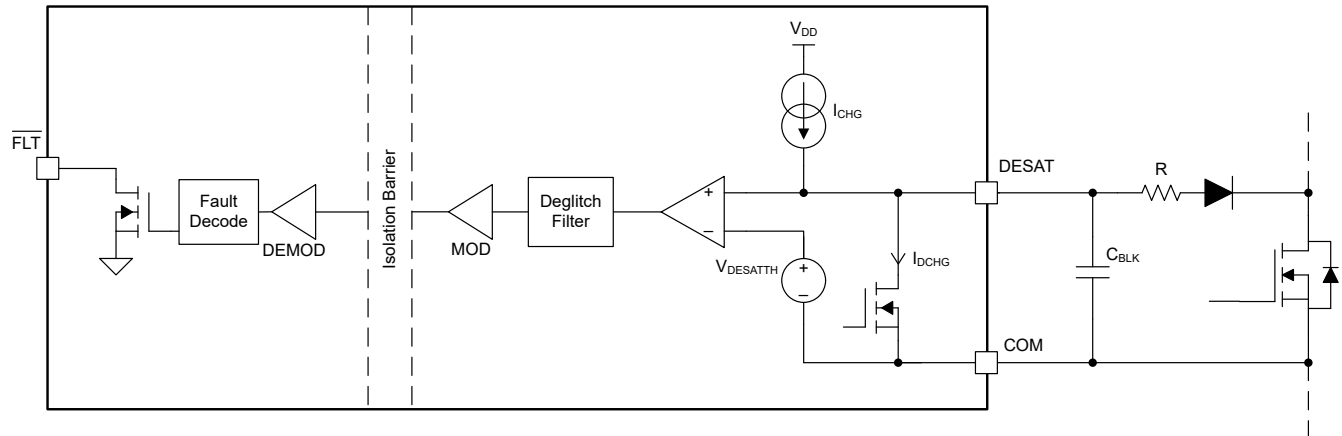


図 6-9. DESAT 保護

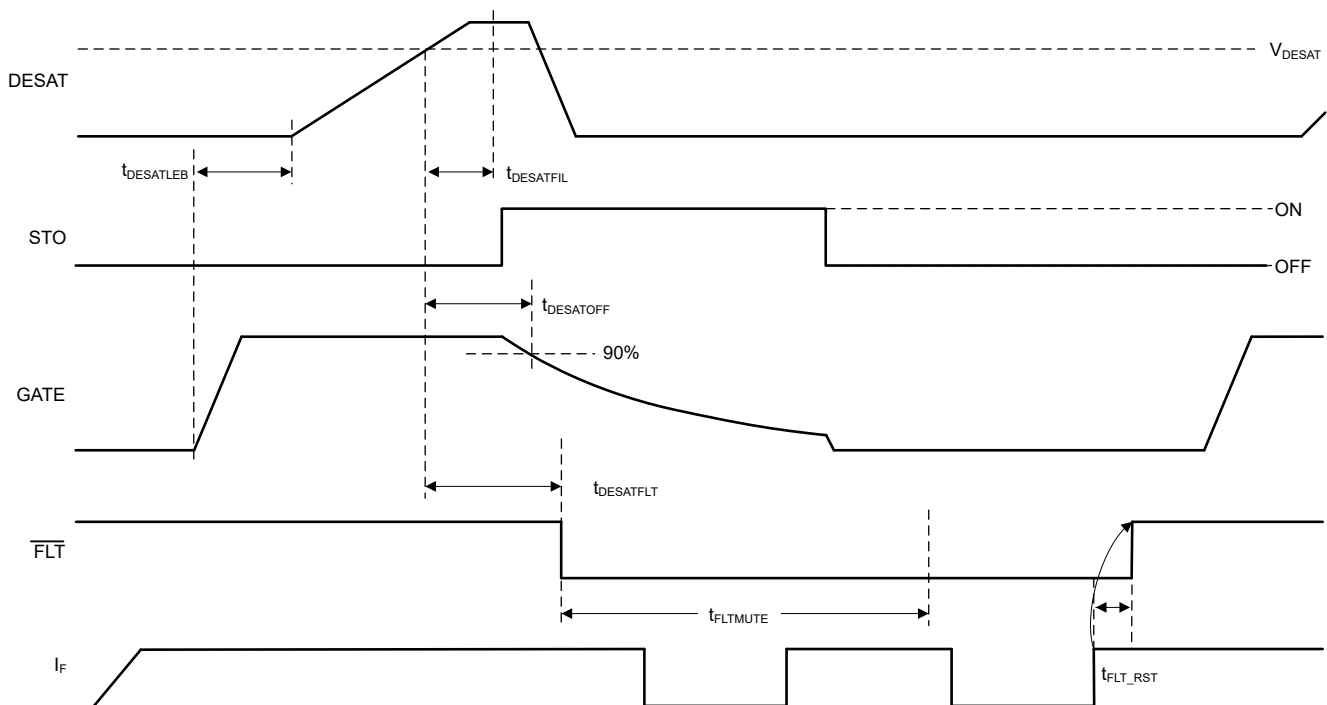


図 6-10. ソフト シャットダウン (ラッチオフ付き) による DESAT 保護のタイミング図

6.3.9 ソフト ターンオフ (STO)

DESAT 故障が検出されると、UCC23711 はソフト ターンオフ (STO) を開始し、パワー半導体デバイスを保護します。過電流または短絡イベントが発生すると、STO 機能はゲート電圧をゆっくりと放電し、チャネル電流による高い di/dt によってスイッチング デバイスに生じるオーバーシュート電圧を抑制します。オーバーシュート電圧と短絡エネルギーの間には、トレードオフを考慮する必要があります。ターンオフ速度はオーバーシュート電圧を抑制できる程度に十分遅くする必要がありますが、同時に、デバイス内での大きなエネルギー損失によって破壊が生じないよう、シャットダウン時間が過度に長くならないようにする必要があります。DESAT 故障が検出されると、STO 電流は OUT を通してシンクされます。図 6-10 にタイミング図を示します。

6.3.10 故障 (FLT) とリセット

$\overline{\text{FLT}}$ ピンはオープン ドレインであり、DESAT ピンで故障が検出されると、DSP/マイコン に故障信号を通知できます。故障が検出されると、 $\overline{\text{FLT}}$ ピンは GND にプルダウンされ、デバイスがリセットされるまで low 状態に保持されます。このデバイスには故障ミュート 時間 t_{FLTMUTE} があり、この期間内ではデバイスはリセットされません。

デバイスをリセットするには、 t_{FLTMUTE} 経過後に PWM 入力が高から low へ遷移する必要があります。ミュート時間が終了する前にトグルされた場合、デバイスはリセットされません。

図 6-10 にタイミング図を示します。

6.4 デバイスの機能モード

表 6-1 に、デバイスの機能を記載します。

表 6-1. 機能表

入力				出力		注
VCC	VDD	IF	DESAT (脱飽和)	FLT	OUT	
PU	PD	X	なし	HiZ	LO	VDD UVLO
PU	PU	X	なし	HiZ	LO	無効
PU	オープン	X	なし	HiZ	HiZ	OPEN VDD
PU	PU	LO	なし	HiZ	LO	入力制御
PU	PU	HI	なし	HiZ	HI	
PU	PU	LO	あり	LO	STO	DESAT/OC イベント
PU	PU	HI	あり	LO	STO	
PD	PU	HI	あり	HiZ	STO	

PU = パワーアップ (電源が UVLO 立ち上がりスレッショルドより高い)、PD = パワーダウン (電源が UVLO 立ち下がりスレッショルドを下回っている)、X: 無関係、HI = 出力 High、LO = 出力 Low、HiZ = 高インピーダンス、STO = ソフト ターンオフ

7 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

UCC23711 は、モータ制御、産業用インバータ、スイッチング電源などの用途において、MOSFET、IGBT、SiC MOSFET を含むパワー半導体デバイスを駆動するために設計された単一チャネル デバイスです。このデバイスは、標準的なフォトカプラ絶縁ゲートドライバに見られる従来の LED 入力段を置き換える、エミュレーテッド ダイオード (e-diode) 入力段を備えています。

e-diode を有効化するには、5mA～20mA の範囲内の順方向電流 (I_F) をアノードに印加する必要があります。この順方向電流によりゲートドライバ出力が high 状態に駆動され、その結果、パワー FET が有効になります。ただし、ほとんどのマイコン (マイコン) は電流駆動能力が限られているため、通常は マイコン とこのデバイスの入力段の間にバッファが必要になります。

バッファ電源電圧は通常 5V または 3.3V であり、e-diode に流れる電流を制限するために直列抵抗 (R_{EXT}) が必要です。最適な R_s 値の選定は重要であり、e-diode の順方向電流が推奨範囲である 5mA～20mA に収まるように選定すると同時に、抵抗の許容誤差、バッファの電源電圧許容差、そバッファの出力インピーダンスも考慮する必要があります。

e-diode は 25mA の連続順方向電流に耐えることができ、順方向電圧降下 (V_f) は最小 1.4V～最大 2V というデバイス間のばらつきが小さい特性を示します。順方向電圧降下の温度係数は 0.7mV/°C 未満であり、順方向バイアス領域における e-diode の動的インピーダンスは約 1Ω になります。これらの特性により、e-diode の順方向電流は優れた安定性を実現しています。入力段が電流で駆動されるため、特にマイコンを絶縁型ゲートドライバの近くに配置できない場合に、大電力のモーター駆動システムで必要とされる優れたノイズ耐性を確保できます。UCC23711、300kV/μs を上回るクラス最高の CMTI 性能を達成しています。

出力電源は、最大 30V の単一絶縁型電源、または絶縁型バイポーラ電源として外部から構成できます。正と負の電源電圧 ($V_{DD} - V_{EE}$) の差が 30V を超えない場合があります。また、システムがパワー グランド基準の単一電源を使用している場合には、外付けダイオードとコンデンサを用いて出力電源をブートストラップ構成にすることも可能です。

7.2 代表的なアプリケーション

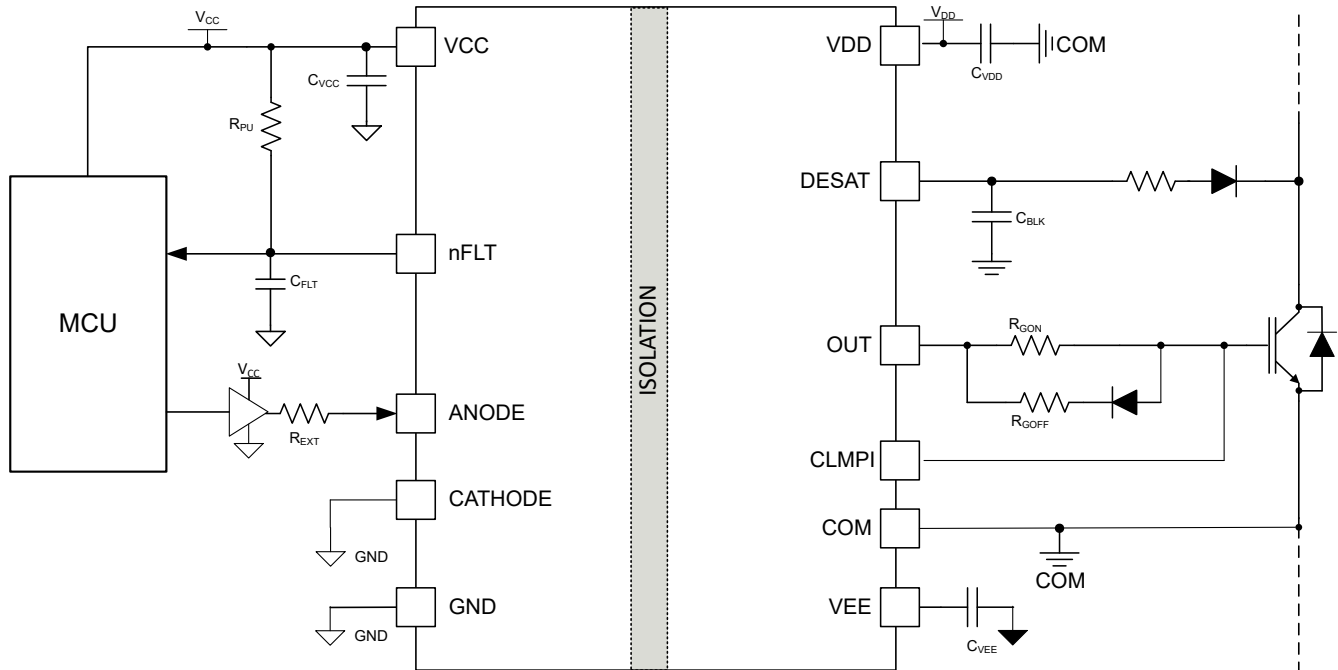


図 7-1. 代表的なアプリケーション回路図

7.2.1 設計要件

表 7-1 に、UCC23711 ゲートドライバの入力と出力を測定するための推奨条件を示します。

表 7-1. UCC23710 の設計要件

パラメータ	値	単位
V _{DD}	15	V
I _F	10	mA
スイッチング周波数	10	kHz

7.2.2 詳細な設計手順

7.2.2.1 入力抵抗の選択

入力抵抗は、順方向バイアス時に e-diode に流れる電流を制限します。スレッショルド電流 I_{FLH} の標準値は 1mA です。順方向電流の推奨動作範囲は 5mA～20mA です (e-diode オン)。すべての電氣的仕様は、この範囲内で保証されています。標準的な動作条件では、I_F が 10mA になるように抵抗を選択する必要があります。この電流の正確な値に影響を及ぼす要因を以下にリストします。

1. 電源電圧 V_{SUP} の変動
2. メーカーの抵抗に対する許容誤差と温度による変動
3. e-diode の順方向電圧降下の変動 (I_F = 10mA、V_F = 標準値 1.7V、最小値 1.4V、最大値 2V、温度係数 < 0.7mV/°C、ダイナミック インピーダンス < 1Ω)

単一のバッファとアノード抵抗の組み合わせを用いて UCC23710 の入力ステージを駆動する回路図を 図 7-2 に示します。入力抵抗は、表 7-2 を使って選択できます。最高の CMTI 性能を得るには、カソードをグラウンドに接続します。

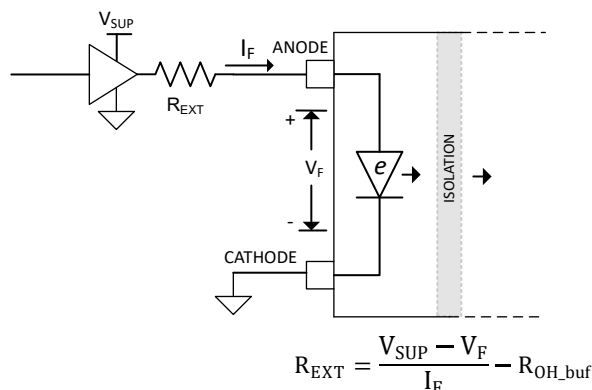


図 7-2. 1つのバッファとアノード抵抗を使用した入力段の駆動

表 7-2. 入力段を駆動するための R_{EXT} の値

構成	$R_{EXT} \Omega$		
	最小値	標準値	最大値
単一バッファと R_{EXT}	115	312	757

7.2.2.2 ゲート ドライバの出力抵抗

外部ゲートドライバ抵抗 $R_{G(ON)}$ および $R_{G(OFF)}$ は、以下の目的で使用します。

1. 寄生インダクタンスおよび容量に起因するリンギングの制限
2. 高電圧または高電流スイッチングの dv/dt 、 di/dt 、ボディ ダイオードの逆方向回復に起因するリンギングの制限
3. ゲート駆動強度 (すなわちピーク シンクおよびソース電流) の微調整によるスイッチング損失の最適化
4. 電磁干渉 (EMI) の低減

出力ステージには、ピーク ソース電流 5A のプルアップ回路が備わっています。式 1 を使用して、ピーク ソース電流を例として推定します。

$$I_{OH} = \min \left[5A, \frac{V_{DD} - V_{GDF}}{(R_{OH} + R_{GON} + R_{GFET_INT})} \right] \quad (1)$$

ここで、

- R_{GON} : 外付けターンオン抵抗
- R_{GFET_Int} : パワー トランジスタのデータシートに記載されているパワー トランジスタの内部ゲート抵抗。この例では 0Ω と想定しています
- I_{OH} : ピーク ソース電流 – 5A (ゲートドライバ ピーク ソース電流) とゲート駆動ループ抵抗に基づく計算値のうちの小さい方の値
- V_{GDF} : R_{GON} および R_{GOFF} と直列に接続された各ダイオードの順方向電圧降下。この例では、ダイオードの電圧降下は $0.7V$ です。

この例では、ピーク ソース電流は式 2 で計算されたように約 $1.15A$ です。

$$I_{OH} = \min \left[5A, \frac{15}{2.5\Omega + 10\Omega + 0\Omega} \right] = 1.2A \quad (2)$$

同様に、ピーク シンク電流を計算するには、式 3 を使用します。

$$I_{OL} = \min \left[5A, \frac{V_{DD} - V_{GDF}}{R_{OL} + R_{GON} \parallel R_{GOFF} + R_{GFET_INT}} \right] \quad (3)$$

ここで、

- R_{GOFF} : 外付けターンオフ抵抗
- I_{OL} : ピークシンク電流 – 5A (ゲートドライバ ピーク シンク電流) とゲート駆動ループ抵抗に基づく計算値のうちの小さい方の値

この例では、ピークシンク電流は 5A と 式 4 のうち小さい方になります。

$$I_{OL} = \min \left[5A, \frac{15 - 0.7}{0.7\Omega + 10\Omega \parallel (10\Omega + 0\Omega)} \right] = 2.51A \quad (4)$$

図 7-1 に示す R_{GOFF} と直列に接続されたダイオードは、ターンオン時およびターンオフ時に、それぞれゲート駆動電流が意図した経路を流れるようにします。ダイオードの順方向降下により、パワー スイッチのゲートの電圧レベルが低下することに注意します。レール ツー レールのゲート電圧レベルを実現するには、 V_{OUT} ピンとパワー スイッチ ゲートの間に抵抗を追加し、抵抗値を R_{GOFF} の約 20 倍にします。このセクションで説明する例では、100Ω~200Ω を選択することをお勧めします。

注

推定ピーク電流は、PCB レイアウトと負荷容量の影響も受けます。ゲートドライバのループの寄生インダクタンスは、ピーク ゲート駆動電流を遅れさせ、オーバーシュートとアンダーシュートを発生させる可能性があります。そのため、ゲートドライバのループをできるだけ小さくすることを強く推奨します。一方、パワートランジスタの入力容量が非常に小さい場合 (通常 1nF 未満)、立ち上がり時間および立ち下がり時間が極めて短く、寄生リング周期に近くなるため、ピークのソース電流およびシンク電流はループの寄生成分によって支配されます。

7.2.2.3 FLT 出力

FLT ピンは、オープンドレイン出力です。FLT ピンのプルアップ抵抗として、5kΩ の抵抗を使用できます。

寄生結合や同相モード ノイズによるノイズ耐性を向上させるため、FLT ピンとマイコンの間にローパス フィルタを追加することができます。100pF ~ 300pF のフィルタ コンデンサを追加できます。

7.2.2.4 ゲート ドライバの電力損失の推定

ゲートドライバ サブシステムの総損失 P_G には、UCC23711 デバイスの電力損失 (P_{GD}) と、外部ゲート駆動抵抗などのペリフェラル回路の電力損失が含まれます。

P_{GD} 値は、UCC23711 デバイスの熱的安定性に関連する制限値を決定する主要な電力損失で、複数の要因からの損失を計算することにより推定できます。

第 1 の要素は静的電力損失 P_{GDQ} で、無負荷時に特定のスイッチング周波数で動作しているときに、入力段で消費される電力 (P_{GDQ_IN}) と出力段で消費される静止電力 (P_{GDQ_OUT}) が含まれます。 P_{GDQ_IN} は I_F および V_F によって決定され、式 5 で計算されます。 P_{GDQ_OUT} パラメータは、所定の V_{DD} 、スイッチング周波数、周囲温度において、 V_{OUT} ピンに負荷が接続されていない状態でベンチ測定されます。この例では、 V_{DD} は 15V です。PWM を 10kHz でスイッチングした場合の電源電流は、 $I_{DD} = 1.33mA$ と測定されています。 P_{GDQ_OUT} は式 6 を使用して計算されます。

$$P_{GDQ_IN} = \frac{1}{2} \times V_F \times I_F \quad (5)$$

$$P_{GDQ_OUT} = V_{DD} \times I_{DD} \quad (6)$$

ゲートドライバで消費される総静止電力 (負荷容量なし) は、式 5 と式 6 を加えたもの (式 7) になります。

$$P_{GDQ} = P_{GDQ_IN} + P_{GDQ_OUT} = 9mW + 20mW = 29mW \quad (7)$$

第 2 の要素はスイッチング動作損失 P_{GDSW} であり、所定の負荷容量によりドライバは各スイッチング サイクル中に負荷を充放電します。負荷スイッチングからの総ダイナミック損失 P_{GSW} を計算するには、式 8 を使用します。

$$P_{GSW} = V_{DD} \times Q_G \times f_{SW} \quad (8)$$

ここで、

- $Q_G: V_{DD}$ におけるパワー トランジスタのゲート電荷

この例のアプリケーションでは、式 9 に示すように、負荷スイッチングによる総ダイナミック損失は約 18mW です。

$$P_{GSW} = 15V \times 120nC \times 10kHz = 18mW \quad (9)$$

Q_G は、50A で 520V をスイッチングするパワー トランジスタの総ゲート電荷量を表します。テスト条件が変わると、この値も変わる可能性があります。UCC23711 の出力段のゲートドライバ損失 (P_{GDO}) は P_{GSW} の一部です。外部ゲートドライバの抵抗とパワー トランジスタの内部抵抗が 0Ω で、ゲートドライバの損失がすべて UCC23711 の内部で消費される場合、 P_{GDO} は P_{GSW} と等しくなります。外部ターンオンおよびターンオフ抵抗が存在する場合、総損失はゲートドライバのプルアップ / プルダウン抵抗、外部ゲート抵抗、パワー トランジスタの内部抵抗に分散されます。ソース / シンク電流が 5A/5A に飽和していない場合、プルアップ / ダウン抵抗は線形かつ固定ですが、ソース / シンク電流が飽和している場合、プルアップ / ダウン抵抗は非線形であることに注意します。そのため、これらの 2 つの条件によって P_{GDO} は異なります。

ケース 1 - 線形のプルアップ / ダウン抵抗:

$$P_{GDO} = \frac{P_{GSW}}{2} \left[\frac{R_{OH}}{R_{OH} + R_{GON} + R_{GFET_{int}}} + \frac{R_{OL}}{R_{OL} + R_{GON}} \parallel \frac{R_{GOFF} + R_{GFET_{int}}}{R_{GOFF} + R_{GFET_{int}}} \right] \quad (10)$$

この設計例では、予測されるソースおよびシンク電流はすべて 5A 未満および 5A であるため、式 10 を使用して UCC23525 ゲートドライバ損失を推定します。

$$P_{GDO} = \frac{18mW}{2} \left[\frac{2.5\Omega}{2.5\Omega + 10\Omega + 0\Omega} + \frac{0.7\Omega}{0.7\Omega + 10\Omega} \parallel \frac{10\Omega + 0\Omega}{10\Omega + 0\Omega} \right] \quad (11)$$

ケース 2 - 非線形のプルアップ / ダウン抵抗:

$$P_{GDO} = f_{sw} \times \left[\int_0^{T_{R_{Sys}}} 5A \times (V_{DD} - V_{OUT}(t)) dt + \int_0^{T_{R_{Sys}}} 5A \times V_{OUT}(t) dt \right] \quad (12)$$

ここで、

- $V_{OUT}(t)$ は、ターンオンおよびターンオフ中のゲートドライバ出力ピンの電圧です。出力がある期間飽和している場合、この値は負荷コンデンサを充電または放電する定電流源 (ターンオン時は 5A、ターンオフ時は 5A) として簡素化できます。その結果、 $V_{OUT}(t)$ 波形は線形となり、 $T_{R_{Sys}}$ と $T_{F_{Sys}}$ は簡単に予測できます。

一部の条件で、プルアップ回路とプルダウン回路のどちらかのみが飽和し、他方が飽和していない場合、 P_{GDO} はケース 1 とケース 2 の組み合わせとなり、上記の説明に基づいて、プルアップとプルダウンに対して式を簡単に特定できます。

UCC23711 ゲートドライバ P_{GD} で消費されるゲートドライバの総損失は、式 13 を使用して計算します。

$$P_{GD} = P_{GDQ} + P_{GDO} = 29mW + 2.9mW = 31.9mW \quad (13)$$

7.2.2.5 V_{DD} コンデンサの選択

V_{DD} のバイパス コンデンサは、信頼性を高めるために不可欠です。十分な電圧定格、温度係数、静電容量公差の表面実装型の低 ESR/ESL 多層セラミック コンデンサ (MLCC) を推奨します。 C_{VDD} コンデンサには、50V、10 μ F の MLCC

と 50V、0.22 μ F の MLCC が選定されています。バイアス電源出力が V_{CC} ピンから比較的離れた場所に配置されている場合、10 μ F を超える値のタンタルまたは電解コンデンサを C_{VDD} と並列に接続する必要があります。

注

一部の MLCC の DC バイアスは、実際の容量値に影響を与えます。たとえば、25V、1 μ F の X7R コンデンサは、15V_{DC} の DC バイアスを印加した場合、わずか 500nF として測定されます。

7.2.2.6 過電流および短絡保護

標準的なデサチュレーション回路を DESAT ピンに適用できます。DESAT ピンの電圧スレッショルド V_{DESAT} を超えると、ソフト ターンオフが開始されます。故障は入力側の DSP/マイコン に通知されます。故障が検出されると出力は LOW に保持され、フォトカプラ エミュレータ入力における順方向電流によってのみリセットできます。最新の過電流および短絡検出時間により、SiC MOSFET および IGBT の短いシャットダウン時間を確保できます。

DESAT ピンを使用しない場合は、過電流故障の誤トリガを防止するため、COM に接続する必要があります。

- デサチュレーション回路には、高速逆回復の高耐圧ダイオードを使用することが推奨されます。突入電流を制限するため、高耐圧ダイオードと直列に抵抗を入れることが推奨されます。
- COM から DESAT に向けてショットキー ダイオードを接続することが、負電圧によってドライバが損傷するのを防ぐために推奨されます。
- 正電圧によってドライバが損傷するのを防ぐため、COM から DESAT に向けてツェナー ダイオードを接続することが推奨されます。

7.2.3 アプリケーション曲線

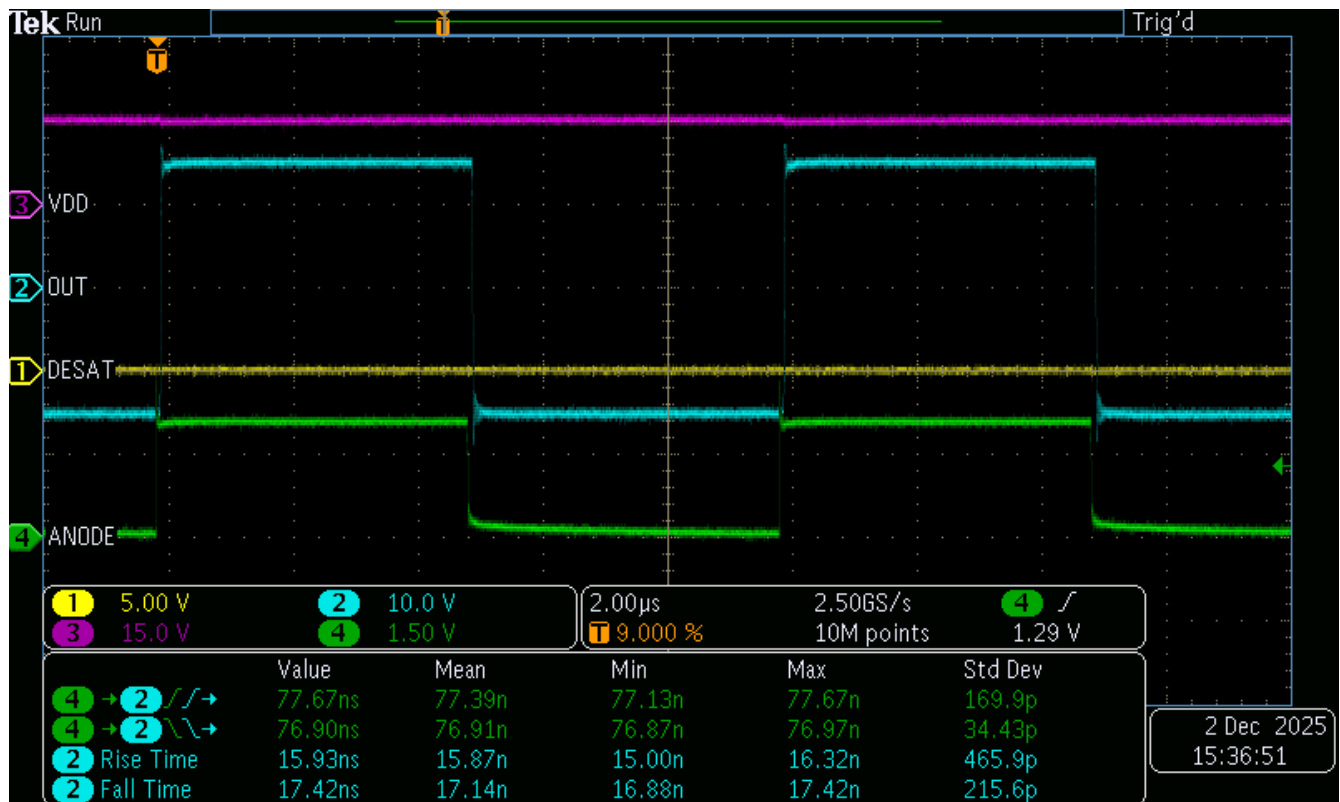


図 7-3. UCC23711 入力対出力の動作

7.3 電源に関する推奨事項

ターンオンおよびターンオフのスイッチング過渡中、ソースおよびシンクのピーク電流は VDD および VEE 電源から供給されます。大きなピーク電流により、VDD および VEE の電圧レベルがドレインして、電源で電圧降下が生じる可能性があります。電源を安定させ、信頼性の高い動作を確保するため、各電源にデカップリング コンデンサを配置することが推奨されます。このデバイスは $\pm 5A$ のピーク 駆動能力を備え、高い dV/dt を発生させる可能性があるため、VDD と COM、VEE と COM の間に $1\mu F$ のバイパス コンデンサを配置することが推奨されます。高周波ノイズを除去するため、VCC-GND および VDD-COM 間にも $0.1\mu F$ のデカップリング コンデンサを配置することが推奨されます。デカップリング コンデンサは、高周波ノイズを避けるために低 ESR および低 ESL にする必要があります。また、PCB レイアウトのシステム寄生成分からのノイズ結合を防止するため、VCC、VDD、VEE ピンにできる限り近づけて配置する必要があります。

e ダイオードを順方向バイアスするため、アノード ピンに直接接続した単一の抵抗を使用し、カソード ピンは GND に直接接続することが推奨されます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

デバイスは駆動能力が高いため、PCB 設計では慎重に検討する必要があります。以下にその要点を示します。

- PCB パターン上のゲート ループの寄生インダクタンスが減少するように、ドライバをパワー半導体のできるだけ近くに配置してください。
- 入力および出力電源のデカップリング コンデンサを、電源ピンのできるだけ近くに配置する必要があります。各スイッチング過渡で発生するピーク電流により、PCB パターンの寄生インダクタンスで高 dI/dt および高電圧スパイクが発生する可能性があります。
- ドライバ COM ピンは、SiC MOSFET ソースまたは IGBT エミッタのケルビン接続に接続する必要があります。電源デバイスに分割ケルビン ソースまたはエミッタがない場合は、COM ピンを電源デバイス パッケージのソースまたはエミッタ端子にできる限り近接して接続し、ゲート ループを大電力スイッチング ループと分離する必要があります。
- 入力側にグランド プレーンを使用して、入力信号をシールドします。出力側のスイッチング過渡によって発生する高周波ノイズが入力信号を歪める可能性があります。グランド プレーンは、リターン電流の流れに対して低インダクタンス フィルタを提供します。
- COM ピンを dc バスの負極に接続するローサイド スイッチにゲートドライバを使用する場合は、出力側のグランド プレーンを使用して、スイッチ ノードによって生成されるノイズから出力信号をシールドできます。ハイサイド スイッチにゲートドライバを使用して COM ピンをスイッチ ノードに接続する場合、グランド プレーンは推奨しません。
- 出力側でグランド プレーンを使用しない場合は、ピーク ソース電流とシンク電流が大きなゲート ループ グランドから DESAT と AIN のグランド ループの帰路を分離します。
- ゲートドライバの下には PCB パターンも銅箔も使用できません。絶縁バリアを汚染する可能性がある入力側と出力側との間でノイズ結合が発生しないよう、PCB カットアウトを推奨します。

7.4.2 レイアウト例

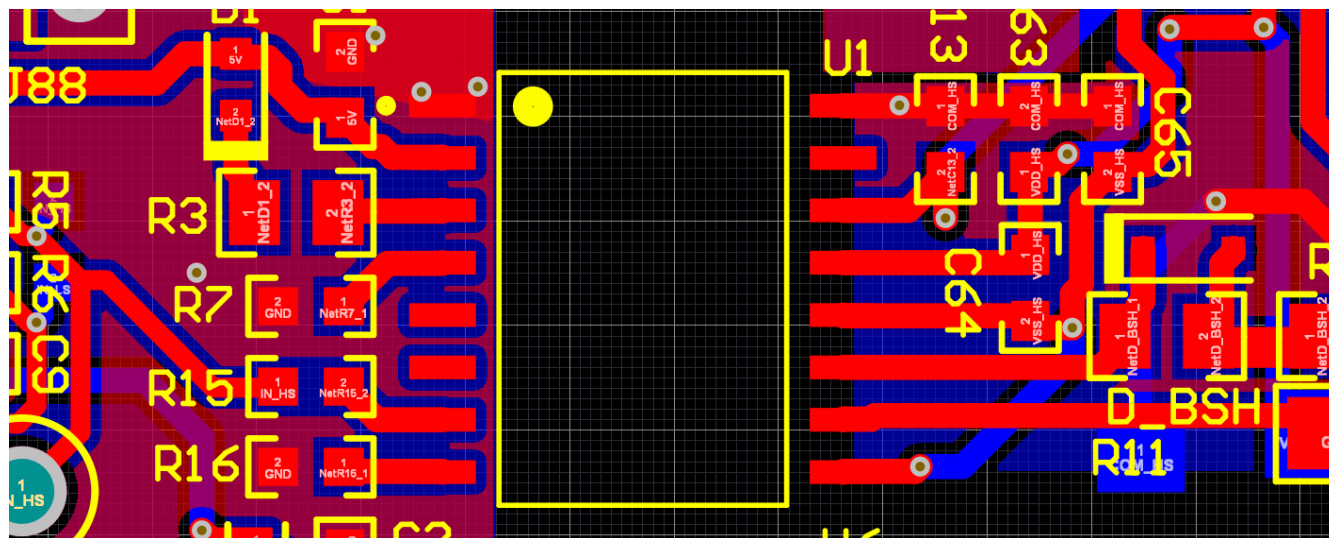


図 7-4. レイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- 『[絶縁の用語集](#)』

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
2025 年 12 月	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC23711BDWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	-	UCC23711B

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC23711BDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC23711BDWR	SOIC	DW	16	2000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

DW 16

SOIC - 2.65 mm max height

7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月