

UCC25600 8 ピン高性能共振モード コントローラ

1 特長

- 可変スイッチング周波数制御
- 4% 精度のプログラマブル最小スイッチング周波数
(3% 精度で温度範囲:-20°C~105°C)
- プログラマブルな最大スイッチング周波数
- 最高効率を実現するプログラマブル デッド タイム
- ソフトスタート時間をプログラム可能
- 容易なオン/オフ制御
- 過電流保護
- 過熱保護
- バイアス電圧の UVLO と過電圧保護
- 0.4A のソース電流と 0.8A のシンク電流駆動機能を備えたゲートドライバ内蔵
- 動作温度範囲:-40°C~125°C
- SOIC 8 ピン パッケージ

2 アプリケーション

- 100W~1kW の電源
- LCD、プラズマ、DLP® テレビ
- アダプタ、コンピューティング、ATX 電源
- ホームオーディオシステム
- 電子ライティング バラスト

3 概要

UCC25600 高性能、共振モード コントローラは、特に LLC ハーフブリッジ 共振コンバータのような共振トポロジを使用する DC/DC アプリケーション用に設計されています。この高集積コントローラは、8 ピン パッケージのみで周波数変調制御と包括的なシステム機能を実装しています。UCC25600 に切り替えることで、システム設計およびレイアウトが大幅に簡素化され、市場投入までの期間が短縮されます。これらすべてを、競合する 16 ピン デバイスよりも低い価格で実現できます。

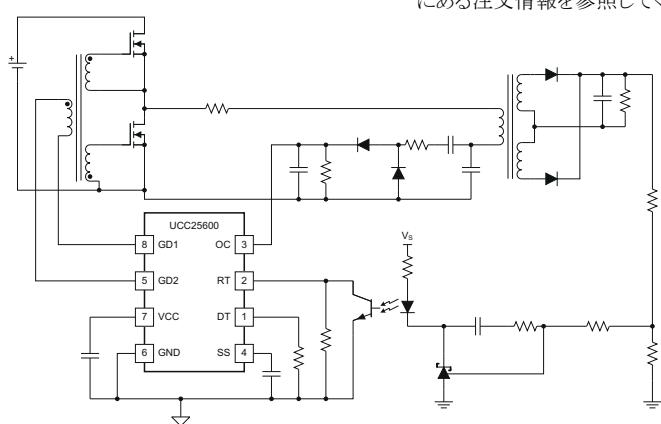
内部発振器は、40kHz~350kHz のスイッチング周波数をサポートします。この高精度発振器により、許容誤差 4% の最小スイッチング周波数制限が実現されるため、設計者は電力段の過剰設計を回避でき、システム全体のコストをさらに削減できます。プログラム可能なデッドタイムにより、最小の磁化電流でゼロ電圧スイッチングが可能です。これにより、さまざまなアプリケーションでシステム効率を最大化できます。プログラム可能なソフトスタートタイムにより、ハーフブリッジトポロジを使用する最終機器の多様な要件で要求される設計の柔軟性を最大限に高めることができます。0.4A のソース電流と 0.8A のシンク電流駆動能力を内蔵した結果、低コストで信頼性の高いゲートドライバトランジスタが現実の選択肢になります。

UCC25600 は、過電流、UVLO、バイアス電源 OVP、過熱保護などの完全なシステム保護機能を備えています。

製品情報 (1)

部品番号	パッケージ	本体サイズ(公称)
UCC25600	SOIC (8)	3.91mm × 4.90mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



代表的なアプリケーションの図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7.3 機能説明	10
2 アプリケーション	1	7.4 デバイスの機能モード	13
3 概要	1	8 アプリケーションと実装	14
4 改訂履歴	2	8.1 アプリケーション情報	14
5 ピン構成および機能	3	8.2 代表的なアプリケーション	18
6 仕様	4	9 電源に関する推奨事項	22
6.1 絶対最大定格	4	10 レイアウト	22
6.2 ESD 定格	4	10.1 レイアウトのガイドライン	22
6.3 推奨動作条件	4	10.2 レイアウト例	23
6.4 熱に関する情報	4	11 デバイスおよびドキュメントのサポート	24
6.5 電気的特性	5	11.1 サポート・リソース	24
6.6 代表的特性	7	11.2 商標	24
7 詳細説明	9	11.3 静電気放電に関する注意事項	24
7.1 概要	9	12 用語集	24
7.2 機能ブロック図	9	13 メカニカル、パッケージ、および注文情報	24

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (July 2015) to Revision D (August 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1

Changes from Revision B (June 2011) to Revision C (July 2015)	Page
• ESD 定格の表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加。	1

Changes from Revision A (September 2008) to Revision B (June 2011)	Page
• 電気的仕様に合わせて動作温度範囲を変更。	1

5 ピン構成および機能

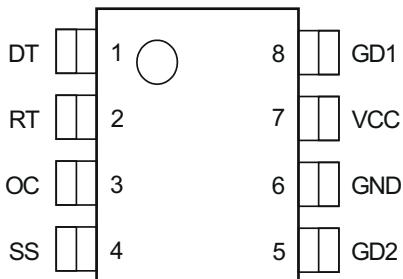


図 5-1. D パッケージ 8 ピン SOIC 上面図

表 5-1. ピンの機能

ピン		I/O	説明
名称	番号		
DT	1	I	このピンは、ハイサイドおよびローサイド スイッチ駆動信号のデッド タイムを設定します。抵抗をグランドに接続します。内蔵 2.25V 電圧リファレンスにより、抵抗を流れる電流によってデッド タイムが設定されます。このピンが誤ってグランドに短絡した場合の貫通電流を防止するため、最小デッドタイムは 120ns に設定されます。120ns 未満のデッド タイム設定では、自動的に 120ns のデッド タイムになります。
GD1	8	O	ハイサイドおよびローサイド スイッチ ゲートドライバ。ゲートドライバトランジスタの 1 次側をこれら 2 つのピンに接続して、ハーフブリッジを駆動します。
GD2	5	O	
GND	6	—	グランド
OC	3	I	過電流保護ピン。このピンの電圧が 1V を上回ると、ゲートドライバ信号はアクティブに Low にプルされます。電圧が 0.6V を下回ると、ゲートドライバ信号はソフトスタートで回復します。OC ピンの電圧が 2V を超える場合、デバイスはオフにラッチされます。VCC を UVLO レベル未満にすると、過電流ラッチがオフにリセットされます。
RT	2	I	このピンから流れ出る電流によって、ゲートドライバ信号の周波数が設定されます。レギュレーションの目的でスイッチング周波数を制御するには、フォトカプラコレクタをこのピンに接続します。抵抗をグランドと並列に接続して、ピンから流れ出す最小電流を設定し、最小スイッチング周波数を設定します。最大スイッチング周波数の制限を設定するには、フォトカプラトランジスタと抵抗を直列に接続するだけです。この抵抗は、ピンから流れ出る最大電流を設定し、最大スイッチング周波数を制限します。
SS	4	I	ソフトスタートピン。このピンは、システムのソフトスタート時間設定します。コンデンサをグランドに接続します。このピンを 1V 未満にすると、デバイスがディセーブルされ、オン / オフを簡単に制御できます。ソフトスタート機能は、バイアス電源 OV、UVLO、過電流保護、過熱保護など、すべてのフォルト条件の後にイネーブルになります。
VCC	7	—	バイアス電源。このピンは、20V 未満の電源に接続します。ノイズを除去するために、1μF コンデンサをグランドと並列に接続します。

6 仕様

6.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)⁽¹⁾

	最小値	最大値	単位
電源電圧、VCC	22		V
電圧、GD1、GD2	-0.5	VCC + 0.5	V
ゲートドライブ電流 - 連続、GD1、GD2		±25	mA
電流、RT		-5	mA
電流、DT		-0.7	mA
リード温度 (10 秒)		260	°C
動作時の接合部温度、T _J	-40	125	°C
保管温度、T _{stg}	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

6.2 ESD 定格

	値	単位
V _(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000
	デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	±500

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	公称値	最大値	単位
低インピーダンスの電源からの VCC 入力電圧	11.5		18.0	V
RT 抵抗	1		8.666	kΩ
DT 抵抗	3.3		39	kΩ
SS コンデンサ	0.01		1	μF

6.4 熱に関する情報

熱評価基準 ⁽¹⁾	UCC25600	単位
	D (SOIC)	
	8 ピン	
R _{θJA} 接合部から周囲への熱抵抗	118.5	°C/W
R _{θJC(top)} 接合部からケース (上面) への熱抵抗	72.5	°C/W
R _{θJB} 接合部から基板への熱抵抗	58.9	°C/W
Ψ _{JT} 接合部から上面への特性パラメータ	24.1	°C/W
Ψ _{JB} 接合部から基板への特性パラメータ	58.4	°C/W

- (1) 従来および最新の熱測定基準の詳細については、アプリケーションレポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

6.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
BIAS SUPPLY (VCC)					
VCC 電流、ディセーブル	SS = 0V	1	1.5		mA
VCC 電流、イネーブル	SS = 5V, $C_{GD1} = C_{GD2} = 1\text{nF}$	2.5	5	7.5	mA
VCC 電流、UVLO	VCC = 9V	100	400		μA
V_{UVLO}	UVLO turn-on threshold	VCC 立ち上がり時に測定	9.9	10.5	11.1
	UVLO turn-off threshold	VCC 立ち下がり時に測定	8.9	9.5	10.1
	UVLO ヒステリシス	VCC で測定	0.7	1	1.3
V_{OVP}	OVP turn-off threshold	VCC 立ち上がり時に測定	18	20	22
	OVP turn-on threshold	VCC 立ち下がり時に測定	16	18	20
	OVP ヒステリシス	VCC で測定	1.5	2	2.5
デッドタイム (DT)					
T_{DT} デッドタイム	$R_{DT} = 16.9\text{k}\Omega$	390	420	450	ns
発振器					
$F_{SW(min)}$	GD1、GD2 の最小スイッチング周波数	-40°C~125°C	40.04	41.70	43.36
		-20°C~105°C	40.45	41.70	42.95
K_{ICO}	スイッチング周波数ゲイン / I (RT)	$R_{RT} = 4.7\text{k}\Omega, I_{RT} = 0\sim 1\text{mA}$	60	80	100
	GD1、GD2 オン時間の不一致		-50		50
F_{SW_BM}	バーストモードを開始するスイッチング周波数	SS = 5V	300	350	400
	バーストモードから復帰するスイッチング周波数	SS = 5V	280	330	380
$F_{SW(start)}$	ソフトスタート時のスイッチング周波数	-40°C~125°C	122	142.5	162
		-20°C~105°C	125	142.5	160
外部ディセーブル / ソフトスタート					
スレッショルドをイネーブル	SS 立ち上がり時に測定	1.1	1.2	1.3	V
スレッショルドをディセーブル	SS 立ち下がり時に測定	0.85	1	1.1	V
ヒステリシスをディセーブル	SS で測定	0.15		0.35	V
プロパティ <i>delay</i> をディセーブル	SS (立ち下がり) と GD2 (立ち下がり) 間で測定	250	500	750	ns
I_{SS}	ISS ピンのソース電流	$V_{SS} = 0.5\text{V}$	-225	-175	-125
		$V_{SS} = 1.35\text{V}$	-5.5	-5	-4.5
ピーク電流制限					
$V_{OC1(off)}$	レベル 1 過電流スレッショルド - V_{OC} 立ち上がり		0.9	1	1.1
$V_{OC2(off)}$	レベル 2 過電流ラッチ スレッショルド - V_{OC} 立ち上がり		1.8	2.0	2.2
$V_{OC1(on)}$	レベル 1 過電流スレッショルド - V_{OC} 立ち下がり		0.5	0.6	0.7
T_{d_OC}	伝搬遅延		60	200	500
I_{OC}	OC バイアス電流	$V_{OC} = 0.8\text{V}$	-200		200
				nA	

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
ゲートトライプ					
GD1、GD2 出力電圧 High	$I_{GD1}, I_{GD2} = -20\text{mA}$	9	11	11	V
GD1、GD2 オン抵抗 High	$I_{GD1}, I_{GD2} = -20\text{mA}$	12	30	30	Ω
GD1、GD2 出力電圧 Low	$I_{GD1}, I_{GD2} = 20\text{mA}$	0.08	0.2	0.2	V
GD1、GD2 オン抵抗 Low	$I_{GD1}, I_{GD2} = 20\text{mA}$	4	10	10	Ω
立ち上がり時間 GDx	1V から 9V、 $C_{LOAD} = 1\text{nF}$	18	35	ns	
立ち下がり時間 GDx	9V から 1V、 $C_{LOAD} = 1\text{nF}$	12	25		
UVLO 時の GD1、GD2 出力電圧	$VCC = 6\text{V}, I_{GD1}, I_{GD2} = 1.2\text{mA}$	0.5	1.75	1.75	V
サーマル シャットダウン					
サーマル シャットダウンのスレッショルド		160		160	$^{\circ}\text{C}$
サーマル シャットダウン回復スレッショルド		140		140	$^{\circ}\text{C}$

6.6 代表的特性

$V_{CC} = 12V$ 、 $R_{RT} = 4.7k\Omega$ 、 $R_{DT} = 16.9k\Omega$ 、 $V_{SS} = 5V$ 、 $V_{OC} = 0V$ 、すべての電圧値は GND を基準にしており、 $T_J = T_A = 25^{\circ}\text{C}$ (特に記述のない限り)。

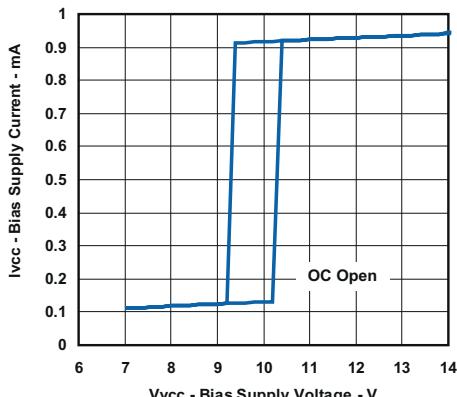


図 6-1. バイアス電源電流とバイアス電源電圧との関係

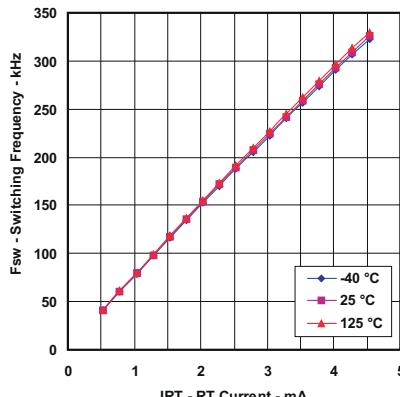


図 6-2. スイッチング周波数と RT 電流との関係

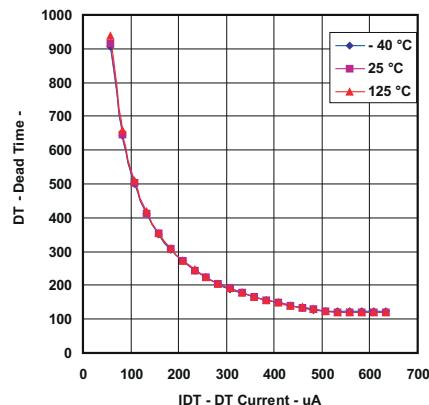


図 6-3. デッドタイムと DT 電流との関係

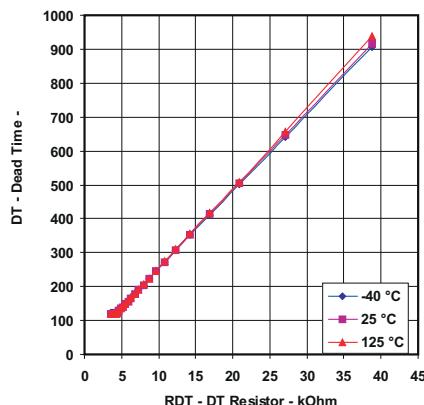


図 6-4. デッドタイムと DT 抵抗との関係

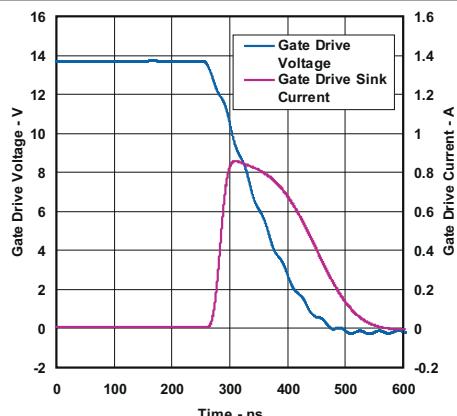


図 6-5. ゲートドライブ立ち下がり、 $V_{CC} = 15V$

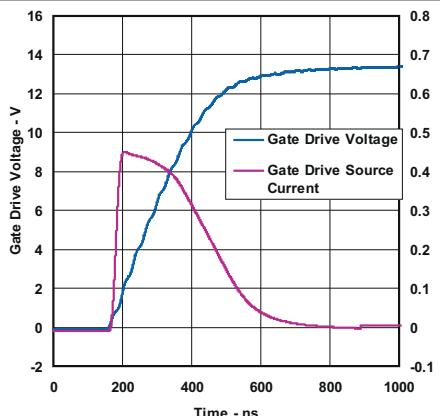


図 6-6. ゲートドライブ立ち上がり、 $V_{CC} = 15V$

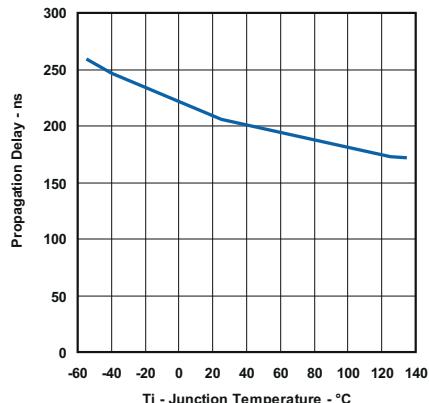


図 6-7. 過電流伝搬遅延と温度との関係

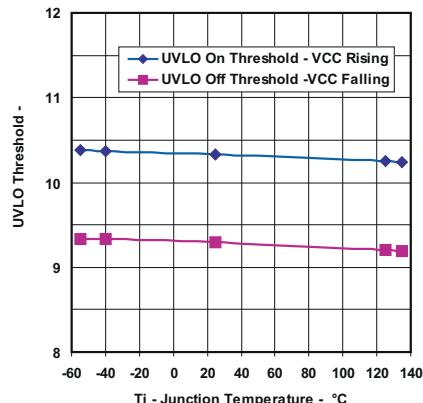


図 6-8. UVLO スレッショルドと温度との関係

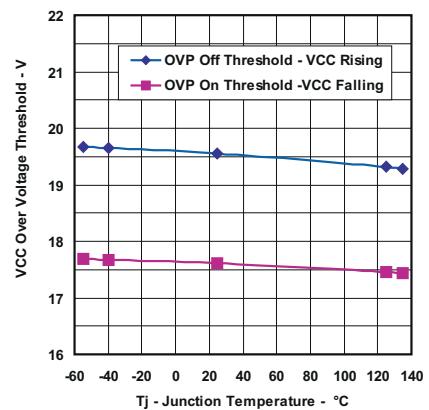


図 6-9. VCC 過電圧スレッショルドと温度との関係

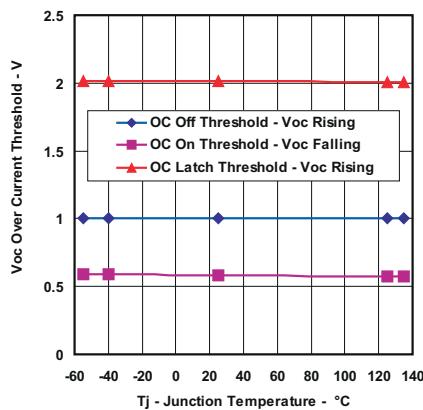


図 6-10. 過電流スレッショルドと温度との関係

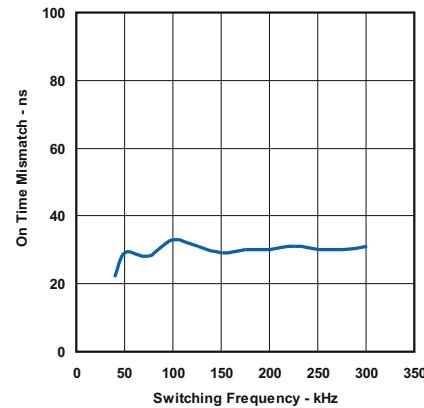


図 6-11. オン時間不整合とスイッチング周波数との関係

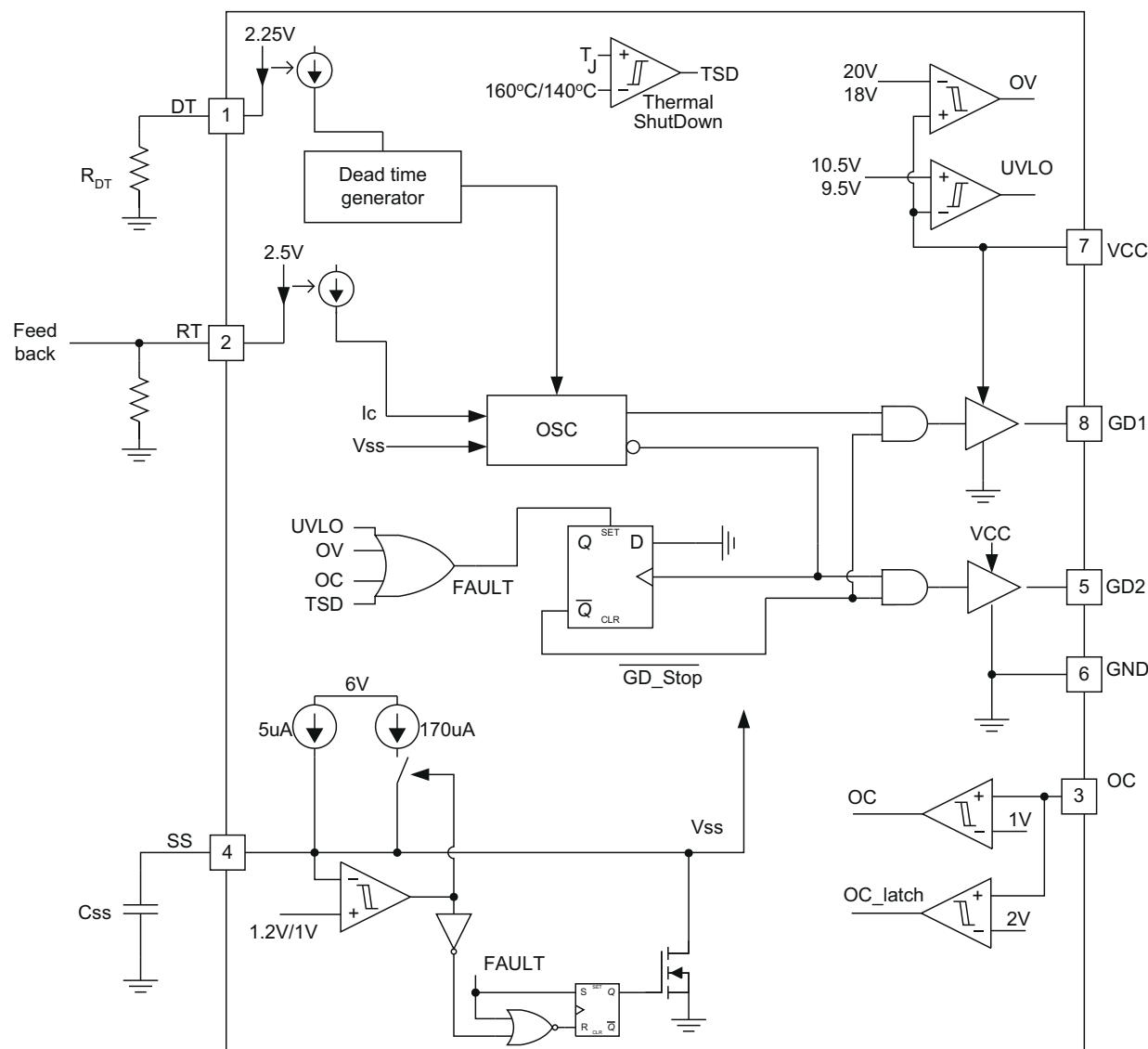
7 詳細説明

7.1 概要

高い電力密度と高効率の要件により、LLC トポロジは多くのアプリケーションで採用されています。LLC 共振コンバータは、ハードスイッチ ブリッジトポロジや位相シフトフル ブリッジと比較して、多くの独自特性と改善を実現しています。たとえば、LLC は単純な構造を採用しており、1 次側 MOSFET のゼロ電圧スイッチング (ZVS) と、2 次側整流器のゼロ電流スイッチング (ZCS) を無負荷から全負荷まで実現できます。

UCC25600 デバイスは、LLC 共振ハーフブリッジ コントローラであり、最新の効率向上機能と高度な保護機能を内蔵して、コスト効率の優れたソリューションを実現します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 ソフトスタート

スタートアップおよびフォルト回復条件下では、過剰な共振タンク電流を防止し、ゼロ電圧スイッチング (ZVS) を保証するために、ソフトスタートが常に実装されています。ソフトスタート中は、スイッチング周波数が上昇します。ソフトスタート時間は、SS ピンとグランドの間にコンデンサを接続することでプログラムできます。

ソフトスタートピンは、デバイスのオン / オフ制御ピンとしても機能します。SS ピンをアクティブに 1V 未満にプルすると、デバイスはディセーブルされます。プルダウンを除去すると、内部充電電流により SS ピンの電圧が上昇します。SS ピンが 1.2V を超えると、デバイスはゲートドライバ信号の生成を開始し、ソフトスタートモードに移行します。ソフトスタートの時間シーケンスを 図 7-1 に示します。

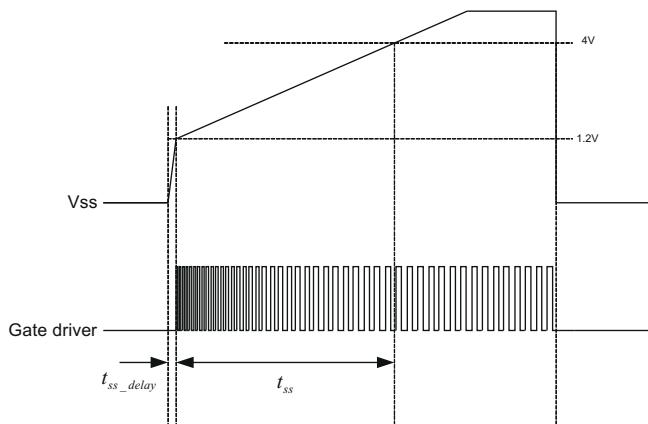


図 7-1. ソフトスタートシーケンス

ON コマンドからゲートドライバ信号が現れるまでに長い遅延が生じないように、SS ピンの電流を 2 つの異なるレベルに設定します。SS ピンの電圧が 1.2V より低い場合、SS ピンの出力電流は $175\mu A$ です。この大電流により、ソフトスタートピンのコンデンサが短時間で 1.2V まで充電され、時間遅延が短縮されます。この時間遅延は、次の式で計算できます。

$$t_{ss_delay} = \frac{1.2V}{175\mu A} C_{ss} \quad (1)$$

ソフトスタート時のスイッチング周波数は、**RT** ピンから流れ出る電流と **SS** ピンの電圧の両方によって決定されます。スイッチング周波数は、次の式に基づいて計算できます。

$$f_s = \frac{1}{2} \frac{1}{\frac{6ns \times 1A}{I_{RT} + \left(1.81mA - \frac{V_{SS}}{2.2k\Omega} \right)} + 150ns} \quad (2)$$

SS ピンの電圧が **4V** に達すると、ソフトスタート期間が終了し、スイッチング周波数は **RT** ピンの電流の要求と同じになります。**SS** ピンを **1.2V~4V** で充電するのに要する時間は、ソフトスタート時間として定義され、次のように計算できます。

$$t_{SS} = \frac{2.8V}{5\mu A} C_{SS} \quad (3)$$

信頼性の高い動作を保証するため、**GD2** が **High** になった状態でゲートドライバが再起動します。これにより、システム起動時の不確定性を防止できます。

7.3.2 過電流保護

過負荷電流状態での電力段の障害を防止するため、UCC25600 には過電流保護機能が搭載されています。専用の **OC** ピンを使用している場合、**OC** ピンの電圧が **1V** を上回ると電力段がシャットダウンされます。**OC** ピンの電圧が **0.6V** を下回ると、ゲートドライバはソフトスタートで回復します。システムの安全性を強化するため、**OC** ピンが **2V** を超えると UCC25600 によってシステム全体がラッチアップされます。VCC を UVLO レベルより低く設定すると、デバイスがリセットされます。

図 7-2 に示すセンシング ネットワークを使用することで、共振コンデンサの両端の電圧を通して間接的に電流を検出できます。

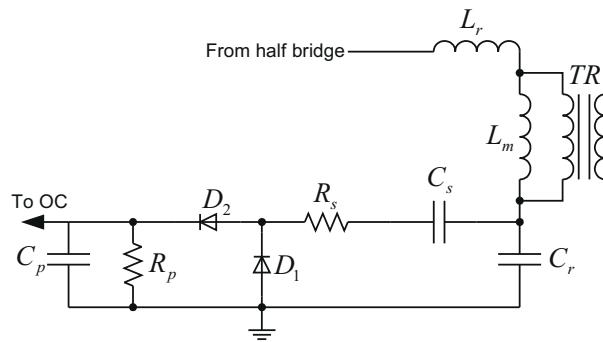


図 7-2. LLC 共振コンバータ向け電流センシング

このセンシング方法の一般的な概念は、共振コンデンサの両端の AC 電圧は負荷電流に比例するというものです。

FHA モデルに従い、共振コンデンサ上の AC 成分のピーク電圧は次のように計算できます。

$$V_{Cr_pk} = \frac{4}{\pi} n V_o \left| \frac{j f_n L_n Q_e + 1}{f_n^2 L_n} \right| \quad (4)$$

したがって、共振コンデンサ電圧は、最小スイッチング周波数および最大負荷時に最大値に達します。この式により、電流センシング ネットワークの成分を計算できます。FHA の性質上、最終的な回路パラメータは、実際のハードウェア テストで検証する必要があります。

表 7-1. 計算された電流センシング ネットワークの成分

名称	機能	設計の式
R_s	共振コンデンサ両端間の AC 電圧を電流源に転送	$R_s = \frac{V_{Cr_pk}(\max)^2}{2P_{Rs}(\max)} \quad (5)$
C_s	共振コンデンサの DC 電圧のプロッキング	$C_s = \frac{10}{R_s f_{\min}} \quad (6)$
R_p	電流源の負荷抵抗	$R_p = \frac{R_s}{V_{Cr_pk}(\max)} \pi \quad (7)$
C_p	フィルタ コンデンサ	$C_p = \frac{10}{R_p f_{\min}} \quad (8)$

7.3.3 ゲート ドライバ

ハーフブリッジ共振コンバータは、デューティ サイクルが 50% 近くの可変周波数方形波電圧によって制御されます。これにより、ハーフブリッジをゲートドライバトランジスで簡単に駆動できます。ハーフブリッジ ドライバ デバイスに比べて、ゲートドライバトランジスを採用すると、シンプルで信頼性の高いソリューションを実現できます。その結果、

- ゲートドライバ向け電源が不要
- レイアウトの簡素化が可能
- トランジスの結合に起因する貫通電流を防止
- ラッチアップが不要

UCC25600 は、ソース電流 0.4A、シンク電流 0.8A の 2 個のゲートドライバを内蔵しており、ゲートドライバトランジスを直接駆動できます。

LLC 共振コンバータの場合、ゲートドライバ信号が正確に対称であることが重要です。それ以外の場合、共振タンク動作は対称的になります。出力整流器では負荷電流分布が不均衡になるため、電力段の過剰設計と熱管理が必要になります。

UCC25600 では、ゲートドライバ出力が正確にトリムされ、50ns 未満の不整合が生じます。ゲートドライバの信号は非常に対称的ですが、高速過渡時にトランジスの飽和を防止するため、ゲートドライバトランジスの 1 次側に DC プロッキング コンデンサを挿入することを推奨します。

7.3.4 過熱保護

UCC25600 は、その接合部温度を継続的に検出します。その接合部温度が 160°C を上回ると、デバイスは過熱保護モードに移行し、両方のゲートドライバがアクティブに Low にプルされます。接合部温度が 140°C を下回ると、ゲートドライバはソフトスタートで再起動します。

7.4 デバイスの機能モード

7.4.1 バースト モード動作

軽負荷条件では、共振コンバータはスイッチング周波数を高くして、出力電圧のレギュレーションを維持する傾向があります。ただし、トランジスタの寄生コンデンサと整流ダイオード接合部コンデンサに起因するリンクが原因で、これらのコンデンサを経由してエネルギーが直接負荷に転送される可能性があります。この電力が負荷に必要な電力を超えると、出力電圧がレギュレーション レベルを超えます。この場合、スイッチング周波数をさらに高くしても状況は改善されません。負荷へのエネルギー転送は電力段 자체を経由しないからです。

この状態で出力過電圧を防止するため、UCC25600 にはバーストモード動作機能が搭載されています。制御ループが 350kHz を上回るスイッチング周波数を必要とすると、ゲートドライバがディセーブルされ、電力段はスイッチングを停止します。出力電圧が低下すると、制御ループは 330kHz 未満のスイッチング周波数を要求し始め、ゲートドライバは回復し、電力段は再度電力の供給を開始します。これにより、出力電圧をレギュレートできます。

このバースト モードは、最大スイッチング周波数を 350kHz 未満に制限することで、簡単にディセーブルできます。このようにして、制御ループは 350kHz を超えるスイッチング周波数を要求せず、バースト モード動作も発生しません。

7.4.2 VCC

VCC が 10.5V を上回ると、デバイスはイネーブルになり、すべてのフォルト条件がクリアされた後、ゲートドライバはソフトスタートで起動します。VCC が 9.5V を下回ると、デバイスは UVLO 保護モードに入り、両方のゲートドライバがアクティブに Low にプルされます。VCC が 20V を上回ると、デバイスは VCC 過電圧保護モードに移行し、両方のゲートドライバがアクティブに Low にプルされ、デバイスはディセーブルされます。VCC 電圧が 18V を下回ると、VCC 過電圧保護はソフトスタートで回復します。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インストルメンツの製品仕様に含まれるものではなく、テキサス・インストルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

UCC25600 デバイスは高性能の共振モード コントローラで、特に LLC ハーフブリッジ共振コンバータのような共振トポロジを使用する DC/DC アプリケーション用に設計されています。

8.1.1 動作原理

ソフトスイッチング機能、高効率、長いホールドアップ時間により、LLC 共振コンバータはデジタル TV、AC/DC アダプタ、コンピュータの電源など多くのアプリケーションに魅力的になっています。図 8-1 に LLC 共振コンバータの回路図を示します。

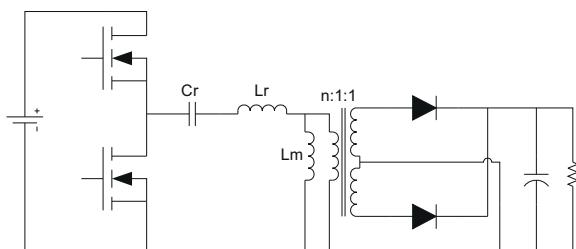


図 8-1. LLC 共振コンバータ

LLC 共振コンバータは、直列共振コンバータ (SRC) をベースにしています。トランスの磁化インダクタを使用することで、広い範囲の入力電圧と負荷にわたってゼロ電圧スイッチングを実現できます。複数の共振の結果、スイッチング周波数が共振周波数より高い、または低い場合でも、ゼロ電圧スイッチングを維持できます。これにより、コンバータの設計が簡素化され、システムの損傷につながる可能性のあるゼロ電流スイッチング領域が回避されます。このコンバータは、公称入力電圧において、共振周波数の近くで動作するときに、最高の効率を実現します。スイッチング周波数が低くなると、電圧ゲインは大幅に増加します。これにより、入力電圧が低下しても、コンバータはレギュレーションを維持できます。これらの特長から、このコンバータは高電圧の昇圧 PFC プリレギュレータの出力で動作するのに理想的であり、短時間の AC ライン電圧ドロップアウトに耐えることができます。

共振コンバータの性質上、共振部品のすべての電圧と電流はほぼ正弦波です。LLC 共振コンバータのゲイン特性は、第 1 高調波近似 (FHA) に基づいて分析されます。これは、すべての電圧と電流が、スイッチング周波数と同じ周波数を持つ正弦波形状として扱われることを意味します。

コンバータの動作原理により、図 8-2 に示す等価回路として LLC 共振コンバータを描画できます。

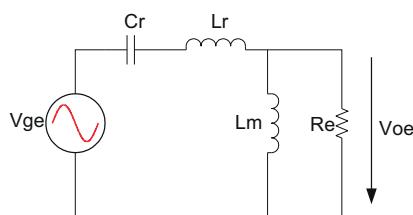


図 8-2. LLC 共振コンバータ等価回路

この等価回路では、 V_{ge} と V_{oe} は、それぞれハーフブリッジによって生成される電圧とトランジスタの 1 次側電圧の基本高調波です。これらの電圧は、フーリエ解析で計算できます。負荷抵抗 R_e は負荷の等価抵抗で、次のように計算できます。

$$R_e = \frac{8}{\pi^2} n^2 R \quad (9)$$

この等価回路に基づき、さまざまなスイッチング周波数でのコンバータ ゲインは次のように計算できます。

$$\frac{V_o}{V_{DC}/2} = \left| \frac{\frac{j\omega L_m R_e}{j\omega L_m + R_e}}{\frac{j\omega L_m R_e}{j\omega L_m + R_e} + \frac{1}{j\omega C_r} + j\omega L_r} \right| \quad (10)$$

この式で、 $V_{DC}/2$ はハーフブリッジ構造による等価入力電圧です。

表 8-1. 回路定義の計算

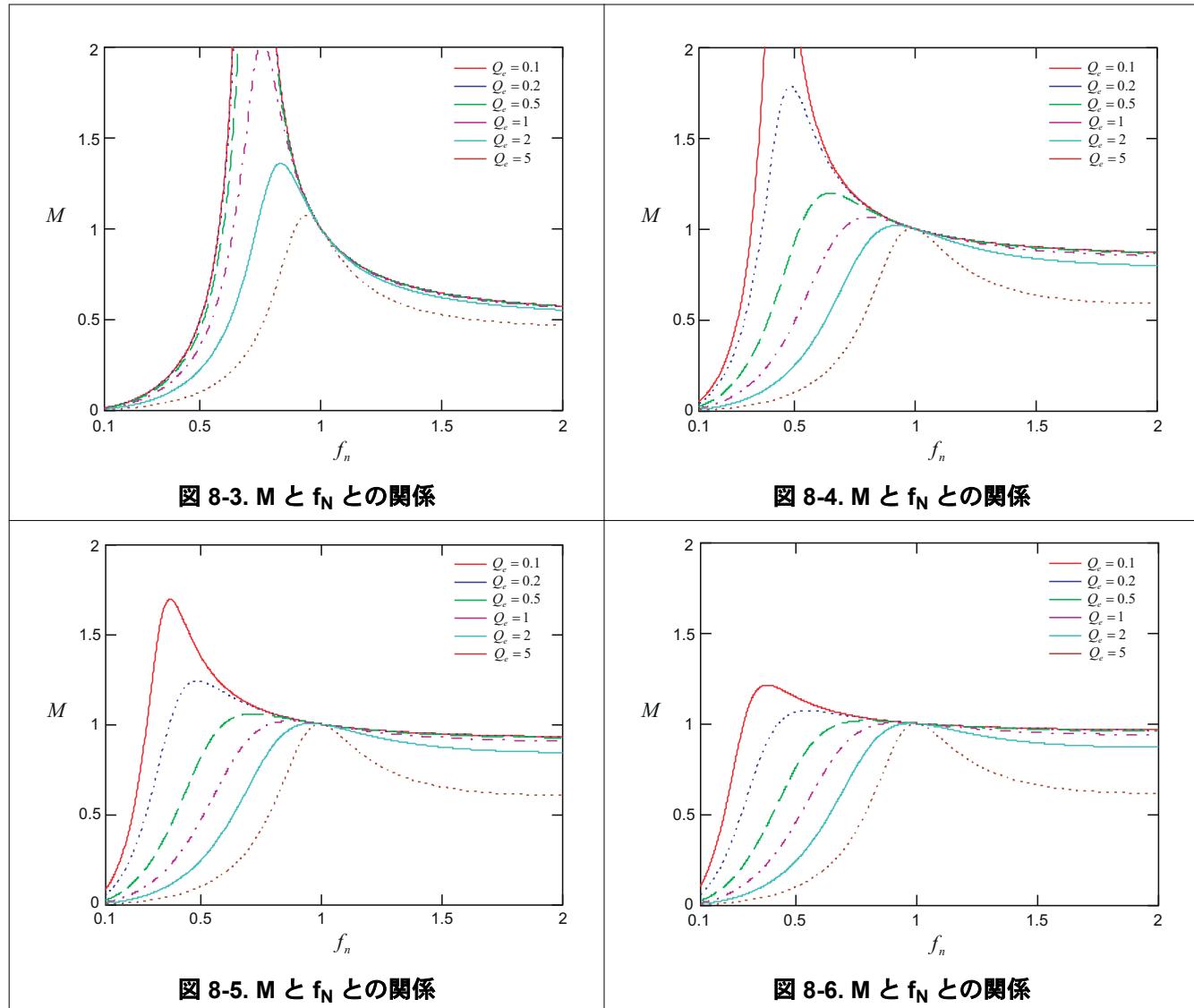
正規化ゲイン	共振周波数	品質係数	正規化周波数	インダクタ比
$M = \frac{V_o}{V_{DC}/2}$ (11)	$f_0 = \frac{1}{2\pi\sqrt{L_r C_r}}$ (12)	$Q_e = \frac{\sqrt{L_r / C_r}}{R_e}$ (13)	$f_n = \frac{f}{f_0}$ (14)	$L_n = \frac{L_m}{L_r}$ (15)

表 8-1 の定義に従うと、さまざまなスイッチング周波数でのコンバータ ゲインは次のように作成できます。

$$M = \left| \frac{L_n \times f_n^2}{[(L_n + 1) \times f_n^2 - 1] + j[(f_n^2 - 1) \times f_n \times Q_e \times L_n]} \right| \quad (16)$$

FHA の関係で、このゲイン式は近似値です。スイッチング周波数が共振周波数から離れると、誤差は大きくなります。ただし、この式は設計ツールとして使用できます。最終的な結果は、時間ベースのシミュレーションまたはハードウェア テストで検証する必要があります。

式 16 から、スイッチング周波数が共振周波数と等しい場合、 $f_n = 1$ で、コンバータの電圧ゲインは 1 になります。各種の負荷およびインダクタ比条件でのコンバータ ゲインを 図 8-3 から 図 8-6 までに示します。



LLC 共振コンバータは、その動作原理に基づき、パルス周波数変調 (PFM) を通じて制御されます。入力と出力の条件に応じてスイッチング周波数を調整することで、出力電圧を制御します。スイッチング周波数を共振周波数に近い値に設定することで、公称入力電圧で最適な効率が得られます。入力電圧が低くなると、スイッチング周波数が低下してゲインを増幅し、レギュレーションを維持します。

UCC25600 共振ハーフブリッジ コントローラは、可変スイッチング周波数制御を使用して共振タンクのインピーダンスを調整し、出力電圧をレギュレートします。この 8 ピン パッケージ デバイスには、システム性能を最適化し、設計とレイアウトを大幅に簡素化するための重要な機能が内蔵されています。

8.1.2 可変デッドタイム

共振ハーフブリッジコンバータは、ソフトスイッチングを実現し、スイッチング損失を低減するために、MOSFETターンオフ時の共振タンク電流に依存します。ターンオフ電流が大きいと、接合部コンデンサを放電するためのエネルギーが増加しますが、ターンオフ損失が大きくなります。ターンオフ電流が小さいとターンオフ損失が減少しますが、MOSFETの接合部コンデンサを放電し、ソフトスイッチングを実現するには、より長い時間が必要です。適切なデッドタイムを選択することで、ターンオフ電流を最小化すると同時に、ゼロ電圧スイッチングを維持し、最高のシステム性能を実現できます。

UCC25600では、DTピンとグランドとの間の単一の抵抗によりデッドタイムを調整できます。内蔵の2.25V電圧リファレンスにより、抵抗を流れる電流によってデッドタイムが設定されます。

$$t_d = 20\text{ns} + R_{dt} \times 24\text{ns} / k\Omega \quad (17)$$

DTピンが誤ってグランドに接続された場合の貫通電流を防止するため、2つのゲートドライバ出力には120ns以上のデッドタイムを挿入します。120ns未満のデッドタイム設定は、120nsに制限されます。

8.1.3 発振器

可変スイッチング周波数制御により、UCC25600は内部発振器に依存してスイッチング周波数を変化させます。発振器は、RTピンから流れ出る電流によって制御されます。ソフトスタート時を除き、ゲート信号周波数とRTピンから流れ出る電流との関係は次のように表すことができます。

$$f_s = \frac{1}{2} \frac{1}{\frac{6\text{ns} \times 1A}{I_{RT}} + 150\text{ns}} \approx I_{RT} \times 83\text{Hz} / \mu A \quad (18)$$

スイッチング周波数は電流に比例するため、RTピンから流れ出す最大および最小電流を制限することで、コンバータの最小および最大スイッチング周波数を簡単に制限できます。図8-7に示すように、RTピンとグランドの間に抵抗を接続すると最小電流が制限され、フォトカプラと直列に抵抗を接続すると最大電流が制限されます。

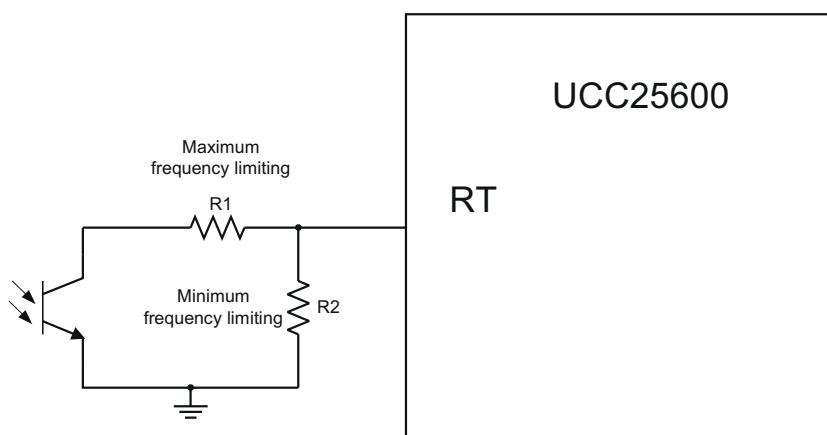


図8-7. UCC25600 の最大および最小周波数設定

周波数制限抵抗は、以下の式に基づいて計算できます。

$$I_{f \max} = \frac{6ns}{\frac{1}{2f_{\max}} - 150ns} \quad (19)$$

$$I_{f \min} = \frac{6ns}{\frac{1}{2f_{\min}} - 150ns} \quad (20)$$

$$I_{f \max} = 2.5V \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \quad (21)$$

$$I_{f \min} = \frac{2.5V}{R_2} \quad (22)$$

8.2 代表的なアプリケーション

この設計例では、HPA341 EVM の設計について説明し、300W LLC 共振ハーフブリッジコンバータの設計に必要な設計手順の概要を説明します。このコンバータは公称 12V のレギュレートされた出力電圧を最大 300W の負荷電力で供給し、390V の DC 電源で動作する 1 次側と 2 次側の間の AC-DC オフライン アプリケーションの強化絶縁を実現します。

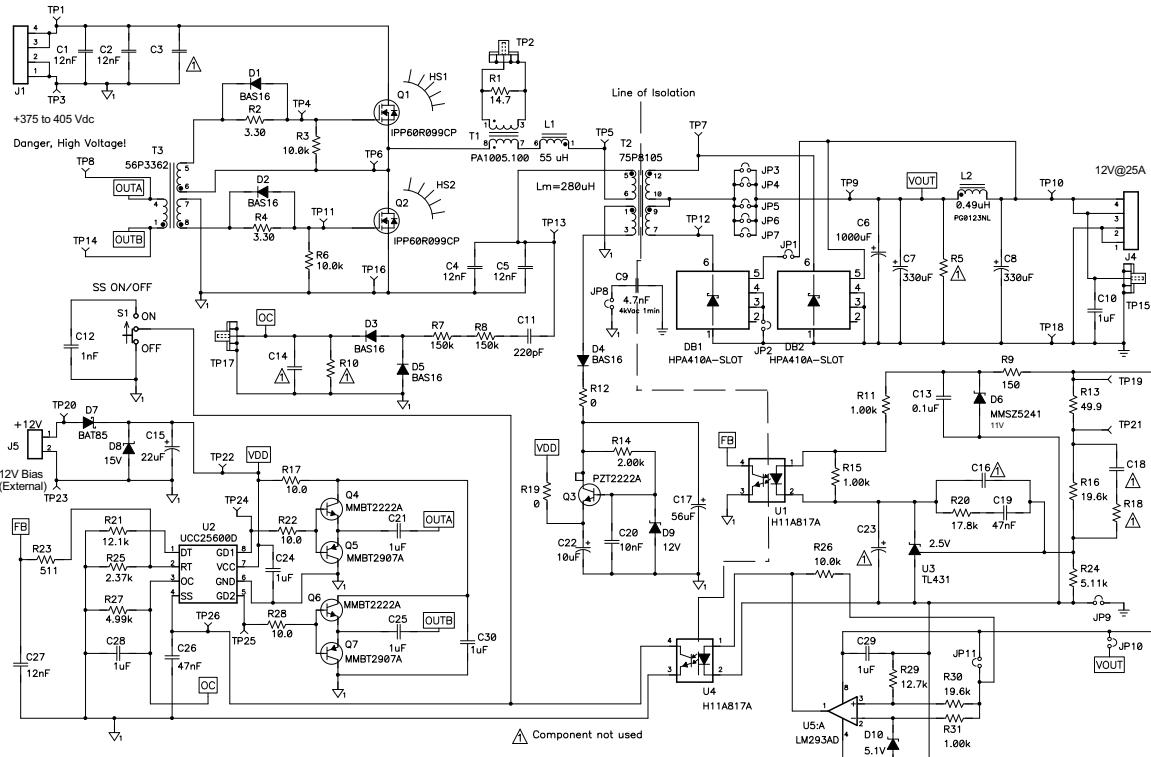


図 8-8. 代表的なアプリケーション回路図

8.2.1 設計要件

表 8-2. 設計要件

設計パラメータ	目標値
出力電圧	12 V
定格出力電力	300 W
入力 DC 電圧範囲	375V~405V
全負荷時の効率代表値	91%
スイッチング周波数	85kHz~350kHz
共振周波数	130 kHz

8.2.2 詳細な設計手順

- ハーフブリッジ LLC の共振インダクタ (L_r)、共振コンデンサ (C_r)、 L_m

a. メイントランスの巻線比:

$$n = N_p/N_s = 16.5 \quad (23)$$

b. 必要な最大共振ゲイン:

$$M_{max} = 110\% \times n \times (2 \times V_{out})/(V_{in_min}) = 110\% \times 16.5 \times (2 \times 12 V)/375 V = 1.17 \quad (24)$$

c. L_n と Q を選択します。 L_n 範囲は通常、3~9 から選択します。下記の曲線に基づいて Q を選択します。ここで、ピーク ゲインは、必要な最大共振ゲイン以上にする必要があります。下記の曲線に基づき、 Q は 0.45 を選択します。

$$L_n = L_m/L_r = 5 \quad (25)$$

$$Q = \sqrt{(L_r / C_r)} / R_{eq} = 0.45 \quad (26)$$

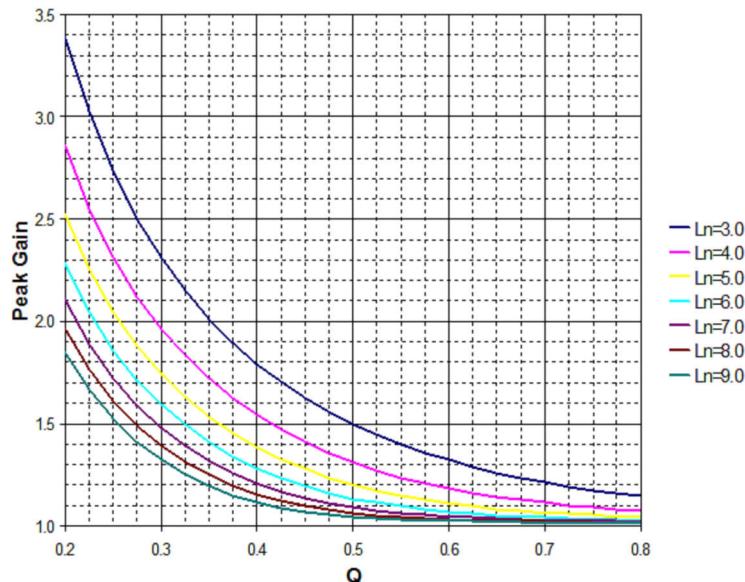


図 8-9. ピーク ゲインと Q との関係

d. 等価 1 次側抵抗を計算します。

$$R_{eq} = (8 \times n^2 \times V_{out}^2) / (\pi^2 \times P_{out}) = (8 \times 4.6^2 \times 12^2) / (\pi^2 \times 300) = 108.6\Omega \quad (27)$$

e. C_r の選択:

$$Cr = 24\text{nF} \quad (28)$$

f. Lr を計算:

$$fr = \frac{1}{2\pi \times \sqrt{Lr \times Cr}} \quad (29)$$

g. 上記の 2 つの式を組み合わせます。

$$Lr = 55 \mu\text{H} \quad (30)$$

h. Lm の計算:

$$Lm = Ln \times Lr = 275 \mu\text{H} \quad (31)$$

2. Rdt を計算します。UCC25600 では、DT ピンとグランドとの間の単一の抵抗によりデッド タイムを調整できます。内蔵の 2.25V 電圧リファレンスにより、抵抗を流れる電流によってデッド タイムが設定されます。

$$td = 20\text{ns} + Rdt \times 24\text{ns}/\text{k}\Omega \quad (32)$$

ここで、

- $td = 300\text{ns}$
- $Rdt = 11.7\text{k}\Omega$

3. Css を計算します。詳細については、[ソフト スタート](#) を参照してください。

$$tss = 25 \text{ ms} \quad (33)$$

$$tss = 2.8 \text{ V}/5 \mu\text{A} \times Css \quad (34)$$

$$Css = 44.6 \text{ nF} \quad (35)$$

4. 47nF のコンデンサが選択されています。RT1 と RT2 を計算します。詳細については、[発振器](#) を参照してください。RT1 と RT2 は、最大スイッチング周波数と最小スイッチング周波数を制限するために使用されます。RT1 と RT2 は、以下の式に基づいて計算できます。

$$Ifmax = 6 \text{ ns}/(1/2fmax - 150 \text{ ns}) \quad (36)$$

$$Ifmin = 6 \text{ ns}/(1/2fmin - 150 \text{ ns}) \quad (37)$$

$$Ifmax = 2.5 \text{ V}(1/RT1 + 1/RT2) \quad (38)$$

$$Ifmin = 2.5 \text{ V}/RT2 \quad (39)$$

5. 上記の 4 つの式を組み合わせます。

$$RT1 = 511\Omega \quad (40)$$

$$RT2 = 2.37 \text{ k}\Omega \quad (41)$$

6. Rs、Cs、Rp、Cp を計算します。詳細については、[過電流保護](#) を参照してください。

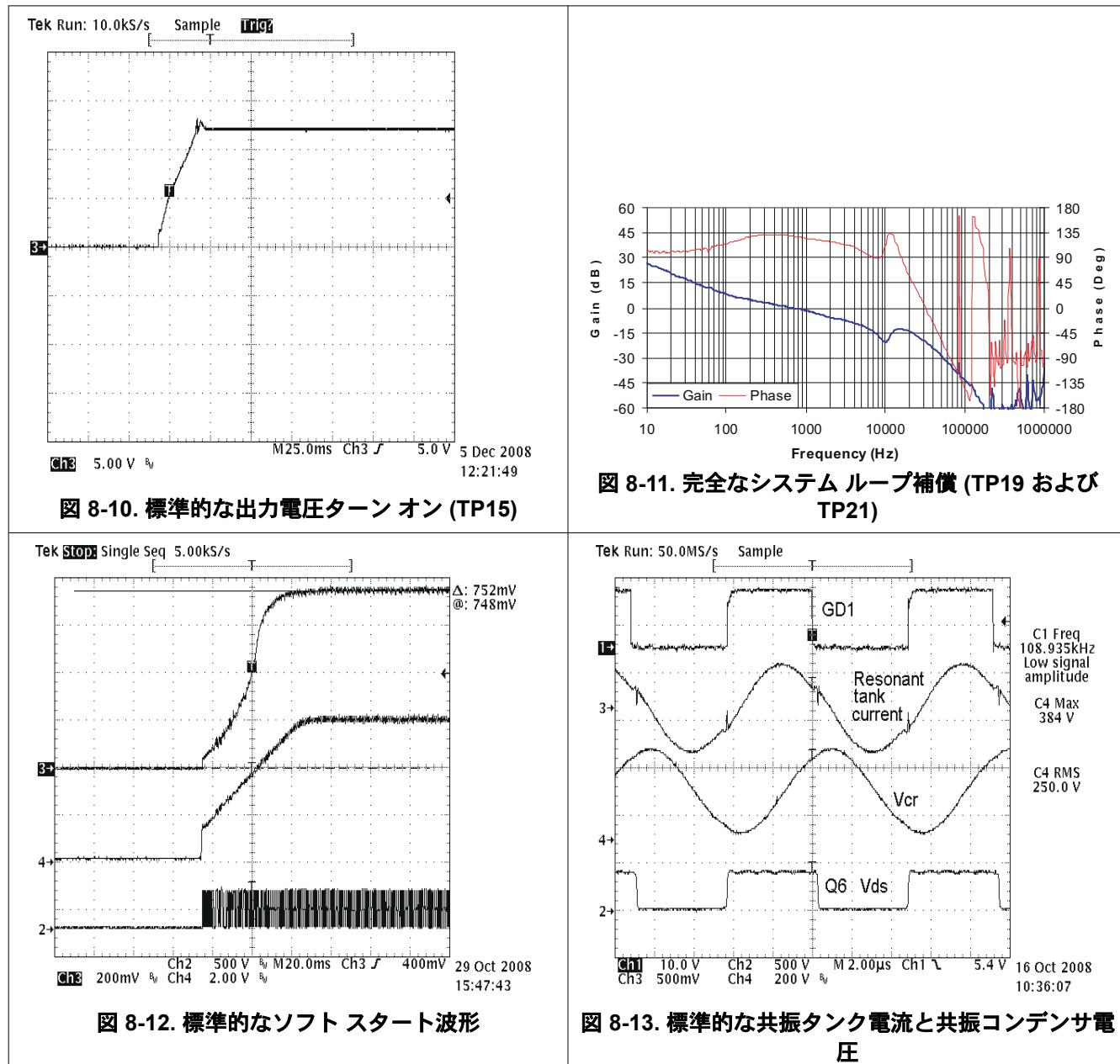
$$Rs = 300 \text{ k}\Omega \quad (42)$$

$$Cs = 22 \text{ pF} \quad (43)$$

$$Rp = 4.99 \text{ k}\Omega \quad (44)$$

$$Cp = 1 \mu\text{F} \quad (45)$$

8.2.3 アプリケーション曲線



9 電源に関する推奨事項

デバイスの VCC 電源端子には、VCC 端子と GND 端子の間に低 ESR のノイズ デカップリング容量を直接配置する必要があります。X7R 以上など、温度に対して安定した誘電特性を持つセラミック コンデンサを推奨します。アプリケーションの動作温度範囲によっては、X5R は許容される可能性がありますが、高温および DC バイアス印加時の容量値の低下を許容できない場合があります。温度安定性の低い誘電体は使用しないでください。

推奨されるデカップリング コンデンサは $1\mu\text{F}$ 0805 サイズの 50V X7R コンデンサであり、理想的には 2 番目の、より小型の 100nF 0603 サイズの 50V X7R コンデンサを並列接続した（ただし必須ではありません）ものです。より電圧定格の高い部品を使用することもできます。DC バイアスを印加すると実効容量値が減少するため、25V 定格の部品の使用は推奨されません。

10 レイアウト

10.1 レイアウトのガイドライン

4 層レイアウトを推奨します。

$1\mu\text{F}$ セラミック デカップリング コンデンサを推奨します。VCC 端子と GND の間のできるだけ近くに配置し、両方の端子に直接トラッキングします。

C_{SS} 、RDT、Rp、Cp、RT1、RT2 を UCC25600 のできるだけ近くに配置します。

レギュレートされたバイアス電源を VCC ピンに接続します。

10.2 レイアウト例

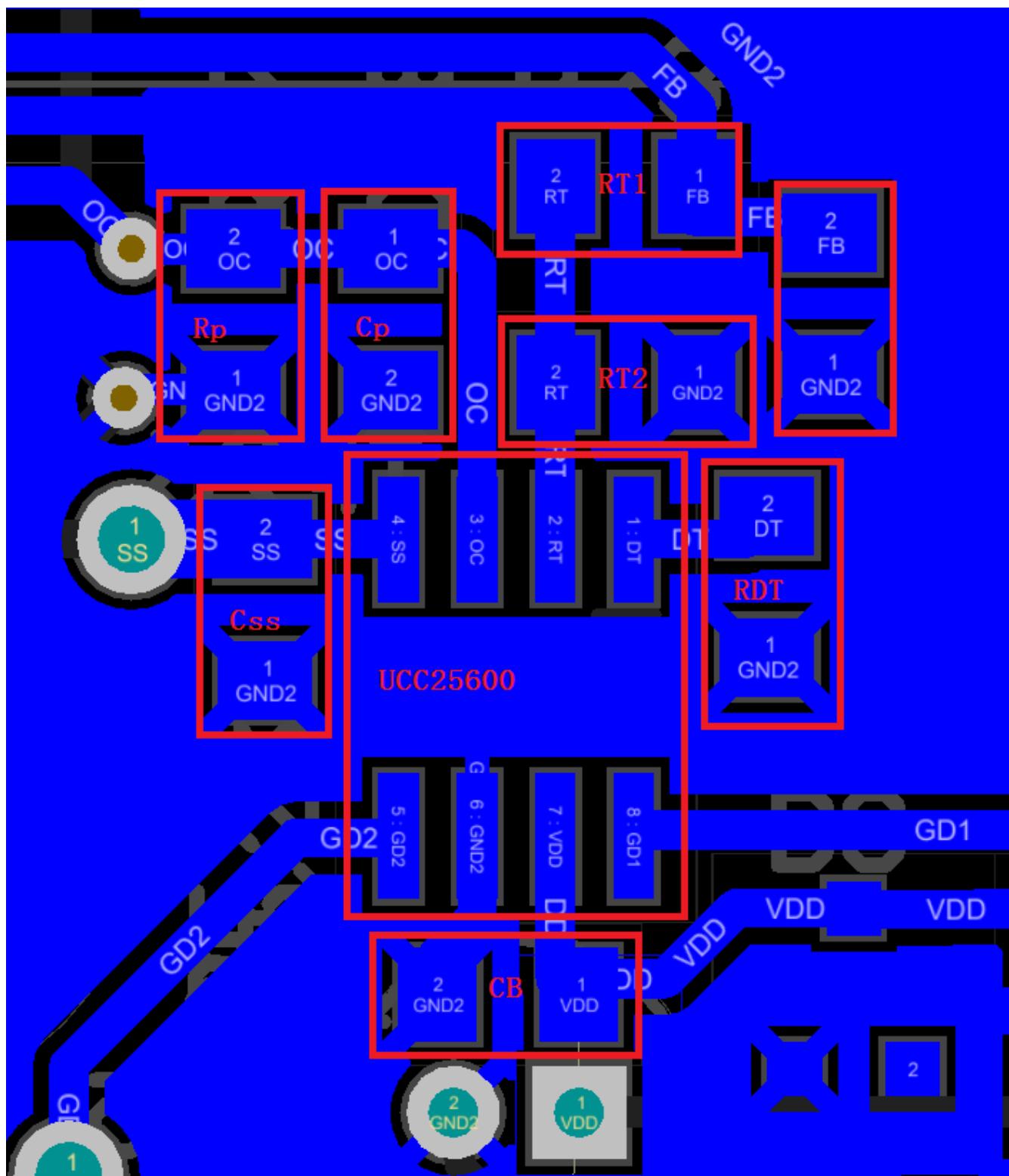


図 10-1. 基板レイアウト例

11 デバイスおよびドキュメントのサポート

11.1 サポート・リソース

テキサス・インストルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インストルメンツの仕様を構成するものではなく、必ずしもテキサス・インストルメンツの見解を反映したものではありません。テキサス・インストルメンツの使用条件を参照してください。

11.2 商標

テキサス・インストルメンツ E2E™ is a trademark of Texas Instruments.

DLP® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.3 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インストルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

12 用語集

テキサス・インストルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](#) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC25600D	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	25600
UCC25600D.A	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	25600
UCC25600D.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	25600
UCC25600DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	25600
UCC25600DR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	25600
UCC25600DR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	25600
UCC25600DRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	25600

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

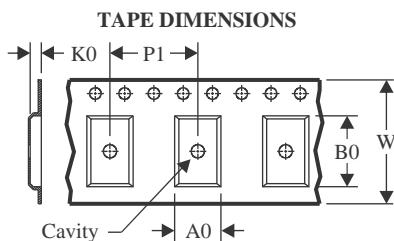
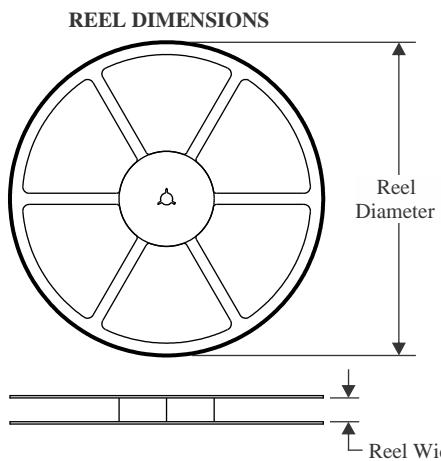
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

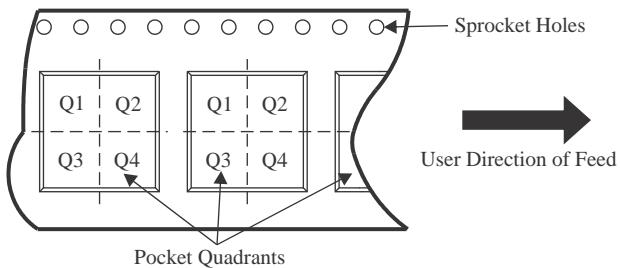
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



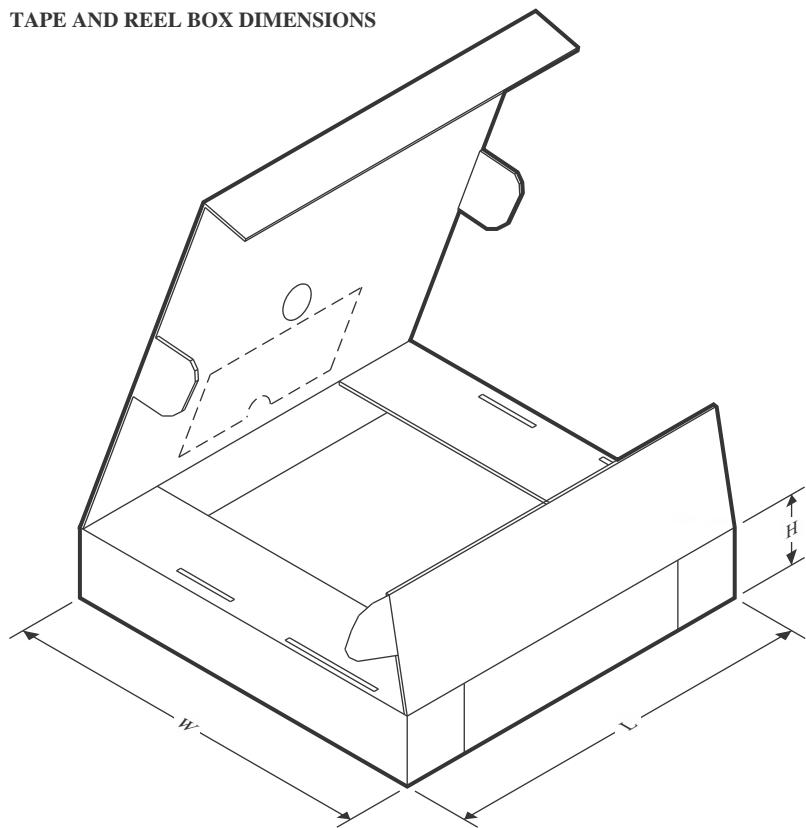
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



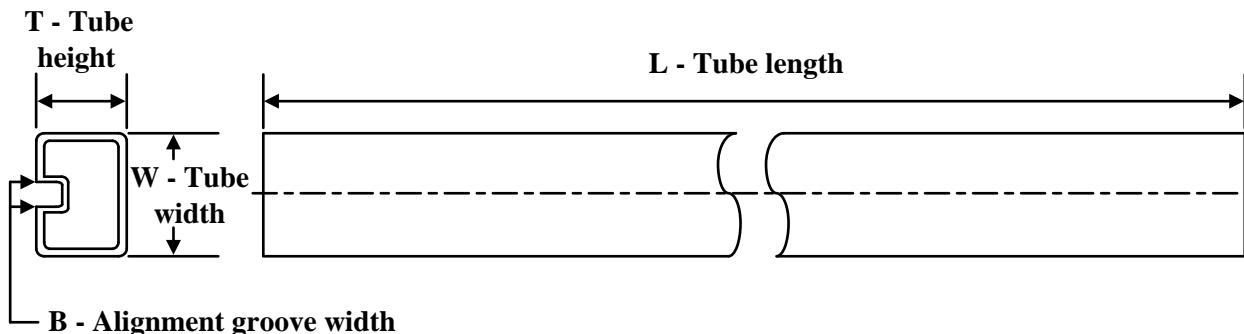
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC25600DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC25600DR	SOIC	D	8	2500	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μ m)	B (mm)
UCC25600D	D	SOIC	8	75	506.6	8	3940	4.32
UCC25600D.A	D	SOIC	8	75	506.6	8	3940	4.32
UCC25600D.B	D	SOIC	8	75	506.6	8	3940	4.32

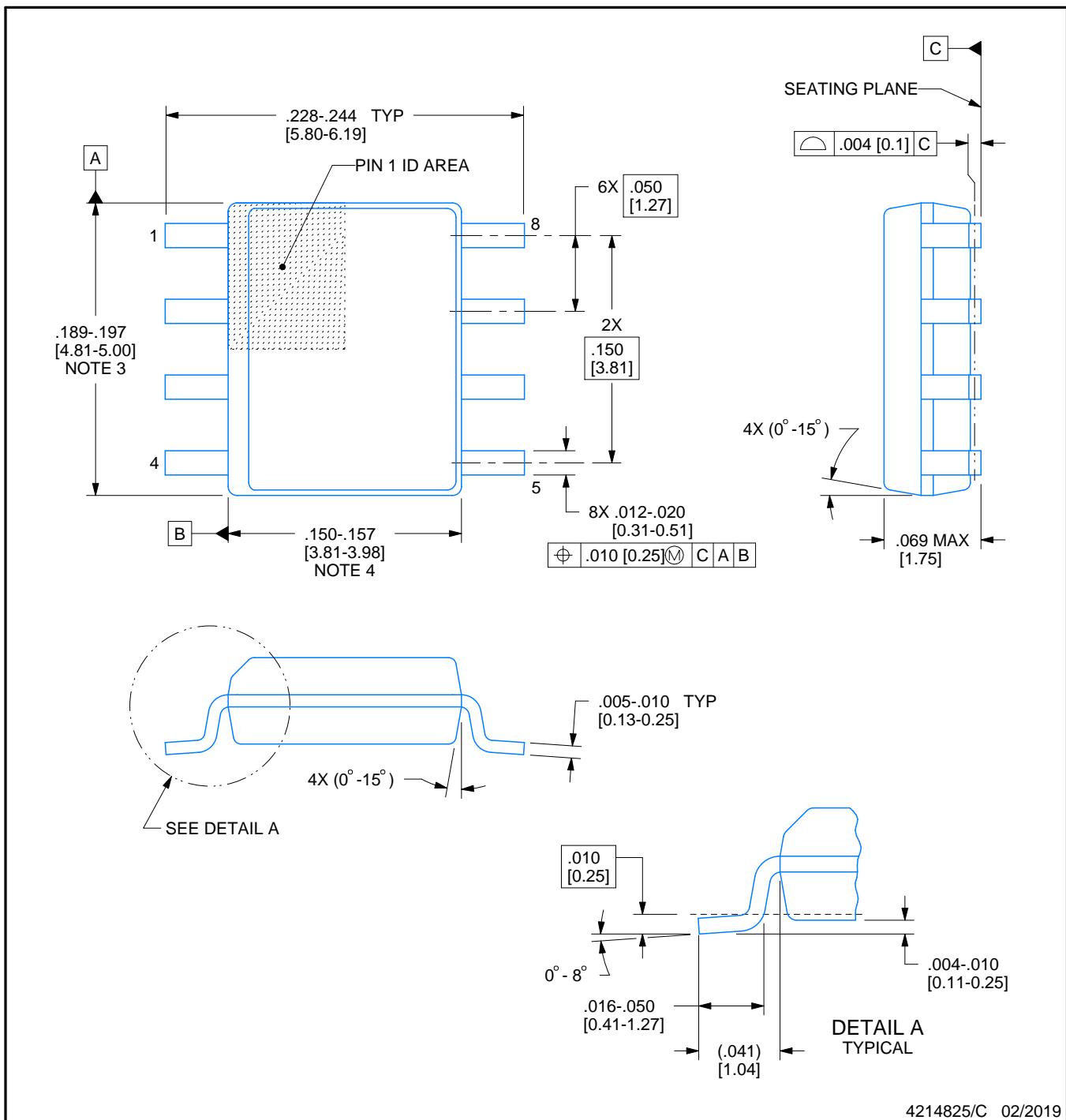
D0008A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

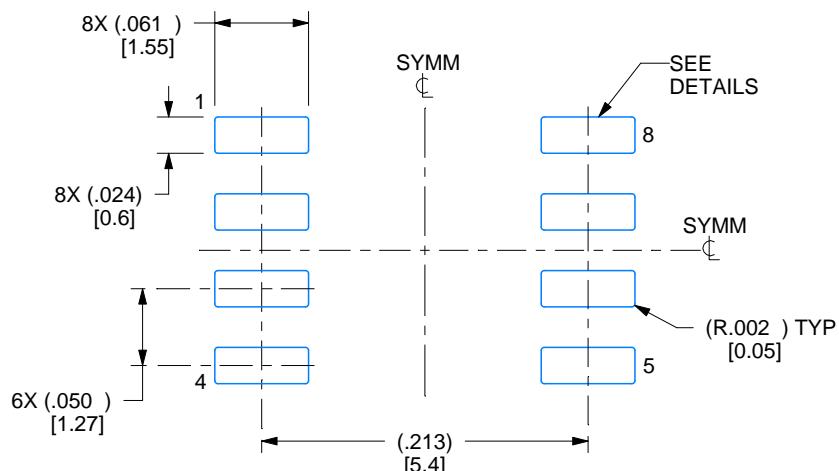
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

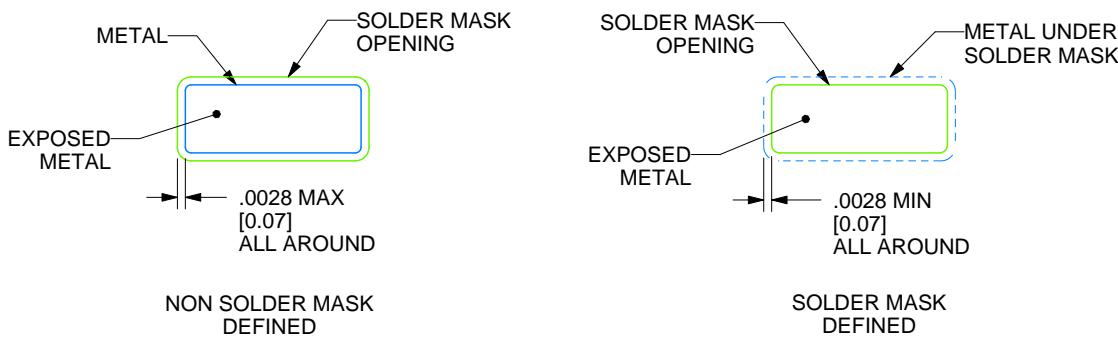
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

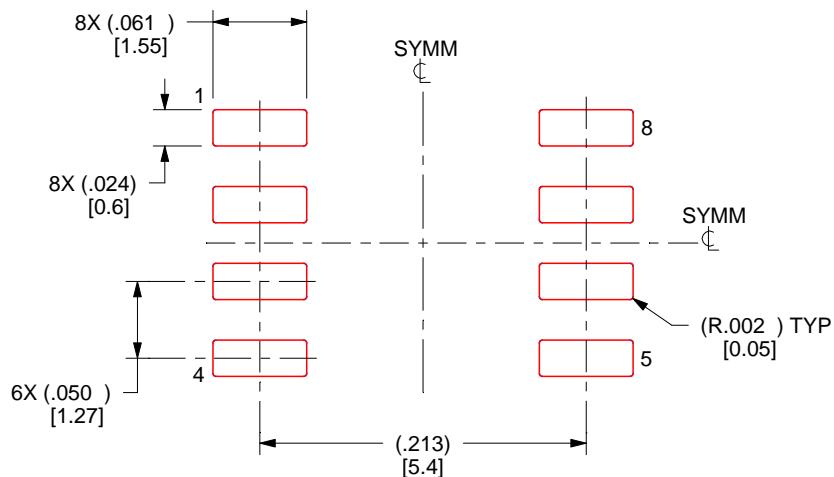
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月