

UCC35341-Q1 車載 2W、12V、 V_{IN} 、25V、 V_{OUT} 、高密度、 > 5kV_{RMS}、絶縁型 DC/DC モジュール

1 特長

- 絶縁平面変圧器付き、完全集積型、高密度、絶縁型 DC/DC モジュール
- 広い入力電圧範囲: 8V ~ 28V (22V OVLO 使用)
 - $11V \leq V_{VIN} \leq 17V$ 、 $V_{VDD-COM} = 18V$ の場合、 $T_A \leq 85^\circ C$ における標準出力は $\geq 2W$
 - $10V \leq V_{VIN} \leq 20V$ 、 $15V \leq V_{VDD-COM} \leq 20V$ の場合、 $T_A \leq 85^\circ C$ における標準出力は $\geq 1.5W$
- 出力電圧をプログラム可能 (VDD-COM)
 - 15V ~ 20V、 $\pm 1.5\%$ の合計レギュレーション精度
- 出力電圧をプログラム可能 (VEE-COM)
 - 2V ~ -8V、 $\pm 5\%$ の合計レギュレーション精度
- 適応型スペクトラム拡散変調 (SSM)
- 強力な磁場および放射磁場耐性
- 突入電流 ソフトスタートを減少
- ロジック イネーブルおよびプログラミング入力 UVLO 用の ENA ピン
- オープンドレイン パワーグッドによるフォルト インジケータ
- 保護機能を内蔵: UVLO、OVLO、短絡、OVP、UVP、サーマル シャットダウン。
- 絶縁静電容量: 3pF 未満
- 静的と動的の CMTI > $\pm 250kV/\mu s$
- 車載アプリケーション向けに AEC-Q100 認証済み
 - 温度グレード 1: $-40^\circ C \leq T_A \leq 125^\circ C$
- 安全性関連の認定 (予定):
 - DIN EN IEC 60747-17 (VDE 0884-17) に準拠した強化絶縁
 - UL 1577 / CSA 部品認定プログラム
- 16 ピン、ワイド ボディ SOIC パッケージ

2 アプリケーション

- ハイブリッド、電気自動車、およびパワートレイン システム (EV/HEV)
 - インバータおよびモータ制御
 - オンボード チャージャ (OBC) およびワイヤレス チャージャ
 - DC/DC コンバータ
- グリッド インフラ
 - EV 充電ステーション向け電源モジュール
 - DC 充電 (パイル) ステーション
 - ストリング インバータ
- 産業用輸送
 - オフハイウェイ車両向け電気式ドライブ
- データセンター

- ラック電源ユニット (PSU)
- パワー デリバリー
 - ラックとサーバー向けの電源

3 説明

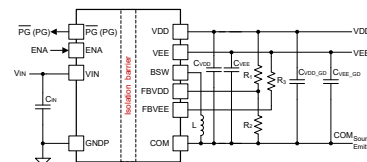
UCC35341-Q1 は、SiC と IGBT の各絶縁型ゲートドライバに電力を供給するために設計された車載対応の高絶縁耐圧 DC/DC 電源モジュールです。独自の内蔵トランス、フリップチップ パッケージ、高度な制御アーキテクチャにより、高い電力密度、低ノイズ、最小のシステム BOM を実現できます。このデバイスは、周囲温度が $85^\circ C$ のとき、標準値 2W の出力電力を供給できます。抵抗分圧により容易に設定できる高精度のデュアル出力電圧により、SiC/IGBT の低オン抵抗で高速かつ信頼性の高いスイッチングを実現します。低レイテンシのフィードバック制御により、出力容量を低減して高速負荷過渡を実現し、動的な電圧プログラミングをサポートできます。広い入力電圧範囲と調整可能な V_{IN} UVLO は、電気自動車 (EV) の広いバッテリー電圧とレギュレーション済み入力レールの両方をサポートします。8V ~ 20V の V_{IN} で動作し、最大 28V の V_{IN} 過電圧過渡に耐えられま

内蔵の保護機能、異常検出出力付パワーグッド ピン、イネーブル機能により、システムの堅牢性が向上し、外付け部品が削減されています。沿面距離と空間距離が 8.2mm の SOIC パッケージにより、高い絶縁能力が保証されます。

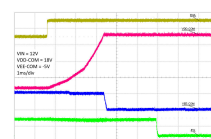
パッケージ情報

| 発注用製品型番 | パッケージ (1) | パッケージ サイズ (2) |
|------------------|----------------|-----------------|
| PUC35341QDCHARQ1 | DHA (SSOP, 16) | 5.85mm × 7.50mm |

- 供給されているすべてのパッケージについては、[セクション 11](#) を参照してください。
- パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



アプリケーション概略図



標準的な電源オン シーケンス



目次

| | | | |
|---------------------|----|-----------------------------|----|
| 1 特長..... | 1 | 8 アプリケーションと実装..... | 28 |
| 2 アプリケーション..... | 1 | 8.1 アプリケーション情報..... | 28 |
| 3 説明..... | 1 | 8.2 代表的なアプリケーション..... | 28 |
| 4 デバイスの比較..... | 3 | 8.3 システム例..... | 31 |
| 5 ピン構成および機能..... | 4 | 8.4 電源に関する推奨事項..... | 32 |
| 6 仕様..... | 6 | 8.5 レイアウト..... | 32 |
| 6.1 絶対最大定格..... | 6 | 9 デバイスおよびドキュメントのサポート..... | 37 |
| 6.2 ESD 定格..... | 6 | 9.1 サード・パーティ製品に関する免責事項..... | 37 |
| 6.3 推奨動作条件..... | 6 | 9.2 ドキュメントのサポート..... | 37 |
| 6.4 熱に関する情報..... | 7 | 9.3 サポート・リソース..... | 37 |
| 6.5 絶縁仕様..... | 7 | 9.4 商標..... | 37 |
| 6.6 電気的特性..... | 8 | 9.5 静電気放電に関する注意事項..... | 37 |
| 6.7 安全関連認証..... | 11 | 9.6 用語集..... | 37 |
| 6.8 代表的特性..... | 12 | 10 改訂履歴..... | 37 |
| 7 詳細説明..... | 13 | 11 メカニカル、パッケージ、および注文情報..... | 38 |
| 7.1 概要..... | 13 | 11.1 パッケージ情報..... | 39 |
| 7.2 機能ブロック図..... | 14 | 11.2 テープおよびリール情報..... | 40 |
| 7.3 機能説明..... | 15 | 11.3 メカニカル データ..... | 42 |
| 7.4 デバイスの機能モード..... | 26 | | |

4 デバイスの比較

表 4-1. デバイス比較表

| 型番 | V _{VIN} 範囲 | 出力 (VDD - COM) 調整可能範囲 | 出力 (VEE - COM) 調整可能範囲 | 代表的な電力 | パワーグッドのアク ティブ極性 | 故障応答 |
|------------|---------------------|--------------------------|--------------------------|--------|--------------------|-------|
| UCC35341Q1 | 8V ~ 20V | 18V ~ 20V | -2V ~ -8V | 2W | Low | ラッチオフ |
| | | 15V ~ 18V | -2V ~ -8V | ≥1.5W | | |

5 ピン構成および機能

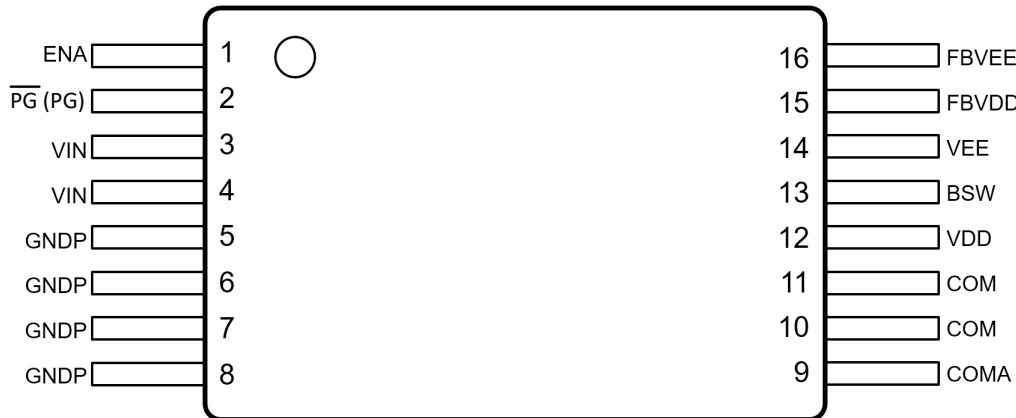


図 5-1. DHA パッケージ、16 ピン SSOP (上面図)

表 5-1. ピンの機能

| ピン | | タイプ ⁽¹⁾ | 説明 |
|--------|---------|--------------------|---|
| 名称 | 番号 | | |
| BSW | 13 | P | 内部バック・ブースト・コンバータ・スイッチ・ピン。このピンから COM にインダクタを接続します。3.3μH から 10μH チップへのインダクタを推奨しています。 |
| COM | 10、11 | G | 2 次側グラウンド。電源スイッチの電源に接続します。 |
| COMA | 9 | G | ノイズに敏感なアナログ フィードバック入力 FBVDD および FBVEE 用の 2 次側アナログ センス基準接続。ローサイド FBVDD 帰還抵抗と高周波デカップリング フィルタ コンデンサを、COMA ピンとそれぞれのフィードバックピン FBVDD の近くに接続します。2 次側ゲート駆動電圧リファレンス COM に接続します。単一点接続を使用し、高周波デカップリング セラミック コンデンサを COMA ピンの近くに配置します。 |
| ENA | 1 | I | イネーブルピン。ENA を LOW に強制すると、デバイスはディスエーブルになります。HIGH にプルすると、通常デバイス機能は有効化されます。5.5V 推奨最大値。VIN からの分圧抵抗を使用して入力 UVLO をプログラムできます。 |
| FBVDD | 15 | I | 帰還 (VDD – COM) 出力電圧センスピン、および出力 (VDD – COM) 電圧調整用。VDD と COMA の間に分圧抵抗を接続して、中点が FBVDD に接続されます。等価な FBVDD 電圧は 2.5V に安定化され、絶縁全体にわたって内部ヒステリシス制御が行われます。ローサイド帰還抵抗と並列に、高周波デカップリング用に 220pF のセラミック コンデンサを追加する必要があります。高周波バイパス用の 220pF セラミック コンデンサは、ビアで接続された上層または下層の FBVDD ピンおよび COMA ピンの隣に配置する必要があります。 |
| FBVEE | 16 | I | 帰還 (COM – VEE) 出力電圧センスピンで、出力 (COM – VEE) 電圧を調整するために使用されます。1 つの帰還抵抗を VEE に接続し、(COM – VEE) 電圧を 2V ~ 8V にプログラムします。10pF セラミック コンデンサを FBVEE と COMA の間に接続し、高周波ノイズをバイパスします。10pF のセラミック コンデンサは、上層またはビアで接続した下層の FBVEE ピンの隣に配置する必要があります。 |
| GNDP | 5、6、7、8 | G | VIN の 1 次側グラウンド接続。放熱のため、銅箔にいくつかのビアを配置します。詳細については、「 レイアウト 」セクションを参照してください。 |
| PG(PG) | 2 | O | パワー グッド オープンドレイン出力ピン。V _{VIN_UVLOP} ≤ V _{VIN} ≤ V _{VIN_OVLOP} 、V _{VDD_UVP} ≤ V _{FBVDD} ≤ V _{VDD_OVP} 、V _{VEE_UVP} ≤ V _{FBVEE} ≤ V _{VEE_OVP} 、T _{J_Primary} ≤ T _{SHUT_P_R} 、および T _{J_Secondary} ≤ T _{SHUT_S_R} の場合、アクティブのままになります。高周波ノイズをバイパスさせるため、本体サイズ 0402 のデカップリング コンデンサを接続します。IC と同じ PCB 面で、パワーグッド ピンの横に配置する必要があります。 |
| VDD | 12 | P | トランスからの 2 次側絶縁出力電圧。VDD から COM に 10μF と並列の 0.1μF セラミック コンデンサを接続します。サイズが 0402 の 0.1μF セラミック コンデンサは、高周波ノイズをバイパスするためであり、VDD ピンおよび COM ピンの隣に配置する必要があります。 |
| VEE | 14 | P | 負レールの 2 次側絶縁出力電圧 2.2μF セラミック コンデンサを VEE と COM との間に接続し、高周波ノイズをバイパスします。 |

表 5-1. ピンの機能 (続き)

| ピン | | タイプ ⁽¹⁾ | 説明 |
|-----|------|--------------------|--|
| 名称 | 番号 | | |
| VIN | 3, 4 | P | 1 次側入力電圧。VIN から GNDP に 10 μ F と並列の 0.1 μ F セラミックコンデンサを接続します。0402 サイズの 0.1 μ F セラミックコンデンサは、高周波ノイズを渡すためのものであり、PCB 上で IC と同じ面にある VIN ピンと GNDP ピンに隣接する必要があります。 |

(1) P = 電源、G = グランド、I = 入力、O = 出力

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

| | | 最小値 | 標準値 | 最大値 | 単位 |
|---|--------------------------------|------|-----|------|----|
| V _{VIN} | VIN から GNDP へ | -0.3 | | 30 | V |
| V _{ENA} , V _{PG} | ENA, PG から GNDP へ | -0.3 | | 7 | V |
| V _{FBVEE-COM} | FBVEE から COM へ | -0.3 | | 7 | V |
| V _{BSW-COM} | BSW から COM へ | -10 | | 25.5 | V |
| V _{BSW-VEE} | BSW から VEE へ | -0.7 | | 32 | V |
| V _{BSW-VEE_tran} | BSW から VEE へ (過渡 0.24ns) | -2.1 | | 33.4 | V |
| V _{COM-VEE} | COM から VEE | -0.3 | | 10 | V |
| V _{VDD-COM} , V _{FBVDD-COM} | VDD, FBVDD から COM へ | -0.3 | | 25.5 | V |
| V _{VDD-VEE} | VDD から VDD | -0.3 | | 32 | V |
| P _{OUT_VDD_MAX} | T _A = 25°C での合計出力電力 | | | 3 | W |
| T _J | 動作ジャンクション温度範囲 | -40 | | 150 | °C |
| T _{stg} | 保存温度 | -65 | | 150 | °C |

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

6.2 ESD 定格

| | | | 値 | 単位 |
|--------------------|------|--|-------|----|
| V _(ESD) | 静電放電 | 人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾ | ±2000 | V |
| | | デバイス帯電モデル (CDM)、AEC Q100-011 セクション 7.2 準拠 | ±750 | V |

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

| | | 最小値 | 標準値 | 最大値 | 単位 |
|-------------------------------|--------------------------|------------------|-----|-----|----|
| V _{VIN} | 連続動作時の GNDP への 1 次側入力電圧 | 8 ⁽¹⁾ | 12 | 20 | V |
| V _{VIN} | 過電圧過渡時の GNDP への 1 次側入力電圧 | | | 28 | V |
| V _{ENA} | GNDP に対してイネーブル | 0 | | 5.5 | V |
| V _{PG} | GNDP へのパワーグッド | 0 | | 5.5 | V |
| V _{VDD-COM} | VDD から COM へ | 15 | 18 | 20 | V |
| V _{VDD-VEE} | VDD から VDD | 15 | 22 | 25 | V |
| V _{COM-VEE} | COM から VEE | 2 | 4 | 8 | V |
| T _A | 周囲温度 | -40 | | 125 | °C |
| T _J ⁽²⁾ | 接合部温度 | -40 | | 150 | °C |

- (1) 動作 V_{VIN} の最小値については、V_{VIN_UVLO_R} および V_{VIN_UVLO_F} の電気的特性を参照してください。
 (2) (VDD-COM) および (COM-VEE) の出力電圧設定が異なる場合の、温度および V_{VIN} 条件における最大定格値については、「(VDD-COM) および (COM-VEE) 負荷の推奨動作領域」セクションを参照してください。

6.4 熱に関する情報

| 熱評価基準 ⁽¹⁾ | | DHA (SOIC) | 単位 |
|-----------------------|---------------------|------------|------|
| | | 16ピン | |
| R _{θJA} | 接合部から周囲への熱抵抗 | 63.2 | °C/W |
| R _{θJC(top)} | 接合部からケース (上面) への熱抵抗 | 32.3 | °C/W |
| R _{θJB} | 接合部から基板への熱抵抗 | 20.1 | °C/W |
| Ψ _{JA} | 接合部から周囲への特性パラメータ | 47.8 | °C/W |
| Ψ _{JB} | 接合部から基板への特性パラメータ | 20.5 | °C/W |
| Ψ _{JT} | 接合部から上面への特性パラメータ | 3 | °C/W |

(1) 熱抵抗 (R) は JEDEC 基板に基づいており、特性パラメータ (Ψ) は「レイアウト」セクションに記載されている EVM に基づいています。従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 絶縁仕様

| パラメータ | | テスト条件 | 値 | 単位 |
|---|--------------------------------|--|--------------------|------------------|
| 総則 | | | | |
| CLR | 外部空間距離 ⁽¹⁾ | 空気を介した最短のピン間距離 | > 8.2 | mm |
| CPG | 外部沿面距離 ⁽¹⁾ | パッケージ表面に沿った最短のピン間距離 | > 8.2 | mm |
| DTI | 絶縁物を介した距離 | 最小内部ギャップ (内部距離 - トランスによる電力絶縁) | > 70 | μm |
| CTI | 比較トラッキング インデックス | DIN EN 60112 (VDE 0303-11)、IEC 60112 | > 600 | V |
| | 材料グループ | IEC 60664-1 に準拠 | I | |
| | 過電圧カテゴリ | 定格商用電源 V _{RMS} が 300V 以下 | I-IV | |
| | | 定格商用電源 V _{RMS} が 600V 以下 | I-IV | |
| | | 定格商用電源 V _{RMS} が 1000V 以下 | I-III | |
| DIN EN IEC 60747-17 (VDE 0884-17) (認証予定対象)⁽²⁾ | | | | |
| V _{IORM} | 最大反復ピーク絶縁電圧 | AC 電圧 (バイポーラ) | 1700 | V _{PK} |
| V _{IOWM} | 最大動作絶縁電圧 | AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) テスト | 1202 | V _{RMS} |
| | | DC 電圧 | 1700 | V _{DC} |
| V _{IOTM} | 最大過渡絶縁電圧 | V _{TEST} = V _{IOTM} 、t = 60s (認定)、V _{TEST} = 1.2 × V _{IOTM} 、t = 1s (100% 出荷時テスト) | 7071 | V _{PK} |
| V _{IMP} | 最大インパルス電圧 ⁽³⁾ | IEC 62368-1 に準拠し気中でテスト、1.2/50μs の波形 | 8000 | V _{PK} |
| V _{IOSM} | 最大サージ絶縁電圧 ⁽³⁾ | V _{IOSM} ≥ 1.3 × V _{IMP} 、油中でテスト (認定試験)、IEC 62368-1 に準拠した 1.2/50μs 波形 | 10400 | V _{PK} |
| q _{pd} | 見掛けの電荷 ⁽⁴⁾ | 方法 a: I/O 安全テスト サブグループ 2/3 の後、V _{ini} = V _{IOTM} 、t _{ini} = 60s、V _{pd(m)} = 1.2 × V _{IORM} 、t _m = 10s | ≤ 5 | pC |
| | | 方法 a: 環境テスト サブグループ 1 の後、V _{ini} = V _{IOTM} 、t _{ini} = 60s、V _{pd(m)} = 1.6 × V _{IORM} 、t _m = 10s | ≤ 5 | pC |
| | | 方法 b1: ルーチン テスト (100% 出荷時) の場合、V _{ini} = 1.2 × V _{IOTM} 、t _{ini} = 1s、V _{pd(m)} = 1.875 × V _{IORM} 、t _m = 1s | ≤ 5 | pC |
| C _{IO} | 絶縁バリア容量、入力から出力へ ⁽⁵⁾ | V _{IO} = 0.4 sin (2πft)、f = 1MHz | < 3 | pF |
| R _{IO} | 絶縁抵抗、入力から出力へ ⁽⁵⁾ | V _{IO} = 500V、T _A = 25°C | > 10 ¹² | Ω |
| | | V _{IO} = 500V (100°C ≤ T _A ≤ 125°C時) | > 10 ¹¹ | Ω |
| | | V _{IO} = 500V (T _S = 150°C時) | > 10 ⁹ | Ω |
| | 汚染度 | | 2 | |

6.5 絶縁仕様 (続き)

| パラメータ | | テスト条件 | 値 | 単位 |
|-------------------------|---------|--|-----------|------------------|
| | 耐候性カテゴリ | | 40/125/21 | |
| UL 1577 (認証予定対象) | | | | |
| V _{ISO} | 絶縁耐圧 | V _{TEST} = V _{ISO} = 5000V _{RMS} , t = 60s (認定), V _{TEST} = 1.2 × V _{ISO} = 6000V _{RMS} , t = 1s (100% 出荷時テスト) | 5000 | V _{RMS} |

- 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でインレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上にグループヤリブを設けるなどの技法を使用して、これらの仕様値を大きくすることができます。
- この絶縁素子は、最大動作定格内に限定した安全な電氣的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
- 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

6.6 電氣的特性

動作温度範囲全体 (T_J = -40°C ~ 150°C)、特に記述のない限り、すべて T_A = 25°C および V_{VIN} = 12V での標準値。外付け BOM の部品をピンの説明の表に記載します。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|--|-----------------------------|--|------------------|------|-------|----|
| 入力電源 (1 次側。すべて GNDP に対する電圧) | | | | | | |
| V _{VIN} | 入力電圧範囲 | GNDP への 1 次側入力電圧。(VDD-COM)=18V、(COM-VEE)=4V、P _{VDD-COM} = 1.3W、P _{COM-VEE} = 0、T _A =85°C。 | 8 ⁽¹⁾ | 12 | 20 | V |
| I _{VINQ} | VIN 静止電流、ディセーブル | V _{ENA} = 0V、V _{VIN} = 8V-20V。 | | | 600 | μA |
| I _{VINP_NL} | VIN 動作電流、イネーブル、無負荷 | V _{ENA} = 5V、V _{VIN} = 12V、(VDD-COM) = 18V、(COM-VEE) = 4V、レギュレーション、I _{VDD-COM} = I _{COM-VEE} = 0mA。 | | | 12 | mA |
| I _{VINP_FL} | VIN 動作電流、イネーブル、全負荷 | V _{ENA} = 5V、V _{VIN} = 12V、(VDD-COM) = 18V、(COM-VEE)=4V、レギュレーション、I _{VDD-COM} = 111mA、I _{COM-VEE} = 0 | | 333 | | mA |
| UVLOP コンパレータ (1 次側。すべて GNDP に対する電圧) | | | | | | |
| V _{VIN_UVLO_R} | VIN アナログ UVLO 立ち下がリスレッシュヨルド | アナログ コンパレータは常に最初にアクティブ | 7 | 7.5 | 8 | V |
| V _{VIN_UVLO_F} | VIN アナログ UVLO 立ち下がリスレッシュヨルド | アナログ コンパレータは常に最初にアクティブ | 6.3 | 6.8 | 7.3 | V |
| OVLOP コンパレータ (1 次側。すべて GNDP に対する電圧) | | | | | | |
| V _{VIN_OVLO_R} | VIN OVLO 立ち上がりスレッシュヨルド | | 21.5 | 22 | 22.5 | V |
| V _{VIN_OVLO_F} | VIN OVLO 立ち下がリスレッシュヨルド | | 20 | 20.3 | 20.6 | V |
| TSHUTP サーマル シャットダウン コンパレータ (1 次側。すべて GNDP に対する電圧) | | | | | | |
| T _{SHUT_P_R} | 1 次側過熱シャットダウンの立ち上がりスレッシュヨルド | | 150 | 165 | | °C |
| T _{SHUT_P_HYST} | 1 次側過熱シャットダウンのヒステリシス | | 15 | 20 | | °C |
| ENA 入力ピン (1 次側。すべて GNDP に対する電圧) | | | | | | |
| V _{ENA_R} | イネーブルピン立ち上がりスレッシュヨルド | 立ち上がりエッジ | 1.425 | 1.5 | 1.575 | V |
| V _{ENA_F} | イネーブルピン立ち下がリスレッシュヨルド | 立ち下がリエッジ | 1.282 | 1.35 | 1.418 | V |
| I _{ENA} | イネーブルピンの入力電流 | V _{ENA} = 5.0V | | 5 | 10 | μA |

6.6 電気的特性 (続き)

動作温度範囲全体 ($T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$)、特に記述のない限り。すべて $T_A = 25^{\circ}\text{C}$ および $V_{VIN} = 12\text{V}$ での標準値。外付け BOM の部品をピンの説明の表に記載します。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|--|--|---|-------|------|-------|---------------|
| $t_{\text{ENA_LO_RST}}$ | EN = Low からリセットラッチオフまでの最小期間 | | 400 | | | μs |
| $t_{\text{ENA_LO_DLY}}$ | EN = Low でラッチオフをリセットするのに必要な最小時間 | | 200 | | | μs |
| PG のオープンドレイン出力ピン (1 次側。すべて GNDP に対する電圧) | | | | | | |
| $V_{\text{PG_L}}$ | PG の出力 low 飽和電圧 | シンク電流 = 5mA | | | 0.5 | V |
| $I_{\text{PG_H}}$ | PG リーク電流 | $V_{\text{PG}} = 5.5\text{V}$ | | | 5 | μA |
| 1 次側ソフト スタート | | | | | | |
| $t_{\text{PG_Delay}}$ | VDD がレギュレーションに達してからパワーグッド信号 (PG) が発行されるまでのソフトスタート中のグリッチ除去時間。 | | 2.7 | 3 | 3.3 | ms |
| 1 次側制御 (すべて GNDP に対する電圧) | | | | | | |
| f_{SW} | スイッチング周波数 | $V_{\text{VIN}} = 12\text{V}$, $V_{\text{ENA}} = 5\text{V}$, $(\text{VDD-COM}) = 18\text{V}$, $(\text{COM-VEE}) = 4\text{V}$ | | 16.5 | | MHz |
| t_{SSTO} | 1 次側ソフトスタート タイムアウト | $V_{\text{IN}} > \text{UVLOP}$ かつ $\text{ENA} = \text{High}$ のときにタイマが開始され、パワーグッドピンがグッドを示しているときにリセットされる | | 32 | | ms |
| (VDD-COM) 出力電圧 (2 次側) | | | | | | |
| V_{VDD} | (VDD-COM) 出力電圧範囲 | | 15 | 18 | 20 | V |
| $V_{\text{VDD_REG}}$ | (VDD - COM) 出力電圧 DC レギュレーション精度 | FBVDD での 2 次側 (VDD-COM) 出力電圧精度、過負荷、ライン、温度範囲、外部調整、外付け抵抗分圧器、SOA 範囲内。 | -1.45 | | 1.45 | % |
| (VDD-COM) レギュレーション ヒステリシス コンパレータ (2 次側) | | | | | | |
| $V_{\text{FBVDD_REF}}$ | (VDD-COM) に対するフィードバック制御基準電圧の立ち上がりスレッショルド | | 2.473 | 2.51 | 2.547 | |
| $V_{\text{FBVDD_HYST}}$ | (VDD - COM) ヒステリシス コンパレータのヒステリシス設定。FBVDD ピンのヒステリシス。この値は、ピークツーピークの大きさを表します。 | | 18 | 20 | 22 | mV |
| (COM-VEE) レギュレーション ヒステリシス コンパレータ (2 次側) | | | | | | |
| $V_{\text{FBVEE_HYST}}$ | (VEE) ヒステリシス コンパレータ設定。 fbvee FBVEE ピンのヒステリシス。この値は、ピークツーピークの大きさを表します。 | ヒステリシス設定 | 50 | 60 | 70 | mV |
| (VDD-COM) UVLO コンパレータ (2 次側) | | | | | | |
| $V_{\text{VDD_UVLOS_R}}$ | (VDD-COM) UVLO 立ち上がりスレッショルド | VDD から COM への電圧、立ち上がり | 3.2 | 3.45 | 3.7 | V |
| $V_{\text{VDD_UVLOS_F}}$ | (VDD-COM) UVLO 立ち下がりスレッショルド | VDD から COM への電圧、立ち下がり | 3 | 3.25 | 3.5 | V |
| (VDD-COM) OVLO コンパレータ (2 次側) | | | | | | |
| $V_{\text{VDD_OVLOS_R}}$ | (VDD-COM) OVLO の立ち上がりスレッショルド | VDD から COM への電圧、立ち上がり | 22.5 | 23 | 23.5 | V |
| $V_{\text{VDD_OVLOS_F}}$ | (VDD-COM) OVLO の立ち下がりスレッショルド | VDD から COM への電圧、立ち下がり | 21.7 | 22.2 | 22.7 | V |
| (VDD-COM) UVP、低電圧保護コンパレータ (2 次側) | | | | | | |

6.6 電気的特性 (続き)

動作温度範囲全体 ($T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$)、特に記述のない限り。すべて $T_A = 25^{\circ}\text{C}$ および $V_{VIN} = 12\text{V}$ での標準値。外付け BOM の部品をピンの説明の表に記載します。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|--|--|---|-------|-------|-------|--------------------|
| $V_{VDD_UVP_R}$ | (VDD-COM) 低電圧保護の立ち上がりスレッシュホールド、 $V_{UVP} = V_{REF} \times 90\%$ | FBVDD で | 2.175 | 2.25 | 2.35 | V |
| $V_{VDD_UVP_HYST}$ | (VDD-COM) 低電圧保護ヒステリシス | FBVDD で | | 22 | | mV |
| (VDD-COM) OVP、過電圧保護コンパレータ (2 次側) | | | | | | |
| $V_{VDD_OVP_R}$ | (VDD-COM) 過電圧保護の立ち上がりスレッシュホールド、 $V_{OVP} = V_{REF} \times 110\%$ | FBVDD で | 2.7 | 2.75 | 2.825 | V |
| $V_{VDD_OVP_HYST}$ | (VDD-COM) 過電圧保護ヒステリシス | FBVDD で | | 23 | | mV |
| (COM-COM VEE) 昇降圧コンバータ (2 次側) | | | | | | |
| V_{VEE_REG} | (VEE) レギュレーション精度 | COM-VEE= 2V、フィードバック抵抗精度 1% | | | 7.5 | % |
| | | COM-VEE= 3V、4V、5V、1% のフィードバック抵抗精度 | | | 4.5 | % |
| | | COM-VEE= 6V、7V、8V、1% のフィードバック抵抗精度 | | | 6.5 | % |
| $V_{VEE_OVLOS_R}$ | (COM-VEE) 過電圧誤作動防止立ち上がりスレッシュホールド | COM から VEE への電圧、立ち上がり | 8.8 | 9 | 9.2 | V |
| $V_{VEE_OVLOS_F}$ | (COM-VEE) 過電圧誤作動防止立ち下がりスレッシュホールド | COM から VEE への電圧、立ち下がり | 8.4 | 8.6 | 8.8 | V |
| f_{SW_VEE} | VEE コンバータのスイッチング周波数 | VDD-COM= 18V、COM-VEE = 4V、3.3 μH 外部インダクタ | | 3.2 | | MHz |
| I_{LIM} | BSW ピンから出力される昇降圧インダクタ電流制限 | VDD フィードフォワードなしの最大電流制限 | 0.235 | 0.261 | 0.287 | A |
| I_{LIM} | BSW ピンから出力される昇降圧インダクタ電流制限 | VDD-COM=18V | 0.127 | 0.141 | 0.155 | A |
| t_{VEE_SSTO} | VEE ソフト スタートが成功するかどうかを判定するためのタイムアウトスレッシュホールド | | 1.3 | 1.6 | 2 | ms |
| (COM-VEE) UVP、低電圧保護コンパレータ (2 次側) | | | | | | |
| $V_{VEE_UVP_F}$ | (COM – VEE) 低電圧保護の立ち下がりスレッシュホールド | COM-VEE=2V | | 83 | | % |
| | | COM-VEE=5V | | 90 | | % |
| | | COM-VEE=8V | | 92 | | % |
| $V_{VEE_UVP_HYST}$ | (COM-VEE) 低電圧保護ヒステリシス | COM-VEE=5V | | 85 | | mV |
| (COM-VEE) OVP、過電圧保護コンパレータ (2 次側) | | | | | | |
| $V_{VEE_OVP_R}$ | (COM – VEE) 過電圧保護の立ち上がりスレッシュホールド | COM-VEE=2V | | 117 | | % |
| | | COM-VEE=5V | | 110 | | % |
| | | COM-VEE=8V | | 108 | | % |
| $V_{VEE_OVP_HYST}$ | (COM-VEE) 過電圧保護ヒステリシス | COM-VEE=5V | | 84 | | mV |
| TSHUTS サーマル シャットダウン コンパレータ (2 次側) | | | | | | |
| $T_{SHUT_S_R}$ | 2 次側過熱シャットダウンの立ち上がりスレッシュホールド | | 150 | 165 | | $^{\circ}\text{C}$ |
| $T_{SHUT_S_HYST}$ | 2 次側過熱シャットダウンのヒステリシス | | 15 | 20 | | $^{\circ}\text{C}$ |
| CMTI (同相過渡電圧耐性) | | | | | | |
| CMTI | 同相過渡電圧耐性 | GNDP に対する正の COM | 250 | | | V/ns |
| | | GNDP に対する負の COM | | | -250 | V/ns |
| トランス内蔵型 | | | | | | |

6.6 電気的特性 (続き)

動作温度範囲全体 ($T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$)、特に記述のない限り。すべて $T_A = 25^{\circ}\text{C}$ および $V_{VIN} = 12\text{V}$ での標準値。外付け BOM の部品をピンの説明の表に記載します。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|-------|------------|--------------|-----|------|-----|----|
| N | トランスの有効巻線比 | 2 次側から 1 次側へ | | 2.16 | | |

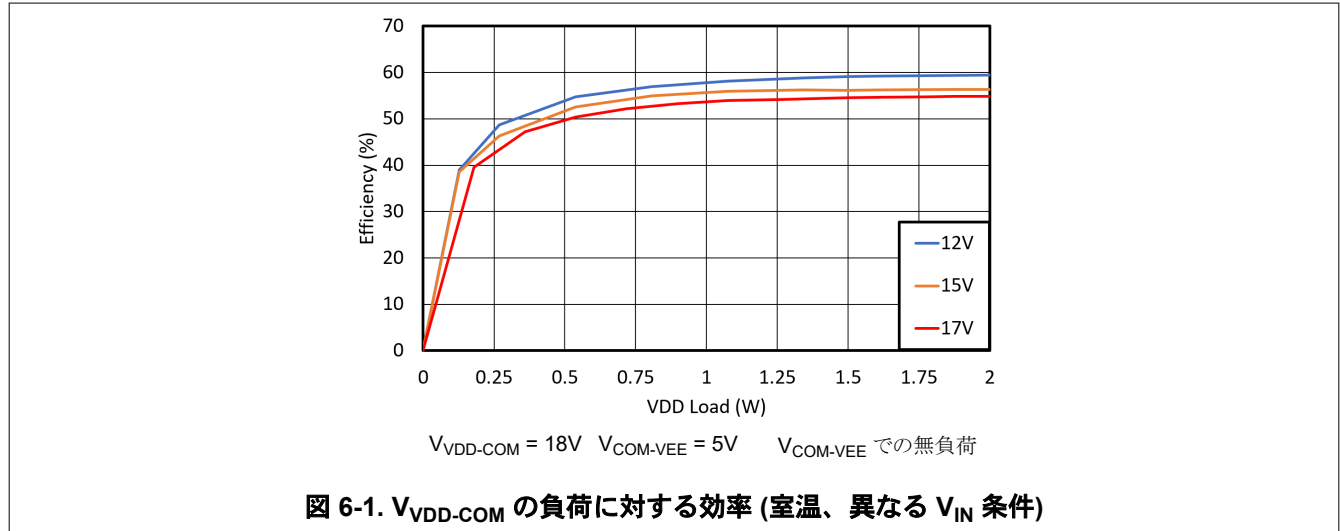
(1) 動作 V_{VIN} の最小値については、 $V_{VIN_UVLO_R}$ および $V_{VIN_UVLO_F}$ の電気的特性を参照してください。

6.7 安全関連認証

| VDE | UL |
|--|---------------------------------|
| DIN EN IEC 60747-17 (VDE 0884-17) による認証を計画 | UL 1577 / CSA 部品認定プログラムに従う認証を計画 |
| 認証計画 | 認証計画 |

6.8 代表的特性

VDD-COM の最大推奨平均電力に関する安全動作領域 (SOA) 曲線は、今後のデータシートの更新版で提供される予定です。



ADVANCE INFORMATION

7 詳細説明

7.1 概要

UCC35341-Q1 デバイスは、基板面積が限定されていて高集積が求められるアプリケーションに適しています。所要の絶縁仕様を満たす電力トランスが大型で高価になる、高電圧アプリケーションにも適しています。薄型で重心が低く、重量が少ないため、大型の大型トランスを使用するシステムよりも耐振動性が高くなります。このデバイスは使いやすく、効率を最大限に高めるためにゲート電圧を最適化するときに必要なに応じて正と負の両方の出力電圧を調整できる柔軟性があると同時に、厳格な電圧レギュレーション精度によりゲート酸化膜を過電圧から保護します。

このデバイスは、トラクション インバータ モーター ドライブ、オンボード チャージャー (OBC)、サーバー テレコム整流器、産業用モーター ドライブ、その他の高電圧 DC/DC コンバータの SiC または IGBT パワー デバイスのゲートドライブに電源を供給するための高効率、低エミッションの絶縁型 DC/DC コンバータを内蔵しています。この DC/DC コンバータは、2W を上回る電力を供給できます。

内蔵の DC/DC コンバータは、スイッチ モード動作および独自の回路技法を使用して、電力損失を低減し効率を向上します。特殊な制御メカニズム、クロック方式、オンチップトランスの使用により、高効率と低放射を実現しています。

内蔵トランスは、5000V_{RMS} の絶縁と 1202V_{RMS} の連続動作電圧を維持しながら、広い温度範囲で電力を供給します。トランスの絶縁静電容量が低いと、CMTI が高く、dv/dt スイッチングとスイッチング周波数を高速化できると同時に、ノイズ低減を実現できます。

VIN 電源は、内蔵トランスに接続された入力段をスイッチングする 1 次側電源コントローラに供給されます。電力は 2 次側出力段に転送され、COMA ピンを基準とした VDD ピンと FBVDD ピンとの間に接続された分圧抵抗で設定されるレベルに安定化されます。出力電圧は外付けの分圧抵抗によって調整可能で、広い (VDD ~ COM) 範囲に対応します。

最適な性能を得るため、V_{VIN} 入力電圧を推奨動作電圧範囲内に維持します。入力ピンに過大なストレスを与えないように、絶対最大定格電圧を超えないようにしてください。

高速のヒステリシス帰還バースト制御ループ モニタ (VDD-COM) により、出力電圧がヒステリシス内に維持され、負荷およびライン過渡中の小さなオーバーシュートやアンダーシュートが発生します。バースト制御ループにより、全負荷範囲にわたって効率的な動作が可能になり、V_{VIN} 範囲の全体にわたって広い範囲で出力電圧を調整できます。低電圧誤動作防止 (UVLO) 保護機能は入力電圧ピン、VIN、ヒステリシスと入力フィルタを監視し、ノイズの多い状況でも堅牢なシステム性能を確保します。過電圧誤動作防止 (OVLO) 保護機能は、入力電圧ピン VIN を監視し、スイッチングを無効化して内部ピーク電圧を下げることで、過電圧ストレスから保護します。全起動時間にわたってソフト スタート タイミングを制御することで、出力コンデンサおよび負荷を充電している間のピーク入力突入電流を制限します。

UCC35341-Q1 は、ゲートドライバの負バイアスとして使用される 2 番目の出力レール (COM-VEE) も供給でき、IGBT のターンオフ スイッチングをより短時間で行え、SiC デバイスの高速スイッチング時に不要なターンオンから保護できます。(COM-VEE) には、PWM スイッチング時に正および負のレールを確実に安定化するための、シンプルかつ高速、高効率のバイアス コントローラが搭載されています。この場合、共通の基準点として COM ピンを使用しています。COM ピンは、SiC デバイスのソースまたはエミッタに接続します。

故障保護およびパワー グッド ステータス ピンは、ホスト コントローラが DC/DC コンバータのステータスを監視し、ゲートドライバに電力および PWM 制御信号の適切なシーケンシングを提供します。障害保護機能として、低電圧、過電圧、過熱シャットダウン機能と、絶縁型チャネル通信インターフェイスのウォッチドッグ タイマを搭載しています。

ソフト スタートの標準的なランプアップ時間は t_{SSTO} より短く、入力電圧、出力電圧、出力容量、負荷に基づいて変化します。どちらかの出力が短絡または過負荷の場合、本デバイスは t_{SSTO} ソフト スタート時間内に電源オンにできないため、デバイスはシャットダウンします。デバイスの故障応答は、表 4-1 に示すように型番によって異なります。ラッチオフ動作では、デバイスは保護のためにシャットダウンし、ラッチオフします。また、ENA ピンをトグルするか、V_{VIN} をリセットすることでデバイスはリセットされます。自動再起動動作の場合、デバイスはシャットダウンし、t_{RESTART} の自動再起動タイマが後から起動します。タイマの経過後に、デバイスは自動再起動を試みます。障害が解消されると、デバイスはソフトスタートしてレギュレーションに成功します。障害状態が解消されない場合、本デバイスは再度シャットダウンし、別の自動再起動を試みます。障害が発生していれば、本デバイスはヒックアップモードで安全に動作できます。

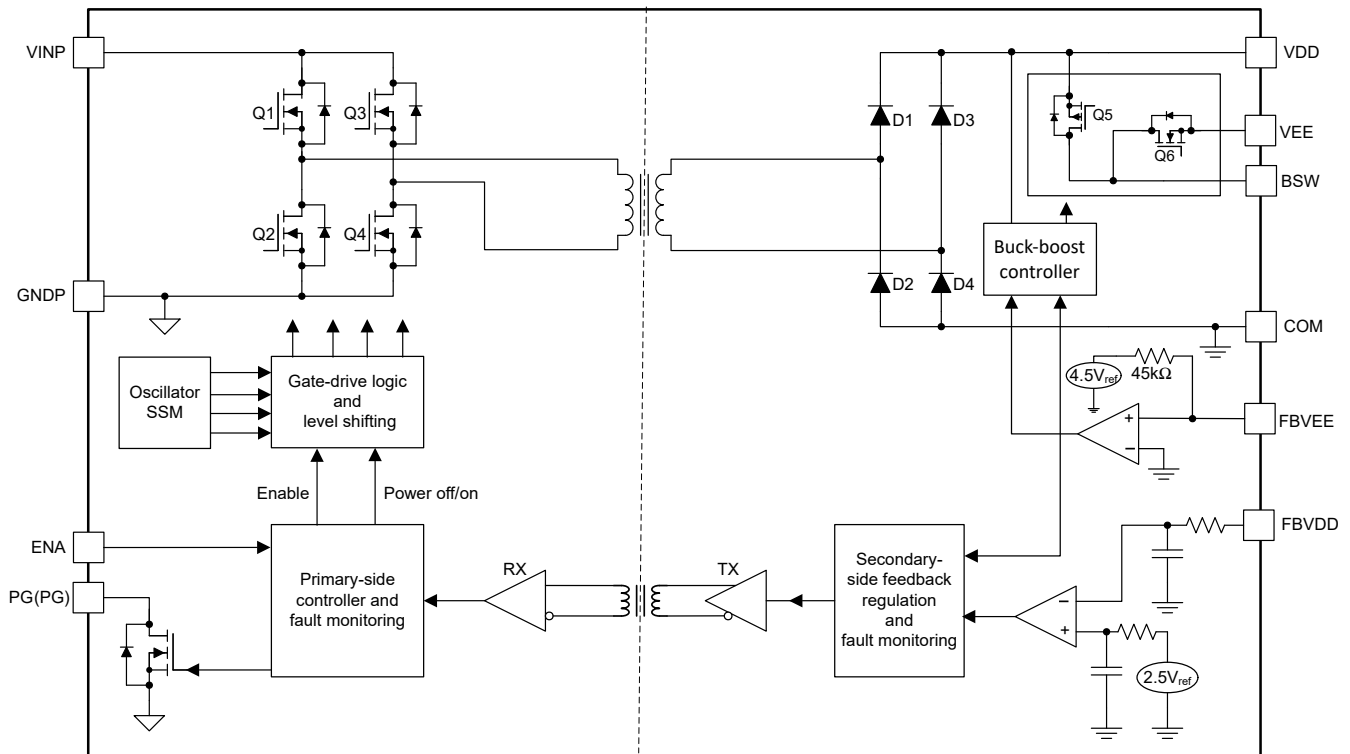
UCC35341-Q1 は、表 4-1 に示すように、HE の型番に基づいて、アクティブ極性が High または Low のパワーグッド インジケータを備えています。起動が完了し、パワーグッド ピンがアクティブになるまで、出力負荷を Low に維持する必要があります。連続するソフト スタートの場合、パワーグッド ピンがアクティブ ステータスを示すまで、(VDD – COM) または (COM – VEE) 出力に大きな負荷を加えないでください。

ゲートドライバへの PWM 信号を開始するために、パワーグッド ステータス インジケータをトリガ ポイントとして使用することを TI はお勧めします。パワーグッド 出力は、(VDD–COM) と (COM–VEE) の両方の出力がレギュレーション スレッシヨルドを $\pm 10\%$ 以内に達したときに、堅牢な閉ループ表示を行うことで、出力の準備ができたときのあいまいさを除去します。

パワーグッド がアクティブになるまで、ホストはゲートドライバに PWM を開始しないようにしてください。この動作は、通常、 $V_{IN} > V_{VIN_UVLOP}$ かつ ENA が high になった後、 t_{SSTO} よりも低く発生します。パワーグッド ステータス出力は、ソフト スタート (VDD - COM) および (COM - VEE) の後に電源がグッド状態になり、レギュレーションの $\pm 10\%$ 以内であることを示します。

ホストがパワーグッドを監視していない場合、VDD および VEE のソフト スタート後に電力が正常になるのに十分な時間を確保するため、ホストは $V_{IN} > V_{VIN_UVLOP}$ かつ ENA が High になってから 50ms 経過するまで PWM をゲートドライバへディスエーブルにすることを推奨します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 電力段の動作

UCC35341-Q1 モジュールは、1 次側でソフト スイッチング フルブリッジ コンバータ、2 次側でパッシブ フルブリッジ 整流器を使用します。小型の内蔵トランスは高いスイッチング周波数で動作するので、16 ピンの SSOP パッケージに統合するためにサイズを縮小できます。電力段のスイッチング周波数は、16.5 から 27MHz までの範囲内です。パワー段のスイッチング周波数は、以下の図に示すように、フィードフォワード制御による入力電圧によって決定されます。適応型スペクトラム拡散変調 ASSM を使用して放射を低減します。スイッチング電力損失を低減するために、ZVS 動作が維持されています。

UCC35341-Q1 モジュールは、2 つの安定化出力を生成します。シングル出力コンバータとして、VDD から COM のみ、またはデュアル出力コンバータとして、VDD から COM へ、COM から VEE へのコンバータとして構成できます。

これら 2 つの出力は、ヒステリシス制御により独立して制御されます。さらに、VDD から COM への変換はメイン出力であり、COM から VEE への変換はメイン出力を入力として使用し、2 番目のレギュレーション済み出力電圧を生成します。

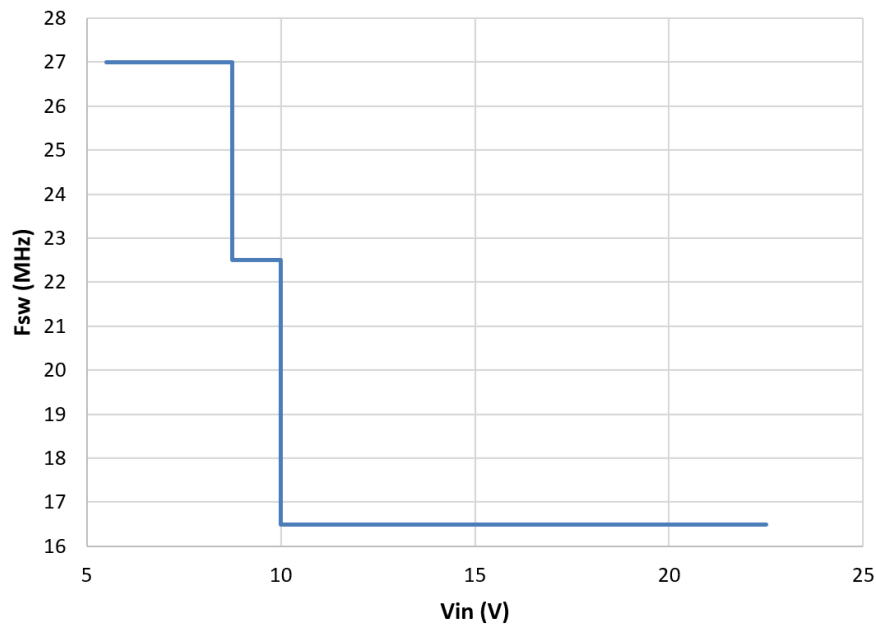


図 7-1. 入力電圧に対する VDD - COM スイッチング周波数

7.3.1.1 VDD - COM 電圧レギュレーション

VDD 出力はモジュールのメイン出力です。電力段の動作は、ヒステリシス制御を使用して FBVDD ピンで検出される VDD 電圧によって決定されます。内部リファレンス電圧 $V_{FBVDD_REF} = 2.5V$ 。VDD 電圧は、分圧器 R_{FBVDD_TOP} と R_{FBVDD_BOT} によって検出されます。FBVDD 電圧がターンオフ スレッショルドを下回った場合、電力段はバースト オン状態で動作し、2 次側に電力を供給して、VDD 出力電圧を上昇させます。FBVDD がターンオフ スレッショルドに達すると、電力段がオフになります。VDD 出力電圧は負荷電流により降下します。FBVDD の電圧がターンオン スレッショルドを下回ると、電力段が再度オンになります。高精度の電圧リファレンスとヒステリシス制御により、VDD の出力電圧を $\leq 1.5\%$ の精度でレギュレートできます。

ノイズ耐性を高めるには、FBVDD ピンと COMA ピンとの間に 220pF の小さなコンデンサ C_{FBVDD} を追加する必要があります。EM ノイズが大きい環境では、帰還デカップリング容量 C_{FBVDD} が大きく、帰還抵抗 R_{FBVDD_TOP} と R_{FBVDD_BOT} の値を低い値に選択することで、VDD 帰還ループのノイズ耐性をさらに向上させることができます。

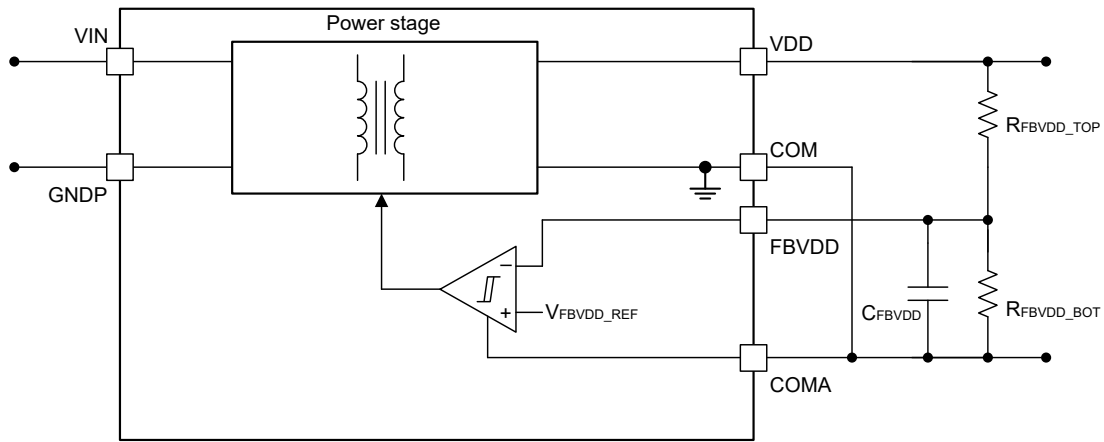


図 7-2. VDD-COM 電圧レギュレーションの機能ブロック図

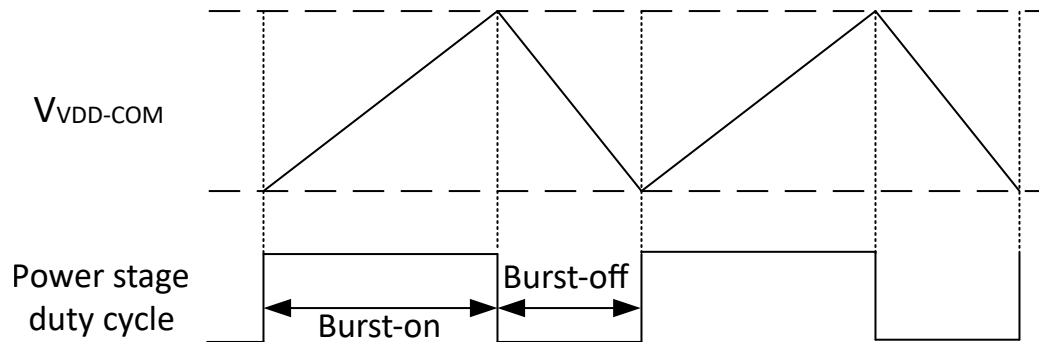


図 7-3. VDD-COM レギュレーション方式の概念

ADVANCE INFORMATION

7.3.1.2 COM - VEE 電圧レギュレーション

内部の昇降圧コンバータから、安定化された負の VEE 電圧を生成します。昇降圧コンバータの動作は、FBVEE ピンで検出される VEE 電圧によって決定されます。内部 90k 抵抗と 4.5V のリファレンス電圧を活用し、VEE 電圧に対するプログラミング (設定) と、-2V ~ -8V の間で安定化を実施できます。

昇降圧コンバータは、COM から VEE への電圧レギュレーションのための内蔵ヒステリシス電圧帰還ループと、サイクル間の電流制限のための内蔵電流制御ループによって制御されます。FBVEE 電圧がターンオフ スレッショルドを下回った場合、昇降圧コンバータはピーク電流モード制御で動作します。インダクタ電流は、スイッチング サイクルの開始時に増加して、ピーク電流制限に達してからゼロに戻ります。通常動作では、コンバータは境界導通モードで動作しますが、スタートアップ時には連続導通モードに移行できます。昇降圧のピーク電流は I_{LIM} 未満に制限されているため、選択したインダクタは I_{LIM} よりも大きい飽和電流を持っている必要があります。「電気的特性」表に示されているように、ピーク電流制限 I_{LIM} は VDD 電圧に基づくフィードフォワード制御によって実装されています。これにより、VDD 電圧が異なる場合に制御ループ遅延によって生じるオーバーシュートを考慮しても、インダクタの最大電流が、VDD フィードフォワードがない条件での最大 I_{LIM} を超えないようになっています。VDD 電圧が高いほどオーバーシュートが大きくなるため、補償のために VDD フィードフォワード制御では I_{LIM} の値が低く設定されます。推奨されるインダクタの選択範囲は 3.0 μ H ~ 10.0 μ H です。標準スイッチング周波数は、「電気的特性」表に記載されている条件下での f_{SW_VEE} です。

FBVEE 電圧がターン オフ スレッショルドに達すると、昇降圧コンバータがオフになります。FBVEE 電圧が負荷電流によりターン オン スレッショルドを下回ると、昇降圧コンバータが再度オンになります。高精度の電圧リファレンスとヒステリシス制御により、VEE の出力電圧を $\leq 5\%$ の精度でレギュレートできます。

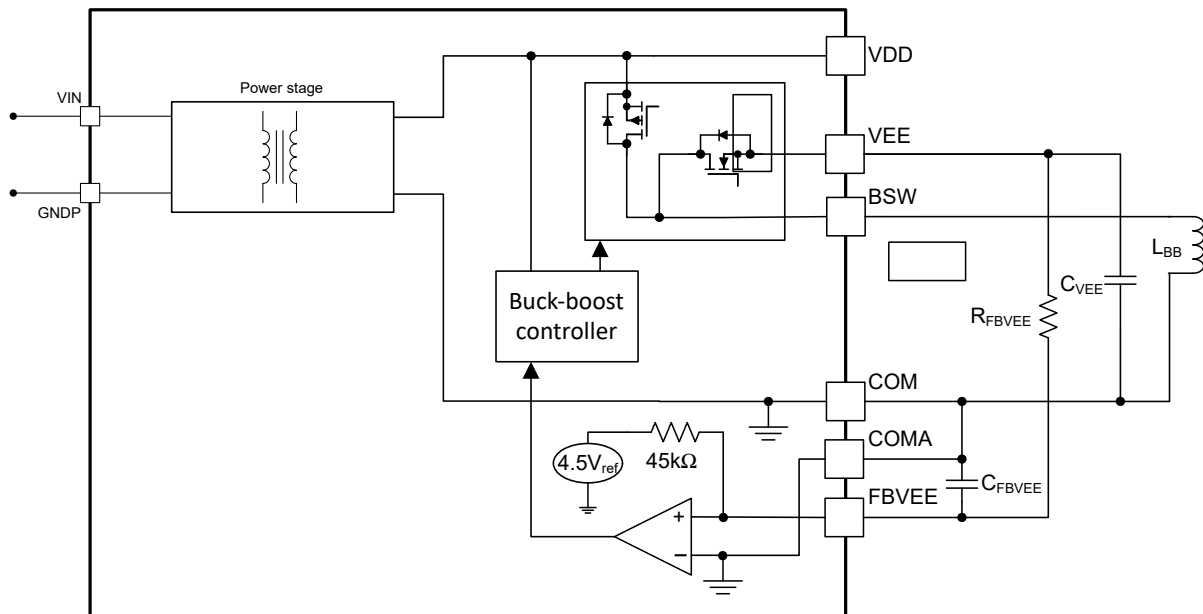


図 7-4. COM-VEE 電圧レギュレーションの機能ブロック図

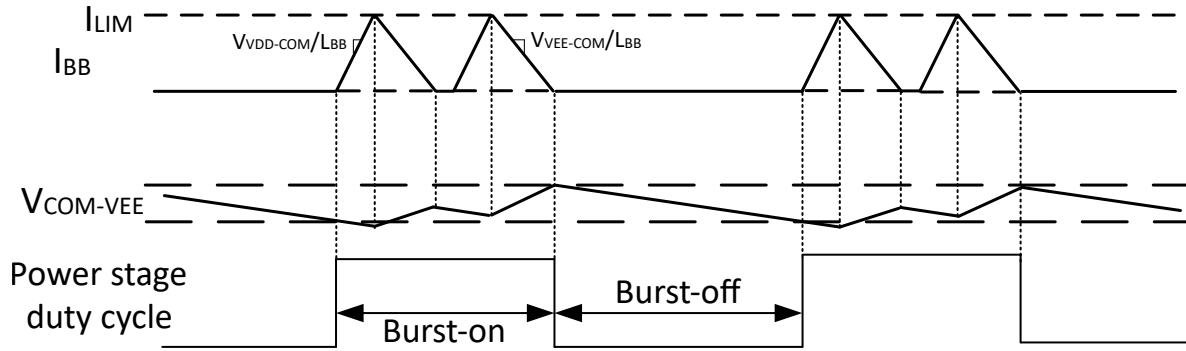


図 7-5. COM-VEE レギュレーション方式の概念

7.3.1.3 COM-VEE の出力容量

異なる VDD-COM 電圧および COM-VEE 電圧での VEE 昇降圧コンバータの最大出力電流および出力電力容量を図 7-6 と図 7-7 に示します。また、このデータシートとは別に、設計支援文書として、Excel カリキュレータ ツールで計算することもできます。このパワー モジュールには 2 つの独立した出力電力容量があります。1 つは「代表的特性」セクションの SOA 曲線で示されている VDD-COM 出力で、もう 1 つは VEE このセクションに示す COM-VEE 出力です。2 つの出力電力容量のいずれかが不足すると、過剰な出力電力要件が発生し、デバイスの出力低電圧保護とシャットダウンが発生する可能性があります。

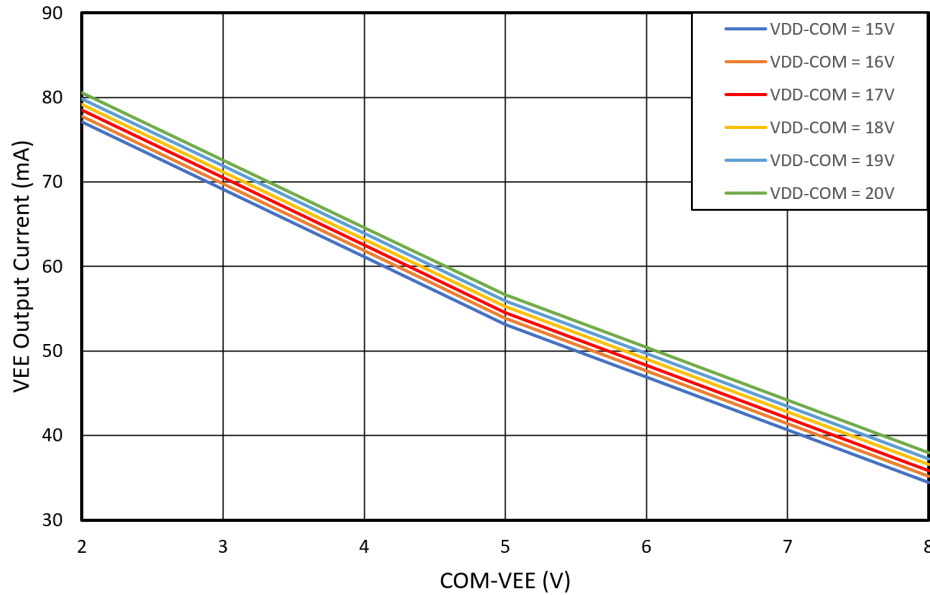


図 7-6. さまざまな VDD-COM 電圧と VEE-COM 電圧での VEE 昇降圧コンバータの出力電流容量

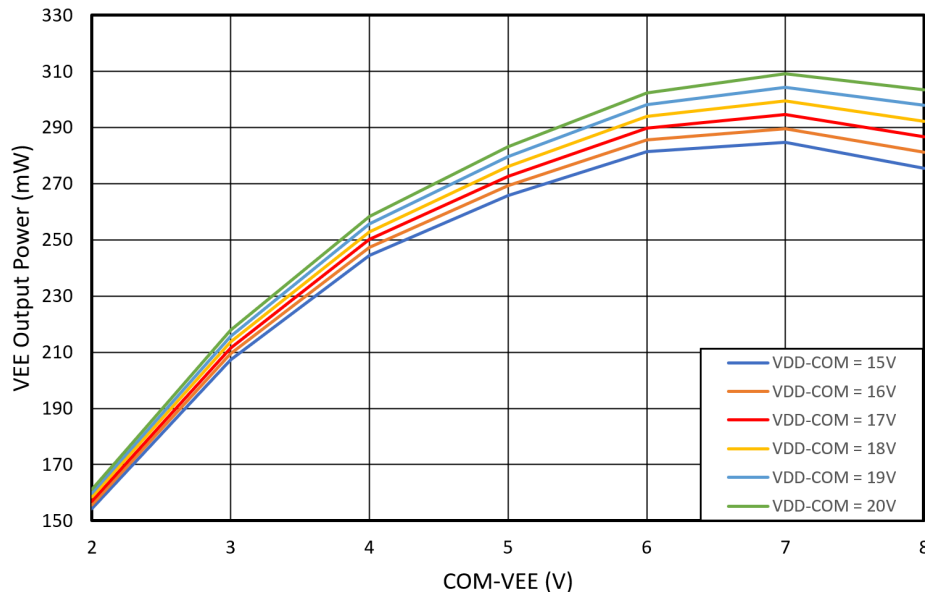


図 7-7. さまざまな VDD-COM 電圧と VEE-COM 電圧での VEE 昇降圧コンバータの出力電力容量

7.3.2 出力電圧のソフト スタート

UCC35341-Q1 にはソフト スタート機構があり、最小限の入力突入電流でスムーズかつ高速なソフト スタート動作を保証します。出力電圧ソフトスタートの図を下図に示します。入力電圧が V_{IN_UVLO} スレッシュホールドを上回り、 EN_A 信号が high になると、ソフト スタートシーケンスは 1 次デューティ サイクルの開ループ制御から開始されます。電力段は固定バースト周波数で動作し、デューティサイクルを 6.5% から段階的に増加させることができます。デューティサイクルの変化率は、出力電圧 V_{DD} の構築中に入力突入電流を低減するため、部品にあらかじめプログラムされています。このデューティサイクル制限を解放する前に、2 次側の V_{DD} 電圧が V_{DD_UVLO} を通過するまで、このフェーズの間の最大デューティサイクルを 62.5% に制限します。この制限により、本デバイスが短絡で起動し、 V_{DD} が形成されていない場合に、最小入力電流が確保されます。 V_{DD} がレギュレーション範囲に達すると、デューティ サイクルは 1 次側コントローラから決定されなくなり、代わりに V_{DD} ヒステリシス制御がアクティブになり、定義されたヒステリシス幅内で出力電圧を厳密にレギュレートします。

V_{DD} が V_{DD_UVLO} を通過すると、 FB_{VEE} ステータス チェックが実行され、 BSW ピン フォルト検出用に 1 つのインダクタ電流パルスが生成されます。 V_{DD} がレギュレーションに達すると、ピーク電流が小さいときに VEE ソフト スタートが発生します。このようにして、絶縁型コンバータの充電電流は、 VEE ソフト スタートの前に、最初に V_{DD} コンデンサを供給できます。 VEE 電圧のソフト スタートプロセスには 2 つのフェーズがあります。フェーズ 1 では、特に VEE ピンが COM と短絡した場合に、ソフト スタート タイムアウトが終了する前の電力損失が低減され、最初の制限された VEE ソフト スタートピーク電流が低減されます。 $V_{COM_SS_VEE}$ が V_{VEE_SS} (0.5V 標準値) より大きい場合、 VEE ソフト スタートは位相 2 に入り、インダクタのピーク電流が大きくなって、 VEE コンデンサの充電開始時間がより速くランプレートを示します。

パワーグッド信号が生成される場合、 V_{DD} 電圧がレギュレーションに達すると、 t_{VEE_SSTO} および t_{PG_Delay} の 2 つのタイマが開始されます。 VEE が t_{VEE_SSTO} 期間内に VEE_UVP スレッシュホールドを通過しない場合、フォルトがトリガされ、デバイスをシャットダウンし、ソフト スタートが失敗したことのフラグが設定されます。 t_{PG_Delay} 期間内にフォルトが検出されない場合、パワーグッド信号がアクティブ状態に変化し、パワーグッド状態を示します。 V_{DD} 電圧が t_{SSTO} 期間内にレギュレーションに達しない場合、フォルトがトリガされ、デバイスをシャットダウンし、ソフト スタートが失敗したことのフラグが設定されます。

VEE が t_{VEE_SSTO} 期間内に VEE_UVP スレッシュホールドに確実に達するようにするには、ゲートドライバ側 (C_{VEE_GD}) と絶縁型コンバータ バイアス側 (C_{VEE_BIAS}) の COM から VEE への出力容量の合計が最大許容値を超えないようにする必要があります。ゲートドライバ側での最大許容値 (C_{VEE_GD}) は、このデータシート以外の設計をサポートするドキュメントとして計算ツールで提供されています。最大許容コンデンサ値を決定するための式は以下に示すとおりで、計算ツールに実装されます。この式で、 $I_{LOAD_SS_VEE}$ は VEE ソフト スタート時の出力負荷の静止電流を表します。

$$C_{VEE_GD} \leq \frac{t_{VEE_SSTO_min}}{\frac{V_{VEE_SS}}{I_{VEE_Phase1} - I_{LOAD_SS_VEE}} + \frac{V_{VEE} - V_{VEE_SS}}{I_{VEE_Phase2} - I_{LOAD_SS_VEE}}} - C_{VEE_BIAS} \quad (1)$$

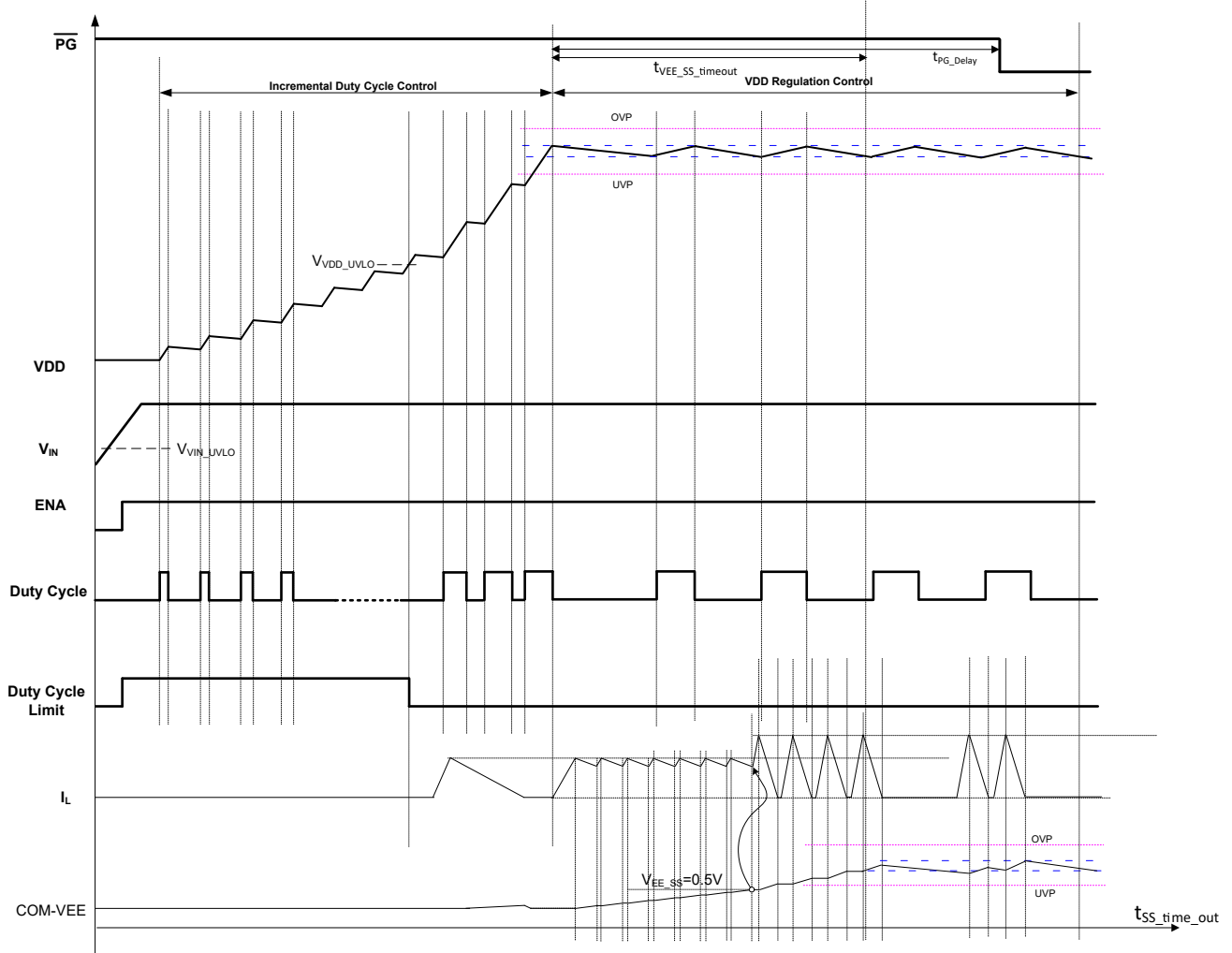


図 7-8. パワーグッド アクティブ Low の出力電圧ソフトスタート図

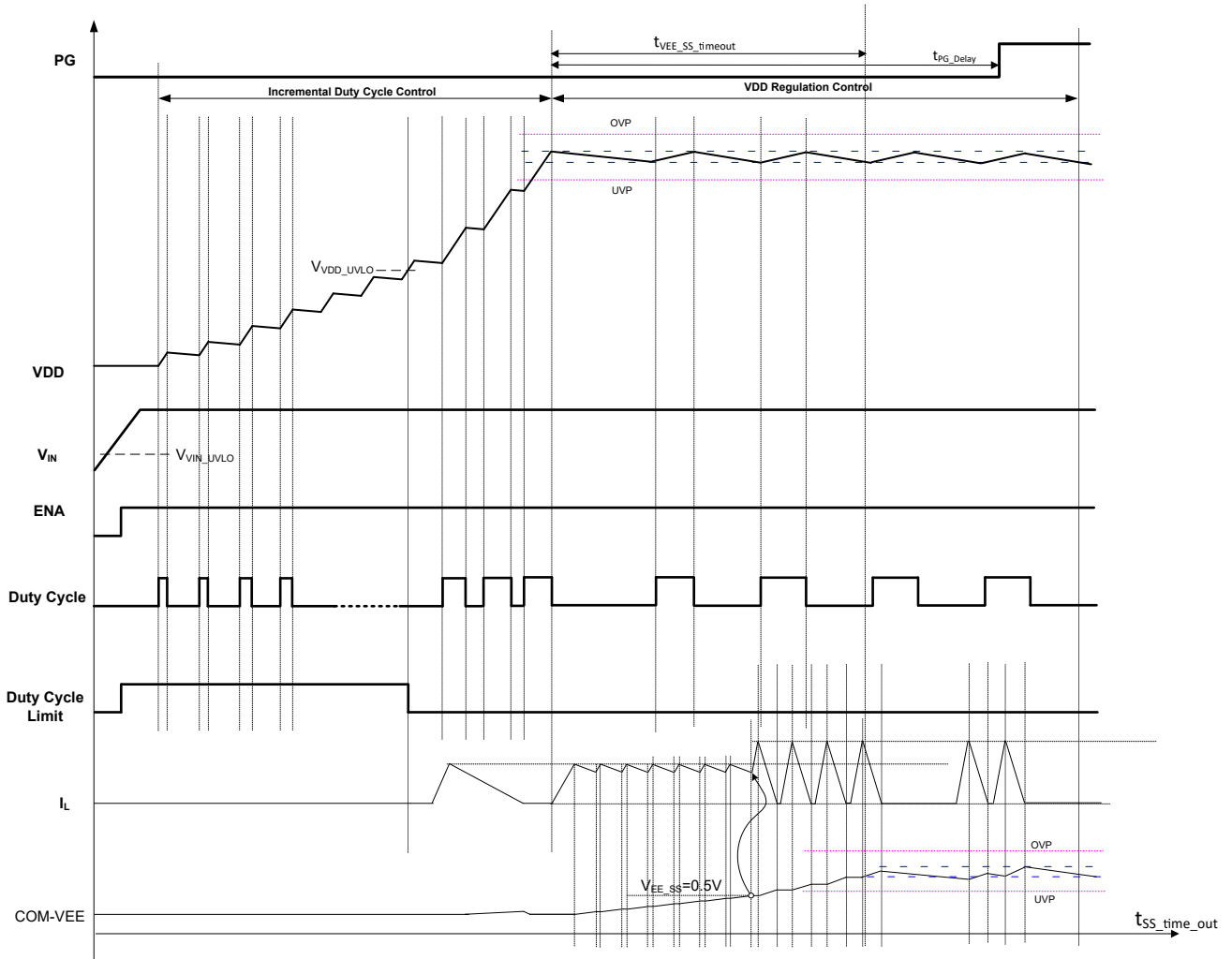


図 7-9. パワーグッド アクティブ High の出力電圧ソフトスタート図

7.3.3 ENA とパワーグッド

ENA 入力ピンと 1 次側のパワーグッド出力ピンは、5V または 3.3V ドメインの TTL と CMOS の両方のロジックレベルをサポートしています。アクティブ high イネーブル入力 (ENA) ピンを使用して、絶縁 DC/DC コンバータをオンにできます。3.3V または 5V のロジックレベルを使用できます。ENA ピンの推奨最大電圧は 5.5V です。ENA ピンの電圧がイネーブル スレッショルド V_{ENA_R} を上回ると、パワー モジュールはスイッチングを開始し、ソフト スタート プロセスを実施して、2 次側に電力を供給します。ENA ピンの電圧がディセーブル スレッショルド V_{ENA_F} を下回ると、UCC35341-Q1 がディセーブルされ、内部電力段はスイッチングを停止します。

ラッチオフ デバイスでは、ENA ピンを使用して、保護セーフ状態モードに移行した後でデバイスをリセットすることもできます。障害が検出された後、保護ロジックがラッチオフし、デバイスを安全状態に移行します。本デバイスをリセットするには、フォルト後に $t_{EN_LO_DLY}$ の間待機し、次に V_{ENA_F} を下回る ENA ピンの電圧を $t_{EN_LO_RST}$ より長い時間トグルしてから、3.3V または 5V に戻す必要があります。その後デバイスはラッチオフ モードを終了し、ソフトスタート シーケンスが再開されます。

ENA ピンを使用して、VIN ピンと ENA ピンの間に外付け分圧抵抗を使用することで、プログラム可能な入力 UVLO を実装することもできます。入力 UVLO が比較的小さく V_{IN} が比較的高いデバイスやアプリケーションでは、スタートアップ時の V_{IN} のランプが遅いと、トランスの巻線比が比較的低く、出力コンデンサを充電するのに十分な電力を生成できないため、スタートアップが失敗します。この問題は、VIN、ENA、および GNDP ピンの間に抵抗分圧器を追加して ENA 信号時間をプログラムし、内部入力 UVLO をオーバーライドすることで解決できます。 V_{ENA_R} の立ち上がりスレッショルドは 1.5V に設定され、 V_{ENA_F} の立ち下がりスレッショルドは 1.35V に設定されます。プログラマブル入力 UVLO 機能を使用すると、ENA ピンと GNDP ピンの間に遅延コンデンサを追加して、各パワーモジュール間の遅延時間をプログラムすることで、複数の内蔵 DC/DC モジュールをシーケンシャルに起動することもできます。具体的には、ENA1 信号を使って 1 つのモジュールまたは 1 つのグループ化されたモジュールを有効化でき、ENA1 からの遅延 ENA2 信号は、別のモジュールまたは別のグループ化されたモジュールを順に有効化できます。ENA1 と ENA2 が R_{ENA2} 配線に対して距離が近すぎるアプリケーションでは、ENA1 用の RC 回路を各モジュールの ENA ピンに複製して、シーケンシャルなスタートアップを実現できます。順次電源投入が必要ない場合は、複数のモジュールが同じ分圧抵抗を共有し、入力 UVLO スレッショルドをプログラムできます。実装を容易にするため、推奨される抵抗およびコンデンサの値は計算ツールで、このデータシート以外の設計をサポートする資料として利用できます。

分圧抵抗で 1 つのフォルト イベント (単一下側抵抗のオープン状態など) を考慮する必要がある場合、ENA ピンの絶対最大値 7V を超えるリスクをアプリケーション レベルで低減する必要があります。2 つの方法を適用できます。1 つの方法は、ENA ピンに外付けのツェナー ダイオードを追加することです。もう 1 つの方法は、下側の抵抗を 2 つの抵抗部品に分割することです。

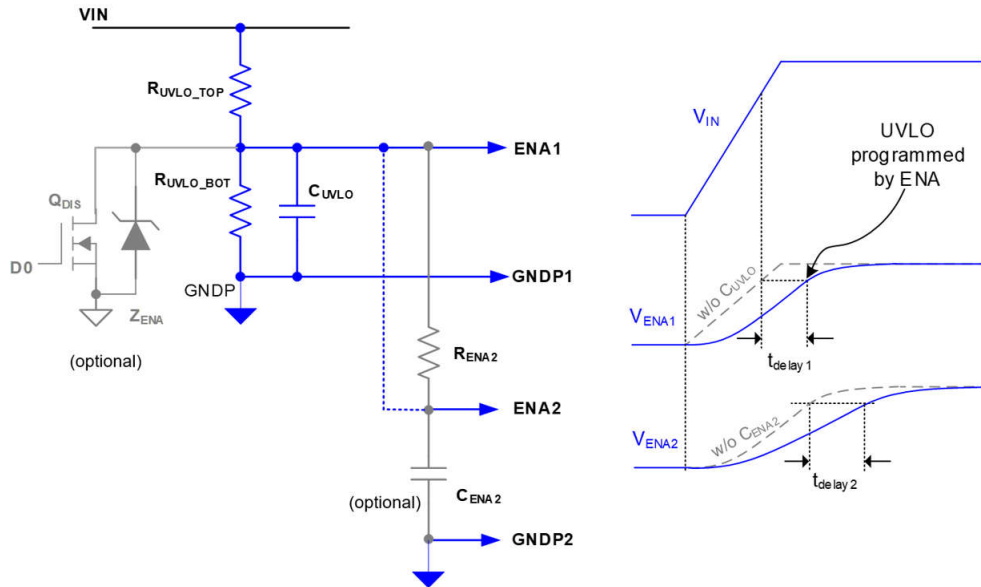


図 7-10. 入力 UVLO プログラミング回路および動作原理

パワーグッドは、モジュールに障害がなく、出力電圧が出力電圧レギュレーション設定ポイントの $\pm 10\%$ 以内であるときに、アクティブ状態を示すオープンドレイン出力です。内部プルダウン MOSFET $< 5\text{mA}$ の最大電流シンク能力を考慮するため、パワーグッドピンから 5V または 3.3V のロジックレールへのプルアップ抵抗 ($> 1\text{k}\Omega$) を推奨します。抵抗が大きいと、パワーグッドピンの通常のロジック状態での静止電流が減少します。パワーグッドピンの電圧は、推奨動作電圧を超えないように 5.5V 未満に維持することが重要です。

アクティブ Low のパワーグッド極性の場合、スタートアップ時に $\overline{\text{PG}}$ 信号には、隣接する VIN ピンと $\overline{\text{PG}}$ ピンとの間の寄生容量に起因する電圧降下があります。この容量性結合により、 $\overline{\text{PG}}$ ピンにプルアップ電流が発生するため、プルアップ抵抗の両端で電圧降下が発生し、スタートアップ時に $\overline{\text{PG}}$ 信号に電圧降下が発生します。スタートアップ時の電圧降下を低減するため、 $4.99\text{k}\Omega$ プルアップ抵抗と $\overline{\text{PG}}$ ピンとグランドを接続する $1\mu\text{F}$ のデカップリングコンデンサを推奨します。

アクティブ High のパワーグッド極性の場合、スタートアップ時は PG が接地されるため、 $10\text{k}\Omega$ プルアップ抵抗付き $0.1\mu\text{F}$ ~ $1\mu\text{F}$ 範囲の小さなデカップリングコンデンサを選択できます。アクティブ High 設定を使用すると、複数の DC/DC モジュールからの PG ピン信号を直接接続することで、グループの異常検出出力を簡単にできます。これは、いずれかの 1 つ (または複数) のモジュールのパワーグッド状態がプルダウン FET をオンにする場合でも、合成された PG 信号が Low のままになるためです。一方、パワーグッド状態中は、すべての DC/DC モジュールのプルダウン FET がオフの状態に維持されるため、合成された PG 信号は High のままになります。

7.3.4 保護機能

UCC35341-Q1 は、入力低電圧誤動作防止、過電圧誤動作防止、出力低電圧、過電圧、過熱などの完全な保護機能を備えています。入力の低電圧および過電圧誤動作防止保護機能は、自動回復応答を備えています。他のすべての保護機能には、表 4-1 に示すように型番に基づいた故障応答があります。ラッチオフ応答保護がトリガされると、コンバータはラッチオフ状態に移行し、スイッチングを停止します。このラッチは、 ENA ピンのオフ状態からオンに切り替えるか、または V_{VIN} 電圧を $V_{\text{VIN_UVLO_F}}$ スレッシュホールド未満に下げてから $V_{\text{VIN_UVLO_R}}$ スレッシュホールドより高くすることでリセットされます。自動再起動応答の場合、部品がシャットダウンすると、 t_{RESTART} タイマが起動し、図 7-11 に示すように、部品は新しいソフトスタートシーケンスを使って自動再起動を試みます。障害が解消されると、デバイスはソフトスタートしてレギュレーションに成功します。障害状態が解消されない場合、本デバイスは再度シャットダウンし、別の自動再起動を試みます。障害が発生していれば、本デバイスはヒカップモードで安全に動作できます。

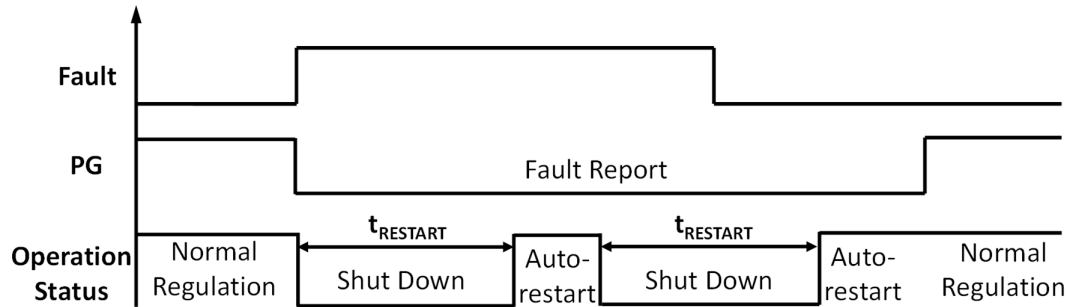


図 7-11. PG がアクティブ High のときの自動再起動動作

7.3.4.1 入力低電圧誤動作防止

V_{VIN} 電圧が UVLO スレッショルド $V_{VIN_UVLO_F}$ を下回ると、UCC35341-Q1 は入力低電圧誤動作防止に移行します。UVLO モードでは、コンバータはスイッチングを停止します。 V_{VIN} ピンの電圧が $V_{VIN_UVLO_F}$ を下回ると、UCC35341-Q1 はすべての保護をリセットします。次に、 V_{VIN} 電圧が UVLO スレッショルド $V_{VIN_UVLO_R}$ を上回ると、コンバータがイネーブルになります。ENA ピンの電圧に応じて、コンバータは、スイッチングを開始したり、ソフト スタート プロセスを実行したり、ディスエーブル モードで ENA ピンの電圧が高くなるのを待機したりできます。

7.3.4.2 入力過電圧誤動作防止

入力過電圧誤動作防止保護は、UCC35341-Q1 を過電圧による損傷から保護するために使用されます。UCC35341-Q1 は、自動回復応答も備えています。 V_{VIN} ピンの電圧が入力過電圧誤動作防止スレッショルド $V_{VIN_OVLO_R}$ を上回ると、スイッチングが停止し、コンバータは 2 次側へのエネルギーの送信を停止します。過電圧誤動作防止の後で V_{VIN} ピンの電圧が回復スレッショルド $V_{VIN_OVLO_F}$ を下回った後で、ENA ピンの電圧ステータスに応じて、コンバータは動作を再開するか、完全なソフト スタートを実行するか、ディスエーブル モードで ENA ピンが high になるまで待機することができます。

入力過電圧誤動作防止は、他のラッチオフ保護をリセットしません。

7.3.4.3 出力低電圧保護

出力電圧低電圧保護は、FBVDD および FBVEE ピン電圧に基づいています。FBVDD ピンの電圧が UVP スレッショルド $V_{VDD_UVP_F}$ を下回るか、FBVEE ピンの電圧が UVP スレッショルド $V_{VEE_UVP_F}$ を下回ると、低電圧保護がアクティブになります。UCC35341-Q1 はスイッチングを停止し、パワーグッド ピンは非アクティブ ステータスに変化します。

ソフト スタート中は、出力電圧が 0V から上昇するため、FBVDD ピンと FBVEE ピンの両方の電圧は UVP スレッショルドを下回っています。UVP は、ソフト スタート時に無効化されます。ソフト スタートの完了後に、ピン電圧が UVP 回復スレッショルド ($V_{VDD_UVP_R}$ 、 $V_{VEE_UVP_R}$) に到達できない場合、低電圧保護がアクティブになり、UCC35341-Q1 はスイッチングを停止し、パワーグッド ピンが非アクティブ ステータスに変化します。

7.3.4.4 出力過電圧保護

UCC35341-Q1 は、FBVDD ピンおよび FBVEE ピンによって出力電圧を検出し、出力電圧を制御します。出力電圧が過度に高くなりすぎたり、負荷または UCC35341-Q1 デバイスが損傷したりしないように、UCC35341-Q1 には出力過電圧保護機能が搭載されています。フィードバック ピンの電圧と出力電圧に基づいて 2 レベルの過電圧保護があります。

通常動作時は、負荷過渡により、出力電圧がレギュレーション レベルを超える場合があります。FBVDD および FBVEE のピン電圧に基づいて、電圧がスレッショルド $V_{VDD_OVP_R}$ または $V_{VEE_OVP_R}$ を超えると、コンバータは直ちにスイッチングを停止します。

まれに、分圧器が誤動作する可能性があります。出力電圧情報が誤ってしまう可能性があります。そのため、制御ループによって出力電圧が誤った電圧レベルに制御されます。このような場合、UCC35341-Q1 にはフェイルセーフ過電圧保護機能も搭載されています。 V_{DD_COM} または COM_VEE 電圧が過電圧保護スレッショルド $V_{VDD_OVLOS_R}$ または $V_{VEE_OVLOS_R}$ を超えると、コンバータは直ちにシャットダウンされます。このフェイルセーフ保護レベルは、負荷ではなく

UCC35341-Q1 を保護することを目的としています。この設計では、電圧帰還分圧器のあらゆる条件下での通常動作を指定する必要があります。

7.3.4.5 過熱保護機能

UCC35341-Q1 は、1 次側および 2 次側電力段ならびに絶縁トランスを内蔵しています。電力変換に起因する電力損失は、モジュールの温度を周囲温度よりも高くします。電源モジュールの安全な動作を確保するため、UCC35341-Q1 には過熱保護機能が搭載されています。1 次側電力段と 2 次側電力段の両方の温度が検出され、過熱保護スレッシュホールドと比較されます。1 次側電力段の温度が $T_{SHUT_P_R}$ を上回るか、2 次側電力段の温度が $T_{SHUT_S_R}$ を上回ると、モジュールは過熱保護モードに移行します。モジュールはスイッチングを停止し、パワーグッド ピンは非アクティブ ステータスに変更されます。

7.3.4.6 BSW ピンの障害保護

UCC35341-Q1 は、VEE 昇降圧コンバータのソフト スタート期間中の BSW ピン障害に対する保護メカニズムを備えています。

BSW ピン開放の場合、VDD 電圧が $V_{VDD_UVLOS_R}$ スレッシュホールドを超えると、本デバイスは最初のインダクタ電流パルス幅を検出します。このパルス幅は、ピーク電流制限に達するまでの電流上昇期間です。最初のインダクタ電流パルス幅が、最大インダクタンス ($> 2.9\mu s$) を使用して通常のパルス幅よりも高い場合は、BSW フォルト保護がトリガされ、昇降圧スイッチングがディセーブルになります。その後、VDD ソフトスタートが完了すると、デバイスはスイッチングを停止します。

BSW ピンが COM または VEE ピンへ短絡した場合、本デバイスはリーディング エッジ ブランク期間の終了時にインダクタ電流を検出します。ソフト スタート中に電流がインダクタのピーク電流制限より大きくなると、BSW フォルト保護がトリガされ、昇降圧スイッチングがディセーブルになります。その後、VDD ソフトスタートが完了すると、デバイスはスイッチングを停止します。

7.4 デバイスの機能モード

入力および出力条件、ENA ピンの電圧、およびデバイス温度に応じて、UCC35341-Q1 は以下の動作モードのいずれかで動作します。

1. ディセーブル モード。このモードでは、モジュールはオフで、ENA ピンが high になって動作が開始されるまで待機します。
2. ソフトスタート モード。このモードでは、モジュールは 2 次側への電力供給を開始します。モジュールへのストレスを低減するため、1 次側動作のデューティ サイクルを徐々に上昇させます。
3. 通常動作モード。このモードでは、モジュールは通常動作し、電力を 2 次側に供給します。
4. 保護モードと自動回復。このモードでは、入力 UVLO または OVLO 保護のためにモジュールがオフになります。入力電圧障害がクリアされた後、ENA ピンの電圧条件によっては、ENA ピンの電圧が low であればディセーブルモードになるか、ソフト スタート モードを経由して通常動作モードに移行します。
5. 保護モード、ラッチオフ。このモードでは、他の保護により部品がオフになります。保護の原因となっている障害が解消されても、モジュールはオフのままです。 V_{VIN} をリサイクルする動作では、ラッチオフ状態をリセットするため、最初に入力電圧がアナログ UVLO 立ち下がリスレッシュホールド ($V_{VIN_UVLO_F}$) を下回るか、または ENA ピンが Low (オフ) から High (オン) に切り替わる必要があります。
6. 保護モードでは、定義された時間 $t_{RESTART}$ が経過すると自動再起動します。このモードでは、他の保護のために部品がシャットダウンします。部品がシャットダウンすると、 $t_{RESTART}$ タイマが起動し、その後、部品は新しいソフトスタートシーケンスを使って自動再起動を試みます。障害が解消されると、デバイスはソフトスタートしてレギュレーションに成功します。障害状態が解消されない場合、本デバイスは再度シャットダウンし、別の自動再起動を試みます。障害が発生していれば、本デバイスはヒカップモードで安全に動作できます。

表 7-1 に、このデバイスの電源機能モードを示します。ENA ピンのグラウンドに対する内部で弱いプルダウン抵抗がありますが、テキサス インストルメンツでは、このピンをオープンのままにすることは推奨していません。

表 7-1. デバイスの機能モード

| 入力 | | | 出力 | | | 動作モード |
|---|------|--------|----------------------------|----------------------------|------------------------------------|---|
| V_{VIN} | ENA | フォルト | $V_{(VDD-COM)}$ 絶縁型出力 1 | $V_{(COM-VEE)}$ 絶縁型出力 2 | パワー グッド (1) (2) オープンドレ イン | |
| $V_{VIN} < V_{VIN_UVLO_R}$ | X | X | OFF | OFF | 非アクティブ ステータス | 保護モードと自動回復 |
| $V_{VIN_UVLO_R} < V_{VIN} < V_{VIN_OVLO_R}$ | Low | X | OFF | OFF | 非アクティブ ステータス | ディセーブル モード |
| $V_{VIN_UVLO_R} < V_{VIN} < V_{VIN_OVLO_R}$ | High | NO 故障 | 設定点での調整 | 設定点での調整 | アクティブ ス テータス | 通常動作 |
| $V_{VIN_UVLO_R} < V_{VIN} < V_{VIN_OVLO_R}$ | High | YES 故障 | OFF | OFF | 非アクティブ ステータス | 保護モード、ラッチオフ、ま たは $t_{RESTART}$ 後の自動再 起動 |
| $V_{VIN} > V_{VIN_OVLO_R}$ | X | X | OFF | OFF | 非アクティブ ステータス | 保護モードと自動回復 |

- (1) 表 4-1 に示すパワーグッド アクティブ High デバイスの場合: アクティブ ステータス PG = HIGH、非アクティブ ステータス PG = LOW。
 (2) 表 4-1 に示すパワーグッド アクティブ Low デバイスの場合: アクティブ ステータス PG = LOW、非アクティブ ステータス PG = HIGH。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

UCC35341-Q1 デバイスは、基板面積が限定されていて高集積を必要とするアプリケーションに適しています。また、このデバイスは、所要の絶縁仕様を満たす電力トランスが大型で高価になる、高電圧アプリケーションにも適しています。

8.2 代表的なアプリケーション

以下の図に、絶縁型負荷に電力を供給する UCC35341-Q1 デバイス構成の代表的なアプリケーション回路図を示します。

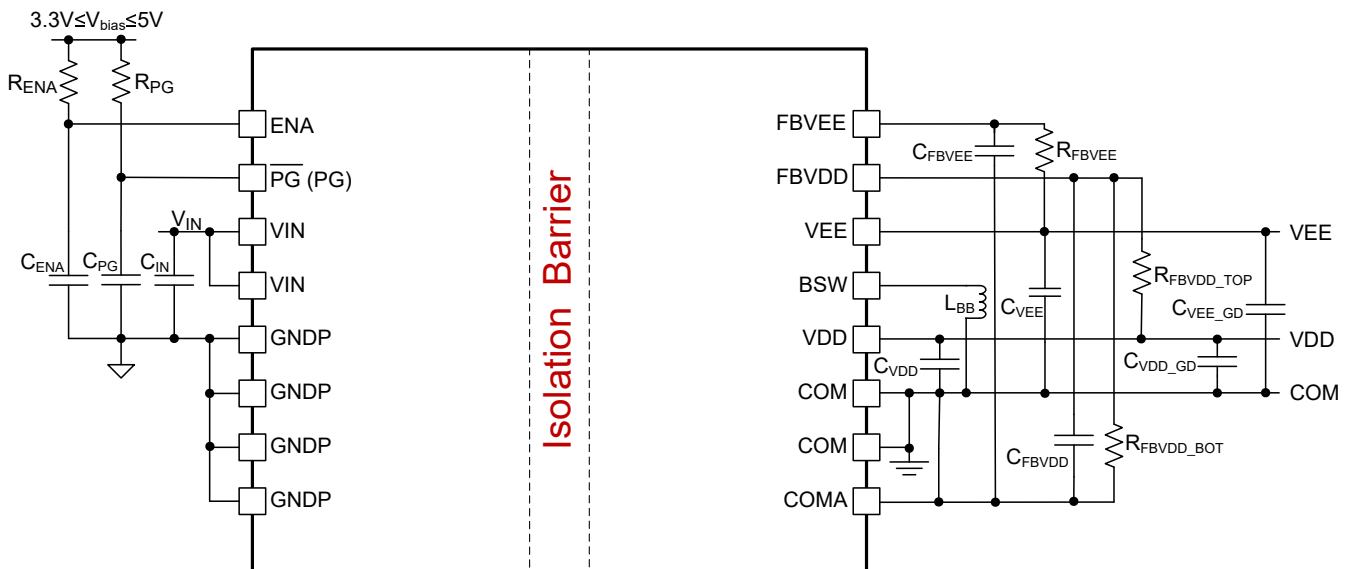


図 8-1. 可変デュアル出力構成

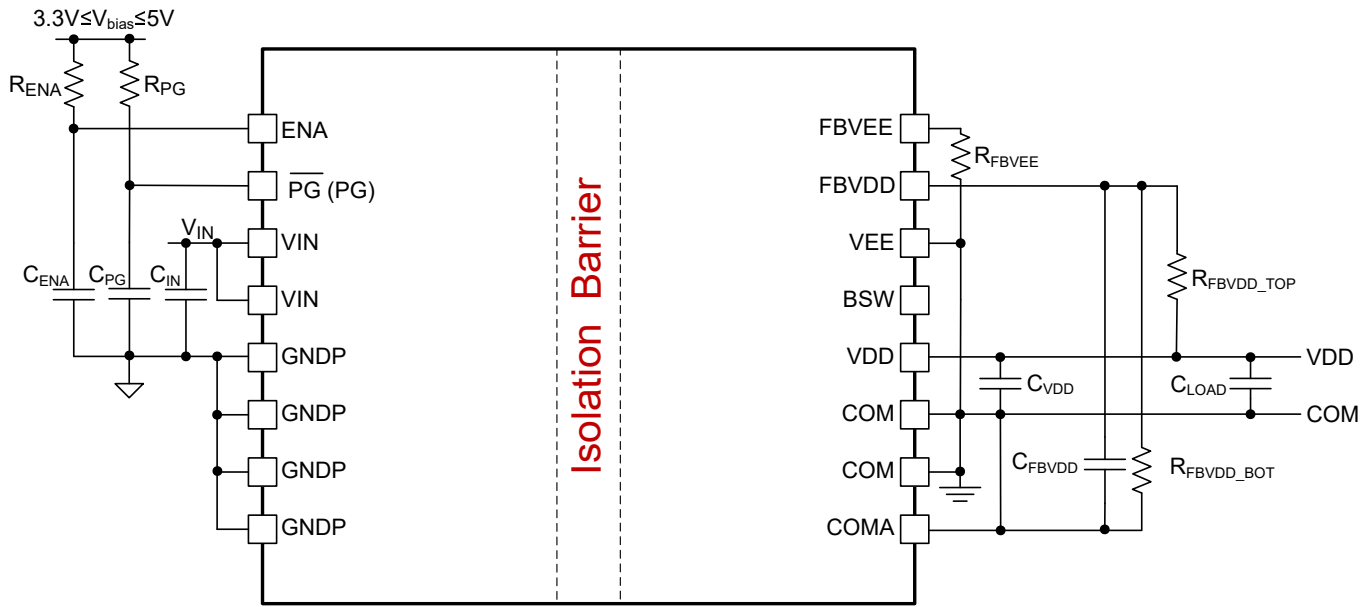


図 8-2. 単一、可変出力構成

8.2.1 設計要件

UCC35341-Q1 を使用する設計は簡単です。まず、シングル出力またはデュアル出力を選択します。各出力の電圧を決定し、帰還抵抗を使用してレギュレーションを設定します。パワー デバイスのゲート電荷によって、ゲートドライバの入力に必要な出力デカップリング容量の大きさが決まります。

デュアル可変出力構成の場合、1 個の内部反転昇降圧コンバータは、ターンオフ電源 (VEE) 用のレギュレーション済み負レールを生成します。バック・ブースト・コンバータは、ピーク電流モードのヒステリシス制御器によって制御されます。通常動作では、コンバータは不連続導通モードにとどまりますが、スタートアップ時には連続導通モードに移行できます。コンバータは内部で制御されており、必要なのは単一の表面実装インダクタ (L_{BB}) と出力バイパス コンデンサ (C_{VDD}) のみです。通常、コンバータは、 $3.3\mu\text{H}$ のインダクタと $2.2\mu\text{F}$ の出力コンデンサを使用するように設計されています。

BOM 部品の推奨値を示すサマリ表は、このデータシート以外の別の設計サポートドキュメントとして、計算ツールで利用できます。

8.2.2 詳細な設計手順

セラミック デカップリング コンデンサは、デバイスピンにできる限り近づけて配置してください。入力電源の場合、ピン 4 (VIN) とピン 5 (GNDP) の間にコンデンサを配置します。絶縁出力電源 (VDD – COM) の場合は、 C_{VDD} コンデンサをピン 12 (VDD) とピン 11 (COM) の間に配置します。負の電源電圧 (COM–VEE) の場合は、 C_{VEE} コンデンサをピン 14 (VEE) とピン 11 (COM) の間に配置します。これらのコンデンサは、電力ドライブ回路の高速スイッチング波形に関連する過渡電流を供給するため、すべてのデカップリングコンデンサに特に重要になります。コンデンサの誘電体材料が、対象アプリケーションの温度と適合していることを確認します。

8.2.2.1 VDD - COM 電圧レギュレーション

UCC35341-Q1 は、メイン出力として、絶縁出力 VDD-COM を生成します。電力段の動作は、ヒステリシス制御を使用して FBVDD ピンの VDD 電圧を検出することで決定されます。内部リファレンス電圧 $V_{FBVDD_REF} = 2.5V$ 。選択した R_{FBVDD_BOT} を使用して R_{FBVDD_BOT} の値を決定するには、式を使用してください

$$R_{FBVDD_TOP} = \frac{V_{VDD} * R_{FBVDD_BOT}}{2.5V} - R_{FBVDD_BOT} \quad (2)$$

たとえば、VDD 値を 20V に設定するには、10kΩ 抵抗を R_{FBVDD_BOT} とし、 R_{FBVDD_TOP} をのように計算できます

$$R_{FBVDD_TOP} = \frac{20V * 10k\Omega}{2.5V} - 10k\Omega = 70k\Omega \quad (3)$$

ノイズ耐性を高めるには、FBVDD ピンと COMA ピンとの間に 220pF の小さなコンデンサ C_{FBVDD} を追加する必要があります。

8.2.2.2 COM-COM VEE 電圧レギュレーションおよび単一出力構成

UCC35341-Q1 は、VEE 帰還抵抗 R_{FBVEE} を使用して、デュアル出力またはシングル出力コンバータとして構成できます。次の表は、異なる R_{FBVEE} 値でプログラム可能な範囲をまとめたものです。VDD 単一出力モードは、150kΩ と 300kΩ の間の R_{FBVEE} 値によりプログラムできます。公差 $\pm 5\%$ の 180kΩ SMD 抵抗を推奨します。 R_{FBVEE} が 150kΩ より低いと VDD および VEE デュアル出力モードがトリガされる可能性があり、 R_{FBVEE} が 300kΩ より高いと FBVEE ピンオープン フォルトがトリガされる可能性があります。図 8-2 に、シングル出力構成の代表的なアプリケーションの回路図を示します

表 8-1. R_{FBVEE} プログラミング

| R_{FBVEE} | 0 - 5kΩ | 25kΩ~85kΩ | 150kΩ~350kΩ | >1000kΩ |
|-------------|--|---|---|--------------------|
| 動作モード | FBVEE ピン短絡フォルトのトリガ $\pm 5\%$ の許容差を有する SMD 抵抗器で十分です。 | VEE レギュレーション時、VDD と VEE のデュアル出力 最高のレギュレーション精度を得るためには、公差 $\leq \pm 1\%$ の SMD 抵抗を推奨します。 | VDD 単一出力 公差 $\leq \pm 5\%$ の 180kΩ SMD 抵抗を推奨します。 | FBVEE ピン開放フォルトのトリガ |

内部の昇降圧コンバータから、安定化された負の VEE 電圧を生成します。昇降圧コンバータの動作は、FBVEE ピンの VEE 電圧を検出することで決定されます。内部 45k 抵抗と 4.5V のリファレンス電圧を活用し、VEE 電圧に対するプログラミング (設定) と、-2V ~ -8V の間で安定化を実施できます。デュアル出力モードでの COM-VEE と R_{FBVEE} の間の伝達関数はです

$$R_{FBVEE} = \frac{(0.5V - V_{VEE}) * 45k\Omega}{4.5V} \quad (4)$$

VEE レギュレーション値を -5V に設定する式の例

$$R_{FBVEE} = \frac{[0.5V - (-5V)] * 45k\Omega}{4.5V} = 55k\Omega \quad (5)$$

8.3 システム例

UCC35341-Q1 モジュールは、マイコンホストが ENA ピンを使用してシステムの適切なシーケンシングを実行できるように設計されています。パワーグッド出力により、ホストはモジュールのステータスを監視することもできます。故障がない場合、パワーグッド ピンはアクティブ ステータスになります。出力電圧は、IGBT または SiC FET パワー デバイス用のゲートドライバに給電することを意図しています。マイコンは、パワーグッド ピンがアクティブ ステータスになった後、ゲートドライバへの PWM 制御の送信を開始し、適切なシーケンシングを確保することができます。デュアル出力構成とシングル出力構成のシステム図を以下に示します。

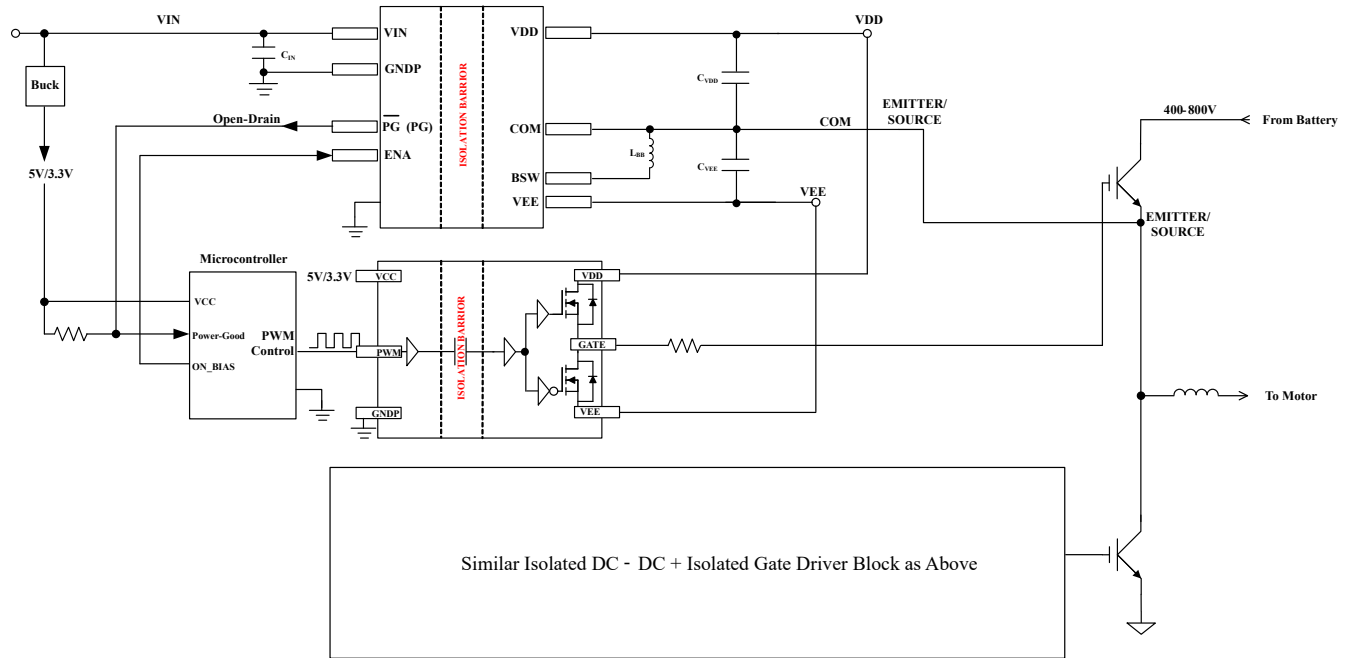


図 8-3. デュアル出力システム構成

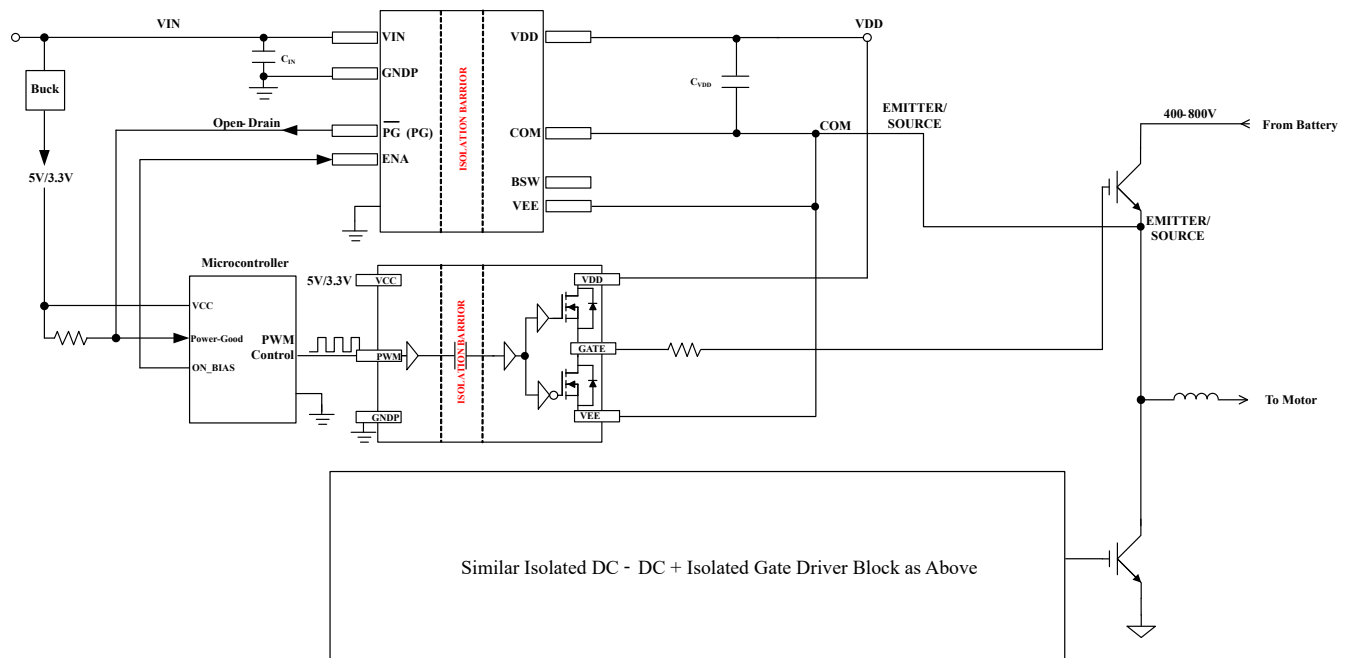


図 8-4. シングル出力システム構成

8.4 電源に関する推奨事項

推奨入力電源電圧 (UCC35341-Q1 の V_{VIN}) は 8 ~ 20 です。信頼性の高い動作を保証するため、適切なデカップリングコンデンサを電源ピンのできるだけ近くに配置する必要があります。ローカルバイパスコンデンサは、入力側の VIN ピンと GNDP ピンの間、VDD と COM の間、および出力側 COM と VEE の間に配置する必要があります。TI は、高周波デカップリング用に推奨される容量を提供するために、低 ESR のセラミック表面実装コンデンサをお勧めします。最終アプリケーションで必要とされる出力負荷に対応できるよう、入力電源の定格電流は適切でなければなりません。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

UCC35341-Q1 の統合絶縁電源ソリューションは、システム設計の簡素化、基板面積の使用低減を可能にします。最適な性能を実現するために適切な PCB レイアウトについては、これらのガイドラインに従ってください。適切な熱 PCB 設計を実現するには、外付け層上に 2 オンスの銅箔を使用した最低 4 層の PCB 層スタックを推奨します。信号トラックを配線したり、UCC35341-Q1 の直下に部品を配置したりすることは推奨しません。

- VIN ピンと GNDP ピンの間の入力コンデンサ:
 - 0.1 μ F 高周波バイパスコンデンサ (C3) はピン 3、4 (VIN) およびピン 5 ~ 8 (GNDP) のできるだけ近く、PCB 上で IC と同じ側に配置します。最適な配置のために望ましいサイズは、0402 セラミック SMD 以下です。10MHz から 30MHz までの範囲の自己共振周波数は、内部絶縁型コンバータのスイッチング周波数ノイズに対して低インピーダンスのデカップリングを実現するために最も理想的です。高周波電流がコンデンサを流れて強制的に流れるように、バイパスコンデンサと IC ピンの間にビアを配置しないでください。
 - に示すように、バルク VIN コンデンサ (C2) は可能な限り近く、0.1 μ F 高周波バイパスコンデンサ (C3) と平行に、PCB 上で IC と同じ側に配置します。
- パワーグッドピンデカップリングコンデンサ: デカップリングコンデンサは、ピン 2 (パワーグッドピン) の近くに、PCB の UCC35341-Q1 と同じ側に配置する必要があります。に示す C13 の配置を参照してください。
- VDD ピンと COM ピンの間の出力コンデンサ:
 - 0.1 μ F 高周波バイパスコンデンサ (C5) は、ピン 12 (VDD) およびピン 10、11 (COM) のできるだけ近く、PCB と同じ側に IC として配置します。最適な配置のために望ましいサイズは、0402 セラミック SMD 以下です。10MHz から 30MHz までの範囲の自己共振周波数は、内部絶縁型コンバータのスイッチング周波数ノイズに対して低インピーダンスのデカップリングを実現するために最も理想的です。高周波電流がコンデンサを流れて強制的に流れるように、バイパスコンデンサと IC ピンの間にビアを配置しないでください。
 - に示すように、バルク VDD-COM コンデンサ (C8) は可能な限り近く、0.1 μ F 高周波バイパスコンデンサ (C5) と平行に、PCB 上で IC と同じ側に配置します。
- VEE ピンと COM ピンの間の出力コンデンサ:
 - 2.2 μ F の高周波バイパスコンデンサ (C9) は、VEE および COM ピンのできるだけ近くに配置します。3MHz から 4MHz までの自己共振周波数は、3.3 μ H のインダクタ (L1) を選択した昇降圧コンバータのスイッチング周波数ノイズに対して低インピーダンスのデカップリングを実現するために最も理想的です。VEE 昇降圧コンバータのコンデンサと内部ローサイド MOSFET との間のスイッチングループを低減するために、コンデンサを PCB のさまざまな側に配置し、ビアを使用して接続することも可能です。さらに、コンデンサを異なる側に配置すると、VDD ピンと COM ピンのデカップリングコンデンサの配置が簡素化されます。に、C9 と L1 を PCB の底面に配置する例を示します。
- 帰還:
 - COMA は、すべての PCB 層を通して COM プレーンから絶縁する必要があります。1 つのビアを使用して、FBVEE ピンのローサイドフィルタコンデンサと同じように、FBVDD ピンからローサイド抵抗およびフィルタコンデンサに直接接続します。
 - RFBVDD の帰還抵抗 (R6 と R7) とデカップリングセラミックコンデンサ (C6) は、IC の近くに配置します。
 - 上側の帰還抵抗はローサイド抵抗の隣に配置し、両方の抵抗と FBVDD ピンへのシングル接続を行い、短い直接接続を行う。安定化レール (VDD-COM) を検出するための上側接続は、最高の精度と最高の過渡応答を実現するため、VDD バイアスコンデンサの遠隔地、ゲートドライバピンの近くに接続する必要があります。

- d. VEE 帰還抵抗 (R5) は FBVEE (ピン 15) の隣にデカップリング セラミック コンデンサ (C4) を配置する必要があります。また、レギュレートされたレール (COM-VEE) を検出するための接続は、最高の精度と最高の過渡応答を実現するために、ゲートドライバ ピンの近くに配線して COM バイアス コンデンサの遠隔地に接続する必要があります。
 - e. デュアル出力モードを使用する場合、昇降圧インダクタ (L1) と 2.2μF デカップリング セラミック コンデンサ (C9) を実装する必要があります。これらのピンは、IC の反対側に配置することも、IC と同じ層に配置することもできます。
 - f. にレイアウト例を示します。ここで、L2 (黄) はレイヤ 2 に配線され、L3 (緑) はレイヤ 3 に配線されています。
6. サーマルビア: UCC35341-Q1 の内部トランスは、リード フレームに直接接続します。そのため、以下の手順で概要を説明するように、PCB に十分なスペースと適切なヒートシンクを確保することが重要です。
 - a. VIN、GNDD、VDD、COM ピンを、複数のビアを介して内部のグランドまたは電源プレーンに接続することを推奨します。または、これらのピンに接続されるポリゴンをできるだけ幅広くします。
 - b. PCB の上面 GNDD 銅を底面の GNDD 銅に接続する、複数のサーマルビアを使用します。可能であれば、外付けの PCB 層の上下に 2 オンスの銅箔を使用することを推奨します。
 - c. PCB の上面 VEE 銅を底面の VEE 銅に接続する、複数のサーマルビアを使用します。可能であれば、外付けの PCB 層の上下に 2 オンスの銅箔を使用することを推奨します。
 - d. 最上層と最下層の銅を接続するサーマルビアも、内部の銅層に接続して、熱抽出をさらに改善することができます。
 - e. サーマルビアは以下のパターンに似たものにしますが、可能な限り銅箔部分を使用します。TI では、直径 30mil、穴サイズ 12mil のサーマルビアを使用することを推奨します。
 - f. にレイアウトの例を示します。銅の面積が少ない場合は、ピン 5 ~ 8 (1 次側) と 9 ~ 11 (2 次側) の近くに配置し、設計で可能な限り多くのサーマルビアを使用します。
 7. 沿面距離: データシートに規定されている沿面距離、空間距離、電圧絶縁定格を完全に維持するため、UCC35341-Q1 の直下に信号パターンを配線したり、部品を配置したりしないようにします。定義された絶縁バリア全体で、空間距離を赤色でハイライトしたままにします。基本絶縁でのキープアウトの空間距離は、強化絶縁要件 (8.2mm) より 50% 短くできます。8.2Mm を使用すると、追加の-margin が得られます。にレイアウトの例を示します。
 8. ゲートドライバの出力コンデンサ: C_{VDD_GD} (C11 と C12) および C_{VEE_GD} (C10) は、UCC35341-Q1 Excel カリキュレータ ツールで参照されるリファレンス指定子です。C11 と C12 は VDD と COM との間のコンデンサ、C10 は COM と VEE との間のコンデンサです。C10 ~ 12 はゲートドライバ IC が必要とするコンデンサです。
 - a. 最適なデカップリングとゲートドライバのスイッチング性能を実現するため、 C_{VDD_GD} と C_{VEE_GD} は、ゲートドライバ IC の隣に配置する必要があります。
 - b. 最適な電圧レギュレーションを実現するため、VEE (FBVEE) および VDD (FBVDD) からの帰還パターンは、できる限り直流に配置し、電圧帰還をゲートドライバ IC の近くにある VDD および VEE コンデンサで直接検出できるようにします。

8.5.2 レイアウト例

以下の図に示す PCB レイアウト例は、[図 8-1](#) に示す回路図に基づいています。

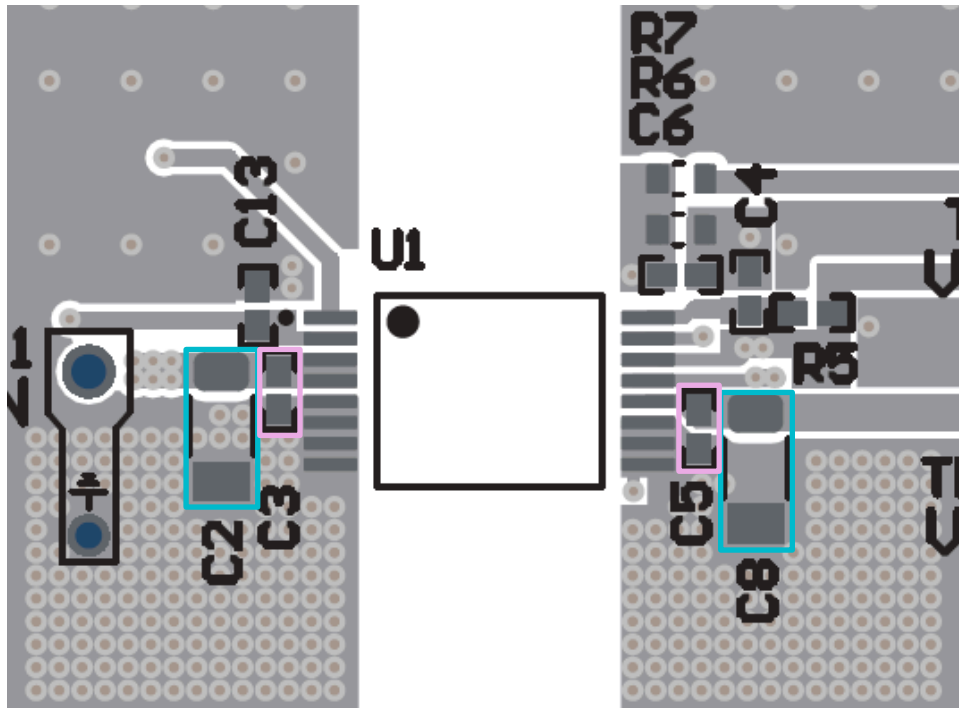


図 8-5. VIN (C2、C3) と VDD (C5、C8) コンデンサ

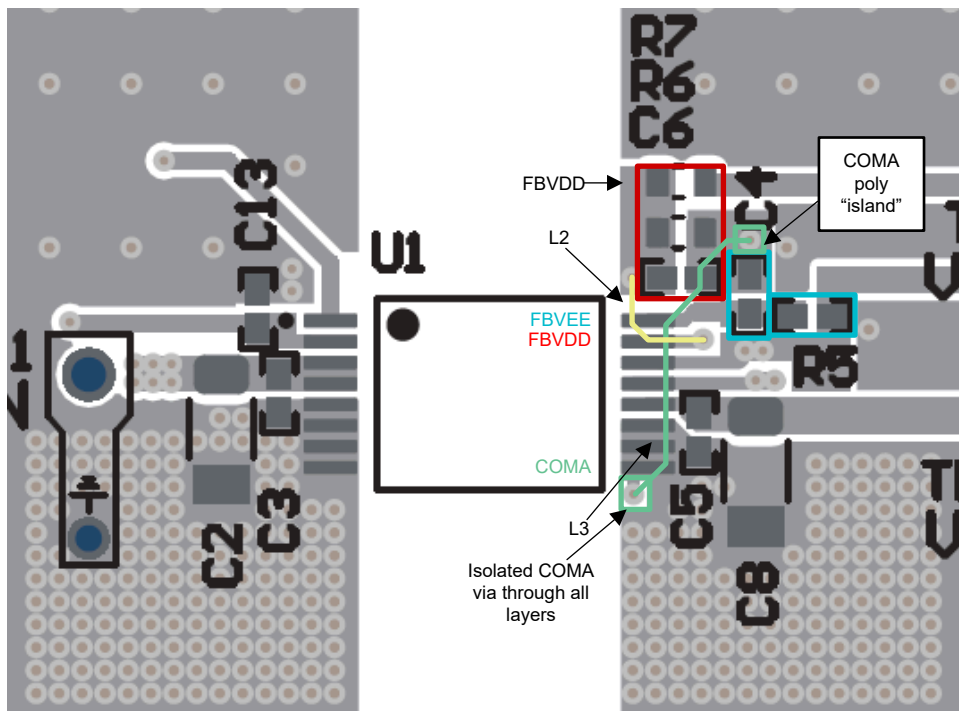


図 8-6. FBVDD (R6-7、C6)、FBVEE (R5、C4)、COMA 配線

ADVANCE INFORMATION

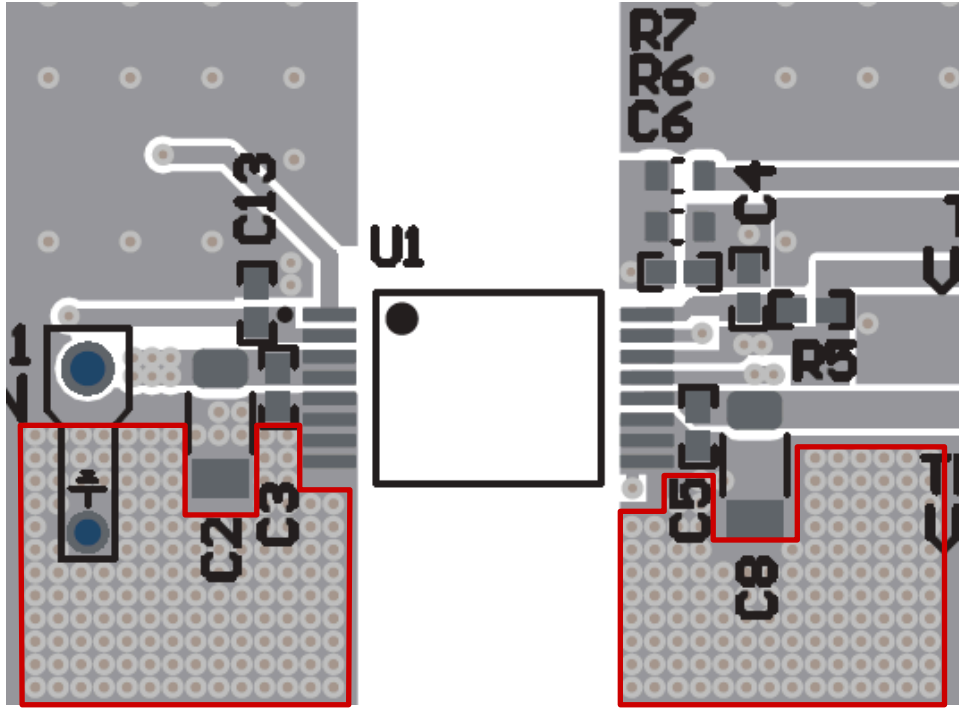


図 8-7. サーマル ピア

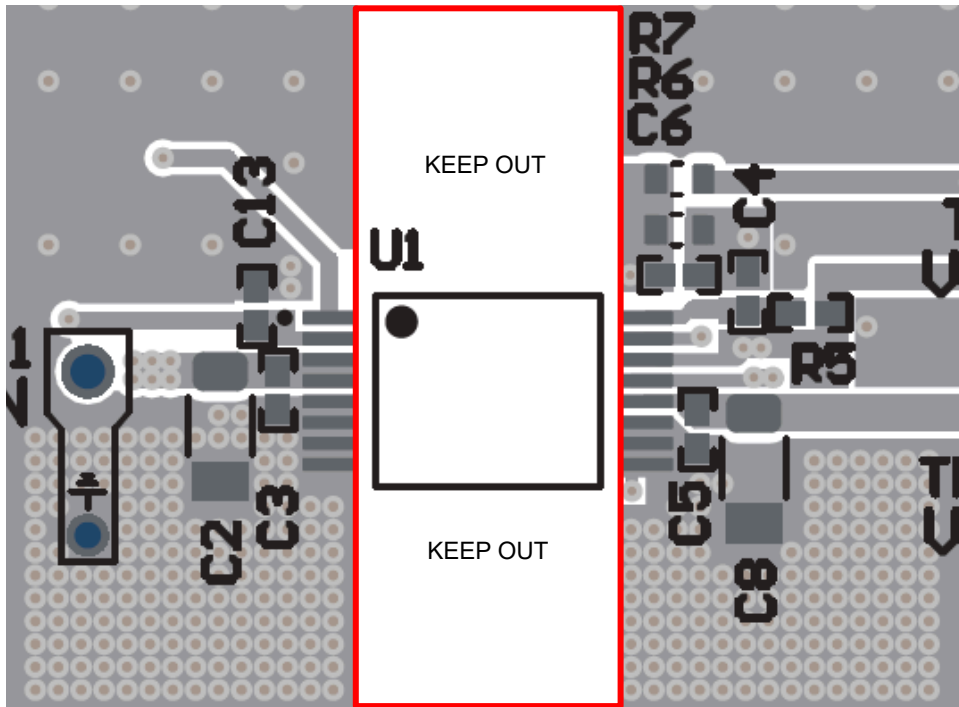


図 8-8. 絶縁禁止領域

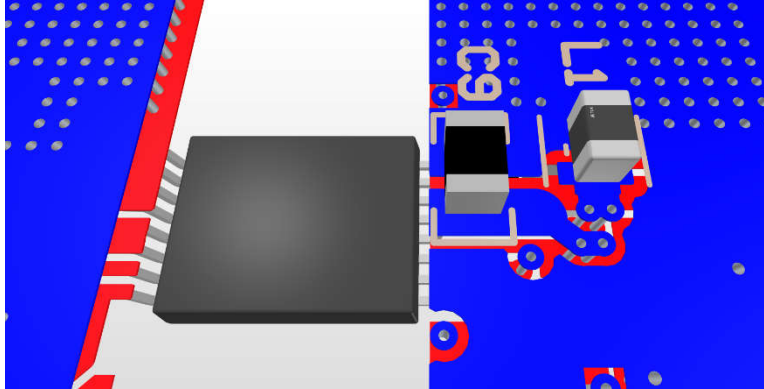


図 8-9. 底面、昇降圧、VEE LC の配置と配線

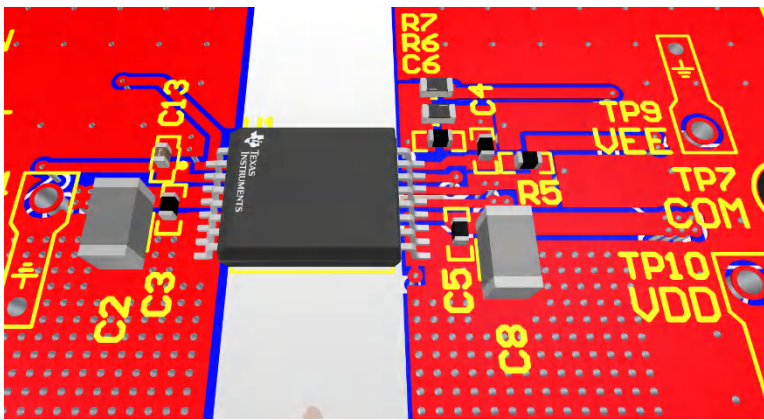


図 8-10. 上面、部品の配置と配線

9 デバイスおよびドキュメントのサポート

9.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『[絶縁の用語集](#)』

9.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| 日付 | 改訂 | 注 |
|------------|----|-----------|
| 2026 年 3 月 | * | 事前情報のリリース |

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

テキサス インストルメンツは、JEDEC 標準の J-STD-020 リフロー プロセスを使用してデバイスを取り付けることを推奨します。ピーク ハンダ付け温度が 260°C を超えてはなりません。テスト プロセス中に手動設置が必要な場合は、ピーク温度が 260°C を超えないように制限することを推奨します

11.1 パッケージ情報

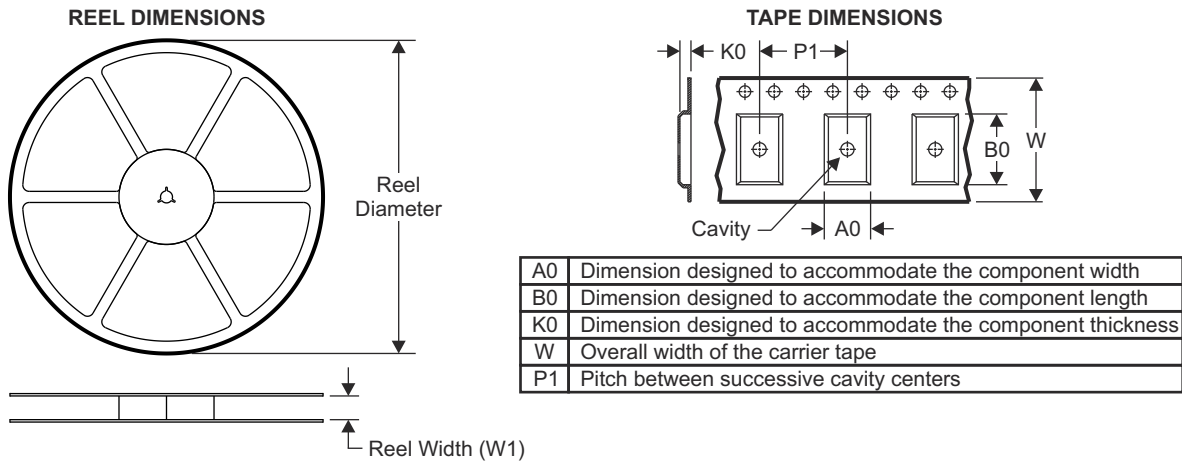
| 発注可能なデバイス | 供給状況 ⁽¹⁾ | パッケージタイプ | パッケージ図 | ピン | パッケージの数量 | エコ プラン ⁽²⁾ | リード端子の仕上げ / ボールの原材料 ⁽⁶⁾ | MSL ピーク温度 ⁽³⁾ | 動作温度 (°C) | デバイス マーキング ^{(4) (5)} |
|-----------------------|---------------------|----------|--------|----|----------|-----------------------|------------------------------------|--------------------------|-----------|-------------------------------|
| PUCC35341 QDCHARQ1 | プレビュー | SSOP | DHA | 16 | 1000 | RoHS & グリーン | NiPdAu | レベル 3-260C-168 HR | -40~125 | |

- (1) マーケティング ステータスの値は次のように定義されています。
供給中: 新しい設計への使用が推奨される量産デバイス。
最終受注中: TI はデバイスの生産終了を発表しており、現在最終受注期間中です。
非推奨品: 新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。
開発中製品: デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。
生産中止品: TI は、このデバイスの生産を終了しました。
- (2) **RoHS:** TI は「RoHS」を、10 種類の RoHS 物質すべてに対する現在の EU の RoHS 要件に準拠した半導体製品を意味すると定義しています。これには 10 種類のすべての RoHS 物質が同種の材質内で 0.1% を超えないという要件も含まれています。高温で半田付けするように設計された「RoHS」製品は、規定された鉛フリー プロセスでの使用に適しています。TI ではこのタイプの製品を「鉛フリー」と呼ぶことがあります。
RoHS 適用除外: TI が定義した「RoHS 適用除外」とは、鉛を含有しているが、特定の EU RoHS 免除の対象になった EU RoHS に準拠している製品を意味します。
グリーン: TI が定義した「グリーン」とは、塩素 (Cl) および臭素 (Br) をベースとした難燃材の含有量が JS709B の低ハロゲン要件である 1,000ppm 以下の閾値を満たしていることを意味します。三酸化アンチモンをベースとする難燃材も、1,000ppm 以下の閾値要件を満たす必要があります。
- (3) MSL、ピーク温度- JEDEC 業界標準分類に従った耐湿性レベル評価、およびピークはんだ温度です。
- (4) ロゴ、ロットトレース コード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります。
- (5) 複数のデバイス マーキングが、括弧書きされています。カッコ内に複数のデバイス マーキングがあり、「~」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。
- (6) リード端子の仕上げ / ボールの原材料 - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード端子の仕上げ / ボールの原材料の値が最大列幅に収まらない場合は、2 行にまたがります。

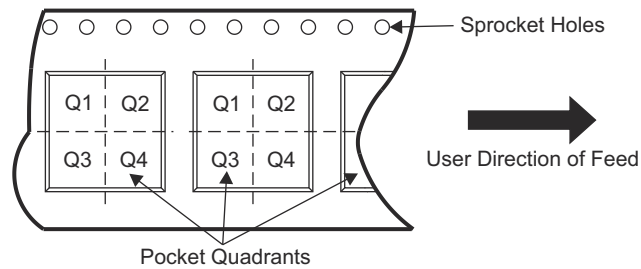
重要なお知らせと免責事項: このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

11.2 テープおよびリール情報



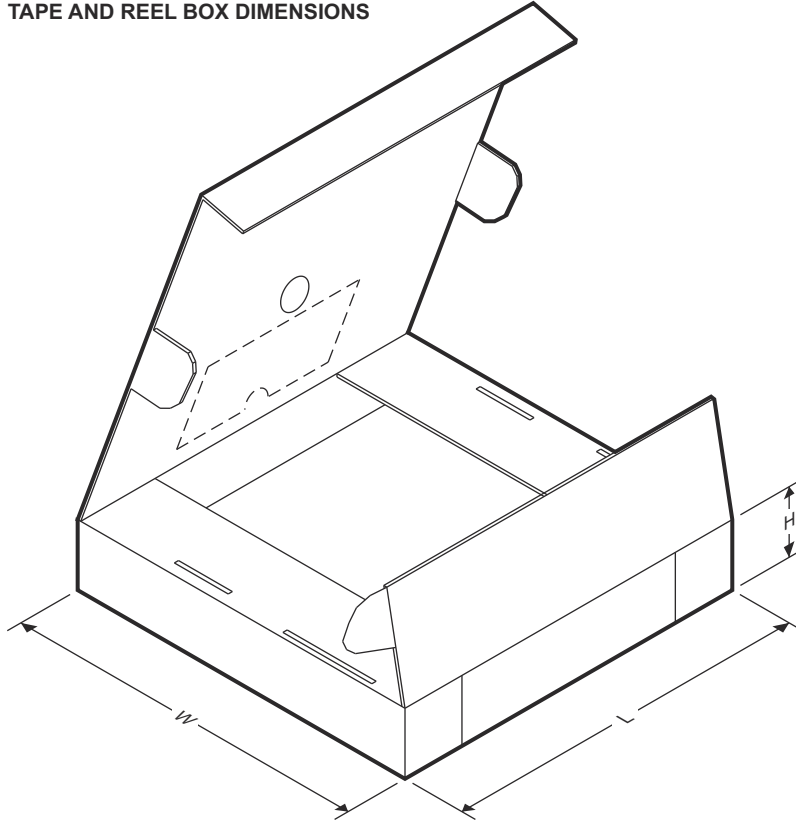
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



| デバイス | パッケージ タイプ | パッケージ 図 | ピン | SPQ | リール 直径 (mm) | リール 幅 W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | ピン1の 象限 |
|---------------------|--------------|------------|----|-----|----------------|------------------|------------|------------|------------|------------|-----------|------------|
| PUC35341 QDHARQ1 | SSOP | DHA | 16 | | | | | | | | | |

ADVANCE INFORMATION

TAPE AND REEL BOX DIMENSIONS



| デバイス | パッケージタイプ | パッケージ図 | ピン | SPQ | 長さ (mm) | 幅 (mm) | 高さ (mm) |
|-------------------|----------|--------|----|-----|---------|--------|---------|
| PUCC35341 QDHARQ1 | SSOP | DHA | 16 | | | | |

ADVANCE INFORMATION

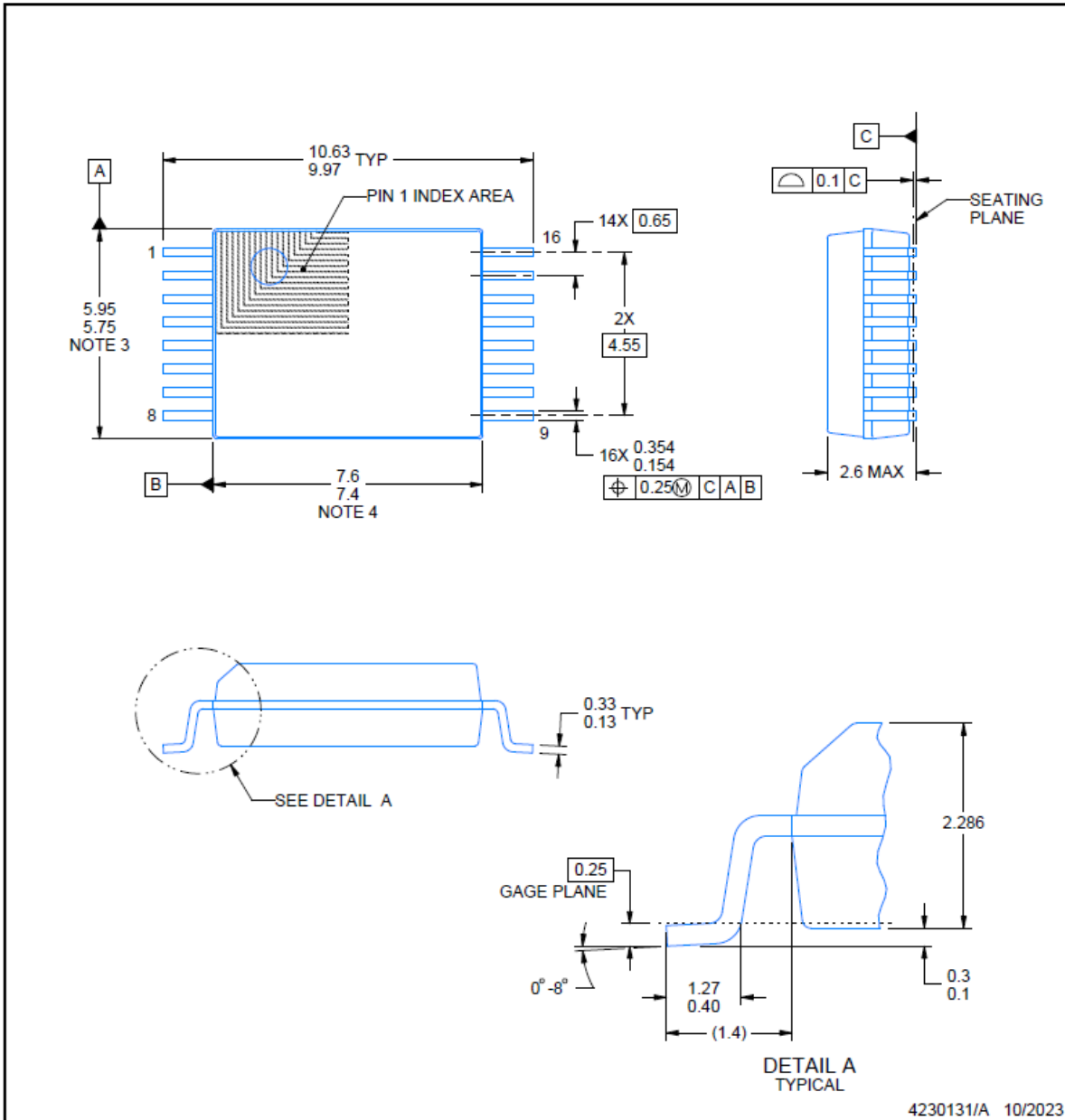
11.3 メカニカル データ

DHA0016A



PACKAGE OUTLINE
SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

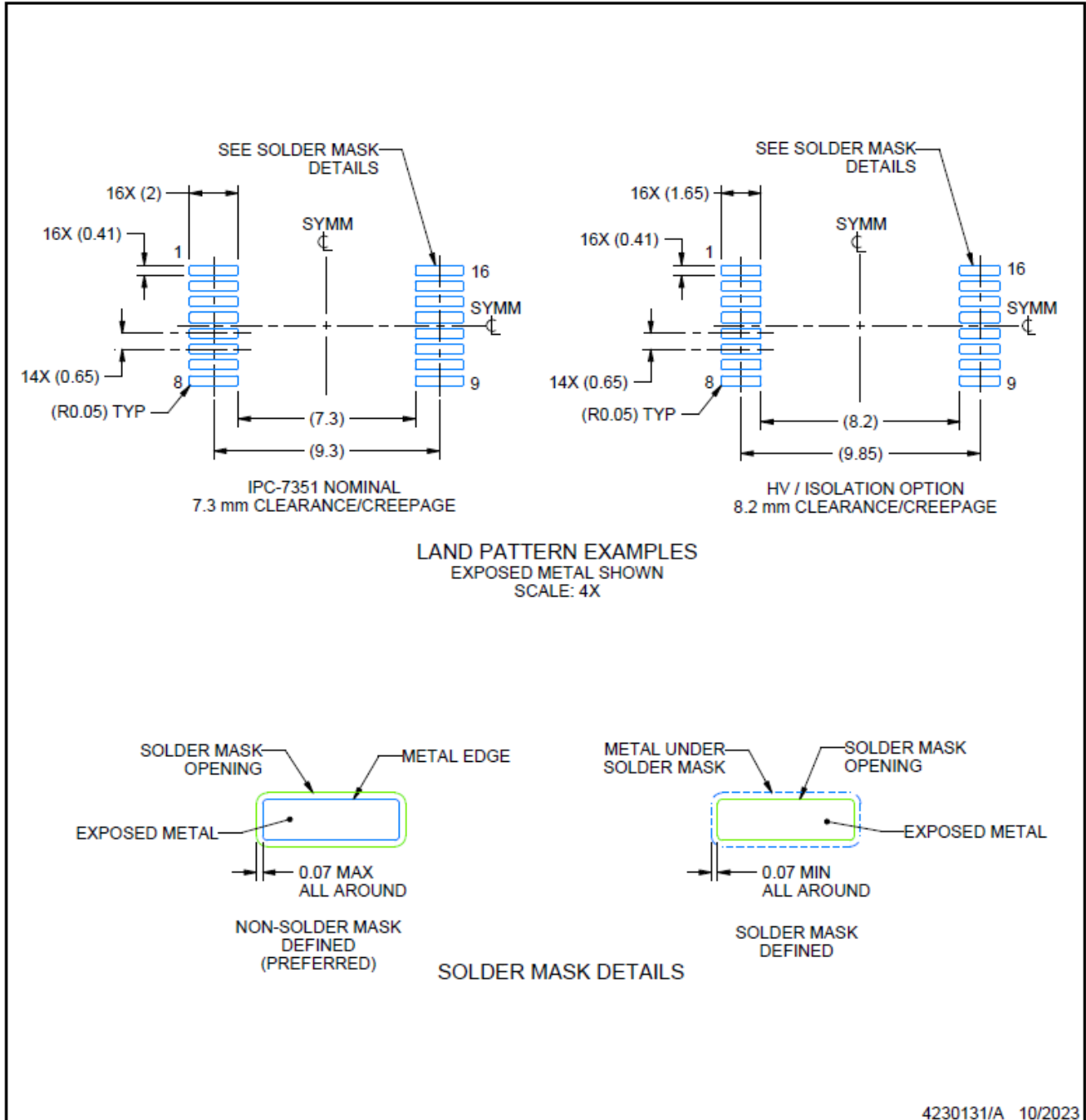
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

DHA0016A

SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



ADVANCE INFORMATION

NOTES: (continued)

- Publication IPC-7351 may have alternate designs.
- Solder mask tolerances between and around signal pads can vary based on board fabrication site.

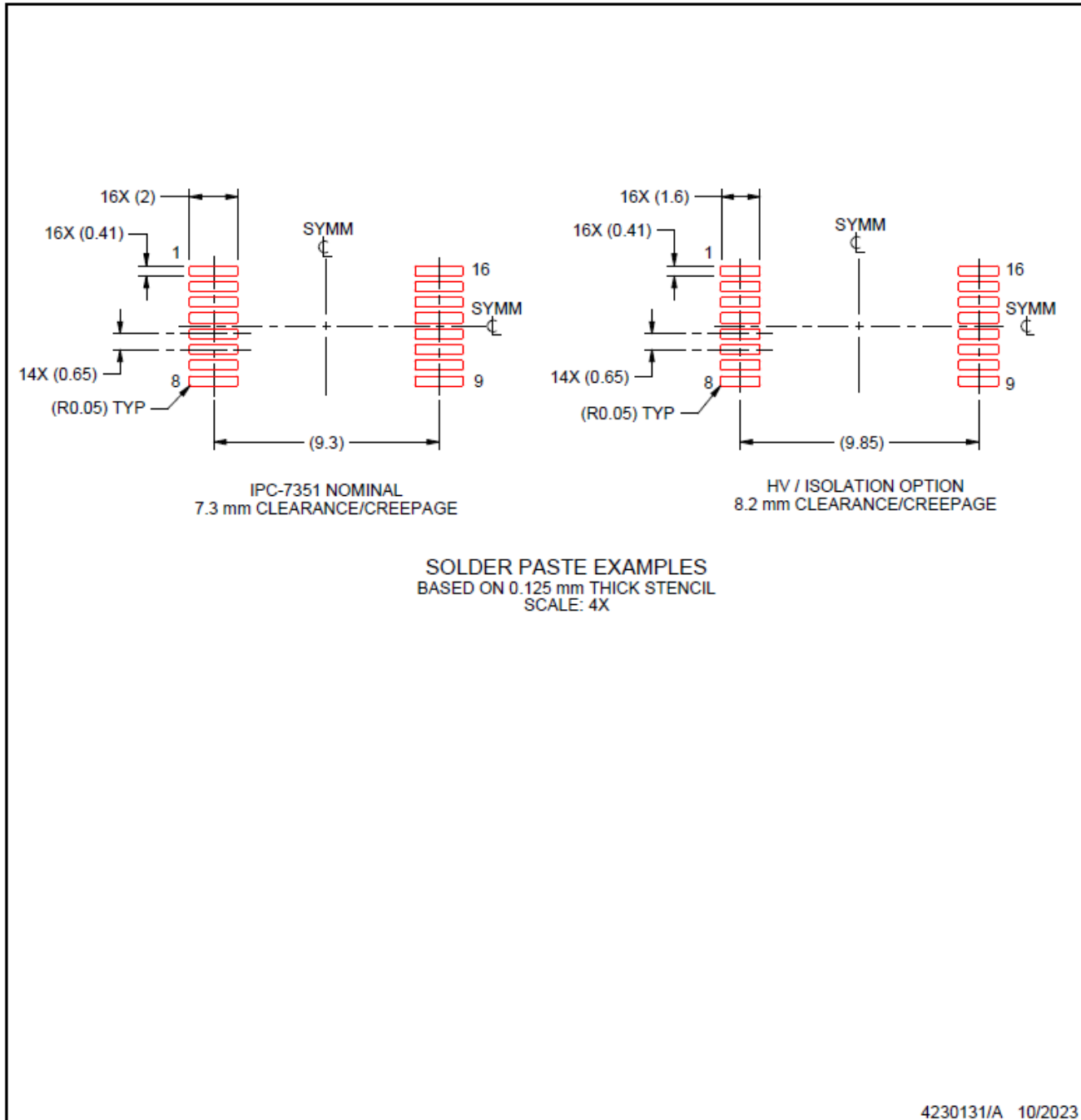
EXAMPLE STENCIL DESIGN

DHA0016A

SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE

ADVANCE INFORMATION



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月