

# UCC5714x-Q1 高速ローサイドゲートドライバ、過電流保護機能付き、車載用アプリケーション向け

## 1 特長

- 車載アプリケーション用に認定済み
- AEC-Q100 認定済み
  - デバイス温度グレード 1
- 3A シンク、3A ソース出力電流 (標準値)
- 過電流保護 (OCP) のスレッシュホールドは  $-250\text{mV}$
- 故障出力およびイネーブル用シングルピン
- プログラマブルな故障クリア時間と過電流検出の応答時間
- VDD 電圧の絶対最大値: 30V
- 厳格な UVLO スレッシュホールドによりバイアスの柔軟性を確保
- 伝搬遅延時間: 26ns (標準値)
- 180°C でのサーマル シャットダウン機能を搭載した自己保護ドライバ
- 2.9mm × 1.6mm の SOT-23 パッケージで供給されます
- 動作時の接合部温度範囲:  $-40^{\circ}\text{C} \sim 150^{\circ}\text{C}$

## 2 アプリケーション

- デジタル制御 PFC
- エアコン
- 家電製品
- モータードライブ
- シングルエンドトポロジに適した汎用ローサイドゲートドライバ

## 3 説明

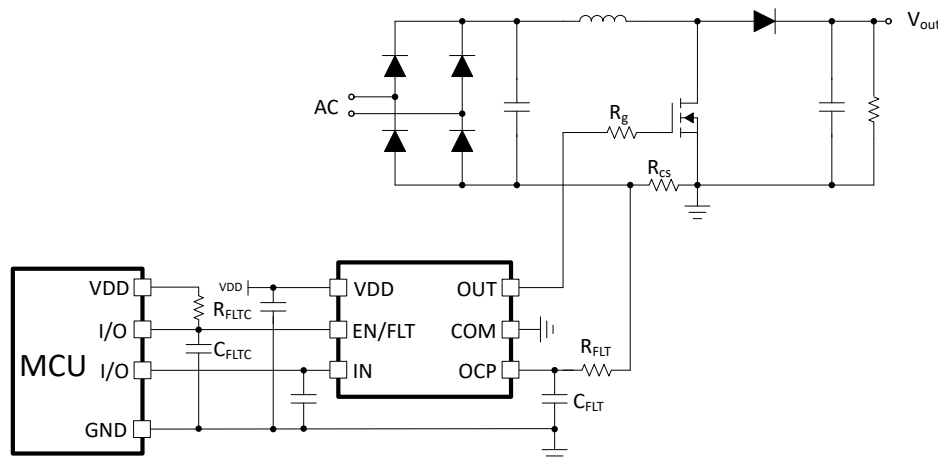
UCC5714x-Q1 は、MOSFET、IGBT、SiC パワー スイッチを効率的に駆動できるシングル チャネル高速ローサイドゲートドライバです。UCC5714x-Q1 の代表的なピークドライブ能力は 3A です。

UCC5714x-Q1 は、OCP ピンを使用して過電流保護を実現します。OCP ピンで過電流信号が検出されると、内部回路が EN/FLT ピンをプルダウンして故障を通知し、OUT を強制的に Low 段にします。ドライバの通常動作中は、EN/FLT ピンに外部プルアップ回路が必要です。EN/FLT ピンを Low にすると、ドライバはディスエーブルになります。また、EN/FLT ピンは、VDD の低電圧誤動作防止 (UVLO) の故障および過熱故障も通知します。UCC5714x-Q1 には、SiC および IGBT アプリケーション向けに 8V と 12V の両方の UVLO オプションがあります。

### パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
UCC57142-Q1	DBV (SOT-23 6)	2.90 mm × 2.80mm
UCC57148-Q1	DBV (SOT-23 6)	2.90 mm × 2.80mm

- (1) 利用可能なすべてのパッケージについては、本データシートの末尾にある注文情報を参照してください。



アプリケーション概略図



## 目次

<b>1 特長</b> .....	1	<b>6.3 機能説明</b> .....	13
<b>2 アプリケーション</b> .....	1	<b>6.4 デバイスの機能モード</b> .....	15
<b>3 説明</b> .....	1	<b>7 アプリケーションと実装</b> .....	16
<b>4 ピン構成および機能</b> .....	3	<b>7.1 アプリケーション情報</b> .....	16
<b>5 仕様</b> .....	4	<b>7.2 代表的なアプリケーション</b> .....	17
5.1 絶対最大定格.....	4	<b>7.3 電源に関する推奨事項</b> .....	20
5.2 ESD 定格.....	4	<b>7.4 レイアウト</b> .....	21
5.3 推奨動作条件.....	4	<b>8 デバイスおよびドキュメントのサポート</b> .....	23
5.4 熱に関する情報.....	4	<b>8.1 サード・パーティ製品に関する免責事項</b> .....	23
5.5 電気的特性.....	5	<b>8.2 ドキュメントの更新通知を受け取る方法</b> .....	23
5.6 スイッチング特性.....	6	<b>8.3 サポート・リソース</b> .....	23
5.7 タイミング図.....	7	<b>8.4 商標</b> .....	23
5.8 代表的特性.....	8	<b>8.5 静電気放電に関する注意事項</b> .....	23
<b>6 詳細説明</b> .....	12	<b>8.6 用語集</b> .....	23
6.1 概要.....	12	<b>9 改訂履歴</b> .....	23
6.2 機能ブロック図.....	12	<b>10 メカニカル、パッケージ、および注文情報</b> .....	23

## 4 ピン構成および機能

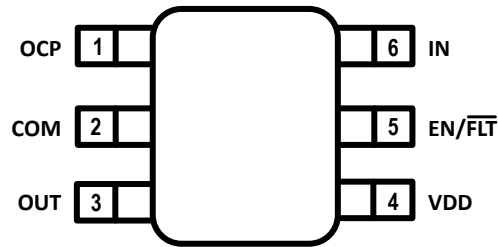


図 4-1. 6 ピン SOT-23 DBV パッケージ (上面図)

表 4-1. ピンの機能

ピン		I/O <sup>(1)</sup>	説明
名称	番号		
OCP	1	I	電流検出入力
COM	2	G	デバイスのグラウンド
OUT	3	O	ドライバの出力
VDD	4	P	ドライバ バイアス電源
EN/FLT	5	I/O	イネーブルと異常検出出力を
IN	6	I	ドライバの入力

(1) I/O = デジタル入出力、I = 入力、O = 出力、P = 電源接続、G = グラウンド

## 5 仕様

### 5.1 絶対最大定格

すべての電圧は COM を基準にしています。自由空気での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
VDD	正電源	-0.3	30	V
OUT	出力信号の DC 電圧	COM-0.3	VDD+0.3	V
	出力信号の過渡電圧 (200ns)	COM-2	VDD+3	V
VOCP	電流検出ピン (OCP) の電圧	-10	12	V
V <sub>IN</sub>	IN 信号の DC 電圧	-5	30	V
V <sub>EN/FLT</sub>	EN/FLT 信号の DC 電圧	-0.3	30	V
T <sub>J</sub>	接合部温度	-40	150	°C
T <sub>stg</sub>	保存温度	-65	150	°C

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて言及しており、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

### 5.2 ESD 定格

		値	単位	
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、AEC - Q100-002 準拠 <sup>(1)</sup>	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±1000	V

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

### 5.3 推奨動作条件

すべての電圧は COM を基準にしています。自由空気での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDD	正電源 (8V UVLO オプション)	8.5		26	V
VDD	正電源 (12V UVLO オプション)	14.5		26	V
V <sub>OUT</sub>	出力電圧	COM		VDD	V
V <sub>OCP</sub>	電流検出ピンの電圧	-5		10	V
V <sub>IN</sub>	IN 信号の DC 電圧	-2		26	V
V <sub>EN/FLT</sub>	EN 信号の DC 電圧	0		26	V
T <sub>J</sub>	接合部温度	-40		150	°C

### 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		UCC5713x	単位
		D	
		8ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	126.6	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	67.1	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	75.8	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	15.9	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	74.8	°C/W

## 5.4 熱に関する情報 (続き)

熱評価基準 <sup>(1)</sup>		UCC5713x		単位
		D		
		8ピン		
R <sub>θJC(bot)</sub>	接合部からケース (底面) への熱抵抗	該当なし		°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

## 5.5 電気的特性

VDD = 15V、VDD と COM の間に 1μF コンデンサを接続、T<sub>J</sub> = -40°C から +150°C、C<sub>L</sub> = 0pF (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>供給電流</b>						
I <sub>VDDQ</sub>	VDD の静止消費電流	V <sub>IN</sub> = 3.3V、EN = 5V、VDD = 6.5V			1.3	mA
I <sub>VDD</sub>	VDD の静的電源電流	V <sub>IN</sub> = 3.3V、EN = 5V		0.7	1.5	mA
I <sub>VDD</sub>	VDD の静的電源電流	V <sub>IN</sub> = 0V、EN = 5V		0.7	1.1	mA
I <sub>VDDO</sub>	VDD の動的動作電流	f <sub>SW</sub> = 1MHz、EN = 5V、VDD = 15V、C <sub>L</sub> = 1.8nF			30	mA
I <sub>DIS</sub>	VDD のディスエーブル時電流	V <sub>IN</sub> = 3.3V、EN = 0V		0.8	1.1	mA
<b>VDD の低電圧スレッシュホールドと遅延</b>						
V <sub>VDD_ON</sub>	VDD UVLO 立ち上がりスレッシュホールド	8V UVLO オプション	7.65	8	8.35	V
V <sub>VDD_OFF</sub>	VDD UVLO 立ち下がりスレッシュホールド		6.65	7	7.35	V
V <sub>VDD_HYS</sub>	VDD UVLO スレッシュホールドのヒステリシス		1			V
t <sub>UVLO2FLT</sub>	UVLO から FLT への伝搬遅延		2			μs
V <sub>VDD_ON</sub>	VDD UVLO 立ち上がりスレッシュホールド	12V UVLO オプション	12.8	13.5	14.2	V
V <sub>VDD_OFF</sub>	VDD UVLO 立ち下がりスレッシュホールド		11.8	12.5	13.2	V
V <sub>VDD_HYS</sub>	VDD UVLO スレッシュホールドのヒステリシス		1			V
<b>IN、EN/FLT</b>						
V <sub>INH</sub>	入力 High スレッシュホールド電圧		1.8	2.2	2.6	V
V <sub>INL</sub>	入力 Low スレッシュホールド電圧		0.8	1.2	1.6	V
V <sub>IN_HYS</sub>	入力スレッシュホールドのヒステリシス		1			V
R <sub>IND</sub>	IN ピンのプルダウン抵抗			115		kΩ
V <sub>ENH</sub>	イネーブル High スレッシュホールド電圧		1.8	2.2	2.6	V
V <sub>ENL</sub>	イネーブル Low スレッシュホールド電圧		0.8	1.2	1.6	V
V <sub>EN_HYS</sub>	イネーブル スレッシュホールド ヒステリシス		1			V
R <sub>ENU</sub>	EN ピンのプルアップ抵抗			2		MΩ
I <sub>FLTth</sub>	FLT スレッシュホールド	V <sub>FLT-sink</sub> = 400mV、T <sub>J</sub> = 25°C	18			mA
<b>OC 検出</b>						
t <sub>OCFIL</sub> <sup>(1)</sup>	OC グリッチ除去フィルタ (8V-UVLO バージョン)			70		ns
t <sub>OCFIL</sub> <sup>(1)</sup>	OC グリッチ除去フィルタ (12V-UVLO バージョン)			190		ns
t <sub>OC2OUT</sub> <sup>(1)</sup>	OUT の 90% までの OC 伝搬遅延 (8V-UVLO バージョン)			115	145	ns
t <sub>OC2OUT</sub> <sup>(1)</sup>	OUT の 90% までの OC 伝搬遅延 (12V-UVLO バージョン)			230	350	ns

## 5.5 電気的特性 (続き)

VDD = 15V、VDD と COM の間に 1 $\mu$ F コンデンサを接続、TJ = -40°C から +150°C、CL = 0pF (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t <sub>OC2FLT</sub> (1)	EN/FLT Low の 90% までの OC 伝搬遅延 (8V-UVLO バージョン)			115	150	ns
t <sub>OC2FLT</sub> (1)	EN/FLT Low の 90% までの OC 伝搬遅延 (12V-UVLO バージョン)			220	320	ns
t <sub>OCLB</sub> (1)	OC リーディング エッジ プランキング 時間 (8V-UVLO バージョン)			60	80	ns
t <sub>OCLB</sub> (1)	OC リーディング エッジ プランキング 時間 (12V-UVLO バージョン)			180	250	ns
<b>過熱保護</b>						
T <sub>SD</sub> (1)	過熱スレッショルド			180		°C
T <sub>HYS</sub> (1)	過熱保護ヒステリシス			30		°C
t <sub>OTP2FLT</sub> (1)	過熱シャットダウンから FLT への伝搬遅延	過熱シャットダウンから FLT の 90%、CI = 10pF		8		us
<b>出力ドライバ段</b>						
I <sub>SRCPK</sub> (1)	ピーク出力ソース電流	C <sub>VDD</sub> = 10 $\mu$ F、C <sub>L</sub> = 0.1 $\mu$ F、f = 1kHz		-3		A
I <sub>SNKPK</sub> (1)	ピーク出力シンク電流	C <sub>VDD</sub> = 10 $\mu$ F、C <sub>L</sub> = 0.1 $\mu$ F、f = 1kHz		3		A
R <sub>OH</sub>	プルアップ抵抗	I <sub>OUT</sub> = -500mA		5		$\Omega$
R <sub>OL</sub>	プルダウン抵抗	I <sub>OUT</sub> = 50mA		1		$\Omega$

(1) 量産品のパラメータはテストしていません。

## 5.6 スイッチング特性

VDD = 15V、VDD と COM の間に 1 $\mu$ F コンデンサを接続、TJ = -40°C から +150°C、CL = 0pF (特に記述のない限り)。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t <sub>R</sub>	出力立ち上がり時間	C <sub>L</sub> = 1.8nF、10% ~ 90%、Vin = 0 ~ 3.3V		8	18	ns
t <sub>F</sub>	出力立ち下がり時間	C <sub>L</sub> = 1.8nF、90% ~ 10%、Vin = 0 ~ 3.3V		14	32	ns
t <sub>D2</sub>	伝搬遅延 – 入力の立ち下がりから出力の立ち下がりまで	C <sub>L</sub> = 1.8nF、Vin の 1V 立ち下がりから出力立ち下がりの 90% まで、Vin = 0 ~ 3.3V、Fsw = 500kHz、50% デューティ サイクル		28	50	ns
t <sub>D1</sub>	伝搬遅延 – 入力の立ち上がりから出力の立ち上がりまで	C <sub>L</sub> = 1.8nF、Vin の 2V 立ち上がりから出力立ち上がりの 10% まで、Vin = 0 ~ 3.3V、Fsw = 500kHz、50% デューティ サイクル		26	50	ns
t <sub>PD_DIS</sub>	DIS 応答遅延	C <sub>L</sub> = 1.8nF、EN の 1V 立ち下がりから出力立ち下がりの 90% まで、EN = 0 ~ 3.3V		27	45	ns
t <sub>PWD</sub>	パルス幅歪み	入力パルス幅 = 100ns、500kHz  t <sub>D2_1</sub> - t <sub>D1_1</sub>	-10		10	ns

(1) スイッチング パラメータについては、出荷時のテストは行っていません。

## 5.7 タイミング図

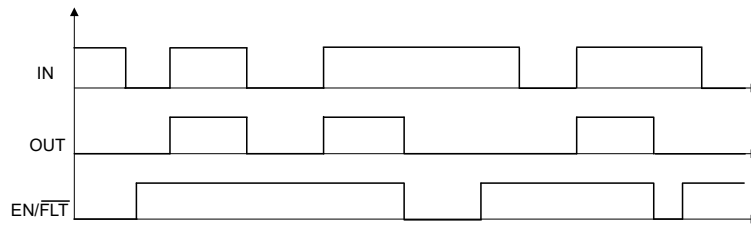


図 5-1. 入力 / 出力 / イネーブルのタイミング図、IN = PWM

## 5.8 代表的特性

特に記述のない限り、VDD = 15V、IN = 3.3V、EN = 5V、T<sub>J</sub> = 25°C、無負荷

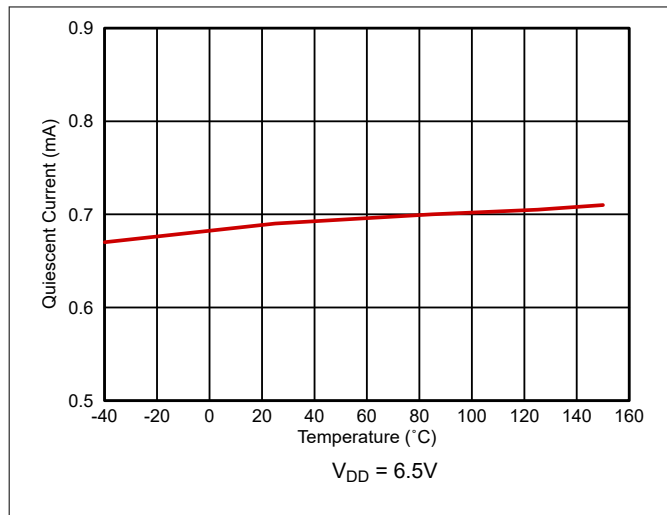


図 5-2. 静止電流

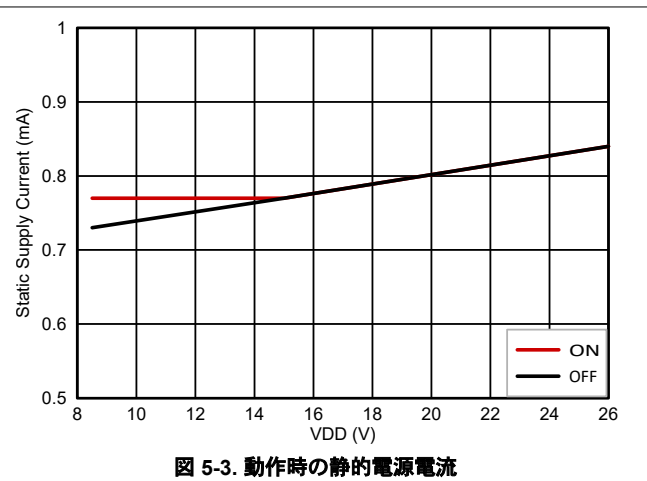


図 5-3. 動作時の静的電源電流

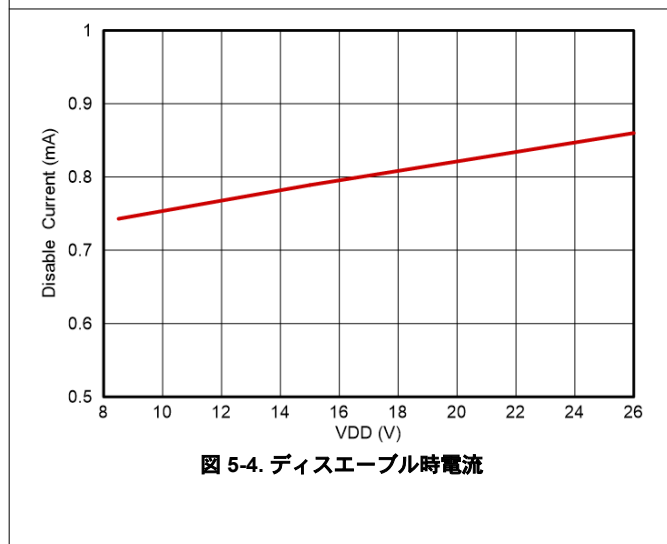


図 5-4. ディスエーブル時電流

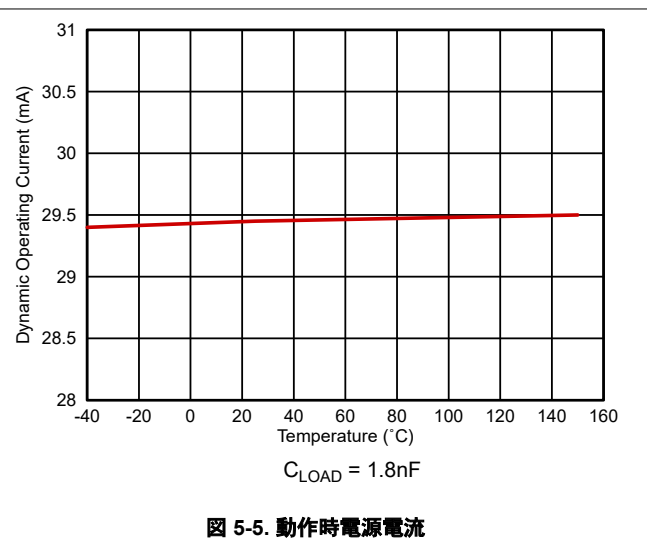


図 5-5. 動作時電源電流

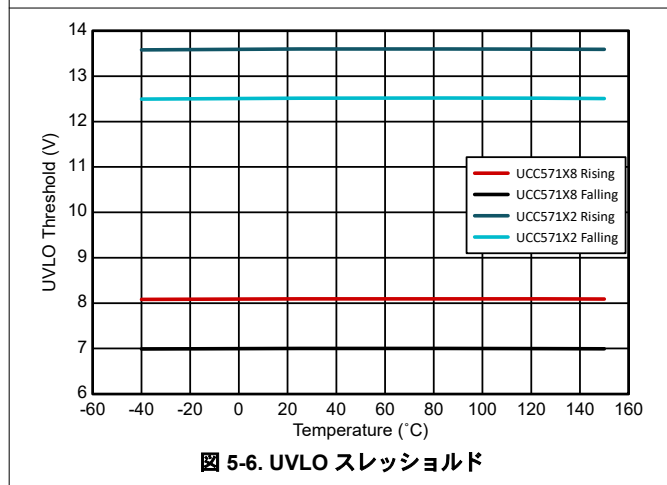


図 5-6. UVLO スレッシュولد

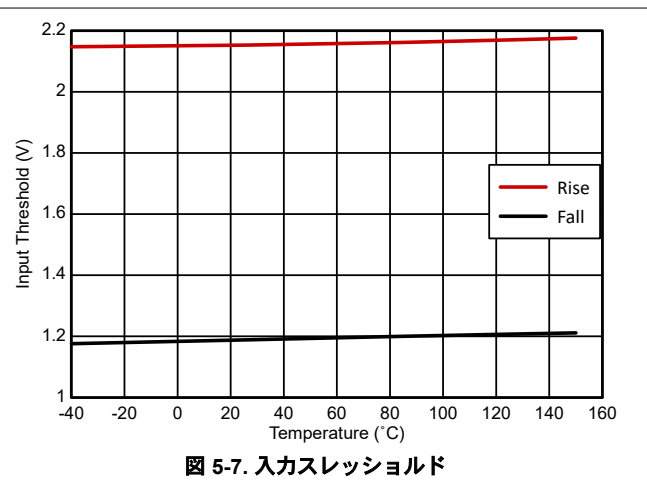


図 5-7. 入力スレッシュولد



## 5.8 代表的特性 (続き)

特に記述のない限り、VDD = 15V、IN = 3.3V、EN = 5V、T<sub>J</sub> = 25°C、無負荷

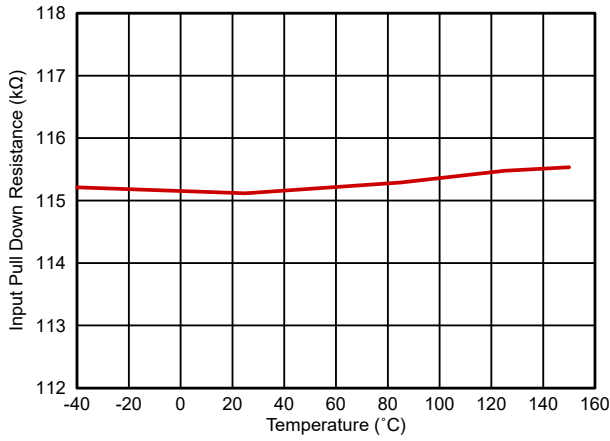


図 5-8. 入力プルダウン抵抗

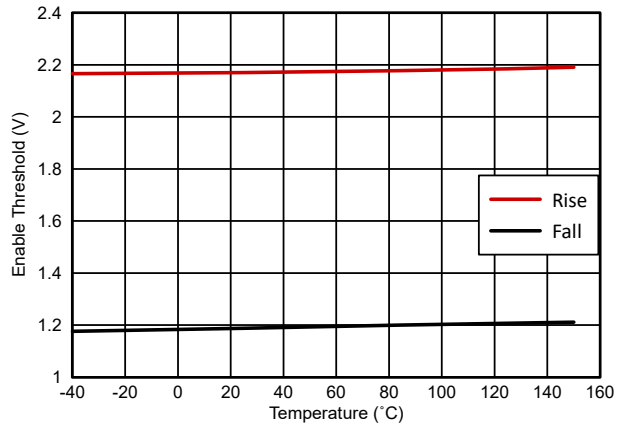


図 5-9. イネーブル スレッシュホールド

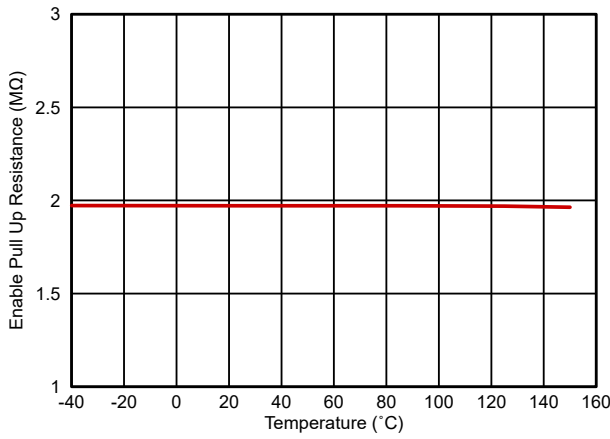


図 5-10. イネーブル時プルアップ抵抗

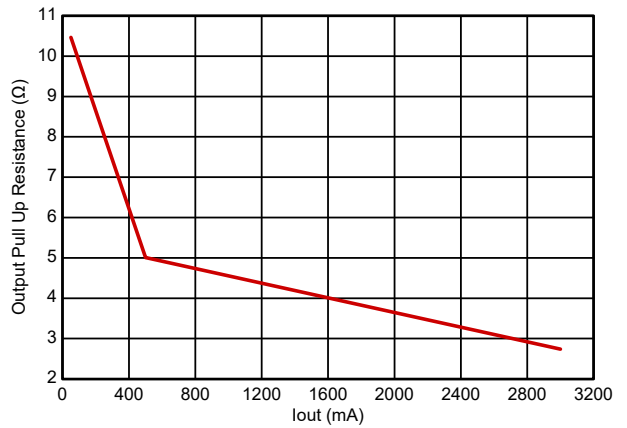


図 5-11. 出力プルアップ抵抗と VDD との関係

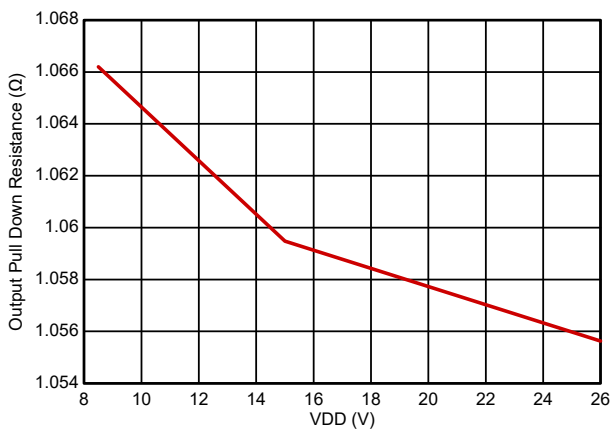


図 5-12. 出力プルダウン抵抗

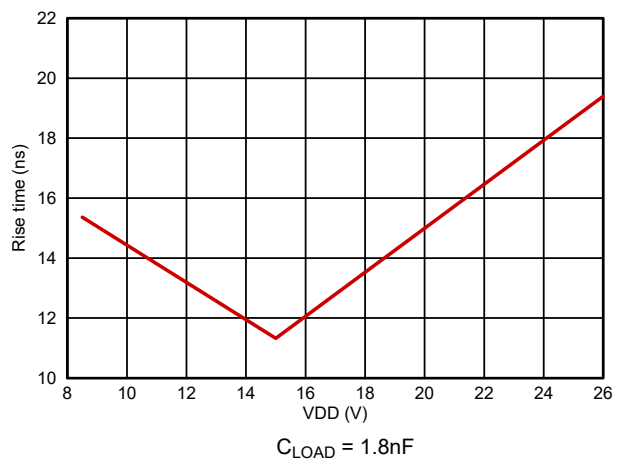


図 5-13. 出力立ち上がり時間

## 5.8 代表的特性 (続き)

特に記述のない限り、VDD = 15V、IN = 3.3V、EN = 5V、T<sub>J</sub> = 25°C、無負荷

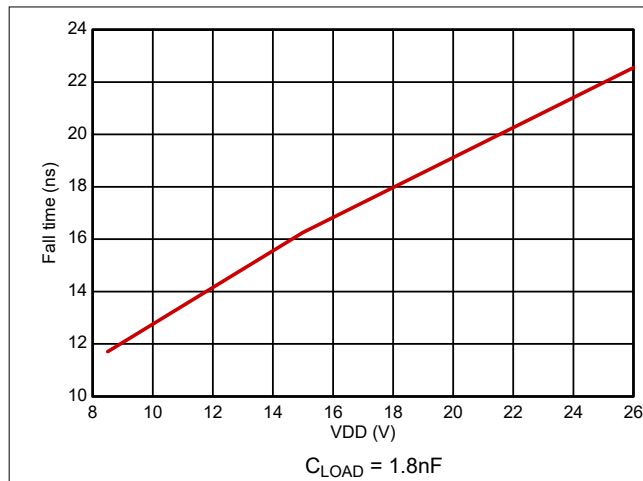


図 5-14. 出力立ち下がり時間

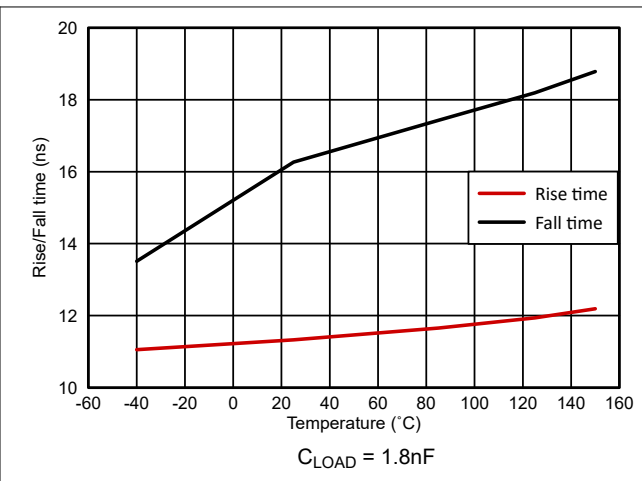


図 5-15. 出力の立ち上がりおよび立ち下がり時間

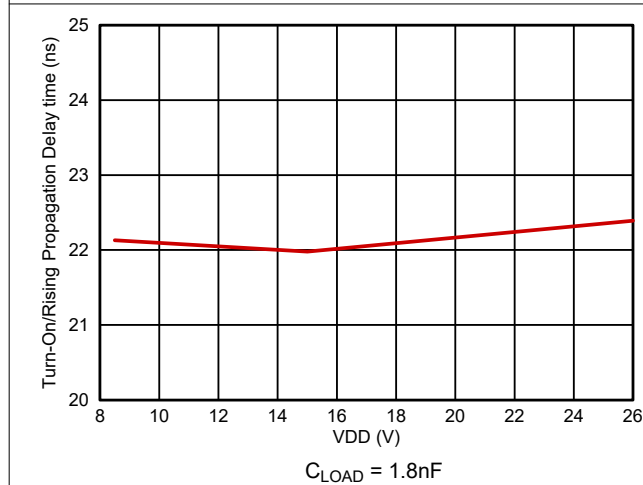


図 5-16. 入力から出力への立ち上がり (ターンオン) 伝搬遅延

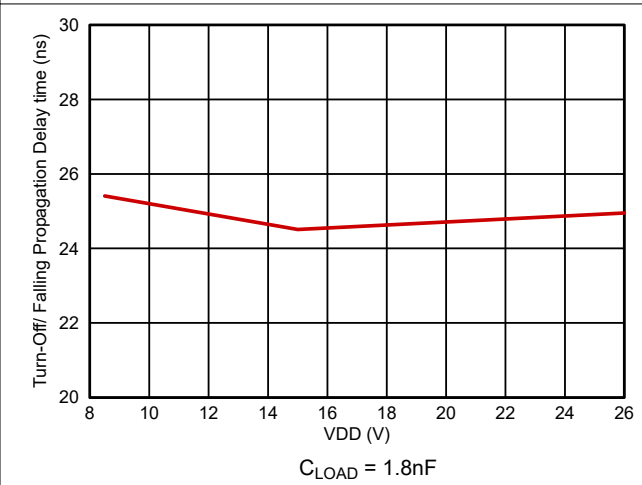


図 5-17. 入力から出力への立ち下がり (ターンオフ) 伝搬遅延

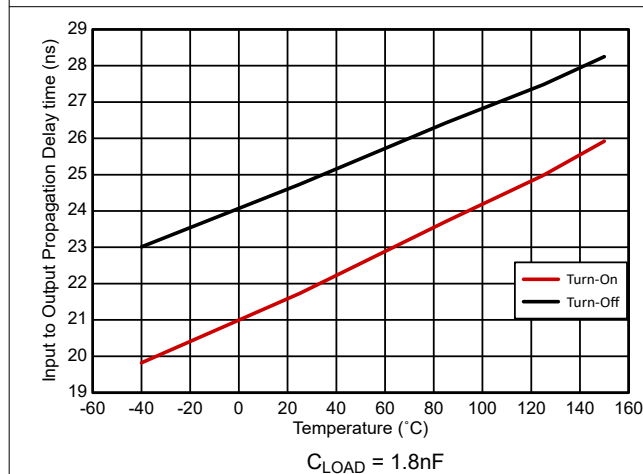


図 5-18. 入力の伝搬遅延

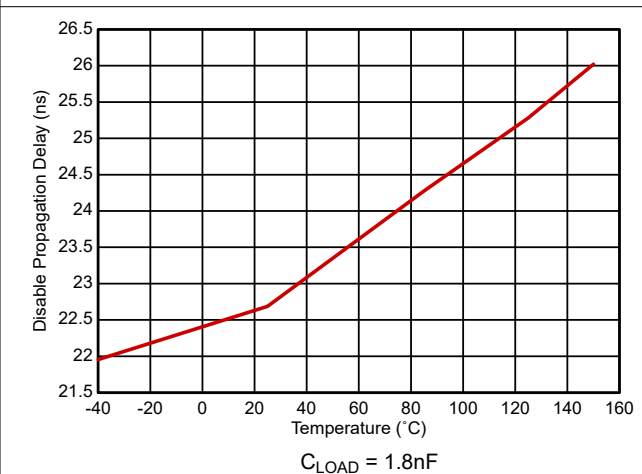


図 5-19. ディスエーブル伝搬遅延

## 5.8 代表的特性 (続き)

特に記述のない限り、VDD = 15V、IN = 3.3V、EN = 5V、T<sub>J</sub> = 25°C、無負荷

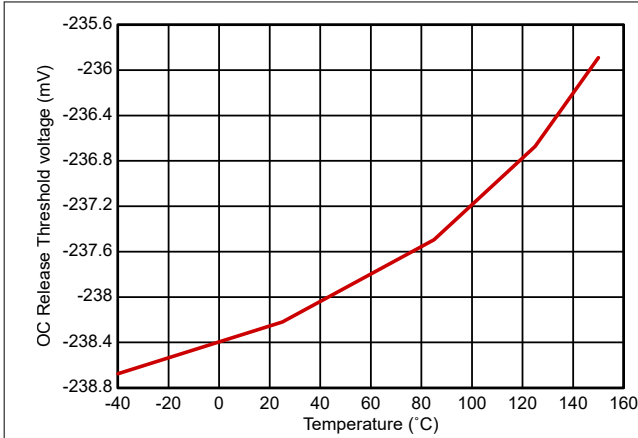


図 5-20. OC スレッシュホールド

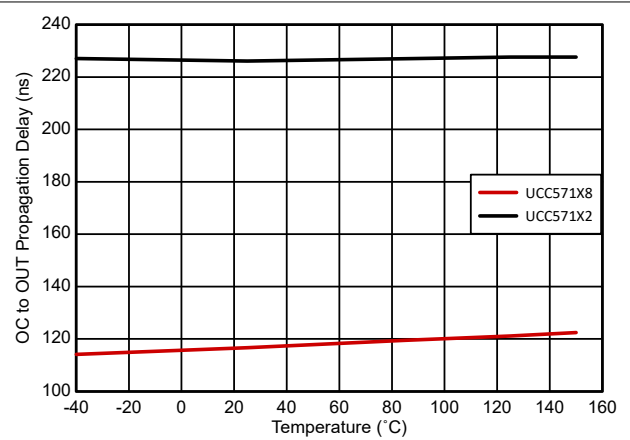


図 5-21. OC から出力までの伝搬遅延

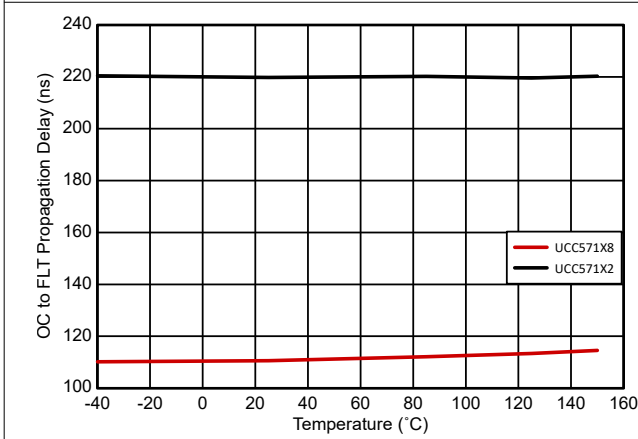


図 5-22. OC から故障までの伝搬遅延

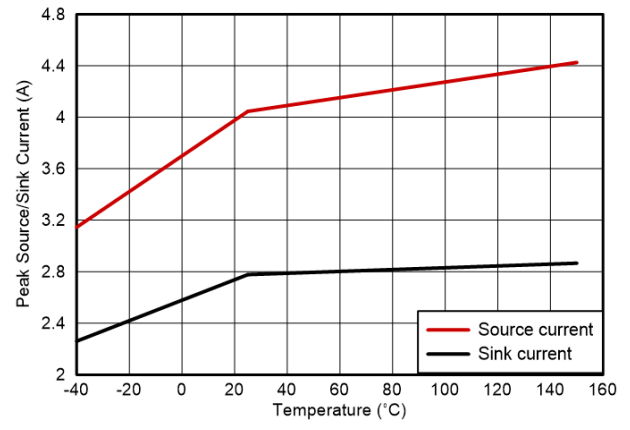


図 5-23. ソースおよびシンク ピーク電流

## 6 詳細説明

### 6.1 概要

UCC5714x-Q1 デバイスは、最大 3A のソース電流と最大 3A のシンク電流 (非対称駆動) で MOSFET、SiC、IGBT パワー スイッチを効率的に駆動できるシングル チャネル高速ゲートドライバです。このドライバは、出力で優れた過渡処理能力を備えており、レールツーレールの駆動能力と、標準 26ns の短い伝搬遅延を実現しています。このデバイスは、低電圧側 DSP/MCU への過電流検出および異常検出出力機能を備えています。OCP ピンで過電流信号が検出されると、内部回路が EN/FLT ピンをプルダウンして故障を通知し、OUT を強制的に Low 段にします。

UCC5714x-Q1 の入力スレッシュホールドは、TTL 低電圧ロジックと互換性があり、VDD 電源電圧に依存しない固定値となっています。また、スレッシュホールド要件が満たされている限り、ドライバは CMOS ベースのコントローラでも動作できます。1V (標準値) のヒステリシスにより、ノイズ耐性が得られます。

ドライバの通常動作中は、EN/FLT ピンに外部プルアップ回路が必要です。EN/FLT を Low にすると、ドライバはディスエーブルになります。また、EN/FLT は、VDD の低電圧誤動作防止 (UVLO) の故障および過熱故障も通知します。

### 6.2 機能ブロック図

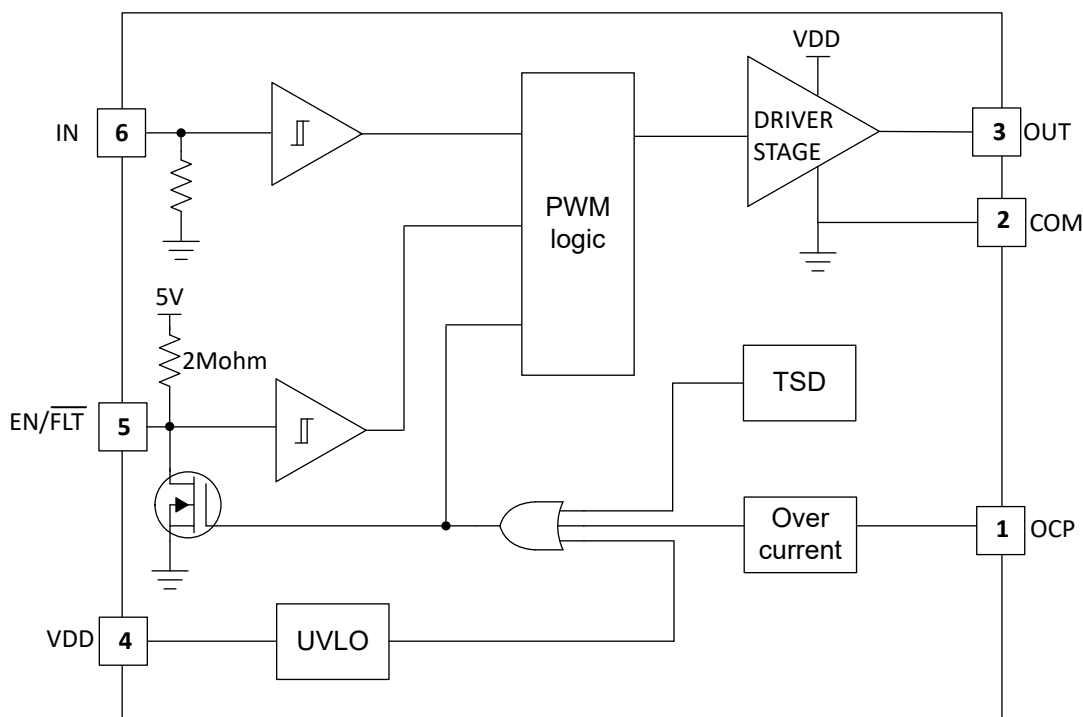


図 6-1. UCC5714x-Q1 簡略化機能ブロック図

## 6.3 機能説明

### 6.3.1 入力段

UCC5714x-Q1 デバイスの入力は TTL ベースのスレッショルド ロジックと互換性があり、入力は VDD 電源電圧に依存しません。より広いヒステリシス (標準値 1V) により、従来の TTL ロジック実装に比べてノイズ耐性が強化されています。また、このデバイスは、入力ピンのスレッショルド電圧レベルを厳密に制御できるため、システム設計の考慮事項が緩和され、温度範囲全体にわたって安定した動作が保証されます。

このデバイスには重要な保護機能があり、入力ピンがフローティング状態のときは常に出力が Low 状態に保持されます。これは、概略機能ブロック図に示すように、入力ピンに内部プルダウン抵抗を接続することで実現されています。一部のアプリケーションでは、バイアス電源のシーケンシングの違いにより、異なる IC の電源がオンになることがあります。これにより、コントローラの出力がトリステートになる可能性があります。コントローラのこの出力は、ドライバ IC の入力に接続されます。ドライバ IC にプルダウン抵抗がない場合、ドライバの出力が誤って High になり、スイッチング電源デバイスが損傷する可能性があります。

ドライバの入力段は、できれば、立ち上がりまたは立ち下がり時間が短い信号で駆動する必要があります。ドライバをゆっくり変化させる入力信号で使用する場合は、常に注意が必要です。特に、デバイスが別のドーター ボード内に配置される場合や PCB レイアウトの入力接続パターンが長い場合には、以下に注意してください。

- ドライバ出力からの高  $di/dt$  電流と基板レイアウトの寄生成分との組み合わせにより、グラウンド バウンスが発生する可能性があります。デバイスには、電源グラウンドを基準とする COM ピンが 1 つだけあるため、入力ピンと COM の間の差動電圧に干渉し、意図しない出力状態変化がトリガされる可能性があります。26ns の高速な伝搬遅延であるため、最終的に高周波の発振が発生することで、消費電力が増加し、損傷リスクの原因となります。
- 1V の入力スレッショルド ヒステリシスにより、他のほとんどの業界標準ドライバに比べてノイズ耐性が向上しています。

入力信号に遅延を追加するのではなく、ドライバの出力と電源デバイスとの間に外付け抵抗を強く推奨します。これにより、パワー デバイスの立ち上がり時間 / 立ち下がり時間も制限され、EMI が低減します。外付け抵抗には、ゲートドライバ デバイス パッケージでのゲート電荷に関連する消費電力の一部を低減し、その電力を外部抵抗自体に伝送するという追加の利点があります。

最後に、入力で負電圧への対応が可能な独自の入力構造により、入力ピンのスルーレートを 1V/ns 未満に制限するように注意してください。

### 6.3.2 イネーブル / 故障 (EN/FLT)

UCC5714x-Q1 の EN/FLT ピンは、調整可能な故障クリア時間で故障信号を DSP/MCU に通知できます。OCP ピン、内部 TSD、または UVLO によって故障が検出されると、EN/FLT ピンは内部で COM にプルダウンされます。故障が解消され、内部プルダウン FET がオフになり、ピンの電圧が外部のプルアップ電圧で充電されるまで、EN/FLT ピンは Low のままです。 $t_{FLT C}$  はコンデンサの指数関数充電特性によって決定され、アプリケーション概略図に示すように、時定数は  $R_{FLT C}$  および  $C_{FLT C}$  によって設定されます。また、 $R_{FLT C}$  は外部 VDD にプルアップされます。 $C_{FLT C}$  は EN/FLT から COM に接続されます。EN/FLT は、 $R_{ENU}$  を介して内部で弱く 5V にプルアップされています。 $t_{FLT C}$  は、5V レールにプルアップされている場合、以下の式によって計算できます。

$$t_{FLT C} = - \left( \frac{R_{FLT C} \times R_{ENU}}{R_{FLT C} + R_{ENU}} \right) \times C_{FLT C} \times \ln \left( 1 - \frac{V_{ENH}}{V_{DD}} \right) \quad (1)$$

UCC5714x-Q1 にはイネーブル機能があり、出力をシャットダウンまたはイネーブルにできます。EN/FLT が  $V_{ENH}$  を上回ってプルアップされると、出力は IN に追従し、 $V_{ENL}$  を下回ってプルダウンされると、出力は Low に維持されます。入力、出力、イネーブルの関係については、タイミング図を参照してください。

### 6.3.3 ドライバ段

このデバイスは  $\pm 3A$  のピーク ドライブ能力を有しており、Si MOSFET/IGBT/SiC の駆動に適しています。このドライバは、入力ピンがフローティング状態のとき出力を LOW 状態に保持する重要な安全機能を備えています。このドライバは、固有のブートストラップ ゲート駆動により NMOS プルアップを実装することで、レール ツー レール出力を備えています。DC 条件では、次の図に示すように、PMOS を使用して OUT を VDD に接続したままにします。NMOS のプルアップイ

インピーダンスが低いため、ターンオン過渡時の強い駆動強度が得られ、パワー半導体の入力容量の充電時間が短縮され、ターンオンのスイッチング損失が低減されます。

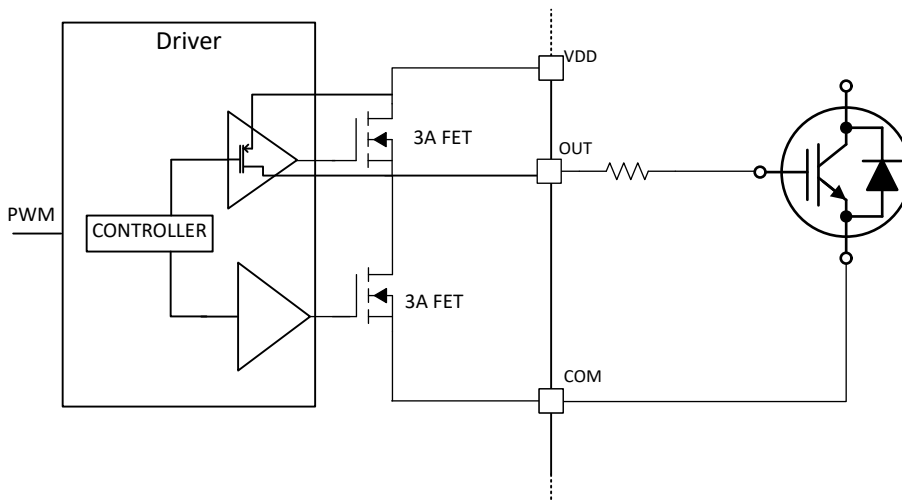


図 6-2. ゲートドライバの出力段

### 6.3.4 過電流 (OC) 保護

UCC5714x-Q1 は、OCP ピンによる障害が発生したときに MOSFET/IGBT を致命的なブレークダウンから保護するための高速過電流保護機能を実装しています。OCP ピンの電圧により、システム検出抵抗の両端で負の電圧降下を検出されました。このピンは、最大で -10V の負の DC 電圧を処理できます。入力、出力、イネーブルの関係については、『OC 保護のタイミング図』にある OC 保護の代表的な動作条件を参照いただけます。このデバイスは、入力の立ち上がりエッジに到達するときに動作するリーディング エッジ ブランキング時間  $t_{OCLEB}$  を内蔵しています。 $t_{OCLEB}$  の間、ドライバは過電流故障検出を無効化します。ノイズの多いシステムでは、故障の誤報告を避けるため、RC フィルタを追加することを推奨します。デバイスが  $t_{OCLEB}$  を終了し、OCP ピンの電圧が  $V_{OCTH}$  を上回ると、 $t_{OC2OUT}$  が経過した後、OUT は Low になり、EN/FLT はプルダウンされます。OCP ピンの電圧が  $V_{OCTL}$  を上回ると、EN/FLT はプルアップされ、次の入力立ち上がりエッジまで OUT は Low に維持されます。

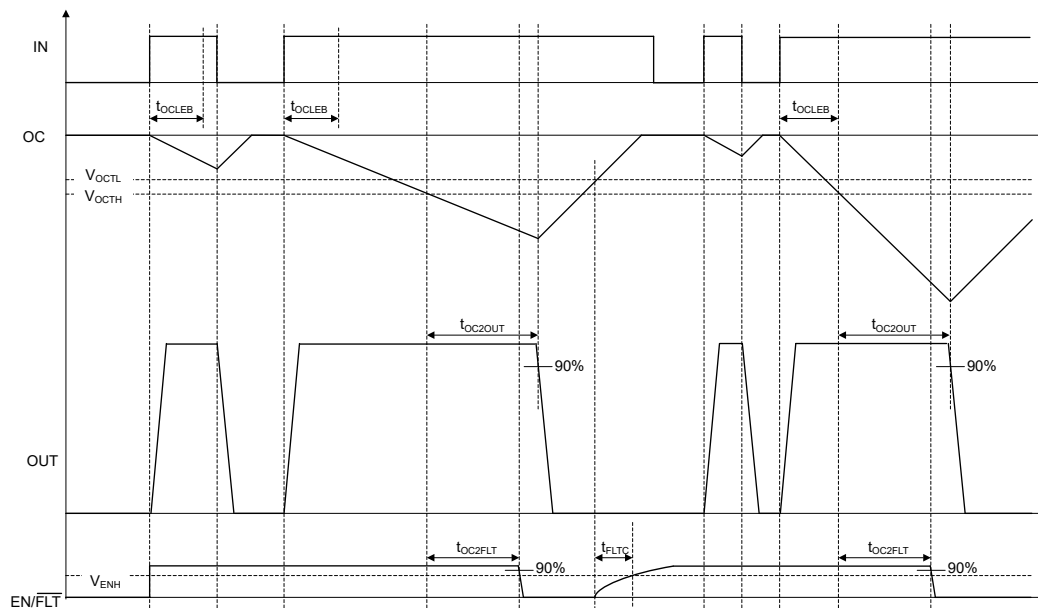


図 6-3. OC 保護のタイミング図

### 6.3.5 サーマル シャットダウン

UCC5714x-Q1 デバイスには、内部温度がスレッシュホールドを超えた場合にドライバを保護できるサーマル シャットダウン機能があります。デバイスが過熱スレッシュホールドを上回ると、 $t_{OTP2FLT}$  伝搬遅延の後、EN/FLT は Low になります。温度が  $t_{FLTC}$  の後にスレッシュホールドを下回ると、デバイスは再度アクティブになります。

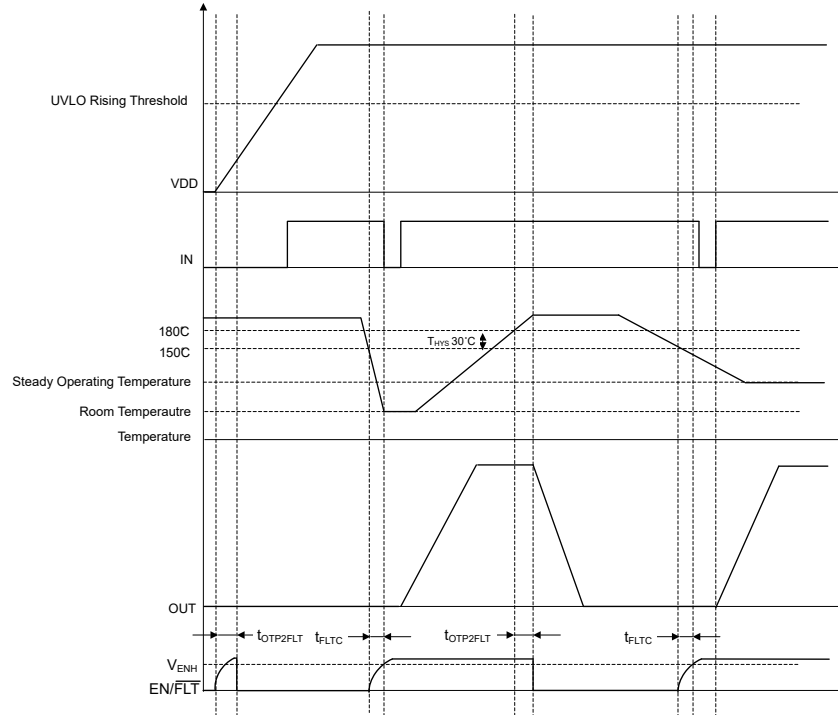


図 6-4. サーマル シャットダウンのタイミング図

### 6.4 デバイスの機能モード

UCC5714x-Q1 デバイスは通常モードおよび UVLO モードで動作します (UVLO の動作の詳細については、[セクション 7.2.1.2.1](#) を参照)。通常モードにおいて、以下の表は、デバイスと入力ピンのさまざまな状態における出力状態を示しています。

表 6-1. UCC5714x-Q1 真理値表

IN	EN/FLT	OCP (1)	UVLO (2)	内部 TSD (3)	OUT
H	H	L	L	L	H
L	H	L	L	L	L
任意	L	H	任意	任意	L
任意	L	任意	H	任意	L
任意	L	任意	任意	H	L

- (1) H は、トリガされる過電流保護を表します。
- (2) H は、トリガされる UVLO 保護を表します。
- (3) H は、トリガされるサーマル シャットダウン保護を表します。

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 アプリケーション情報

大電流ゲートドライバ デバイスは、さまざまな理由から、スイッチング電源アプリケーションで必要になります。パワー デバイスの高速なスイッチングを可能にし、関連するスイッチング電力損失を低減するため、コントローラの PWM 出力または信号絶縁デバイスとパワー 半導体デバイスのゲートとの間には、強力なゲートドライバを使用できます。さらに、PWM コントローラがスイッチング デバイスのゲートを直接駆動できない場合、ゲートドライバが不可欠です。この状況は多くの場合で発生します。デジタル コントローラや信号絶縁デバイスからの PWM 信号は多くの場合、3.3V または 5V のロジック信号であり、パワー スイッチを効果的にターンオンできないからです。パワー デバイスを完全にターンオンし、導通損失を最小限に抑えるには、ロジックレベルの信号をゲート駆動電圧まで昇圧するためのレベルシフト回路が必要です。トータムポール配置の NPN/PNP バイポーラ (または P- N- チャネル MOSFET)、トランジスタをベースとする従来のバッファ駆動回路は、エミッタ フォロワ構成であり、レベル シフト機能や低駆動電圧保護機能がないため、これを実現するには不十分であることがわかっています。ゲートドライバは、レベル シフト機能、バッファドライブ機能および UVLO 機能の両方を効果的に組み合わせています。また、ゲートドライバには、大電流ドライバを物理的にパワー スイッチの近くに配置することによりスイッチング ノイズの影響を最小化する、ゲートドライブトランスを駆動する、フローティング パワー デバイスのゲートを制御する、ゲート電荷の電力損失をドライバ自体に移動することによりコントローラの消費電力と熱ストレスを低減するなど、他のニーズも満たします。

UCC5714x-Q1 はこの役割において非常に柔軟に使用でき、強力な駆動電流能力と、UVLO ~ 26V の広い推奨電源電圧範囲を備えています。これにより、5V バイアス ロジックレベルの超高周波 MOSFET アプリケーションで、ドライバを使用できます。

これらの要件と、熱特性が優れた低インダクタンスの小型パッケージで短い伝搬遅延と供給が必要とされていることから、UCC5714x-Q1 などのゲートドライバ デバイスはスイッチング電源の分野で非常に重要な部品となっており、高性能、低コスト、部品点数の削減、基板面積の削減、システム設計の簡素化という利点があります。



## 7.2 代表的なアプリケーション

### 7.2.1 MOSFET / IGBT / SiC MOSFET の駆動

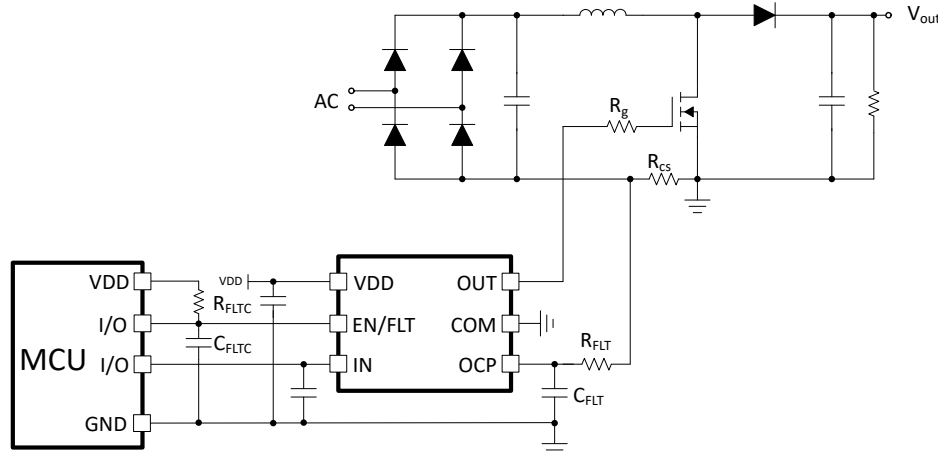


図 7-1. 昇圧コンバータでの MOSFET/IGBT/SiC MOSFET の駆動

#### 7.2.1.1 設計要件

最終アプリケーションでゲートドライバ デバイスを選択するとき、最も適切な選定を行うため、設計上のいくつかの考慮事項を評価する必要があります。最終アプリケーション用にゲートドライバ デバイスを選択する際に使用する設計パラメータの一部として、入力から出力への構成、入力スレッシュホールドのタイプ、バイアス電源電圧のレベル、ソースおよびシンクのピーク電流、独立したイネーブルおよびディスエーブル機能の利用可能性、伝搬遅延、消費電力、パッケージ タイプが挙げられます。表 7-1 の設計パラメータと要件例を参照してください。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
入出力間ロジック	非反転型
入力スレッシュホールドのタイプ	TTL
バイアス電源電圧レベル	+18V
イネーブル機能	あり
ディスエーブル機能	該当なし
伝搬遅延	<30ns
消費電力	<1W
パッケージタイプ	SOT-23

#### 7.2.1.2 詳細な設計手順

##### 7.2.1.2.1 VDD 低電圧誤動作防止

UCC57142-Q1 デバイスは 12V の低電圧誤動作防止スレッシュホールドを、UCC57148-Q1 デバイスは 8V の低電圧誤動作防止スレッシュホールドを備えています。UVLO ヒステリシス範囲により、バイアス電源にノイズが存在することによるチャタリングを防止できます。UVLO ヒステリシスの標準値は、1V と予想されます。起動時の UVLO 機能により、または電源電圧が立ち上がりスレッシュホールドを超えたとき、ターンオン遅延は 2 $\mu$ s と予想されます。UVLO ターンオフ遅延も可能な限り最小化され、最大 3 $\mu$ s に抑えられています。UVLO 遅延は、VDD に発生する非常に高速な過渡によって発生する可能性のあるチャタリングを最小限に抑えるように設計されています。バイアス電源が UVLO スレッシュホールドを下回ると、入力ピンの状態に関係なく、出力はアクティブに Low に保持されます。UVLO を終了すると、EN/FLT は外部プルアップ回路によって充電されます。故障が解消される時間は、RFLT と CFLT の時定数で決まります。UVLO を終了し、故障が解消される時間と UVLO ターンオン遅延よりも長い時間経過した後、IN の最初の立ち上がりエッジの後、OUT は IN に追従します。

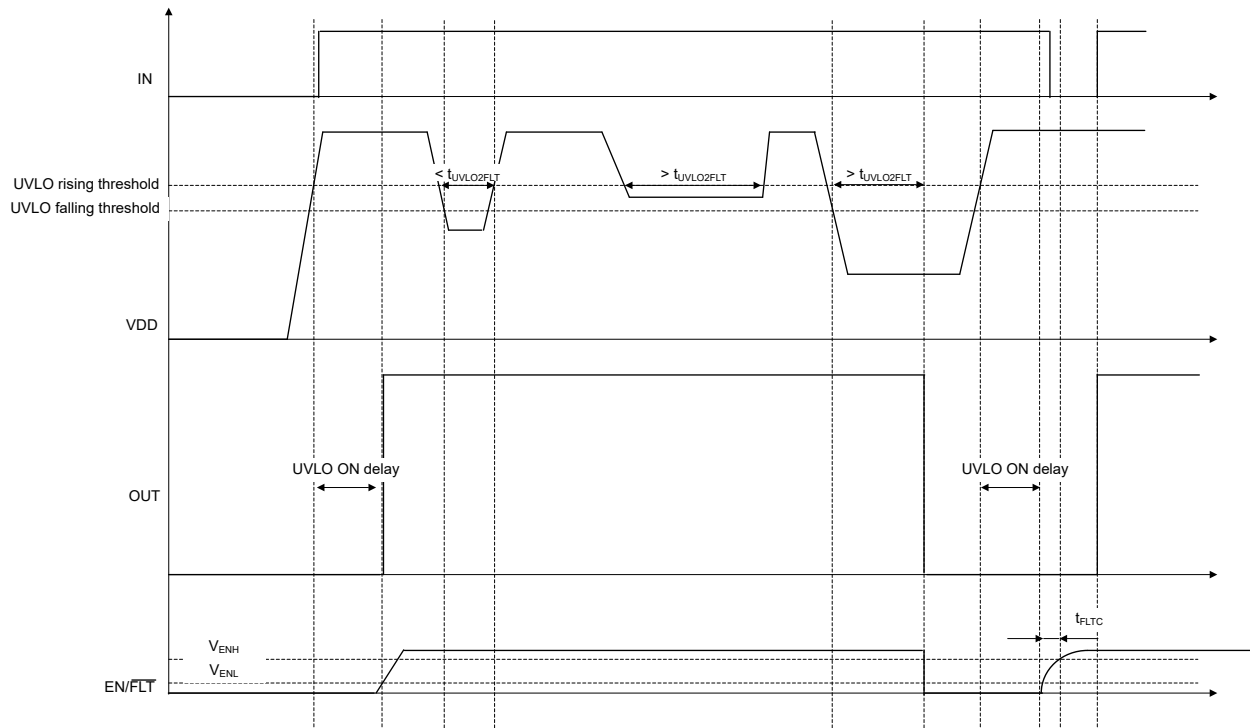


図 7-2. UVLO タイミング図

### 7.2.1.2.2 消費電力

ゲートドライバの消費電力には、以下に示すように 2 つの部分があります。

$$P_{\text{DISS}} = P_{\text{DC}} + P_{\text{SW}} \quad (2)$$

消費電力の DC 部分は  $P_{\text{DC}} = I_{\text{Q}} \times V_{\text{DD}}$  であり、 $I_{\text{Q}}$  はドライバの静止電流です。静止電流は、入力段、リファレンス電圧、ロジック回路、保護機能、さらにドライバの出力状態が変化したときの内部デバイスのスイッチングに関連する任意の電流 (寄生容量の充電と放電、寄生貫通電流など) などのすべての内部回路をバイアスするためにデバイスが消費する電流です。UCC5714x-Q1 には、出力ドライバ段での貫通電流 (PMOS から NMOS へ、またはその逆) を最小限に抑えるためのロジックが内蔵されています。したがって、 $P_{\text{DC}}$  がゲートドライバ内の総消費電力に及ぼす影響は、無視できるレベルであると想定できます。実際には、これはドライバの出力がパワー スイッチのゲートから切り離されたときにドライバが消費する電力となります。

前のセクションで説明したように、ゲートドライバの出力段は PMOS と NMOS に基づいています。これらの NMOS および PMOS は、スイッチング時に抵抗が非常に低くなるように設計されています。したがって、ドロップアウトは非常に小さくなります。スイッチング ( $P_{\text{SW}}$ ) 時にゲートドライバ パッケージで消費される電力は、以下の要因によって決まります。

- 電源デバイスに必要なゲート電荷 (通常は駆動電圧  $V_{\text{G}}$  の関数で、低い  $V_{\text{Ox}}$  ドロップアウトにより、入力バイアス電源電圧  $V_{\text{DD}}$  に非常に近い値)
- スwitching 周波数
- パワー MOSFET の内部および外部ゲート抵抗

ディスクリートの容量性負荷を使用してドライバ デバイスをテストする場合、バイアス電源から必要とされる電力を計算するのはかなりシンプルなことです。バイアス電源からコンデンサを充電するために転送する必要があるエネルギーは、以下で求められます。

$$E_{\text{G}} = \frac{1}{2} C_{\text{LOAD}} V_{\text{DD}}^2 \quad (3)$$

ここで、

- $C_{LOAD}$  は負荷コンデンサで、 $V_{DD}$  はドライバに供給されるバイアス電圧です。

コンデンサの放電時には、等しい量のエネルギーが消費されます。ターンオフ中、コンデンサに蓄積されたエネルギーはドライブ回路で完全に消費されます。これにより、スイッチング サイクル中の総電力損失は、次の式で求められます。

$$P_G = C_{LOAD} V_{DD}^2 f_{sw} \quad (4)$$

ここで、

- $f_{sw}$  はスイッチング周波数です

パワー FET と IGBT で生成されるスイッチング負荷は、デバイスのスイッチングに必要なゲート電荷を調べることで、等価容量に変換できます。このゲート電荷には、入力静電容量の影響と、オン状態とオフ状態を切り替えるパワー デバイスのドレイン電圧をスイングさせるために必要な追加電荷が含まれます。ほとんどのメーカーは、指定された条件でデバイスをスイッチングするための標準および最大ゲート電荷 (nC 単位) の仕様を提供しています。ゲート電荷  $Q_g$  を使用することで、コンデンサの充電時に消費される必要のある電力を決定できます。これは、等価 ( $Q_g = C_{LOAD} V_{DD}$ ) を使用して実行され、次の式を電力として使用できます。

$$P_G = C_{LOAD} V_{DD}^2 f_{sw} = Q_g V_{DD} f_{sw} \quad (5)$$

この電力  $P_G$  は、MOSFET と IGBT がオンまたはオフになるときに、回路の抵抗性素子で消費されます。総電力の半分はターンオン中に負荷コンデンサが充電されるときに消費され、残りの半分はターンオフ中に負荷コンデンサが放電される時に消費されます。ドライバ IC と MOSFET/IGBT の間に外部ゲート抵抗が取り付けられていない場合、この電力はドライバ IC 内で完全に消費されます。外部ゲートドライブ抵抗を使用すると、抵抗の比率に応じて、ドライバの内部抵抗と外部ゲート抵抗との間で消費電力が共有されます (より高い抵抗の部品で消費される電力がより大きい)。この簡略化された解析に基づき、スイッチング中のドライバの消費電力は次の式に示すように計算されます。これは主に、ゲートドライバのピーク電流を制限するために合計外部ゲート抵抗がかなり大きいアプリケーションに適用されます。

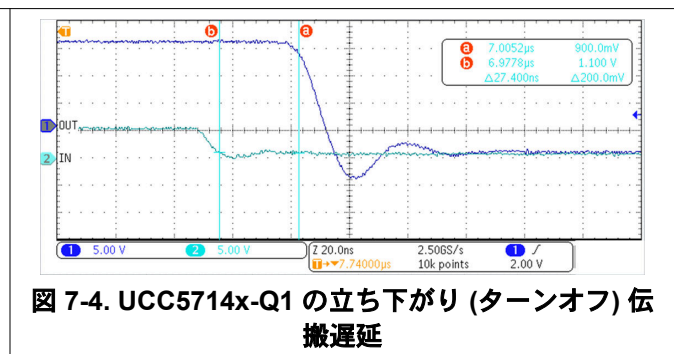
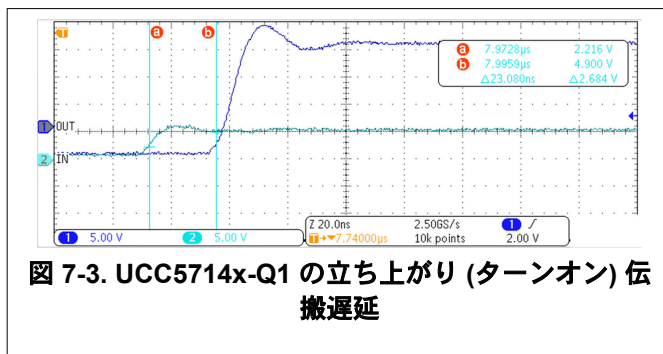
$$P_{SW} = 0.5 \times Q_g \times V_{DD} \times f_{sw} \left( \frac{R_{OFF}}{(R_{OFF} + R_{GATE})} + \frac{R_{ON}}{(R_{ON} + R_{GATE})} \right) \quad (6)$$

ここで、

- $R_{OFF} = R_{OL}$  および  $R_{ON}$  (プルアップ構造の実効抵抗)

### 7.2.1.3 アプリケーション曲線

以下の図は、1nF のコンデンサ負荷を使用する UCC5714x-Q1 デバイスの代表的なスイッチング特性を示しています。



### 7.3 電源に関する推奨事項

UCC5714x-Q1 デバイスの動作に推奨されるバイアス電源電圧範囲は UVLO ~26V です。この範囲の下限は、VDD ピンの電源回路ブロックに内蔵されている UVLO 保護機能によって制御されます。VDD ピンの電圧が  $V_{(ON)}$  電源スタートスレッシュホールドを下回ってドライバが UVLO 状態になると、入力の状態にかかわらず、出力が Low に保持されます。この範囲の上限は、デバイスの VDD ピンの推奨最大電圧定格である 26V によって決まります。VDD ピンの絶対最大電圧は 30V です。

UVLO 保護機能は、ヒステリシス機能も備えています。つまり、VDD ピンのバイアス電圧がスレッシュホールド電圧を超えてデバイスが動作を開始した後に電圧が低下すると、電圧降下がヒステリシス仕様を超えない限り、デバイスは通常の動作を継続します。したがって、UVLO またはそれに近い電圧で動作しているときは、デバイスのシャットダウンがトリガされないように、補助電源出力の電圧リップルをデバイスのヒステリシス仕様値よりも小さくすることが重要です。

システムのシャットダウン中は、デバイスの動作は VDD ピンの電圧が VDD UVLO の立ち下がりスレッシュホールドを下回るまで継続されます。これを考慮して、システムのシャットダウンのタイミング設計要件を評価する必要があります。同様に、システムのスタートアップ時には、VDD ピンの電圧が VDD UVLO の立ち上がりスレッシュホールドを超えるまで、デバイスは動作を開始しません。デバイスの内部回路ブロックで消費される静止電流は、VDD ピンから供給されます。この事実はよく知られていますが、OUT ピンから供給されるソース電流パルスの電荷も同じ VDD ピンを通して供給されることを把握しておくことが重要です。その結果、電流が出力ピン (OUT) からソースされるたびに、対応する電流パルスが VDD ピン経由でデバイスに供給されます。そのため、デカップリングの目的で、VDD ピンと GND ピンの間にローカル バイパス コンデンサを配置し、デバイスにできる限り近づけて配置してください。低 ESR の表面実装型セラミック コンデンサが必要です。TI では、デバイスの VDD ピンから 1mm 未満の 100nF セラミック表面実装型コンデンサと、数マイクロファラッド ( $\geq 1\mu\text{F}$ ) を並列に追加したセラミック表面実装型コンデンサの 2 つのコンデンサを使用することを推奨します。

ゲートドライバを MOSFET などのスイッチング電源デバイスから離して配置すると、大きな誘導性ループが形成される恐れがあります。この大きな誘導性ループは、ゲートドライバの任意の全ピンで過剰なリンギングを発生させる恐れがあります。これにより、ストレスがデバイスの推奨定格を超える可能性があります。そのため、ゲートドライバをスイッチング電源デバイスのできるだけ近くに配置することを推奨します。また、外部ゲート抵抗を使用して、大きいスイッチング電流と基板の寄生素子に起因するリンギングを減衰させることも推奨します。

## 7.4 レイアウト

### 7.4.1 レイアウトのガイドライン

適切なデバイス動作と設計の堅牢性を実現するために、大電流、高速スイッチング回路では適切な PCB レイアウトが非常に重要です。UCC5714x-Q1 ゲートドライバは、短い伝搬遅延と強力な出力段を内蔵しており、パワー スイッチのゲートにおける立ち上がり / 立ち下がり時間が非常に高速で大きな電流ピークを供給できるため、電圧遷移を非常に迅速に実現できます。パターンの長さやインピーダンスを十分制御できていない場合、 $di/dt$  が非常に高いと許容不可能なリンギングが発生することがあります。これらの高速ドライバを使用して設計する際は、以下の回路レイアウト ガイドラインを推奨します。

- ドライバの出力ピンとパワー スイッチ デバイスのゲート間の大電流パターン長を最小限に抑えるため、ドライバ デバイスをパワー デバイスのできるだけ近くに配置します。
- パターン長を最小限に抑え、ノイズ フィルタリングを向上させるため、VDD ピンと COM ピンとの間のバイパス コンデンサをドライバ ピンのできるだけ近くに配置します。TI では、デバイスの VDD ピンから 1mm 未満に配置された 100nF セラミック表面実装型コンデンサと、数マイクロファラッドを並列に追加したセラミック表面実装型コンデンサの 2 つのコンデンサを使用することを推奨します。これらのコンデンサは、パワー スイッチのターンオン時に VDD から引き出される大きなピーク電流に対応します。チップ コンデンサなど、低インダクタンスの表面実装部品を使用することを強く推奨します。
- ターンオンおよびターンオフ電流ループ パス (ドライバ デバイス、パワー スイッチ、VDD バイパス コンデンサ) をできるだけ最小限に抑えて、浮遊インダクタンスを最小限に抑え続ける必要があります。これらのループでは、ターンオンおよびターンオフ過渡時という 2 つの状況で高  $di/dt$  が確立されています。これにより、ドライバ デバイスの出力ピンとパワー スイッチのゲートに大きな電圧過渡が誘発されます。
- 可能な限り、電流ループのソース パターンとリターン パターンを並列にし、磁束の打ち消しを利用します
- 出力信号や入力信号など、複数の電源パターンと信号パターンを分けてください。
- スイッチ ノードの過渡現象とリンギングを最小限に抑えるため、パワー デバイスにゲート抵抗やスナバの追加が必要な場合があります。これらの対策は EMI を低減する可能性もあります。
- スターポイントのグランド接続は、ある電流ループから別の電流ループへのノイズ結合を最小限に抑える適切な方法です。ドライバの COM は、電源スイッチのソース、PWM コントローラのグランドなど他の回路ノードにシングル ポイントで接続する必要があります。接続されたパスはインダクタンス低減のためできるだけ短くし、抵抗の低減のためできるだけ幅を広くする必要があります。
- ノイズ シールドを実現するために、グランド プレーンを使用します。OUT ピンの立ち上がり / 立ち下がり時間が短いと、遷移中に入力信号が破損する可能性があります。グランド プレーンを電流ループの導通パスにしないでください。代わりに、グランド電位を確立するために、グランド プレーンを 1 つのパターンでスターポイントに接続する必要があります。ノイズ シールドに加えて、グランド プレーンは消費電力の削減にも役立ちます。
- OCP フィルタ コンデンサはドライバの OCP ピンにできるだけ近づけて配置します。また、電流検出ループを最小限に抑えると、ノイズ耐性の向上にも役立ちます。寄生インダクタンスを低減するには、MOSFET の IGBT エミッタまたはソースの近くにセンス抵抗を配置する必要があります。センス抵抗には低 ESL フィルム抵抗を推奨します。



## 8 デバイスおよびドキュメントのサポート

### 8.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

### 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from Revision \* (July 2025) to Revision A (October 2025) Page

• データシートのステータスを「事前情報」から「量産データ」に更新.....	1
--	---

日付	改訂	注
July 2025	*	事前情報の初回リリース

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated



**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">UCC57142AQDBVRQ1</a>	Active	Production	SOT-23 (DBV)   6	3000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	U42Q
<a href="#">UCC57148AQDBVRQ1</a>	Active	Production	SOT-23 (DBV)   6	3000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	U48Q

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF UCC57142-Q1, UCC57148-Q1 :**

- Catalog : [UCC57142](#), [UCC57148](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC57142AQDBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
UCC57148AQDBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC57142AQDBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
UCC57148AQDBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0



# DBV0006A

# PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214840/G 08/2024

## NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

# EXAMPLE BOARD LAYOUT

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月