

XTR106 4mA ~ 20mA 電流トランスミッタ、センサ励起および線形化機能付き

1 特長

- 低い全体未調整誤差
- 2.5V、5V のブリッジ励起リファレンス
- 5.1V レギュレータ出力
- 低いスパンドリフト: 最大値 $\pm 25\text{ppm}/^\circ\text{C}$
- 小さいオフセットドリフト: $0.25\mu\text{V}/^\circ\text{C}$
- 高 PSRR: 110dB 以上
- 高 CMRR: 86dB 以上
- 幅広い電源電圧範囲: 7.5V ~ 36V
- 14ピン DIP および SOIC パッケージ オプション

2 アプリケーション

- フィールドトランスミッタとセンサ
- ファクトリオートメーション
- HART モデムと互換
- 圧力 / 温度ブリッジトランスミッター
- 産業用プロセス制御
- SCADA リモート データ アクイジション
- 計量システム
- ひずみゲージトランスミッタ
- 加速度計

3 概要

XTR106 は、コストを最適化したブリッジ センサ アプリケーション用に設計されたモノリシック 4mA ~ 20mA への 2 線式電流トランスミッターです。このデバイスは包括的なブリッジ励起 (2.5V または 5V の基準電圧)、計測アンプ、センサの線形化、電流出力回路を提供します。追加の外部入力回路に電力を供給するための電流は、V_{REG} ピンから供給できます。

計装アンプは広いゲインで使用でき、さまざまな種類の入力信号に対応します。線形化ブリッジを含める電流トランスミッター全体の総合未調整誤差は十分に低く、多くのアプリケーションで調整なしに使用できます。XTR106 は、最低 7.5V のループ電源電圧で動作します。

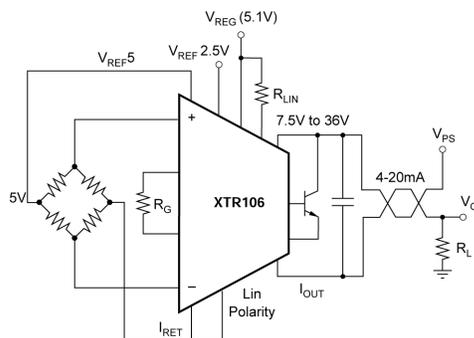
線形化回路は、ブリッジ励起電圧を制御することにより、伝達関数に 2 次補正を行います。このデバイスは、コスト最適化されたトランスデューサでも、非直線性が最大 20:1 改善されています。

XTR106 は 14 ピンのプラスチック DIP および SOIC 表面実装パッケージで供給され、 -40°C ~ $+85^\circ\text{C}$ の温度範囲で動作が規定されています。このデバイスは、 -40°C から $+125^\circ\text{C}$ の温度で動作します。

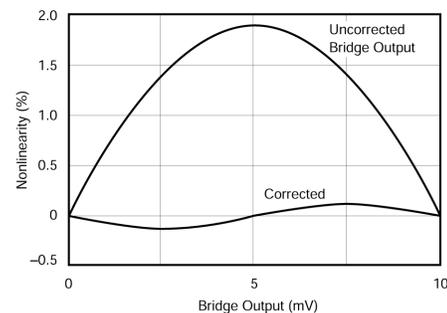
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
XTR106	D (SOIC, 14)	8.65mm × 6mm
	N (PDIP, 14)	19.3mm × 9.4mm

- (1) 供給されているすべてのパッケージについては、セクション 10 を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



XTR106 を使用したブリッジの非直線性補正 回路図



XTR106 ブリッジの非直線性補正



目次

1 特長	1	7.1 使用上の注意.....	17
2 アプリケーション	1	7.2 代表的なアプリケーション.....	23
3 概要	1	7.3 レイアウト.....	25
4 ピン構成および機能	3	7.4 レイアウトのガイドライン.....	25
5 仕様	4	8 デバイスおよびドキュメントのサポート	26
5.1 絶対最大定格.....	4	8.1 デバイスの命名規則.....	26
5.2 推奨動作条件.....	4	8.2 ドキュメントのサポート.....	26
5.3 熱に関する情報.....	4	8.3 関連資料.....	26
5.4 電気的特性.....	5	8.4 ドキュメントの更新通知を受け取る方法.....	26
5.5 代表的特性.....	7	8.5 サポート・リソース.....	26
6 詳細説明	11	8.6 商標.....	26
6.1 概要.....	11	8.7 静電気放電に関する注意事項.....	26
6.2 機能ブロック図.....	12	8.8 用語集.....	26
6.3 機能説明.....	12	9 改訂履歴	27
6.4 デバイスの機能モード.....	16	10 メカニカル、パッケージ、および注文情報	27
7 アプリケーションと実装	17		

4 ピン構成および機能

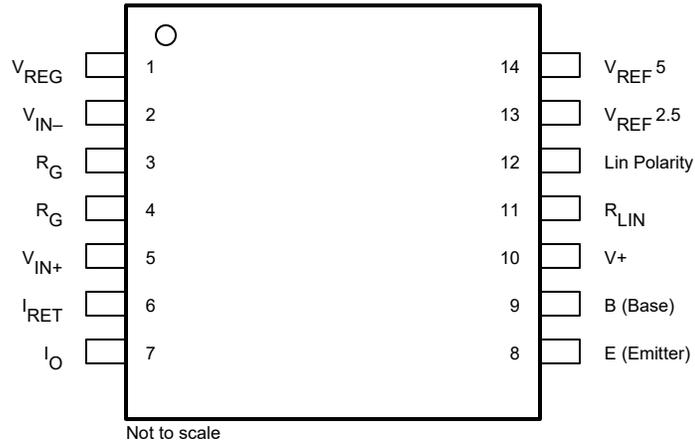


図 4-1. D パッケージ、14 ピン SOIC、N パッケージ、14 ピン PDIP (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
B (ベース)	9	出力	外部トランジスタのベース接続
E (エミッタ)	8	入力	外部トランジスタのエミッタ接続
I _O	7	出力	4mA から 20mA への電流ループ出力を安定化します
I _{RET}	6	入力	V _{REG} 、V _{REF5} 、V _{REF2.5} のローカル グランド リターン ピン
Lin 極性	12	入力	直線性補正回路の極性設定。正の非直線性を補正する場合は I _{RET} に接続するか、負の非直線性を補正する場合は、または直線性補正機能を使用しない場合は V _{REG} に接続します
R _G	3、4	—	入力段ゲイン設定ピン。ピン 3 とピン 4 の間の抵抗 R _G は、電圧から電流への伝達関数のゲインを設定します
R _{LIN}	11	—	直線性補正抵抗ピン。ピン 1 とピン 11 の間の抵抗 R _{LIN} により、直線性補正回路の補正係数が設定されます
V+	10	電源	ループ電源
V _{IN-}	2	入力	負 (反転) 差動電圧入力
V _{IN+}	5	入力	正 (非反転) 差動電圧入力
V _{REF5}	14	出力	5V リファレンス電圧出力
V _{REF2.5}	13	出力	2.5V リファレンス電圧出力
V _{REG}	1	出力	5.1V レギュレータ電圧出力

5 仕様

注

TI では、このデバイスの複数の製造フローを認定済みです。性能の違いは、チップの原産拠点 (CSO) によってラベル付けされています。システムの堅牢性を確保するために、すべてのフローを考慮した設計を強く推奨します。詳細情報については、[セクション 8.1](#) をご覧ください。

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V+	電源 (I _O ピンを基準とする)		40	V
	入力電圧、V _{IN+} または V _{IN-} (I _{RET} ピンを基準とする)	0	V+	V
	出力電流制限		連続	
T _{stg}	保存温度	-55	125	°C
	リード温度 (半田付け、10 秒)		300	°C
T _J	接合部温度		165	°C
T _A	動作温度	-40	125	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V+	電源 (I _O ピンを基準とする)	7.5	24	36	V
T _A	規定温度	-40		85	°C

5.3 熱に関する情報

熱評価基準 ⁽¹⁾		XTR106		単位
		14 ピン		
		D (SOIC)	N (PDIP)	
R _{θJA}	接合部から周囲への熱抵抗	86.8	51.8	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	46.9	29.4	°C/W
R _{θJB}	接合部から基板への熱抵抗	46.0	24.2	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	9.6	7.8	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	45.6	23.7	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。
[SPRA953](#)

5.4 電気的特性

$T_A = +25^\circ\text{C}$ 、 $V_+ = 24\text{V}$ 、TIP29C 外部トランジスタ、すべてのチップ原産拠点 (CSO)、特に記述のない限り。

パラメータ		テスト条件		最小値	標準値	最大値	単位
出力							
I_O	出力電流の式	V_{IN} (ボルト単位) および R_G (Ω 単位)		$I_O = V_{IN} * (40/R_G) + 4\text{mA}$			A
	出力電流、仕様範囲			4		20	mA
I_{OVER}	オーバースケール制限			24	28	30	mA
I_{UNDER}	アンダースケール制限	$I_{REG} = 0$ 、 $I_{REF} = 0$		1	1.6	2.2	mA
		$I_{REF} + I_{REG} = 2.5\text{mA}$		2.9	3.4	4	
ゼロ出力							
I_{ZERO}	ゼロ出力 ⁽¹⁾	$(V_{IN} = 0\text{V}, R_G = \infty)$				4	mA
	初期誤差	XTR106P、XTR106U		± 5		± 25	μA
		XTR106PA、XTR106UA		± 5		± 50	
	温度依存性	$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$		± 0.07		± 0.9	$\mu\text{A}/^\circ\text{C}$
	電源電圧 (V_+) に対する依存性	$V_+ = 7.5\text{V} \sim 36\text{V}$			0.04	0.2	$\mu\text{A}/\text{V}$
	同相電圧 (CMRR) に対する依存性	$V_{CM} = 1.1\text{V} \sim 3.5\text{V}$ ⁽⁵⁾			0.02		$\mu\text{A}/\text{V}$
	V_{REG} (I_O) に対する依存性				0.8		$\mu\text{A}/\text{mA}$
i_n	ノイズ	0.1Hz \sim 10Hz	CSO: TID			0.016	μApp
			CSO: SHE			0.035	
スパン							
S	スパンの式 (相互コンダクタンス)			$S = 40/R_G$			A/V
	未調整誤差	フルスケール (V_{IN}) = 50mV	XTR106P、XTR106U	± 0.05		± 0.2	%
			XTR106PA、XTR106UA	± 0.05		± 0.4	
	温度依存性 ⁽²⁾	$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$		± 3		± 25	ppm/ $^\circ\text{C}$
	非直線性: 理想的な入力 ⁽³⁾	フルスケール (V_{IN}) = 50mV		± 0.001		± 0.01	%
入力							
V_{OS}	オフセット電圧 ⁽⁴⁾	$V_{CM} = 2.5\text{V}$	XTR106P、XTR106U	± 50		± 100	μV
			XTR106PA、XTR106UA	± 50		± 250	
	温度依存性	$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	XTR106P、XTR106U	± 0.25		± 1.5	$\mu\text{V}/^\circ\text{C}$
			XTR106PA、XTR106UA	± 0.25		± 3	
	電源電圧 (V_+) に対する依存性	$V_+ = 7.5\text{V} \sim 36\text{V}$		± 0.1		± 3	$\mu\text{V}/\text{V}$
CMRR	同相電圧 (RTI) に対する依存性	$V_{CM} = 1.1\text{V} \sim 3.5\text{V}$ ⁽⁵⁾	XTR106P、XTR106U	± 10		± 50	$\mu\text{V}/\text{V}$
			XTR106PA、XTR106UA	± 10		± 100	
V_{CM}	同相モード範囲 ⁽⁵⁾			1.1		3.5	V
I_B	入力バイアス電流	XTR106P、XTR106U		5		25	nA
		XTR106PA、XTR106UA		5		50	
	温度依存性	$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$		20			$\text{pA}/^\circ\text{C}$
I_{OS}	入力オフセット電流	XTR106P、XTR106U		± 0.2		± 3	nA
		XTR106PA、XTR106UA		± 0.2		± 10	
	温度依存性	$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$		5			$\text{pA}/^\circ\text{C}$
Z_{IN}	インピーダンス	差動		0.1 1			$\text{G}\Omega$ pF
		同相	CSO: SHE	5 10			
			CSO: TID	5 10			
V_n	ノイズ	0.1Hz \sim 10Hz		0.6		μVpp	

XTR106

JAJSUJ4C – JUNE 1998 – REVISED JANUARY 2026

 $T_A = +25^\circ\text{C}$ 、 $V_+ = 24\text{V}$ 、TIP29C 外部トランジスタ、すべてのチップ原産拠点 (CSO)、特に記述のない限り。

パラメータ		テスト条件		最小値	標準値	最大値	単位
電圧リファレンス							
$V_{REF2.5}$	初期 2.5V リファレンス電圧	V_{REF} に接続された Lin 極性、 $R_{LIN} = 0$ ⁽⁵⁾		2.5		V	
V_{REF5}	初期 5V リファレンス電圧			5			
	精度	$V_{REF} = 2.5\text{V}$ または 5V	XTR106P、XTR106U	± 0.05	± 0.25	%	
			XTR106PA、XTR106UA	± 0.05	± 0.5		
	温度依存性 ⁽⁶⁾	$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	XTR106P、XTR106U	± 20	± 35	ppm/°C	
			XTR106PA、XTR106UA	± 20	± 75		
	電源電圧 (V+) に対する依存性	$V_+ = 7.5\text{V} \sim 36\text{V}$		± 5	± 20	ppm/V	
	負荷に対する依存性	$I_{REF} = 0\text{mA} \sim 2.5\text{mA}$		60		ppm/mA	
	ノイズ	0.1Hz \sim 10Hz		10		μVpp	
V_{REG}							
V_{REG}	レギュレータ電圧 ⁽⁵⁾			5.1		V	
	精度	$I_{REG} = 0$		± 0.02	± 0.1	V	
	温度依存性	$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	CSO: SHE	± 0.3		mV/°C	
			CSO: TID	± 0.5			
	電源電圧 (V+) に対する依存性	$V_+ = 7.5\text{V} \sim 36\text{V}$		1		mV/V	
I_{REG}	出力電流			代表的な曲線を参照		mA	
	出力インピーダンス	$I_{REG} = 0\text{mA} \sim 2.5\text{mA}$		80		Ω	
線形化							
R_{LIN}	R_{LIN} (外部) の式 ⁽⁷⁾	K_{LIN} (Ω 単位)、B は V_{FS} に対する非直線性		$R_{LIN} = K_{LIN} * 4B / (1 - 2B)$		Ω	
K_{LIN}	K_{LIN} 線形化係数	$V_{REF} = 5\text{V}$		6.645		k Ω	
		$V_{REF} = 2.5\text{V}$		9.905			
	R_{LIN} の精度			± 1	± 5	%	
	と温度との関係	$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$		± 50	± 100	ppm/°C	
B	修正可能な最大センサの非直線性	$V_{REF} = 5\text{V}$		± 5		FS に対する %	
		$V_{REF} = 2.5\text{V}$		-2.5、+5			

- (1) 4mA の低スケールオフセット電流の精度を示します。入力アンプの影響は含まれていません。ゼロにトリミングできます。
- (2) 初期誤差またはゲイン設定抵抗 R_G の TCR は含まれていません。
- (3) フルスケール入力範囲を大きくすると、非直線性が改善されます。
- (4) ゼロ出力の初期誤差は含まれていません。
- (5) I_{RET} ピンに関して測定された電圧。
- (6) ボックス方式を使用して計算されています。 $(MAX_{(-40^\circ\text{C to } 85^\circ\text{C})} - MIN_{(-40^\circ\text{C to } 85^\circ\text{C})}) / (85^\circ\text{C} - (-40^\circ\text{C}))$ 。
- (7) 詳細については、線形化 (セクション 6.3.1) を参照してください。 V_{FS} = フルスケール V_{IN}

5.5 代表的特性

$T_A = +25^\circ\text{C}$ 、 $V_+ = 24\text{V}$ 、すべてのチップ原産拠点 (CSO)、特に記述のない限り

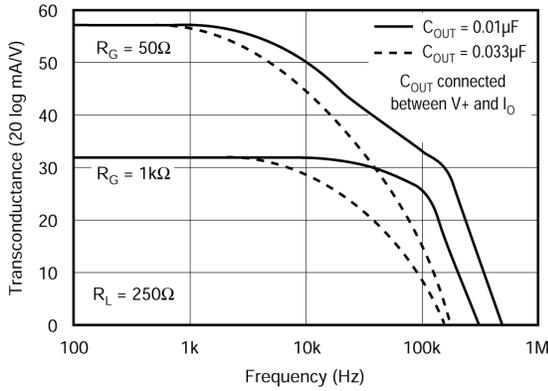


図 5-1. 相互コンダクタンスと周波数との関係

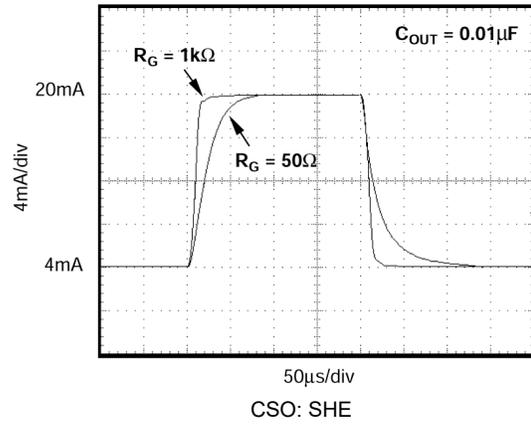


図 5-2. ステップ応答

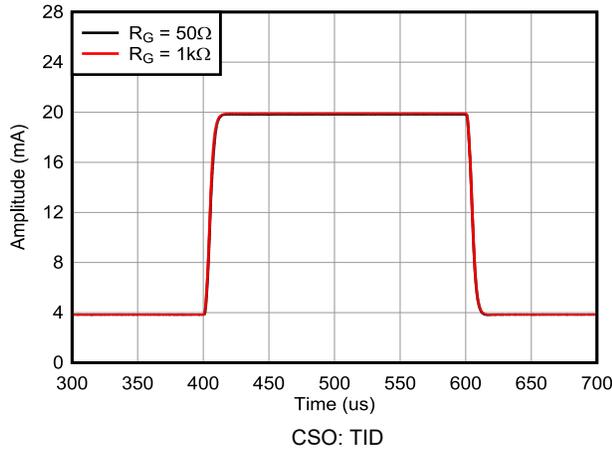


図 5-3. ステップ応答

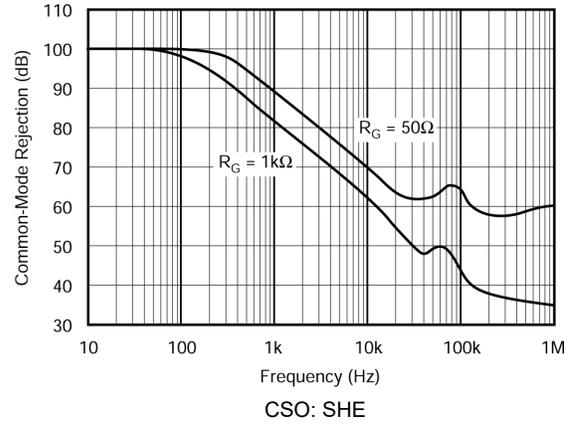


図 5-4. 同相除去比と周波数との関係

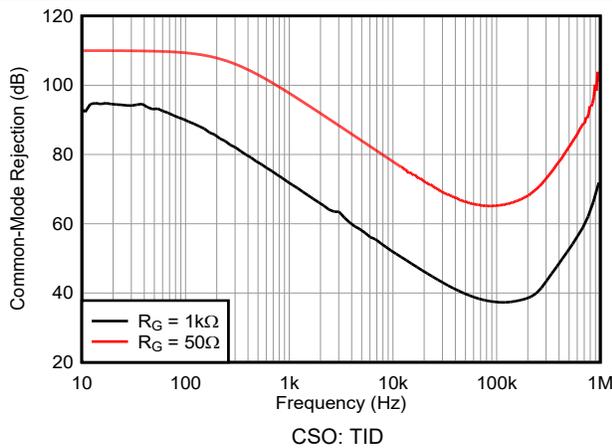


図 5-5. 同相除去比と周波数との関係

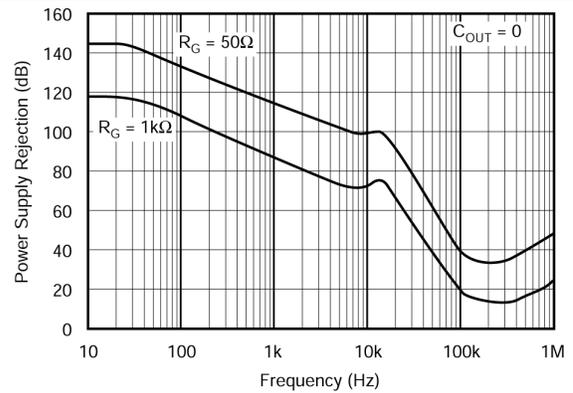


図 5-6. 電源除去特性と周波数の関係

5.5 代表的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $V_+ = 24\text{V}$ 、すべてのチップ原産拠点 (CSO)、特に記述のない限り

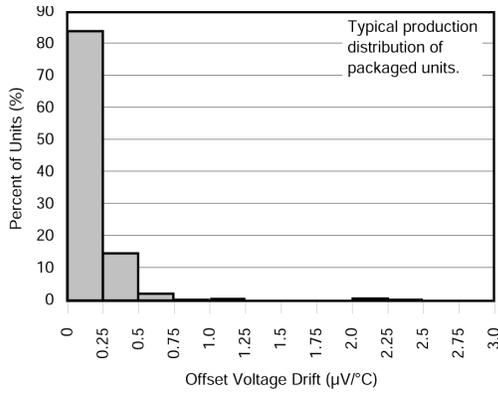


図 5-7. 入力オフセット電圧ドリフトの製品分布

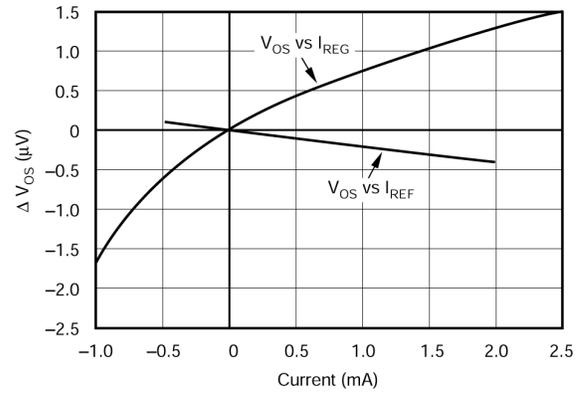


図 5-8. 入力オフセット電圧変化と V_{REG} および V_{REF} 電流との関係

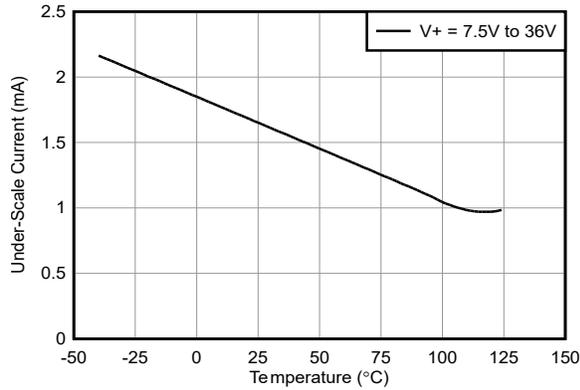


図 5-9. アンダースケール電流と温度との関係

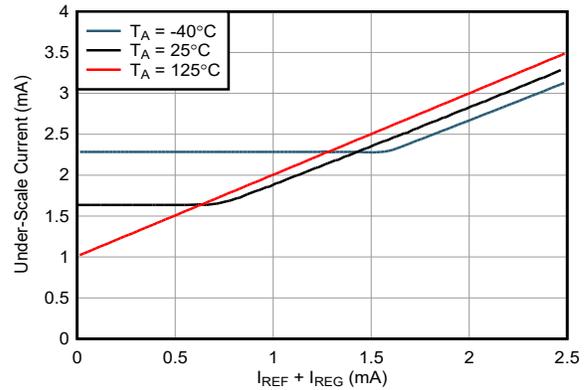


図 5-10. アンダースケール電流と $I_{REF} + I_{REG}$ との関係

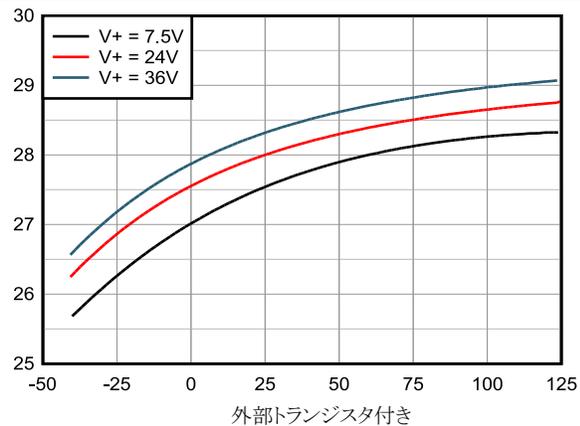


図 5-11. オーバースケール電流と温度との関係

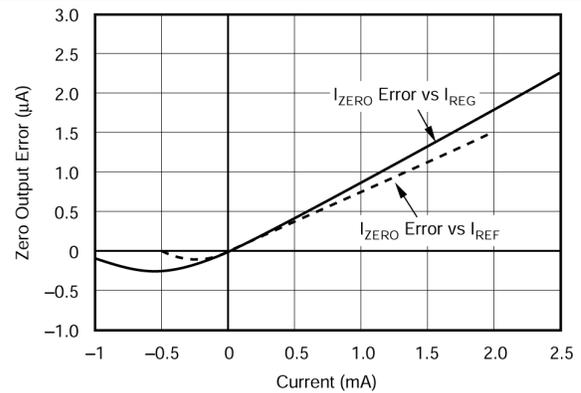


図 5-12. ゼロ出力誤差と V_{REF} および V_{REG} 電流との関係

5.5 代表的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $V_+ = 24\text{V}$ 、すべてのチップ原産拠点 (CSO)、特に記述のない限り

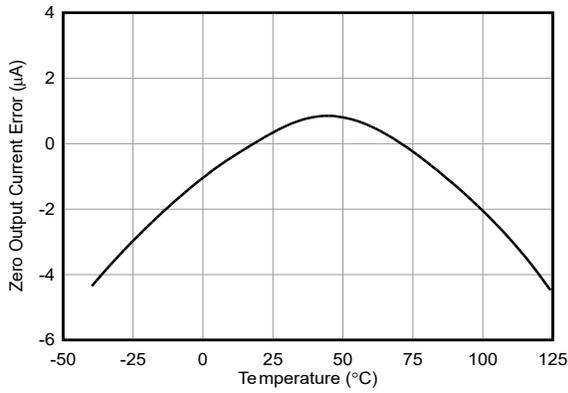


図 5-13. ゼロ出力電流誤差と温度との関係

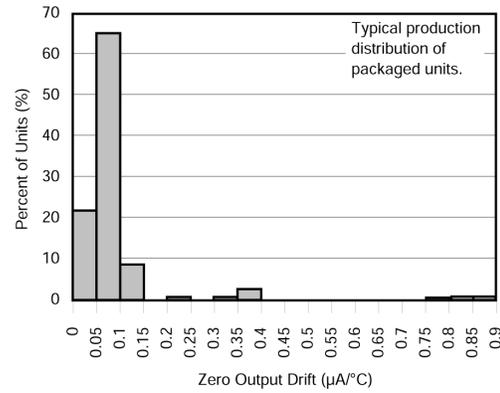


図 5-14. ゼロ出力ドリフトの製品分布

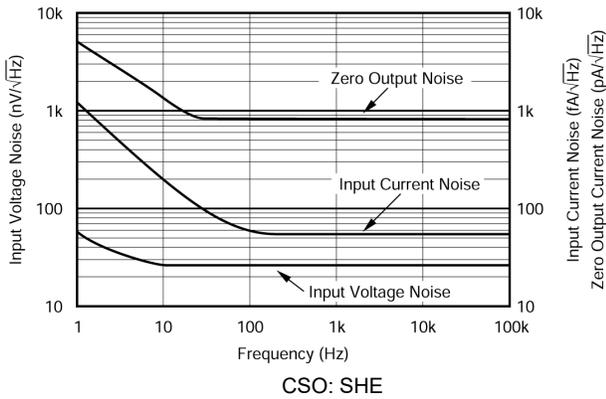


図 5-15. 入力電圧、入力電流、ゼロ出力電流ノイズ密度と周波数との関係

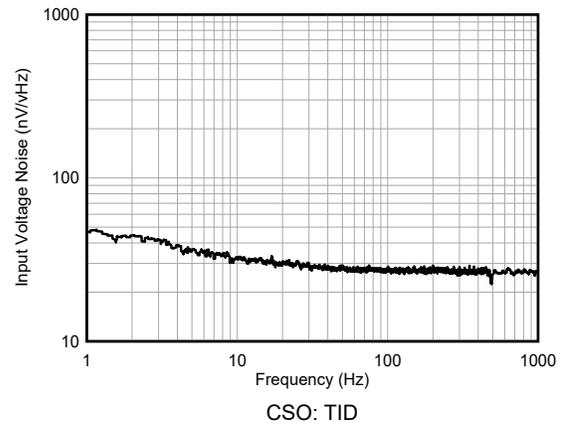


図 5-16. 入力電圧ノイズ密度と周波数との関係

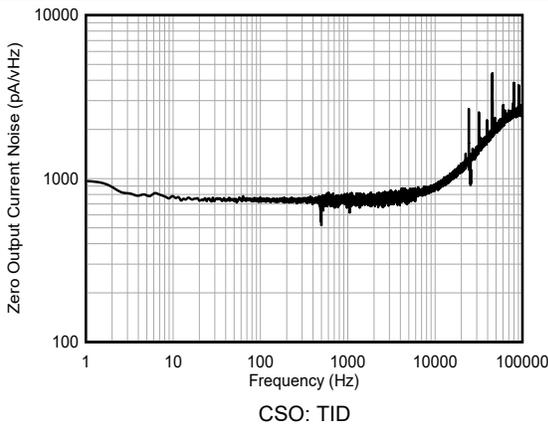


図 5-17. ゼロ出力電流ノイズ密度と周波数との関係

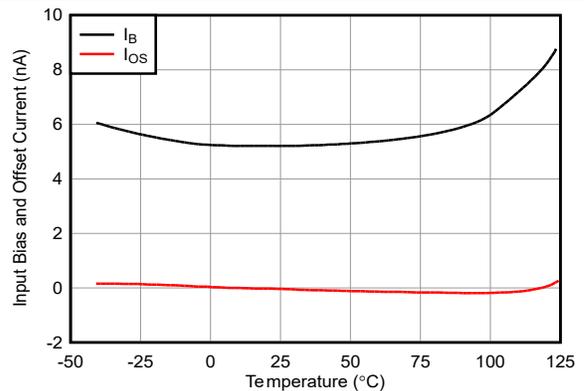


図 5-18. 入力バイアスおよびオフセット電流と温度との関係

5.5 代表的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $V_+ = 24\text{V}$ 、すべてのチップ原産拠点 (CSO)、特に記述のない限り

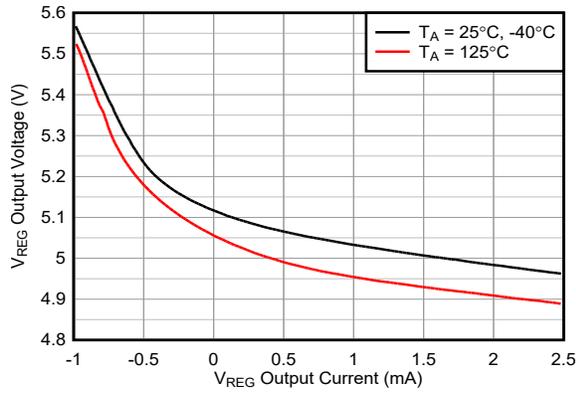


図 5-19. V_{REG} 出力電圧と V_{REG} 出力電流との関係

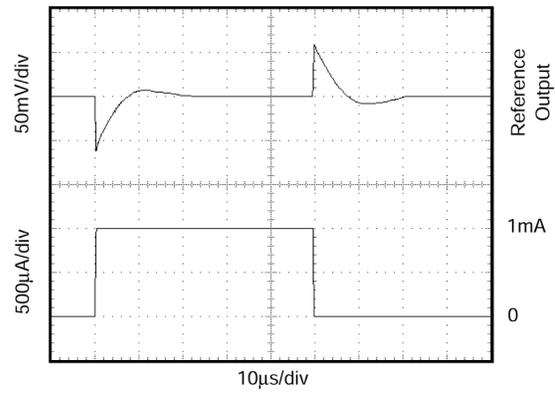


図 5-20. $V_{\text{REF}5}$ のリファレンス過渡応答

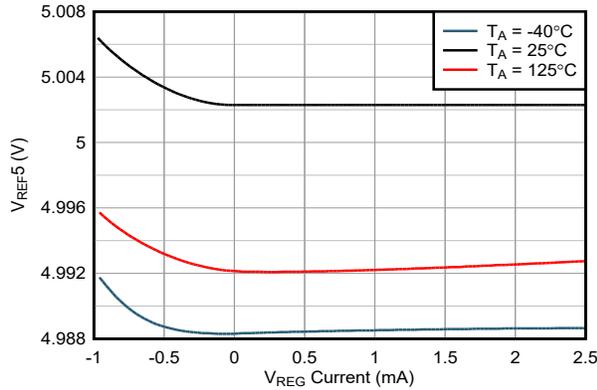


図 5-21. $V_{\text{REF}5}$ と V_{REG} 出力電流との関係

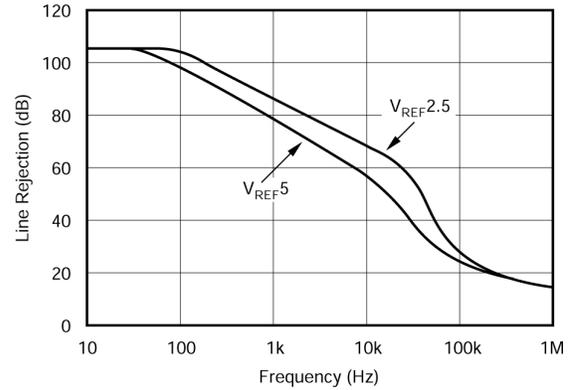


図 5-22. リファレンス AC ライン除去と周波数との関係

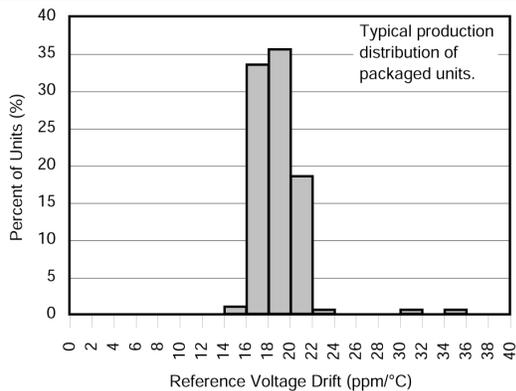


図 5-23. リファレンス電圧ドリフトの製品分布

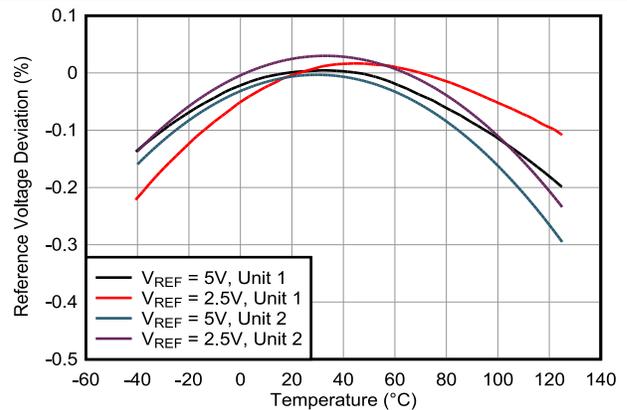


図 5-24. リファレンス電圧偏差と温度との関係

6 詳細説明

6.1 概要

XTR106 は、差動電圧入力を備えたモノリシックの 4mA ~ 20mA、2 線式電流トランスミッタです。図 6-1 に、XTR106 の簡略化された回路図を示します。ループ電源 $V+$ は、すべての回路に電力を供給します。出力ループ電流は XTR106 によって変調され、通常は直列負荷抵抗 (R_L) の両端の電圧として測定されます。

XTR106 の計測アンプ入力は、非反転入力と反転入力の電圧差を測定します。この差は、 R_G の値に応じて増幅され、レギュレーションされた電流出力として表されます。

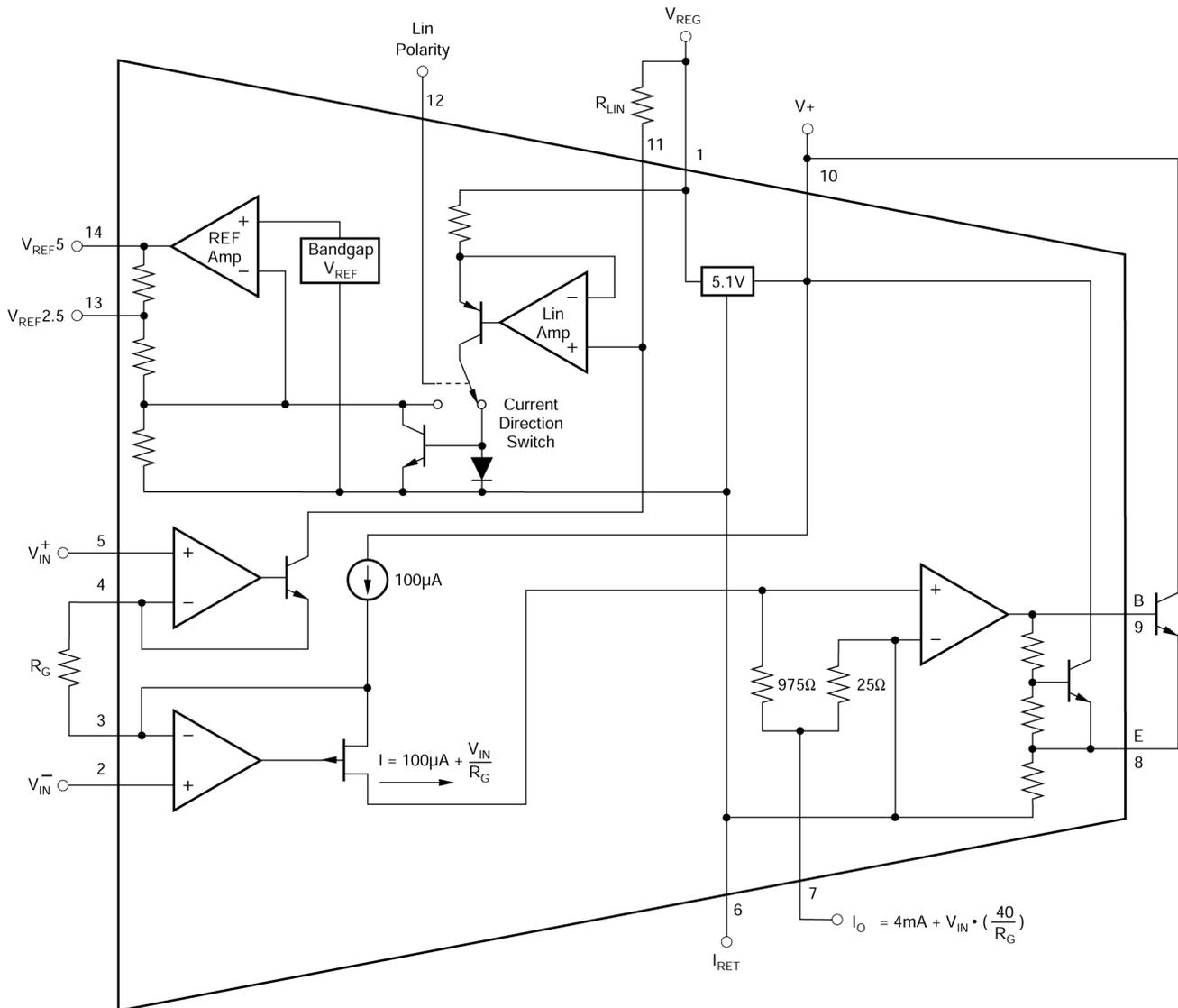
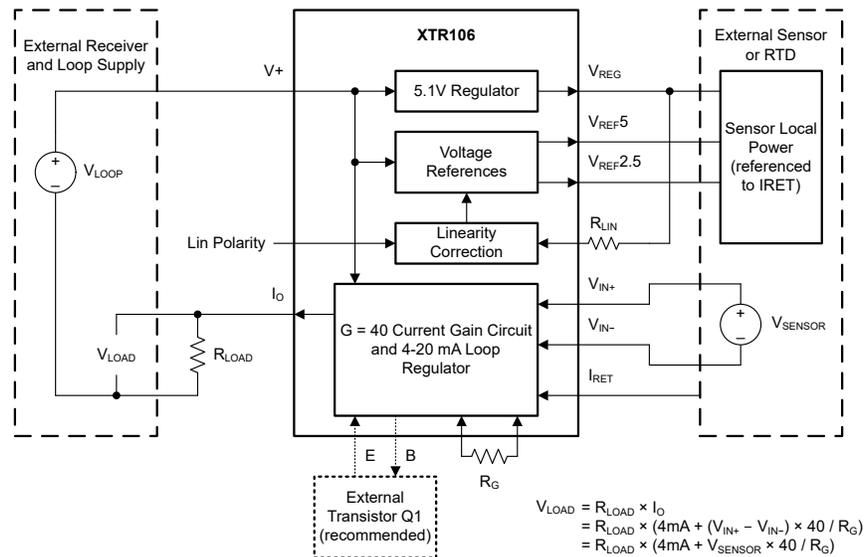


図 6-1. 概略回路図

6.2 機能ブロック図



6.3 機能説明

6.3.1 直線性

多くのブリッジセンサは、本質的に非線形です。1つの外部抵抗を追加することで、非補償型ブリッジ出力に対して、放物非直線性を最大 20:1 の改善で補償できます。

ブリッジ励起電圧を変化させることで直線性を補正します。ブリッジ励起電圧の信号に依存する変動により、全体の伝達関数 (ブリッジを含む) に 2 次項が追加されます。この構成は、ブリッジセンサの非直線性に合わせて補正できます。

正と負のどちらのブリッジ非直線性誤差も、Lin 極性ピンを適切に接続することで補償できます。正のブリッジの非直線性 (上反り) を補正するには、Lin 極性 (ピン 12) を I_{RET} (ピン 6) に接続してください。図 6-2 も参照してください。この補正により、V_{REF} はブリッジ出力とともに増加し、ブリッジ応答の正の反りが補償されます。負の非直線性を補正するには (下反り)、Lin 極性を V_{REG} (ピン 1) に接続します。図 6-3 も参照してください。この補正により、V_{REF} はブリッジ出力とともに減少します。Lin 極性ピンはハイインピーダンスノードです。

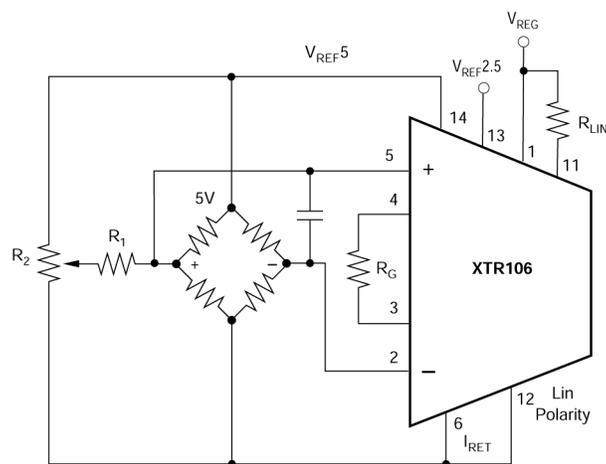


図 6-2. 正のブリッジ非直線性の接続、V_{REF} = 5V

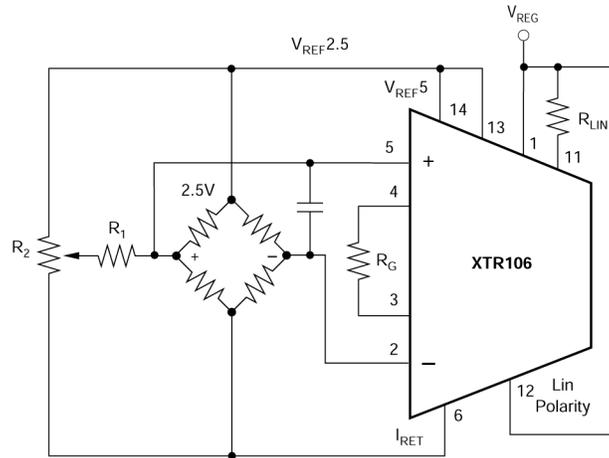


図 6-3. 負のブリッジ非直線性の接続、 $V_{REF} = 2.5V$

直線性補正が必要ない場合は、 R_{LIN} および Lin 極性ピンの両方を V_{REG} に接続します (図 6-4 も参照)。この接続により、入力信号に依存しない一定のリファレンス電圧が得られます。

注

R_{LIN} または Lin 極性ピンをオープンのままにすること、また他の電位に接続したままにすることは避けてください。

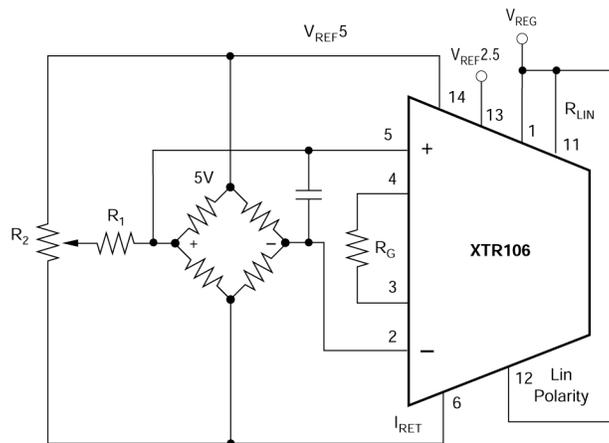


図 6-4. 接続直線性補正が必要ない場合、 $V_{REF} = 5V$

R_{LIN} は外部線形化抵抗で、ピン 11 とピン 1 (V_{REG}) の間に接続されています。図 6-2 および 図 6-3 も参照してください。 R_{LIN} の値を決定するには、一定励起電圧であるブリッジセンサの非直線性を知る必要があります。XTR106 直線性回路は、センサの非直線性の放物線形状の部分のみを補償できます。最適化された補正は、線形出力からの最大偏差が中間スケールで発生した場合に行われます (図 7-3 および 図 7-4 を参照)。図 7-3 および 図 7-4 に示されているような非線形特性曲線を持つセンサのうち、厳密には中ミッドスケールでピークに達しないものでも、性能を大幅に向上させることができます。

XTR106 補正回路を使用すると、S 型の非直線性曲線 (正と負の非直線性が等しい) を持つセンサを改善することはできません。 R_{LIN} の値は、式 1 に従って選択されます。 R_{LIN} は線形化係数 K_{LIN} に依存し、2.5V リファレンスと 5V リファレンスでは異なります。センサの非直線性項 B (フルスケールに対して) は、反りの方向に応じて正または負となります。

線形化抵抗:

$$R_{LIN} = \left| K_{LIN} \times \frac{4B}{1-2B} \right| \quad (1)$$

ここで

- K_{LIN} は線形化係数 (Ω 単位)
- 2.5V リファレンスの場合 K_{LIN} は 9905 Ω
- 5V リファレンスの場合 K_{LIN} は 6645 Ω
- B は V_{FS} を基準としたセンサの非直線性 (-2.5% 非直線性、 $B = -0.025$ の場合)
- V_{FS} は線形化処理を行わないフルスケールブリッジ出力 (V 単位)

5V のリファレンス電圧を使用すると、最大 $\pm 5\%$ の非直線性を補正できます。2.5V の励起で $+5\%/ -2.5\%$ のセンサの非直線性を補正できます。図 6-5 に示す調整回路は、ブリッジの非直線性極性が不明なブリッジに使用できます。

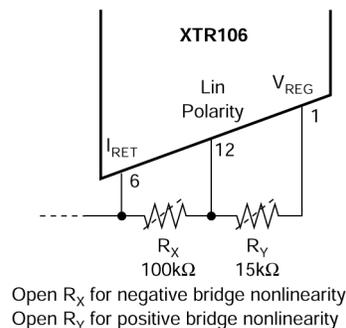


図 6-5. 未知のブリッジの非直線性極性用のオンボード抵抗回路

ゲインは、ブリッジの非直線性を補正するために使用される励起電圧の変化の影響を受けます。ゲイン抵抗の補正值は式 2 から計算されます。

ゲイン設定抵抗:

$$R_G = \frac{V_{FS}}{400\mu A} \times \frac{1+2B}{1-2B} \quad (2)$$

ここで

- V_{FS} は線形化処理を行わないフルスケールブリッジ出力 (V 単位)

直線性補正を使用する場合、センサ出力同相電圧を、XTR106 の許容入力範囲である 1.1V ~ 3.5V の範囲内に維持します。式 3 を使用して、XTR106 の新しい励起電圧を計算できます。同相抵抗を使用しない場合、ブリッジ出力の同相電圧はこの値の半分になります (図 6-2 および 図 6-3 の例も参照)。同相モード範囲を超過すると、予測不能な結果が生じる可能性があります。

フルスケール出力で励起電圧を調整します。

$$V_{REF} (Adj) = V_{REF} (Initial) \times \frac{1+2B}{1-2B} \quad (3)$$

高精度アプリケーション (誤差 < 1%) の場合、2 段階のキャリブレーションプロセスを採用できます。まず、センサブリッジの非直線性を、初期ゲイン抵抗と $R_{LIN} = 0$ (R_{LIN} ピンを V_{REG} に直接接続) で測定します。結果として得られるセンサの非直線性 B を使用して、 R_G と R_{LIN} の値は 式 1 および 式 2 を使用して計算されます。次に、線形化のオフセットと不一致を考慮して R_G を調整するため、2 回目のキャリブレーション測定を行います。

例:

ブリッジセンサの R_{LIN} とその結果生じる R_G を、 V_{FS} に対して下反りの非直線性が 2.5% として計算し、同相入力範囲が有効かどうかを判定します。

$V_{REF} = 2.5V$ および $V_{FS} = 50mV$ の場合

2.5% 下反りの場合、 $B = -0.025$ (Lin 極性ピンを V_{REG} に接続)

$V_{REF} = 2.5V$ 、 $K_{LIN} = 9905\Omega$ の場合

$$R_{LIN} = \left| \frac{(9905\Omega)(4)(-0.025)}{1 - (2)(-0.025)} \right| = 943\Omega \quad (4)$$

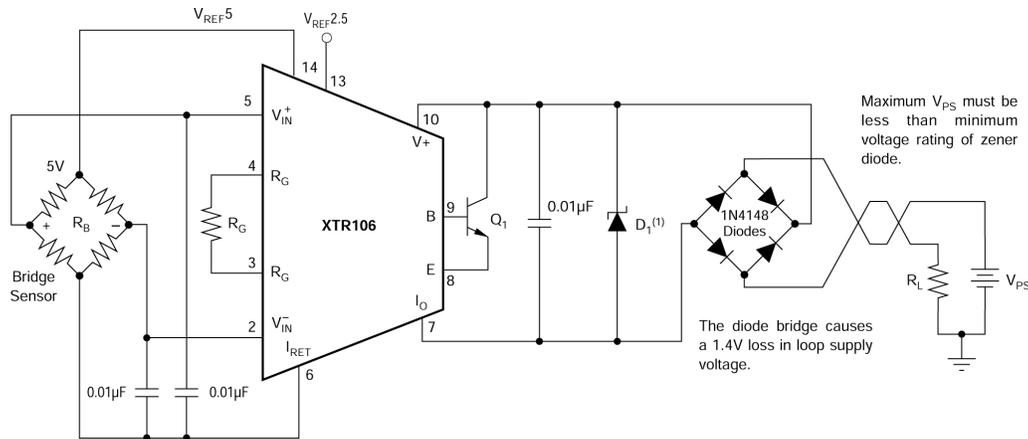
$$R_G = \frac{0.05V}{400\mu A} \times \frac{1 + (2)(-0.025)}{1 - (2)(-0.025)} = 113\Omega \quad (5)$$

$$V_{CM} = \frac{V_{REF} (Adj)}{2} = \frac{1}{2} \times 2.5V \times \frac{1 + (2)(-0.025)}{1 - (2)(-0.025)} = 1.13V \quad (6)$$

これは、1.1V ~ 3.5V の同相入力範囲内に収まります。

6.3.2 逆電圧保護

XTR106 のコンプライアンス定格が低い (7.5V) ため、動作範囲を損なうことなく、さまざまな電圧保護方式を使用できます。図 6-6 に、電圧接続ラインが逆になっても通常動作が可能なダイオードブリッジ回路を示します。このブリッジは、ループ電源電圧で 2 つのダイオードの電圧降下 (約 1.4V) を発生させます。これにより、コンプライアンス電圧は、ほとんどのアプリケーションで十分な約 9V になります。図 7-6 に示されているように、ループ電源の 1.4V の電圧降下が大きすぎる場合は、ループ電源電圧および $V+$ ピンと直列にダイオードを挿入できます。これにより、ループ電源電圧がわずか 0.7V の損失で、出力の逆接続ラインから保護できます。



(1) 1N4753A や P6KE39A などの 36V ツェナーダイオード。保護を強化するため、ループ電源電圧が 30V 未満の低電圧のツェナーダイオードを使用してください。

図 6-6. 逆電圧動作と過電圧サージ保護

6.3.3 過電圧サージ保護

電流トランスミッタへのリモート接続が電圧サージにさらされる場合があります。XTR106 に印加される最大サージ電圧は、実用的な最小値に制限します。各種ツェナー ダイオードとサージ クランプ ダイオードが、この目的のために特別に設計されています。最適な保護を実現するため、可能な限り低い電圧定格のクランプ ダイオードを選択してください。たとえば、36V の保護ダイオードは、通常のループ電圧で適切なトランスミッタ動作を維持しながら、電圧サージに対して適切なレベルの保護を実現します。XTR106 は、絶対最大ループ電圧 40V に規定されています。

ほとんどのサージ保護ツェナー ダイオードは、順方向において過剰な電流を導通するダイオード特性を持つため、ループ接続が逆になった場合は受信側回路に損傷を与える可能性があります。サージ保護ダイオードを使用する場合は、直列ダイオードまたはダイオード ブリッジを使用して、逆接続から保護してください。

6.4 デバイスの機能モード

このデバイスには、推奨動作条件内で動作した場合に適用される 1 つの動作モードがあります。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

図 7-1 に、XTR106 の基本的なピン配置を示します。ループ電源 V_{PS} は、すべての回路に電力を供給します。出力ループ電流は、直列負荷抵抗 R_L の両端の電圧として測定されます。 V_+ と I_O の間に $0.01\mu\text{F} \sim 0.03\mu\text{F}$ の電源バイパスコンデンサを接続することを推奨します。障害、過負荷状態、またはその両方が入力を飽和させる可能性があるアプリケーションでは、 $0.03\mu\text{F}$ コンデンサを推奨します。

2.5V または 5V のリファレンスを使用して、ブリッジ センサを励起できます。5V 励起の場合は、ピン 14 (V_{REF5}) をブリッジに接続します。図 7-1 も参照してください。2.5V 励起の場合は、ピン 13 ($V_{REF2.5}$) をピン 14 に接続します。図 6-3 も参照してください。ブリッジの出力端子は、計測アンプの入力 V_{IN+} と V_{IN-} に接続します。 $0.01\mu\text{F}$ コンデンサは入力の間接続されていることを示しています。ハイインピーダンスブリッジ ($> 10\text{k}\Omega$) に推奨します。抵抗 R_G は、フルスケールブリッジ電圧 V_{FS} の要求に応じて計測アンプのゲインを設定します。

Lin 極性と R_{LIN} により、ブリッジ回路に対して線形化の 2 次補正が行われ、最大 20:1 の線形性が向上します。 Lin 極性 (ピン 12) への接続により、非直線性補正の極性が決まります。 I_{RET} か V_{REG} のいずれかに接続します。直線性補正が必要ない場合でも、 Lin 極性を V_{REG} に接続します。 R_{LIN} は式 7 に従って選択され、 K_{LIN} (線形化定数) と V_{FS} に対するブリッジの非直線性に依存します (セクション 6.3.1 を参照)。

$$R_{LIN} = |K_{LIN} \times \frac{4B}{1-2B}| \quad (7)$$

ここで

- K_{LIN} は Ω 単位

$$R_G = \left(\frac{V_{FS}}{400\mu\text{A}} \right) \times \frac{1+2B}{1-2B} \quad (8)$$

ここで

- V_{FS} は V 単位
- 2.5V リファレンスの場合 $K_{LIN} = 9.905\text{k}\Omega$
- 5V リファレンスの場合 $K_{LIN} = 6.645\text{k}\Omega$
- B は V_{FS} に対するブリッジの非直線性
- V_{FS} はフルスケール入力電圧

電流トランスミッタ全体の伝達関数は以下のとおりです。

$$I_O = 4\text{mA} + V_{IN} \times \left(\frac{40}{R_G} \right) \quad (9)$$

ここで

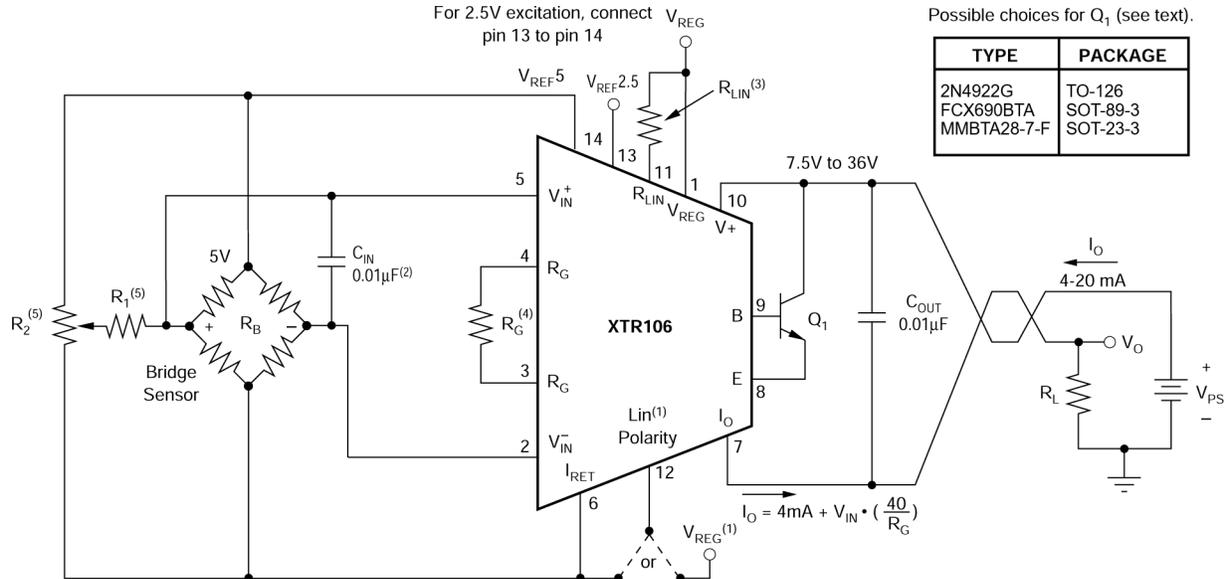
- V_{IN} V_{IN} は差動入力電圧 (ボルト単位)
- R_G の単位は Ω

伝達関数からわかるように、 R_G を使用しない場合 ($R_G = \infty$)、ゲインはゼロになり、出力は単純に XTR106 のゼロ電流になります。

負の入力電圧 V_{IN} の場合、出力電流は 4mA よりも低くなります。 V_{IN} が負の方向に増加すると、出力電流が約 1.6mA で制限されます。リファレンスおよびまたは V_{REG} から電流が供給されている場合、電流制限値が増加する可能性があります。図 5-9 および 図 5-10 も参照してください。

入力電圧が正の方向に向かう (フルスケール入力 V_{FS} より高い) と、出力電流制限 (約 28mA) まで、伝達関数に応じて出力電流が増加します。図 5-11 も参照してください。

I_{RET} ピンは、リファレンスと V_{REG} からのすべての電流の帰路です。 I_{RET} はローカル グランドとしても機能し、 V_{REG} および オンボード電圧リファレンスです。 I_{RET} ピンを使用すると、外部回路で使用された電流を XTR106 で検出し、誤差を発生させずに出力電流に含めることができます。XTR106 の入力電圧範囲は、このピンを基準としています。



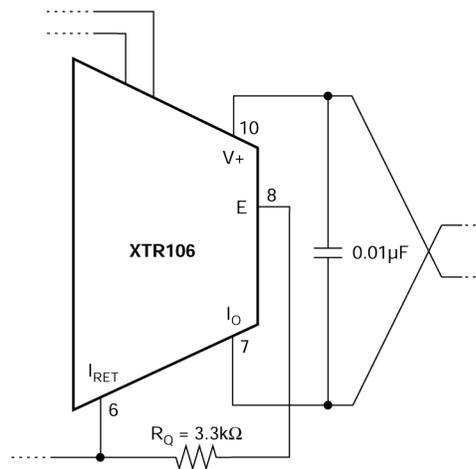
- (1) 正のブリッジの非直線性を補正するために Lin 極性 (ピン 12) を I_{RET} (ピン 6) に接続し、負のブリッジの非直線性を得るには V_{REG} (ピン 1) に接続します。直線性補正が必要ない場合は、 R_{LIN} ピンと Lin 極性ピンを V_{REG} に接続する必要があります。「線形化」セクションを参照してください。
- (2) ブリッジ インピーダンス $> 10\text{k}\Omega$ に推奨します。
- (3) R_1 および R_2 は、ブリッジの初期精度を補償するためにブリッジ調整回路を形成します。ブリッジ バランスの本文を参照してください。

図 7-1. 線形化を使用した基本的なブリッジ測定回路

7.1.1 外部トランジスタ

外部パストランジスタ Q_1 は、信号依存の $4\text{mA} \sim 20\text{mA}$ のループ電流の大部分を導通します。外部トランジスタを使用すると、消費電力の大部分を XTR106 の高精度入力とリファレンス回路から分離し、優れた精度を維持することができます。

外部トランジスタは帰還ループ内にあるため、特性は重要ではありません。要件は次のとおりです。 $V_{\text{CEO}} =$ 最小 45V 、 $\beta =$ 最小 40 、 $P_{\text{D}} = 800\text{mW}$ 。ループ電源電圧が 36V 未満の場合、消費電力要件を低くすることができます。図 7-1 に、 Q_1 の選択肢を示します。XTR106 は、外部パストランジスタを使用せずに動作させることができます。ただし、内部消費電力とそれに続く自己発熱により、精度は多少低下します。拡張温度範囲では、 Q_1 を使わない動作は推奨されません。 Q_1 を使用せず、特に $V+$ が 7.5V 付近の場合に、フルスケール出力 20mA を維持した状態で 0°C 未満で動作させるためには、 I_{RET} ピンと E (エミッタ) ピンの間に抵抗 ($R = 3.3\text{k}\Omega$) を接続することを推奨します。



(1) 外部トランジスタなしで動作させる場合、ピン 6 とピン 8 の間に $3.3\text{k}\Omega$ 抵抗を接続します。性能の説明については、本文を参照してください。

図 7-2. 外部トランジスタなしで動作

7.1.2 ループ電源

XTR106 に印加される電圧、 $V+$ は、 I_O 接続、ピン 7 に対して測定されます。 $V+$ の範囲は $7.5\text{V} \sim 36\text{V}$ です。ループ電源電圧 V_{PS} は、電流センス抵抗 R_L の電圧降下 (およびライン内の他の電圧降下) によって、XTR106 に印加される電圧とは異なります。

低いループ電源電圧を使用する場合、 20mA の最大ループ電流に対して $V+$ が 7.5V 以上に保たれるように、 R_L (ループ配線抵抗を含む) を比較的小さい値にする必要があります。

$$R_{L \text{ MAX}} = \left(\frac{V+ - 7.5\text{V}}{20\text{mA}} \right) - R_{\text{WIRING}} \quad (10)$$

30mA までのループ電流については、入力条件範囲外に対応できるように、 $V+$ が 7.5V 以上になるように設計します。 5V センサ励起を使用する場合、およびブリッジの非直線性補正が $+3\%$ を超える場合、 $V+$ は 8V 以上である必要があります。

XTR106 の動作電圧が低いため (7.5V)、パーソナル コンピュータの電源から直接動作できます ($12\text{V} \pm 5\%$)。RCV420 電流ループ レシーバと組み合わせて使用する場合 (図 7-6)、負荷抵抗の電圧降下は 3V に制限されます。

7.1.3 ブリッジバランス

図 7-1 にブリッジ調整回路 (R_1 , R_2) を示します。この調整を使用して、ブリッジの初期精度の補償、XTR106 のオフセット電圧の調整、またはその両方を行うことができます。 R_1 と R_2 の値は、ブリッジのインピーダンスと必要な調整範囲に依存します。この調整回路により、 V_{REF} 出力に追加の負荷が発生します。 V_{REF} への追加負荷がゼロ出力に影響しないようにしてください。図 5-10 を参照してください。調整回路の実効負荷は、 R_2 にほぼ等しくなります。 R_1 の近似値は次のように計算できます。

$$R_1 \approx \frac{5V \times R_B}{4 \times V_{TRIM}} \quad (11)$$

ここで

- R_B はブリッジの抵抗値
- V_{TRIM} は目的の±電圧調整範囲 (単位:V)

R_2 の値は、 R_1 と同じかそれ以下にします。

7.1.4 アンダースケール電流

V_{REF} および V_{REG} 電圧源から引き出される合計電流と温度は、XTR106 のアンダースケール電流値に影響を及ぼします (図 5-10 を参照)。ブリッジ抵抗と励起電圧を選択する際は、特に広い温度範囲で動作するトランスデューサについては、これを考慮してください (図 5-9 を参照)。

7.1.5 低インピーダンスブリッジ

XTR106 には 2 つの励起電圧 (2.5V および 5V) があり、さまざまなブリッジ値を使用できます。追加回路なしには、1k Ω の最小値のブリッジ インピーダンスを使用できます。 $\leq 2.5\text{mA}$ に励起電流を制限するために直列抵抗を追加することにより、低インピーダンスのブリッジを XTR106 と併用することができます (図 7-5)。ブリッジ出力が 1.1V ~ 3.5V の同相モード入力範囲内に維持されるように、ブリッジの上側および下側に抵抗を追加します。ブリッジ出力が低減されるため、オフセット電圧とドリフトを低減するためにプリアンプが必要になります。

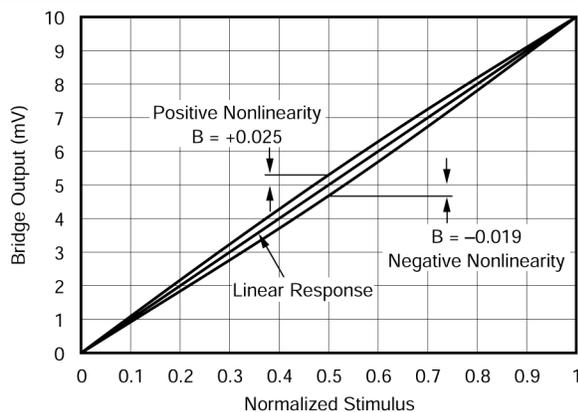


図 7-3. 放物非直線性を持つブリッジ トランスデューサ伝達関数

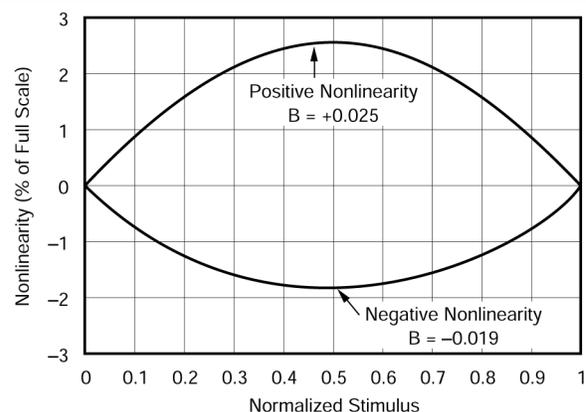
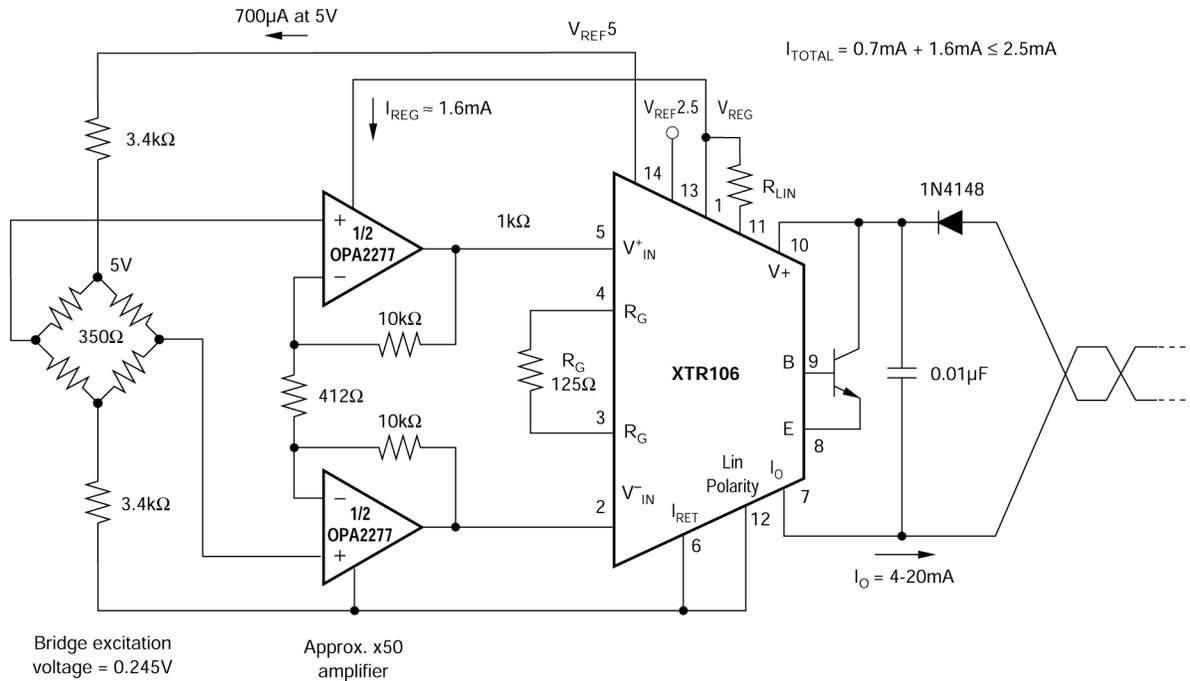


図 7-4. 非線形性と刺激値との関係



(1) 正しい正のブリッジ非直線性への接続を示しています。負のブリッジ非直線性については、[図 6-3](#) を参照してください。

図 7-5. 350Ω ブリッジ、x50 プリアンプ付き

7.1.6 その他のセンサの種類

XTR106 は、幅広い種類の入力に対して使用できます。高入力インピーダンスの計測アンプは多用途で、mV 単位から最大 2.4V フルスケールまでの差動入力電圧向けに構成できます。入力のリニア動作範囲は 1.1V ~ 3.5V です (I_{RET} を基準とする)。XTR106 の線形化機能は、励起電圧に対してレシオメトリックな出力を持つ任意のセンサで使用できます。

7.1.7 無線周波数干渉

電流ループの配線が長いと、無線周波数 (RF) 干渉を招きます。RF リファレンスは、XTR106 の敏感な入力回路によって整流されるため、誤差の原因となります。この誤差は一般的に、ループ電源や入力配線の位置によって変化する不安定な出力電流として現れます。

ブリッジ センサが離れた場所にある場合は、入力端子で干渉が発生する可能性があります。センサへの接続が短い内蔵トランスミッタ アセンブリの場合、干渉は電流ループ接続によって発生する可能性が高くなります。

入力のバイパス コンデンサは、この入力干渉を低減または除去します。[図 6-6](#) に、これらのバイパスコンデンサを I_{RET} ピンに接続する方法を示します。 I_{RET} ピンの DC 電圧は 0V (ループ電源 V_{PS}) と等しくありませんが、この回路点はトランスミッタのグラウンドと見なすことができます。 $V+$ と I_O の間に 0.01μF コンデンサを接続すると、出力干渉を最小限に抑えるのに役立ちます。

7.1.8 誤差解析

表 7-1 に、さまざまな誤差発生源が回路の精度に及ぼす影響を計算する方法を示します。代表的なブリッジ センサ測定回路 (5kΩ ブリッジ、 $V_{REF} = 5V$ 、 $V_{FS} = 50mV$) の誤差計算の例が示されています。この結果から、XTR106 の優れた精度が明らかになっています。この場合、未調整で 1.2% の精度です。ゲイン誤差およびオフセット誤差を調整すると、回路の精度が 0.33% に向上します。これらは最悪の場合の誤差です。計算では最大値が使用され、すべての誤差が正 (加算的) であると想定されています。XTR106 は、ディスクリート回路では実現が困難で、より少ないスペースで動作する性能を実現します。

表 7-1. 誤差の計算

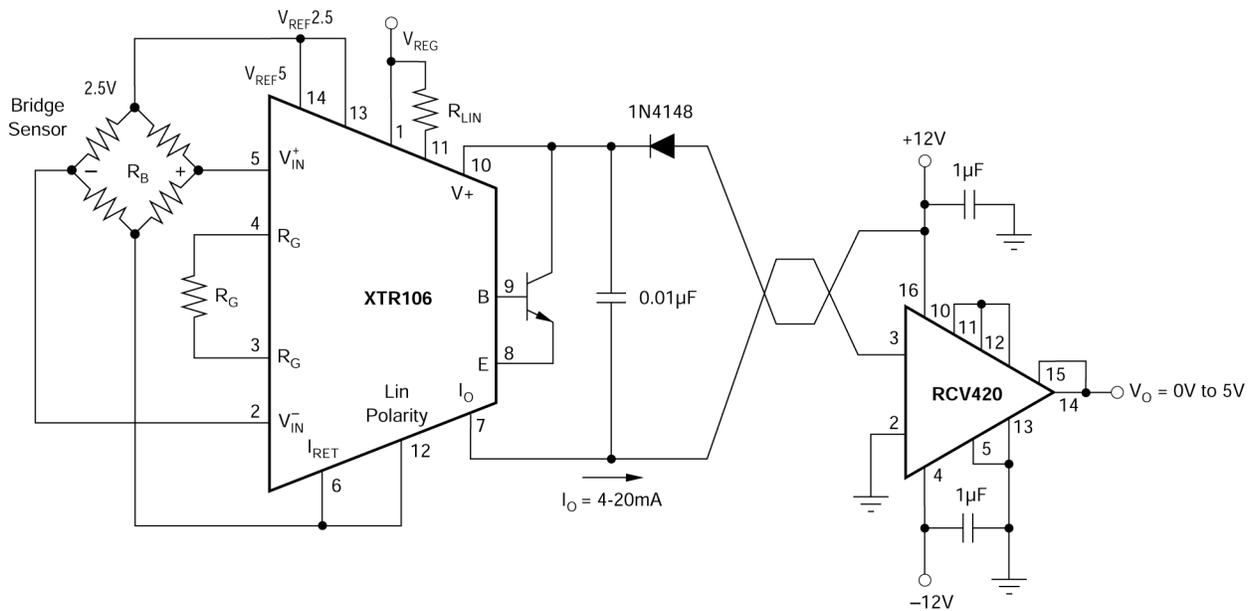
誤差の計算例 ⁽¹⁾				
ブリッジ インピーダンス (R_B) 5kΩ		フルスケール入力 (V_{FS}) 50mV		
周囲温度範囲 (ΔT_A) 20°C		励起電圧 (V_{REF}) 5V		
電源電圧変化 ($\Delta V+$) 5V		同相電圧変化 (ΔCM) 25mV (= $V_{FS}/2$)		
誤差発生源	誤差の式の例	誤差の計算	誤差 (フルスケールに対する ppm)	
			UNADJ	ADJUST
入力				
入力オフセット電圧	$V_{OS}/V_{FS} \cdot 10^6$	$200\mu V/50mV \cdot 10^6$	2000	0
同相モード依存性	$CMRR \cdot \Delta CM/V_{FS} \cdot 10^6$	$50\mu V/V \cdot 0.025V/50mV \cdot 10^6$	25	25
電源電圧依存性	$(V_{OS} \text{ と } V+ \text{ との関係}) \cdot (\Delta V+)/V_{FS} \cdot 10^6$	$3\mu V/V \cdot 5V/50mV \cdot 10^6$	300	300
入力バイアス電流	$CMRR \cdot I_B \cdot (R_B/2)/V_{FS} \cdot 10^6$	$50\mu V/V \cdot 25nA \cdot 2.5k\Omega/50mV \cdot 10^6$	0.1	0
入力オフセット電流	$I_{OS} \cdot R_B/V_{FS} \cdot 10^6$	$3nA \cdot 5k\Omega/50mV \cdot 10^6$	300	0
総入力誤差			2625	325
EXCITATION				
基準電圧精度	$V_{REF} \text{ の精度 } (\%)/100\% \cdot 10^6$	$0.25\%/100\% \cdot 10^6$	2500	0
電源依存性	$(V_{REF} \text{ と } V+ \text{ との関係}) \cdot (\Delta V+) \cdot (V_{FS}/V_{REF})$	$20ppm/V \cdot 5V (50mV/5V)$	1	1
総励起誤差			2501	1
ゲイン				
スパン	$\text{スパン誤差 } (\%)/100\% \cdot 10^6$	$0.2\%/100\% \cdot 10^6$	2000	0
非直線性	$\text{非直線性 } (\%)/100\% \cdot 10^6$	$0.01\%/100\% \cdot 10^6$	100	100
総ゲイン誤差			2100	100
出力				
ゼロ出力	$ I_{ZERO} - 4mA /16000\mu A \cdot 10^6$	$25\mu A/16000\mu A \cdot 10^6$	1563	0
電源依存性	$(I_{ZERO} \text{ と } V+ \text{ との関係}) \cdot (\Delta V+)/16000\mu A \cdot 10^6$	$0.2\mu A/V \cdot 5V/16000\mu A \cdot 10^6$	62.5	62.5
総出力誤差			1626	63
ドリフト ($\Delta T_A = 20^\circ C$)				
入力オフセット電圧	$\text{ドリフト} \cdot \Delta T_A/(V_{FS}) \cdot 10^6$	$1.5\mu V/^\circ C \cdot 20^\circ C/(50mV) \cdot 10^6$	600	600
入力オフセット電流 (標準値)	$\text{ドリフト} \cdot \Delta T_A \cdot R_B/(V_{FS}) \cdot 10^6$	$5pA/^\circ C \cdot 20^\circ C \cdot 5k\Omega/(50mV) \cdot 10^6$	10	10
基準電圧精度		$35ppm/^\circ C \cdot 20^\circ C$	700	700
スパン		$225ppm/^\circ C \cdot 20^\circ C$	500	500
ゼロ出力	$\text{ドリフト} \cdot \Delta T_A/16000\mu A \cdot 10^6$	$0.9\mu A/^\circ C \cdot 20^\circ C/16000\mu A \cdot 10^6$	1125	1125
総ドリフト誤差			2936	2936
ノイズ (0.1Hz ~ 10Hz、標準値)				
入力オフセット電圧	$V_n(p-p)/V_{FS} \cdot 10^6$	$0.6\mu V/50mV \cdot 10^6$	12	12
ゼロ出力	$I_{ZERO} \text{ ノイズ}/16000\mu A \cdot 10^6$	$0.035\mu A/16000\mu A \cdot 10^6$	2.2	2.2
R_B 熱ノイズ	$[\sqrt{2} \cdot \sqrt{(R_B/2)/1k\Omega} \cdot 4nV/\sqrt{Hz} \cdot \sqrt{10Hz}]/V_{FS} \cdot 10^6$	$[\sqrt{2} \cdot \sqrt{2.5k\Omega/1k\Omega} \cdot 4nV/\sqrt{Hz} \cdot \sqrt{10Hz}]/50mV \cdot 10^6$	0.6	0.6
入力電流ノイズ	$(i_n \cdot 40.8 \cdot \sqrt{2} \cdot R_B/2)/V_{FS} \cdot 10^6$	$(200fA/\sqrt{Hz} \cdot 40.8 \cdot \sqrt{2} \cdot 2.5k\Omega)/50mV \cdot 10^6$	0.6	0.6
総ノイズ誤差			15	15

表 7-1. 誤差の計算 (続き)

誤差の計算例 ⁽¹⁾				
ブリッジ インピーダンス (R_B) 5k Ω		フルスケール入力 (V_{FS}) 50mV		
周囲温度範囲 (ΔT_A) 20°C		励起電圧 (V_{REF}) 5V		
電源電圧変化 (ΔV_+) 5V		同相電圧変化 (ΔCM) 25mV (= $V_{FS}/2$)		
誤差発生源	誤差の式の例	誤差の計算	誤差 (フルスケールに対する ppm)	
			UNADJ	ADJUST
		合計誤差:	11803	3340
			1.18%	0.33%

(1) 特に記述のない限り、すべての誤差は最小値および最大値であり、入力を基準としています。

7.2 代表的なアプリケーション



(1) Lin 極性が正しい正のブリッジ非線形性に接続されていることが示されています。負のブリッジの非直線性の補正については、[図 6-3](#) を参照してください。

(2) 絶縁が必要な場合は、ISO124 のデータシートを参照してください。

図 7-6. ±12V 電源トランスミッタおよびレシーバ ループ

7.3 レイアウト

7.4 レイアウトのガイドライン

XTR106 は通常、外部トランジスタ (Q_1) とともに使用され、4mA ~ 20mA ループの消費電力を制御します。そのため、結果として生じる局所的な自己発熱を XTR106 の高精度回路から遠ざけることができ、過熱ドリフトの誤差が低減されます。

アプリケーションの要件がデバイスの最大接合部温度などの絶対最大要件に違反しない場合は、 Q_1 トランジスタなしで XTR106 を使用できます。ピーク消費電力を計算して、熱抵抗を乗算し、関連する接合部温度の上昇を判断します。過熱条件を最小限に抑え、信頼性の高い長期的動作を実現できます。

電源バイパス コンデンサはパッケージの近くに配置し、低インピーダンスの導体と接続します。結合環境ノイズを最小限に抑えるため、 R_G のパターン長を短くします。ループ電源に電氣的にノイズが多い場合は、デカップリング コンデンサと、 $V+$ と直列に接続した小型抵抗またはダンピング インダクタを用いてフィルタリングを行ってください。

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

8.1 デバイスの命名規則

表 8-1. デバイスの命名規則

部品番号	定義
XTR106U/2K5 XTR106UA/2K5	ダイは CSO:SHE または CSO:TID.
XTR106P XTR106PA XTR106UA	ダイは CSO:SHE でのみ製造されています。

8.2 ドキュメントのサポート

8.3 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『[電流ループトランスミッタに関するスペシャルファンクションアンププレジジョンラボ](#)』ビデオシリーズ
- テキサス インスツルメンツ、『[測温抵抗体のアナログ線形化](#)』テクニカル記事
- テキサス インスツルメンツ、『[RTD 測定に関する基本的なガイド](#)』アプリケーションノート。

8.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.6 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.8 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (January 2025) to Revision C (January 2026)	Page
• 「特長」の「CMR」を「CMRR」に変更	1
• 「特長」の「PSR」を「PSRR」に変更	1
• デバイス フロー情報の説明を「仕様」に追加.....	4
• 「電気的特性」のゼロ出力電流ノイズにさまざまな製造プロセス仕様を追加	5
• 「電気的特性」のオフセット電圧にさまざまな製造プロセス仕様を追加	5
• 「電気的特性」の同相モード インピーダンスにさまざまな製造プロセス仕様を追加	5
• 「電気的特性」の VREG と温度との関係にさまざまな製造プロセス仕様を追加	5
• 「代表的特性」の標準的なテスト条件に「すべてのチップの原産拠点 (CSO)」の条件を追加	7
• 「代表的特性」の絶対最大温度範囲に合わせて、「アンダースケール電流と温度との関係」、「アンダースケール電流と IREF + IREG との関係」、「オーバースケール電流と温度との関係」、「ゼロ出力電流誤差と温度との関係」、「入力バイアスおよびオフセット電流と温度との関係」、「VREG 出力電圧と VREG 出力電流との関係」、「VREF5 と VREG 出力電流との関係」、「リファレンス電圧偏差と温度曲線との関係」を更新	7
• 「CSO:SHE」を「代表的特性」の「ステップ応答」および「同相信号除去と周波数曲線との関係」に追加	7
• 「CSO:TID」を「代表的特性」の「入力電圧ノイズ密度と周波数との関係」および「ゼロ出力電流ノイズ密度と周波数曲線との関係」に追加	7
• 「ステップ応答」および「同相信号除去と周波数曲線との関係」を「CSO:TID に追加 (「代表的特性」)	7
• 「入力電圧、入力電流、ゼロ出力電流ノイズ密度と周波数曲線との関係」を CSO:SHE に追加 (「代表的特性」)	7
• 「デバイスの命名規則」に型番のフロー情報表を追加	26

Changes from Revision A (November 2003) to Revision B (January 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「ピンの構成および機能」、「推奨動作条件」、「熱に関する情報」、「電気的特性」、「詳細説明」「機能ブロック図」、「アプリケーションと実装」、「代表的なアプリケーション」、「デバイスおよびドキュメントへのサポート」、「メカニカル、パッケージ、および注文情報」の各セクションを追加しました	1
• 「アプリケーション」セクションに最終機器を調整.....	1
• 「ピンの機能」の表を追加	3
• 「入力電圧、入力電流、ゼロ出力電流ノイズ密度と周波数との関係」プロットを削除し、図 5-13「入力電圧ノイズ密度と周波数との関係」および図 5-14「ゼロ出力電流ノイズ密度と周波数との関係」に置き換え	7
• 図 5-20「リファレンス電圧偏差と温度との関係」を更新	7
• 「過電圧サージ保護」の最大ループ電源電圧の説明を規定の絶対最大定格に変更	16
• 図 7-1「線形化を使用した基本的なブリッジ測定回路」で、推奨されるトランジスタの型番を更新	17

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
XTR106P	Active	Production	PDIP (N) 14	25 TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	XTR106P A
XTR106P.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	XTR106P A
XTR106PA	Active	Production	PDIP (N) 14	25 TUBE	Yes	Call TI	N/A for Pkg Type	-	XTR106P A
XTR106PA.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	XTR106P A
XTR106U/2K5	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	Call TI Nipdau	Level-3-260C-168 HR	-40 to 85	XTR106U
XTR106U/2K5.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 85	XTR106U
XTR106U/2K5.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 85	XTR106U
XTR106UA	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-40 to 85	XTR106U A
XTR106UA/2K5	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	Call TI Nipdau	Level-3-260C-168 HR	-40 to 85	(XTR106U, XTR106UA) A
XTR106UA/2K5.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 85	(XTR106U, XTR106UA) A
XTR106UA/2K5.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 85	(XTR106U, XTR106UA) A

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

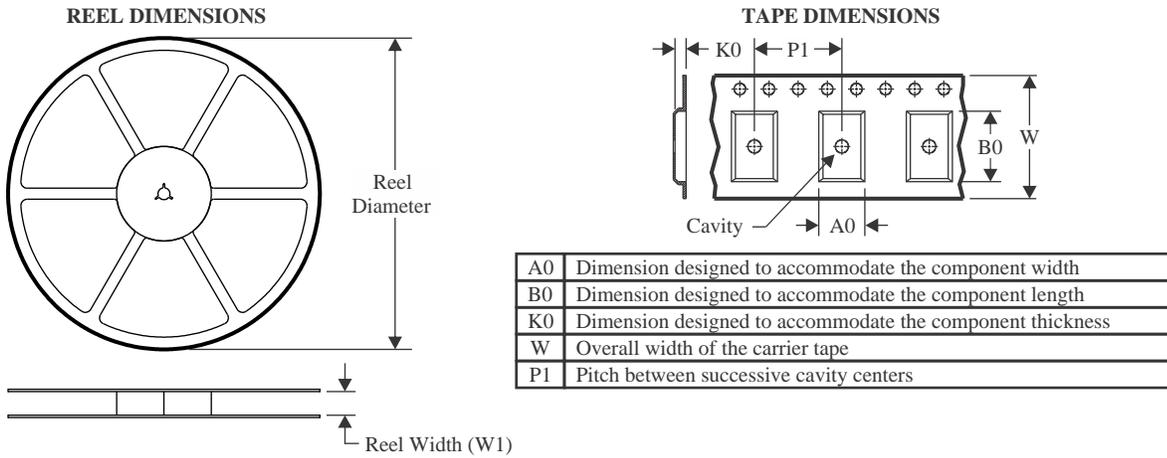
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

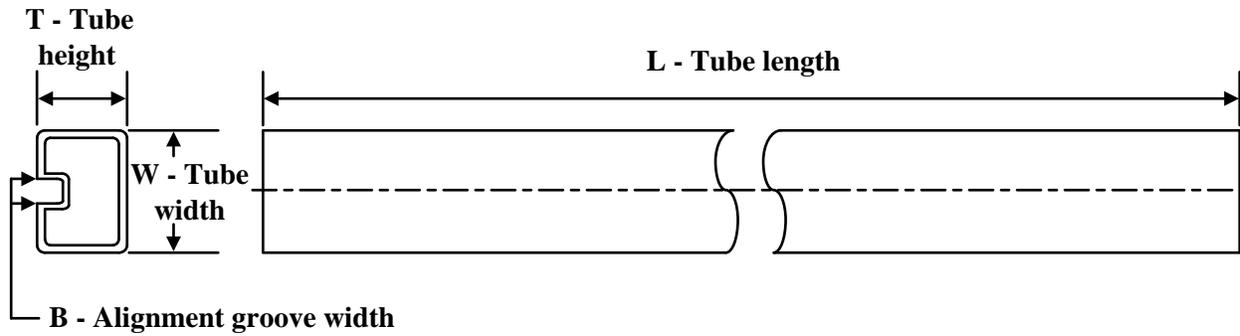

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
XTR106U/2K5	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
XTR106UA/2K5	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
XTR106U/2K5	SOIC	D	14	2500	353.0	353.0	32.0
XTR106UA/2K5	SOIC	D	14	2500	353.0	353.0	32.0

TUBE


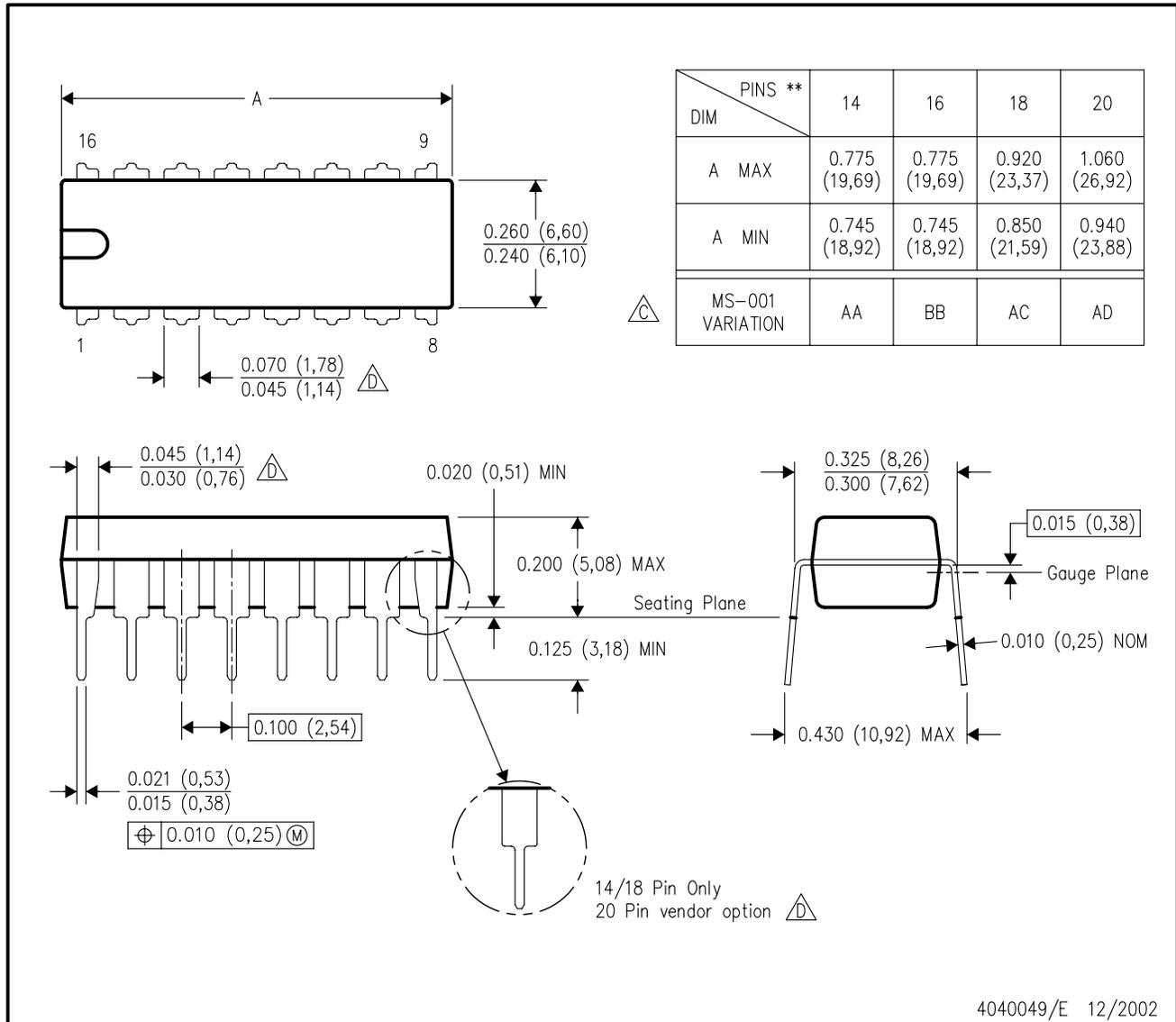
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
XTR106P	N	PDIP	14	25	506	13.97	11230	4.32
XTR106P.A	N	PDIP	14	25	506	13.97	11230	4.32
XTR106PA	N	PDIP	14	25	506	13.97	11230	4.32
XTR106PA.A	N	PDIP	14	25	506	13.97	11230	4.32

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - $\triangle D$ The 20 pin end lead shoulder width is a vendor option, either half or full width.

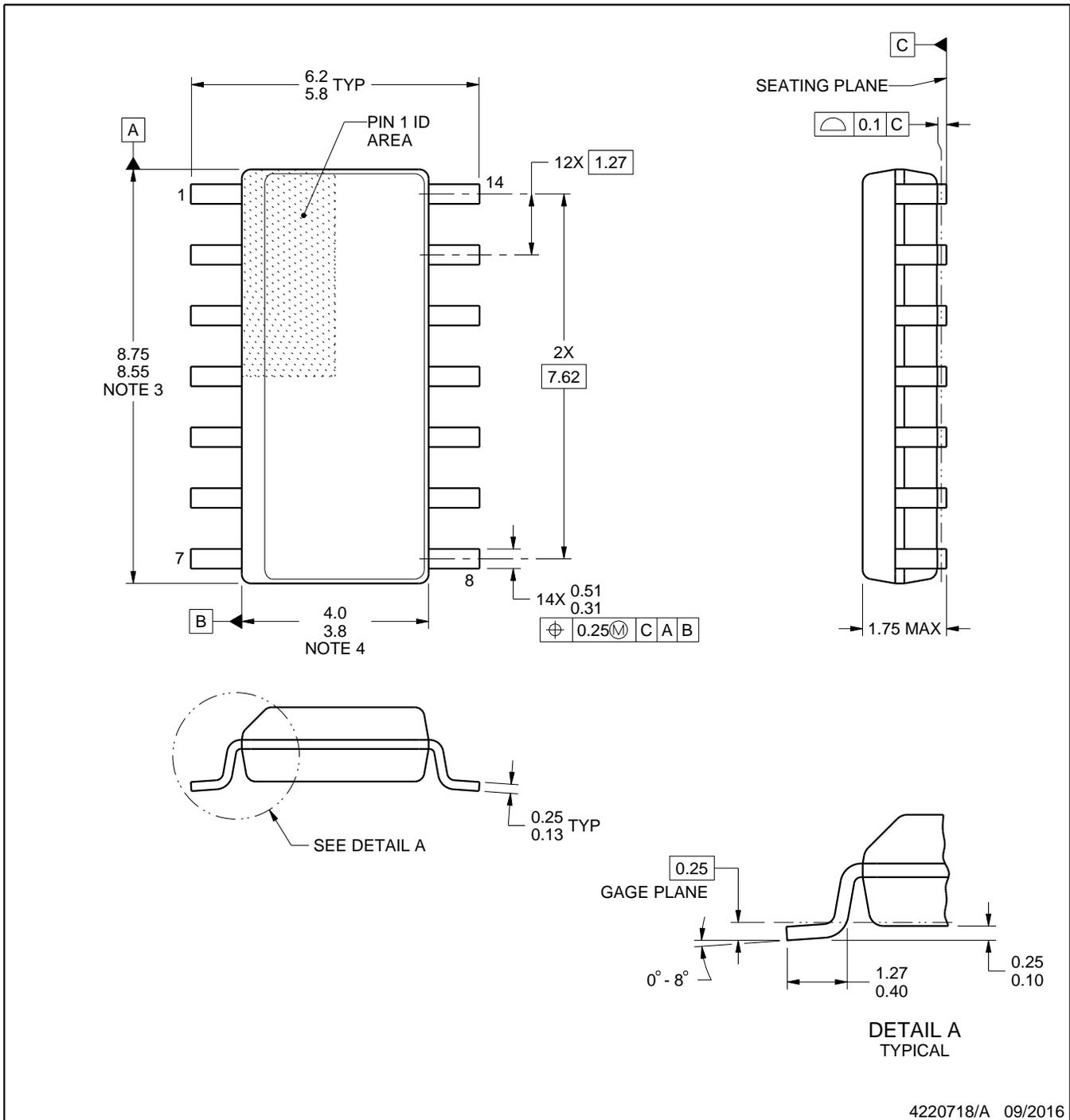
D0014A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

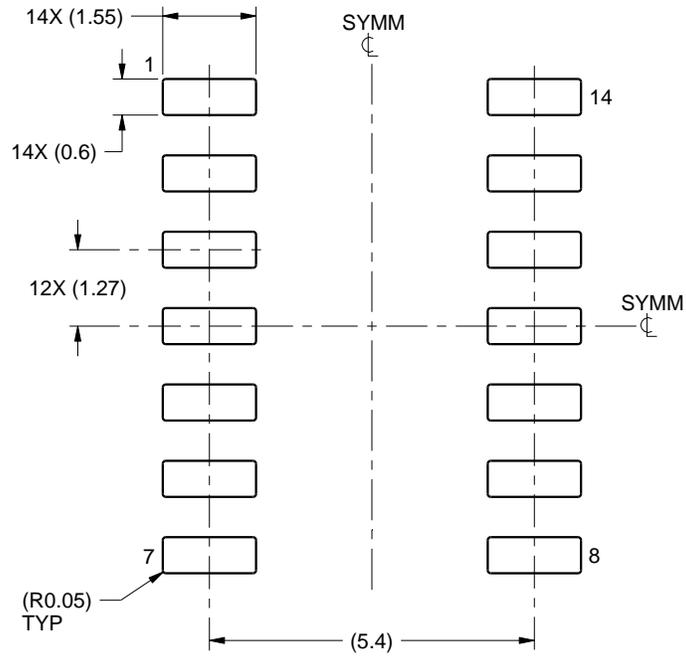
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

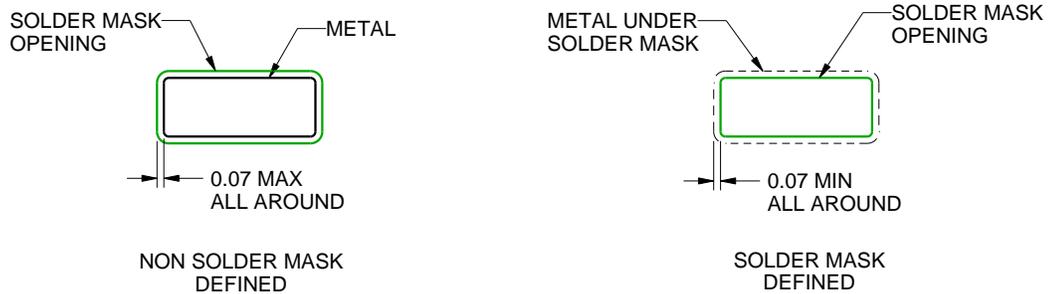
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

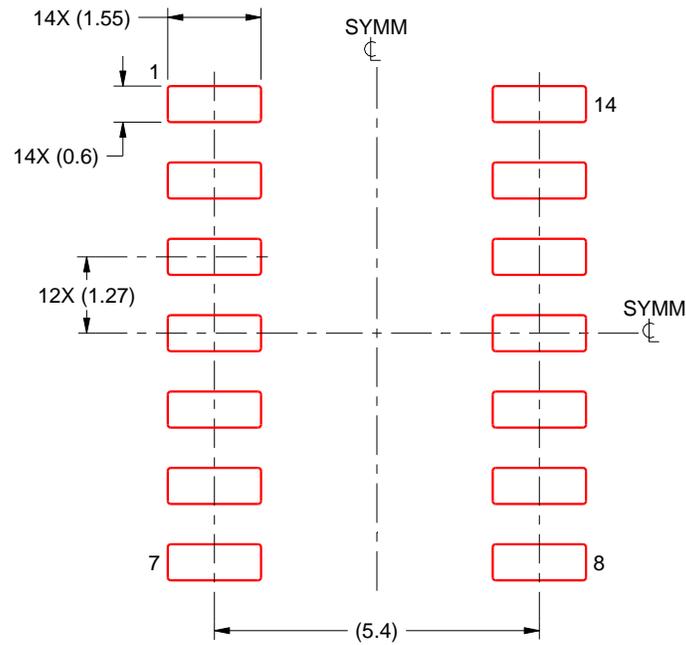
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月