

Technical White Paper

AM62x プロセッサを使用した低消費電力組込みシステムの実現



Kazunobu Shin, Systems & Architecture, Member Group of Technical Staff
Venkateswar Kowkutla, Senior Member of Technical Staff

目次

1 はじめに.....	2
2 AM62x のパワー・マネージメント機能.....	3
2.1 低消費電力モード.....	3
2.2 アクティブ・パワー・マネージメント.....	4
2.3 電源の簡素化.....	4
2.4 電源ソリューション.....	4
3 低消費電力のプロセッサ・アーキテクチャに関する考慮事項.....	6
4 AM62x の消費電力.....	7
5 電力推定ツール.....	8
6 まとめ.....	9

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

多様なアプリケーションで組込みシステムの普及が進んでいることから、単一の SoC に高度な統合が求められています。このような高度な統合は、消費電力の増加、熱システム・コストの増加、性能の低下、バッテリー寿命の短縮につながります。これらの課題を克服するためには、対象となる組込みシステムでの SoC の使用状況に応じて、SoC の定義、アーキテクチャ化、設計を行う必要があります。アプリケーションはそれぞれ異なっているため、SoC の動作設定を適切に選択すると、最適な性能と電力を実現できます。このホワイト・ペーパーでは、テキサス・インスツルメンツの次世代 Sitara MPU デバイスである AM62x プロセッサについて開発された新しい機能と手法について説明します。

AM62x プロセッサは、64 ビット・アーキテクチャで高性能のクワッド・コア Cortex A53 と、強力な 3D グラフィック・エンジン、汎用用途または安全のための M4F MCU チャネル、アプリケーション・ドメインによる干渉からの完全な解放 (Freedom from Interference: FFI)、基礎的セキュリティと車載 / 産業用セキュリティを実現するデュアル・コア M4F、デバイス・リソースと低消費電力管理専用の R5F コアを備えています。このデバイスのモジュール型アーキテクチャは、コネクティビティ、電力、セキュリティ、安全性、コストなどの重要なシステム・リソースを犠牲にすることなく、複数の低電力モードをサポートして高性能を実現します。図 1 に、AM62x プロセッサの概略ブロック図を示します。

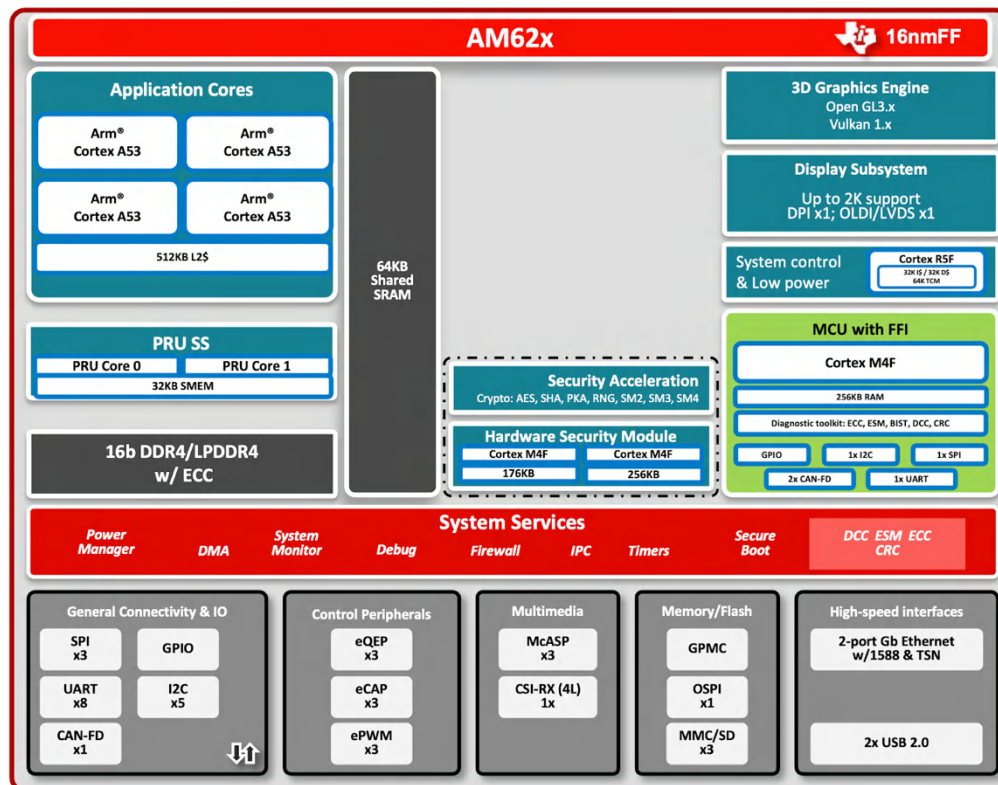


図 1-1. Sitara™ AM62x プロセッサのブロック図

2 AM62x のパワー・マネージメント機能

AM62 プロセッサは、動的消費電力と静的消費電力を低減するために、いくつかの重要な手法を使用しています。表 2-1 に、AM62x パワー・マネージメントの機能と利点を示します。

表 2-1. AM62x のパワー・マネージメント機能

主な機能	AM62x のパワー・マネージメント	利点
低消費電力モード	ディープスリープ、MCU のみ、スタンバイ、部分的 I/O	バッテリー動作寿命の延長
アクティブ・パワー・マネージメント	125MHz での低バス・クロック周波数動作 (OPP Low)	低い動的消費電力で、アクティビティの少ない使用事例に対応
	ダイナミック周波数スケールリング (DFS)	熱管理
電源の簡素化	最大 1.25GHz (A53, 0.75V 時) 最大 1.4GHz (A53, 0.85V 時)	0.75V のコア電源で、差別化された低消費電力性能を実現 0.75V のコア電源で高性能を実現
	単一のコア電源 よりシンプルな電源ドメイン	電源ソリューションの低コスト化、パワー・マネージメント用ソフトウェア制御の簡素化
	内蔵 LDO のシンプルな電源シーケンスにより、低コストのディスクリット電源ソリューションを実現	システム全体の電源ソリューションを容易に最適化 低コスト電源ソリューション
コンパニオン PMIC	新しい低コスト PMIC	AM62x 向けに最適化された低コスト PMIC

2.1 低消費電力モード

AM62x プロセッサは、さまざまなレベルの消費電力で最適化された低消費電力モードをサポートしています。すなわち、部分的 I/O モード、ディープスリープ・モード、スタンバイ・モード (mW 未満から 数 mW まで) があります。表 2-2 に、AM62x プロセッサでサポートされる各種低消費電力モードの概要を示します。

表 2-2. AM62x の低消費電力モード

低消費電力モード	ウェイクアップ発生源	アプリケーションの状態と使用事例
部分的 I/O	CANUART I/O バンク・ピン	CANUART I/O バンクの I/O ピンからの I/O ウェイクアップ機能を維持するために、CANUART I/O バンクの I/O ピンを除いて、SoC 全体がオフになります。
ディープスリープ	GP タイマ、RTC タイマ、UART、I2C、MCU GPIO0、I/O デイジー・チェーン、USB ウェイクアップ・イベント	コア・ドメインのレジスタ情報は失われます。コア・ドメインのオンチップ・ペリフェラル・レジスタ (コンテキスト) 情報は、このモードに移行する前に、アプリケーションによって DDR に保存する必要があります。DDR はセルフ・リフレッシュになっています。ブート ROM が実行され、ウェイクアップのためのペリフェラル・コンテキスト回復に分岐して、その後システムが再開されます。このモードは主に、バッテリー寿命またはバックアップ動作のための RAM へのサスペンドに使用されます。
MCU のみ	MCU チャネルで、ディープスリープ・ウェイクアップ・イベント、割り込みイベントをサポート	MCU サブシステムは、MCU の PLL クロックで動作します。それ以外の SoC のステータスは、ディープスリープと同じです。DDR はセルフ・リフレッシュになっています。この低消費電力モードでは、MCU ドメインのペリフェラルを使用してアプリケーションを実行できます。
スタンバイ	いずれかの SoC 割り込みイベント	オンチップの内容は完全に維持されます。いずれかの SoC 割り込みイベントによって、この低消費電力モードからウェイクアップ・イベントを発生させることができます。A53 および MCU M4F は、WFI またはパワーダウン状態です。DDR メモリはセルフ・リフレッシュになっています。このデバイスは、ウェイクアップ/ MCU ドメイン以外のペリフェラルを使用して低レベルの処理を実行でき、これらのペリフェラルからのウェイクアップをサポートします。

部分的 I/O: CANUART I/O バンクの I/O ピンと小規模なロジックがアクティブになり、SoC の残りの部分はオフになります。ユーザーは、I/O ピンを使用して複数の I/O ウェイクアップ・イベントを集約し、PMIC_LPM_EN ピンを切り替えて、I/O ウェイクアップ・イベントがトリガされたときに PMIC またはディスクリット電源ソリューションをイネーブルにできます。I/O ウェイクアップ・イベントに関する情報は、CANUART I/O バンクの MMR に記録されるので、ソフトウェアがコールド・

ブートとウェークアップを区別してウェークアップ・イベントに迅速にตอบสนองするのに役立ちます。このモードを使用して、CAN ウェークアップまたはイーサネット・ウェークアップをサポートできます。

ディープスリープ:ディープスリープ・モードは、スタンバイまたは MCU のみモードよりも低い消費電力を実現します。通常、ディープスリープモードは、処理や高性能が必要なイベント発生を待っている間、消費電力を非常に低くしたい場合に使用します。ディープスリープは、DDR をセルフリフレッシュにした状態でも消費電力が最小のモードであるため、ウェークアップ・イベントは完全なコールド・ブートを必要とせず、ウェークアップ・レイテンシを大幅に短縮できます。RTC または他のタイマ機能が不要な場合は、両方の発振器を無効にすることで、このモードで最小の消費電力を実現できます。

MCU のみ:MCU のみモードは、低消費電力モード時に低レベルの処理を必要とする、低消費電力の使用事例で使用できます。SoC のステータスは、ディープスリープと同じですが、MCU チャネルが完全にアクティブであり、MCU チャネル・リソースとペリフェラルを使用してアプリケーションを実行できます。MCU チャネルのいずれかの割り込みイベントによって、MCU のみモードからウェークアップを開始できます。また、ディープスリープでサポートされているウェークアップ・イベントは、MCU のみモードからのウェークアップもトリガすることができます。

スタンバイ:デバイスをスタンバイ・モードに設定して、低いアクティビティ・レベルでの消費電力を低減できます。この第 1 レベルのパワー・マネージメントを使用すると、デバイスのコンテキストを維持して、高速な復帰時間を実現できます。スタンバイ状態では、アクティブ・モードより消費電力が低くなりますが、電源オフになったドメインのコンテキストをオンチップ・メモリまたは DDR に保存して、ウェークアップ時に正常に復帰するために、そのコンテキストを回復する必要があります。

2.2 アクティブ・パワー・マネージメント

ダイナミック周波数スケーリング (DFS=Dynamic Frequency Scaling) は、デバイスの動作性能ポイント (OPP) 全体にわたって動作周波数を動的にスケーリングするパワー・マネージメント技術です。OPP は、特定の電力状態を定義する電圧/周波数のペアです。ソフトウェアは各 OPP のクロック周波数を制御し、性能と電力を最適なポイントに調整します。このデバイスは、Cortex-A53 についてのみ DFS をサポートします。

AM62x プロセッサは、OPP Low として低いバス周波数での動作をサポートしています。OPP Low はブート時に構成する必要があります。OPP Low では、メイン CBASS クロック周波数が半分に低減され、アクティブ消費電力が低減され、性能が低下します。一部のペリフェラル・モジュールの性能は、この動作条件では制限されるか、利用できません。

2.3 電源の簡素化

電源最適化については、全体的なアプローチの重要な部分である SoC 電源だけでなく、システム全体の電源最適化に加えて、対象システムで SoC をどのように使用するかを考慮することが不可欠です。SoC が必要とする専用電源レールの数を最小限に抑えることで、電源ソリューションが簡素化されるだけではありません。AM62x デバイスは、共有コア VDD とともに、電圧レベルをスケーリングするフレキシビリティを備え、幅広いアプリケーションの要求を満たすように設計されています。

対象アプリケーションに適したコア電圧を選択することにより、システム電力が最適化されます。AM62x デバイスは、コア電源をプロセスノードの標準的なコア電圧である 0.8V から 0.75V にスケーリングして、動的電力を合計 15% 低減したことを実証できます。一方、性能が重要な関心事である場合、コア電源を 0.8V から 0.85V にスケーリングすると、デバイスの性能が 15% 向上します。

AM62x プロセッサは、DVFS/AVS なしでシンプルなコア電源をサポートし、すべての SoC が固定コア電圧でフル性能の状態において 100K POH を実現します。

2.4 電源ソリューション

TI は、上記の簡素化された電源要件を活用して、AM62x プロセッサ向けに 2 種類の低コスト電源ソリューションを開発しました。TPS65219 は、AM62x プロセッサ向けに特別に設計された PMIC であり、簡素化された電力要件を十分に活用して、AM62x プロセッサ向けに最小コストの PMIC を実現します。ディスクリット電源ソリューションは、電源ソリューションを調整して、システム全体の要件に合わせて最適化する、またはお客様が必要とするさまざまな電流容量や電源の数に適合する、という拡張性と柔軟性を提供できます。表 2-3 に、AM62x プロセッサ向けに設計された 2 つの低コスト電源ソリューションの比較を示します。

表 2-3. AM62x 電源ソリューション

	ディスクリット電源	シングル PMIC ソリューション
供給状況	現在:(TPS6282x、TPS745xx、TLV7103318、TLV75518)	TPS65219

表 2-3. AM62x 電源ソリューション (continued)

	ディスクリート電源	シングル PMIC ソリューション
電源の特長	AM62x アナログ統合を活用して、電源を簡素化	2.7~5.5V 入力電源
	複数の入力電源をサポート: 3.3V、5V	AM62x / AM64x プロセッサ専用開発された単一の PMIC ソリューション
	電流容量に関するさまざまなカスタム要件を満たし、コストを最小化するスケーラビリティ	車載用に対応
パワー・マネージメント機能	該当なし	電源シーケンスとデフォルト電圧をプログラム可能
機能安全	AM62x の機能を活用した、お客様による実装	該当なし
電源ソリューション・サイズの見積もり	システム要件に基づいて拡大縮小可能	81.54mm ² 、4 x 4mm ² QFN、0.4mm ピッチ 69.66mm ² 、5 x 5mm ² QFN、0.5mm ピッチ
AM65x EVM	AM62x SK	AM62Q SK

3 低消費電力のプロセッサ・アーキテクチャに関する考慮事項

電力とレイテンシの最適化には、ハードウェアとソフトウェアのコードデザインが非常に重要です。ハードウェアとソフトウェアの適切な境界を把握し、どの機能をハードウェアに置くか、どの機能をソフトウェアに置くかを、定義段階の早い時期に決めることが重要です。USB および DDR のリセット分離および保持方式などの革新的な新機能によって、構成設定の保存と復元が不要になるため、低消費電力モードの開始および終了モードのソフトウェア・シーケンスを簡素化できます。低消費電力の使用事例と IO の保持能力に基づいて IO 状態 (プルアップおよびプルダウン) を最適化することにより、システムの堅牢性と信頼性が向上しています。

開発フェーズの初期段階で、いくつかの異なる HW/SW パーティションを評価して、システム全体の使用事例と目標 (コスト、性能、消費電力、レイテンシ) を満たす最適な実装を決定しました。AM62x プロセッサ 図 3-1 は、に示すように主に 4 つのドメインに分割されています。

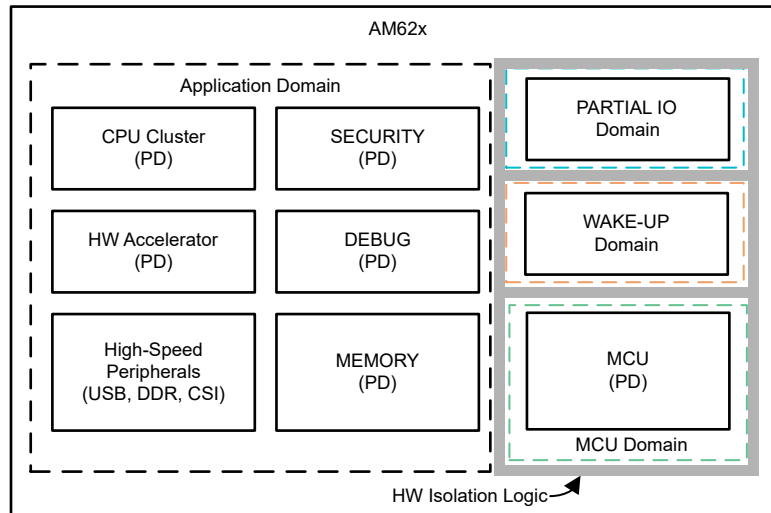


図 3-1. SoC パーティション

アプリケーション・ドメインは、高性能 CPU、ハードウェア・アクセラレータ、高速ペリフェラルで構成されています。このドメインは、内部パワー・スイッチを備えたさまざまなサブシステムにさらに分割されています。システムの使用事例によっては、これらのサブシステムは、内部のパワー・ドメイン・スイッチを使用して完全にパワーダウンできます。たとえば、クラスター内で未使用の CPU コア、ハードウェア・アクセラレータ (グラフィックス、ディスプレイ) などです。さらに、ディープスリープ・モードおよび MCU のみモードでは、内部サブシステムの電力ゲーティングにより、アプリケーション・ドメインが最小消費電力モードになります。

MCU ドメインは、リアルタイム CPU とペリフェラルで構成されています。このドメインは、アプリケーション・ドメインから完全に独立して動作するように構成できます。これは、車載用、産業用、バッテリー駆動のいくつかのアプリケーションで重要な差別化機能です。ディープスリープ・モード中は、内部のパワー・スイッチにより MCU ドメインの電源をオフにできます。

ウェークアップ・ドメインは、パワー・マネージメント CPU およびクロック、リセット、電源、ウェークアップなどのシステム・コンポーネントで構成されます。このドメインは、デバイスのブートアップ、リソースの構成と管理、および低消費電力の管理を行います。このドメインを中心にハードウェア分離を構築しており、アプリケーションとマイコン・ドメインを明確に分離できます。Sitara MPU デバイスは、ハードウェア機能とソフトウェア機能の間で責任を注意深く区分することで、よりシンプルで堅牢な低消費電力モードの開始および終了シーケンスを実現します。さらに、低消費電力モードの開始/終了レイテンシを改善するために、Sitara MPU デバイスは、USB および DDR リセットの分離および保持方式などの革新的な新機能を開発し、ペリフェラル構成の保存と復元が必要になる複雑なソフトウェア・シーケンスを回避しました。

4 AM62x の消費電力

表 4-1 に、さまざまな SoC 状態での消費電力と、電力と性能のスケーラビリティを示します。低消費電力モードの実装と手法を活用することで、AM62 プロセッサは、1GHz で動作する単一の A53 コアで 500mW 未満の消費電力を実現します。この消費電力は、前世代の同様の低消費電力および低コスト・プロセッサが達成した消費電力のほぼ半分です。クワッド A53 コアが 4 つのコアすべてにおいて 1.4GHz でストレスの多いアプリケーションを実行する場合でも、AM62x プロセッサの消費電力は 1W 未満にすることができます。

表 4-1. AM62x の消費電力

	1GHz で動作する Cortex A53 0.75V VDD_CORE			1.4GHz で動作する Cortex A53 0.85V VDD_CORE		
	アイドル 1xA53 (mW)	Dhrystone 1xA53 (mW)	Dhrystone 4xA53 (mW)	アイドル 1xA53 (mW)	Dhrystone 1xA53 (mW)	Dhrystone 4xA53 (mW)
VDD_CORE	343	395	570	466	565	880
VDDR_CORE	3	4	7	2	4	8
VDDS_DDR	45	45	45	45	45	45
合計 (I/O およびアナログなし)	391	444	622	513	614	933

5 電力推定ツール

TI は、測定データとシミュレーション・データから作成されたプロセッサ電力モデルに基づいて、電力推定ツール (PET) を提供しています。開発者は、ハードウェアとソフトウェアの設計を開始する前に、さまざまなアプリケーション・シナリオ、電気的パラメータ、シリコン・プロセスの違い、環境条件について、AM62x プロセッサの消費電力の詳細情報を入手できます。このツールの電力推定値を使用して、AM62x プロセッサの動作性能ポイントの決定、熱設計の評価、最終製品のバッテリー寿命の推定を行うことができます。このツールを使用すると、さまざまな動作条件およびプロセッサ構成を選択して、いろいろな省電力手法によって動作性能と消費電力の間でトレードオフを実現できます。このツールは、現実的な動作モードでの消費電力を推定するもので、電源のサイズ決定を意図していません。

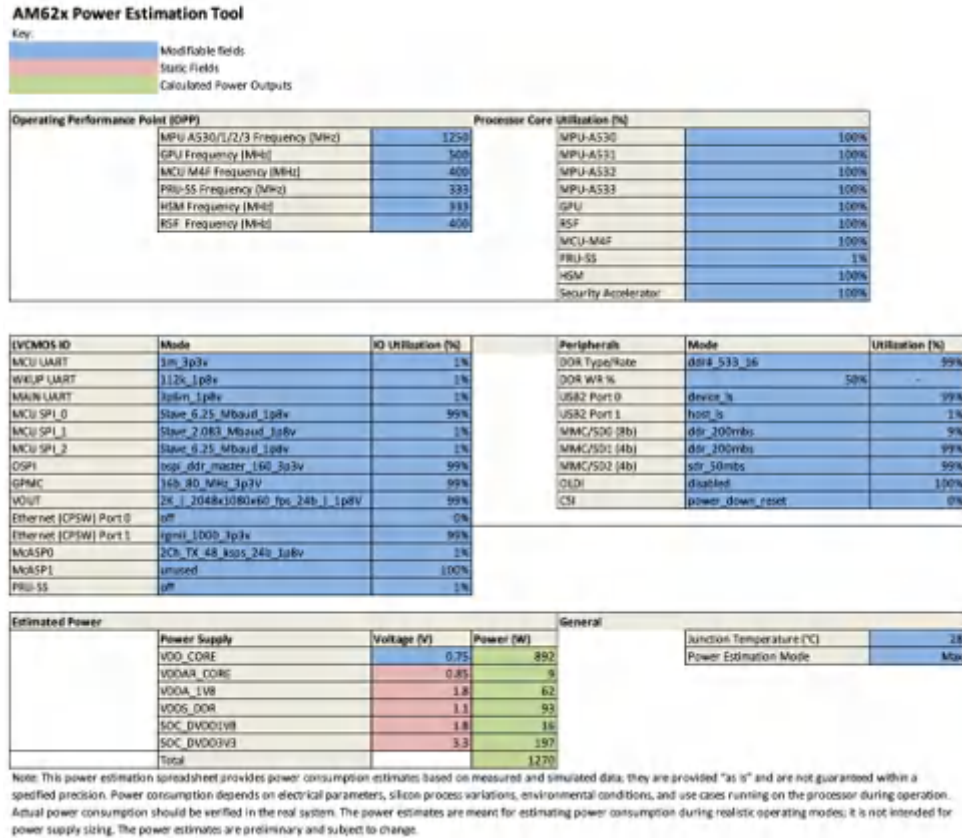


図 5-1. AM62x 電力推定ツール

6 まとめ

AM62 プロセッサは、アナリティクス機能またはヒューマン・マシン・インターフェイス機能を備えたエッジ・デバイス向けの低消費電力組み込みシステムを実現します。低消費電力モードと低い動的消費電力により、ヒートシンクやファンを使用せずに、幅広いバッテリー駆動アプリケーションや小型フォーム・ファクタの製品設計が可能になります。独自の **0.75V** コア電圧動作とパワー・マネージメント機能により、お客様の各アプリケーションに最適な性能と消費電力の調整を実現します。また、高度なアナログ統合を活用して、シンプルで低コストの電源ソリューションを実現するのに役立ちます。

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022, Texas Instruments Incorporated