

## Application Note

## 大容量 Y キャパシタ抵抗性ブリッジ DC 絶縁監視デバイスの設計上の検討事項



Kelvin Le, Tilden Chen

## 概要

絶縁を測定する最も一般的な方法は、AC 電流注入と抵抗ブリッジの 2 つです。一般的に、AC 電流注入方式はさまざまな動作条件に対して柔軟性があり、DC 充電で広く使用されていますが、抵抗性ブリッジ方式に比べて複雑で、コストも高くなります。どのような方法においても、精度、応答時間、動作電圧制限などの標準的な要件を満たす必要があります。抵抗性ブリッジ方式に関連する主な課題のひとつは、大きい RC 時定数への対処です。メガワット チャージャなどの一部のシステムには、非常に大きな Y 容量 (例えば 4 $\mu$ F) が必要とされます。このアプリケーション ノートでは、浮動小数点演算などの大きな計算を必要とせずに測定時間を短縮する新しい予測アルゴリズムを採用することで、大きな Y 容量に対応するように特別に設計された、抵抗ブリッジ方式の設計上の検討事項について説明します。

## 目次

1 概要.....	2
1.1 絶縁モニタ.....	3
2 詳細説明.....	4
2.1 未知の絶縁抵抗の算出.....	7
2.2 時定数が大きい場合の対処.....	9
2.3 予測アルゴリズム.....	10
2.4 エラー ソースの理解.....	13
2.5 テスト結果.....	14
3 まとめ.....	15
4 参考資料.....	15

## 商標

すべての商標は、それぞれの所有者に帰属します。

## 1 概要

高電圧 (HV) DC システムは、エネルギー ストレージ システム、データ センター、ソーラー インバータ、DC 高速充電器など、さまざまな最終製品としての用途で採用が急速に伸びています。こうしたアプリケーションにおける標準的な DC 電圧の範囲は、150V ~ 1000V です。より大きいエネルギー ストレージ システムでは、最大 1500V の電圧で動作します。ユーザー保護は、これらの HV DC システムの設計上の重要な検討事項になります。システムにおけるすべての HV 部品は、高抵抗値パス (通常は高い MΩ レンジ) を経由して、PE から電氣的に絶縁されています。この絶縁により、最大リーク電流が制限されます。国際規格 (例えば、EV 充電用の UL 2231-2、IEC 61851-23) では、システムとの接触による人的負傷を防止するため、リーク電流を 10mA (すなわち 100Ω/V) に制限することが求められています。IEC 61851-23 では、リーク電流が 2mA (500Ω/V) 未満の場合を、安全な絶縁定格として規定しています。表 1-1 には、絶縁監視デバイス (IMD) の主要なスレッショルドを示しています。図 1-1 は、IMD が絶縁抵抗を監視し、絶縁抵抗が不十分になるとメイン コントローラに異常を通知することを示しています。メイン システム コントローラは、異常発生後に、安全なシャットダウンシーケンスを開始します。絶縁状態の変化は緩やかに起きるため、これらの IMD は、1Hz ~ 2Hz の低周波数で連続的に動作します。

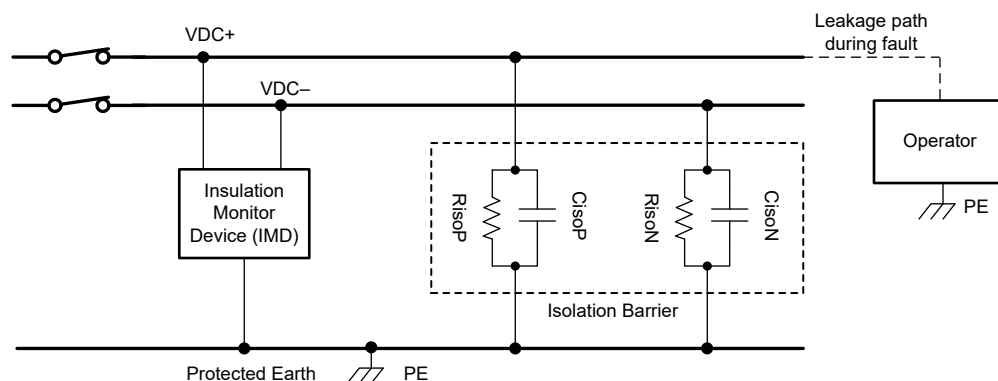


図 1-1. DC 非接地配電システムの絶縁監視デバイス

表 1-1. IEC および UL 規格に基づく、IMD の主要なスレッショルド

STATUS	Ω/V	リーク電流	800V VBus	1000V VBus
警告	500	2mA	400kΩ	500kΩ
フォルト	100	10mA	80kΩ	100kΩ

## 1.1 絶縁モニタ

絶縁を測定する方法はいくつかあります。しかし、最も一般的な方法は、AC 電流注入と抵抗ブリッジの 2 つです。一般に、AC 電流注入方式はさまざまな動作条件に対して柔軟性があり、DC 充電で広く使用されていますが、抵抗性ブリッジ方式に比べて複雑で、コストも高くなります。どのような方法においても、精度、応答時間、動作電圧制限などの標準的な要件を満たす必要があります。抵抗性ブリッジ方式に関連する主な課題のひとつは、大きい RC 時定数への対処です。メガワット チャージャなどの一部のシステムには、非常に大きな Y 容量 (例えば 4 $\mu$ F) が必要とされます。抵抗ブリッジ方式を採用した TIDA-010985 では、リファレンス デザインは大きな Y 容量に対応できるよう特別に設計されています。また、浮動小数点演算などの大きな計算を必要とせずに測定時間を短縮できる、新しい予測アルゴリズムが用いられています。加えて、この新しい設計トポロジにより、Y キャパシタの電圧変動が制限されます。表 1-2 に各種方式の比較概要を示します。

表 1-2. 各種 IMD 手法の比較

方法	利点	欠点
AC 電流注入 <ul style="list-style-type: none"> <li>通常、スタンドアロン モジュールとして販売</li> </ul>	<ul style="list-style-type: none"> <li>通電ライン、非通電ラインを測定可能</li> <li>測定中に絶縁抵抗が低下しない</li> <li>大容量 Y キャパシタを含め、UL 2231-2 に対応</li> </ul>	<ul style="list-style-type: none"> <li>ハードウェアが複雑でコストが高い</li> <li>ソフトウェアが複雑 (AC 信号処理、浮動小数点演算が必要)</li> </ul>
抵抗ブリッジ <ul style="list-style-type: none"> <li>TIDA-01513, BQ79731 EVM</li> <li>TIDA-010232 (MCU は絶縁 GND 上)</li> </ul>	<ul style="list-style-type: none"> <li>ハードウェア、ソフトウェアともに実装が簡単</li> <li>低コスト</li> <li>計算負荷が小さい</li> </ul>	<ul style="list-style-type: none"> <li>大容量 Y キャパシタ (&gt;100nF) では、UL 2231-2 に非対応</li> <li>測定中、PE に対して電圧スイングが大きいいため、IEC 61851-23 に非対応。アプリケーションが 500Vbus 未満に制限</li> <li>通電ラインのみ測定可能</li> <li>測定中に絶縁抵抗がわずかに低下する</li> </ul>
バランス型抵抗ブリッジ + 予測アルゴリズム <ul style="list-style-type: none"> <li>TIDA-010985 (MCU は接地 GND 上)</li> </ul>	<ul style="list-style-type: none"> <li>ハードウェア、ソフトウェアともに実装が簡単</li> <li>低コストで計算負荷が小さい</li> <li>測定中、PE に対して電圧スイングが小さいため、IEC 61851-23 に対応</li> <li>大容量 Y キャパシタを含め、UL 2231-2 に対応</li> </ul>	<ul style="list-style-type: none"> <li>通電ラインのみ測定可能</li> <li>測定中に絶縁抵抗がわずかに低下する</li> </ul>

表 1-3 は、UL 2231-2 および IEC 61851-23 と比較した TIDA-010985 の主な仕様をまとめたものです。

表 1-3. UL 2231-2、IEC 61851-23 の主な仕様

パラメータ	UL 2231-2 / IEC 61851-23 の仕様	TIDA-010985
トリップ精度 (対称型および非対称型故障)	15%	5%
応答時間	10 秒未満	2 秒未満 (Ciso = 4 $\mu$ F、Riso = 1M $\Omega$ )
ライン、PE 間の電圧変動 (VDC に対する %)	10%	10% (すなわち、1kV バスの場合は 50V)

## 2 詳細説明

このアプリケーション ノートの設計上の検討事項は、TIDA-010985 リファレンス デザイン ハードウェアに基づいています。参考として、TIDA-010985 のシステム ブロック図を [図 2-1](#) に示します。

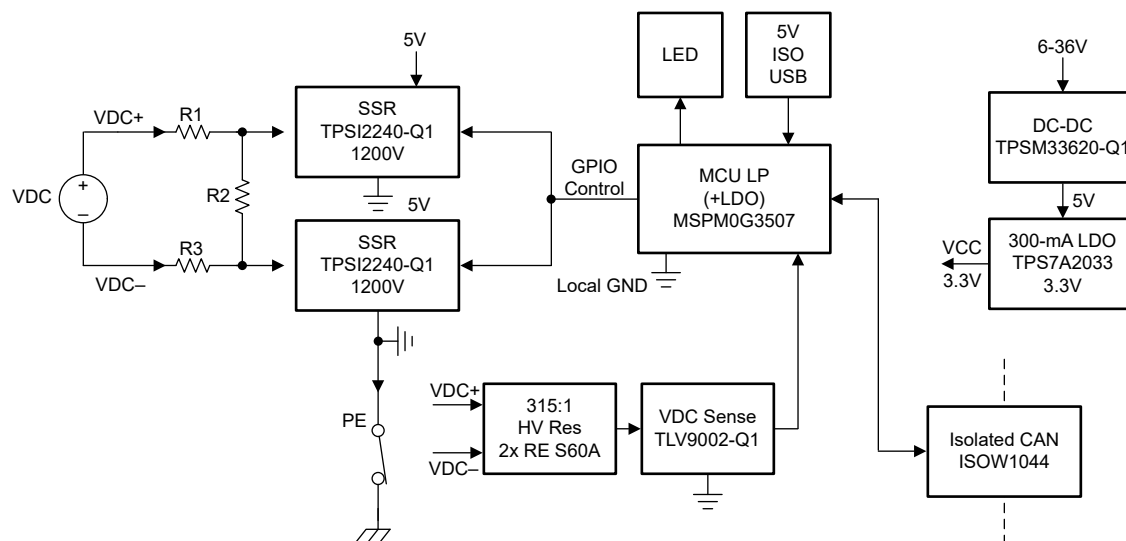


図 2-1. TIDA-010985 システム ブロック図

[図 2-2](#) に示すように、TIDA-010985 アナログ フロント エンド (AFE) の主要なシステム部品は以下のとおりです。

1. DC+, DC-, および保護接地 (PE) への機械的コネクタ
2. 複数のテスト抵抗の組み合わせ ( $R_{sn}$ ,  $R_1$ ,  $R_{sp}$ ) を可能にする準平衡抵抗ネットワーク。
3. 抵抗ネットワークを切り替える TPSI2240 双方向ソリッド ステート スイッチ (SW1, SW2)
4. PE に対する VDC- の電圧検知用、単一電源反転アンプ。電圧が ADC レベル ( $V_n$ ) までスケール ダウンされます。RisoN および RisoP の計算に必要です。
5. PE に対する VDC+ の電圧センシング用、単一電源電圧バッファ。電圧が ADC レベル ( $V_p$ ) までスケール ダウンされます。RisoN および RisoP の計算に必要です。
6. これらのスイッチの制御、アナログ出力のサンプリング (同時)、絶縁抵抗の計算を行うマイコン。

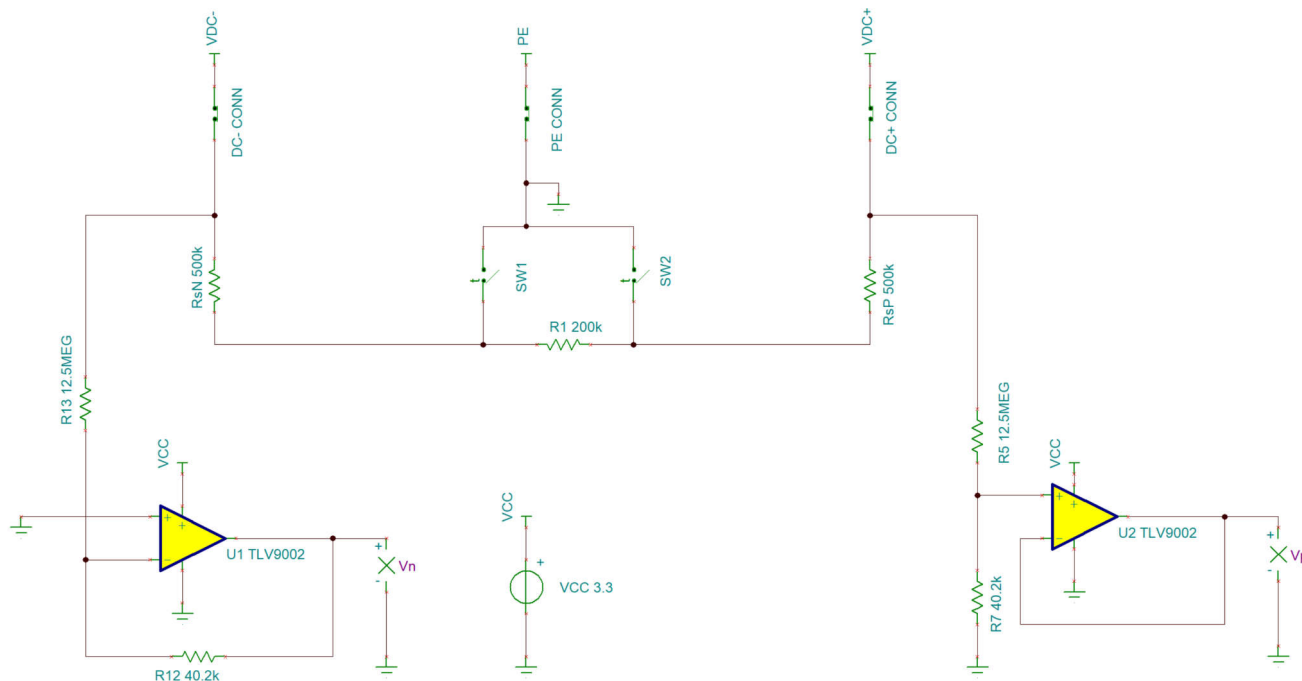


図 2-2. ターゲット システムを接続していない TIDA-010985 の概略回路図

図 2-3 に、ターゲット システムを接続した状態の簡略化回路図を示します。すべての Riso および Ciso のパッシブ値は、IMD が求める必要がある未知数です。

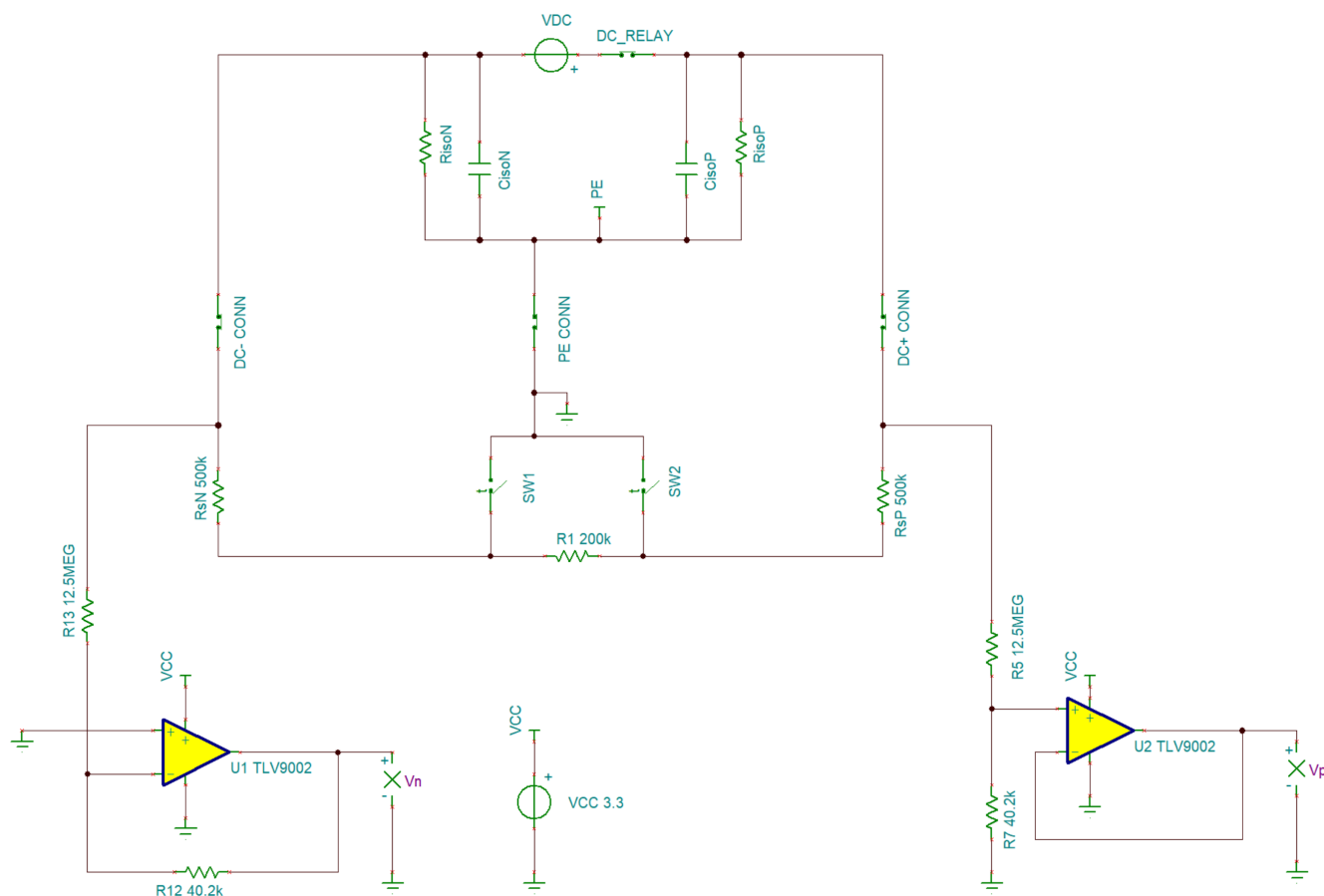


図 2-3. ターゲット システム接続状態の簡略化設計回路図。

抵抗性ネットワークは、図 2-4 に示すように、並列抵抗と直列抵抗の組み合わせで構成されます。ここでの主な検討事項は以下のとおりです

- 電力定格 - Vbus 全体が片側に印加される非対称型フォルト時などの最悪条件を考慮する必要があります。片側 500kΩ で 1kV の場合、各ラダー ステップ (例: R8 と R20) は 0.4W (最悪の場合) をサポートする必要があります。各抵抗の定格は 0.25W で、各ラダー ステップに対して実質的に 0.5W です。通常の状態では、各ラダー ステップは約 0.1W を消費します。
- 精度に対する部品の許容差 - 抵抗の許容差による誤差を最小限に抑えるために、0.1% の抵抗許容差を選択しました。これにより、電圧比測定誤差が約 0.03% になります。0.5% の抵抗を使用すると、誤差は約 0.167% に増加します。1% の抵抗を使用すると、誤差は約 0.33% に増加します。
- 測定時間に影響を及ぼす抵抗値 - 抵抗は時定数に影響を与えるため、値を適切に設定にすることが重要です。絶縁が正常 (MΩ レベル) な場合、セトリング タイムは最も長くなります。抵抗性ブリッジがアクティブな場合、実効抵抗は低下します。
- アースへのリーク電流 - 抵抗性ブリッジは、リーク電流が大きすぎるほどの抵抗値を小さくすることはできません。1kV バスの場合、スイッチがオンのときに片側 500kΩ であると仮定すると、人がアース上に立っているときに HV レールの 1 つに触れると、リーク電流は 2mA になります。

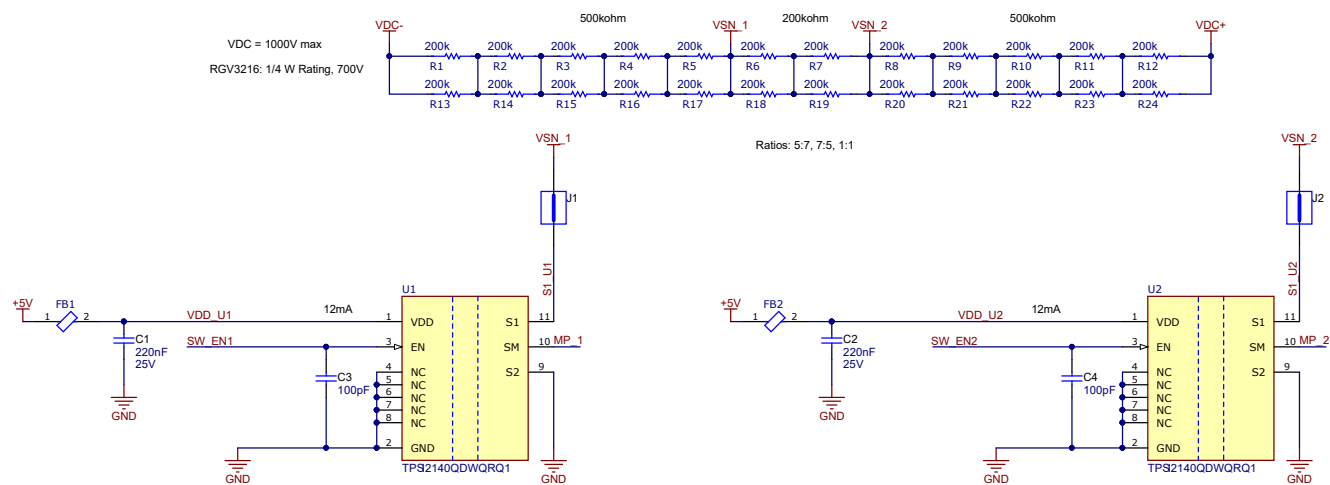


図 2-4. 抵抗性ブリッジ ネットワークとソリッドステート スイッチの実装を示す TIDA-010985 の回路図

TIDA-010985 電圧検出回路の正確な実装を 図 2-5 と 図 2-6 に示します。システム要件を満たすために、必要に応じて RC フィルタを変更できます。図 2-6 (R33 C19) に示すデフォルトの RC 値は、実際にはチャージ バケット機能用です。ノイズを低減し、BW をさらに制限することが推奨されます (例: 500Hz)。もう 1 つのオプションは、U3A の帰還ループ (ピン 2 とピン 1) と U3B の正入力 (ピン 5 と GND) に小さなキャパシタを追加することです。

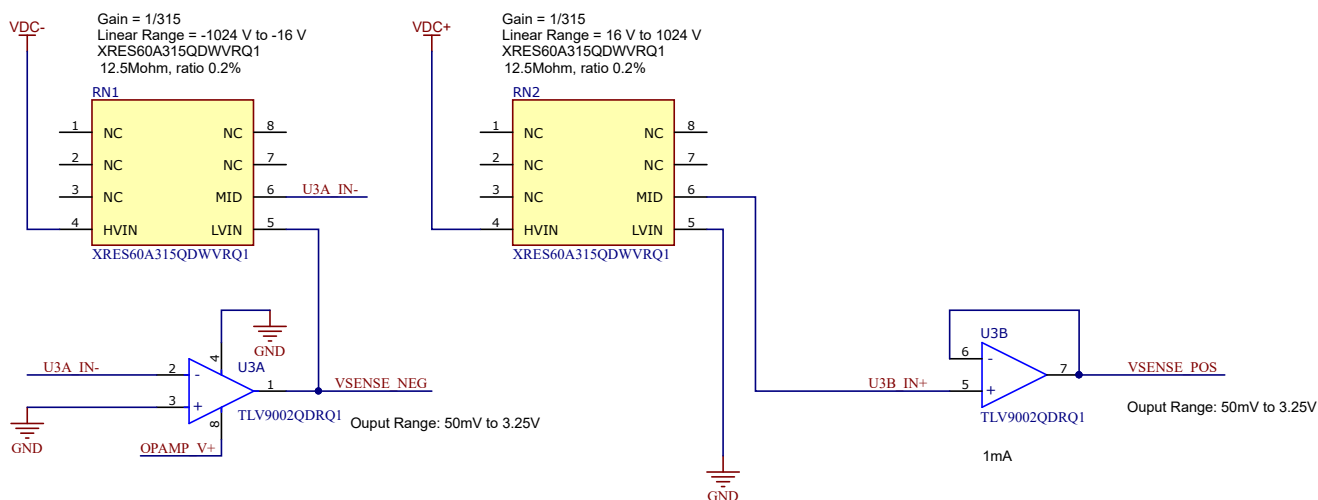


図 2-5. 電圧検出回路の実装を示す TIDA-010985 の回路図

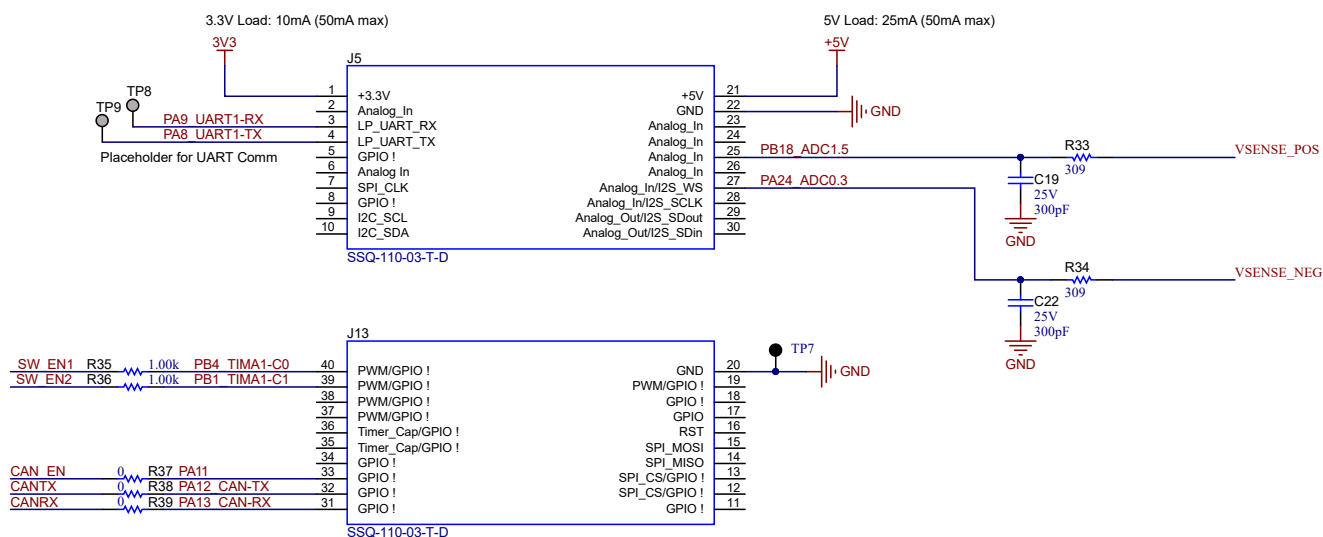


図 2-6. RC フィルタの実装を示す TIDA-010985 の回路図

## 2.1 未知の絶縁抵抗の算出

2 つのスイッチにより、RsP、RsN、R1 を使用した複数の抵抗ブリッジのテスト比の切り替えが可能となります。この構成により、任意の RisoP と RisoN の比率を検出できます。システムは、非対称型フォルトと対称型フォルトの両方を検出します。TIDA-010985 の可能なスイッチング状態と、対応する方程式を表 2-1 に示します。RisoP と RisoN を求めるのに必要なのは、2 つのスイッチング状態 (D を除く) のみです。2 つの方程式で、2 つの未知数を求められます。

表 2-1. TIDA-010985 の可能なすべてのスイッチング状態

状態	SW1	SW2	RsP:RsN 比	定常状態の方程式
A	ON	OFF	7:5	$\frac{V_p}{V_n} = \frac{-R_{isoP}    (7R)}{R_{isoN}    (5R)}$
B	OFF	ON	5:7	$\frac{V_p}{V_n} = \frac{-R_{isoP}    (5R)}{R_{isoN}    (7R)}$
C	ON	ON	5:5	$\frac{V_p}{V_n} = \frac{-R_{isoP}    (5R)}{R_{isoN}    (5R)}$
D	OFF	OFF	該当なし	該当なし

理論上、設計者は A、B、C のスイッチング状態から 2 つの組み合わせを選択できます。このリファレンス デザインでは、スイッチング状態 A と B を使用して絶縁抵抗を求めます。この AB の組み合わせにより、IEC 要件に基づく電圧変動の制限を行いつつ、スイッチング状態間で最大の電圧差を生成することで、信号対雑音比 (SNR) が最大化されます。この選択では、関連する 2 つの方程式は次の通りです:

$$\frac{V_{p1}}{V_{n1}} = \frac{-R_{isoP} || (7R)}{R_{isoN} || (5R)} \quad (1)$$

$$\frac{V_{p2}}{V_{n2}} = \frac{-R_{isoP} || (5R)}{R_{isoN} || (7R)} \quad (2)$$

ここで、

- $V_{p1}$  は最初の DC+ 測定 (スイッチ状態 A) の電圧
- $V_{n1}$  は最初の DC- 測定 (スイッチ状態 A) の電圧
- $V_{p2}$  は 2 回目の DC+ 測定 (スイッチ状態 B) の電圧
- $V_{n2}$  は 2 回目の DC- 測定 (スイッチ状態 B) の電圧

2 つの方程式を使用し、2 つの未知数 ( $R_{isoP}$  および  $R_{isoN}$ ) を求められます。この方程式は、MATLAB® を使用して解きました。

```
% solve for two equations with two unknowns assuming settled voltages
clc
syms rp rn vp1 vp2 vn1 vn2 rs
% change the sign if we're using inverting op amp for the vn sense
eq1 = vp1/vn1 == (rp*7*rs/(rp+7*rs)) / (rn*5*rs/(rn+5*rs));
eq2 = vp2/vn2 == (rp*5*rs/(rp+5*rs)) / (rn*7*rs/(rn+7*rs));
eq3 = rs > 0 & vp1 > 0 & vn1 > 0;
eqns = [eq1, eq2, eq3];
%
[srna, srpa, parametersa, conditionsa] = solve(eqns,[rn, rp],ReturnConditions=true)
%
```

この計算から、次の結果が得られます:

$$R_{isoN} = \frac{-(35*V_{n1}*V_{p2} - 35*V_{n2}*V_{p1})*RS}{(7*V_{n1}*V_{p2} - 5*V_{n2}*V_{p1} + 2*V_{p1}*V_{p2})} \quad (3)$$

$$R_{isoP} = \frac{-(35*V_{n1}*V_{p2} - 35*V_{n2}*V_{p1})*RS}{(2*V_{n1}*V_{n2} + 7*V_{n1}*V_{p2} - 5*V_{n2}*V_{p1})} \quad (4)$$

RS 定数は 100kΩ と定義されることに注意してください。ユーザーが別の比率を使用する場合は、MATLAB スクリプトを変更して、新しく選択した比率を求めることができます。

図 2-7 に、AB の組み合わせによる電圧波形の例を示します。この例では、各スイッチング状態が 1 秒間続きます。2 つの状態の測定が必要なため、1 回の IMD 測定サイクルには 2 秒かかります。 $V_{p1}$  と  $V_{n1}$  は最初の 1 秒で同時に測定され、 $V_{p2}$  と  $V_{n2}$  は次の 1 秒で同時に測定されます。 $V_p$  と  $V_n$  を同時に ADC 測定すると、HV バスのノイズの影響が除去されることに注目してください。 $R_{iso}$  の解は、 $V_p$  と  $V_n$  の比率の差に依存します ( $V_p$  および  $V_n$  の個々の絶対値には依存しません)。



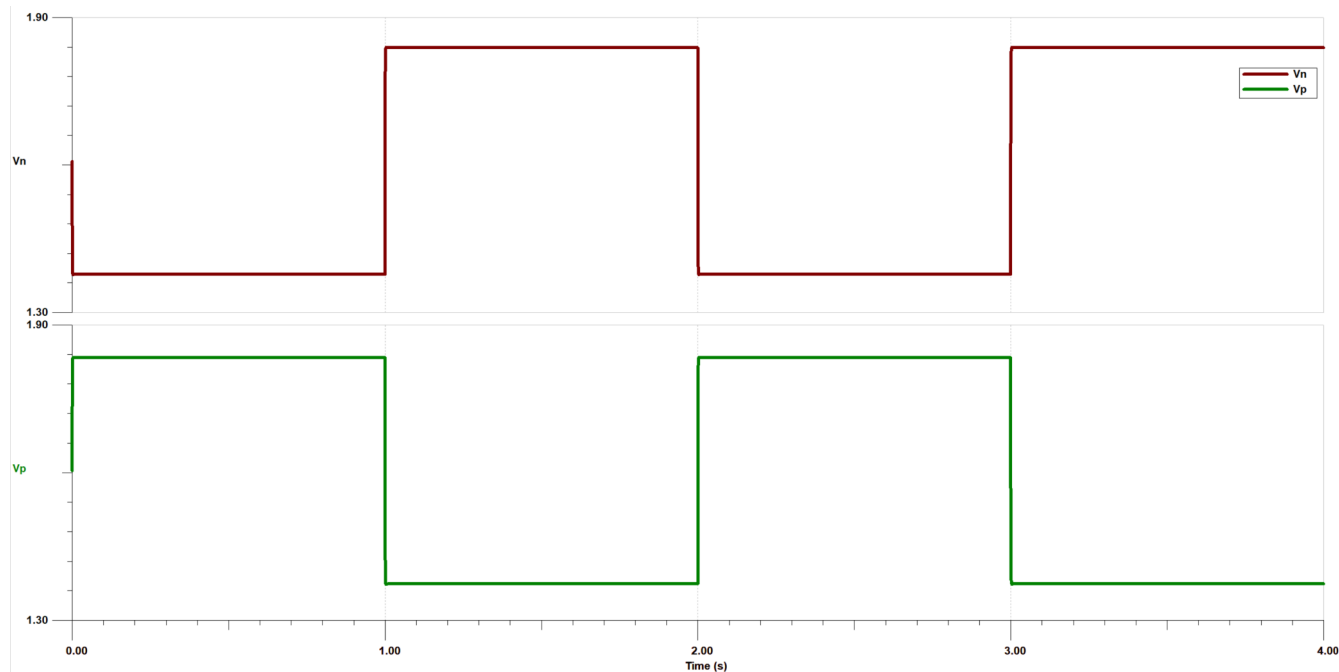


図 2-7. AB スwitch のトグル モードの波形例

## 2.2 時定数が大きい場合の対処

前の例では、ADC が  $V_p$  と  $V_n$  を測定する前に、大幅な RC セットリング タイムはないものと仮定しています。しかし、[図 2-8](#) の例のような条件では、時定数が非常に長くなることがあります。回避方法がないと、電圧が安定するまでに長時間を要する場合があります、そのため、標準的な応答時間の要件を満たせなくなる可能性があります (例えば、UL 2231-2 では 10 秒です)。

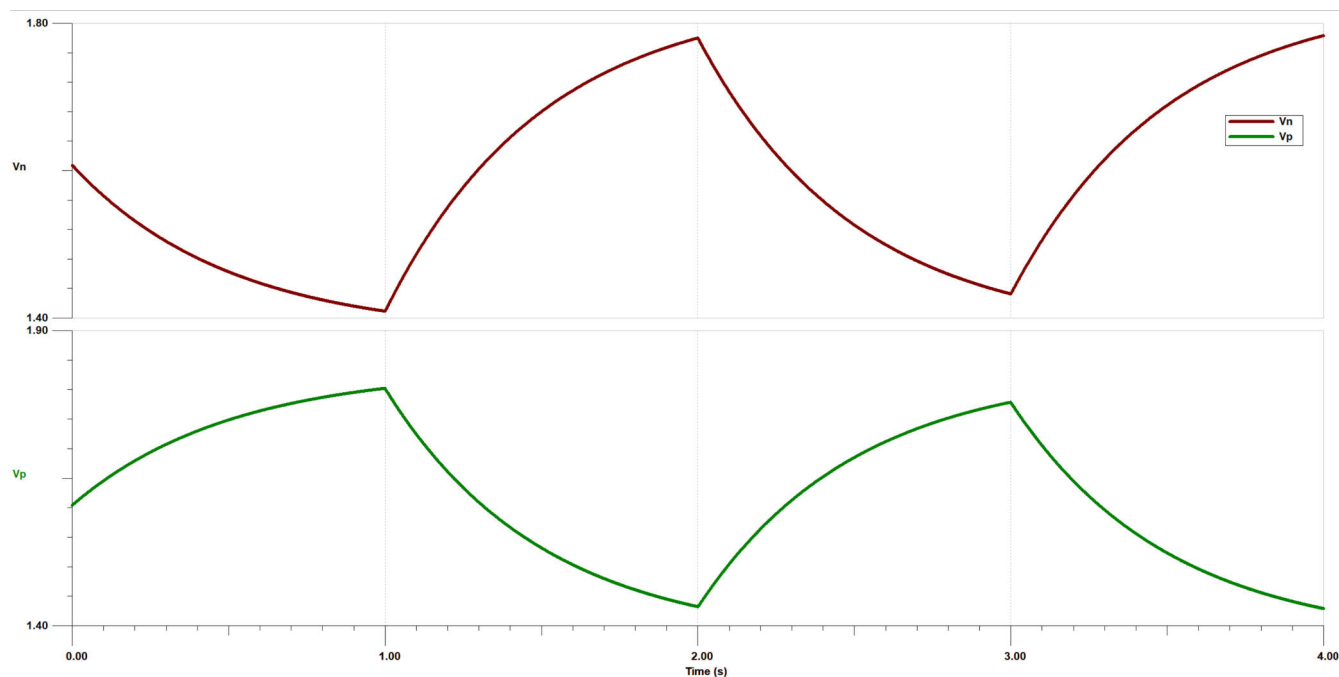


図 2-8. 時定数が大きい場合の波形例

時定数  $\tau$  で、SW1 がオンで SW2 がオフのとき:

$$\tau = (\text{RisoP} \parallel \text{RisoN} \parallel \text{RsP} + \text{R1} \parallel \text{RsN}) * (\text{CisoP} + \text{CisoN}) \quad (5)$$

時定数が大きいケース (すなわち、 $\mu\text{F}$  レンジの大きい Y キャパシタの場合) に対処するには、いくつかの方法があります:

- 消費電力とリーク電流の増加を犠牲にして、**Rsp** と **Rsn** の値を低くする方法。これはリーク電流の増加につながり、規格要件に違反するため、多くの場合、実用的ではありません。
- 追加のセトリング時間を考慮して、サイクル時間を (例えば、2 秒から 3 秒へ) 延ばす方法。UL の応答時間制限があるため、多くの場合、実用的ではありません。
- 複数の測定値とアルゴリズムを使用し、最終的なセトリング電圧を予測する方法。正しく行えば、電力や時間を増やさずに IMD の動作範囲を拡張できます。このトピックについては、次のセクションで説明します。

## 2.3 予測アルゴリズム

SW2 がオンのとき、応答は指数関数的減衰の式に従います:

$$V(t) = V_{\text{inf}} + V_o e^{-\frac{t}{\tau}} \quad (6)$$

ここで、 $V_{\text{inf}}$  は最終的に安定した電圧 ( $t = \text{無限大}$ ) であり、 $V_o$  は時間がゼロでの初期電圧  $V(t_0)$  および  $V_{\text{inf}}$  の差です。この概の詳細については、[図 2-9](#) を参照してください。

セトリング電圧  $V_{\text{inf}}$  は特に重要です。この方程式における未知数は、 $V_{\text{inf}}$ 、 $\tau$  および  $v_o$  の 3 つです。ADC が 3 つのサンプル電圧をそれぞれ異なる時刻で測定すると、次のような 3 つの連立方程式が作成されます:

$$V(t_0) = V_{\text{inf}} + V_o \quad (7)$$

$$V(t_1) = V_{\text{inf}} + V_o e^{-\frac{t_1}{\tau}} \quad (8)$$

$$V(t_2) = V_{\text{inf}} + V_o e^{-\frac{t_2}{\tau}} \quad (9)$$

$t_2 = 2 * t_1$  を使用すると、式は次のようになります。

$$V(t_0) = V_{\text{inf}} + V_o \quad (10)$$

$$V(t_1) = V_{\text{inf}} + V_o e^{-\frac{t_1}{\tau}} \quad (11)$$

$$V(t_2) = V_{\text{inf}} + V_o e^{-\frac{2t_1}{\tau}} \quad (12)$$

ここで、 $x = e^{-\frac{t_1}{\tau}}$  とすると、式は次のようになります。

$$V(t_0) = V_{\text{inf}} + V_o \quad (13)$$

$$V(t_1) = V_{\text{inf}} + V_o x \quad (14)$$

$$V(t_2) = V_{\text{inf}} + V_o x^2 \quad (15)$$

$V_{\text{inf}}$  の計算は大幅に簡略化されます。

$$V_{\text{inf}} = \frac{V(t_0) * V(t_2) - V(t_1)^2}{V(t_0) - 2V(t_1) + V(t_2)} \quad (16)$$

- 四則演算のみで  $V_{\text{inf}}$  を計算できることに注目してください。 $V_{\text{inf}}$  を計算すれば、 $V_o$  は以下から  $V_{\text{inf}}$  を引くことで計算できます:  $V(t_0)$ 。

- 理論上、 $t_0$  の位置は、 $t_1$  と  $t_2$  の間隔が互いに適切である限り、減衰曲線上のどこであっても問題はありません。具体的には、3 つのサンプル間の時間差を一定に保つ必要があります。時定数が長い場合、同じサイクル時間でも、電圧セトリング曲線が比較的平坦になることがあります。ノイズの多い状況では、3 つのサンプル間の時間間隔を広げることによって信号対雑音比が向上し、予測アルゴリズムの性能が改善します。

この連立方程式を解くために使用される MATLAB スクリプトは次の通りです:

```
%% solution for exponential decay
clc
syms vt0 vt1 vt2 vinf v0 x
eq1 = vt0 == vinf+v0;
eq2 = vt1 == vinf+v0*x;
eq3 = vt2 == vinf+v0*x*x;
eq4 = vt0 ~= vt1;
eqns = [eq1, eq2, eq3, eq4];
[vinf, v0, x, para, conditions] = solve(eqns,[vinf, v0, x],ReturnConditions=true)
```

TIDA-010985 のデフォルトコードでは、3 つのサンプル間の時間間隔は 330ms です。これにより、固定小数演算を簡略化しつつ、IMD の全測定サイクル時間が 2 秒未満であることが検証されます。デフォルトのサイクル時間は、次のいずれかの操作で変更できます:

- IMD.c における E1 の #define を変更します。例えば、E1 の #define を 990 から 600(ms) に変更すると、IMD のサイクル時間が約 2 秒から約 1.2 秒に短縮されます。正確な時間は、データ アクイジション期間後の数ミリ秒 (ms) の計算 (約 2ms) によって異なります。ユーザーが何らかの理由でサイクル時間を増やしたい場合、E1 の #define に加えて、データ バッファ「SamplesSize」もそれに応じて変更する必要があります。デフォルトの ADC サンプルング周期を変更せずにデータ バッファを増やす場合、利用可能な SRAM (合計 32kB) によって増加を制限される可能性があります。

```
#define SamplesSize 2000 // ADC buffer size
#define E1 990 // total time for Riso measurement is 2xE1 in ms
```

- syscfg の TIMER\_0 周期を変更して (例えば 1ms から 0.5ms へ)、ADC サンプルング間隔を変更します。このコードは、デフォルトの 1ms の ADC サンプルング周期を想定しているため、残りのコードも多少変更する必要があります。

時定数は、次の式で計算されます:

$$\tau = \frac{-V_0}{V'(t_0)} \quad (17)$$

絶縁抵抗を求めるには、 $V_{inf}$  だけが必要です。システム全体の Y キャパシタ (CisoP + CisoN) については、 $t_0$  における  $V'(t)$  の近似値を隣接する 2 つの ADC 測定値を使用して求めます。すると、Ciso は次のようになります:

$$Ciso = \frac{\tau}{RisoP || RisoN || RsP + R1 || RsN} \quad (18)$$

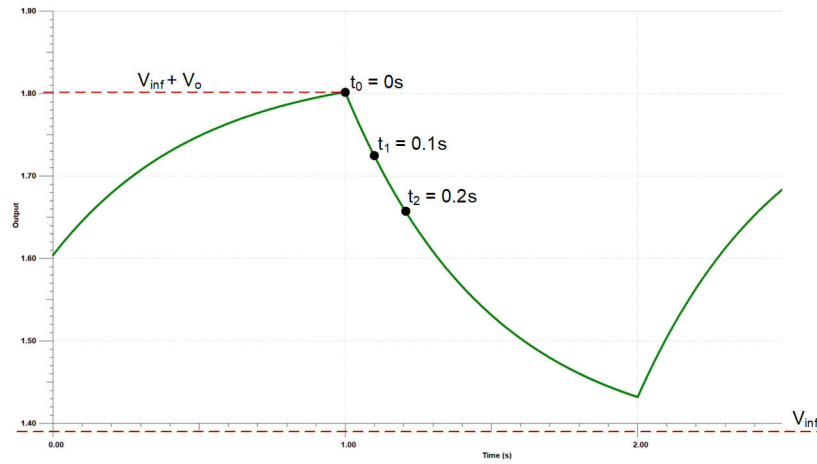


図 2-9. 予測アルゴリズムに使用される ADC サンプルを含んだ電圧減衰曲線の例

充電曲線についても同様の分析ができます。ADC が 3 つのサンプル電圧をそれぞれ異なる時刻で測定すると、充電曲線に対して次のような 3 つの連立方程式が作成されます：

$$V(t_0) = V_i \quad (19)$$

$$V(t_1) = V_i + V_o \left( 1 - e^{-\frac{t_1}{\tau}} \right) \quad (20)$$

$$V(t_2) = V_i + V_o \left( 1 - e^{-\frac{t_2}{\tau}} \right) \quad (21)$$

以下のことに注意してください： $V_i$ は、 $t_0$ 時間における初期電圧です。 $t_2 = 2 \cdot t_1$ を使用すると、式は次のようになります。

$$V(t_0) = V_i \quad (22)$$

$$V(t_1) = V_i + V_o \left( 1 - e^{-\frac{t_1}{\tau}} \right) \quad (23)$$

$$V(t_2) = V_i + V_o \left( 1 - e^{-\frac{2t_1}{\tau}} \right) \quad (24)$$

ここで、 $x = e^{-\frac{t_1}{\tau}}$ とすると、式は次のようになります。

$$V(t_0) = V_i \quad (25)$$

$$V(t_1) = V_i + V_o(1 - x) \quad (26)$$

$$V(t_2) = V_i + V_o(1 - x^2) \quad (27)$$

なお、定常状態電圧  $V_{inf}$  は次のようになります。

$$V(t = \infty) = V_{inf} = V_i + V_o \quad (28)$$

連立方程式の計算は大幅に簡略化されており ( $t_2 = 2 \cdot t_1$  と仮定)、 $V_{inf}$  は次のようになります。

$$V_{inf} = V(t_0) + \frac{V(t_0)^2 - 2 \cdot V(t_0) \cdot V(t_1) + V(t_1)^2}{-V(t_0) + 2 \cdot V(t_1) - V(t_2)} \quad (29)$$

この連立方程式を解くために使用される MATLAB スクリプトは次の通りです:

```
%% charging solution
clc
syms vt0 vt1 vt2 vi v0 x
eq1 = vt0 == vi;
eq2 = vt1 == vi+ v0*(1-x);
eq3 = vt2 == vi+ v0*(1-x*x);
eq4 = vt0 ~= vt1;
eqns = [eq1, eq2, eq3, eq4];
%
[svi, sv0, sx, para, conditions] = solve(eqns,[vi, v0, x],ReturnConditions=true)
```

重要な問題の 1 つは、予測アルゴリズムをいつ適用するかを把握することです。電圧のセトリング タイムが短い場合は、予測アルゴリズムは必要ありません。Riso または Ciso を求める前に、もう少し時間を待つ方が実用的です。現状、この SW では、電圧の時間微分 (Vbus 電圧で正規化) に基づいていくつかの基本的なチェックを行い、予測モードのスレッシュホールドを設定しています。この方法では、信頼性の高い動作を確認するために、既知の負荷でいくつかのチューニングが必要です。コード内で使用可能な動作モードは次の通りです:

```
#define SETTLED_MODE
#define DECAY_MODE
#define CHARGE_MODE
#define OUT_OF_RANGE_MODE
```

## 2.4 エラー ソースの理解

MSPM0G3507 は固定小数点演算のみをサポートしているため、誤差や精度の低下を最小限に抑えるには、数値のオーバーフローに対する多少の配慮が必要です。現在のコードは、最も重要な箇所である、故障および警告のスレッシュホールド付近の精度と正確性を維持するよう最適化されています。浮動小数点演算に対応したマイコンに切り替えることで、この課題を回避できます。

部品の許容差は、特に設計目標の精度を満たすように選定されます。RES60A 抵抗など一部の受動部品の最大絶対許容差は 15% で、Riso が MΩ レンジの場合、測定精度に影響を及ぼします。ただし、これは重要ではありません。最高の精度が求められるのは、100Ω/V の故障トリップ ポイント付近であるためです。1kV バスの場合、100kΩ に相当します。このレベルでは、5% 精度目標に対して RES60A の許容差は重要ではありません。ただし、RES60A と他の抵抗を並列接続する場合は、等価抵抗の読み取り値を補正する必要があります。

これまでのところ、IMD はノイズのない例外的な条件下で動作すると仮定されており、基本的な概念を理解するための良い出発点となります。実際には、TIDA-010985 の性能は、いかにうまくノイズを制御するかに大きく依存します。この設計でノイズを軽減するための手順を以下に示します:

- 入力ノイズを抑えるための HW フィルタリング
- PCB レイアウトのガイドラインに従い、信号対雑音比を最適化
- ADC HW 平均化 (デフォルトは 128 に設定)
- 複数の ADC 読み取り値や予測値を SW で平均化し、定常状態電圧を推定します。予測に基づかない IMD 計算の場合、SW は隣接する 50 個の ADC サンプルを平均化し、安定した電圧を推定します。
- 予測に基づく IMD 計算の場合、SW は 330 個の予測値を平均化し、安定した電圧 (すなわち Vp1、Vn1、Vp2、Vn2) を推定します。時定数が長いと、電圧セトリング曲線が平坦になり、ノイズの多い状況では予測精度が低下します。前述したように、3 つのサンプル間の時間間隔を長くすることで、予測性能を向上させることができます。

## 2.5 テスト結果

図 2-10 および 図 2-11 に、TIDA-010985 の主なテスト結果を示します。各試験条件には、統計分析 (平均および標準偏差) のために、10 回の IMD 測定が含まれています。固定小数点演算の誤差は、場合によって顕著に出ます。全体として、測定誤差と応答時間は、UL 2231-2 の要件 ( $\pm 15\%$ 、10 秒) を十分に下回っていました。以下の 図 2-10 では、非対称型フォルトの場合、表示される誤差はフォルト状態の Riso となります。「 $1M\Omega - 1M\Omega$ 」の場合、時定数が非常に大きいので、解決に 3 秒のサイクル時間が必要です。

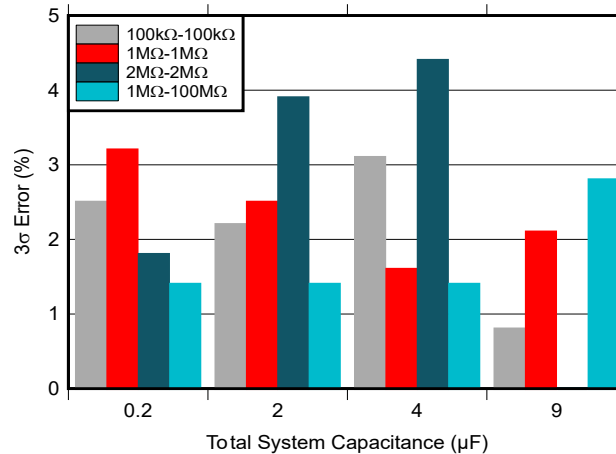


図 2-10. IMD Riso 測定誤差、1000VDC、2 秒サイクル

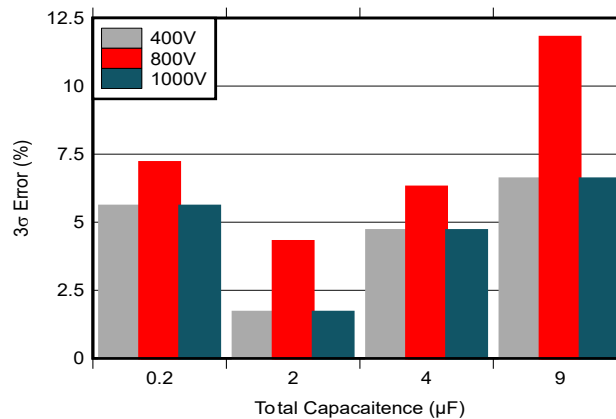


図 2-11. IMD Ciso 誤差、 $1M\Omega \sim 100k\Omega$ 、2 秒サイクル

### 3 まとめ

このアプリケーション ノートでは、TIDA-010985 をベースとする抵抗性ブリッジ絶縁モニタの設計上の主検討な事項について説明しています。ここで説明している設計上の重要な課題は、トレードオフを考慮しながら、大容量 Y キャパシタのアプリケーションに対処する方法です。現在の設計は、新しい予測アルゴリズム ソフトウェアを使用して、9 $\mu$ F までをサポートすることが可能です。TIDA-010985 IMD のリファレンス デザインと設計リソースの詳細については、[ti.com](http://ti.com) をご覧ください。

### 4 参考資料

1. テキサス インスツルメンツ、『[大容量 Y キャパシタを用いたリファレンス デザインを備える、800V DC システム向け抵抗ブリッジ方式の絶縁監視デバイス](#)』、設計ガイド。
2. テキサス インスツルメンツ、『[高電圧 EV 充電および太陽光エネルギー分野での絶縁監視用 AFE リファレンス デザイン](#)』、設計ガイド。

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月