

Application Brief

DDR5、LPDDR5、LPDDR5X メモリへの電力供給用として推奨される DC/DC コンバータと PMIC



Richard Nowakowski

はじめに

DDR (Double Data Rate) メモリは長年にわたって使用されており、前世代に比べて動作速度、電力効率、容量が大きく、幅広い用途の増加に対応できます。この記事では、DDR5 のさまざまなバリエーションを簡単に紹介し、シンプルなパワー管理設計を実現するためにパワー管理 IC と DC/DC コンバータを推奨します。

DDR5

DDR5 は、ダブル データレート同期ダイナミック ランダム アクセス メモリ (DDR SDRAM) の第 5 世代です。DDR5 には、デュアル インライン メモリ モジュール (DIMM) とディスクリット・メモリ IC の複数のバリエーションがあります。最も一般的なオプションは DIMM バリエーションであり、専用のパワー マネージメント IC (PMIC) をモジュール上で直接使用してオンボードのディスクリット メモリ IC に必要な電圧すべてを供給します。PMIC には、構成、故障状態、電圧 / 電流 / 電力 / 温度の遠隔測定のために、I2C と I3C のバス インターフェイスが必要です。DIMM への入力電圧は、DIMM バリエーションに応じて 5V または 12V になります。DDR5 は、エンタープライズ サーバーなど、高帯域幅を必要とする高性能用途に使用されます。JESD79-5B 規格は、DDR5 への電力供給に関する JEDEC 準拠資料です。表 1 に、PMIC によって on-DIMM 電力が DDR5 レールに供給される方法を示します。

表 1. DDR5 の on DIMM 電力

DDR5 レール	説明	電圧	電流能力	PMIC
VDD	電源電圧	1.1V	最大 12A	TPS53830A
VDD1	電源電圧 (オプション)	1.1V	最大 6A、VDD を 6A に低減	
VDDQ	I/O 電源電圧	1.1V	最大 6A	
VPP	ポンプ電圧	1.8V	最大 5A	
1.8V_LDO	PMIC からハブへ	1.8V	最大 10mA	
1.0V_LDO	PMIC からハブへ	1.0V	最大 60mA	

LPDDR5 と LPDDR5X

LPDDR5 は、低消費電力でダブル データレートのダイナミック ランダム アクセス メモリの第 5 世代です。DDR5 よりも低消費電力でデータレートが低いのですが、それでも広い帯域幅を実現します。LPDDR5 は DDR5 に比べてレイテンシが短く、応答時間が高速であるため、モバイル デバイス、インフォテインメント、ビデオなどの用途に適しています。

LPDDR5 は、電源管理設計がモジュール上に配置されている DDR5 のような従来型の DIMM フォーム ファクタでは提供されていないため、ユーザーが電源管理設計を行う必要があります。LPDDR5 は、反射信号を低減し、速度を向上させるために、オンダイ 終端 (ODT) を使用してメモリ IC 内に内部終端抵抗を内蔵しています。以前のバージョンの DDR メモリでは、終端抵抗を使用したソース電流とシンク電流に対して、外部レギュレータ (VTT) を使用したアクティブバス終端が必要でした。LPDDR5 には VTT レールも外部終端抵抗も不要です。電流要件は、ダイの数と LPDDR5 メモリ IC に内蔵されているチャンネルの数によって異なります。LPDDR5 は、消費電力や性能を最適化するためにダイナミック電圧周波数スケーリング (DVFS) 機能を備えており、バッテリー駆動のモバイル アプリケーションでは特に便利です。システム オンチップ (SoC) ベンダは、DVFS (コア ロジック) と DVFSQ (I/O) 機能をサポートしている場合とサポートしていない場合があります。詳細については、JESD209-5C 規格が、LPDDR5 と LPDDR5X への電力供給に関する JEDEC 準拠資料です。

表 2 に、LPDDR5 と LPDDR5X への電力供給について推奨される DC/DC コンバータ設計のリストを示します。この DC/DC コンバータが選ばれている理由は、広い入力電圧範囲、高い基準電圧精度、小型のパッケージサイズ、スケラブルな出力電流のバージョン、利用可能なパワー グッド ピンとイネーブル ピンです。LPDDR5 と LPDDR5X の必須出力電流は異なる可能性があるため、以下に示す設計は、多くの使用事例に対応した経験則に基づく推定です。

表 2. 5V、12V、最大 24V 入力向けの LPDDR5 と LPDDR5X 電源

LPDDR5 レール	説明	公称電圧	DVFS	Iout (出力電流)	両方の DVFS が無効	DVFS のみ有効	DVFS のみ有効	ディスクリートソリューション
VDD1	コア電源、ポンプ電圧	1.8V	該当なし	最大 1A	TPS51488	TPS51488	TPS51488	TPS62932
VDD2H	コアロジック電源	1.05V	DVFS はディセーブル	最大 8A				TPS51386
VDDQ	I/O 電源	0.5V	DVFSQ はディセーブル	最大 2A	該当なし	該当なし	TPS543320 または TPS62868	TPS543320 または TPS62868
		0.3V	DVFSQ はイネーブル					
VDD2L	コアロジック電源	0.9V	DVFS はイネーブル	最大 1.5A	該当なし	TPS54388	該当なし	TPS54338

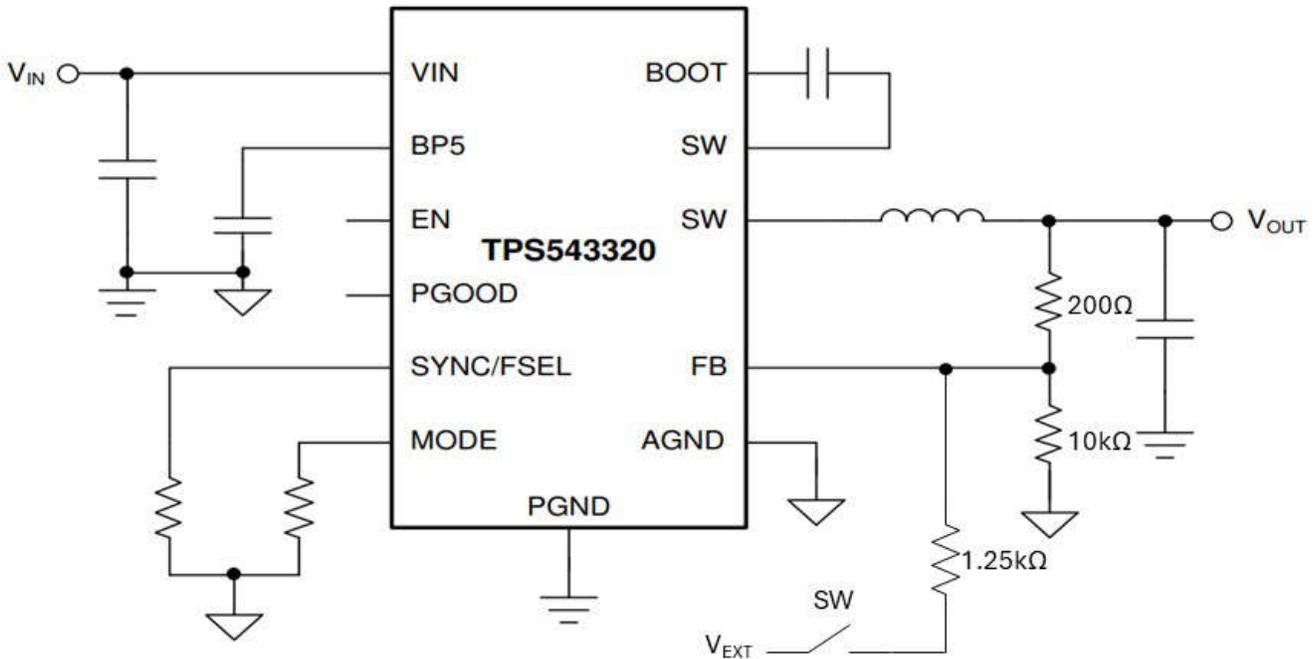
表 3. 推奨される DC/DC コンバータと PMIC

デバイス	説明	注
TPS51488	4.5V ~ 24V 入力、LPDDR5 メモリ パワー PMIC	データシートについては、お近くの営業担当者にお問い合わせいただくか、 テキサス・インスツルメンツ E2E サポート フォーラム にアクセスしてください。
TPS54338	3.8V ~ 28V 入力、3A 降圧コンバータ	4A と 5A バージョンは同じパッケージで利用可能 (TPS54438、TPS54538)
TPS543320	4V ~ 18V 入力、3A 降圧コンバータ	0.3V の能力で、0.5V 出力をサポート。6A と 8A のバージョンは同じパッケージで利用可能 (TPS543620、TPS543820)。
TPS51386	4.5V ~ 24V 入力、8A 降圧コンバータ	12A は 3x4mm パッケージ (TPS51375) で利用可能
TPS62932	3.8V ~ 30V 入力、2A 降圧コンバータ	3A バージョンは同じパッケージで利用可能 (TPS62933)
TPS62868	2.4V ~ 5.5V 入力、4A 降圧コンバータ	I2C インターフェイスにより 0.5V と 0.3V をサポート。6A バージョンは同じパッケージで利用可能 (TPS62869)

のいくつかの一般的な JEDEC 規格では、ディスクリート VDDQ 電圧設計実装のために DVFSQ の 0.3V サポートを除外していますが、TPS543320 は、フィードバック ループ内にある少数の追加部品を使用して DVFSQ 制御をサポートすることができます。式 1 はスイッチが開いているときの出力電圧の計算式で、式 2 はスイッチが閉じているときの電圧の計算式です。MOSFET スイッチと抵抗をさらに追加することで、スイッチが閉じたときにフィードバック ピンに電流を注入して、出力電圧をリファレンス電圧より低くします。配線損失による電圧降下を計算に入れるようご注意ください。

$$V_{OUT} = V_{FB} \times \left(\frac{R_1}{R_2} + 1 \right) \quad (1)$$

$$V_{OUT} = V_{FB} \times \left(\frac{R_1}{R_2} + 1 \right) - \frac{R_1}{R_3} \times (V_{EXT} - V_{FB}) \quad (2)$$



LPDDR5 と LPDDR5X の電圧要件は同じです。LPDDR5X は高度なイコライゼーションと信号伝達技術を使用して、LPDDR5 の 6400Mbps ~ 8500Mbps より高いメモリ帯域幅を実現します。LPDDR5X への電力供給用として LPDDR5 の電力供給用デバイスと同じものも使用できます。

JEDEC 規格に従うために、LPDDR5 レールと LPDDR5X レールにはシーケンシング要件があります。より高い電圧レールは、コンバータのスタートアップシーケンス中に、より低い電圧レールと同時またはその前に所定の電圧レベルに達して、20ms 以内に起動を完了する必要があります。電源レールは、スタートアップと逆の順序でパワーダウンする必要があります。VDD2L を使用する場合、VDD2L は VDD2H をわずかな差 (例えば 0.3V) でも超えなくてはなりません。また VDD2H は内部ダイオードの順方向バイアスを避けるため VDD1 を超えないようにする必要があります。設計を簡素化するため、TPS51488 は電源レールのシーケンシング要件に従っています。この資料で推奨されているディスクリート DC/DC コンバータには、スタートアップとパワーダウンをずらすための電源シーケンスを容易にする目的で、イネーブルピンとパワーグッドピンの両方が搭載されています。

まとめ

LPDDR5 と LPDDR5X への電力供給用として推奨される DC/DC コンバータは多数存在します。DVFSQ をイネーブルにした場合により困難になるレールは 0.3V の VDDQ ですが、ここで説明する回路方法を使用すると低電圧を達成できます。I2C 制御の低入力電圧 DC/DC コンバータも選択できます。本書に掲載されている DC/DC コンバータには以下の特長があります。

- 幅広い入力電圧範囲
- 高精度のリファレンス電圧
- 小型パッケージサイズ
- スケーラブルな出力電流バージョン
- パワーグッドピンとイネーブルピン

商標

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月