

## Application Note

# MCU+ SDK に対する OSPI および QSPI シリアル NOR/NAND フラッシュ動作のスループット特性評価



Aryamaan Chaurasia, Vaibhav Kumar, Soumya Tripathy, Nikhil Jain

## 概要

このアプリケーション ノートは、TI の Sitara™ MPU ファミリー (AM243x、AM62x、AM62Ax、AM64x、AM62Px、AM62Dx、AM275x プロセッサ) のフラッシュ メモリ性能を包括的にプロファイリングするとともに、さまざまな動作モードおよび構成にわたってフラッシュ メモリのスループットを最適化するための重要なニーズに応えるものです。対象とする読者は、産業用アプリケーションや車載対応アプリケーションに取り組む組み込みエンジニアや開発者です。

このドキュメントでは、DMA、PHY、クロック周波数、プロトコルなどのさまざまな設定で、NOR OSPI、NOR QSPI、NAND OSPI フラッシュ パーツをベンチマークします。プロファイリング データを使用することによって、エンジニアは、このドキュメントに記載されている主な調査結果を参考に、読み取り / 書き込みのスループットを最大化する構成を選択できます。

## 目次

1 はじめに.....	2
2 用語.....	3
3 方法論.....	5
4 フラッシュ動作のベンチマーク測定.....	7
4.1 プロセッサ - AM243x/AM64x.....	8
4.1.1 TMDS243EVM / TMDS64EVM.....	8
4.1.2 LP-AM243.....	12
4.2 プロセッサ - AM62Lx.....	15
4.2.1 TMDS62LEVM.....	15
4.3 プロセッサ - AM62Ax.....	18
4.3.1 SK-AM62A-LP.....	18
5 観察と結論.....	23
6 まとめ.....	24
7 参考資料.....	25

## 商標

Sitara™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

## 1 はじめに

組込みアプリケーションでシステムの応答性を達成するには、フラッシュメモリの性能が重要です。Sitara™ Sitara MPU ベースの設計では、複雑さが増した、データ集約型の動作に対処するようになっているので、適切なフラッシュメモリ構成を選択すると、アプリケーション全体の性能に直接的な影響を及ぼします。さまざまなフラッシュインターフェイス (OSPI、QSPI)、プロトコル (8D-8D-8D、4S-4D-4D、1S-8S-8S)、動作モード (DMA/PHY が有効または無効) は、読み取り/書き込みのスループットに大きな影響を及ぼす可能性があります。

このアプリケーションノートでは、AM243x、AM62x、AM62A、AM64x、AM62P、AM62D、AM275x の各デバイスなど、テキサスインスツルメンツの Sitara MPU ファミリの MCU+ SDK を用い、ベアメタル環境において OSPI および QSPI フラッシュインターフェイスでフラッシュ読み取り/書き込み操作を行うための、包括的なプロファイリングデータを提供します。このプロファイリングは、ARM Cortex-A53 および Cortex-R5F の両方のコアを使用してさまざまな評価基板でテストを行ったフラッシュ部品を対象にしています。

複数の構成全般にわたって性能特性を理解すると、最大スループット、電力効率、またはアプリケーション固有の要件に合わせてシステムを最適化できます。データテーブルと性能グラフは、特定のユースケースの設定を識別するための明確な比較を提供します。

## 2 用語

**PHY:** OSPI ドライバおよび QSPI ドライバの PHY モードを指します

**QSPI:** クワッド シリアル ペリフェラル インターフェイス

**OSPI:** オクタル シリアル ペリフェラル インターフェイス

**DDR:** デュアル データレート

**SDR:** シングル データレート

**DAC:** ダイレクト アクセス コントローラ

**INDAC:** 間接アクセス コントローラ

**MiBps:** メビバイト / 秒

**PHY:**

PHY モードでは、メモリ データ転送を管理するために専用のタイミング回路を使用します。このモードでは、各リファレンス クロック サイクルは標準転送用に完全な 1 メモリ クロック サイクル、ダブルスピード転送用に半サイクルを生成します。このシステムは、内部信号またはメモリ チップからの外部フィードバックを使用して、4 種類のタイミング設定を提供します。

PHY が有効化されている場合、入力クロック分周器はバイパスされます。その結果、実効周波数は入力クロック周波数となります。PHY チューニング アルゴリズムは、rxDLL、txDLL、Read Delay を変化させることによってチューニング ポイントを計算します。詳細については、次の [FAQ](#) を参照してください。

**TAP:**

TAP モードでは、内部リファレンス クロックを使用して、メモリ デバイスとのデータ転送の時間を設定します。これにより、このリファレンス クロックは標準転送では 4 分周、ダブル データレート転送では 8 分周されます。このモードは直接 (非ループバック) 構成のみをサポートし、データ キャプチャ タイミングにリファレンス クロックを使用します。

TAP モードが有効な場合、入力クロック分周器はバイパスされません。その結果、実効周波数は入力クロック周波数を入力クロック分周器で分周したものになります。

**QSPI:**

クワッド シリアル ペリフェラル インターフェイス - シリアル データ転送用に 4 つのデータライン (DQ0 ~ DQ3) を使用する拡張 SPI バリエーションです。さまざまな転送フェーズのためにシングル / デュアル / クワッドのモードをサポートしており、標準の SPI に対して最大 4 倍の帯域幅向上を実現すると同時に、下位互換性を維持します。

**OSPI:**

オクタル シリアル ペリフェラル インターフェイス - シリアル データ転送用に 8 つのデータライン (DQ0 ~ DQ7) を使用する高度な SPI バリエーション。すべての QSPI モードとオクタル モードをサポートしており、より広い帯域幅に対応しています。ソース同期データ キャプチャ用の DQS (データ ストローブ) 信号の有無にかかわらず動作可能です。

**SDR:**

SDR モードは、クロック信号のシングル エッジでデータを転送し、データラインごとのクロック サイクルごとに 1 ビットを送信します。これは、中程度の速度で優れた信頼性を実現する、よりシンプルでより実績のあるクロック供給方式です。8 本のデータラインを持つオクタル SDR モードでは、理論上の最大データ レートはクロック サイクルあたり 8 ビットです。

**DDR:**

DDR モードは、クロック信号の立ち上がりエッジと立ち下がりエッジの両方でデータを転送し、SDR モードと比較して、データ スループットが実質的に 2 倍になります。データラインが 8 つのオクタル DDR モードでは、データはクロック サイクルごとに 16 ビット (エッジごとに 8 ビット × 2 つのエッジ) 転送されます。

プロトコル (コマンド - アドレス - データ) :

プロトコル モードのフォーマットは **WR-WR-WR** であり、最初の **WR** はコマンドビットの幅とレートを、2 番目の **WR** はコマンド修飾ビットの幅とレートを、3 番目の **WR** はデータビットの幅とレートを表します。ビット幅 (**W**) は 1 ビットまたは 8 ビットが可能です。レート (**R**) は、**SDR** の場合は **S**、**DDR** の場合は **D** です。**SDR** は立ち上がりクロック エッジと立ち下がりクロック エッジの両方で同じ値を転送しますが、**DDR** は各エッジで異なる値を転送できます。

たとえば、**1S-1S-1S** は、すべての位相が 1 ビット幅 **SDR** を使用することを意味します。**8D-8D-8D** という表記は、すべての位相が 8 ビット幅 **DDR** を使用することを意味します。

#### **DAC:**

ダイレクト アクセスとは、データ インターフェイスへのアクセスによって、フラッシュ メモリの読み取りまたは書き込みが直接トリガされる動作を指します。メモリマップトであり、外部フラッシュ メモリからコードへのアクセスと直接実行の両方に使用できます。

#### **INDAC:**

間接動作モードの目的は、データ インターフェイス アクセスによるフラッシュ メモリのトリガを必要とせずに、フラッシュ メモリから著しく多数のバイトを読み取ることです。その代わりに、間接動作は、特定の制御 / 構成間接読み取り転送レジスタを介して、ソフトウェアによって制御およびトリガされます。読み取りデータは、ローカルの **SRAM** モジュールに格納され、任意の外部コントローラに高速な低レイテンシ配信を行う準備ができます。

### 3 方法論

以下の数値は、MCU+ SDK リリース 11.01/11.02 で検証済みです。

OSPI フラッシュ IO の例を、フラッシュ動作をプロファイリングするためのリファレンスとして使用しました。

このプロファイリングは、約 20MHz ~ 166MHz の周波数範囲にわたって周囲温度と室温で実行しました。

各フラッシュ操作は、次の構成で 100 回プロファイルされました。

DMA、PHY、TAP、DAC、INDAC、使用データサイズ: 1KiB、10KiB、256KiB、512KiB、1MiB、5MiB、10MiB

表 3-1. TI の評価基板上でデフォルトで利用可能なフラッシュ部品

Sitara MPU ボード	TI の評価基板上のフラッシュ部品			
	NOR OSPI (S28HS512T)	NAND OSPI (W35N01JWTBAG)	NOR QSPI (S25HL512T)	NAND QSPI (W25N01JWTBAG)
LP-AM243	なし	なし	あり	なし
TMDS243EVM	あり	なし	なし	なし
AUDIO-AM275-EVM	あり	なし	なし	なし
SK-AM62B-P1	あり	なし	なし	なし
SK-AM62A-LP	なし	あり	なし	なし
AUDIO-AM62D-EVM	あり	なし	なし	なし
TMDS62LEVM	あり	なし	なし	あり (プロセッサ Linux SDK でのみサポート)
SK-AM62P-LP	あり	なし	なし	なし
TMDS64EVM	あり	なし	なし	なし

行われたプロファイリングは、MCU+ SDK のデータシートに記載されている既存の性能値よりもはるかに網羅的です。既存数値は、以下に示されています。

- シリアル NOR OSPI フラッシュ
- シリアル NAND OSPI フラッシュ

利用可能なフラッシュ部品のデータシートは[参考資料](#)に記載されています。

表 3-2. MCU+ SDK 11.01/11.02 でのプロファイリングに使用する構成

SOC	フラッシュ	INDAC <sup>1,2</sup> 書き込み	DAC 書き込み	DAC <sup>3</sup> 読み取り	INDAC 読み取り	使用するプロトコル
AM243x AM275x AM62x AM62Dx AM62Lx AM62Px AM64x	シリアル NOR OSPI	あり	なし <sup>3</sup>	あり	あり <sup>4</sup> (PHY および DMA はサポートされません)	8D-8D-8D
AM243x	シリアル NOR QSPI	あり	なし	あり	あり (PHY および DMA はサポートされません)	4S-4D-4D <sup>5</sup>
AM62Ax	シリアル NAND OSPI	なし	あり	あり	なし	1S-8S-8S8D-8D-8D <sup>6</sup>

MCU+ SDK 11.01/11.02 の制限を以下に示します。

- TAP モードでは、INDAC の書き込みが発生します。TAP モードでは、実効周波数は入力クロック周波数を入力クロック分周器で分周したものになります。PHY モードでは、入力クロック分周器がバイパスされるため、実効周波数は入力クロック周波数となります。
- MCU+ SDK 内のシリアル NOR および NAND フラッシュでは、PHY 有効の書き込みはサポートされていません。これはソフトウェアの制限です。
- 直接書き込みは、シリアル NAND フラッシュではサポートされていますが、シリアル NOR フラッシュではサポートされていません。DTR モードでは、ステータスレジスタ読み取りコマンドに対して 4 バイトのダミー アドレス (すべて 0) が

必要なため、シリアル NOR フラッシュには間接書き込みが必要です。これは、書き込み完了のポーリング時にコントローラがサポートしない機能です。

4. 現在、INDAC の読み取りには、MCU+ SDK での PHY および DMA のサポートはありません。これはソフトウェアの制限です。
5. シリアル NOR QSPI フラッシュ (S25HL512T) は、4D-4D-4D プロトコルをサポートしていません。これはオンボードの QSPI NOR フラッシュに起因する制限ですが、このドライバは 4D-4D-4D をサポートできます。
6. シリアル NAND フラッシュの場合、DDR モードでは PHY チューニングはサポートされていません。これはソフトウェアの制限です。

\* DAC は OTP 検証を使用して読み取ります。PHY 有効の DAC 読み取りを実行すると、チューニングポイントは対角チェックによって検証されます。このチェックに失敗したポイントがある場合、新しいチューニングポイントが自動的に識別され、性能を検証するために実装されます。

---

#### 注

PHY、DAC、INDAC のソフトウェア サポートに関し、サポートされている機能については、最新の MCU+ SDK を参照してください。

---

スループットは次のように計算されます。

スループット (MiBps) = 使用するデータ サイズ (バイト単位) / 取得時間 (マイクロ秒単位)

理論スループットは次のように計算されます。

DDR の場合、

理論スループット (MiBps) = (実効クロック周波数 x 2 x 転送あたりのビット数) / 8

SDR の場合、

理論スループット (MiBps) = (実効クロック周波数 x 1 x 転送あたりのビット数) / 8

実効クロック周波数は次のように計算されます。

実効クロック周波数 = 入力クロック周波数 / 入力クロック分周器

各フラッシュ動作に要する時間は、次のように計算されます。

所要時間 (μs 単位) = 使用するデータ サイズ (バイト単位) / スループット (MiBps 単位)

## 4 フラッシュ動作のベンチマーク測定

次のグラフは、PHY と DMA の両方がイネーブルされている場合のスループット性能を示しています。ただし、シリアル NAND OSPI フラッシュ上の 8D-8D-8D 構成では、DMA のみがイネーブルで PHY がサポートされていない場合のスループットがグラフに示されています (表 3-2 を参照)。グラフのデータ ポイントのラベルは、プロファイルされるデータのサイズと、各操作のプロファイルにかかる時間を表します。

付属の表は、網羅的なプロファイリング作業の結果をまとめたもので、サポートされている構成 (TAP、PHY、DAC、INDAC、DMA など) で可能なすべての順列と組み合わせをカバーしています。

観測された平均スループットは、DMA と PHY が有効の状態、256KiB から 10MiB までのデータ サイズのスループット値の平均を使用して計算されました。観測されたスループットの概要を次の表に示します。

**太字** で強調表示されている値は、さまざまな構成で達成される最高のスループットを表しています。

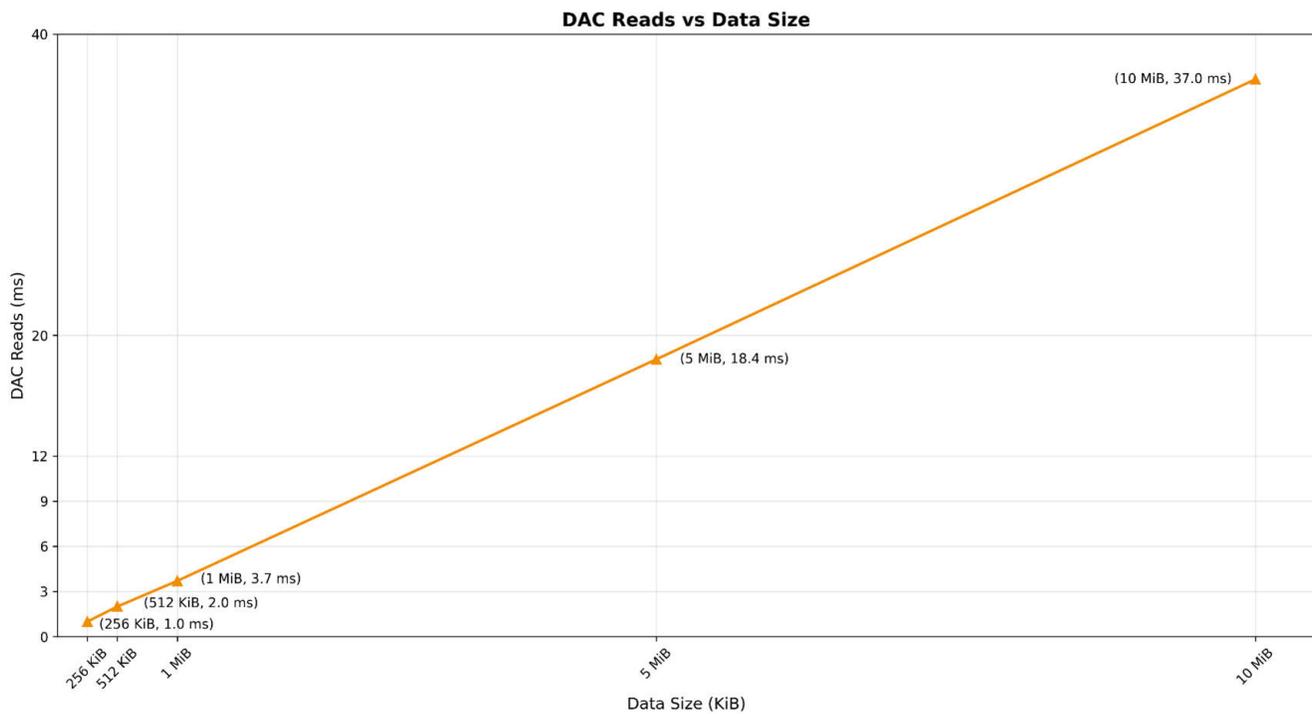
## 4.1 プロセッサ - AM243x/AM64x

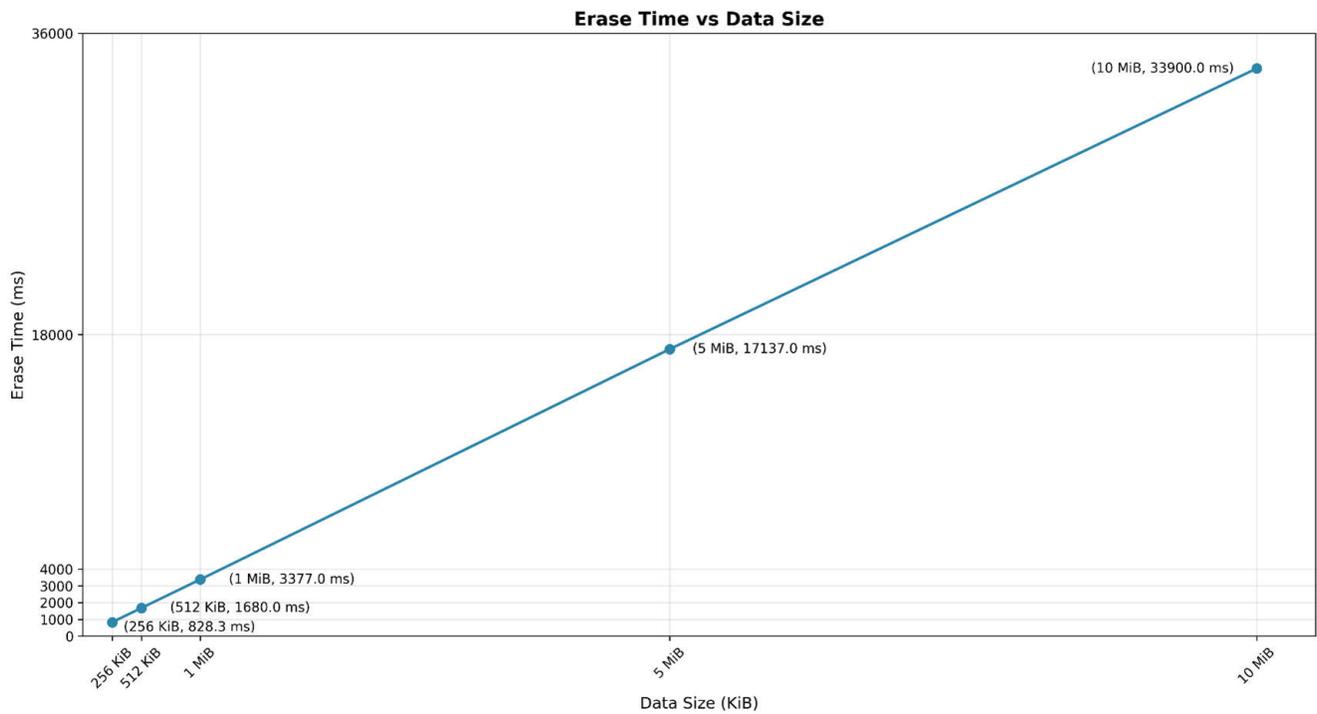
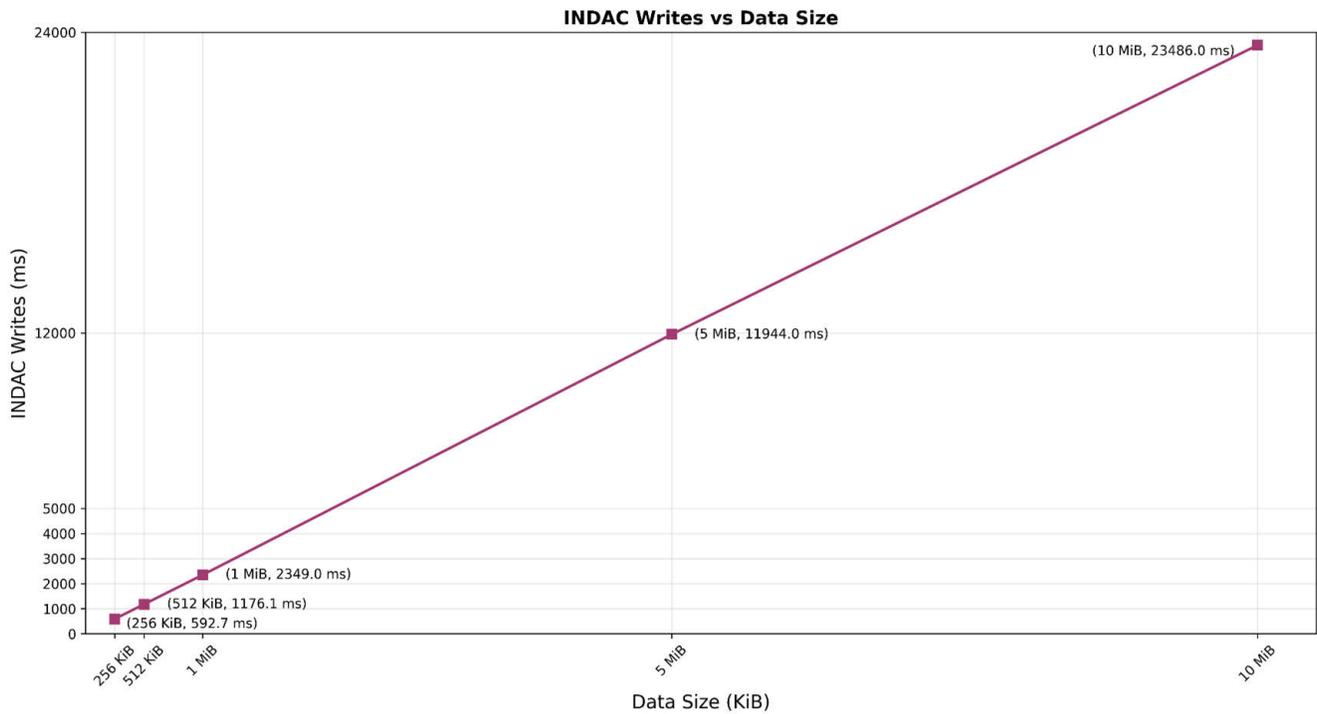
### 4.1.1 TMDS243EVM / TMDS64EVM

コア	R5F
ボード	TMDS243EVM
フラッシュ	NOR OSPI S28HS512T
入力クロック周波数	166MHz
入力クロック分周器	8
プロトコル	8D-8D-8D

DAC 読み取りの理論的スループット:332MiBps

DAC 読み取りの観測された平均スループット:282.86MiBps





**表 4-1. R5F コア上での 8D-8D-8D**

周波数	デバイス	使用するデータサイズ	DMA	PHY	スループット (MiBps)				
					INDAC 書き込み	DAC 読み取り	OTP 検証が失敗した状態での DAC 読み取り	INDAC 読み取り	消去
166MHz	4	1KiB	なし	なし	0.41	1.12	該当なし	23.27	0.001
			なし	あり	0.41	2.35	0.04	該当なし	0.001
			あり	なし	0.41	1.12	該当なし	該当なし	0.001
			あり	あり	0.41	2.35	0.04	該当なし	0.001
		10KiB	なし	なし	0.43	1.12	該当なし	25.75	0.01
			なし	あり	0.43	2.38	0.40	該当なし	0.01
			あり	なし	0.43	26.39	該当なし	該当なし	0.01
			あり	あり	0.43	200	0.40	該当なし	0.01
		256KiB	なし	なし	0.43	1.12	該当なし	22.21	0.32
			なし	あり	0.43	2.36	9.55	該当なし	0.32
			あり	なし	0.43	27.08	該当なし	該当なし	0.32
			あり	あり	0.43	279.41	9.55	該当なし	0.32
		512KiB	なし	なし	0.41	1.12	該当なし	22.22	0.31
			なし	あり	0.41	2.36	18.50	該当なし	0.31
			あり	なし	0.41	27.10	該当なし	該当なし	0.31
			あり	あり	0.41	282.18	18.50	該当なし	0.31
		1MiB	なし	なし	0.41	1.12	該当なし	22.23	0.31
			なし	あり	0.41	2.34	34.72	該当なし	0.31
			あり	なし	0.41	27.10	該当なし	該当なし	0.31
			あり	あり	0.41	283.51	34.72	該当なし	0.31
		5MiB	なし	なし	0.45	1.12	該当なし	22.24	0.31
			なし	あり	0.45	2.34	116.73	該当なし	0.31
			あり	なし	0.45	27.11	該当なし	該当なし	0.31
			あり	あり	0.45	284.74	116.73	該当なし	0.31
		10MiB	なし	なし	0.41	1.12	該当なし	22.24	0.31
			なし	あり	0.41	2.34	165.63	該当なし	0.31
			あり	なし	0.41	27.11	該当なし	該当なし	0.31
			あり	あり	0.41	284.87	165.63	該当なし	0.31

表 4-2. R5F コア上での 8D-8D-8D

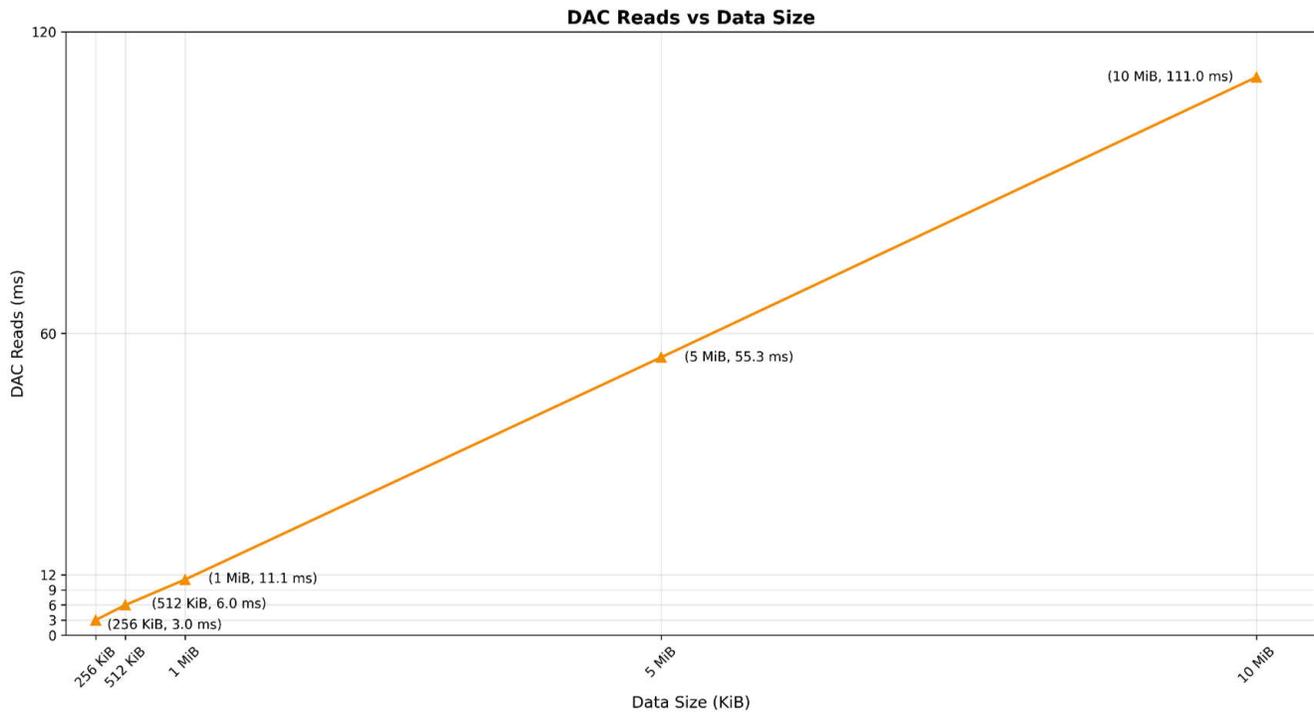
周波数	デバイス	使用するデータサイズ	DMA	PHY	スループット (MiBps)				
					INDAC 書き込み	DAC 読み取り	OTP 検証が失敗した状態での DAC 読み取り	INDAC 読み取り	消去
166MHz	8	1KiB	なし	なし	0.45	0.65	該当なし	22.65	0.001
			なし	あり	0.45	2.35	0.04	該当なし	0.001
			あり	なし	0.45	0.65	該当なし	該当なし	0.001
			あり	あり	0.45	2.34	0.04	該当なし	0.001
		10KiB	なし	なし	0.46	0.65	該当なし	25.69	0.01
			なし	あり	0.46	2.37	0.40	該当なし	0.01
			あり	なし	0.46	37.87	該当なし	該当なし	0.01
			あり	あり	0.46	180.92	0.40	該当なし	0.01
		256KiB	なし	なし	0.44	0.65	該当なし	22.13	0.32
			なし	あり	0.44	2.34	9.57	該当なし	0.32
			あり	なし	0.44	40.68	該当なし	該当なし	0.32
			あり	あり	0.44	279.11	9.57	該当なし	0.32
		512KiB	なし	なし	0.44	0.65	該当なし	22.19	0.31
			なし	あり	0.44	2.37	18.51	該当なし	0.31
			あり	なし	0.44	40.74	該当なし	該当なし	0.31
			あり	あり	0.44	282.09	18.51	該当なし	0.31
		1MiB	なし	なし	0.44	0.65	該当なし	22.23	0.31
			なし	あり	0.44	2.34	34.77	該当なし	0.31
			あり	なし	0.44	40.77	該当なし	該当なし	0.31
			あり	あり	0.44	283.55	34.77	該当なし	0.31
		5MiB	なし	なし	0.44	0.65	該当なし	22.22	0.31
			なし	あり	0.44	2.34	116.83	該当なし	0.31
			あり	なし	0.44	40.80	該当なし	該当なし	0.31
			あり	あり	0.44	284.72	116.83	該当なし	0.31
		10MiB	なし	なし	0.45	0.65	該当なし	22.23	0.31
			なし	あり	0.45	2.34	165.73	該当なし	0.31
			あり	なし	0.45	40.80	該当なし	該当なし	0.31
			あり	あり	0.45	284.87	165.73	該当なし	0.31

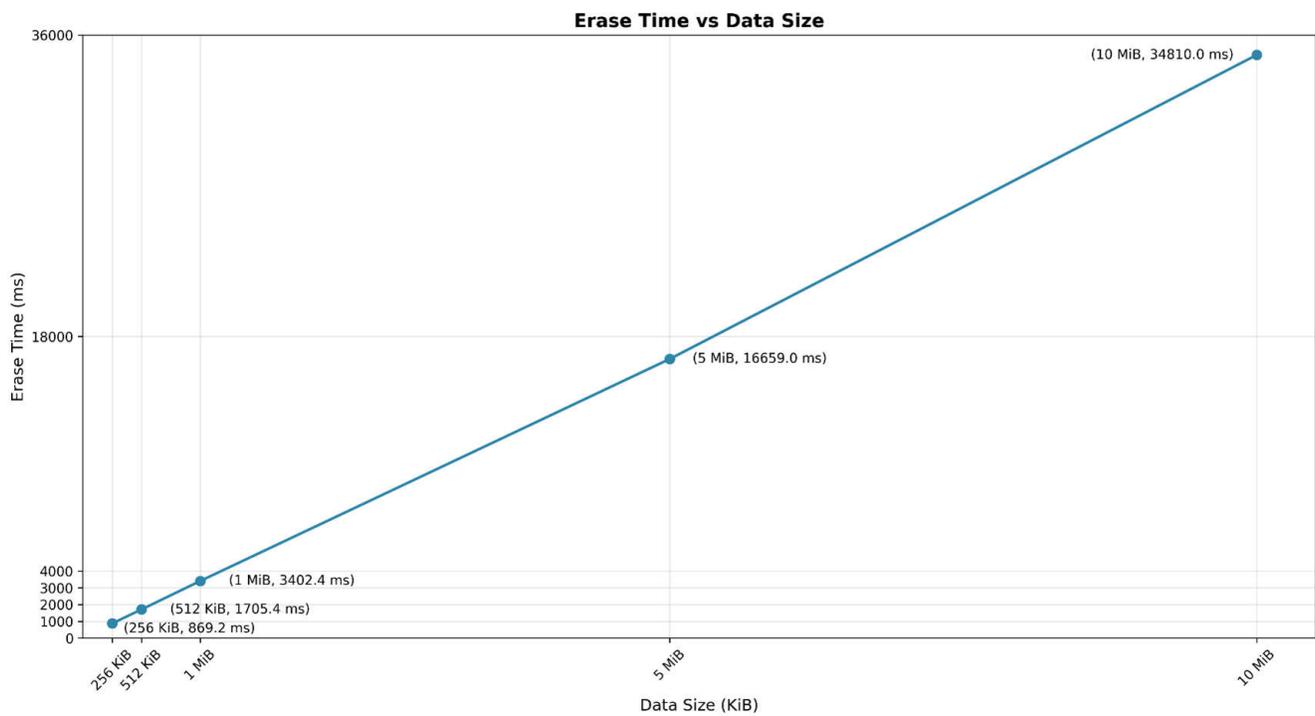
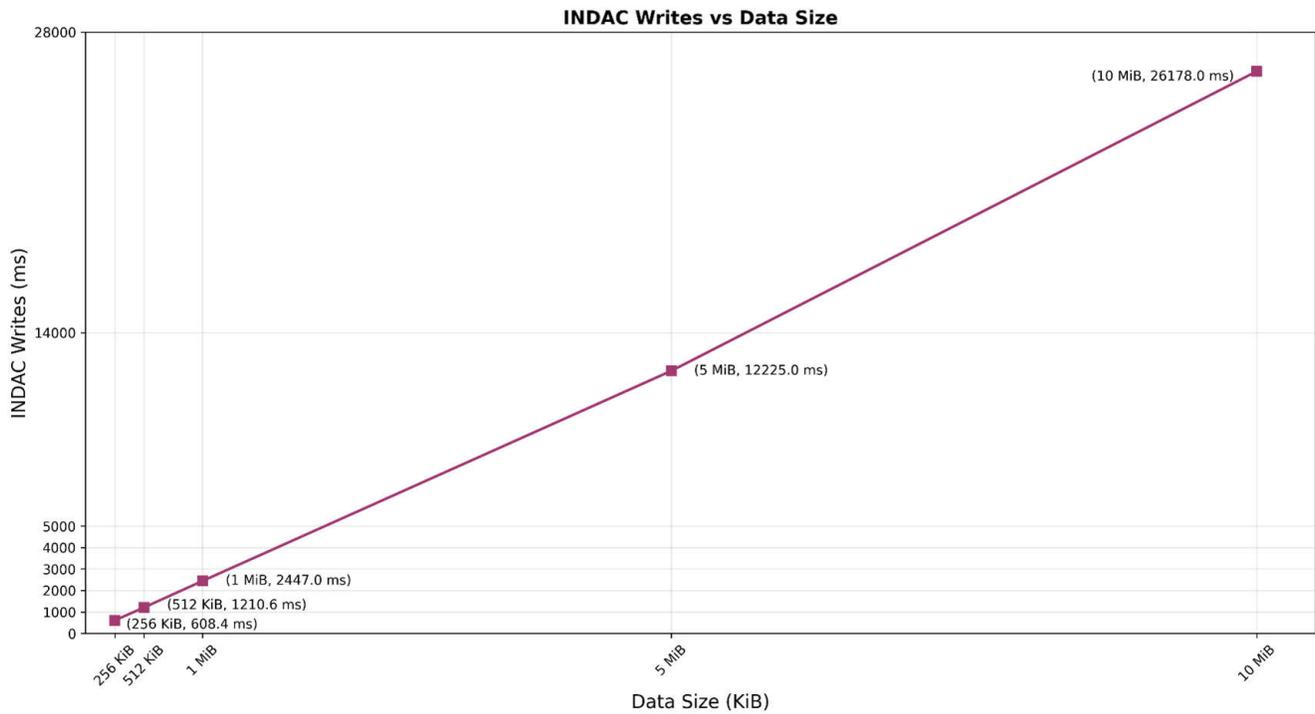
### 4.1.2 LP-AM243

コア	R5F
ボード	LP-AM243
フラッシュ	NOR QSPI S25HL512T
入力クロック周波数	100MHz
入力クロック分周器	4
プロトコル	4S-4D-4D

DAC 読み取りの理論的スループット:100MiBps

DAC 読み取りの観測された平均スループット:94.78MiBps





**表 4-3. R5F コア上での 4S-4D-4D**

周波数	デバイス	使用するデータサイズ	DMA	PHY	スループット (MiBps)				
					INDAC 書き込み	DAC 読み取り	OTP 検証が失敗した状態での DAC 読み取り	INDAC 読み取り	消去
100MHz	4	1KiB	なし	なし	0.40	0.67	該当なし	21.07	0.001
			なし	あり	0.40	1.57	0.002	該当なし	0.001
			あり	なし	0.40	0.67	該当なし	該当なし	0.001
			あり	あり	0.40	1.57	0.002	該当なし	0.001
		10KiB	なし	なし	0.43	0.67	該当なし	24.50	0.01
			なし	あり	0.43	1.58	0.02	該当なし	0.01
			あり	なし	0.43	23.86	該当なし	該当なし	0.01
			あり	あり	0.43	82.85	0.02	該当なし	0.01
		256KiB	なし	なし	0.43	0.67	該当なし	24.66	0.30
			なし	あり	0.43	1.58	0.40	該当なし	0.30
			あり	なし	0.43	24.65	該当なし	該当なし	0.30
			あり	あり	0.43	94.50	0.40	該当なし	0.30
		512KiB	なし	なし	0.43	0.67	該当なし	24.67	0.31
			なし	あり	0.43	1.58	0.78	該当なし	0.31
			あり	なし	0.43	24.67	該当なし	該当なし	0.31
			あり	あり	0.43	94.83	0.78	該当なし	0.31
		1MiB	なし	なし	0.43	0.67	該当なし	24.67	0.31
			なし	あり	0.43	1.58	1.56	該当なし	0.31
			あり	なし	0.43	24.67	該当なし	該当なし	0.31
			あり	あり	0.43	94.86	1.56	該当なし	0.31
		5MiB	なし	なし	0.43	0.67	該当なし	24.67	0.31
			なし	あり	0.43	1.58	7.30	該当なし	0.31
			あり	なし	0.43	24.67	該当なし	該当なし	0.31
			あり	あり	0.43	94.86	7.30	該当なし	0.31
		10MiB	なし	なし	0.40	0.67	該当なし	24.67	0.31
			なし	あり	0.40	1.58	13.56	該当なし	0.31
			あり	なし	0.40	24.67	該当なし	該当なし	0.31
			あり	あり	0.40	94.87	13.56	該当なし	0.31

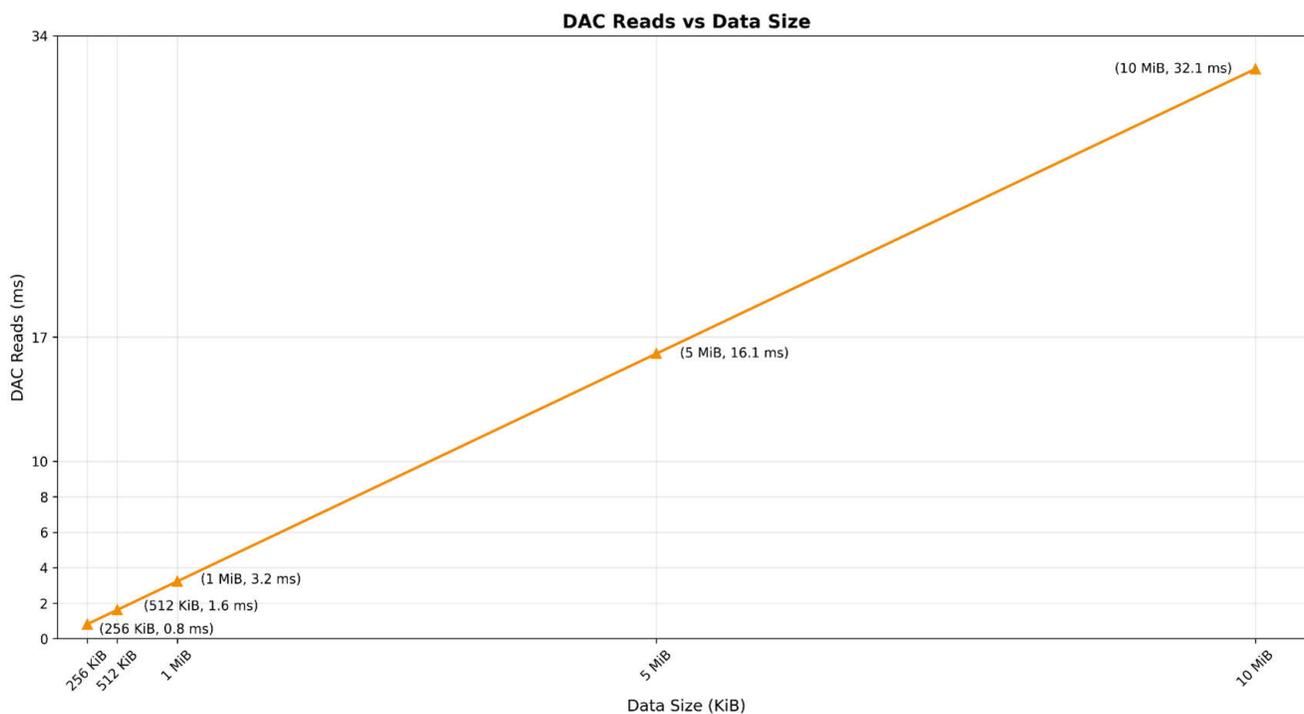
## 4.2 プロセッサ - AM62Lx

### 4.2.1 TMDS62LEVM

コア	A53
ボード	TMDS62LEVM
フラッシュ	NOR OSPI S28HS512T
入力クロック周波数	166MHz
入力クロック分周器	8
プロトコル	8D-8D-8D

DAC 読み取りの理論的スループット: 332MiBps

DAC 読み取りの観測された平均スループット: 323.86MiBps



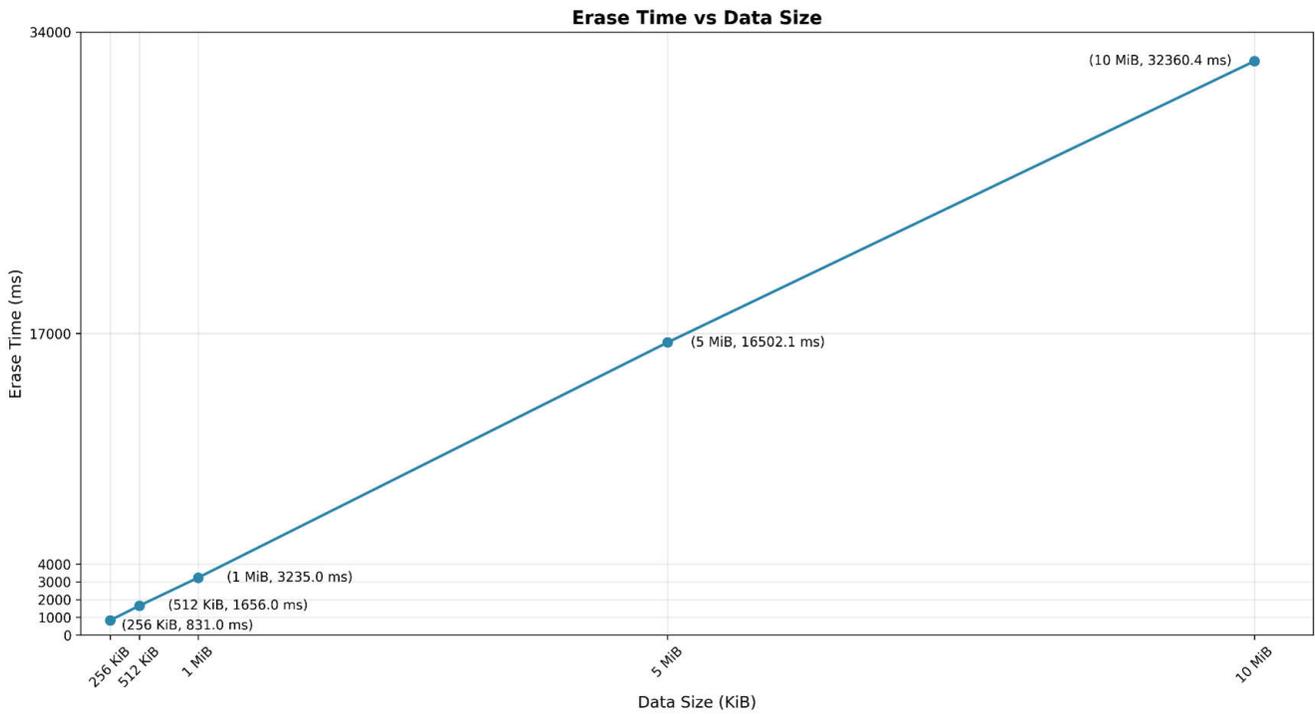
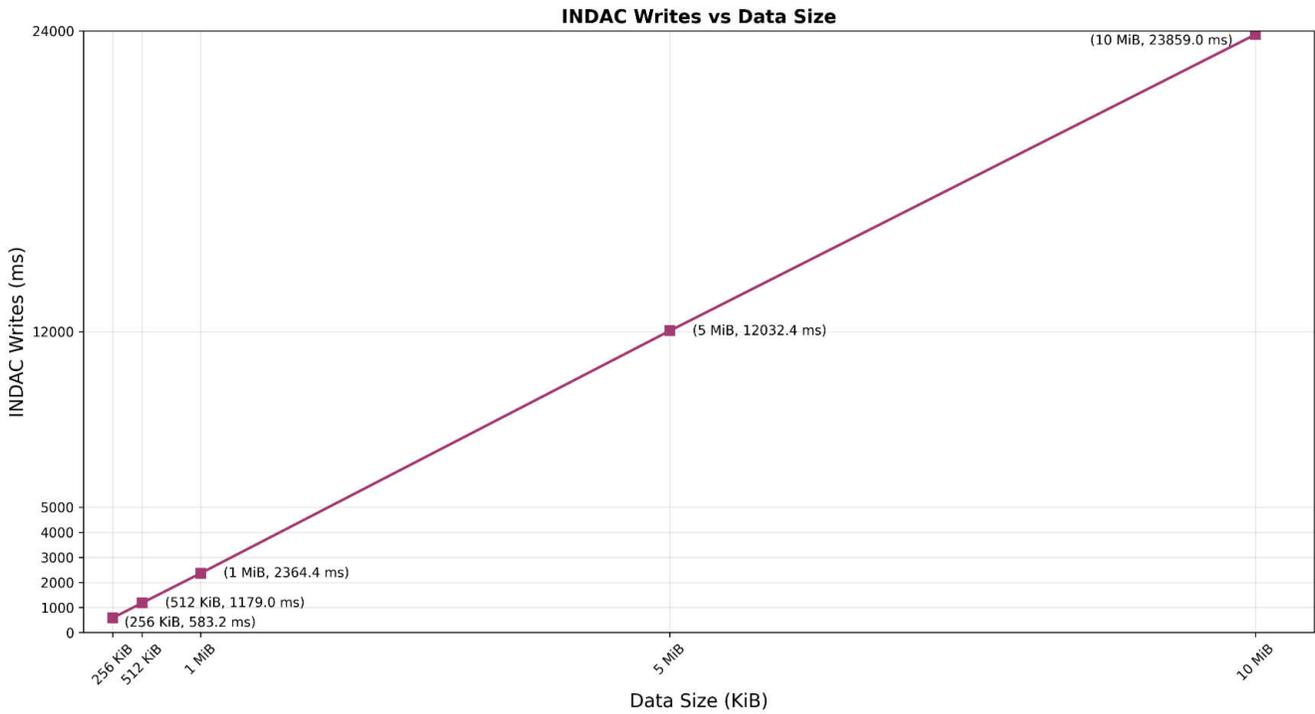


表 4-4. A53 コア上での 8D-8D-8D

周波数	デバイダ	使用するデータサイズ	DMA	PHY	スループット (MiBps)			
					INDAC 書き込み	DAC 読み取り	INDAC 読み取り	消去
166MHz	8	1KiB	なし	なし	<b>0.43</b>	0.65	<b>27.83</b>	0.001
			なし	あり	0.43	2.48	該当なし	0.001
			あり	なし	0.43	0.65	該当なし	0.001
			あり	あり	0.43	<b>2.48</b>	該当なし	0.001
		10KiB	なし	なし	<b>0.45</b>	0.65	<b>30.70</b>	0.01
			なし	あり	0.45	2.52	該当なし	0.01
			あり	なし	0.45	39.38	該当なし	0.01
			あり	あり	0.45	<b>231.67</b>	該当なし	0.01
		256KiB	なし	なし	<b>0.45</b>	0.65	<b>31.29</b>	0.31
			なし	あり	0.45	2.50	該当なし	0.31
			あり	なし	0.45	41.44	該当なし	0.31
			あり	あり	0.45	<b>319.14</b>	該当なし	0.31
		512KiB	なし	なし	<b>0.44</b>	0.65	<b>31.29</b>	0.32
			なし	あり	0.44	2.52	該当なし	0.32
			あり	なし	0.44	41.50	該当なし	0.32
			あり	あり	0.44	<b>322.96</b>	該当なし	0.32
		1MiB	なし	なし	<b>0.44</b>	0.65	<b>31.29</b>	0.32
			なし	あり	0.44	2.52	該当なし	0.32
			あり	なし	0.44	41.53	該当なし	0.32
			あり	あり	0.44	<b>324.74</b>	該当なし	0.32
		5MiB	なし	なし	<b>0.43</b>	0.65	<b>31.11</b>	0.32
			なし	あり	0.43	2.50	該当なし	0.32
			あり	なし	0.43	41.56	該当なし	0.32
			あり	あり	0.43	<b>326.15</b>	該当なし	0.32
		10MiB	なし	なし	<b>0.44</b>	0.65	<b>31.30</b>	0.32
			なし	あり	0.44	2.50	該当なし	0.32
			あり	なし	0.44	41.56	該当なし	0.32
			あり	あり	0.44	<b>326.34</b>	該当なし	0.32

## 4.3 プロセッサ - AM62Ax

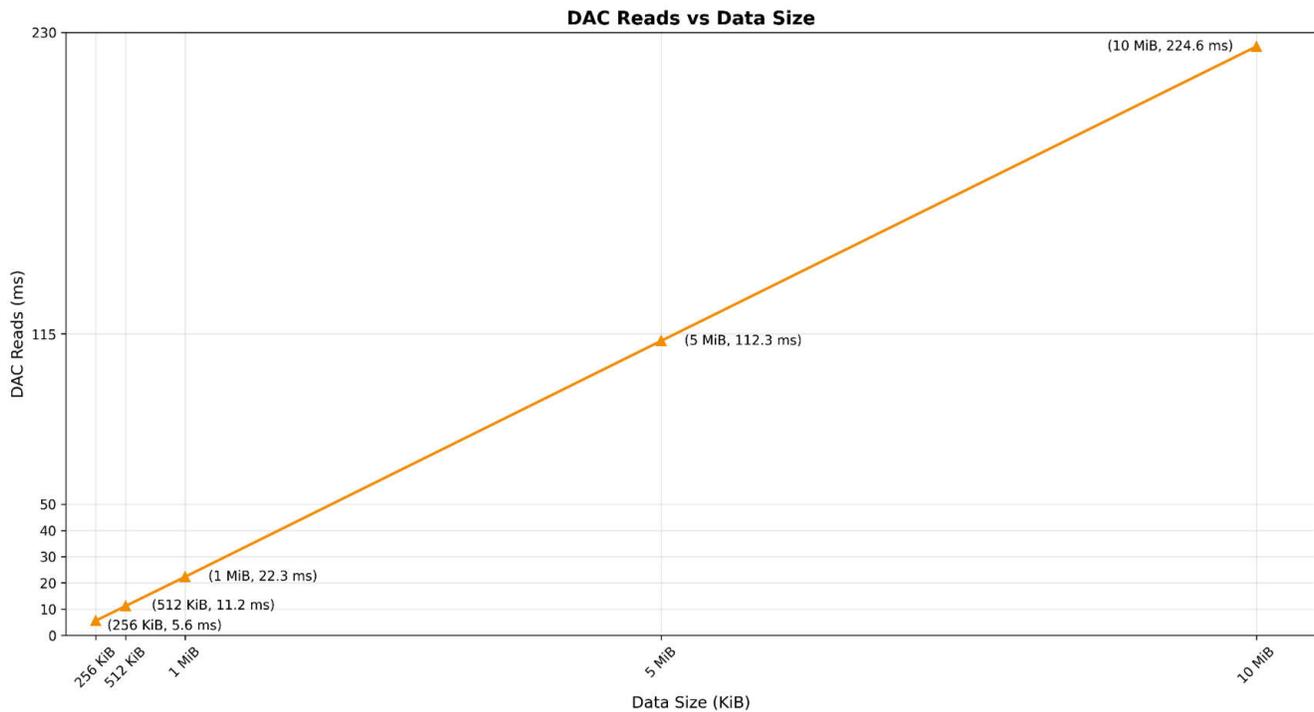
### 4.3.1 SK-AM62A-LP

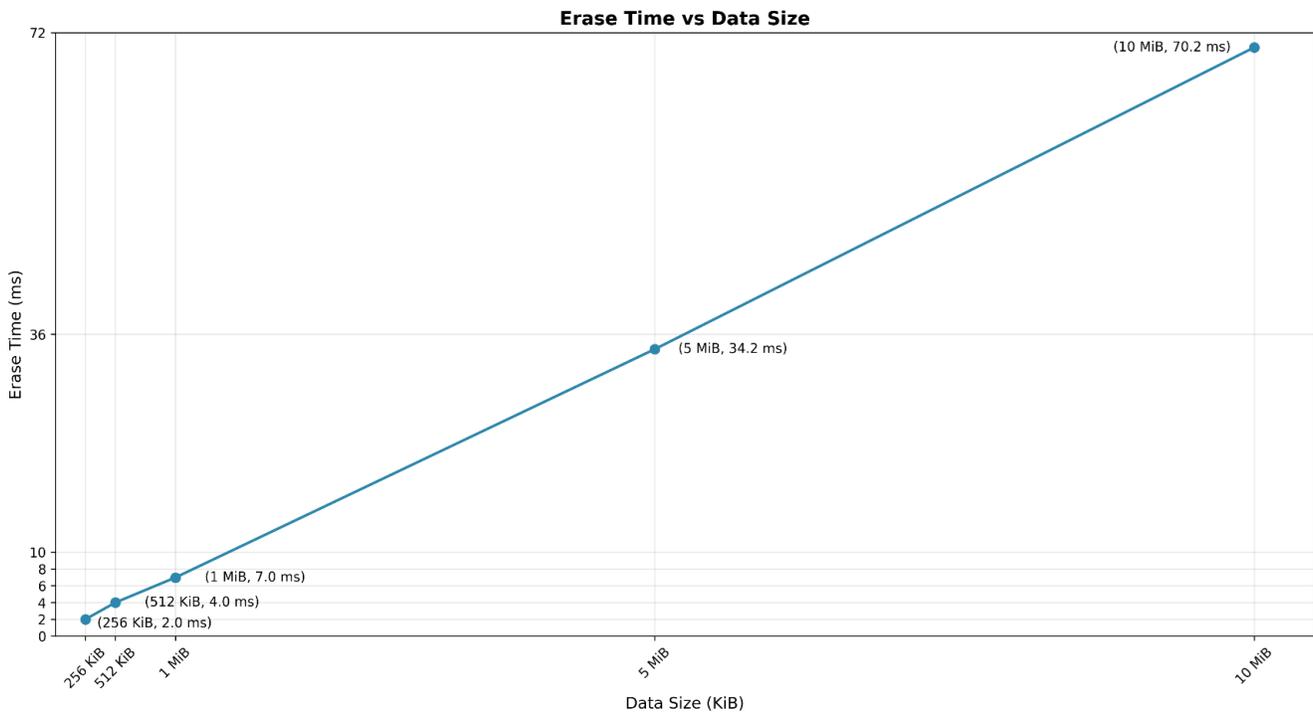
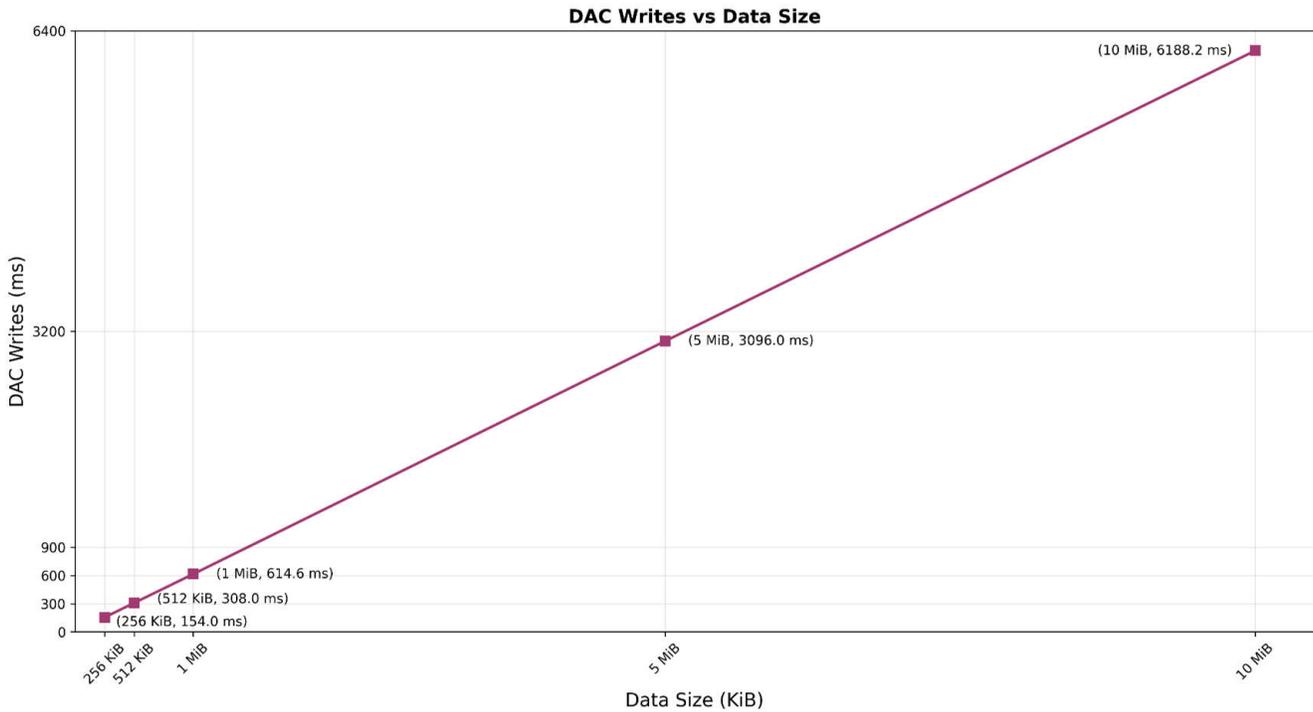
コア	R5F
ボード	SK-AM62A-LP
フラッシュ	NAND OSPI W35N01JWTBAG
入力クロック周波数	166MHz
入力クロック分周器	8
プロトコル	1S-8S-8S

DAC 読み取りの理論的スループット:240MiBps

(シリアル NAND OSPI フラッシュ W35N01JWTBAG は、166MHz (166MiBps) および 120MHz DDR (240MiBps) の最大クロック周波数をサポートしています。[データシート](#)を参照してください)

DAC 読み取りの観測された平均スループット:46.86MiBps



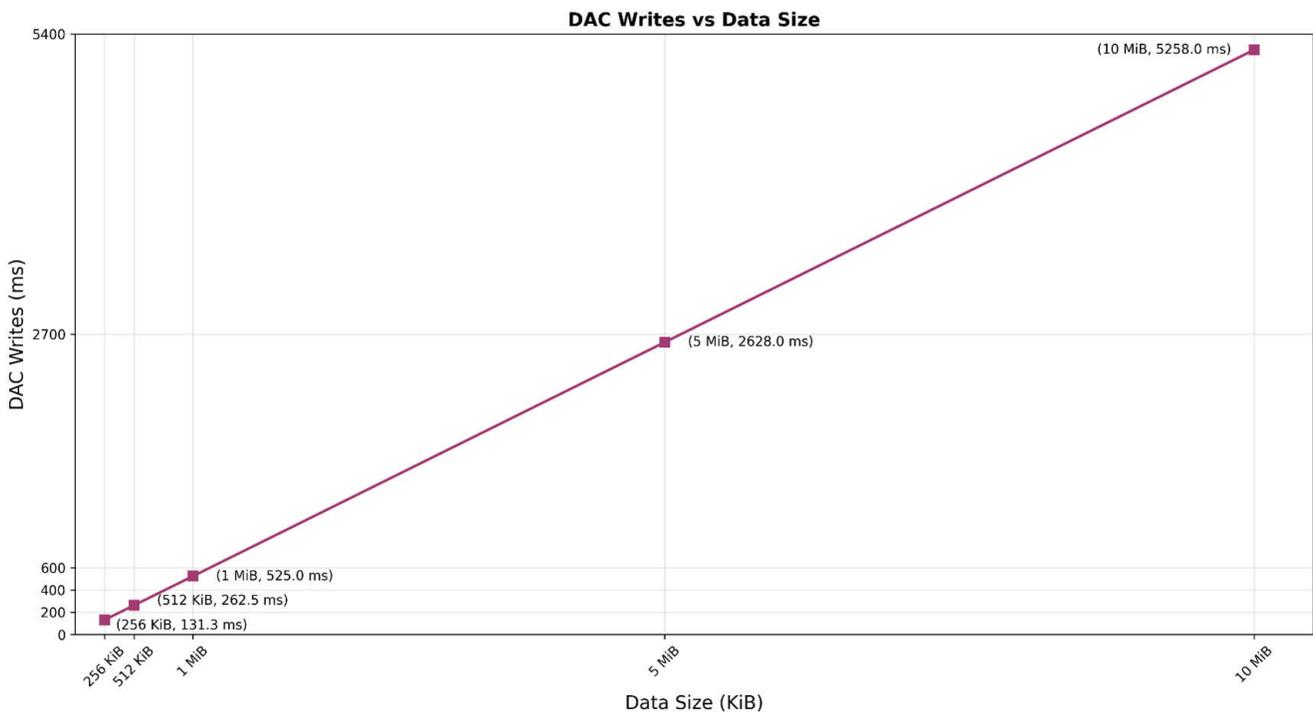
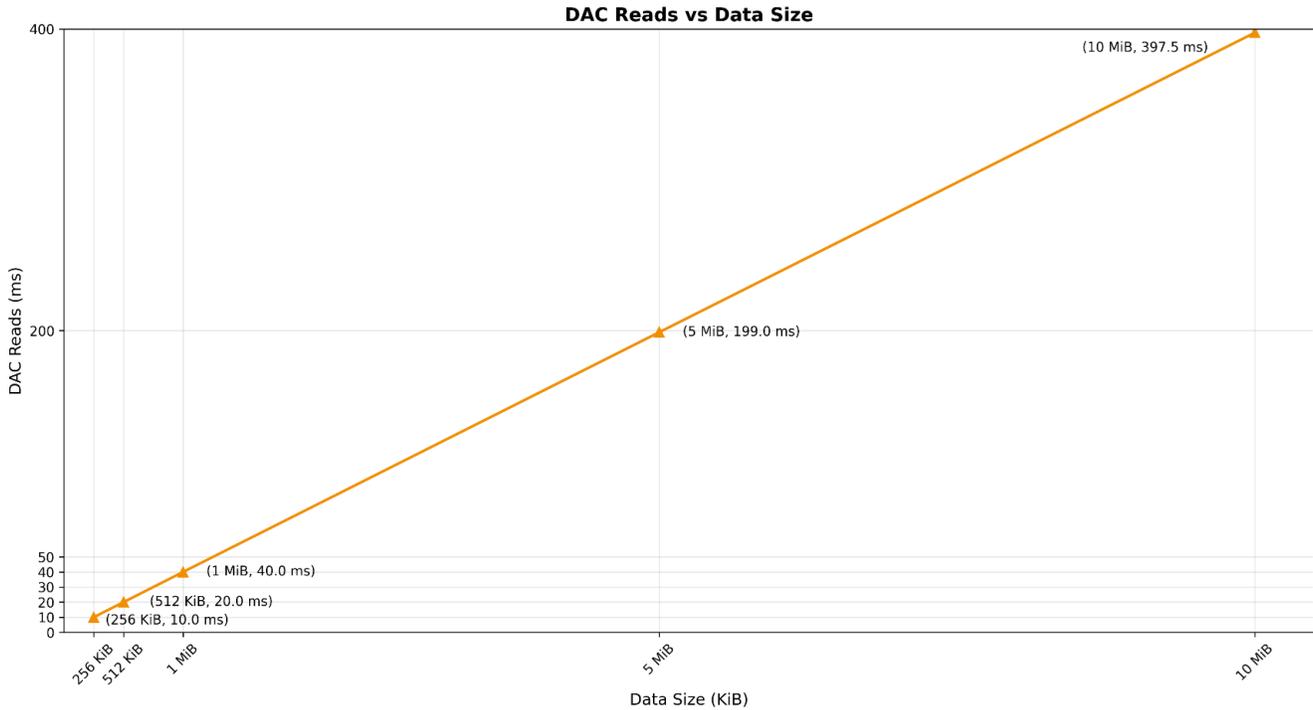


コア	R5F
ボード	SK-AM62A-LP
フラッシュ	NAND OSPI W35N01JWTBAG
入力クロック周波数	166MHz
入力クロック分周器	8
プロトコル	8D-8D-8D

DAC 読み取りの理論的スループット: 41.5MiBps

(シリアル NAND OSPI フラッシュ W35N01JWTBAG は、166MHz (166MiBps) および 120MHz DDR (240MiBps) の最大クロック周波数をサポートしています。[データシート](#)を参照してください)

DAC 読み取りの観測された平均スループット: 26.37MiBps



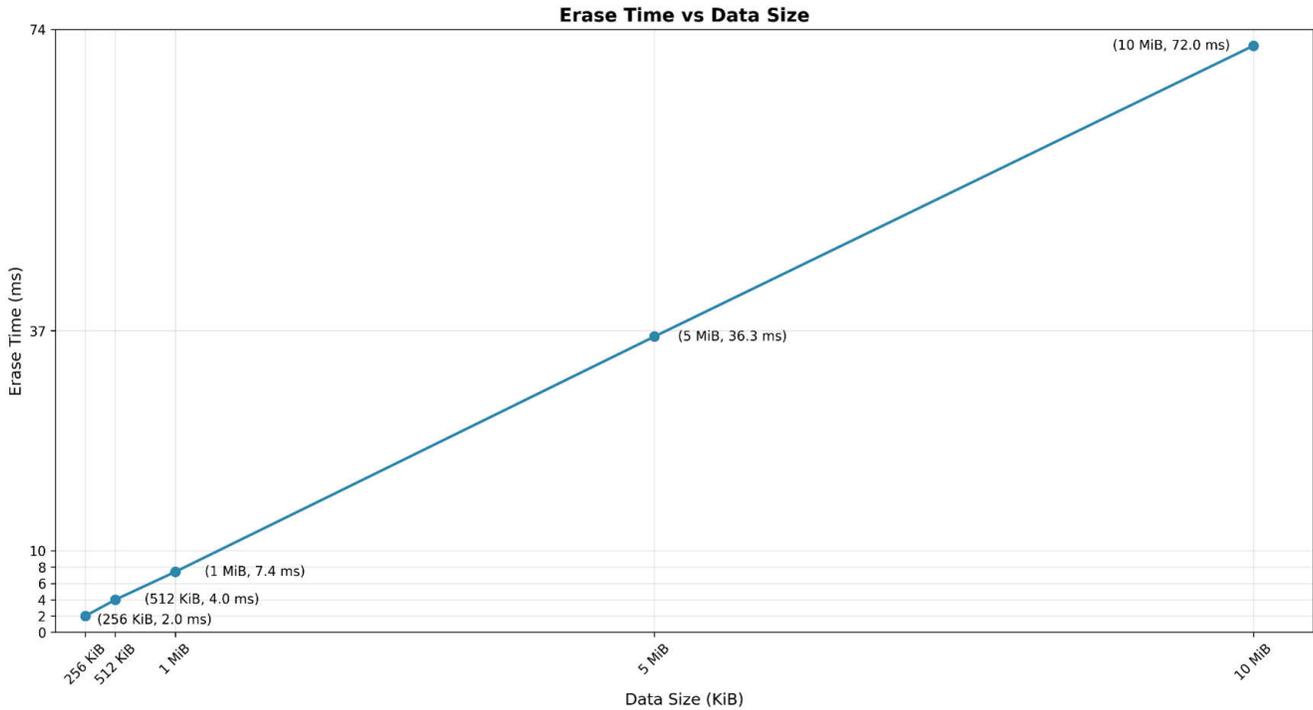


表 4-5. R5F コア上での 1S-8S-8S

周波数	デバイダ	使用するデータサイズ	DMA	PHY	スループット (MiBps)		
					INDAC 書き込み	DAC 読み取り	消去
166MHz	8	1KiB	なし	なし	1.13	1.76	0.88
			なし	あり	1.13	4.58	1.03
			あり	なし	1.13	9.21	0.88
			あり	あり	1.13	14.55	0.95
		10KiB	なし	なし	1.67	1.87	7.61
			なし	あり	1.67	5.44	7.13
			あり	なし	1.67	15.01	7.13
			あり	あり	1.67	39.69	7.13
		256KiB	なし	なし	1.70	1.85	140.56
			なし	あり	1.70	5.36	140.71
			あり	なし	1.70	15.94	140.47
			あり	あり	1.70	46.97	140.66
		512KiB	なし	なし	1.70	1.85	159.76
			なし	あり	1.70	5.37	160.05
			あり	なし	1.70	15.94	148.20
			あり	あり	1.70	46.98	141.17
		1MiB	なし	なし	1.70	1.85	159.95
			なし	あり	1.70	5.37	150.30
			あり	なし	1.70	15.94	150.23
			あり	あり	1.70	47.01	150.24
		5MiB	なし	なし	1.70	1.85	170.83
			なし	あり	1.70	5.33	164.79
			あり	なし	1.70	15.94	162.06
			あり	あり	1.70	46.67	153.14
		10MiB	なし	なし	1.70	1.85	160.55
			なし	あり	1.70	5.33	154.74
			あり	なし	1.70	15.94	154.51
			あり	あり	1.70	46.68	149.28

**表 4-6. R5F コア上での 8D-8D-8D**

周波数	デバイダ	使用するデータサイズ	DMA	スループット (MiBps)		
				INDAC 書き込み	DAC 読み取り	消去
166MHz	8	1KiB	なし	<b>1.31</b>	3.32	0.71
			あり	1.31	<b>12.22</b>	0.71
		10KiB	なし	<b>1.94</b>	3.68	7.11
			あり	1.94	<b>24.05</b>	7.13
		256KiB	なし	<b>1.98</b>	3.63	140.42
			あり	1.98	<b>26.36</b>	140.50
		512KiB	なし	<b>1.98</b>	3.63	144.29
			あり	1.98	<b>26.37</b>	141.02
		1MiB	なし	<b>1.98</b>	3.63	144.67
			あり	1.98	<b>26.37</b>	141.38
		5MiB	なし	<b>1.98</b>	3.63	152.81
			あり	1.98	<b>26.37</b>	144.42
		10MiB	なし	<b>1.98</b>	3.63	147.95
			あり	1.98	<b>26.38</b>	146.45

## 5 観察と結論

上記の実験から、次のような観測結果が得られます。

1. DAC 読み取りの場合、DMA と PHY が有効な場合のスループットが高速です。上記の表を参照してください。
2. INDAC の読み取りは、DMA および PHY が無効な状態での DAC 読み取りよりも高速です。
3. シリアル NOR フラッシュの場合、MCU+ SDK は、1KiB を超えるデータ転送の DMA のみを可能にします。DMA セットアップのオーバーヘッドにより、小さな転送では CPU のコピーの方がより効率的になるためです。
4. シリアル NAND フラッシュの場合、MCU+ SDK は、256 バイトを超えるデータ転送の DMA のみを可能にします。DMA セットアップのオーバーヘッドにより、小さな転送では CPU のコピーの方がより効率的になるためです。
5. 入力クロック周波数が高く、入力クロック分周器の値が低い場合、スループットが向上します。
6. 上記のグラフは、データ サイズに関係なく、同一の構成でスループットがほぼ一定であることを示しており、その結果、実行時間とデータ サイズの間にはほぼ直線性の関係があることを示しています。ただし、データ サイズが小さい場合は、DMA オーバーヘッドが主な要因となり、この直線性トレンドから逸脱しています。上記の表を参照してください。

フラッシュ部品ごとに実行されたプロファイリングから、次の結論を確認してください。

1. 使用を推奨：
  - a. シリアル NOR フラッシュの DAC 読み取りおよび INDAC 書き込み。
  - b. シリアル NAND フラッシュの DAC 読み取りおよび DAC 書き込み。
2. DAC 読み取りを高速化するには、PHY と DMA を有効にします。
3. PHY が無効化されている場合、入力クロック分周器の値が最小の場合の入力クロック周波数に許容される、最大の値を使用します。
4. 取得された数値に基づいて、テキサス インストルメンツでは、以下のプロトコルを使用することを推奨しています。
  - a. S28HS512T (シリアル NOR OSPI フラッシュ) 用 8D-8D-8D。
  - b. S25HL512T (シリアル NOR QSPI フラッシュ) 用 4S-4D-4D。
  - c. W35N01JWTBAG (シリアル NAND OSPI フラッシュ) 用 1S-8S-8S。
  - d. カスタム フラッシュの場合: DDR は主に、カスタム フラッシュで使用するデータラインの最大数とともに使用します。カスタム フラッシュが DDR をサポートしていない場合は、SDR を使用します。

## 6 まとめ

このアプリケーション ノートは、TI の Sitara™ MPU ファミリーを使用した包括的なフラッシュ メモリの性能プロファイリングを提示し、エンジニアが組込みシステムのスループットおよび効率を最適化するのに役立ちます。プロファイリング データは、フラッシュ メモリのさまざまなタイプおよび構成で最大のパフォーマンスを達成するための重要なインサイトを明らかにします。

プロトコルの選択は性能にも影響を及ぼします。NOR OSPI 動作には 8D-8D-8D、NOR QSPI 動作には 4S-4D-4D、NAND OSPI 動作には 1S-8S-8S を推奨します。最適なフラッシュ性能を実現するために、エンジニアは DMA および PHY の両方が有効になっているシステムを構成し、最小クロック分周で許容される最大クロック周波数を使用し、特定のフラッシュのタイプとアプリケーションの要件に基づいて適切なプロトコルを選択する必要があります。

## 7 参考資料

1. テキサス インスツルメンツ、『[シリアル NOR OSPI フラッシュの性能値](#)』、データシート。
2. テキサス インスツルメンツ、『[シリアル NAND OSPI フラッシュの性能値](#)』、データシート。
3. インフィニオン テクノロジーズ、『[S28HS512T データシート](#)』、データシート。
4. ウィンボンド、『[166MHz SDR および 120MHz DDR バッファ読み取りおよび連続読み取り機能付きの 1.8V 1G ビットシリアル SLC NAND フラッシュ メモリ オクタール SPI](#)』、データシート。
5. インフィニオン テクノロジーズ、『[S25HL512T データシート](#)』、データシート。
6. テキサス インスツルメンツ、『[MCU+ SDK 用 xSPI カスタム フラッシュ デバッグ ガイド](#)』、アプリケーション ノート。

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月