

Application Note

TAC5x1x-Q1 オーディオ コーデックを車載インフォテインメントシステムで使用方法



Mason Chen

概要

車載用のインフォテインメントシステムの急速な開発に伴い、車載アプリケーションにおける高性能オーディオ コーデックの需要が大幅に増加しています。TI の TAC5X1X-Q1 オーディオ コーデックは、高オーディオ品質、信頼性、および豊富な機能を提供し、最新の車載オーディオ ニーズに対応します。このアプリケーション レポートでは、TAC5X1X-Q1 シリーズを使用したヘッドセットに関連するアプリケーションを中心に、回路図設計 (アナログ入出力ハードウェア設計、AC/DC 結合に関する検討事項) やヘッドセット検出の実装など、重要な要素を取り扱います。ヘッドセット挿入検出のハードウェアとソフトウェアの方法について詳しく説明し、デバウンス処理やリアルタイム性能最適化などの重要な問題に対処するほか、TAC5X1X-Q1 ファミリの他の高度な機能について簡単に紹介します。提示されているコンテンツは、TAC5X1X-Q1 シリーズのコーデックを使用した車載オーディオ システムの設計と開発に携わるエンジニアを対象とした構成例です。

注: 車載 TAC5212-Q1 はありません。このアプリケーション ノートでは、TAC5212 に関する言及は TAC5212 の産業用バージョンのみを指しています。

このアプリケーション ノートで説明している回路図設計の部品は、以下のコーデック ファミリに適用できます。

- TAC5112-Q1, TAC5111-Q1, TAC5212
- TAC5412-Q1, TAC5312-Q1, TAC5411-Q1, TAC5311-Q1

目次

1 はじめに.....	2
2 詳細説明.....	3
2.1 アナログ入力ハードウェアの設計.....	3
2.2 アナログ出力のハードウェア設計.....	7
2.3 AC 結合と DC 結合.....	9
2.4 TAC5212 および TAC5112-Q1 ヘッドセット検出の設計.....	10
3 まとめ.....	17
3.1 構成例.....	17
4 参考資料.....	19

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

近年、自動車業界では、インテリジェントなコネクティビリティと車内エンターテインメントテクノロジーの進歩によって、大きな変革を目撃してきました。現代の自動車は、単純に交通手段ではなく、モバイル スマート空間へと進化してきました。このような環境では、乗員はエンターテインメント、通信、ナビゲーションなどに高品質のオーディオを必要とします。この変化により、車載グレードのオーディオ コーデックへの需要が急増しており、車内オーディオ システムにおけるオーディオ信号のエンコード、デコード、処理を担うコアコンポーネントとして機能します。

TAC5X1X-Q1 ファミリの高性能車載用オーディオ コーデックは、複数のアナログ入出力チャンネル、高 SNR、低 THD +N、各種オーディオ フォーマットのサポートなど、幅広い機能を備えています。このため、車載ラジオ、エンターテインメントヘッドユニット、後部座席用エンターテインメントシステム、その他の車載対応オーディオ アプリケーションに最適です。

ヘッドセットの機能は、多くの車載オーディオ システムで重要な機能であり、他の人を邪魔せずに、同乗者だけがオーディオを聞くことができます。そのため、シームレスなユーザー体験を実現するために、信頼性の高いヘッドセット挿入検出が不可欠です。このアプリケーション ノートは、TAC5X1X-Q1 を使用して、ヘッドセット アプリケーションに焦点を当てた車載用オーディオ システムの設計と実装に関する包括的なガイドを提供します。アナログ インターフェイスの回路図設計上の検討事項、ヘッドセット挿入検出の詳細な実装方法、検出性能の最適化手法について説明します。



図 1-1. 車載対応 3.5mm ヘッドホン ジャック

2 詳細説明

2.1 アナログ入力ハードウェアの設計

TAC5X1X-Q1 は、シングルチャネル / デュアルチャネルのアナログ / デジタル コンバータを備えたコーデックであり、入力ピン (IN1P/IN1M および IN2P/IN2M) は、AC 結合または DC 結合で差動入力またはシングルエンド入力に構成できます。各種標準入力構成については、[図 2-1](#) ~ [図 2-4](#) を参照してください。

2.1.1 外付けバイアス抵抗の選択

外付け部品の選択には、マイクロフォンのインピーダンスに応じた外付けバイアス抵抗 $R1$ の値を選択することを推奨します。シングルエンド入力の場合、外付けバイアス抵抗をマイクロフォンのインピーダンスと一致させることを推奨します。標準ヘッドセット インターフェイスの場合、MIC のインピーダンスは通常 $2.2\text{k}\Omega$ のため、 $R1$ に $2.2\text{k}\Omega$ を選択する必要があります。差動入力の場合、外部バイアス抵抗の値をマイクロフォンのインピーダンスの半分にするを推奨します。ヘッドセット MIC の場合は、 $R1$ を $1.1\text{k}\Omega$ として選択できます。

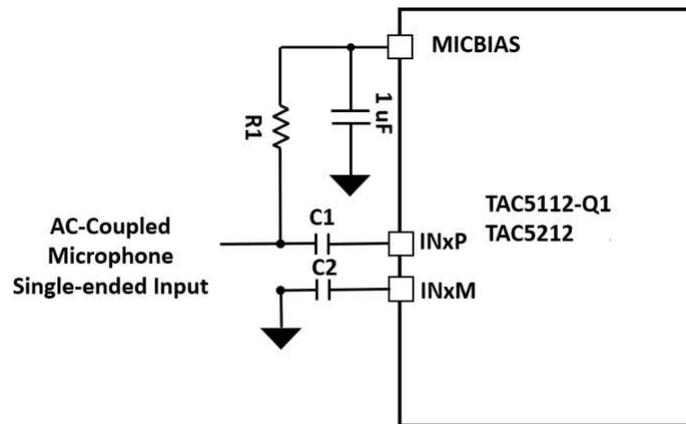


図 2-1. AC 結合シングルエンド マイク入力ハードウェアの設計: TAC5212 & TAC5112-Q1

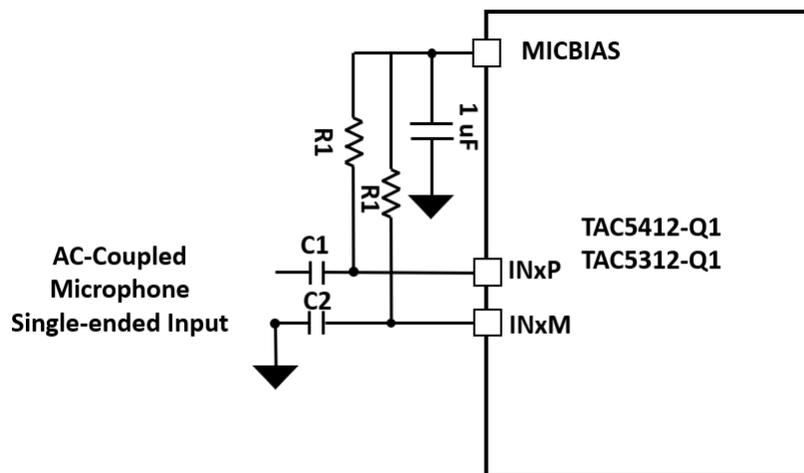


図 2-2. AC 結合シングルエンド マイク入力ハードウェアの設計: TAC5412-Q1 & TAC5312-Q1

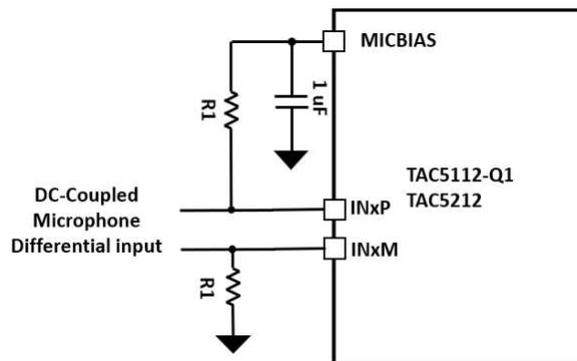


図 2-3. DC 結合差動マイク入力ハードウェアの設計: TAC5212 & TAC5112-Q1

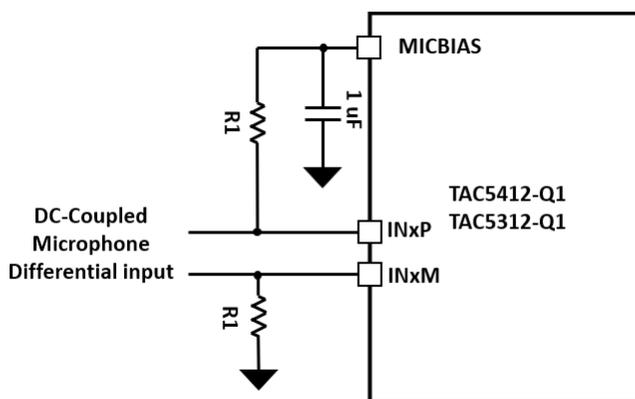


図 2-4. DC 結合差動マイク入力ハードウェアの設計: TAC5412-Q1 & TAC5312-Q1

TAC5212 および TAC5112-Q1 は、内部プルアップ回路によって ADC にバイアスを印加します。このため、MICBIAS ピンはマイクに電力を供給するためのみに使用されます。TAC5(3/4)12-Q1 の動作は異なり、デバイス外部で同相電圧を設定する必要があります。これは、内蔵の MICBIAS を使用して実行することも、信号源で駆動することもできます。AC 結合入力構成 (図 2-1 および 図 2-2 を参照) では、ADC のバイアス設定を実現するために、TAC5(3/4)12-Q1 の MICBIAS ピンをチップ側の AC 結合コンデンサに接続する必要があります。この場合、マイクロフォンは別の電源から給電する必要があります。したがって、入力モードの互換性に関しては、TAC5(3/4)12-Q1 に DC 結合が最適な選択肢です。このモードでは、MICBIAS はマイクロフォンに電力を供給し、ADC 入力に適切なバイアスを供給できます。入力信号を DC 結合する主な利点は、入力異常診断機能を使用することです。詳細については、[TAx5xxx-Q1 の故障診断機能](#)を参照してください。

デバイスの性能は入力構成によって変化するため、システムの要求精度を満たしたうえで、可能な限り低い同相電圧設定を使用することを推奨します。TAC5212 および TAC5112-Q1 で最高の性能を得るには、AC 結合を推奨します。

2.1.2 カップリング コンデンサの選択

AC 結合モードでは、カップリング コンデンサと入力インピーダンスによって形成されるハイパスフィルタが信号成分に影響を与えないように、カップリングコンデンサの値を選択する必要があります。パワーアップ時、適切な録音を開始する前に、このカップリング コンデンサを同相電圧まで充電する必要があります。

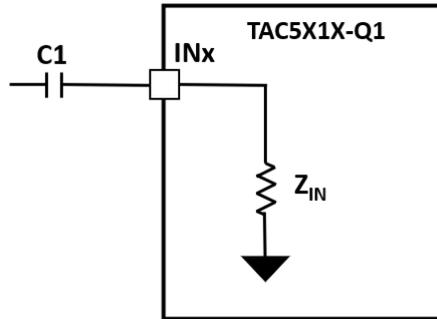


図 2-5. 入力ピンの AC 等価回路

図 2-5 は、入力ピンの等価回路を示しています。カップリング コンデンサ C および Z_{IN} によって、ハイパス フィルタが形成されます。このフィルタは、DC と超低周波数が入力ピンに到達するのを阻止します。オーディオ周波数の場合、このコンデンサは短絡として機能します。カットオフ周波数は次のように計算されます。

$$F_c = \frac{1}{2 \times 3.14 \times C1 \times Z_{IN}} \quad (1)$$

人間の可聴範囲のオーディオ周波数を渡すために、 $F_{min} = 20\text{Hz}$ を選択してください。 Z_{IN} は $INxP/INxM$ ピンの入力インピーダンスです。TAC5212 および TAC5112-Q1 の場合、これは通常 $5\text{k}\Omega$ であり、レジスタ設定により $10\text{k}\Omega/40\text{k}\Omega$ に変更できます。

$$C > \frac{1}{2 \times 3.14 \times F_{min} \times Z_{IN}} = 1.6\mu\text{F} \quad (2)$$

入力インピーダンスまたは F_{min} を大きく設定すると、コンデンサを小さくすることができます。

パワーアップ時に、カップリング コンデンサは同相電圧に充電されます。この充電は、内部の 800Ω 抵抗をピンと $AVDD/2$ の間に接続することで行われます。図 2-6 に、入力ピンの急速充電機能の等価回路を示します。この接続は 2.5ms の間行われます。これは、 $1\mu\text{F}$ のコンデンサを $AVDD/2$ まで充電するのに十分な時間です。ADC からのオーディオ出力は、カップリング コンデンサを定常状態値まで充電した後にのみ有効です。

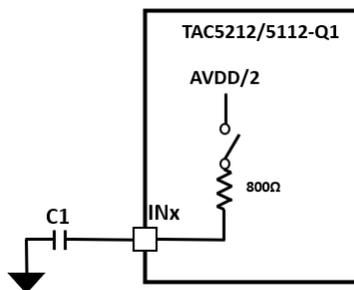


図 2-6. 高速充電回路

AC 結合コンデンサの充電時間を計算する式は次のとおりです。

$$T = R \times C \times \ln\left(\frac{1}{1 - \frac{V_{percentage}}{100}}\right) \quad (3)$$

ここで、 $V_{percentage}$ は、目標とする電圧の割合で、 $R=800\Omega$ と C は、選択したカップリング コンデンサの容量値です。
95% まで充電するために必要な時間 (時定数 3) を計算する場合の例を示します。

$$T = R \times C \times 3 = 800 \times 1\mu\text{f} \times 3 = 2.4\text{ms} \tag{4}$$

$$T = R \times C \times 3 = 800 \times 4.7\mu\text{f} \times 3 = 11.3\text{ms} \tag{5}$$

1 μF コンデンサの場合、2.5ms の充電時間を選択できます。4.7 μF コンデンサの場合、MISC_CFG1 レジスタ (P0 R5) により、充電時間を 12.5ms の設定まで延長できます。

7.1.1.6 MISC_CFG1 Register (Address = 0x5) [Reset = 0x15]

MISC_CFG1 is shown in [Table 7-8](#).

Return to the [Summary Table](#).

This register configures the miscellaneous configuration register 1.

Table 7-8. MISC_CFG1 Register Field Descriptions

Bit	Field	Type	Reset	Description
7-6	INCAP_QCHG[1:0]	R/W	00b	The duration of the quick-charge for the external AC-coupling capacitor is set using an internal series impedance of 800 Ω . 0d = INxP, INxM quick-charge duration of 2.5ms (typical) 1d = INxP, INxM quick-charge duration of 12.5ms (typical) 2d = INxP, INxM quick-charge duration of 25ms (typical) 3d = INxP, INxM quick-charge duration of 50ms (typical)
5-4	SHDN_CFG[1:0]	R/W	01b	Shutdown configuration. 0d = DREG is powered down immediately after IOVDD is deasserted 1d = DREG remains active to enable a clean shut down until a time-out (DREG_KA_TIME) is reached; after the time-out period, DREG is forced to power off 2d = DREG remains active until the device cleanly shuts down 3d = Reserved; Don't use
3-2	DREG_KA_TIME[1:0]	R/W	01b	These bits set how long DREG remains active after IOVDD is deasserted. 0d = DREG remains active for 30ms (typical) 1d = DREG remains active for 25ms (typical) 2d = DREG remains active for 10ms (typical) 3d = DREG remains active for 5ms (typical)

図 2-7. MISC_CFG1 レジスタの説明

2.2 アナログ出力のハードウェア設計

TAC5X12-Q1 ファミリーは、アナログ出力ピン (OUTxP および OUTxM) の 2 組で構成されています。ヘッドセットアプリケーションの場合、これらのピンを、再生チャンネル用に差動出力またはシングルエンド出力として構成できます。各種標準出力構成については、[図 2-8](#) ~ [図 2-11](#) を参照してください。TAC5X12-Q1 ファミリーは、16Ω、32Ω、10kΩ などにかかわらず負荷を自動的に測定し、出力スイングを調整します。

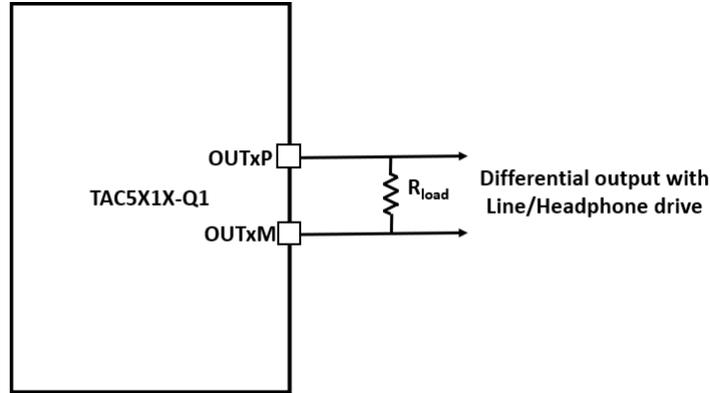


図 2-8. 差動 DC 結合出力

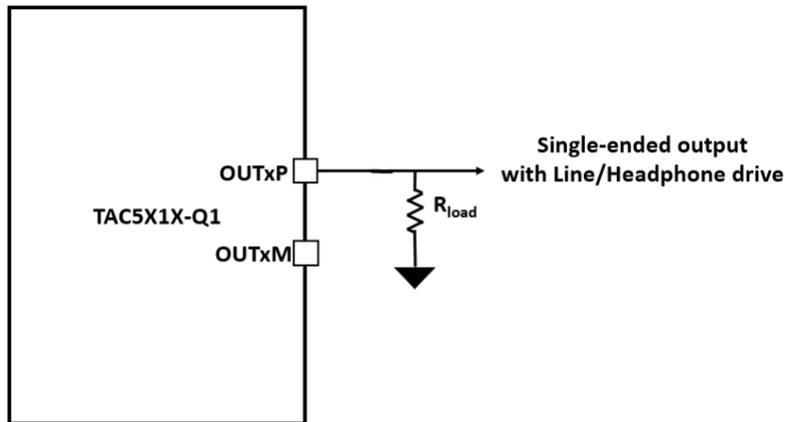


図 2-9. モノラル シングルエンド DC 結合出力

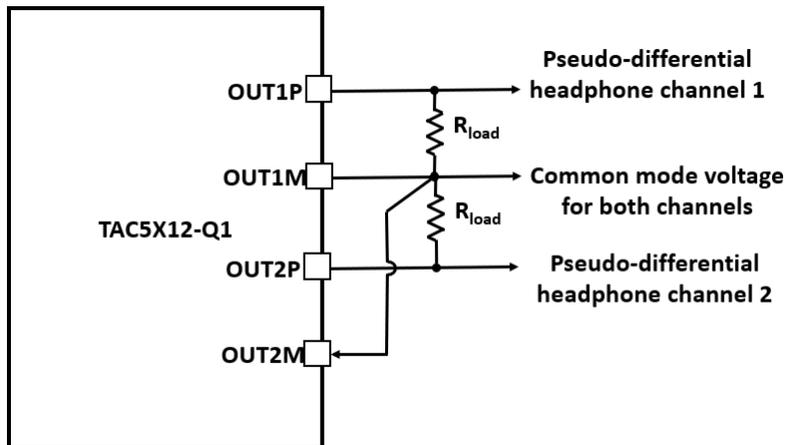


図 2-10. 疑似差動出力

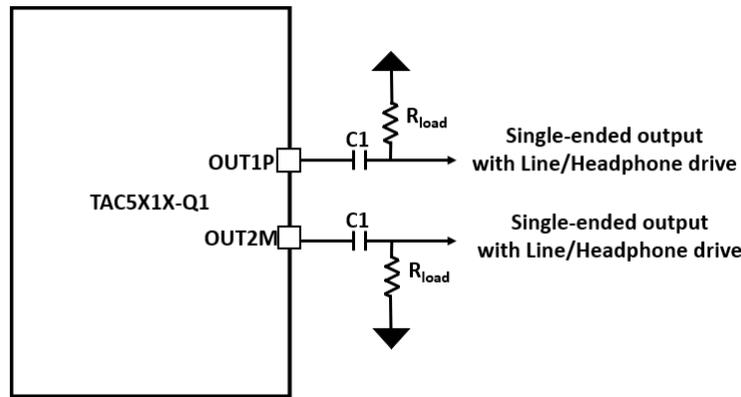


図 2-11. シングルエンド AC 結合出力

ほとんどのコンシューマグレード ヘッドホンはシングルエンド設計 (3.5mm/6.35mm インターフェイスで、必要な信号パスは 1 本 + グランド配線のみ) です。コーデックを使用してヘッドホンを駆動する場合は、シングルエンド モードを選択する必要があります。ヘッドセット / ヘッドホンアプリケーションの場合は、シングルエンド AC 結合をお勧めします。

DC 結合アプリケーションでは、シングルエンド モードに DC 同相電圧が含まれるため、疑似差動モードを推奨します。この場合、消費電力が大きくなるため、DC 結合のシングルエンド モードは推奨しません。

2.2.1 出力カップリング コンデンサの選択

AC カップリング コンデンサは、負荷によりハイパスフィルタを形成します。これより、小さい値のコンデンサを選択すると、より低いオーディオ周波数が減衰します。したがって、DAC 出力からの DC バイアスをブロックするには、大きな AC カップリング コンデンサが必要です。カットオフ周波数は次のように計算されます。

$$F_c = \frac{1}{2 \times 3.14 \times C \times Z_{load}} \tag{6}$$

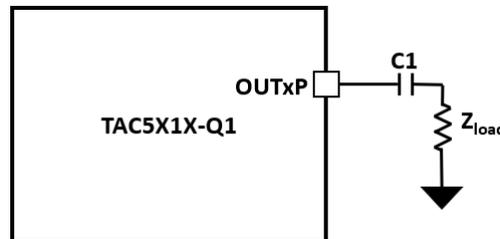


図 2-12. 出力ピンの AC 等価回路

ヘッドセット (16Ω ~ 32Ω) アプリケーションの場合: $F_c = 10\text{Hz} \sim 15\text{Hz}$ を維持するには、32Ω の負荷では 470μF 以上、16Ω の負荷では 680 ~ 1000μF 以上の容量を使用してください。

ライン出力負荷 (≥10kΩ) の場合: コンデンサは小さくてもかまいません (通常は 1 ~ 4.7μF)。

大型または高価なコンデンサを回避する (および BOM を最適化する) には、次の手順を実行します。

1. 疑似差動 / キャップレス駆動 (OUTxP/OUTxM は両方を駆動) を使用します。直列コンデンサは不要で、ヘッドホンに最適で、低音を維持できます。OUT1x_CFG を疑似差動用に構成します。
2. シングルエンドが必要な場合:
 - 負荷インピーダンスを上げ (高い Z_{in} を持つラインレシーバやヘッドホン アンプを使用し)、結合コンデンサを数百 μF ではなく 1 ~ 4.7μF に抑えます
 - 低域の目標仕様を満たす、最小のコンデンサを選択します。
 - 32Ω: 470μF 約 10.6Hz, 680μF 約 7.4Hz, 1000μF 約 5Hz
 - 16Ω: 680μF ≈ 14.7Hz, 1000μF ≈ 10Hz。
 - アルミニウムとポリマー電解、+ 端子を DAC に配置 (正の同相)

3. ラインレベル出力の場合:

- THD を最小限にするため、1 ~ 2.2 μ F X7R MLCC (コスト効率) またはフィルムを使用します。10k Ω 以上の負荷に対して 47 μ F はオーバーキルです。
- または、レシーバが DAC の V_{CM} に耐えられる場合の DC 結合です。

2.2.2 出力コンデンサの概要

- ヘッドホン / ヘッドセット: 可能な場合は疑似差動 (キャップレス) を使用します。それ以外の場合は、 F_c のターゲットに従って電解サイズを調整します
- ラインアウト: 小型 1 ~ 4.7 μ F または DC 結合。ここにセラミック コンデンサを使用して問題ありません。

2.2.3 オーディオポート用 ESD を選択する方法

ヘッドホンジャックの ESD 保護のため、ESD 保護デバイスは IC 側ではなく、オーディオ ジャック コネクタの近くに配置する必要があります。マイク (MIC) ピンにも ESD 保護デバイスを取り付ける必要があります。トリガ電圧約 8V、クランプ電圧約 5V の単方向 TVS ダイオードの使用が推奨されます。

2.3 AC 結合と DC 結合

2.3.1 AC 結合システム

- ADC 入力で使用されるカップリング コンデンサはハイパス フィルタを形成し、ADC の入力インピーダンスによりシステムの低周波数応答が制限されます。オーディオ アプリケーションの場合、コンデンサは 20Hz の低い周波数をデジタル化できるサイズになっています。
- パワーアップ時に、カップリング コンデンサを定常状態値まで充電する必要があります。コンデンサがこの値に達するまで、入力オーディオ信号は ADC に正しく渡されません。この状態になっていると、オーディオ出力でポップ音が聞こえる場合があります。
- オーディオ範囲内のすべての AC 信号に対して短絡としてカップリング コンデンサを機能させる必要があります。実際には、容量値と容量性インピーダンスは、コンデンサの両端の信号振幅に応じて変化する可能性があります。この値により、低周波数での ADC 出力に非線形動作や高調波歪みが発生する可能性があります
- 一部のコンデンサにはマイクロフォニーも表示されます。振動が発生すると、ピエゾ効果により AC 経路に電圧が誘導される可能性があります。

2.3.2 DC 結合システム

DC 結合システムでは、カップリング コンデンサが不要になります。DC 結合システムには次の利点があります。

- 部品表コストの削減とボード面積の節減
- 低周波数での THD の劣化や基板の振動効果など、コンデンサの非線形効果による性能の低下を排除
- 起動時のポップアップを削除
- ADC 出力は DC で有効であり、テストおよび測定のために電圧や電流などを測定可能

また、DC 結合にはいくつかの短所があります。

- 入力ピンの DC バイアスは ADC 回路ではなく、外部ソースによって決定されます。バイアスは常に最適というわけではなく、ADC では信号処理が減少します

2.4 TAC5212 および TAC5112-Q1 ヘッドセット検出の設計

2.4.1 ヘッドセット検出の実装方法

TAC5212 と TAC5112-Q1 は、包括的なオーディオ インターフェイス監視機能を搭載しており、ヘッドホン、マイク、ヘッドホンジャックのステータス監視や、オーディオ プラグの挿入と接続先ヘッドホンタイプの識別を実行できます。

TAC5(3/4)12-Q1 では、高電圧アナログ入力に追加の回路が必要なため、ヘッドセット検出はサポートされていません。

TAC5212 および TAC5112-Q1 のヘッドセット検出機能には明確な接続要件があります。マイク (MIC) 入力 (IN1P または IN1M) は AC 結合する必要があります。D/A コンバータ (DAC) の出力接続は、AC 結合モードと DC 結合モードの両方をサポートしています。MICDET 信号は、デバイスの IN2M ピンに接続する必要があります。ヘッドセット検出を機能させるには、IN2M を DC 結合する必要があります。AC 結合入力では動作しません。異なる出力カップリング モード間での信号伝送特性の違いにより、対応するヘッドセット挿入検出ロジックも異なります。CTIA ジャック ヘッドホンは一般的なものであるため、このアプリケーション ノートでは CTIA ジャックを例として使用しています。CTIA 規格と OMTP 規格の主な違いは、3.5mm ヘッドホンコネクタのグラウンドピンとマイクピンの逆ピン割り当てです。

2.4.1.1 AC 結合出力モードでのヘッドセット検出

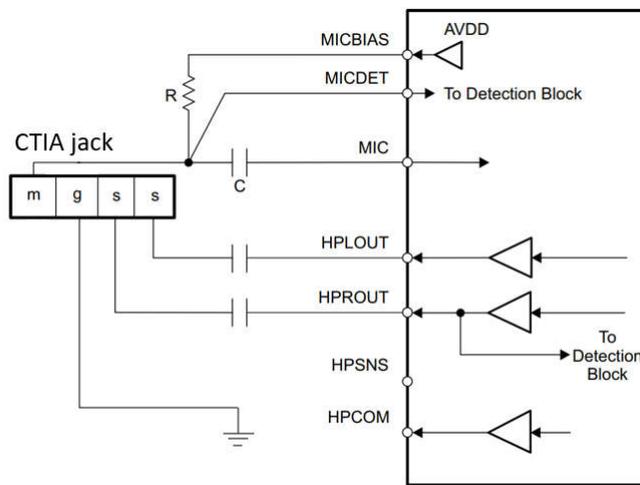


図 2-13. AC 結合出力モードでのヘッドセット検出の原理

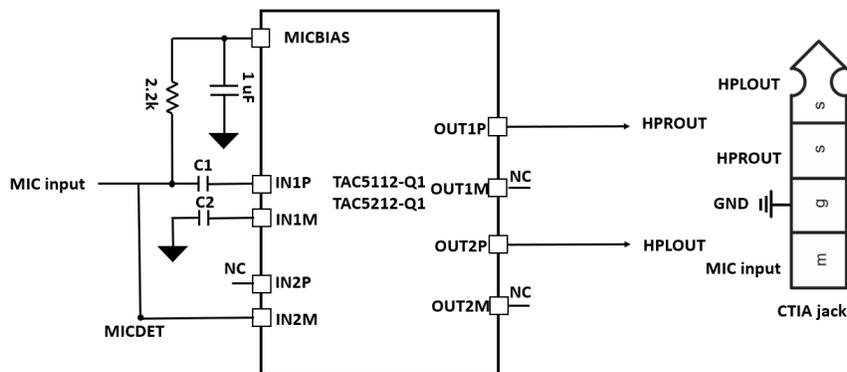


図 2-14. AC 結合出力モードの回路図設計

AC 結合出力 DAC 接続構成では、TAC5212 および TAC5112-Q1 のヘッドセット挿入検出機能が実装されます。これは、MICDET ピンの電圧の変化を監視して、ヘッドセットが挿入されているかどうか、およびヘッドセットの特定のタイプを識別することで行われます。MICDET ピンは IN2M ピン (MICDET=IN2M) に接続されており、IN2M ピンはヘッドセットの挿入検出に特に使用されていることに注意してください。原理の詳細については、[TAX52xx ファミリのヘッドセット検出](#)を参照してください。IN2M ピンの使用に関しては、ヘッドセット挿入検出回路が物理的なレベルで IN2M ピンに直接接続されているため、チャンネル 2 を有効にする必要はありません。

検出シーケンス - コンデンサ インターフェイス

ヘッドセット検出方式を有効にし、AC 結合インターフェイスを設定 (ページ 1、レジスタ 0x1A)

表 2-1. AC 結合出力モードでのヘッドセット検出の原理

MICDET 電圧	ヘッドセット検出結果
MICDET < V2	挿入が検出されました
MICDET > V2	挿入なし
MICDET > V1	マイク付きヘッドセット
MICDET < V1	マイクなしのヘッドセット
マイク付きヘッドセットはすでに検出されています	
MICDET > V3	ボタン押下なし
MICDET < V3	ボタン押下検出

$V2 = (\text{MICBIAS} - \text{ref}) * (4/5) + \text{ref}$, $V1 = (\text{MICBIAS} - \text{ref}) * (1/5) + \text{ref}$, および $V3 = (\text{MICBIAS} - \text{ref}) * (0.2 \text{ または } 0.3) + \text{ref}$. $\text{ref} = \text{VSS} = 0\text{V}$.

2.4.1.2 DC 結合出力モードでのヘッドセット検出

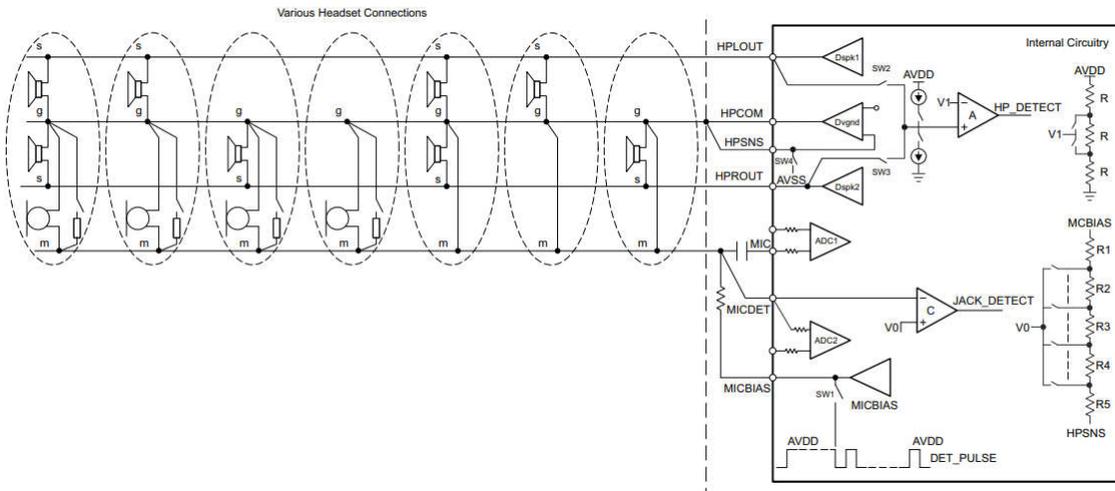


図 2-15. DC 結合出力モードの検出方式の回路図

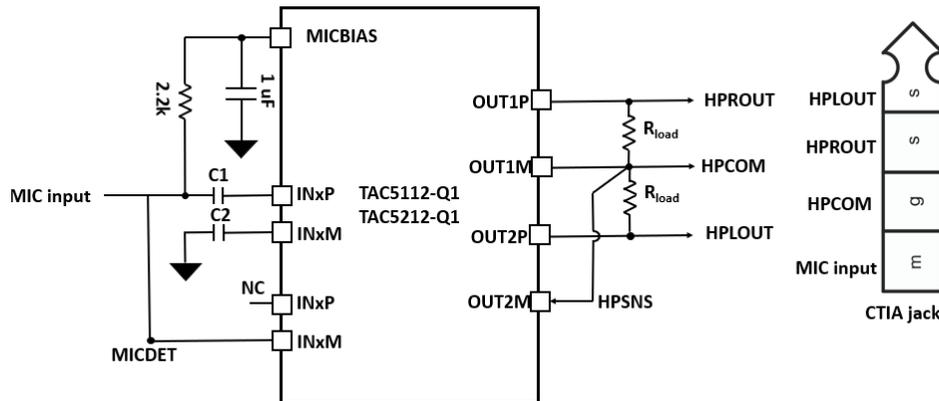


図 2-16. 擬似差動モードでのヘッドセット検出の回路図設計

疑似差動出力 DAC 接続構成では、TAC5212 および TAC5112-Q1 のヘッドセット挿入検出機能が実装されており、MICDET ピンと HPSNS (つまり OUT2M ピン) の電圧の変化を監視して、挿入状態とヘッドセットの特定のタイプを識別

します。各ピンの対応する関係は次のとおりです。ご注意ください。MICDET=IN2M、HPSNS=OUT2M、HPROUT=OUT1P、HPLOUT=OUT2P、HPCOM=OUT1M。差動 / 疑似差動ドライブ (OUTxP/OUTxM は両方を駆動) を使用します。直列コンデンサは不要で、ヘッドホンに最適で、低音を維持できます。

検出シーケンス – コンデンサ不要のインターフェイス

ヘッドセット検出方式を有効にし、DC 結合を設定 (ページ 1、レジスタ 0x1A)

表 2-2. DC 結合出力モードでのヘッドセット検出の原理

MICDET 電圧	ヘッドセット検出結果
MICDET < V2	挿入が検出されました
MICDET > V2	挿入なし
MICDET > V1	マイク付きヘッドセット
MICDET < V1	マイクなしのヘッドセット
マイク付きヘッドセットはすでに検出されています	
MICDET > V3	ボタン押下なし
MICDET < V3	ボタン押下検出

$V2=(MICBIAS-ref)*(22/25)+ref$ 、 $V1=(MICBIAS-ref)*(11/100)+ref$ 、および $V3=MICBIAS*(11/100)+ref$ 。ref = HPSNS = 出力同相電圧。

2.4.2 デバウンスおよび検出ヘッドセット検出のリアルタイム パフォーマンス

ヘッドセットの挿入 / 取り外し時のプラグとインターフェイス間の物理的ジッタは、検出ピンの電圧変動を引き起こします。デバウンスはこの干渉をフィルタ処理して、誤トリガを防止し、正確で安定した検出を保証します。TAC5212 および TAC5112-Q1 は、ヘッドセット検出用のデバウンス機能を内蔵しており、通常の挿入および取り外し速度でヘッドセットタイプの状況を高精度で検出できます。デバウンス時間は、JACK_DET_CFG2 レジスタ (ページ 1、レジスタ 0x1B) で設定できます。

Table 7-120. JACK_DET_CFG2 Register Field Descriptions

Bit	Field	Type	Reset	Description
7	RESERVED	R	0b	Reserved bit; Write only reset value
6	HPDET_DEB	R/W	0b	Headphone Detection Debounce Programmability 0d = No Debounce 1d = Debounce of 3 detections
5-3	JACK_DET_DEB_INSERT[2:0]	R/W	000b	Headset Insert Detection Debounce Programmability 0d = Debounce Time = 16ms 1d = Debounce Time = 32ms 2d = Debounce Time = 64ms 3d = Debounce Time = 128ms 4d = Debounce Time = 256ms 5d = Debounce Time = 512ms 6d = Reserved 7d = No Debounce
2	JACK_DET_DEB_REMOVAL	R/W	0b	Headset Removal Detection Debounce Programmability 0d = Debounce of 5 detections 1d = Debounce of 3 detections

図 2-17. ヘッドセット挿入検出デバウンス構成

内部発振器を使用して生成される DET_PULSE は、フック タンの検出に使用されます。DET_PULSE 周波数は、MICBIAS のコンデンサ値に基づき、4ms または 32ms の High 時間を持つレジスタ マップ制御に基づいて 0.5Hz、1Hz、7.5Hz、または 15Hz になります。フックボタン検出の感度をいっそう高める必要がある場合、検出周波数を高くすることができます。

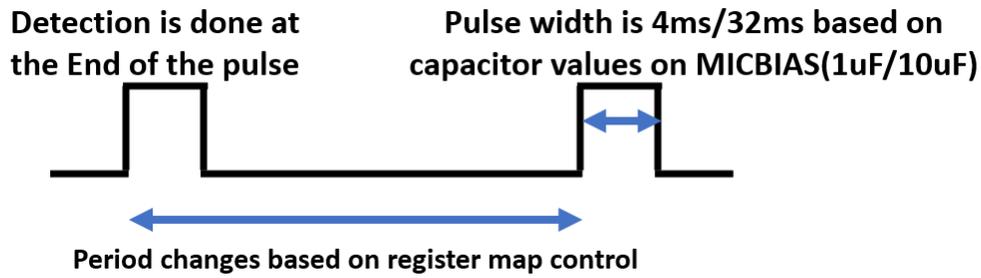


図 2-18. パルス方式

Table 7-118. JACK_DET_CFG0 Register Field Descriptions

Bit	Field	Type	Reset	Description
7-6	JACK_DET_MONITOR_FREQ[1:0]	R/W	00b	Headset Detection Pulse Frequency 0d = 0.5Hz 1d = 1Hz 2d = 7.5Hz 3d = 15Hz
5	JACK_DET_PULSE_WIDTH	R/W	0b	Detector Pulse High Width 0d = 4ms (MICBIAS PIN Cap = 1 uF) 1d = 32ms (MICBIAS PIN Cap = 10 uF)
4	RESERVED	R	0b	Reserved bit; Write only reset value
3	RESERVED	R	0b	Reserved bit; Write only reset value
2-1	HPDET_CLOCK_SEL[1:0]	R/W	00b	Headphone Detection Clock Time period Select 0d = 1ms 1d = 2ms 2d = 4ms 3d = Reserved
0	RESERVED	R	0b	Reserved bit; Write only reset value

図 2-19. 検出パルス設定レジスタ

JACK_DET_CFG1 レジスタは、ヘッドセット検出の有効化、ヘッドホン検出のカップリング タイプ設定、およびフック プレス検出の設定を制御するために使用されます。

Table 7-119. JACK_DET_CFG1 Register Field Descriptions (continued)

Bit	Field	Type	Reset	Description
6	JACK_DET_COMP_CTRL 2	R/W	0b	Hook Press Threshold Control in Fixed External Resistance case, controls the choice of Lowest Microphone impedance to be supported or Highest Hook button Impedance to be supported 0d = Minimum Microphone resistance supported, R_Mic = 800 Ωs and Max Hook button impedance supported, R_Hook = 320 Ωs for AC coupled Headphones R26<3> = 0 (else, when R26<3> = 1, R_hook = 150 Ωs) 1d = Max Hook button impedance supported, R_hook = 680 Ωs and Minimum Microphone resistance supported, R_Mic = 1350 Ωs for AC coupled Headphones R26<3> = 0 (else, when R26<3> = 1, R_Mic = 1750 Ωs)
5-4	JACK_DET_COMP_CTRL 3[1:0]	R/W	00b	Hook Pressed Jack Insertion support, valid only for External Resistor Type P0_R25_D4 = 0 else Don't care. 0d = supports minimum Hook button impedance of 150 Ωs for Hook Pressed Jack Insertion detection 1d = supports minimum Hook button impedance of 100 Ωs for Hook Pressed Jack Insertion detection 2d = supports minimum Hook button impedance of 50 Ωs for Hook Pressed Jack Insertion detection 3d = Reserved
3	HPDET_COUPLING	R/W	0b	Headphone detect coupling 0d = AC coupled 1d = DC coupled
2	HPDET_USE_2x_CURR	R/W	0b	Headset detect current sel config 0d = 2x current for headphone detection disabled 1d = 2x current for headphone detection enabled
1	JACK_DET_EN	R/W	0b	Headset Detection Enable 0d = Headset Detection Disabled 1d = Headset Detection Enabled
0	RESERVED	R	0b	Reserved bit; Write only reset value

図 2-20. ヘッドセット検出イネーブルおよび結合タイプ設定レジスタ

ヘッドセット検出の結果は、JACK_DET_CFG2 レジスタ (アドレス = 0x1B) に更新されます。

Table 7-121. JACK_DET_CFG3 Register Field Descriptions

Bit	Field	Type	Reset	Description
7-6	JACK_TYPE_FLAG[1:0]	R	00b	Headset Jack type flag 0d = Jack is not inserted 1d = Jack is inserted without Microphone 2d = Reserved. Do not use 3d = Jack is inserted with Microphone
5-4	HEADSET_TYPE_DET[1:0]	R	00b	Headset type 0d = Headset is not inserted 1d = Jack is inserted with mono-HS (RIGHT) 2d = Jack is inserted with mono-HS (LEFT) 3d = Jack is inserted with stereo-HS
3-0	RESERVED	R	0b	Reserved bits; Write only reset value

図 2-21. ヘッドセット検出結果インジケータ レジスタ

ヘッドセット検出スキームの動作方法は、まず挿入を検出し、次にデバウンスを使用してヘッドホン検出を開始して、ヘッドホンが確認された後にマイクの検出に進みます。これが実行されると、割り込みが発生します。その後、フラグをステータスとして読み取ることができます。

挿入割り込みが発生した後、ジャックの種類についてはこれ以上のチェックは行われません。ヘッドホン タイプの検出は、挿入時に 1 回だけ行われ、リアルタイムではありません。

ヘッドセットの挿入、取り外し、ボタン押下のステータスはリアルタイムで検出されます。ヘッドセット タイプの検出 (ステレオヘッドセット、モノラル ヘッドセット、マイク付きステレオ ヘッドセット、マイク付きモノラル ヘッドセットなど) は、1 回限りの検

出であり、ヘッドセットを挿入すると更新され、取り外し後に検出結果が自動的にクリアされます。また、ボタン押下検出機能は、マイク付きヘッドセットが検出された場合にのみ有効になります。

2.4.3 TAC5X1X-Q1 ファミリのその他の高度な機能

1. ループバック機能をサポートします

TAC5X1X-Q1 はループバック機能をサポートしています。これは、電子信号またはデータストリームを送信側に変更せずに送り返す動作を指します。Loopback はコーデックの自己診断ツールであり、ユーザーは障害をすばやく特定し、コーデックの全体的なパフォーマンスを簡単に確認できます。

一般的なループバックタイプ:

デジタル ループバック

- パス: デジタル入力信号 → コーデックの内部デジタルリンク → デジタル出力に直接ループバック (ADC/DAC のアナログ変換をバイパス)
- 適用可能なシナリオ: デジタルインターフェイス (I2S、TDM など)、デジタルコーデックアルゴリズム、および内部デジタルフィルタリング回路の検証
- 車載アプリケーションの例: オンボードの SoC とコーデックの間の I2S 通信リンクの検証 (SoC はデジタルオーディオを送信 → コーデックはデジタルループバックを実行 → SoC がそれを受信し、フレーム損失やビットエラーなしで通信を保証)

デジタルループバック構成は、INTF_CFG1 レジスタ (P0 R16) によって設定できます。

Table 7-17. INTF_CFG1 Register Field Descriptions

Bit	Field	Type	Reset	Description
7-4	DOUT_SEL[3:0]	R/W	0101b	DOUT select configuration. 0d = DOUT is disabled 1d = DOUT is configured as input 2d = DOUT is configured as a general-purpose output (GPO) 3d = DOUT is configured as a chip interrupt output (IRQ) 4d = DOUT is configured as a PDM clock output (PDMCLK) 5d = DOUT is configured as primary ASI DOUT 6d = DOUT is configured as primary ASI DOUT2 7d = DOUT is configured as secondary ASI DOUT 8d = DOUT is configured as secondary ASI DOUT2 9d = DOUT is configured as secondary ASI BCLK output 10d = DOUT is configured as secondary ASI FSYNC output 11d = DOUT is configured as general purpose CLKOUT 12d = DOUT is configured as PASI DOUT and SASI DOUT muxed 13d = DOUT is configured as DAISY_OUT for DIN Daisy 14d = DOUT is configured as DIN (LOOPBACK) 15d = Reserved
3	DOUT_VAL	R/W	0b	DOUT output value when configured as a GPO. 0d = Drive the output with a value of 0 1d = Drive the output with a value of 1
2-0	DOUT_DRV[2:0]	R/W	010b	DOUT output drive configuration. 0d = Hi-Z output 1d = Drive active low and active high 2d = Drive active low and weak high 3d = Drive active low and Hi-Z 4d = Drive weak low and active high 5d = Drive Hi-Z and active high 6d to 7d = Reserved; Don't use

図 2-22. デジタルループバック構成レジスタ

アナログ ループバック

- パス: アナログ入力 (マイク アナログ信号) → ADC がデジタル信号に変換 → DAC はアナログ信号に変換 → アナログ信号にループバック (アナログ出力とデジタル リンク全体)
- 適用可能なシナリオ: ADC/DAC の変換性能 (ADC+DAC の合計 THD +N)、アナログ増幅回路 (PGA)、干渉防止機能 (オンボードの高電磁環境でのアナログ信号忠実度) の検証
- 車載アプリケーションの例: オンボード マイク入力リンク (アナログ オーディオ → コーデック → アナログ ループバック 出力、ノイズなしと準拠ゲインの検証)

アナログ ループバック AC 結合シングル エンド IN1 から HP パスの構成例

w a0 00 00 # 設定ページ 0

w a0 01 01 # ソフトウェアリセット

w a0 02 09 # AVDD でウェークアップ > 2v およびすべての VDDIO レベル

w a0 50 50 # ADC Ch1 s-e 入力、10K Ω 、1Vrms AC 結合、オーディオ帯域

w a0 64 4c # アナログ バイパス パスのモノラル シングルエンドとして OUT1M を構成 (アナログ ループバック設定)

w a0 66 60 # OUT1M をヘッドホンドライバとして構成

w a0 76 cc # 入力と出力の Ch1 チャンネルと Ch2 チャンネルを有効化

w a0 78 e0 # パワーアップ ADC、DAC、MICBIAS

注: シングルエンド ループバックの場合、IN1P は OUT1M にルーティングされます。

2. フレキシブル スロット調整機能

TAC5X1X-Q1 は、最大 2 つのアナログ入力チャンネルと 4 つのアナログ出力チャンネルをサポートしており、これらをメイン ASI バスで構成することにより、オーディオ データをバスのスロット 0 ~ 31 にマッピングできます。

3 まとめ

このアプリケーション ノートは、車載ヘッドセット シナリオで使用する **TAC5X1X-Q1** のコア設計コンテンツに注目し、ハードウェア エンジニア向けの明確な設計ガイドラインを提示することを目指しています。本書では最初に、主要な回路パラメータの選択や、AC/DC 結合方式のアプリケーション シナリオの選定など、チップのアナログ入力端子と出力端子のハードウェア回路図設計仕様について詳しく説明します。次に、ヘッドセット挿入検出機能の実装ロジック、デバウンス メカニズムの設計、リアルタイム パフォーマンス最適化の重要なポイントについて説明し、ヘッドセット プラグインおよびプラグアウト操作の信頼性の高い識別と迅速な応答を保証します。同時に、このアプリケーション ノートでは、このチップ シリーズの他の高度な機能を簡単に紹介し、エンジニアがチップの能力を十分に活用できるようにします。

3.1 構成例

以下はヘッドホン構成の例です。初期構成を生成する最善の方法は、TI の **PurePath™ Console** (グラフィカル インターフェイス) をセットアップすることです。

ステレオ OUT1P および OUT2P による差動ヘッドホン再生 (ヘッドセット検出有効)

ターゲット モード、TDM、16 ビット、プライマリ ASI のみ、48kHz の整数倍のサンプリング

w a0 0x00, 0x00 # ページ 0 を選択

w a0 0x01, 0x01 # ソフトウェア リセット

w a0 0x02, 0x09 # AVDD でウェークアップ > 2v およびすべての VDDIO レベル

w a0 0x10, 0x52 # DOUT をプライマリ ASI DOUT に設定して、アクティブ Low で駆動し、弱い High (弱いプルアップ) を選択

w a0 0x19, 0x40 # Config 2 データ出力 (プライマリ ASI 用)

w a0 0x1a, 0x04 # ASI BCLK 極性: 標準プロトコルに対する反転極性

w a0 0x1e, 0x20 # PASI_TX_CH1_CFG, config を TDM スロット 0 に設定

w a0 0x1f, 0x01 # PASI_TX_CH2_CFG, config プライマリ ASI チャンネル 2 出力を高インピーダンス状態に設定

w a0 0x28, 0x20 # PASI_RX_CH1_CFG, config を TDM スロット 0 に設定

w a0 0x29, 0x28 # PASI_RX_CH2_CFG, config を TDM スロット 8 に設定

w a0 0x50, 0x50 # ADC_CH1_CFG0。アナログ シングルエンド入力と AC 結合入力

w a0 0x52, 0xe7 # デジタル ボリュームを 35db まで記録

w a0 0x64, 0x28 # OUT1x_CFG: 2d = OUT1P のみで出力するモノラル シングルエンド (DAC1A + DAC1B -> OUT1P) & OUT1x_VCOM: 0.6 * Vref

w a0 0x65, 0x60 # OUT1P_DRIVE: 1d = 最小 16Ω のシングルエンド インピーダンスのヘッドホンドライバ

w a0 0x6b, 0x28 # OUT2x_CFG: 2d = OUT1P のみで出力するモノラル シングルエンド (DAC1A + DAC1B -> OUT1P) & OUT1x_VCOM: 0.6 * Vref

w a0 0x6c, 0x60 # OUT2P_DRIVE: 1d = 最小 16Ω のシングルエンド インピーダンスのヘッドホンドライバ

w a0 0x76, 0x8c # CH_EN Register: IN_CH1_EN = 1, OUT_CH1_EN = 1, OUT_CH2_EN = 1

w a0 0x00, 0x01 # ページ 1 を選択

w a0 0x19, 0x84 # ヘッドセット検出パルス周波数 = 7.5Hz、クロック時間 = 4ms

w a0 0x1A, 0x02 # ヘッドセット検出が有効、AC 結合

w a0 0x1B, 0x28 # デバウンス時間 = 512ms

w a0 0x00, 0x00 # ページ 0 を選択

w a0 0x78, 0xe0 # MICBIAS を起動し、イネーブルのすべての DAC チャンネルをパワーアップして、イネーブルのすべての ADC チャンネルおよび PDM チャンネルをパワーアップ

4 参考資料

1. テキサス インスツルメンツ、『[TAC5112-Q1](#) ダイナミックレンジが 105dB の ADC と 114dB の DAC 搭載、車載用低消費電力ステレオ オーディオ コーデック』、データシート。
2. テキサス インスツルメンツ、『[TAC5412-Q1](#)、112dB ADC、120dB DAC、高電圧入力、Micbias、診断機能を搭載した、車載用ステレオ・オーディオ・コーデック』データシート。
3. テキサス インスツルメンツ、『[TAX52xx](#) ファミリー用ヘッドセット検出』アプリケーション ノート。
4. テキサス インスツルメンツ、『[TLV320ADCX120](#) および [PCM120-Q1](#) ファミリーにおけるアナログ入力の取り扱い』アプリケーション ノート。
5. テキサス インスツルメンツ、『[TAX5x1x](#) デバイスのアナログ入力構成、ミキシング、およびマルチプレクシング』アプリケーション ノート。
6. テキサス インスツルメンツ、『[TAX5xxx-Q1](#) 故障診断機能』アプリケーション ノート。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月