

Application Note

補助チャネルを利用した DisplayPort/embedded DisplayPort
リンクトレーニングのデバッグ手法

Mason Chen, Violet Lei, Esther Chang

概要

このアプリケーション ノートでは、DisplayPort および embedded DisplayPort (DP/eDP) のリンクトレーニングについて、DisplayPort 構成データ (DPCD) レジスタと補助 (AUX) チャネル信号解析を用いたデバッグ手法に重点を置きながら、包括的に解説します。このドキュメントでは、DP/eDP リンクの基本的なアーキテクチャと AUX チャネルの動作原理について説明します。続いて本資料では、DP/eDP リンクトレーニングの完全な手順を詳しく説明し、クロックリカバリ、チャネル イコライゼーション、シンボル ロック、およびレーン間整列の各段階で発生する可能性のある故障のポイントを示し、それに対応するデバッグ手法を提示します。最後に本資料では、DS90LV011-12AEVM 評価基板を使用した差動から単一端子への変換回路の実装方法について説明するとともに、プロトコル アナライザの設定方法、AUX 信号取得手順、および AUX データ形式の解釈方法についてのガイダンスを提供します。このアプリケーション ノートのすべての情報は、DP v1.4a および eDP v.1.4b 規格に基づいていることに注意してください。

目次

1 概要.....	2
2 DP/eDP リンクトレーニング手順とデバッグ方法.....	3
2.1 リンクトレーニング手順.....	3
2.2 リンクトレーニング失敗時のデバッグ ガイド.....	4
3 DP/eDP AUX チャネル信号の概要.....	5
3.1 AUX トランザクション タイプ.....	5
3.2 DPTX および DPRX AUX 設計ガイダンス.....	5
4 AUX チャネル信号のデコード.....	9
4.1 AUX トランザクション構文.....	9
4.2 DS90LV011-12AEVM を使用した DP/eDP AUX チャネル信号のキャプチャ方法.....	9
4.3 AUX チャネルのデコード方法.....	11
4.4 AUX チャネルのデコード例.....	13
5 まとめ.....	14
6 参考資料.....	14

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

DP/eDP インターフェイスは、Video Electronics Standards Association (VESA) によって開発されたもので、コンピュータ、モニタ、その他のディスプレイで広く使用されている主流の高解像度映像伝送規格です。DP/eDP インターフェイスは、補助 (AUX) チャンネル、ホットプラグ検出 (HPD)、メインリンクなど、複数の機能チャンネルで構成されています。特に、AUX チャンネルは DP/eDP のソース デバイスとシンク デバイス間で安定かつ効率的な通信を確認する上で不可欠な役割を果たします。

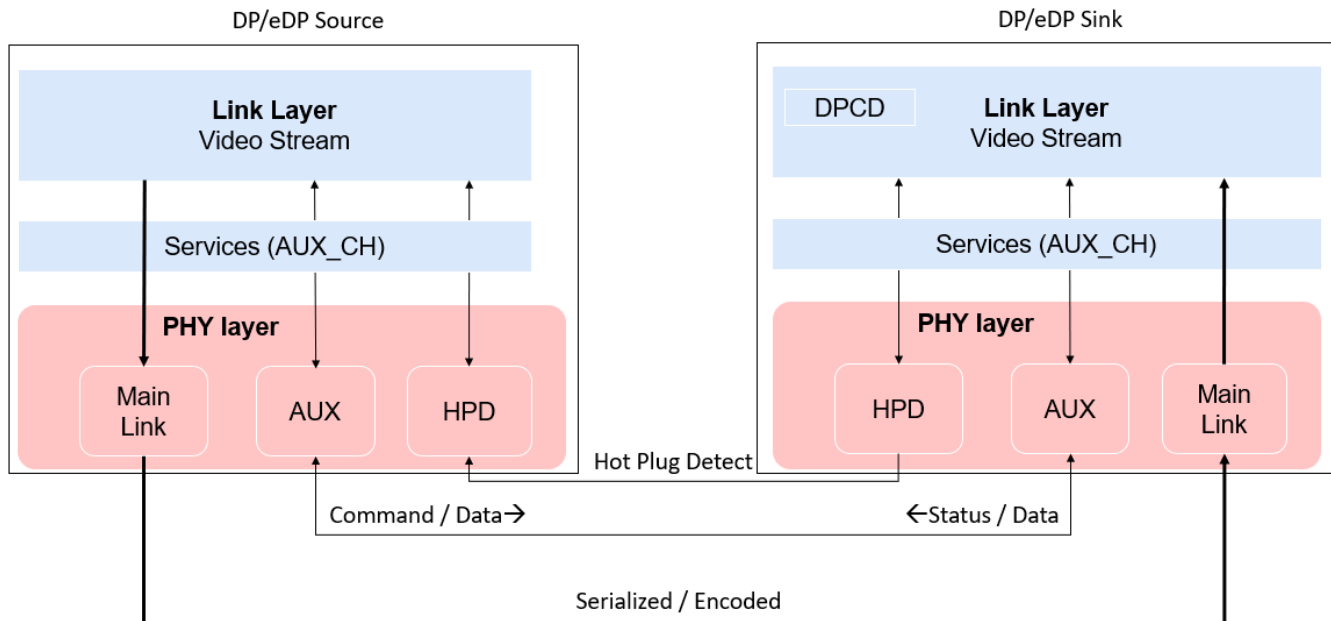


図 1-1. DP/eDP アーキテクチャ

2 DP/eDP リンクトレーニング手順とデバッグ方法

2.1 リンクトレーニング手順

DP/eDP リンクトレーニングは、インターフェイスを通じて安定した映像伝送を確認するための初期化プロセスです。リンクトレーニングは、シンクの存在を示すシンクからの HPD 信号によってトリガされます。図 2-1 に示すように、このプロセスではデバイス機能の読み出し、クロックリカバリ、チャネルイコライゼーション、シンボルロック、およびレーン間整列を順に実行し、完了するとビデオストリーム伝送が実現されます。

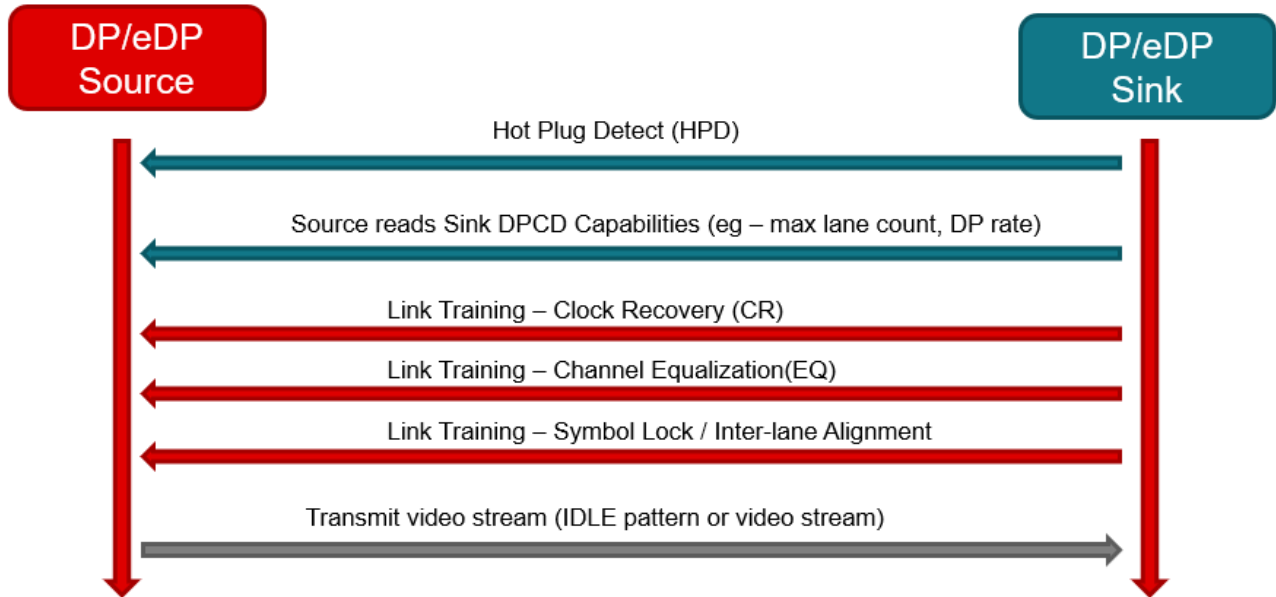
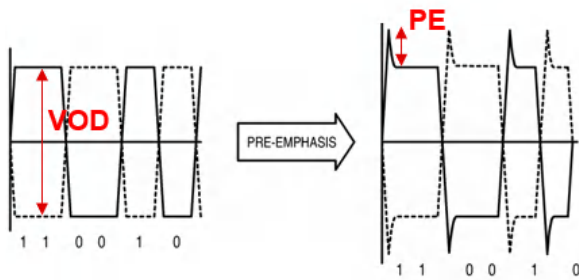


図 2-1. DP/eDP リンクトレーニング手順

1. **HPD トリガおよび DPCD 機能の読み取り:** シンクとソースの間で物理接続が確立されると、シンクは HPD 信号をプルアップして、通信の確立をソースに通知します。HPD 信号が High にプルアップされたことを検出すると、ソースは AUX チャネルを介してシンクの DPCD レジスタを読み出し、最大レーン数、対応レーン速度、電圧スイング、およびプリエンファシス レベルなどのコア機能パラメータを取得します。
2. **クロックリカバリ:** これは、リンクトレーニングの最初のステップです。DP/eDP インターフェイスには独立したクロック線が含まれていないため、クロックリカバリとは、シンクがソースのデータストリームから同期クロックを回復しようとする処理です。ソースは、シンクが対応する DP/eDP レーン速度のうち最も高い速度、最小の電圧スイング (VOD)、および最小のプリエンファシス (PE) で TPS1 を送信します。VOD は差動電圧スイングと振幅を調整し、プリエンファシスは信号がトランスミッタを出る際のオーバーシュートを調整します。その後、ソースは AUX チャネルを介して DPCD レジスタ 00202h および 00203h のビット 4 およびビット 0 の LANEX_CR_DONE を確認します。このプロセスは、DPCD レジスタ 0000Eh の TRAINING_AUX_RD_INTERVAL で定義されたすべてのインターバル設定において 100µs 続きます。すべての LANEX_CR_DONE ビットが 1 を報告すると、クロックリカバリが成功します。もし LANEX_CR_DONE ビットのいずれかが 0 を返した場合、VOD/PE の組み合わせを上方に増加させ、トレーニングパターンを再度 100µs 送信します。同じレーン速度で 5 回試してもクロックが回復しない場合、ソースはレーン速度を下げ、最小の VOD/PE の組み合わせから再開し、クロックが正常に同期するまで、または最小速度で最大 VOD/PE の組み合わせでも同期できず失敗するまで、このサイクルを繰り返します。図 2-2 に、有効な VOD/PE の組み合わせを示します。VOD と PE の合計は 3 を超えることはできません。


Valid VOD/PE combinations:

	PRE0	PRE1	PRE2	PRE3
VOD0	OK	OK	OK	OK
VOD1	OK	OK	OK	NOK
VOD2	OK	OK	NOK	NOK
VOD3	OK	NOK	NOK	NOK

図 2-2. VOD スイングおよびプリエンファシス

3. **チャンネル イコライゼーション:** クロック リカバリが成功すると、チャンネル イコライゼーションはクロック リカバリ時に設定されたレーン速度および VOD/PE 設定で開始され、ソースはあらかじめ定義された 3 つのトレーニング パターンのいずれか (TPS2、TPS3、または TPS4) を送信します。シンクはパターンを解析して信号の歪みを検出し、イコライザパラメータを動的に調整します。その状態を DPCD レジスタ 00202h および 00203h のビット 5 とビット 1 の LANEx_CHANNEL_EQ_DONE を介してフィードバックし、DP/eDP レーン上の信号整合性を確認します。
4. **シンボル ロックとレーン間の整列:** シンボル ロックでは、シンクが 8b/10b 符号化シンボルの境界を正確に特定し、ビット誤り率 (BER) が 10^{-9} 未満であることが求められます。この条件を満たすと、DPCD レジスタ 00202h および 00203h のビット 6 およびビット 2 の LANEx_SYMBOL_LOCKED が設定されます。レーン間整列では、各レーンの遅延を調整してデータ同期を達成し、すべてのレーンが正しく整列していることを DPCD レジスタ 00204h のビット 0 INTERLANE_ALIGN_DONE で示します。
5. **ビデオ ストリーム伝送:** すべてのトレーニング ステップが成功すると、ソースは DPCD レジスタ 00202h の LANE0_1_STATUS、00203h の LANE2_3_STATUS、および 00204h の LANE_ALIGN_STATUS_UPDATED を介して、シンクにトレーニング完了を通知します。ソースは、トレーニング パターンの送信を停止し、アイドル パターンまたはビデオ ストリームの送信を開始します。

2.2 リンクトレーニング失敗時のデバッグ ガイド

2.2.1 クロック リカバリが成功しない場合のデバッグ ポイント

クロック リカバリには、テスト パターン TPS1 を正しく送信することが重要です。以下の問題が、TPS1 パターンの送信に影響を及ぼす可能性があります:

1. 不適切な PCB レイアウトによる信号整合性の問題
 - DP/eDP トレース レイアウトの考慮事項は以下の通りです:
 - DP トレースが $100\Omega \pm 10\%$ の差動インピーダンスで配線されるようにします。eDP を使用する場合、eDP コネクタの代わりに直接トレース接続を行う場合は、 $100\Omega \pm 10\%$ のトレース インピーダンスで配線します。eDP コネクタを使用する場合は、 $85\Omega \pm 15\%$ のパターン インピーダンスで配線します。
 - ペア内およびレーン間のスキューを避けるため、長さを揃えて配線します。
 - トレースはグラウンド層に隣接する層に配線します。電源プレーンに隣接してトレースを配線することは避けてください。TI は、EMI の影響を低減するために、トレースを内部層に埋設することを推奨しています。
 - ビア スタブを防止して信号の反射を低減します。
 - クロストークを低減するのに十分なスペースを確保します。
 - トレースにテスト ポイントを追加しないでください。
 - 有効な診断手段として、DP/eDP 信号のアイ ダイアグラムを確認する方法があります。アイ ダイアグラムを改善するには、ジッタが仕様範囲内であることを確認し、前述のレイアウト上の考慮事項に従ってください。
2. 電圧スイングとプリエンファシスの最小電圧レベルが満たされていません
 - 電圧スイングとプリエンファシス電圧が、TPS1 パターン転送の仕様を満たしていることを確認します。

2.2.2 チャンネル イコライゼーションが成功しない場合のデバッグ ポイント

クロック リカバリ段階と同様に、適切なレイアウトが確保されていること、および事前定義されたトレーニング パターン (TPS2、TPS3、または TPS4) に対して電圧スイング / プリエンファシスの最小電圧レベルが DP/eDP 規格を満たしていることを確認します。

2.2.3 シンボル ロックとレーン間整列が正常に行われない場合のデバッグポイント:

シンボル ロック段階が成功しない場合、デジタル PHY 層がシンボル境界の整列に成功していないことを示します。

1. 各レーンのシンボル エラーを DPCD レジスタ (レーン 0 は DPCD 00210h ~ 00211h、レーン 1 は 00212h ~ 00213h、以下同様) で確認し、特定のレーンで伝送エラーが発生しているかどうかを判断します。
2. レーン間スキュー (例:レーン 0 とレーン 1 の間) とレーン内スキュー (各レーンの P パターンと N パターンの間) の DP/eDP 仕様を満たしています。

3 DP/eDP AUX チャネル信号の概要

AUX チャネルは半二重双方向チャネルで、約 1Mbps の転送レートで動作します。これはソースとシンク間の通信方式であり、管理データおよびデバイス制御データを伝送します。

3.1 AUX トランザクション タイプ

AUX チャネルは、ネイティブ AUX 操作および I2C-over-AUX 操作をサポートしています。

ネイティブ AUX 操作には、ソースとシンク間で共有される DPCD レジスタへの AUX 書き込みおよび読み取りが含まれます。DPCD レジスタには、デバイスの機能情報、ステータス情報、および各種構成パラメータが含まれます。

I2C-over-AUX 動作は、AUX ライン上で標準的な I2C 通信を伝送することを目的とした AUX チャネル コマンドの一種です。I2C-over-AUX 操作は、外部 I2C コントローラおよびターゲット インターフェイスを介さずに、EDID 情報へ効率的にアクセスして転送するために使用できます。

3.2 DPTX および DPRX AUX 設計ガイダンス

3.2.1 DP/eDP の実装

図 3-1 に、DP の代表的な AUX ハードウェア実装を示します。AUX の正常な動作を確認するためには、ディスクリット部品が必要です。C_AUX の代表値は 0.1 μ F であることに注意してください。

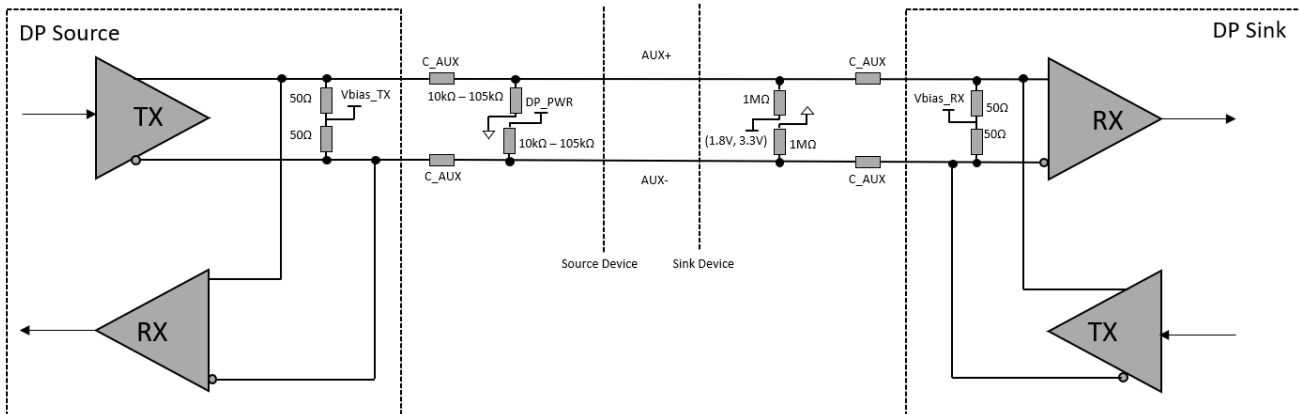
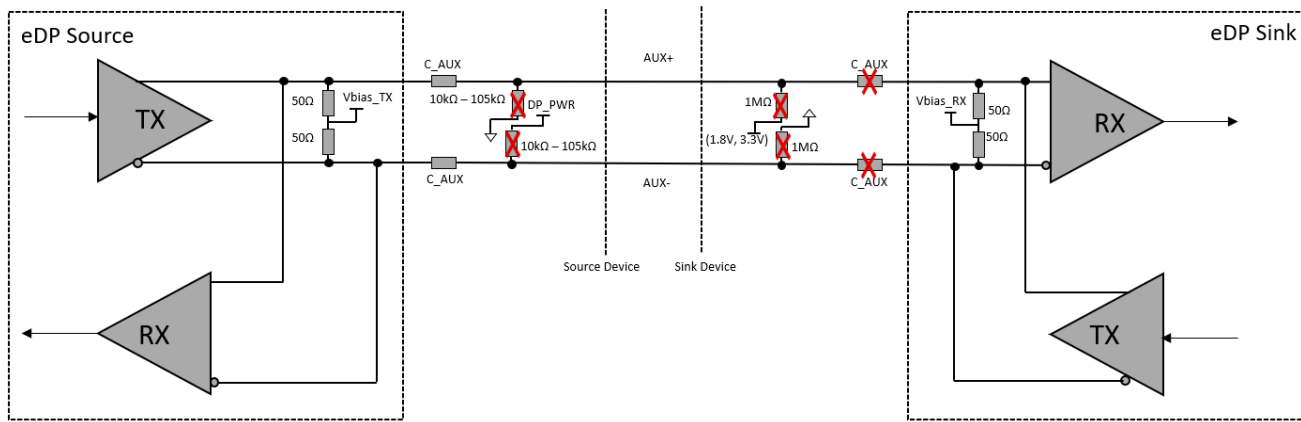


図 3-1. DP AUX CH 差動ペア

図 3-2 に、eDP AUX ハードウェアの実装を示します。


図 3-2. eDP AUX CH 差動ペア

赤色で示された部品は不要です。eDP の実装オプションは以下の通りです：

スタффイング オプション 1：

1. ソース側プルアップ / プルダウン = 100k Ω
2. シンク側プルアップ / プルダウン = 1M Ω
3. シンク側 C_AUX = 100nF

スタффイング オプション 2：

1. ソース側プルアップ / プルダウン = DNP
2. シンク側プルアップ / プルダウン = DNP
3. シンク側 C_AUX は 0 Ω 抵抗に置き換え

3.2.2 電気的特性

表 3-1 に、代表的な条件 (T = 25°C、公称 VDD) での AUX チャネルの電気的仕様を示します。完全な表については、DP v1.4a および eDP v1.4b の仕様を参照してください。

表 3-1. AUX_CH の電気的仕様

記号	パラメータ	最小値	公称値	最大値	単位
UI _{MAN}	Manchester トランザクションの単位時間	0.4	0.5	0.6	us
プリチャージパルス	プリチャージパルスの数	10		16	
	SYNC 終了シンボルより前のパルス数 (DP モード)		16		パルス
	SYNC 終了シンボルより前のパルス数 (eDP モード)		8		パルス
T _{AUX-BUS-PARK}	AUX_CH バス パーク時間	10			ns
T _{cycle-to-cycle jitter}	送信デバイスのコネクタ端子における、単一トランザクション内で許容される UI 変動の最大値			0.08	UI
	送信デバイスのコネクタ端子において、単一トランザクション内で隣接するビット時間に対して許容される最大変動			0.04	UI
	受信デバイスのコネクタ端子において、単一トランザクション内で許容される UI 変動の最大値			0.1	UI
	受信デバイスのコネクタ端子において、単一トランザクション内で隣接するビット時間に対して許容される最大変動			0.05	UI
V _{AUX-DIFFP-P_TX} (eDP)	TX パッケージピン (TP1) での AUX ピークツー ピーク電圧	0.18	0.20	1.38	V
	TP3 での AUX ピークツー ピーク電圧	0.14		1.36	V
V _{AUX-DIFFP-P_TX} (DP)	送信時のメインリンク ソース / シンクからの AUX ピークツー ピーク電圧	0.29	0.40	1.38	V
V _{AUX-DIFFP-P_RX} (DP)	メインリンク ソース (TP2) で受信された AUX ピークツー ピーク電圧	0.27		1.36	V
	メインリンク シンク、TP3 で受信された AUX ピークツー ピーク電圧	0.27		1.36	V
V _{AUX-DC-CM} (eDP)	AUX DC 同相モード電圧	0		1.2	V
V _{AUX-DC-CM} (DP)	AUX DC 同相モード電圧	0		2.0	V
V _{AUX-TURN-CM}	AUX ターンアラウンド同相モード電圧	0		0.3	V
I _{AUX_SHORT}	AUX 短絡電流制限			90	mA
C _{AUX}	AUX AC カップリング コンデンサ	75		200	nF

3.2.3 AUX アイダイアグラム

図 3-3 および図 3-4 に、それぞれ DP および eDP AUX チャネルのアイダイアグラムのテスト条件を示します。完全な設計ガイドについては、DP v1.4a および eDP v1.4b の仕様を参照してください。

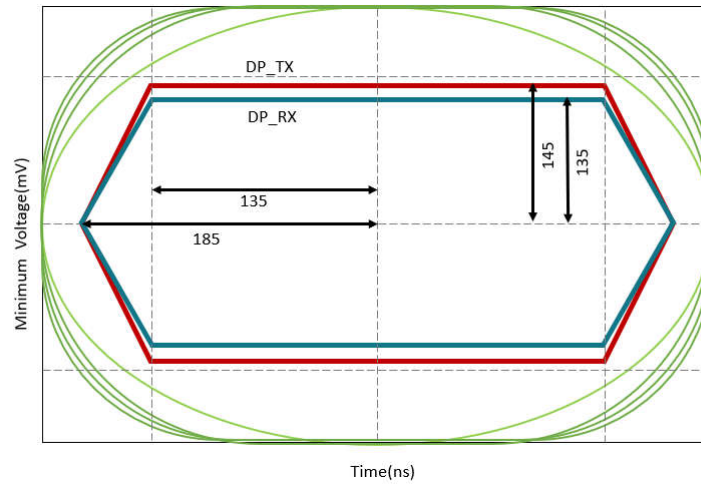


図 3-3. DP AUX_CH アイマスク

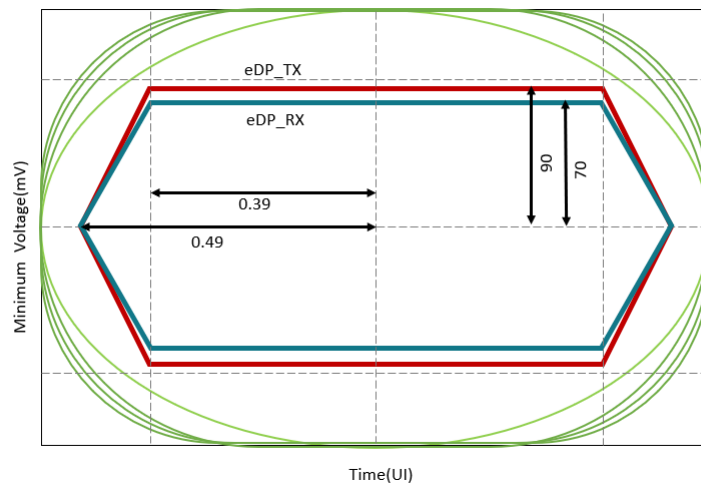


図 3-4. eDP AUX_CH アイマスク

4 AUX チャネル信号のデコード

AUX チャネルは、リンクトレーニング、デバイス列挙、および DP/eDP のソースとシンク間のリアルタイム制御信号の伝送などの重要な機能を担っているため、このチャネルを監視することは有用です。

4.1 AUX トランザクション構文

前述の通り、AUX チャネルはハーフ デュプレックス通信モードを使用しており、データ伝送は Manchester-II トランザクション形式に厳密に準拠しています。

SYNC パターンはデータ フレームの開始識別子として機能します。このパターンは、Manchester-II で符号化された 16 ~ 32 個の連続した論理 0 で構成されており、その目的はレシーバの同期を確立し、データ フレームを正確に識別することです。

その後、SYNC END/START が送信されます。この信号は、2 クロック サイクルの HIGH と 2 クロック サイクルの LOW で定義されています。

その後、4 ビットの Manchester-II 符号化コマンド (CMD) フィールドが送信されます。このフィールドは、DP/eDP 書き込み動作 (80h) や DP/eDP 読み取り動作 (90h) などの動作タイプを指定するために使用されます。CMD フィールドに続いて、アドレス (ADDR) フィールドおよびデータ (DATA) フィールドが順に続きます。

ADDR フィールドは操作の対象となるレジスタまたはメモリ位置を指定するために使用され、DATA フィールドは送信される具体的な情報を保持します。

フレーム構造の終了は STOP 信号で示されます。この信号は SYNC END/START と同じ形式を持ち、フレームのデータ伝送の終了を示すために使用されます。特定の AUX トランザクション形式の詳細については、DP v1.4a 仕様を参照してください。

4.2 DS90LV011-12AEVM を使用した DP/eDP AUX チャネル信号のキャプチャ方法

DP/eDP は差動信号方式を使用しているため、単一端子信号のみをサポートする従来のテスト ツールでは AUX チャネルのキャプチャが困難です。この技術的課題に対処するため、本設計では専用の差動あらず単一端子変換評価基板である DS90LV011-12AEVM を使用します。

なお、DS90LV011-12AEVM には DS90LV011A および DS90LV012A の両方のモジュールが含まれていますが、差動から単一端子の変換機能は DS90LV012A モジュールのみを使用して実現されています。主要な技術的特徴は以下の通りです：

- 入力差動信号レート: すべての DP/eDP AUX チャネル レートをサポート
- 電源電圧: 3.3V 単一電源電圧での動作をサポート
- 出力レベル: 3.3V CMOS/TTL レベル規格と互換性あり

DS90LV011-12AEVM の詳細については、『[DS90LV011-12AEVM ユーザー ガイド](#)』を参照してください。

実装のブロック図を、[図 4-1](#) に示します。AUX ラインに接続するには、プルアップ / プルダウン抵抗が配置されているコンデンサ側の評価基板にワイヤをはんだ付けします (赤い実線の丸で示します)。共通モード電圧が DS90LV012A の VDD (3.3V) を超える場合は、LVDS レシーバに悪影響を与えないよう、コンデンサの反対側 (赤い丸の点線) にワイヤをはんだ付けします。

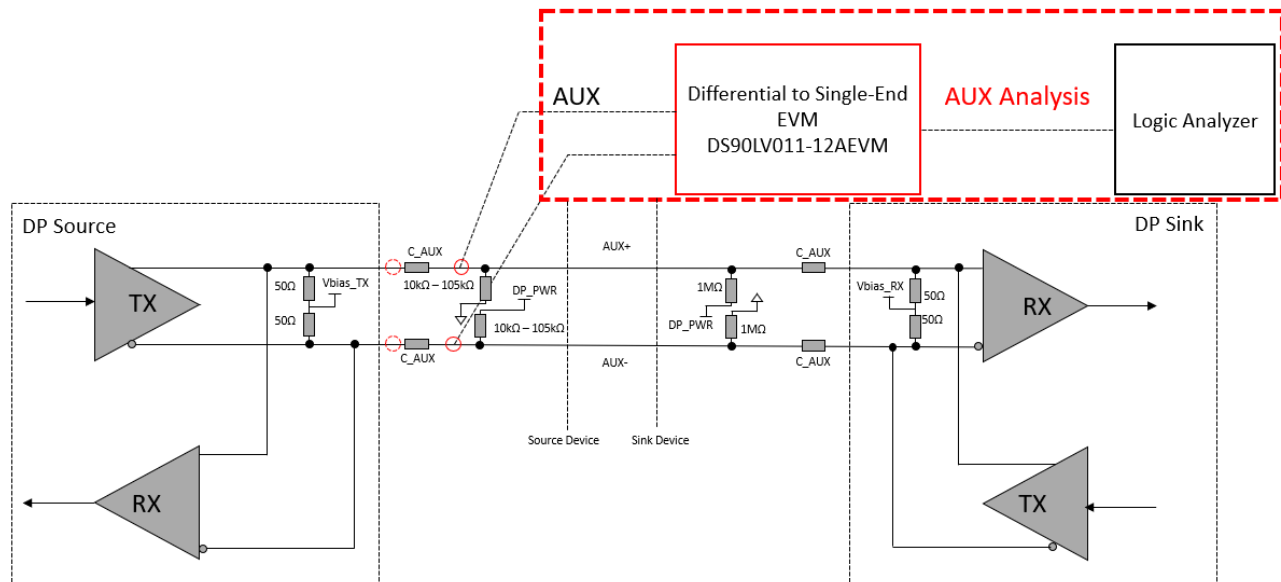
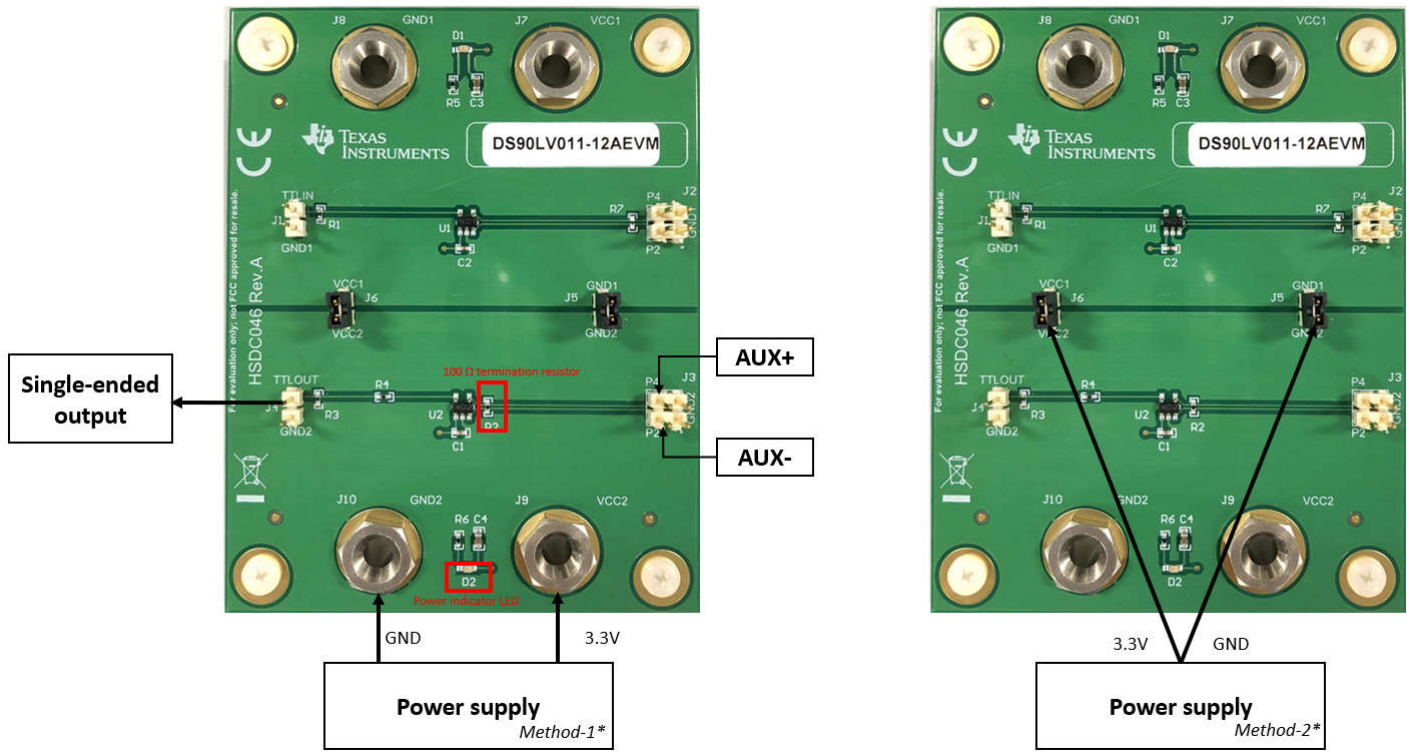


図 4-1. DS90LV011-12AEVM 統合ブロック図

DS90LV011-12AEVM を使用して AUX 信号をキャプチャするためのハードウェア接続を、[図 4-2](#) に示します。

DS90LV011-12AEVM の電源投入には 2 つの方法があります。バナナ ジャック J9 および J10 を使用する方法、またはジャンパ フックワイヤを J5 および J6 に接続する方法です。電源が適切に供給されると、D2 が点灯します。

AUX 差動信号を J3 に接続 (AUX+ を P4、AUX- を P2 に接続) し、J4 の TTLOUT 信号を単一端子ロジックアナライザに接続します。ロジックアナライザが評価基板の出力電圧に合わせて 3.3V で解析するよう設定されていることを確認します。LVDS 信号を正しく測定するため、評価基板には測定ポイントの差動ペアに 100Ω の終端抵抗 R2 が搭載されています。



*Note that VCC1 and GND1 can also be used to power the EVM if J5 and J6 are populated.

図 4-2. DS90LV011-12AEVM を使用して AUX チャネルをキャプチャする構成

4.3 AUX チャネルのデコード方法

AUX チャネル信号を適切にデコードするには、ハードウェアを正しく実装する必要があります。より具体的には、評価基板と AUX チャネル間で AUX の極性を一致させる必要があります。適切にマッチングされた AUX 極性の場合、図 4-3 に示すように、各 AUX トランザクションには SYNC END/START および STOP シーケンスの両方が含まれます。逆に、AUX 極性を入れ替えたハードウェア実装では、図 4-4 に示すように、SYNC END/START または STOP シーケンスはありません。



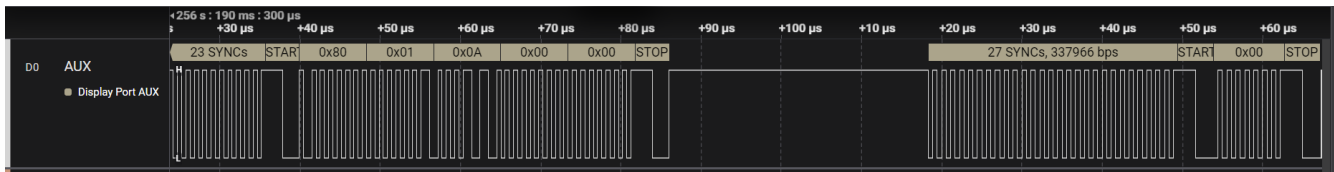
図 4-3. AUX トランザクションの適切な極性



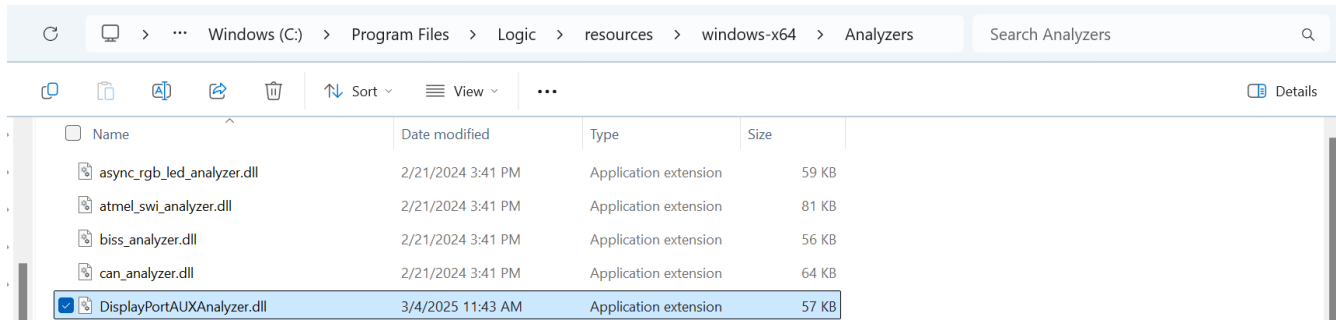
図 4-4. 極性のスワップ AUX トランザクション

AUX の極性が正しくない場合は、DS90LV011-12AEVM 上で AUX+ と AUX- のワイヤを入れ替えます。

AUX チャネルをキャプチャした後、専用の AUX アナライザ拡張機能を使用すると、キャプチャした信号を効率的に解析できます。図 4-5 に、この AUX アナライザ拡張機能を利用してデコードされた AUX 波形を示し、Logic 2 アナライザに適用できます。

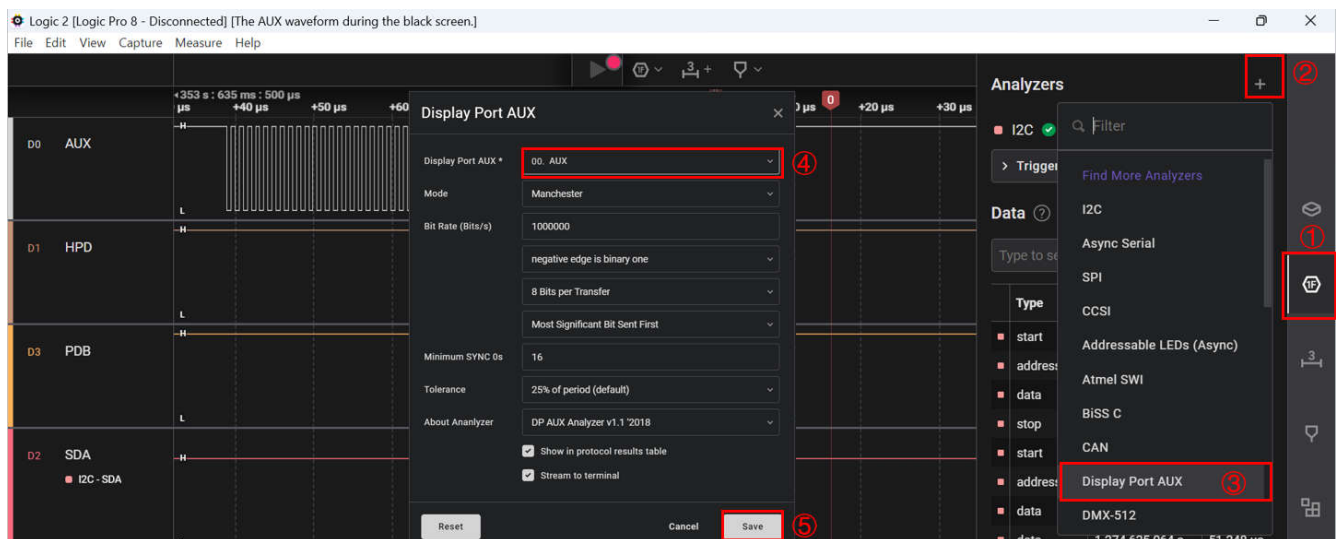

図 4-5. AUX アナライザ拡張機能を利用した Logic 2 の AUX 波形

Logic 2 ソフトウェアを使用する場合は、[図 4-6](#) に示すように AUX アナライザ拡張機能を Logic\resources\windows-x64\Analyzers フォルダに配置します。


図 4-6. Logic 2 ソフトウェアの AUX アナライザ拡張

Logic 2 に拡張機能を適用するには、次の手順を実行します：

1. [Analyzers] タブをクリックします。
2. アナライザを追加します。
3. 「Display Port AUX」を選択します。
4. 分析する適切なチャンネルを設定します (たとえば、[図 4-7](#) のチャンネル 00)。
5. [Save] をクリックします。


図 4-7. Logic 2 に AUX 拡張を適用する手順

AUX アナライザ拡張機能を使用する場合、サンプリング レートが少なくとも 250MS/s であることを確認します。

4.4 AUX チャネルのデコード例

図 4-8 に、DPCD レジスタ 00202h–00207h を報告するネイティブ AUX 読み取りトランザクションを示します。このキャプチャでは、00202h と 00203h は 0x77 と 00204h が 0x81 に報告し、4 レーン リンクトレーニングの手順が成功したことを示しています。

同様に、図 4-9 にネイティブ AUX 書き込みトランザクションを示します。DP/eDP 仕様によると、DPCD レジスタ 00101h は DP/eDP レーン数を判定するために使用されます。この例では、ソースが AUX チャネルを介してこのレジスタに 84h を書き込み、リンクトレーニングが 4 レーン モードで実行されることを指定しています。

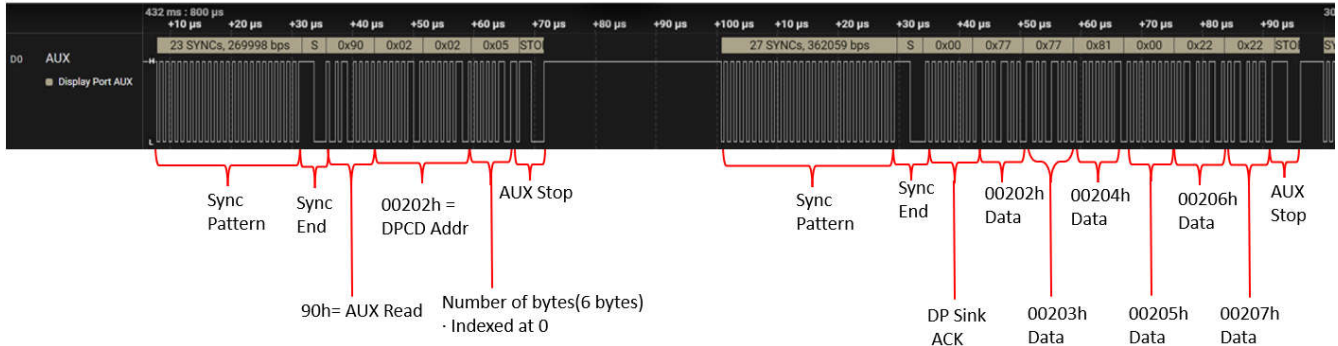


図 4-8. ネイティブ AUX 読み取りトランザクション

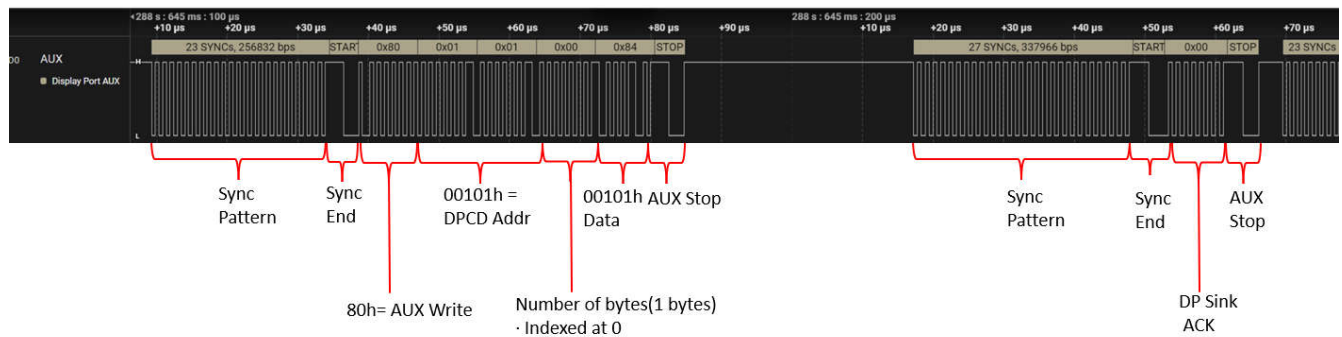


図 4-9. ネイティブ AUX 書き込みトランザクション

5 まとめ

本アプリケーション ノートでは、体系的なデバッグ手法と AUX チャネル信号解析技術に重点を置き、DP/eDP リンクトレーニング技術に関する実践的なエンジニアリング ガイドを提供します。特にこの資料では、信号変換のために DS90LV011-12AEVM 差動レシーバ評価基板を使用した完全な実装手法を提示し、検証済みの測定手法を通じてエンジニアがリンクトレーニングの問題を効率的に診断し、解決できるようにしています。

6 参考資料

1. テキサス インストルメンツ、『[DS90UB983-Q1 4K DisplayPort/eDP から FPD-Link IV へのブリッジ シリアライザ](#)』、データシート。
2. テキサス インストルメンツ、『[DS90UB984-Q1 4K FPD-Link IV から DisplayPort/eDP へのブリッジ シリアライザ](#)』、データシート。
3. VESA、DisplayPort 標準 v1.4a
4. テキサス インストルメンツ、『[DS90LV012A / DS90LT012A 3V LVDS シングル CMOS 差動ライン レシーバ](#)』、データシート。
5. テキサス インストルメンツ、『[DS90LV011-12AEVM ユーザー ガイド](#)』、ユーザー ガイド。
6. Github (Alex-the-Smart)、[AUX アナライザ](#)、Web ページ。
7. Saleae、[Logic 2 ソフトウェア](#)、ソフトウェア。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月