

## Application Note

## TAx5x1x ファミリの手動のクロック構成



Mir Jeffres, Karan Das

## 概要

TAx5x1x ファミリのデバイスは、幅広い入出力クロック周波数をサポートできる柔軟な PLL およびクロック ツリーを備えています。WCLK、BCLK、CCLK の標準オーディオ レートでは、デバイスは性能に対応してクロック ツリーを自動的に構成できますが、より詳細な制御または非標準のオーディオ レートが望ましい場合は、必要に応じてクロック構成をカスタマイズできます。手動クロック モードでは、すべてのクロック分周器と PLL パラメータを手動で設定する必要があり、ターゲット (すべての ASI クロックが外部から供給) およびコントローラ モード (CCLK または BCLK が供給、BCLK や WCLK がデバイスによって生成) の両方で使用できます。このアプリケーション ノートによって、PLL パラメータとクロック分周器の計算がより簡単になります。

このアプリケーション ノートではカスタム モードに焦点を当てています。自動モードの詳細については、『[デバイスのクロック構成および TAx5x1x ファミリの柔軟なクロッキング](#)』および『[TAx5x1x ファミリーでサポートされるクロック誤差の構成、検出、およびモード](#)』を参照してください。

このアプリケーション ノートで説明されているクロック構成は、以下のデバイスで利用できます。

TAC5111、TAC5111-Q1、TAC5112、TAC5112-Q1、TAC5211、TAC5212、TAC5212-Q1、TAC5301-Q1、TAC5311-Q1、TAC5312-Q1、TAC5411-Q1、TAC5412-Q1、TAD5112、TAD5112-Q1、TAA5212、TAD5212、TAD5212-Q1、TAA5412-Q1

## 目次

1 概要.....	2
2 クロック ツリー.....	3
3 クロックの制限.....	5
3.1 内部周波数範囲.....	5
3.2 クロック分周器のパラメータ範囲.....	5
3.3 クロック イネーブル レジスタ.....	6
4 手動のクロック ツリー構成レジスタ.....	7
4.1 必要なレジスタ設定.....	7
4.2 手動のクロック ツリー構成でのレジスタ設定.....	7
4.3 サンプル レートと MOD_CLK 周波数ピン.....	8
4.4 消費電力に関する考慮事項.....	9
5 PLL 通倍器および分周器の計算.....	10
6 事例 1: カスタム ターゲット モード、非オーディオ レート.....	12
6.1 サンプル スクリプト.....	14
7 事例 2: カスタム コントローラ モード、非オーディオ レート.....	15
7.1 サンプル スクリプト.....	17
8 まとめ.....	18
9 参考資料.....	18

## 商標

すべての商標は、それぞれの所有者に帰属します。

## 1 概要

TAx5x1x デバイスはいくつかの自動 PLL 構成モードをサポートしており、入力クロック (CCLK、BCLK、FSYNC) に基づいて内部クロックが構成されます。このファミリのデバイスの自動モードはほとんどの一般的な使用事例に対応できますが、手動クロックが必要な場合や望ましい場合もあります。手動クロックの使用事例は次のとおりです。

1. コントローラ モードで、CCLK が FSYNC 周波数と整数の関係がなく、『[デバイスのクロック構成および TAx5x1x ファミリの柔軟なクロッキング](#)』の表 3-7 に記載されている自動 CCLK 固定モードで許容される CCLK 周波数のいずれかではない場合。
  - a. たとえば、15MHz CCLK と 48kHz FSYNC です。
2. クロッキングに関する特定のニーズを満たす、非標準のサンプル レート。自動モードでのサンプル レート検出は WCLK 周波数の特定の範囲でのみ機能し、サポート対象であるすべてのサンプル レートでは半自動モードが機能しますが、内部クロックに関する知識が失われます。
  - a. たとえば、50kHz のサンプル レート (自動モードではなく半自動モードでサポートされている) を使用し、PDM クロック、CLKOUT の周波数を指定したり、PLL がオンまたはオフであることを確認したりする場合があります。
3. さまざまなレートの PASI と SASI、またはコントローラおよびターゲット モードのレートなど、非標準のサンプル レートでのサンプル レート変換。詳細については、『[TAx5x1x 同期サンプル レート変換](#)』を参照してください。
4. TAx5x1x の内部クロック方式に関する詳細な知識を必要とするその他の状況。内部クロックについて理解すると、一般的な CLKOUT、PDM クロックを生成したり、チップ間で消費電力を均一にするための設定を再作成したりできます。

## 2 クロック ツリー

TAx5x1x デバイスは、ADC と DAC 用の内部クロックだけでなく、PASI と SASI の両方のための BCLK や FSYNC などの ASI クロックを生成することを目的とした幅広いオプションをサポートしています。また、組込みシステムの他の部分とのインターフェイスに使用するクロックの生成もサポートしています。たとえば、デジタル マイク用の PDM クロックや、他のデバイスのデバッグや駆動に使用できる調整可能な CLKOUT です。図 2-1 に、内部クロックおよび分周器のクロック ツリーを示します。すべての内部クロックのソースは、印加された CCLK または BCLK から供給することができます。あるいは、印加されたクロックの 1 つを PLL へのソースにして、すべての内部クロック分周器を駆動することができます。BOOST、SAR、MOD、DEM クロックは単なる内部クロックであり、その他のクロックは必要に応じてそれぞれのデジタル出力ピンからルーティングできます。このアプリケーション ノートでは、カスタムの手動クロックの構成に必要な内部クロックと分周器の計算について詳しく説明しています。

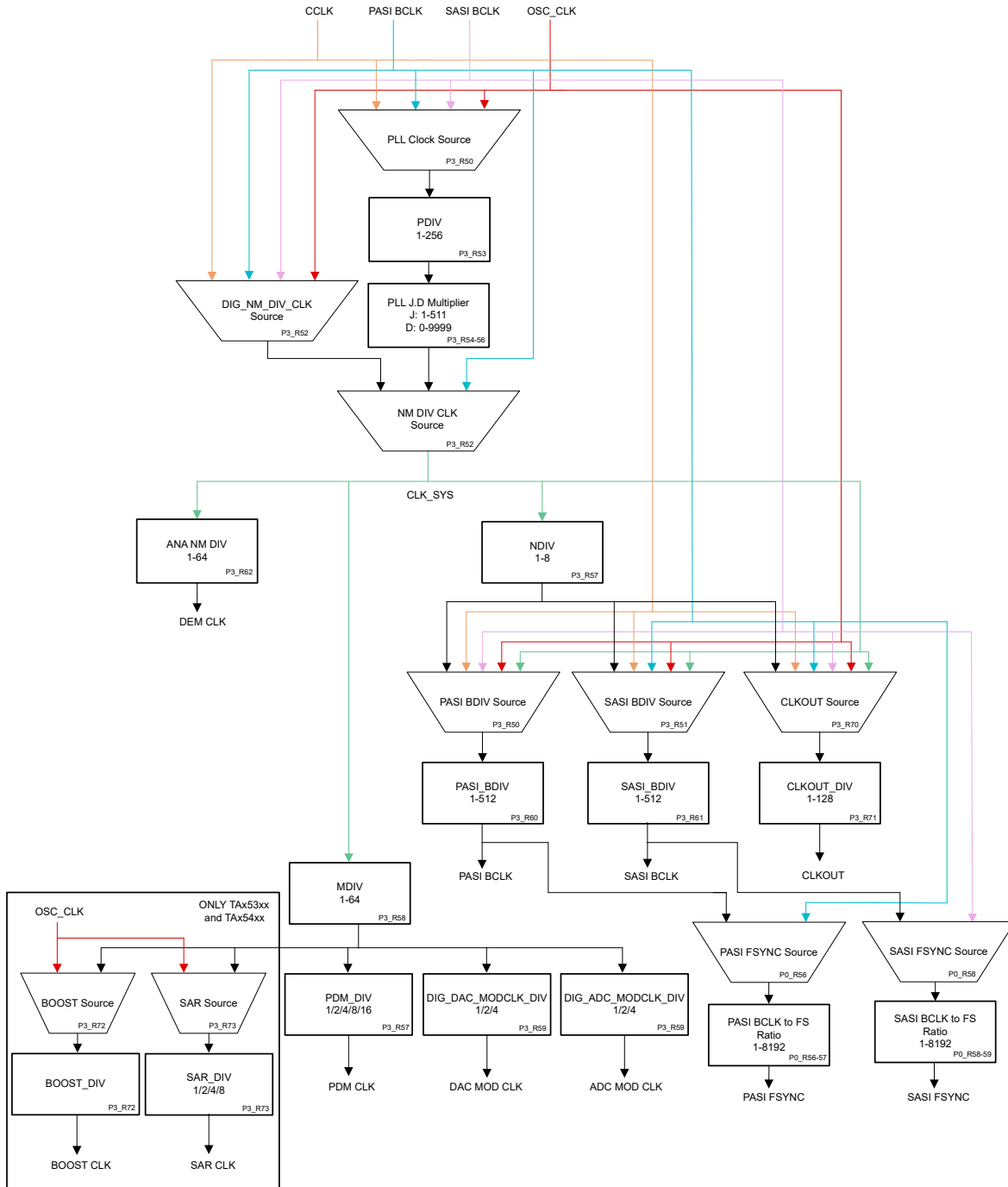


図 2-1. クロック ツリー

### 3 クロックの制限

クロック処理システムへの入力に対する制限に注意してください。この範囲外のクロックが供給されると、予期しない動作が発生することがあります。

表 3-1. 入力周波数範囲

クロック入力	周波数範囲 (FSYNC の倍数として $\pm 5\%$ の変動を許容)
WCLK/FSYNC	3 kHz ~ 768 kHz
BCLK	256kHz-24.576MHz
CCLK	最高 50MHz

#### 3.1 内部周波数範囲

表 3-2 に、PLL の入力および出力の絶対最小周波数範囲および絶対最大周波数範囲を示します。表 3-3 に、内部クロック周波数範囲を示します。表 4-3 に示すように、FSYNC 周波数ピンからの入力クロックの変動により、内部クロックで予期される値は  $\pm 5\%$  変化する可能性があることに注意してください。

表 3-2. PLL 入力 / 出力クロック周波数範囲

PLL 入力 / 出力クロック	周波数範囲
PLL 入力、整数モード (D=0)	256kHz ~ 20MHz
PLL 入力、分数モード (DI=0)	10 MHz ~ 20 MHz
CLK_SYS (PLL 出力)	67 MHz ~ 116 MHz

表 3-3. 内部クロック周波数範囲

内部クロック	周波数範囲 (FSYNC の倍数として $\pm 5\%$ の変動を許容)
PDM_CLK	0.768/1.536/3.072/6.144MHz
ADC_MOD_CLK/DAC_MOD_CLK	1.536 ~ 3.072MHz
ADC_DEM_CLK/DAC_DEM_CLK	2x または 4x MOD_CLK、3.072/6.144/12.288MHz
OSC_CLK <sup>1</sup>	12.288MHz (デバイスの変動のため $\pm 10\%$ )
BOOST_CLK	3.072 ~ 6.144MHz
SAR_CLK	1.536/3.072/6.144/12.288MHz

#### 3.2 クロック分周器のパラメータ範囲

表 3-4. クロック分周器のパラメータ範囲

パラメータ	範囲	レジスタ (すべてページ 3)
J	1-511	0x36, 0x38
D	0-9999	0x36, 0x37
PDIV	1-256	0x35
NDIV	1-8	0x39
PDM_DIV	1, 2, 4, 8, 16	0x39
MDIV	1-64	0x3A
DIG_ADC_MODCLK_DIV	1, 2, 4	0x3A
DIG_DAC_MODCLK_DIV	1, 2, 4	0x3B
PASI BDIV	1-512	0x3B, 0x3C
SASI BDIV	1-512	0x3B, 0x3D
ANA_NM_DIV	1-64	0x3E
CLKOUT_DIV	1-128	0x47
BOOST_DIV	1, 2, 4, 8	0x48 (TAx53xx, TAx54xx のみ)

<sup>1</sup> 低消費電力の超音波および音響活動検出用に内部発振器クロック OSC\_CLK をクロックソースとして利用可能ですが、デバイス間および温度 / 電圧による変動のため、再生および記録アプリケーションに使用することは推奨されません。

**表 3-4. クロック分周器のパラメータ範囲 (続き)**

パラメータ	範囲	レジスタ (すべてページ 3)
SAR_DIV	1、2、4、8	0x49 (TAx53xx、TAx54xx のみ)

### 3.3 クロック イネーブル レジスタ

**表 3-5. クロック イネーブル レジスタ**

パラメータ	レジスタ (ページ 3)	ビット
NDIV_EN	0x44	2
MDIV_EN	0x44	1
PDM_DIV_EN	0x44	0
DIG_ADC_MODCLK_DIV_EN	0x45	6
DIG_DAC_MODCLK_DIV_EN	0x45	4
PASI_BDIV_EN	0x45	3
SASI_BDIV_EN	0x45	2
PASI_FSYNC_DIV_EN	0x45	1
SASI_FSYNC_DIV_EN	0x45	0
CLKOUT_DIV_EN	0x47	7
BST_CLK_MANUAL_EN	0x48	2
SAR_CLK_MANUAL_EN	0x49	2

## 4 手動のクロック ツリー構成レジスタ

### 4.1 必要なレジスタ設定

TAx5x1x デバイスで手動のクロック構成をイネーブルにするには、これらのレジスタを設定する必要があります。その後、他の必要なクロック デバイダ レジスタをすべて設定できます。

**表 4-1. 手動のクロック構成で動作をイネーブルにするのに必要なレジスタ設定**

I2C ビット	レジスタの設定
CUSTOM_CLK_CFG (B0_P0)	0x32[0] は 1b でなければなりません
PASI_SAMP_RATE (B0_P0)	0x32[7:2] は表 4-3 に従って設定します
SASI_SAMP_RATE (B0_P0)	0x32[7:2] は表 4-3 に従って設定します セカンダリ ASI が必要な場合
CLK_CFG30 (B0_P3)	0x44[1] を 1 に設定すると MDIV がイネーブルになり、他の分周器がイネーブルになります (使用する場合)
CLK_CFG31 (B0_P3)	0x45[7:4] を 1 に設定すると、ADC/DAC 動作の内部クロックがイネーブルになり、他の分周器がイネーブルになります (使用する場合)

### 4.2 手動のクロック ツリー構成でのレジスタ設定

表 4-2 に、手動のクロック構成で使用できるすべてのレジスタの詳細を示します。すべてを毎回設定する必要があるわけではありません。これは表 3-4 または表 3-5 に記載されていなかった、使用可能なすべてのレジスタについての一般的なガイドです。レジスタの詳細な説明については、データシートを参照してください。

**表 4-2. 手動のクロック ツリー構成でのレジスタ設定**

レジスタ名	パラメータ	ページ	登録
CLK_CFG0	PASI サンプル レート。カスタムのクロック構成を有効にします	0	0x32
CLK_CFG1	SASI サンプル レート (必要な場合)	0	0x33
CLK_CFG2	PLL のイネーブル / ディスエーブル、PLL の分数モードの設定、PLL 入力クロック ソース選択マルチプレクサ	0	0x34
CNT_CLK_CFG0	コントローラ モード: PDM_CLK、CCLK、FSYNC 比の選択 MSB (自動 MCLK 固定モード)	0	0x35
CNT_CLK_CFG1	コントローラ モード: CCLK および FSYNC 比の LSB (自動 MCLK 固定モードの場合)	0	0x36
CNT_CLK_CFG2	コントローラ モード: CCLK 入力周波数 (自動 MCLK 固定モードの場合) を選択し、ターゲット モードまたはコントローラ モードで PASI または SASI を選択します	0	0x37
CNT_CLK_CFG3	コントローラ モード: コントローラ モードで PASI の内部または外部 BCLK を選択し、PASI BCLK 対 FSYNC 比の MSB を選択します	0	0x38
CNT_CLK_CFG4	コントローラ モード: PASI BCLK 対 FSYNC 比の LSB を選択します	0	0x39
CNT_CLK_CFG5	コントローラ モード: コントローラ モードで SASI の内部または外部 BCLK を選択し、SASI BCLK 対 FSYN 比の MSB を選択します	0	0x3a
CNT_CLK_CFG6	コントローラ モード: SASI BCLK 対 FSYNC 比の LSB を選択します	0	0x3b
PWR_TUNE_CFG0	ADC MOD CLK 3.072MHz または 1.536MHz の周波数範囲を選択します	0	0x4e
PWR_TUNE_CFG1	DAC MOD CLK 3.072MHz または 1.536MHz の周波数範囲を選択します	0	0x4f
CLK_CFG12	PLL_PDIV 入力クロック選択マルチプレクサ、PASI BCLK 分周器クロック ソースマルチプレクサ	3	0x32
CLK_CFG13	SASI BCLK 分周器クロック ソース マルチプレクサ (必要な場合)	3	0x33
CLK_CFG14	DIG_NM_DIV_CLK および NM_DIV_CLK のソース選択マルチプレクサ	3	0x34
CLK_CFG15	PLL PDIV 値、1 ~ 256	3	0x35
CLK_CFG16	PLL_DIV の 2 分周、J および D MSB	3	0x36
CLK_CFG17	PLL D LSB	3	0x37
CLK_CFG18	PLL J LSB	3	0x38
CLK_CFG19	NDIV、PDM_DIV の選択	3	0x39

**表 4-2. 手動のクロック ツリー構成でのレジスタ設定 (続き)**

レジスタ名	パラメータ	ページ	登録
CLK_CFG20	MDIV、DIG_ADC_MODCLK_DIV の選択	3	0x3a
CLK_CFG21	DIG_DAC_MODCLK_DIV の選択、PASI および SASI BCLK 分周器の MSB	3	0x3b
CLK_CFG22	PASI BCLK 分周器の LSB	3	0x3c
CLK_CFG23	SASI BCLK 分周器の LSB	3	0x3d
CLK_CFG24	アナログ N-M DIV の値	3	0x3e
CLK_CFG30	NDIV、MDIV、PDM DIV をイネーブルにします	3	0x44
CLK_CFG31	ADC MOD CLK、DAC MOD CLK、PASI BDIV、SASI BDIV、PASI FSYNC DIV、SASI FSYNC DIV 分周器をイネーブルにします	3	0x45
CLKOUT_CFG1	CLKOUT 分周器のソース選択マルチプレクサ	3	0x46
CLKOUT_CFG2	CLKOUT 分周器の値およびイネーブル	3	0x47
BSTCLK_CFG1	昇圧クロック周波数、分周器イネーブル、および分周器の値 (TAx53xx および TAx54xx のみ)	3	0x48
SARCLK_CFG1	SAR クロック周波数、分周器イネーブル、および分周器の値 (TAx53xx および TAx54xx のみ)	3	0x49

### 4.3 サンプル レートと MOD\_CLK 周波数ビン

MOD\_CLK の周波数は、FS とも呼ばれるサンプル レートに応じて変化します。TAx5x1x デバイスには、多くのサンプル レート周波数ビンが定義されており、ビンの中心周波数は予測される周波数に、MOD\_CLK は 3.072MHz または 1.536MHz のいずれかになります。サンプル レートは、オーバーサンプリング レート (OSR) と呼ばれる整数倍によって MOD\_CLK に関連します。

表 4-3 に、デバイス内で使用可能なすべてのピンと OSR を示します。ピン ID は、サンプル レートを指定する場合はレジスタ P0\_R50 および P0\_R51 で、ビンの 10 進値 (ビット 7 ~ 2) で使用されます。これらは、半自動モードで使用されるものと同じピンです。手動モードでは、各ピンに関連付けられている OSR に特に注意してください。サンプル レートは、各ピンに示されている最小および最大 FS の間の任意の値にでき、一部の周波数は複数のビンに指定される可能性があります。これらのシナリオでは、最高の性能を実現するために、目的のサンプル レートに最も近い標準値のピンを選択します。

内部 MOD\_CLK には 2 つのオプションがあり、デルタシグマ ADC/DAC のオーバーサンプリング レートに影響を与えます。オプションの考慮事項の詳細については、[セクション 4.4](#) を参照してください。

**表 4-3. Mod クロックとサンプル レートの周波数ビン**

MOD_CLK=3.072MHz モード					MOD_CLK=1.536MHz モード				
ピン ID	OSR	最小 FS	標準 FS	最大入力電圧 (FS)	ピン ID	OSR	最小 FS	標準 FS	最大入力電圧 (FS)
1	4	670320	768000	806400	1	2	670320	768000	806400
2	5	536256	614400	645120	非対応				
3	6	446880	512000	537600	3	3	446880	512000	537600
4	7	383040	438857.143	460800	非対応				
5	8	335160	384000	403200	5	4	335160	384000	403200
6	9	297920	341333.333	358400	非対応				
7	10	268128	307200	322560	7	5	268128	307200	322560
8	12	223440	256000	268800	8	6	223440	256000	268800
9	14	191520	219428.571	230400	9	7	191520	219428.571	230400
10	16	167580	192000	201600	10	8	167580	192000	201600
11	18	148960	170666.667	179200	11	9	148960	170666.667	179200
12	20	134064	153600	161280	12	10	134064	153600	161280
13	24	111720	128000	134400	13	12	111720	128000	134400
14	28	95760	109714.286	115200	14	14	95760	109714.286	115200

表 4-3. Mod クロックとサンプル レートの周波数ビン (続き)

MOD_CLK=3.072MHz モード					MOD_CLK=1.536MHz モード				
15	32	83790	96000	100800	15	16	83790	96000	100800
16	36	74480	85333.333	89600	16	18	74480	85333.333	89600
17	40	67032	76800	80640	17	20	67032	76800	80640
18	48	55860	64000	67200	18	24	55860	64000	67200
19	56	47880	54857.1429	57600	19	28	47880	54857.1429	57600
20	64	41895	48000	50400	20	32	41895	48000	50400
21	72	37240	42666.667	44800	21	36	37240	42666.667	44800
22	80	33516	38400	40320	22	40	33516	38400	40320
23	96	27930	32000	33600	23	48	27930	32000	33600
24	112	23940	27428.5714	28800	24	56	23940	27428.5714	28800
25	128	20947.5	24000	25200	25	64	20947.5	24000	25200
26	144	18620	21333.333	22400	26	72	18620	21333.333	22400
27	160	16758	19200	20160	27	80	16758	19200	20160
28	192	13965	16000	16800	28	96	13965	16000	16800
29	224	11970	13714.2857	14400	29	112	11970	13714.2857	14400
30	256	10473.75	12000	12600	30	128	10473.75	12000	12600
31	288	9310	10666.667	11200	31	144	9310	10666.667	11200
32	320	8379	9600	10080	32	160	8379	9600	10080
33	384	6982.5	8000	8400	33	192	6982.5	8000	8400
34	448	5985	6857.14286	7200	34	224	5985	6857.14286	7200
35	512	5236.875	6000	6300	35	256	5236.875	6000	6300
					36	288	4655	5333.333	5600
					37	320	4189.5	4800	5040
					38	384	3491.25	4000	4200
					39	448	2992.5	3428.5714	3600
					40	512	2618.438	3000	3150

#### 4.4 消費電力に関する考慮事項

内部クロックを選択する場合は、速度、消費電力、処理サイクルの関係に注意してください。内部クロックの動作が高速化すると、消費電力が増加します。ただし、サンプルあたりのサイクル数が増加するため、内部処理によって、より多くのパイプライン フィルタ、より多くのチャネル、より低いグループ遅延デシメーション / 補間フィルタなどを使用できるようになります。これらの考慮事項に留意するための内部クロックには、PLL への入力 (整数モードの PLL は分数モードよりも消費電力が小さいため)、CLK\_SYS を作成する PLL 通倍器、さらに MOD\_CLK および DEM\_CLK 間の関係が含まれます。デフォルトでは、DEM\_CLK は 4 倍の MOD\_CLK になりますが、PWR\_TUNE 構成レジスタで強制的に 2 倍にできます。これにより、『TAC5x1x さまざまな使用シナリオにおける消費電力マトリックス』、『TAA52xx さまざまな使用シナリオにおける消費電力マトリックス』、『TAD52xx さまざまな使用シナリオにおける消費電力マトリックス』の各アプリケーション ノートに示すように、電流消費をわずかに削減できます。ただし、極端な省電力構成の場合を除いて、変更することは推奨されません。MOD\_CLK には選択対象として 2 つの速度オプションがあり、考慮事項は同様です。一般には、より高い内部 MOD\_CLK が推奨されます。これにより、サンプルごとのほとんどの内部サイクルが許容されます。これは最大の DSP 処理を実現するのに最適ですが、特に低いサンプル レートや低消費電力アプリケーションの場合は低い MOD\_CLK レートが必要になることがあります。内部クロック計算で、この低いレートが必要になる場合もあります。この計算については [セクション 5](#) で説明します。

## 5 PLL 通倍器および分周器の計算

セクション 4.3 で説明したように、OSR と FS で内部変調器クロック (MOD\_CLK) を選択すると、クロック分周器と PLL 通倍器を計算できます。クロック ツリー (図 2-1 を参照) では、PLL で乗算して最高周波数の内部クロックである CLK\_SYS を作成する入力クロックと、DEM\_CLK、MOD\_CLK、BCLK、FSYNC の ツリーからの最終出力との間に関係があります。DEM\_CLK、MOD\_CLK、BOOST\_CLK、SAR\_CLK は実際の出力ではなく、デバイスの動作に使用される内部クロックであることに注意してください。チップの外部でユーザーがアクセスできるクロックは PDM\_CLK です。これは、MOD\_CLK、CLKOUT、BCLK/FSYNC に関連しています。

PLL 通倍器と CLK\_SYS を計算するには、まず PLL への入力を選択します。PASI BCLK、SASI BCLK、CCLK のいずれかにします。OSC\_CLK はオプションですが、温度、電圧、デバイスによって変動する可能性があるため、推奨されません。次に、表 3-3 に示すように、PDIV への入力が 50MHz 以下であり、PLL ブロックへの入力が 20MHz 以下であることを確認します。PLL 整数モード (D=0000) では、PLL の入力は 256kHz ~ 20MHz の範囲にすることができ、分数モード (DI=0000) では PLL の入力は 10MHz ~ 20MHz に制限されます。PLL への入力である CCLK または BCLK が高すぎる場合、PDIV 分周器を使用して、入力を PLL への入力に対して許容可能な周波数まで分周できます。

PLL は入力を J.D で乗算します。この値は、ページ 3、レジスタ 54 ~ 56 で構成されています。PLL の出力は、MOD クロックの整数倍である必要があります。これは BCLK の整数倍であり、したがってサンプル レートです。PLL 通倍器の後には 2 つの主要な分岐があり、クロック ツリーに記述されるため、これらの基本的な式を使ってクロック分周器の J.D およびその他の部分を決定することができます。

$$\frac{\text{CLK\_SYS}}{A} = \text{MOD\_CLK} \quad (1)$$

$$\frac{\text{CLK\_SYS}}{B} = \text{BCLK} \quad (2)$$

CLK\_SYS の計算は、すべての内部分周器を決定するための次のステップになります。そのためには、次のようにして BCLK と MOD\_CLK の整数の関係を求めることができます。

$$\frac{A}{B} = \frac{\text{BCLK}}{\text{MOD\_CLK}} \quad (3)$$

次に、PLL の出力 (CLK\_SYS) であるクロックを計算できます。CLK\_SYS は 67 ~ 116MHz の間に制限されます。式 4 で、X は  $67\text{MHz} \leq \text{CLK\_SYS} \leq 116\text{MHz}$  の任意の整数にできます。

$$\frac{67\text{MHz}}{A \times \text{MOD\_CLK}} \leq X \leq \frac{116\text{MHz}}{A \times \text{MOD\_CLK}} \quad (4)$$

$$\text{CLK\_SYS} = A \times \text{MOD\_CLK} \times X \quad (5)$$

最後に、J.D を計算して、PLL への入力を CLK\_SYS 出力に変換するために必要な通倍器を見つけることができます。

$$J.D = \frac{\text{CLK\_SYS}}{\text{PLL\_IN}} = \frac{\text{CLK\_SYS}}{\text{PLL Clock Source}/P} = \frac{P \times \text{CLK\_SYS}}{\text{PLL Clock Source}} \quad (6)$$

J は 1 ~ 511 に制限され、D は 0000 ~ 9999 に制限されます。値を表すために小数部のすべての桁が必要ではない場合でも、D は常に 4 桁になります。たとえば、6.4 の倍数は 6.4000 として表されます。

PLL クロック ソースは、いずれかの ASI の CCLK または BCLK にできることに注意してください。CLK\_SYS には MOD クロックおよび BCLK と整数の関係がありますが、複数の設計が考えられるため、X を選択して理想的な J.D 通倍器とそれ以降のクロック分周器を使用できます。同様に、PLL\_IN は P 分周器の異なる分周で最適化できますが、使用される設計は必ずしも 1 つの固有のものとは限りません。

PLL が分数モードで動作している場合、DI=0 であれば、入力周波数範囲は表 4 に示すように小さくなります (整数モードの場合は PLL 入力を 256kHz ~ 20MHz にでき、分数モードの場合は PLL 入力を 10MHz ~ 20MHz にすることができます)。X と入力分周器 PDIV を選択するときは、この点に注意してください。

J.D と CLK\_SYS の正しい周波数を計算したら、他の分周器を選択できます。

最初に、DEM\_CLK が MOD\_CLK の 4 倍になるように NM\_DIV\_VAL を選択します。

$$\text{DEM\_CLK} = \frac{\text{CLK\_SYS}}{\text{NM\_DIV\_VAL}} \quad (7)$$

$$\text{NM\_DIV\_VAL} = \frac{\text{CLK\_SYS}}{\text{MOD\_CLK} \times 4} \quad (8)$$

NM\_DIV\_VAL の範囲は 1 ~ 64 です。すべての分周値の制限については、表 3-3 を参照してください。

CLK\_SYS は MDIV、次に MOD\_CLK、および PDM\_CLK、必要に応じて BOOST\_CLK と SAR\_CLK にルーティングされます。DEM クロックと同様に、これらの分周器を選択します。表 3-3 に示すように、これらのクロックの制限と、OSR の変更を許容する変動に注意してください。

$$\text{MOD\_CLK} = \frac{\text{CLK\_SYS}}{\text{MDIV} \times \text{MODCLK\_DIV}} \quad (9)$$

$$\text{PDM\_CLK} = \frac{\text{CLK\_SYS}}{\text{MDIV} \times \text{PDM\_DIV}} \quad (10)$$

$$\text{SAR\_CLK} = \frac{\text{CLK\_SYS}}{\text{MDIV} \times \text{SAR\_DIV}} \quad (11)$$

$$\text{BOOST\_CLK} = \frac{\text{CLK\_SYS}}{\text{MDIV} \times \text{BOOST\_DIV}} \quad (12)$$

クロック ツリーの MDIV 分岐に関する重要な注意点は、MDIV から取得されるクロックを変調器のクロックに対して最大化する必要があることです。したがって、最高の性能を実現するには MODCLK\_DIV を最大化する必要があります。

MODCLK\_DIV は 1、2、4 に制限されているため、式 13 の比率が 2 または 4 で割り切れる場合は、MODCLK\_DIV=1 であれば MDIV が大きな倍数にならないように、2 または 4 を MODCLK\_DIV に設定する必要があります。

$$\text{MDIV} \times \text{MODCLK\_DIV} = \frac{\text{CLK\_SYS}}{\text{MOD\_CLK}} \quad (13)$$

CLK\_SYS は NDIV にもルーティングされ、PASI\_BDIV、SASI\_BDIV、CLKOUT\_DIV への入力として選択できます。これにより、BCLK、FSYNC、CLKOUT の出力につながります。コントローラ モードで、当初 BCLK がデバイスに供給されなかった場合は、BDIV が BCLK を生成するために使用されます。BDIV 分周器の値は、J.D の計算時と同じ変数を使用して計算できます。ここで、X は式 4 から、B は式 3 の A/B の計算から得られます。

$$\text{BDIV} = \frac{\text{CLK\_SYS}}{\text{B} \times \text{BCLK} \times \text{X}} \quad (14)$$

次に、デバイスがコントローラ モードの場合、PASI\_FSYNC\_DIV と呼ばれるもう 1 つの分周器 (1 ~ 256 にできます) によって FSYNC が生成されます。これは、P0\_R56\_D[5:0] および P0\_R57\_D[7:0] を指定して設定された FS と BCLK の比率です。通常、この比率は 32、48、または 64 ですが、1 ~ 8192 の任意の値を指定できます。さらに高い比率は多くの TDM チャンネルの使用に適しており、これらのデバイスは最大 256 チャンネルの 32 ビット オーディオをサポートします。ターゲット モードでは、この分周器を使用してはならず、FSYNC は外部から供給されます。

$$\text{FSYNC} = \frac{\text{BCLK}}{\text{PASI\_FSYNC\_DIV}} \quad (15)$$

## 6 事例 1: カスタム ターゲット モード、非オーディオレート

たとえば、BCLK と WCLK を外部から供給し、サンプル レート 20kHz および BCLK 対 FSYNC の比率 16 のカスタム クロック モードで TAC5112 を使用する場合はどうなるでしょうか。これは WCLK=20k、BCLK = 320kHz となります。また、PDM\_CLK=800kHz を内部で生成する必要もあります。この例では、すべてのクロックを自動モードで構成できますが、PDM\_CLK と内部クロックの知識を使用して最大限の構成を行うには、カスタム クロック モードを使用します。

表 4-3 に示すように、このサンプル レートはそれぞれ OSR が 144 または 160 のピン 26 または 27 になります。

MOD\_CLK の電位を計算するには、次のようにサンプル レートに OSR を乗算します。

$$\text{MOD\_CLK} = \text{FS} \times \text{OSR} \quad (16)$$

$$20\text{kHz} \times 144 = 2.88\text{MHz}; 20\text{kHz} \times 160 = 3.2\text{MHz} \quad (17)$$

3.2MHz (ピン 27) オプションを MOD\_CLK として選択します。このオプションが予測される 3.072MHz の 5% 以内である (予想より約 4.17% 高い) のに対し、2.88MHz (ピン 26) は 3.072MHz より 6.25% 低いからです。

次に、J.D を計算します。PLL\_IN クロックが 320kHz のみの場合、PLL は整数モードのみになることに注意してください。したがって、D は 0 に等しくなければなりません。

J およびその他の分周器の計算方法は次のとおりです。

$$\frac{A}{B} = \frac{\text{BCLK}}{\text{MOD\_CLK}} = \frac{320\text{kHz}}{3.2\text{MHz}} = \frac{1}{10} \quad (18)$$

CLK\_SYS は 67 ~ 116MHz の間でなければならないことに注意してください。したがって、X のオプションは次のようになります。

$$\text{CLK\_SYS} = A \times \text{MOD\_CLK} \times X \quad (19)$$

$$67\text{MHz} \leq 1 \times 3.2\text{MHz} \times X \leq 116\text{MHz} \quad (20)$$

$$21 \leq X \leq 36 \quad (21)$$

続いて J.D を計算します。この例の PLL\_IN は PDIV=1 の BCLK であることに注意します。

$$J.D = \frac{\text{CLK\_SYS}}{\text{PLL\_IN}} = \frac{1 \times 3.2\text{MHz} \times X}{320\text{kHz}} = 10 \times X \quad (22)$$

X=32 を選択するのは、範囲の上限であり (CLK\_SYS が高いほどオーディオ品質が向上します)、次のステップで簡単に除算できるためです。したがって、結果は J=320 および D=0、および CLK\_SYS = 3.2MHz × 32 = 102.4MHz になります。

次に、NM\_DIV\_VAL を選択します。NM DIV VAL の計算:

$$\text{NM\_DIV\_VAL} = \frac{\text{CLK\_SYS}}{\text{DEM\_CLK}} = \frac{102.4\text{MHz}}{3.2\text{MHz} \times 4} = 8 \quad (23)$$

DEM\_CLK はデフォルトで MOD\_CLK の 4 倍です。これにより、NM\_DIV\_VAL=8 となります。

次に、MDIV と、関連する MOD\_CLK、BOOST、SAR、PDM\_CLK を選択します。MOD\_CLK は 3.2MHz であることがわかっているので、遡って作業します。

$$\text{MOD\_CLK} \times \text{DIG\_DAC\_MODCLK\_DIV} \times \text{MDIV} = \text{CLK\_SYS} \quad (24)$$

$$3.2\text{MHz} \times \text{DIG\_DAC\_MODCLK\_DIV} \times \text{MDIV} = 102.4\text{MHz} \quad (25)$$

$$\text{DIG\_DAC\_MODCLK\_DIV} \times \text{MDIV} = 32 \quad (26)$$

セクション 5 で説明したように、DIG\_DAC\_MODCLK\_DIV を最大化し、MDIV を最小化します。その結果、MDIV から出力されるクロックが最大化されます。32 は 4 で割り切れるため、DIG\_DAC\_MODCLK\_DIV は最大である 4、MDIV は 8 に設定します。

続いて、PDM\_CLK=800kHz の場合の PDM\_DIV を選択します。

$$\text{PDM\_CLK} = \frac{\text{CLK\_SYS}}{\text{MDIV} \times \text{PDM\_DIV}} = \frac{102.4\text{MHz}}{8 \times \text{PDM\_DIV}} = 800 \text{ kHz} \quad (27)$$

$$\text{PDM\_DIV} = \frac{102.4\text{MHz}}{800\text{kHz} \times 8} = 16 \quad (28)$$

ADC MOD\_CLK と PDM\_CLK が異なる場合、ページ 0、レジスタ 0x77 のビット 3 を異なる ADC MOD クロックおよび PDM クロック構成で動的なパワーアップ/パワーダウンとして有効にする必要があります、そうしないと PDM\_CLK 出力が存在しない可能性があることに注意してください。

次に、コントローラ モードで、BCLK および FSYNC 分周器に BDIV が必要な場合、ユーザーは NDIV を選択できます。ただし、BCLK と FSYNC が供給されているターゲット モードでは、NDIV を構成する必要がないため、NDIV=1 のままにできます。CLKOUT はクロック ツリーの NDIV 分岐にも存在するため、他の出力クロックが望ましい場合はさらに構成できます。この例では、12.8MHz の出力で CLKOUT を CLK\_SYS/8 に設定するので、CLKOUT\_DIV=8 となります。

## 6.1 サンプル スクリプト

```

# Target mode, 16 bit 1-channel TDM
# BCLK in=320kHz, WCLK in=20kHz, PDMCLK out=800kHz, CLKOUT = 12.8MHz
# CLKOUT on GPIO1, PDMCLK on GPIO2

w a0 00 00 #Set page 0
w a0 01 01 #Software Reset
w a0 02 09 #Wake up with AVDD > 2v and all VDDIO level
w a0 0a b1 #GPIO1 = CLKOUT
w a0 0b 41 #GPIO2 = PDMCLK output
w a0 1a 00 #PASI TDM, 16 bit format
w a0 1e 20 #PASI DOUT Ch1 on TDM slot 0
w a0 28 20 #PASI DIN Ch1 on TDM slot 0
w a0 32 6f #FS bin=27, 5% tolerance, custom clock configuration
w a0 34 00 #PLL enabled, fraction mode disabled (D=0000), BCLK is input clock source
w a0 37 20 #PASI/SASI in target configuration (default setting)

w a0 00 03 #page 3
w a0 32 00 #(default) PLL_PDIV_IN is PASI BCLK, PASI BCLK divider source is PLL output
w a0 34 10 #(default) NM div input clock is PLL output
w a0 35 01 #(default) P=1
w a0 36 80 #J MSB=1
w a0 37 00 #D=0000
w a0 38 40 #J LSB=0100 0000 (J=320)
w a0 39 30 #NDIV=1, PDM_DIV=16
w a0 3a 22 #DIG_ADC_MODCLK_DIV=4, mdiv=8
w a0 3b 20 #DIG_DAC_MODCLK_DIV=4, DAC MOD clock 2x enabled (3.072 mode)
w a0 3e 08 #ANA_NM_DIV=8
w a0 44 07 #NDIV, MDIV, PDM_DIV enabled
w a0 45 f0 #MODCLK DIV enabled
w a0 46 05 #CLKOUT source = DSP clock (output of NDIV)
w a0 47 88 #CLKOUT divider enabled, value=8

w a0 00 00 #page 0
w a0 50 00 #(default) ADC Ch1 diff input, 5Kohm, 2Vrms AC-coupled, audio bandwidth
w a0 65 20 #(default) OUT1P LINEOUT, 0dB, DAC ch1 audio bandwidth
w a0 76 88 #enable input channel 1 and output channel 1
w a0 77 08 #different ADC MOD CLK and PDM CLK in dynamic power up/down
w a0 78 e0 #Power up all DAC+ADC channels
  
```

## 7 事例 2: カスタム コントローラ モード、非オーディオ レート

次の例では、デバイスをコントローラ モードに構成し、外部 CCLK を取得して、BCLK と FSYNC を生成します。構成可能な PLL を利用するには、関連する BCLK と非整数関係を持つ CCLK を選択します。これは、手動クロック構成モードでのみ管理できる状態です。この例では、エンド システム用に以下のクロックがあります。

CCLK= 50MHz、WCLK= 98kHz、32 (BCLK= 3.136MHz) の BCLK-FS 比

このサンプル レートは、表 4-3 で定義されている範囲に応じてビン 14 または 15 になります。使用する OSR とビンを選択するには、 $WCLK \times OSR$  と 3.072MHz (または 1.536MHz のバリエーション) の間で最も近い差を持つビンを見つけます。別の方法として、ビンの中心周波数からのサンプル レートの差を確認することもできます。

$$\% \text{ difference} = \frac{WCLK \times OSR - 3.072\text{MHz}}{3.072\text{MHz}} \times 100 \quad (29)$$

$$\text{Bin 14: } \frac{98\text{kHz} \times 28 - 3.072\text{MHz}}{3.072\text{MHz}} \times 100 = 10.68\% \quad (30)$$

$$\text{Bin 15: } \frac{98\text{kHz} \times 32 - 3.072\text{MHz}}{3.072\text{MHz}} \times 100 = 2.08\% \quad (31)$$

3.072MHz からの MOD\_CLK の偏差が小さいため、OSR=32 のビン 15 を選択します。この結果は、 $MOD\_CLK = 98\text{kHz} \times 32 = 3.136\text{MHz}$  となります。

次に、以下のようにして J.D を計算します。

$$\frac{A}{B} = \frac{BCLK}{MOD\_CLK} = \frac{3.136\text{MHz}}{3.136\text{MHz}} = \frac{1}{1} \quad (32)$$

以下のようにして、可能である CLK\_SYS 値を計算します。

$$CLK\_SYS = A \times MOD\_CLK \times X = 3.136\text{MHz} \times X \quad (33)$$

$$67\text{MHz} \leq 3.136\text{MHz} \times X \leq 116\text{MHz} \quad (34)$$

$$22 \leq X \leq 36 \quad (35)$$

PLL への最大入力 は 20MHz であることに注意してください。そのため、PDIV または PLL のプリデバイダを使用して、分数型 PLL の場合は 50MHz を 10 ~ 20MHz の範囲のいずれかに分割する必要があります。12.5MHz の PLL\_IN (50MHz の PLL クロック ソース) に PDIV P=4 を選択し、この値を使用して J.D を計算します。

$$J.D = \frac{CLK\_SYS}{PLL\_IN} = \frac{CLK\_SYS \times P}{PLL \text{ Clock Source}} = \frac{3.136\text{MHz} \times 4 \times X}{50\text{MHz}} \quad (36)$$

次のように X=30 を選択します。

$$J.D = \frac{CLK\_SYS}{PLL\_IN} = \frac{3.136\text{MHz} \times 4 \times X}{50\text{MHz}} = \frac{3.136\text{MHz} \times 4 \times 30}{50\text{MHz}} = 7.5264 \quad (37)$$

結果は次のようになります。

$$CLK\_SYS = 3.136\text{MHz} \times 30 = 94.08\text{MHz} \quad (38)$$

この CLK\_SYS から、必要な他のすべての分周器を計算します。

$$NM\_DIV\_VAL = \frac{CLK\_SYS}{DEM\_CLK} = \frac{94.08\text{MHz}}{3.136\text{MHz} \times 4} = 7.5 \quad (39)$$

ただし、この分周器は整数にする必要があります。そのため、MOD\_CLK の約 1.536MHz の設定に遷移します。この点に注意し、すべての内部分周器の計算で MOD\_CLK を 2 で除算します。

$$NM\_DIV\_VAL = \frac{CLK\_SYS}{DEM\_CLK} = \frac{94.08MHz}{\frac{3.136MHz}{2} \times 4} = 15 \quad (40)$$

したがって NM\_DIV\_VAL=15 を選択します。

次に、クロック ツリーの MDIV 分岐を確認して MOD\_CLK を生成します。

$$MOD\_CLK \times DIG\_DAC\_MODCLK\_DIV \times MDIV = CLK\_SYS \quad (41)$$

$$DIG\_DAC\_MODCLK\_DIV \times MDIV = \frac{CLK\_SYS}{MOD\_CLK} = \frac{94.08MHz}{\frac{3.136MHz}{2}} = 60 \quad (42)$$

前述のとおり、MDIV から出力されるクロックを最大化することを推奨します。そのために、ユーザーは DIG\_DAC\_MODCLK\_DIV を 1、2、4 のオプションの間で最大化できます。60 は 4 で割り切れるため、DIG\_DAC\_MODCLK\_DIV=DIG\_ADC\_MODCLK\_DIV=4、MDIV=15 を選択します。

最後に、NDIV 分岐を確認して BCLK および FSYNC を生成します。

$$NDIV \times PASI\_BDIV = \frac{CLK\_SYS}{BCLK} = \frac{94.08MHz}{3.136MHz} = 30 \quad (43)$$

NDIV は 1 ~ 8 に制限されているため、NDIV=1 および PASI\_BDIV=30 を選択します。次に、BCLK-FSYNC の比は 32 なので、PASI\_FSYNC\_DIV を 32 に設定します。

$$FSYNC = \frac{BCLK}{PASI\_FSYNC\_DIV} = \frac{3.136MHz}{32} = 98kHz \quad (44)$$

## 7.1 サンプル スクリプト

```

# Controller mode, 16 bit 2 channel TDM, wide bandwidth mode, MOD_CLK=1.5MHz mode
# CCLK in=50MHz, WCLK out=98kHz, BCLK out=3.136MHz
# CCLK on GPIO1

w a0 00 00 #Set page 0
w a0 01 01 #Software Reset
w a0 02 09 #Wake up with AVDD > 2v and all VDDIO level
w a0 0a 10 #configure GPIO1 as input
w a0 0f 20 #Set GPIO1=CCLK
w a0 1a 00 #PASI TDM, 16 bit format
w a0 1e 20 #PASI DOUT Ch1 on TDM slot 0
w a0 1f 21 #PASI DOUT Ch2 on TDM slot 1
w a0 28 20 #PASI DIN Ch1 on TDM slot 0
w a0 29 21 #PASI DIN Ch2 on TDM slot 1
w a0 32 3f #FS bin=15, 5% tolerance, custom clock configuration
w a0 34 48 #PLL enabled, fraction mode enabled, fixed CCLK is input clock source
w a0 37 30 #PASI in controller configuration
w a0 38 80 #use internal BCLK for FSYNC generation
w a0 39 20 #LSB for pasi BCLK to FSYNC ratio = 32d
w a0 4e 80 #ADC MOD_CLK = 1.5mhz
w a0 4f 80 #DAC MOD_CLK = 1.5mhz

w a0 00 03 #page 3
w a0 32 80 #PLL_PDIV_IN_CLK is CCLK, and PASI BCLK divider source is PLL output
w a0 34 10 #(default) NM div input clock is PLL output
w a0 35 04 #PDIV=4
w a0 36 14 #J MSB=0, D MSB=01 0100 (D=5264)
w a0 37 90 #D LSB= 1001 0000
w a0 38 07 #J LSB=00000111 (J=7)
w a0 39 20 #NDIV=1, PDM_DIV=1
w a0 3a 3e #MDIV=15, DIG_ADC_MODCLK_DIV=4
w a0 3b 28 #DIG_DAC_MODCLK_DIV=4, DAC MOD_CLK 2x disabled (1.536 mode)
w a0 3c 1e #PASI BCLK divider=30
w a0 3e 0f #ANA_NM_DIV=15
w a0 44 07 #NDIV, MDIV, and PDMDIV enabled
w a0 45 fa #MODCLK, PASI BDIV, and PASI FSYNC DIV enabled

w a0 00 00 #page 0
w a0 50 01 #ADC ch1 diff input, 5Kohm, 2Vrms AC-coupled, wide band mode (over 96k)
w a0 55 01 #ADC ch2 diff input, 5Kohm, 2Vrms ac-coupled, wide band mode (over 96k)
w a0 65 21 #OUT1P LINEOUT 0dB, DAC ch1 wide band mode (over 96k)
w a0 6c 21 #OUT2P LINEOUT 0dB, DAC ch2 wide band mode (over 96k)
w a0 76 cc #enable input and output channels 1 and 2
w a0 78 e0 #Power up all DAC+ADC channels
  
```

## 8 まとめ

TAx5x1x ファミリのクロック処理システムは非常に詳細なカスタマイズが可能であり、ユーザーは、非標準のクロック構成でデバイスを使用するために必要な分周器を計算できます。手動の PLL の構成は、非標準の CCLK または WCLK レートでのコントローラ モードの場合、あるいは PDM クロック、BCLK、WCLK、一般的な CLKOUT の特定の出力を生成する場合に役立ちます。

## 9 参考資料

1. テキサス インスツルメンツ、『[TAC5212 ダイナミックレンジ 119dB ADC および 120dB ダイナミックレンジ DAC 搭載の高性能ステレオ オーディオ コーデック](#)』、データシート
2. テキサス インスツルメンツ、『[デバイスのクロック構成および TAx5x1x ファミリの柔軟なクロッキング](#)』アプリケーション ノート
3. テキサス インスツルメンツ、『[TAx5x1x ファミリでサポートされるクロック誤差の構成、検出、およびモード](#)』アプリケーション ノート
4. テキサス インスツルメンツ、『[TAX5X1X 同期サンプル レート変換](#)』、アプリケーション ノート
5. テキサス インスツルメンツ、『[TAC5XXX-Q1 ささまざまな使用シナリオにおける消費電力マトリックス](#)』アプリケーション ノート
6. テキサス インスツルメンツ、『[TAA52xx ささまざまな使用シナリオにおける消費電力マトリックス](#)』アプリケーション ノート
7. テキサス インスツルメンツ、『[TAD52xx ささまざまな使用シナリオにおける消費電力マトリックス](#)』アプリケーション ノート

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月