

Design Guide: TIDA-050082

高電圧、正電源レール アクティブ プリチャージリファレンス デザイン



説明

このリファレンス デザインは、降圧コンバータトポロジを活用して、ハイブリッド電気自動車 (HEV)、電気自動車 (EV)、エネルギー ストレージ システム (ESS) で高電圧 (HV) DC リンク容量を事前充電します。このデザインは、高電圧ソリッド ステート リレー向けアクティブ プリチャージのリファレンス デザインを拡張して更新します。

リソース

TIDA-050082

デザイン フォルダ

TPSI31P1-Q1

プロダクト フォルダ



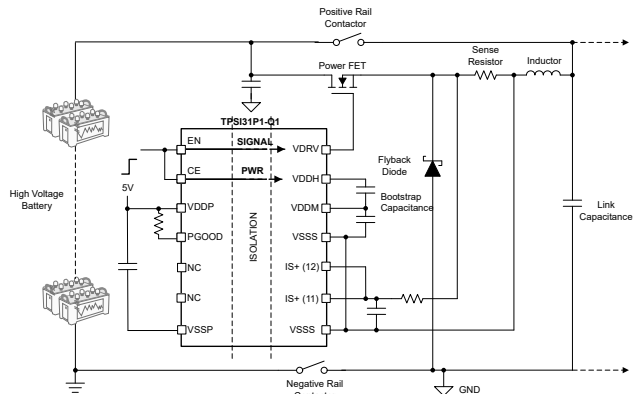
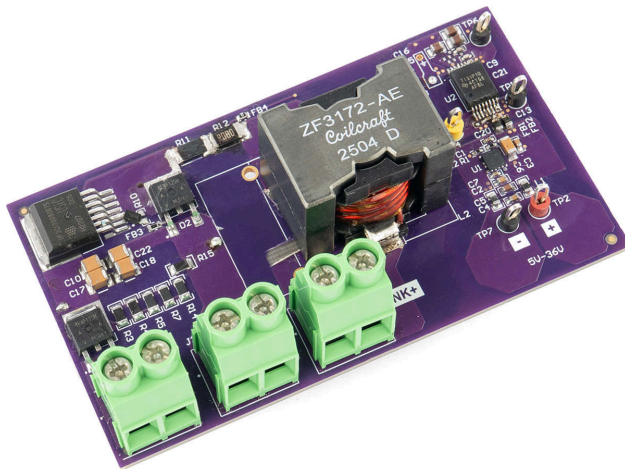
テキサス・インスツルメンツの E2E™ サポート エキスパートにお問い合わせください。

機能

- 400ms 以内で 0V ~ 800V の 2mF の容量を充電
- 4.5A_{AVG}、10A_{PK-PK} の充電電流
- 5kV_{RMS} 強化基本絶縁
- ハイサイド レールおよび正レール MOSFET または IGBT ゲート駆動用の絶縁型バイアス電源を内蔵
- ヒステリシス電流制御用のコンパレータを内蔵

アプリケーション

- 高電圧バッテリー システム
- バッテリー ジャンクション ボックス
- ESS (エネルギー ストレージ システム) – バッテリー管理 システム (BMS)



1 システムの説明

多くの HV アプリケーション (EV、HEV、ESS) では、大きな容量を使用してダウンストリーム負荷の過渡電流要求に対応しています。システムの起動時に、これらの容量は放電状態になります。それらを HV 電源に直接接続すると、大きな電圧の電位差が原因で、大きな突入電流が発生します。これにより、ケーブル、コネクタ、ヒューズが損傷するおそれがあります。

突入電流を制限する最も簡単な方法は、パッシブ プリチャージと呼ばれる直列抵抗を追加することです。コンデンサを入力電圧の 99.3% まで充電するのに必要な時間は、 $5\tau = 5RC$ に従います。パッシブ プリチャージは、複雑さを最小限に抑えるための優れた選択肢ですが、プリチャージ アプリケーション用の一般的な抵抗は、高電圧定格により大型で重くかつ高価で、大きな過渡電力に対処できる必要があります。

[図 2-1](#) に示されているように、このリファレンス デザインは、降圧コンバータトポロジを使用して、アクティブ プリチャージ回路を実装しています。アクティブなアプローチを採用すると設計の複雑さが増しますが、この方式は部品のフットプリントと消費電力を大幅に削減し、システム動作のエネルギーを節約できます。

2 システム概要

2.1 ブロック図

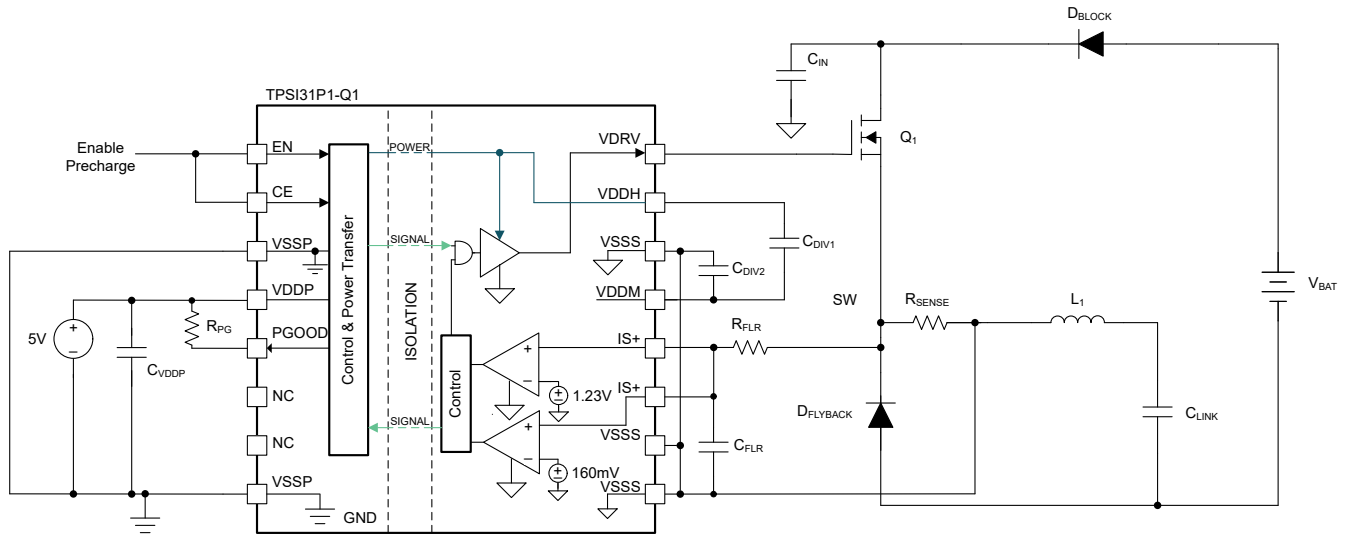


図 2-1. TPSI31P1-Q1 の詳細を示したアクティブ プリチャージの回路図

2.2 設計上の考慮事項

2.2.1 コントロール ロジック

TPSI31P1-Q1 は、センス抵抗 (R_{SENSE}) の両端の電圧を監視することで電流を管理するために、ヒステリシス制御を使用します。

1. **スタート アップ:** パワーオン時に、電流がゼロのとき R_{SENSE} の両端で電圧がゼロになり、MOSFET をオンにするようドライバに信号を送信します。
2. **充電電流の立ち上がり:** 電流が増加し、コンデンサを高いレート ($+di_L/dt$) で充電し、インダクタの磁界にエネルギーを蓄積します。
3. **ピーク スレッシュホールド:** 電流が I_{PEAK_TARGET} ($V_{SENSE} > V_{REF+}$) を超えると、ドライバは MOSFET をオフにします。
4. **充電電流の減衰:** MOSFET がオフになると、インダクタの磁界が崩壊し、電流がフライバック ダイオードパスを流れて、リンク コンデンサを減衰率 ($-di_L/dt$) で充電します。
5. **最小スレッシュホールド:** 電流が I_{MIN_TARGET} ($V_{SENSE} < V_{REF+}$) を下回ると、ドライバは MOSFET を再度オンにします。

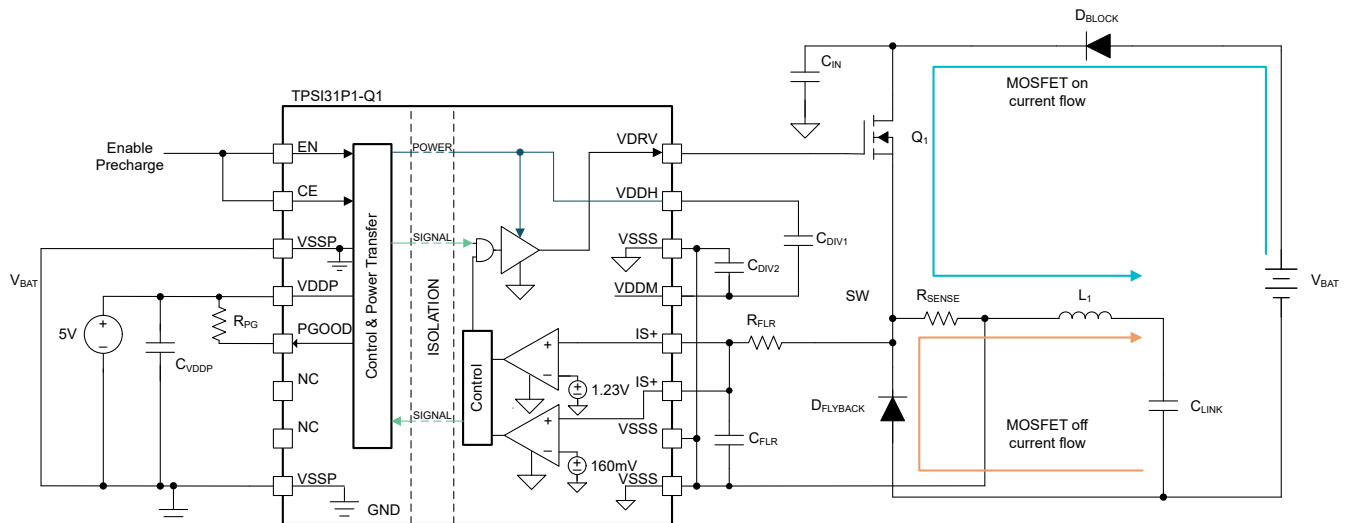


図 2-2. アクティブ プリチャージの電流の流れ

このサイクルは、 V_{LINK} が V_{BAT} に等しくなるまで繰り返されます。図 2-3 に示されているように、ヒステリシス帰還により、インダクタの電流が制限され、リンク容量を直線的に充電する平均電流が得られます。

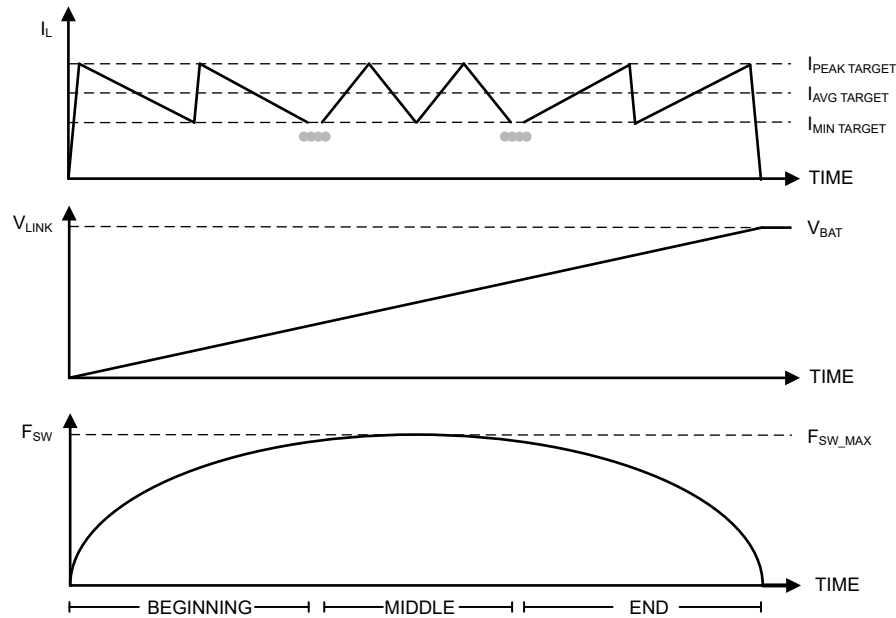


図 2-3. アクティブ プリチャージの予測充電動作

2.2.2 スイッチング電力

TPSI31P1-Q1 は、MOSFET のスイッチングに対して最小 55mW を転送します。MOSFET、インダクタ、センス抵抗の選択は重要です。これらの部品はスイッチング消費電力を決定するためです。消費電力はプリチャージの中間でピークになり、ドライバのデューティ サイクル (D) も 0.5 です。

2.2.2.1 計算:D

$$V_{LINK} = D \times V_{BAT}$$

$$V_L = V_{BAT} - V_{LINK}$$

$$\frac{di_L}{dt} = \frac{V_{BAT} - V_{LINK}}{L}$$

$$t_{ON} = \frac{di_L \times L}{V_{BAT} - V_{LINK}}$$

$$t_{ON} = \frac{di_L \times L}{V_{BAT}} \times \frac{1}{1-D} \quad (1)$$

2.2.2.2 計算: 1 - D

$$V_{LINK} = D \times V_{BAT}$$

$$V_L = -V_{LINK}$$

$$\frac{di_L}{dt} = -\frac{V_{LINK}}{L}$$

$$t_{OFF} = \frac{di_L \times L}{V_{LINK}}$$

$$t_{OFF} = \frac{di_L \times L}{V_{BAT}} \times \frac{1}{D} \quad (2)$$

2.2.2.3 計算: $D + (1 - D)$

$$t = t_{ON} + t_{OFF}$$

$$t = \frac{di_L \times L}{V_{BAT}} \times \left(\frac{1}{1-D} + \frac{1}{D} \right)$$

$$t = \frac{di_L \times L}{V_{BAT}} \times \left(\frac{1}{D \times (1-D)} \right)$$

$$di_L = I_{PEAK} - I_{MIN}$$

$$f = \frac{1}{t}$$

$$f = \frac{V_{BAT}}{(I_{PEAK} - I_{MIN}) \times L} \times (D \times (1 - D)) \quad (3)$$

V_{BAT} 、 $I_{PEAK} - I_{MIN}$ 、 L は一定なので、最大スイッチング周波数は $D = 0.5$ のときに発生し、式 4 のようになります。

1. 最大スイッチング周波数:

$$f_{SW_MAX} = f(D = 0.5)$$

$$f_{SW_MAX} = \frac{V_{BAT}}{4 \times L \times (I_{PEAK} - I_{MIN})} \quad (4)$$

2. 最大スイッチング消費電力:

$$I = Q \times f$$

$$I_{SW_MAX} = Q_G \times f_{SW_MAX}$$

$$I_{SW_MAX} = Q_G \times \frac{V_{BAT}}{4 \times L \times (I_{PEAK} - I_{MIN})}$$

$$P = V \times I$$

$$P_{SW_MAX} = V_{GS} \times Q_G \times \frac{V_{BAT}}{4 \times L \times (I_{PEAK} - I_{MIN})} \quad (5)$$

信頼性を確保するため、 P_{SW_MAX} がドライバの出力能力 (P_{OUT_VDDH}) よりも小さいことを確認してください。ゲート電荷 (Q_G) が小さい MOSFET を選択する、より高いインダクタンス (L) を使用する、リップル電流 ($I_{PEAK} - I_{MIN}$) を大きくすることで、消費電力を低減できます。

2.2.3 伝搬遅延

実際の伝搬遅延 (コンパレータからドライバへの遅延やシステムの RC 遅延) により、電流からオーバーシュートまたはアンダーシュートの目標スレッショルドが発生します。これは、 di_L/dt が最大値の最初のスイッチング サイクルにおいて重要です。 di_L/dt が過剰な場合、インダクタが飽和する可能性があり、低インピーダンスと大電流が発生してシステムに損傷を及ぼす可能性があります。

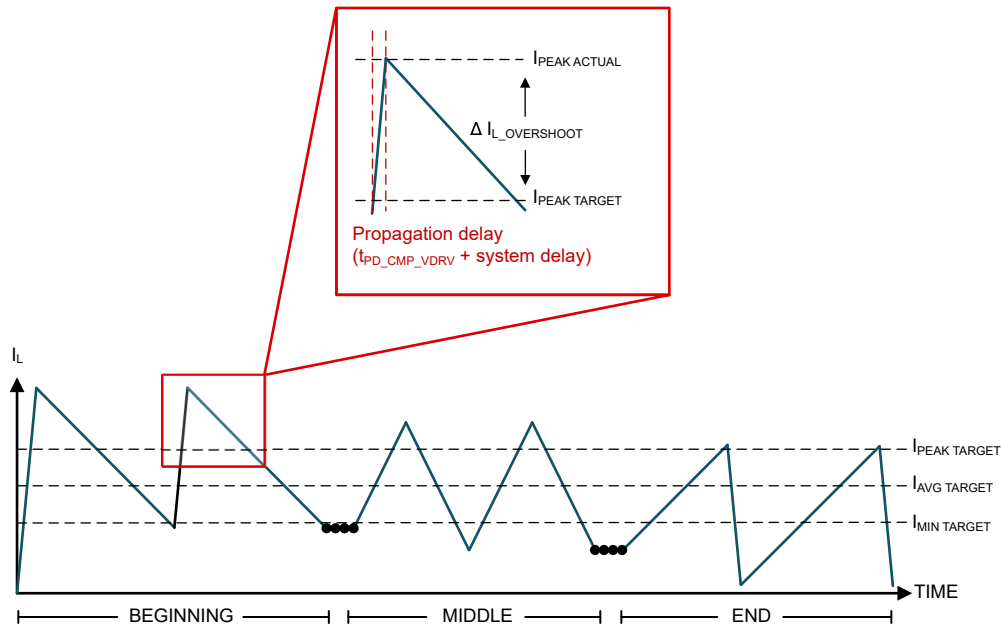


図 2-4. 電流オーバーシュートとアンダーシュートを引き起こすプリチャージ遅延

設計者は、実際のピーク電流がインダクタの飽和制限よりも確実に下がるようにシャント抵抗を選択する必要があります。

$$I_{PEAKACTUAL} = I_{PEAKTARGET} + \Delta i_{L_OVERSHOOT}$$

$$\Delta i_{L_OVERSHOOT} = \frac{di_L}{dt} \times t_{DELAY}$$

$$\Delta i_{L_OVERSHOOT} = \frac{V_{BAT} - V_{LINK}}{L} \times (t_{DELAY}) \quad (6)$$

また、伝搬遅延では T_{ON} と T_{OFF} の両方に時間が追加されるため、スイッチング周波数も低下し、スイッチング時の消費電力が低減されます。

$$f_{SW_DELAYED} = \frac{1}{t_{ON} + t_{OFF} + 2 \times t_{DELAY}} \quad (7)$$

2.2.4 MOSFET の選択

ドライバ電流要求を最小限に抑えるために、 Q_G が最小の MOSFET を優先します。MOSFET のオン抵抗 (R_{ON}) は通常、MOSFET の総ゲート電荷量に反比例します。 $P_{DIS} = I^2 \times R_{ON}$ となるため、ゲート電荷が低い MOSFET を選択すると放熱が大きくなります。プリチャージは過渡イベント (< 1 秒) であるため、MOSFET は定常状態よりも大きな消費電力に対応できます。『熱抵抗データ: TO263-5』アプリケーション ノートの「過渡熱抵抗、1 層銅箔表面積 73.8mm² (フットプリント)」図によると、単層フットプリント サイズ銅箔表面積を持つ TO263 パッケージの定常状態熱抵抗 (R_{TH}) は 74.7°C/W です。しかし、1s のパルスで、熱抵抗は 7.2°C/W に低下します。熱抵抗と消費電力に基づき、式 8 に MOSFET パッケージの温度上昇を示します。

$$T_{FINAL} = P_{DIS} \times R_{TH} + T_{AMBIENT} \quad (8)$$

図 2-5 に、代表的な MOSFET ターンオン動作を示します。

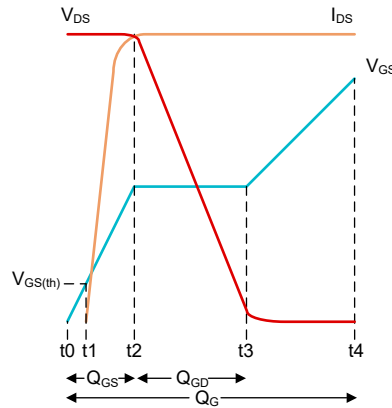


図 2-5. 標準的な MOSFET ターンオン

ここで、

- $t_0 \sim t_1$: C_{GS} はゼロから $V_{GS(th)}$ まで充電されます。 V_{DS} または I_{DS} に変化はありません。
- $t_1 \sim t_2$: 導通を開始するために C_{GS} がスレッショルド電圧に達したため、 I_{DS} は全負荷電流まで上昇します。 V_{DS} に変化はありません。
- $t_2 \sim t_3$: 比較的平坦な V_{GS} のミラー プラトー領域で V_{DS} が低下します。
- $t_3 \sim t_4$: V_{GS} はミラー プラトーを超えて上昇し、 V_{DS} は低下し、 V_{GS} が高くなるとさらにわずかに低下します。

ドライバの出力レール (V_{DDH}) がミラー プラトーよりも高く維持されていることを確認します。消費電力は、MOSFET が $t_1 \sim t_2$ および $t_2 \sim t_3$ (ミラー プラトー) 領域で動作する場合に大きくなります。最高の性能を得るため、MOSFET は $t_3 \sim t_4$ 領域で動作して、最小のオン抵抗 (R_{ON}) を実現します。

2.2.5 フライバックまたはフリーホイール ダイオードの選択

フライバック ダイオードでは、MOSFET ターンオフ時のスイッチ (SW) ノードでの負の電圧スパイクを最小化するため、順方向回復時間を短くする必要があります。部品の損傷を防止するため、ショットキー ダイオード (順方向回復時間 < 10ns) を推奨します。

図 2-6 に、低速フライバック ダイオード (VS-8EWF12SLHM3) を使用した設定のプリチャージ波形と、MOSFET のターンオフ時に V_{SW} ノード電圧 (V_{SW}) が非常に負になる様子を示します。この設計は最終的に、負の V_{SW} により MOSFET が安全動作領域 (SOA) の外で動作するため、より高い入力電圧でのテストにブレイクします。図 2-7 に、高速フライバック ダイオード (STTH1512) を使用した設定のプリチャージ波形を示します。MOSFET のターンオフ中も V_{SW} は引き続き負になりますが、MOSFET は SOA 内で動作するため、この設定はより高い入力電圧のテストに合格しています。

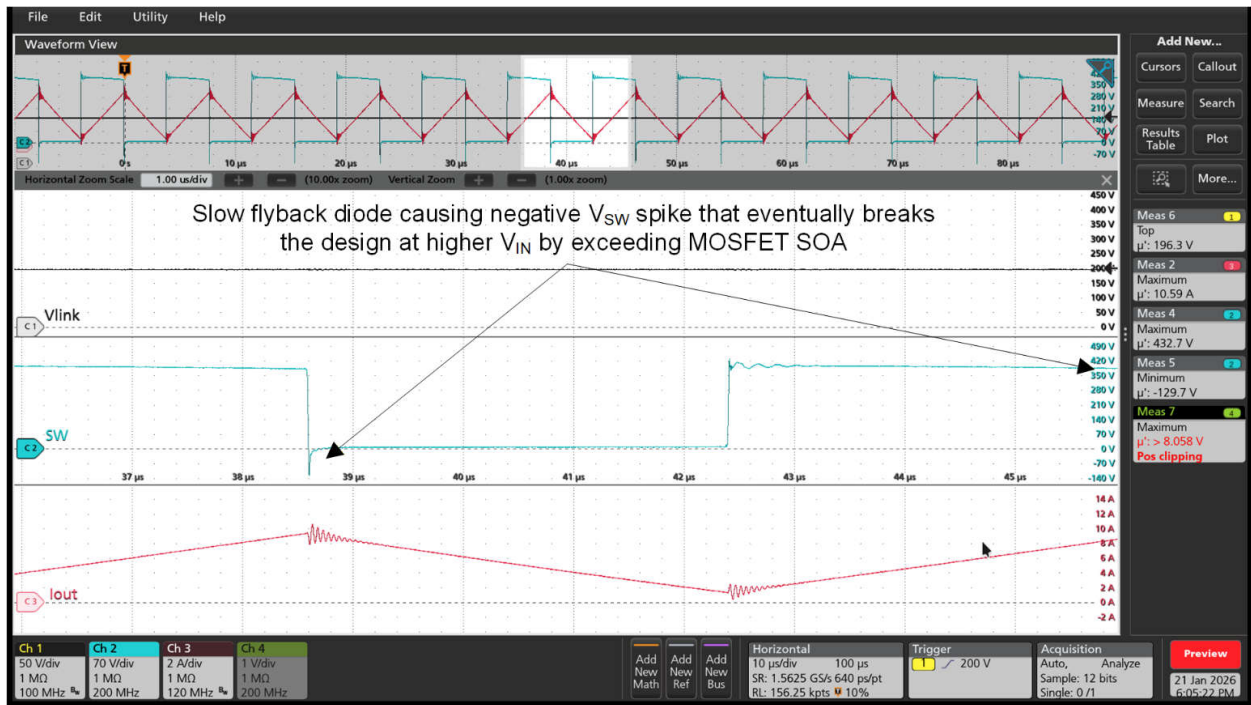


図 2-6. 低速フライバック ダイオード セットアップ、400V で V_{IN} 、200V で V_{LINK}

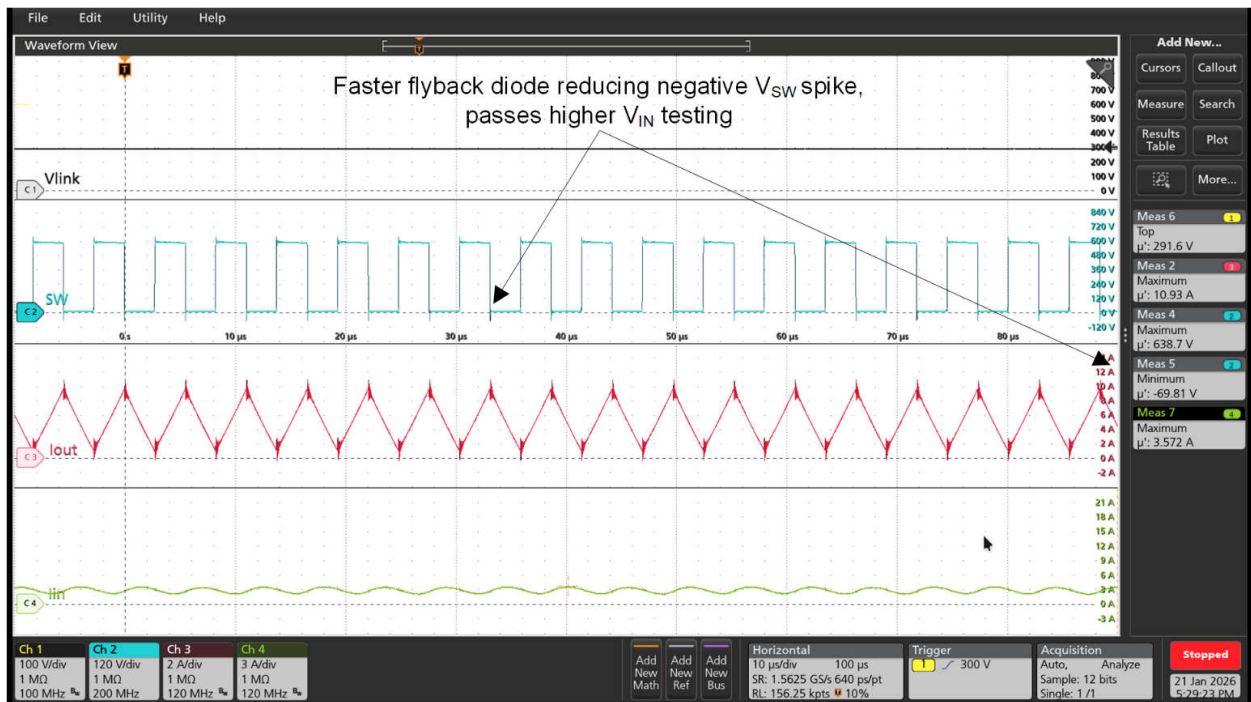


図 2-7. より高速なフライバック ダイオード セットアップ、600V で V_{IN} 、300V で V_{LINK}

2.2.6 センス抵抗の選択

センス抵抗には、必要な電力対応能力に対応できる定格が備わっている必要があります。 $P = I_{AVG}^2 \times R_{SENSE}$ がベースラインとして機能しますが、多くの抵抗は過負荷定格 (たとえば、5s 間の $5 \times DC$ 電力) を持っており、過渡プリチャージイベントに適しています。

2.2.7 入力容量の選択

図 2-8 に、入力容量によって電圧が安定する方法を示し、 T_{ON} 期間中に充電を行います。必要な容量は、許容される電圧リップル ΔV_{IN} に基づいて計算できます。

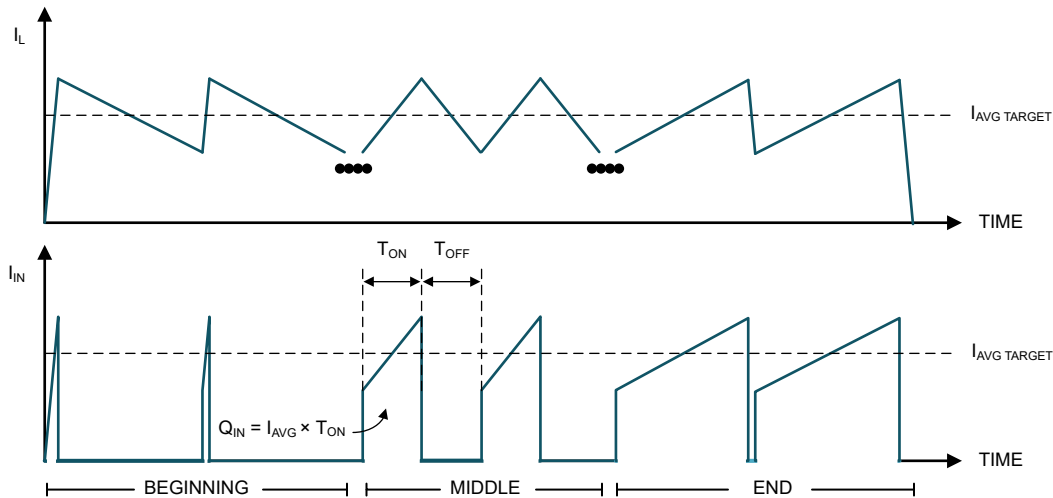


図 2-8. T_{ON} の間に必要な電荷量

ここで、

$$Q_{IN} = I_{AVG} \times T_{ON}; \quad Q_{IN} = C_{IN} \times \Delta V_{IN}; \quad \Delta V_{IN} = \frac{I_{AVG}}{C_{IN}} \times T_{ON}$$

システムの寄生素子によっては、バッテリーが入力電荷を供給するのにも役立つため、入力容量がすべての入力電荷を供給する必要はない可能性があります。

2.2.8 出力容量選択

この設計では、追加の出力容量は必要ありません。配線によるインダクタとリンク コンデンサの間の追加インダクタンスは、直列インダクタンスの追加として機能し、 di_L/dt を低速化します。これにより、電流オーバーシュートの低減、スイッチング消費電力の低減と同時に、同様の平均充電電流の維持に役立ちます。

2.2.9 設計例 #1: シングル R_{SENSE} 構成

表 2-1 のプリチャージ要件に基づき、前のセクションに示した式を使用して部品の値を決定できます。また、TPSI31P1-Q1 デバイスのカリキュレータ ツールを使用すると、この反復プロセスを簡単にすることもできます。

表 2-1. プリチャージ要件の例

| 仕様 | 要件 |
|-------------|-------|
| リンク容量 | 2mF |
| バッテリー バック電圧 | 800V |
| 充電時間 | 400ms |

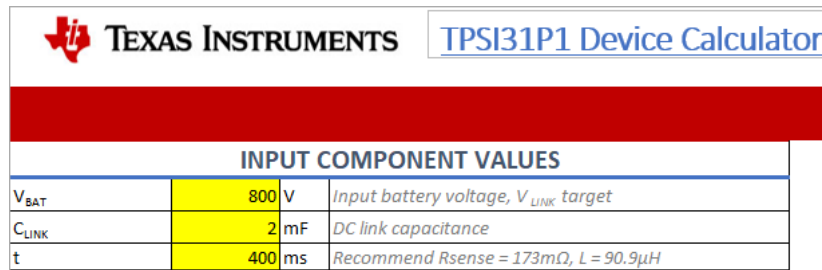


図 2-9. カリキュレータ ツール シングル R_{SENSE} 入力

推奨センス抵抗 ($173\text{m}\Omega$) とインダクタンス ($68\mu\text{H}$) をツールに入力すると、このカリキュレータは期待される電圧出力と電流出力をプロットします (図 2-10 を参照)。これらの結果から、推奨値が表 2-1 の要件を満たしていることが確認されます。このカリキュレータは、おおよその動作に合わせて具体的な関係を線形化します。実際の性能は、非線形性やその他の外部要因によって変化する場合があります。

| INPUT COMPONENT VALUES | | |
|--|----------------------|--|
| V_{BAT} | 800 V | Input battery voltage, V_{LINK} target |
| C_{LINK} | 2 mF | DC link capacitance |
| t | 400 ms | Recommend $R_{sense} = 173\text{m}\Omega$, $L = 90.9\mu\text{H}$ |
| L | 90 μH | Inductance |
| R_{SENSE} | 173 $\text{m}\Omega$ | Sense resistance |
| t_{DELAY} | 350 ns | Propagation delay, comparator-to-VDRV is 290-460 ns "FALSE" for only TPSI31P1 (42 mW at 85°C) |
| $P_{SUPPORT}?$ | FALSE | "TRUE" to add TPSI3052 (79 mW at 85°C) |
| Calculate using "Formulas > Calculate Now" | | |
| t_{CHARGE} | 383.64 ms | Total time to complete precharge |
| $I_{PK ACTUAL}$ | 10.22 A | Peak current after 400 ns comparator delay |
| $I_{PK TARGET}$ | 7.11 A | Target peak current. Set by V_{REF1}/R_{SENSE} |
| $I_{MIN TARGET}$ | 0.92 A | Target minimum current. Set by V_{REF2}/R_{SENSE} |
| $I_{AVG TARGET}$ | 4.02 A | Target average current |
| $I_{AVG ACTUAL}$ | 4.17 A | Actual average current |
| $f_{SW MAX PEAK (delayed)}$ | 287.09 KHZ | Calculated max switching frequency with t_{DELAY} |
| $P_{SW MAX PEAK}$ | 44.21 mW | Computed max switching power. Recommend $\leq P_{OUT}$ (55 mW) |

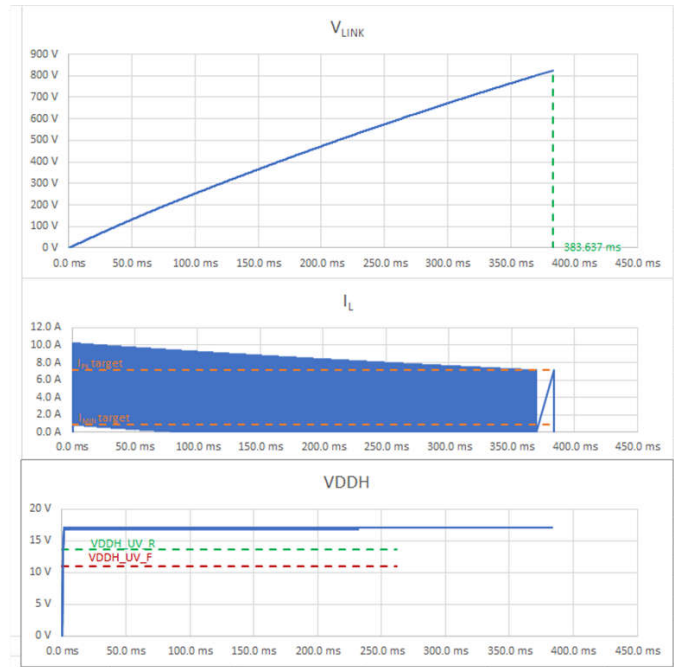
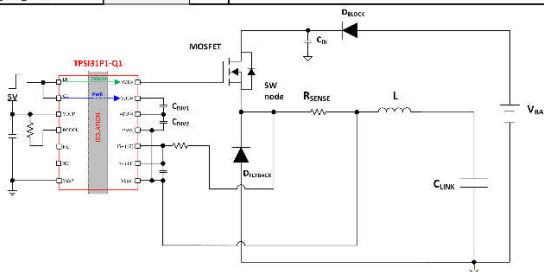


図 2-10. カリキュレータ ツール シングル R_{SENSE} 出力

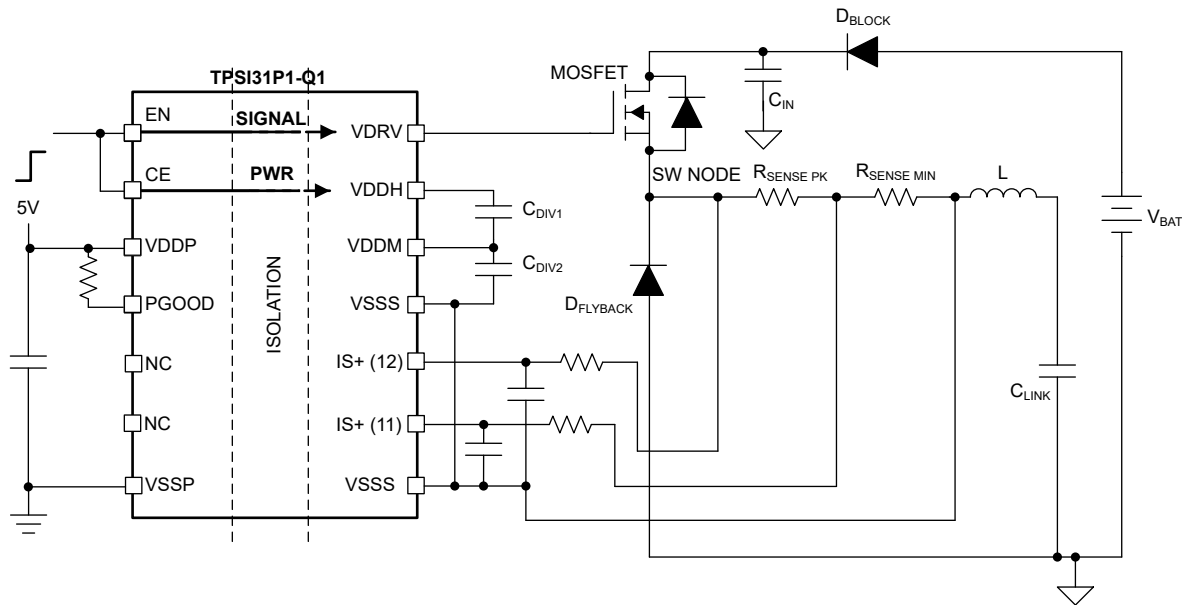


図 2-12. アクティブ プリチャージ ダブル RSENSE 構成

ピーク電流制限を維持するには、合計センス抵抗は $173\text{m}\Omega$ ($R_{\text{SENSE_PK}} + R_{\text{SENSE_MIN}} = 173\text{m}\Omega$) のままにする必要があります。RSENSE_MIN を調整すると、最小電流目標値が増加し、平均充電電流も上昇します。カリキュレータツールの反復に従うと、図 2-13 に示されている値は、更新された設計要件を満たします。

| INPUT COMPONENT VALUES | | |
|--|------------|---|
| V _{BAT} | 800 V | Input battery voltage, V _{LINK} target |
| C _{LINK} | 2 mF | DC link capacitance |
| t | 400 ms | #DIV/D! |
| I _{PK} TARGET | A | Target maximum current, Recommends R _{sense_max} |
| I _{MIN} TARGET | A | Target minimum current, Recommends R _{sense_min} |
| L | 90 μH | Inductance |
| R _{SENSE_PK} | 105 mΩ | Resistance to set peak target current |
| R _{SENSE_MIN} | 68 mΩ | Resistance to set minimum target current |
| t _{DELAY} | 350 ns | Propagation delay, comparator-to-VDRV is 290-460 ns |
| Calculate using "Formulas > Calculate Now" | | |
| t _{CHARGE} | 352.27 ms | Total time to complete precharge |
| I _{PK} ACTUAL | 10.22 A | Peak current after 350 ns comparator delay |
| I _{PK} TARGET | 7.11 A | Target peak current. Set by V _{REF} /R _{SENSE} |
| I _{MIN} TARGET | 2.35 A | Target minimum current. Set by V _{REF} /R _{SENSE} |
| I _{AVG} TARGET | 4.73 A | Target average current |
| I _{AVG} ACTUAL | 4.54 A | Actual average current |
| F _{SW_MAX_PEAK} (delayed) | 352.04 kHz | Calculated max switching frequency with t _{DELAY} |
| P _{SW_MAX_PEAK} | 54.21 mW | Computed max switching power. Recommend ≤ P _{OUT} (55 mW) |

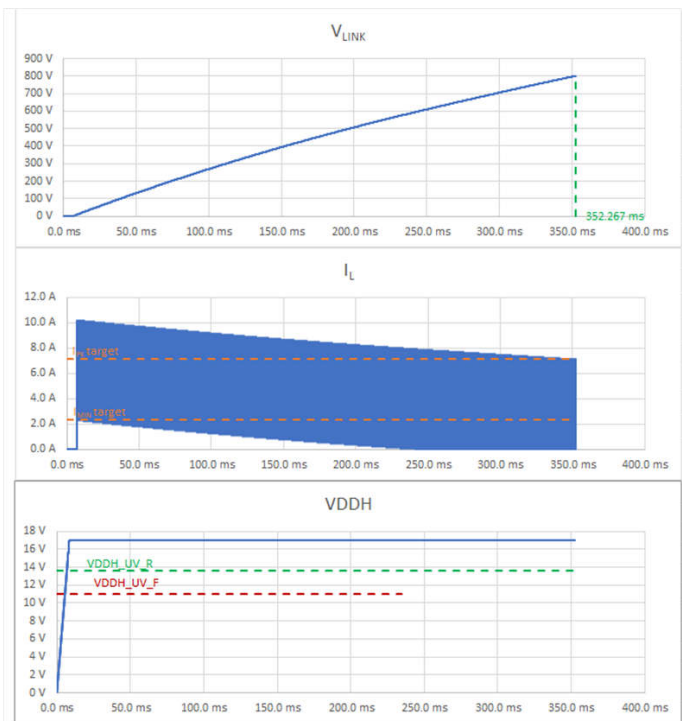


図 2-13. カリキュレータ ダブル RSENSE 出力

2.3 主な使用製品

2.3.1 TPSI31P1-Q1

TPSI31P1-Q1 は、従来型のパッシブ プリチャージ アーキテクチャの代替として車載用プリチャージ システムで使用できるように設計されています。このアーキテクチャには通常、高価な電気機械式リレー (EMR) や大型の大電力抵抗が含まれています。TPSI31P1-Q1 は、外部パワー スイッチ、パワー インダクタ、ダイオードと組み合わせることで、アクティブ プリチャージ アプローチを形成します。インダクタ電流は、TPSI31P1-Q1 によってヒステリシス動作モードで継続的に監視および制御され、下流システムの大きな容量を直線的に充電します。TPSI31P1-Q1 は、1 次側に供給された電源によって独自の 2 次バイアス電源を生成する絶縁型スイッチドライバなので、絶縁型の 2 次側電源は不要です。ゲート駆動電圧 17V、ピークソース電流 / ピークシンク電流 1.5A および 2.5A という性能を備えているため、SiC FET や IGBT など使用できるパワー スイッチが沢山あります。

2.3.2 TPS7A49

TPS7A49 シリーズのデバイスは、正の高電圧 (36V)、超低ノイズ ($15.4\mu\text{V}_{\text{RMS}}$ 、72dB PSRR) のリニアレギュレータで、150mA 負荷に電力を供給できます。

3 ハードウェア、ソフトウェア、テスト要件、テスト結果

3.1 ハードウェア要件

このリファレンス デザインの評価に使用されたハードウェアは以下で構成されています。

- TIDA-050082 リファレンス デザイン ボード
- 800V、5A_{AVG} の DC 電源 (N8930A)
- 2 つの DC 電源。1 つ目は TPSI31P1-Q1 VDDP (5V) に電力を供給し、2 つ目は TPSI31P1-Q1 EN/CE (5V) を駆動
- HV を安全にテストするためのインターロック式安全ボックス
- 4 つの 500 μ F、2kV コンデンサを並列接続した状態で 2mF の容量
- 容量の抵抗性放電パス
- オシロスコープ (MSO44)
- 2 つの HV 差動プローブは、リンク容量と SW ノードと HV グランドの間で最大 800V の電圧を測定
- 最大 20A を測定できる電流プローブ

3.2 テスト設定

以下のテスト結果は、[図 3-1](#) に示されている構成を使用して、20k Ω 放電抵抗で 2mF の容量への入力および出力に 10kW、1kV DC 電源を使用して収集されたものです。バッテリー入力と短いケーブルを備えたシステムでは、必ずしもそれほど大きい入力容量を必要とするとは限りません。

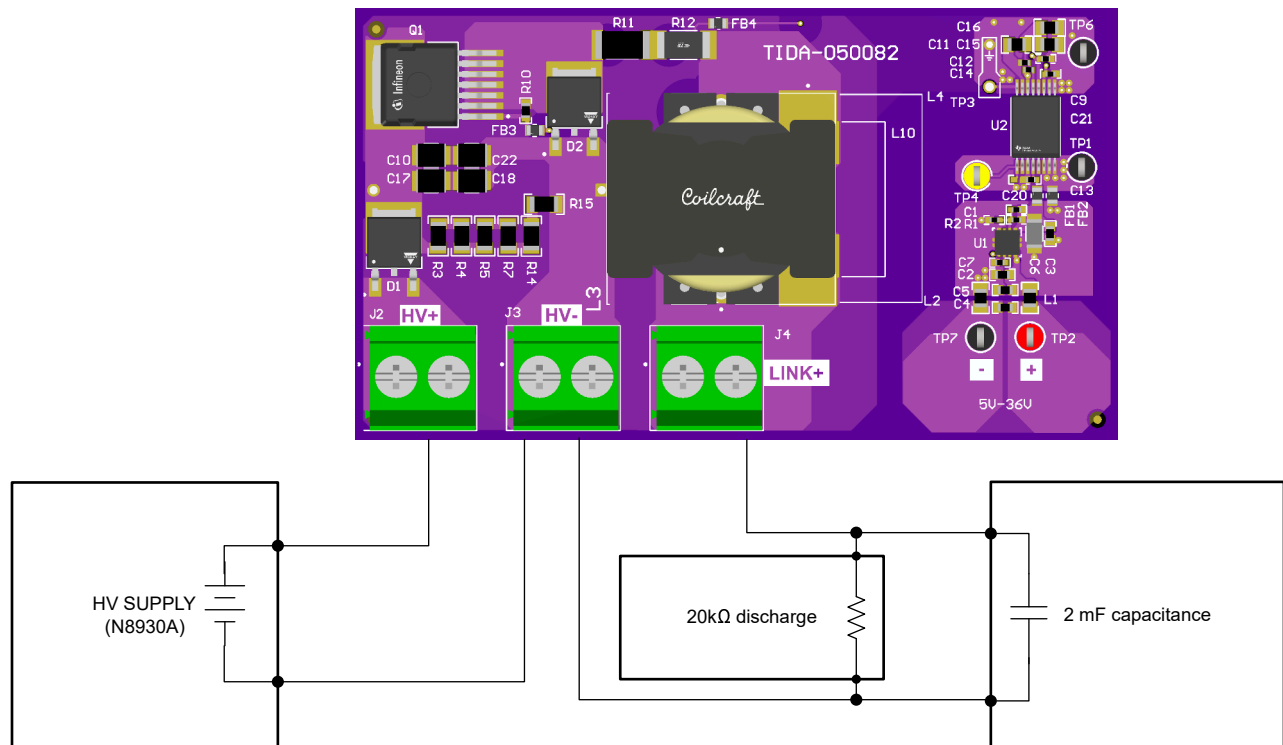


図 3-1. アクティブ プリチャージ セットアップ

3.3 テスト結果

ブートストラップ容量が $C_{DIV1} = 10\mu\text{F}$ および $C_{DIV2} = 32\mu\text{F}$ の場合、ドライバの 2 次側レール (VDDM および VDDH) では、プリチャージ開始前に約 30ms のパワーアップが必要です。ブートストラップ容量が小さいほど、ドライバの 2 次側レールのパワーアップ時間は長くなりますが、ドライバが最大能力を超えて電力を出力する場合にレールがドロップするマージンも小さくなります。

400V と 800V のプリチャージ波形 (図 3-2 および 図 3-3) は、ドライバの 2 次側レールに電源が投入された後のアクティブプリチャージ回路充電動作を示します。

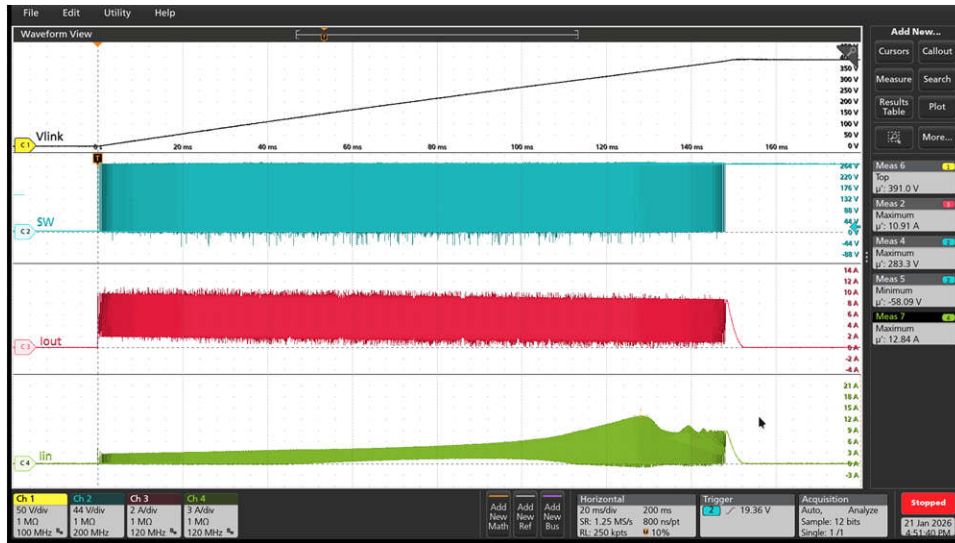


図 3-2. 400V V_{IN}

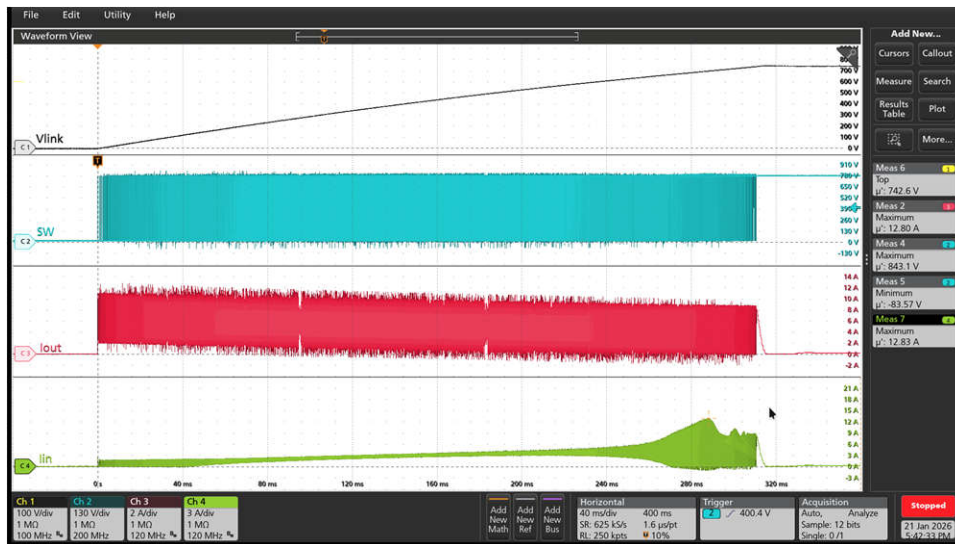


図 3-3. 800V V_{IN}

4 設計とドキュメントのサポート

4.1 デザイン ファイル

4.1.1 回路図

回路図をダウンロードするには、[TIDA-050082](#) のデザイン ファイルを参照してください。

4.1.2 BOM

部品表 (BOM) をダウンロードするには、[TIDA-050082](#) のデザイン ファイルを参照してください。

4.1.3 PCB レイアウトに関する推奨事項

レイアウトは、追加の部品を必要とする寄生素子を最小化するため、または極端な場合には設計が機能しない状態になるようにするために重要です。以下の PCB レイアウトに関する考慮事項は、機能的な高電圧 (HV) アクティブ プリチャージ設計を開発するのに役立ちます。

4.1.3.1 大きなリターン プレーンを使用して電磁界を包含

電磁適合性 (EMC) は多くの場合、アクティブ プリチャージ アプリケーションでは短時間の動作時間があるため、2 次的に検討する必要がありますが、標準的な PCB のベストプラクティスは依然として不可欠です。[図 4-1](#) に示されているように、エンジニアは信号配線と電力配線すべてに大きな基準プレーンまたはグランド プレーンを実装し、電荷を生成する電気 (E 磁界) および磁気 (H 磁界) の磁界を含める必要があります。

基準プレーンが不十分な場合、より大きな電界と H 磁界が発生するため、近くの回路や電磁干渉 (EMI) にノイズが注入されるリスクが高くなります。パターンとプレーンの幅 (w) は通常、熱上昇の制限に従います (たとえば、IPC-2152 規格)。電磁干渉を最小限に抑えるため、パターンと基準プレーン間の高さ (h) と全体のパターン長を最小にする必要があります。この設計において主要なノイズ源となる高 di_L/dt ループと SW ノードについては、EMC への配慮がとりわけ重要となります。

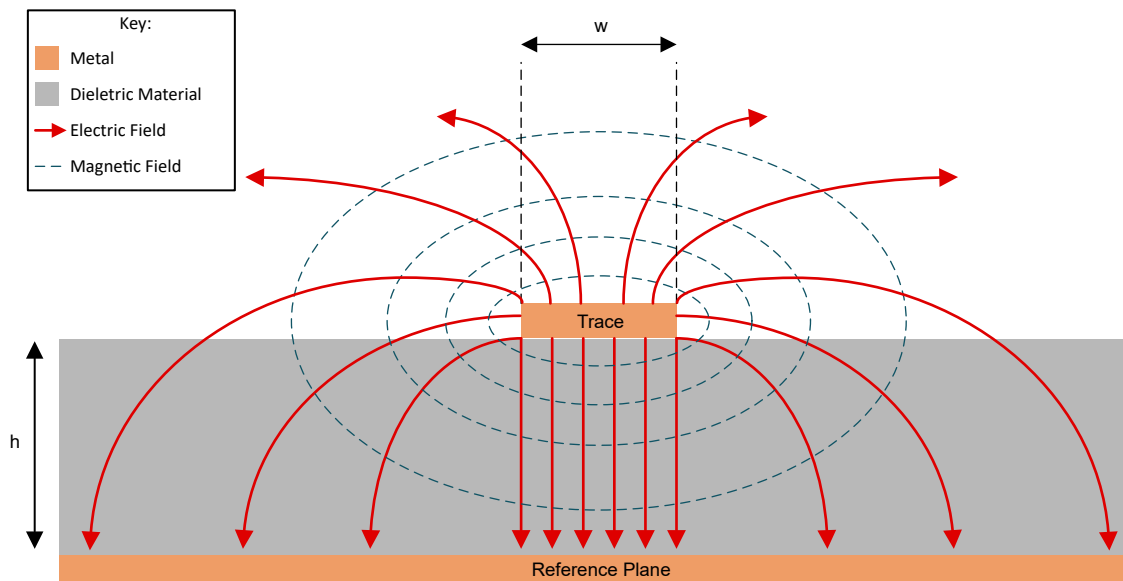


図 4-1. トレース電磁断面図

4.1.3.2 高 di_L/dt ループ長を最小化して発振および EMI を抑制

入力容量をスイッチング回路の近くに配置することで、高 di/dt ループを最適化します。図 4-2 に、概略回路図とリファレンス デザインのレイアウトを用いて、リファレンス デザインの主要な電流ループを示します。

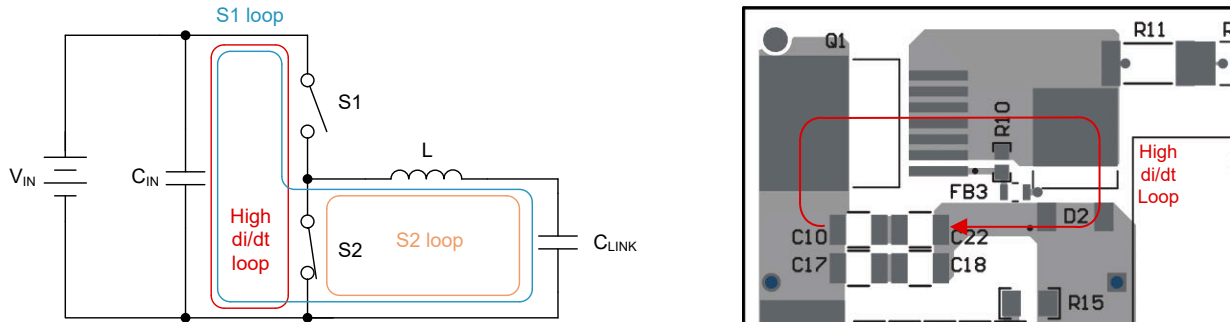


図 4-2. 高 di/dt のループ回路図とレイアウト

この回路では、S1 は MOSFET、S2 はフライバック ダイオードを表します。電流は、S1 パスと S2 パスの間で交互に発生します。電流はこれらのループが重なる場所では連続的なままですが、重ならないセクションでは不連続になります。その結果、電流が突然ゼロから全負荷電流に遷移するため、高 di/dt ループが発生します。このループ内の寄生インダクタンスと容量は、遷移中に電圧発振を発生させる共振回路を形成します (図 4-3 を参照)。過剰な発振は絶対最大定格を超える可能性があり、MOSFET またはフライバック ダイオードの損傷を引き起こす可能性があります。

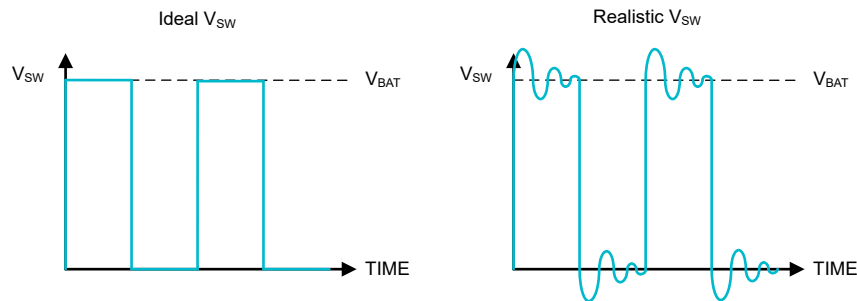


図 4-3. V_{SW} の理想的な動作と現実的な動作との関係

高 di/dt ループ長を短くすると、寄生素子によって蓄積および解放されるエネルギーが最小限に抑えられ ($W_L = 0.5 \times LI^2$)、電圧オーバーシュートが低減されます ($V_L = L \times di_L/dt$)。さらに、このループ内の電流が時変 H 磁界を形成します。この磁界により、相互インダクタンスを介して付近の回路に電流が注入され、EMI が増加する可能性があります。高 di/dt ループ長を最小限に抑え、最高の性能を得るため、入力容量を MOSFET のドレインとフライバック ダイオード アノードのできるだけ近くに配置します。

過剰な V_{SW} 発振が持続する場合は、次の方法でダンピングを増やしてください。

- 低速ターンオンになるように MOSFET のゲート抵抗を増加
- センス抵抗の直列抵抗
- SW ノードと HV- 間に接続された RC スナバ回路

4.1.3.3 SW ノード面積を最小化してリングングとノイズを改善

高 di_L/dt ループと同様に、長さを最小化することで最高の性能を実現し、高 di_L/dt ノードは面積を最小化して最高の性能を達成します。MOSFET ソース、フライバック ダイオード カソード、インダクタ接続で構成される SW ノードでは、MOSFET 遷移時に高 di_L/dt が発生します。MOSFET がオンになると、SW ノードは V_{BAT} に High にプルアップされます。MOSFET がオフになると、フライバック ダイオードによって SW ノードが HV- にプルダウンされます。SW ノードが大きいと、寄生インダクタンスと寄生容量が発生し、リングングと部品にストレスがかかります。さらに、大きな SW ノードがア

アンテナとして機能するため、大きな電界と H 磁界が生成され、EMI が増加します。最高の性能を得るには、SW ノードの設計をコンパクトにして、入力容量と基準プレーンに近づけて配置する必要があります。

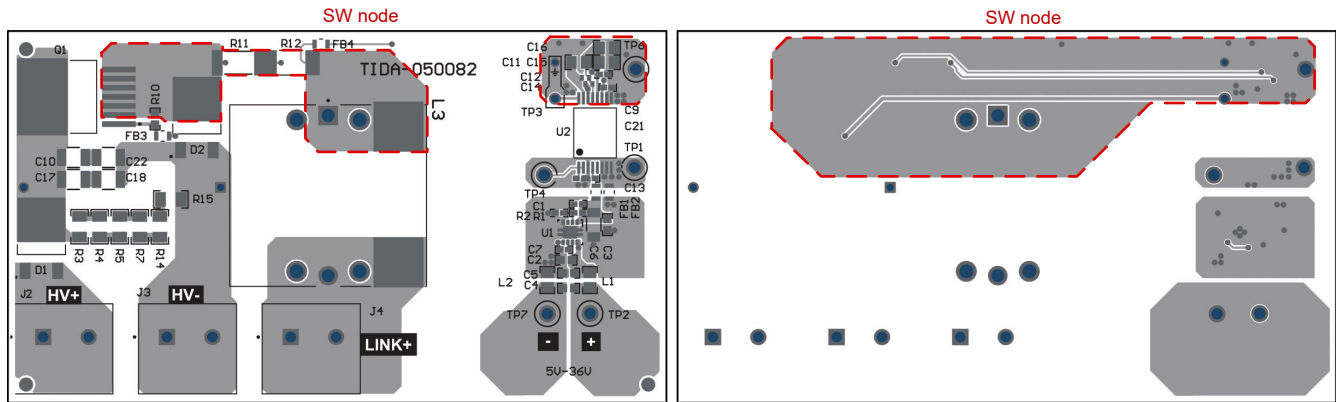


図 4-4. TIDA-050082 ボードの SW ノードの上面図と底面図

4.1.3.4 インダクタ パッドを最小化して、寄生容量結合を制限

最初のリファレンス デザインボードは、複数の表面実装インダクタに対応するために大きな銅層を使用していました。間隔は HV の沿面距離と空間距離の要件を満たしていますが、図 4-5 に示されているように、過剰な銅によってインダクタとの間に寄生容量結合 (C_{PAR}) が発生します。この結合により、高電圧スイッチング時の実効インダクタンスが減少し、SW ノードの遷移時に過渡負荷電流スパイクが発生します。

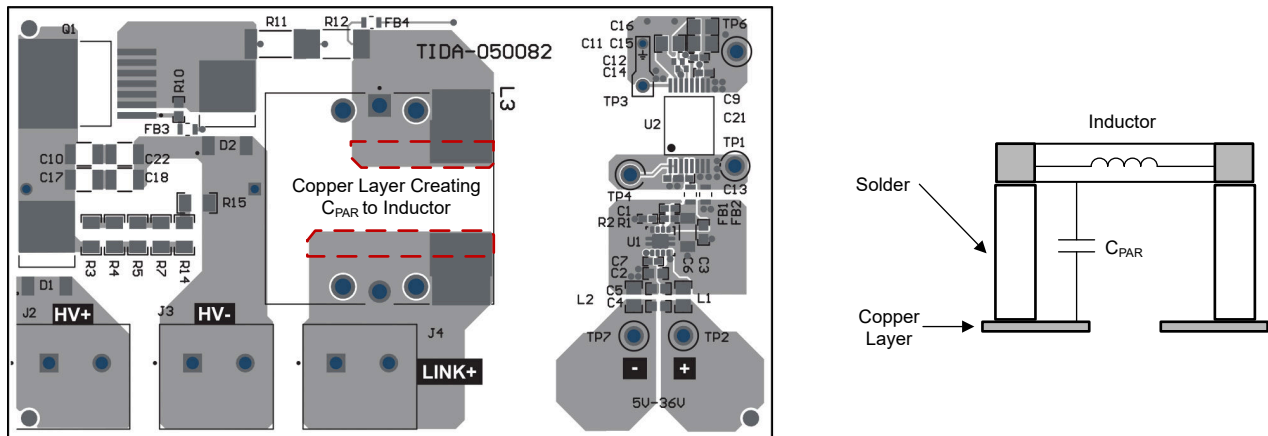


図 4-5. インダクタ パッドの銅層による C_{PAR} の生成

余分な C_{PAR} 銅層を除去すると、これらの過渡スパイクが大幅に低減され、システムの安定性が向上します。図 4-6 と 図 4-7 に、波形の前後を示します。

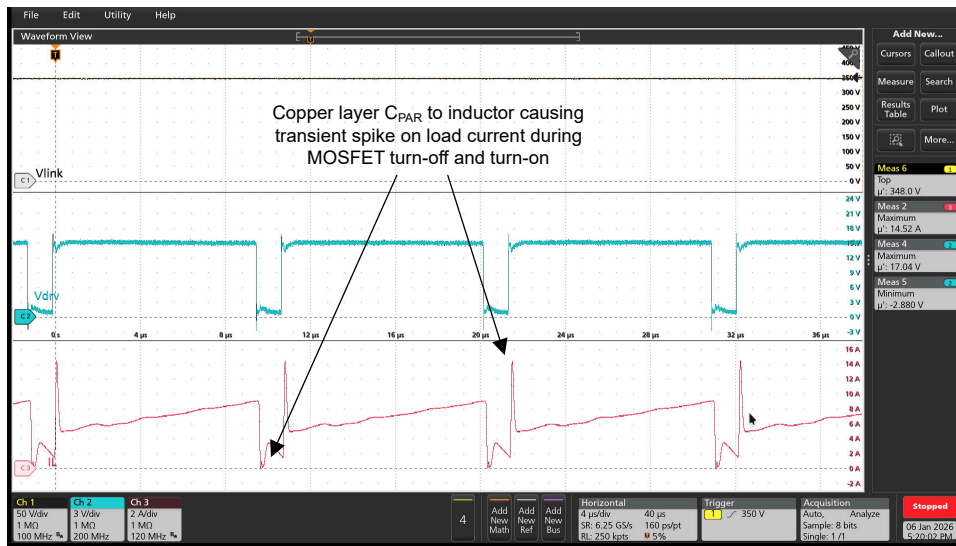


図 4-6. C_{PAR} 銅層がある場合の波形

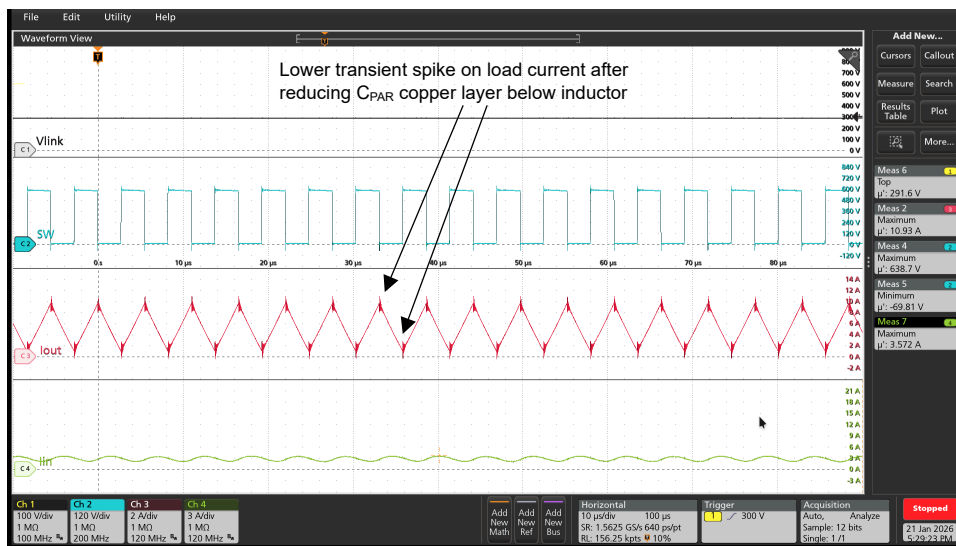


図 4-7. C_{PAR} 銅層がない場合の波形

4.1.3.5 HV 沿面距離と空間距離

HV の設計では、絶縁破壊やアーク放電を防止するために、十分な導体間隔が必要です。必要な間隔は、導体間の電位に比例して増加します。詳細な設計原理については、『高電圧最終製品の空間距離と沿面距離の明確化』を参照してください。IPC-2221B 規格に従って特定の間隔要件を決定するには、Sierra 回路®の PCB 導体間隔および電圧カリキュレータを使用してください。

4.1.3.6 レイアウトプリント

レイヤプロットをダウンロードするには、[TIDA-050082](#) のデザインファイルを参照してください。

図 4-8 から 図 4-14 に、TIDA-050082 のレイアウトプリントを示します。

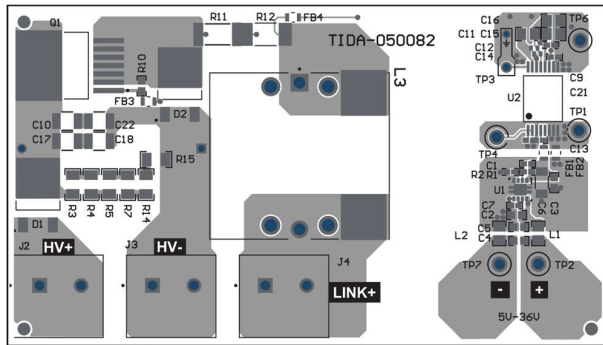


図 4-8. TIDA-050082 の上面図合成

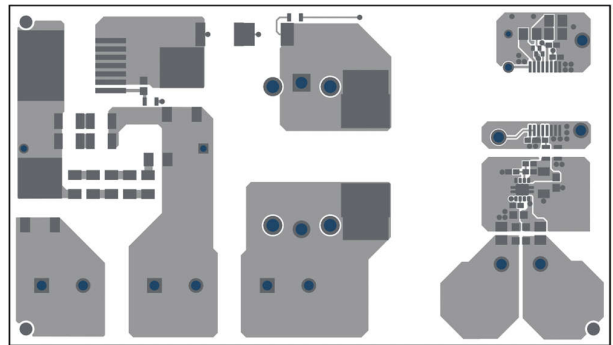


図 4-9. TIDA-050082 最上外層

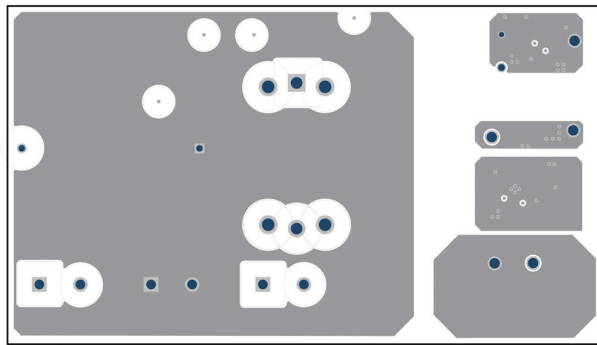


図 4-10. TIDA-050082 内層 1

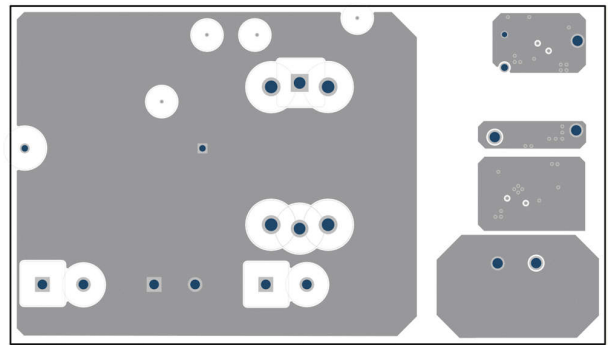


図 4-11. TIDA-050082 内層 2

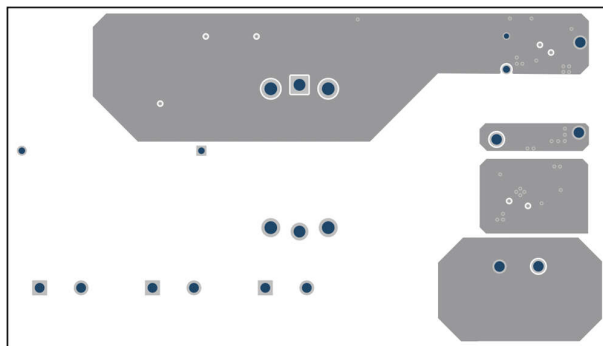


図 4-12. TIDA-050082 内層 3

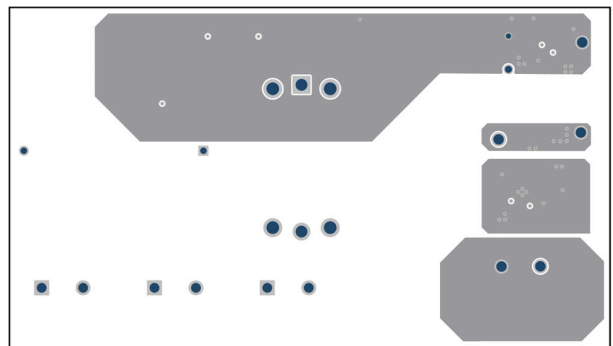


図 4-13. TIDA-050082 内層 4

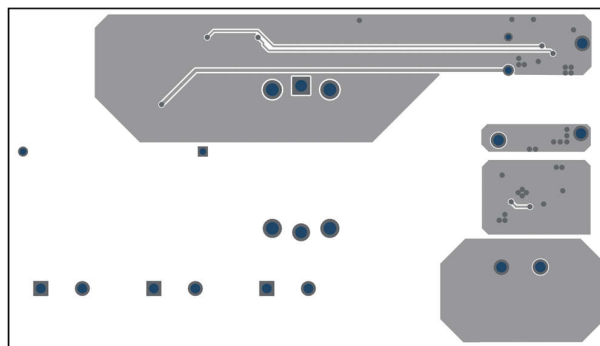


図 4-14. TIDA-050082 最下外層

4.2 ツール

TPSI31P1-SINGLE-RSENSE-CALC 部品値に基づき、アクティブ プリチャージ回路の挙動を計算およびシミュレーションするためのカリキュレータ ツール。

TPSI31P1-DOUBLE-RSENSE-CALC 部品値に基づき、アクティブ プリチャージ回路の挙動を計算およびシミュレーションするためのカリキュレータ ツール。

4.3 ドキュメントのサポート

1. テキサス インスツルメンツ、『[TPSI31P1-Q1 17V 絶縁型ゲートドライバとバイアス電源搭載、車載用アクティブ プリチャージコントローラ](#)』、データシート
2. テキサス インスツルメンツ、『[TPS7A49 36-V、150mA、超低ノイズ、正リニアレギュレータ](#)』データシート

4.4 サポート・リソース

テキサス・インスツルメンツ **E2E™** サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

4.5 商標

E2E™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Sierra 回路® is a registered trademark of Sierra Circuits, Inc.

すべての商標は、それぞれの所有者に帰属します。

5 著者について

TILDEN CHEN は、テキサス インスツルメンツのアプリケーション エンジニア。Tilden は、アイオワ州立大学を卒業し、電気工学の学士を取得した後、2021 年に TI に入社しました。

LINDA YE は、テキサス インスツルメンツのシステム エンジニアとして、車載電源設計のリファレンス デザイン手法の開発を担当しています。ローパワー電源システムの設計に豊富な経験があります。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月