

オプトエレクトロニクス回路の事例集

By Neil Albaugh

このアプリケーション・ノートでは、光ネットワーク・システム等の電気光学アプリケーションに役立つと思われるアナログ回路を紹介します。最初のページでは、それらの回路の顕著な特徴を要約して示します。

アヴァランシェ・フォトダイオードバイアス電源供給回路 1

アヴァランシェ・フォトダイオードを逆バイアスしてゲインを制御するために、出力電圧 $0V \sim +80V$ を供給します。この回路を再構成して、出力 $0V \sim -80V$ を供給することも可能です。

リニア TEC ドライバ -- 1

熱電冷却器(TEC)を駆動するためのブリッジ接続負荷(BTL)用のリニア・アンプです。単電源 $+5V$ で動作し、一般的なTECに $\pm 2A$ を送り込むことが可能です。

リニア TEC ドライバ -- 2

ドライバ--1によく似ていますが、効率を高めるために電力出力段に変更を加えて、単電源 $+3.3V$ で動作するようになっています。 $+2.5V$ を基準とする標準的な信号でこのアンプを駆動すると、出力トランジスタの消費電力が等しくなくなります。

リニア TEC ドライバ -- 3

このBTL TECドライバの電力出力段は、電源レール $\pm 2.5V$ の非常に近くまでスイングすることで、非常に高い効率を達成します。このドライバでも、一般的なTECに $\pm 2A$ を送り込むことが可能です。動作は、電源 $\pm 1.5V$ に接続して動作する電力出力段に示されます。これらの条件下では、リニア・アンプで非常に高い効率を達成できます。

レーザー・ダイオード・ドライバ -- 1

このアプリケーション・ノートでは、シングルエンド電圧制御型電流源回路を紹介します。この回路は単電源 $+3.3V$ で動作し、デジタル-アナログ・コンバータ(以下、DAC)からの入力 $0V \sim 2V$ によりレーザー・ダイオードへ $0A \sim 2A$ を送り込むことが可能です。また、入力電圧 $0V \sim -2V$ 用に構成することも可能です。

レーザー・ダイオード・ドライバ -- 2

前述の回路と似ていますが、電源 $\pm 5V$ で動作する点と、反転している -- すなわち、入力 $0V \sim -2V$ によってレーザー・ダイオードに $0A \sim 2A$ を送り込むという点が異なります。ノイズの非常に低いバイポーラ入力型オペアンプを使用することにより、この回路では低ノイズの出力電流を実現できます。このことは、高密度実装のシステムでは重要な検討事項になります。図に示されているように、レーザー・ダイオードのどちらの端子もグラウンドには接続されません。

ウィンドウ・コンパレータを使用した、温度範囲の上限外および下限外の温度センシング

この回路はTECサーミスタの温度を監視して、範囲外の条件を検知したり、サーミスタがショートかオープンかを検知するのに役立ちます。電流源回路により、閾値の再調整が不要になります。電源電圧は $+5V$ です。

アヴァランシェ・フォトダイオード バイアス電源供給回路 -- 1

アヴァランシェ・フォトダイオード(APD)は一般的に、高い感度と広い帯域幅を必要とする光検知回路に使用されます。フォトダイオードの接合部に高い逆バイアス電圧をかけると、アヴァランシェ・ゲインが発生し、逆バイアス電圧を変化させることにより、このゲインを制御することができます。数百ボルトのバイアスが必要になるAPDもありますが、InGaAs型およびSi型APDの多くでは、必要な電圧は60V ~ 80Vのみです。

図1の回路では、最大+80Vの正のバイアス電圧をAPDに供給可能です。入力制御電圧0V ~ +2VはDAC出力、あるいはアナログ電源から取ることができます。

高電圧オペアンプOPA445の定格は、最大±45Vの電源で動作し、消費電力の限界値を守れば最大±15mAまでの電流を供給可能です。電源間の電圧差が90V以下であり、アンプの同相入力電圧が指定範囲内である限りは、複数の異なる電源でこのオペアンプを動作させて、高い正の出力電圧を得ることが可能です。

OPA445の出力電圧がゼロまでスイングできるようにするために、負電源 - 5Vが選択されています。また、電源電圧差の指定値である90V以内という理由で、正電源+85Vが選択されています。これにより、OPA445の出力電圧で可能なスイングの上限が+80Vになります。

R_{IN} と R_F により、この非反転オペアンプ回路のゲインが40V/Vに設定されます。図2に示すように、0V ~ +2Vが入力された結果、出力が0V ~ +80Vになります。

異なるゲインは、次の数式で計算できます。

$$A_v = \left(\frac{R_F}{R_{IN}} \right) + 1$$

出力電圧がもっと低くても良い場合は、他のオペアンプをこの回路で使用することもできます。正の電源電圧を+55Vにする場合は、OPA551またはOPA552を使用して、バイアス電源供給回路を0V ~ +50Vにします。

図3のように、この回路の帯域は約60kHzです。ノイズを減らすために、コンデンサを R_F と並列に配置することもできます。さらに、DACの出力がOPA445の出力、あるいはその両方に受動RCローパス・フィルタ(LPF)を付加すれば、ローパスフィルタ処理を実現することもできます。バイアス電源供給回路が低ノイズであることは重要です。APDのバイアス電源供給回路のノイズが、バイアス電源供給回路を通して後続の段(たいていはトランスインピーダンス・アンプ)に送り込まれることになるためです。

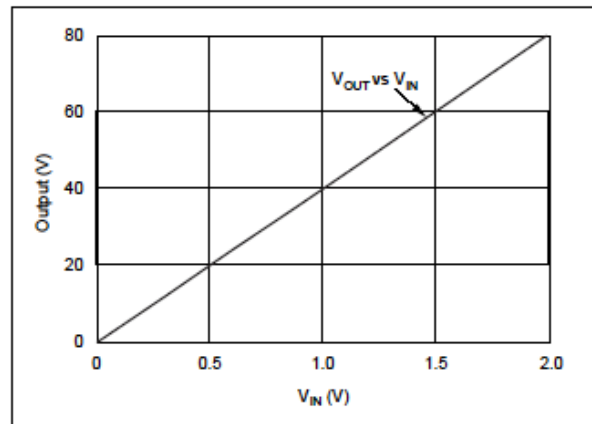


図2. APDバイアス電源供給回路のDC出力 vs 入力電圧

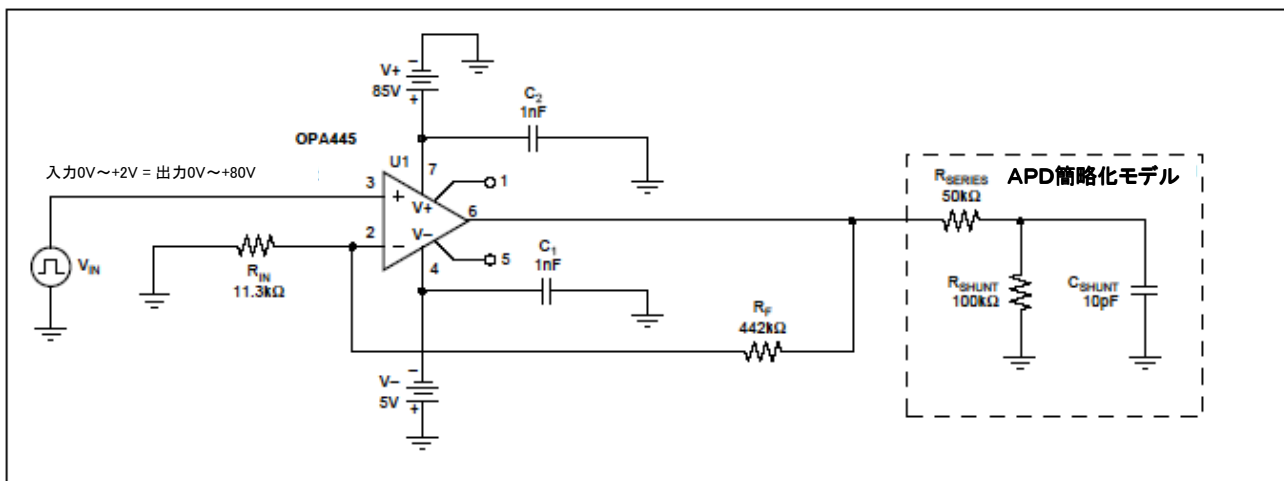


図 1. 正のバイアス電源供給回路の回路図

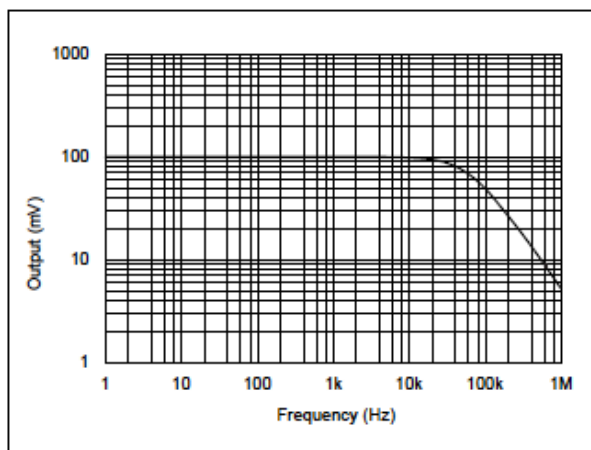


図3. APDバイアス電源供給回路の小信号帯域

図4の回路の過渡応答は、ピーキングやオーバーシュートのないクリーンなステップ応答を示しています。

現在、OPA445は表面実装パッケージSO-8に入れて供給されているため、プログラマブルAPDのバイアス電源供給回路を、より大きなPCBレイアウトの隅に追加して入れることも実行可能になりました。

オペアンプの電源を+5Vおよび - 85Vに変更することにより、このバイアス電源供給回路回路を再構成して、出力0V ~ - 80Vを供給するようにすることも容易にできます。入力0V ~ - 2Vが必要になりますが、入力が R_{IN} に接続されていて、オペアンプの非反転入力グラウンド接続されている場合、入力0V ~ +2Vを使用することも可能です。

これにより、オペアンプが反転構成に変わります。OPA445をインバータとして使用した場合には、回路の入力インピーダンスが低くなっている(R_{IN} と同じ)ことに注意してください。よく知られている反転オペアンプのゲイン式は次の通りです。

$$A_V = \left(-\frac{R_F}{R_{IN}} \right)$$

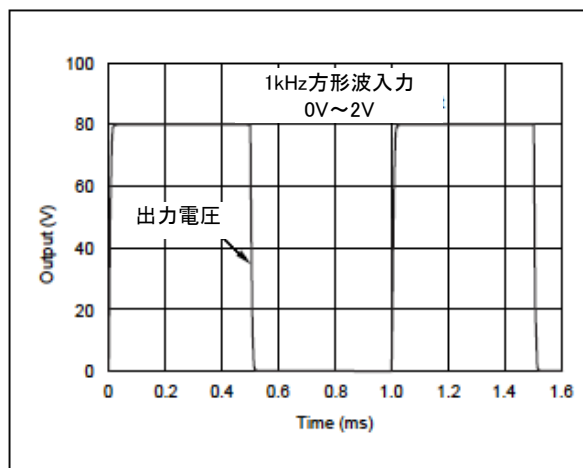


図 4. APD バイアス電源供給回路の過渡応答

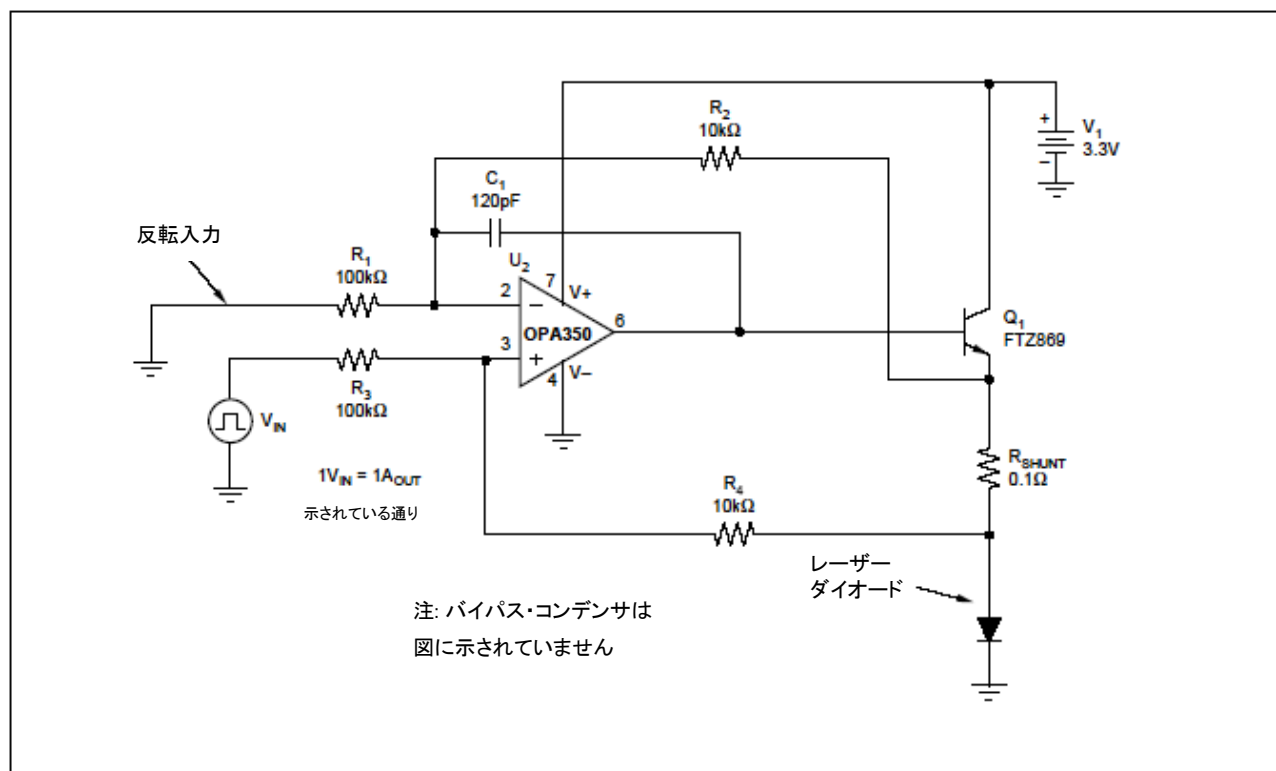


図 5. レーザー・ダイオード定電流ドライバ1の回路図

レーザー・ダイオード・ドライバ-1

図5に示す電圧制御型電流源回路は定電流を駆動し、信号やポンプ・レーザー・ダイオードに電流を送り込むことができます。このシンプルでリニアなドライバにより、スイッチングPWMドライバを使用した場合よりもクリーンな駆動電流がレーザー・ダイオードに供給されます。

基本的な回路として、電流ブースター(Q₁)をR-R CMOSオペアンプOPA350(U₂)の出力に接続したホーランド型電流ポンプ回路を使用しています。レーザー・ダイオードの電流は、レーザー・ダイオードと直列接続したシャント抵抗(R_{SHUNT})の電圧降下を測定することにより、差動方式でセンシングされます。出力電流は、アナログ電圧源または電圧出力DACからの入力電圧(V_{IN})により制御されます。図に示すように、スケール・ファクタは入力1V = 出力1Aです。次の等式を使用して適切な抵抗値を選択することで、スケール・ファクタ(V_{IN}/I_{OUT})を他の値に設定することもできます。

$$\frac{V_{IN}}{I_{OUT}} = \frac{R_3}{R_4} \cdot R_{SHUNT} \text{ and, } R_1 = R_3, R_2 = R_4$$

P-Spiceのシミュレーション(DCスイープ)をV_{IN}で実行して、入力電圧を0Vから2Vまでスイープさせてみましょう。図6に示す下側の曲線は、レーザー・ダイオード電流と入力電圧の関係です。Q₁の消費電力は、上側の曲線に示されています。

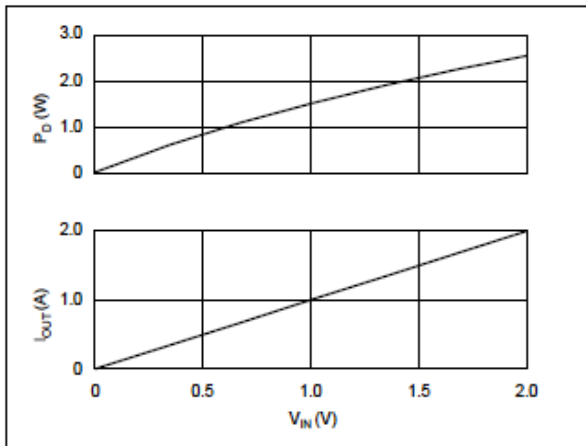


図 6. 出力電流とQ₁の電力消費vs 3.3V電源の入力電圧
電源電圧3.3Vで動作するQ₁では、出力電流1Aでわずか1.5Wの電力しか消費しません。これは、FTZトランジスタの能力範囲内に十分おさまります。SOT-223パッケージでは、熱をPC基板上の銅配線で吸収できるためです。電源電圧5Vでの動作について、同様の曲線を図7に示します。これを見ると、電流源回路を低い電源電圧で動作させることにより、電力消費が抑えられるというメリットが得られることがはっきり分かります。高い出力コンプライアンス電圧が必要とされる場合は、電源電圧を5Vに上げた方がよいでしょう。レーザー・ダイオードのマクロモデルが使用できないため、レーザー・ダイオードの接合部は、図中にあ

る直列接続した3つのシリコン・ダイオードでシミュレートされています。

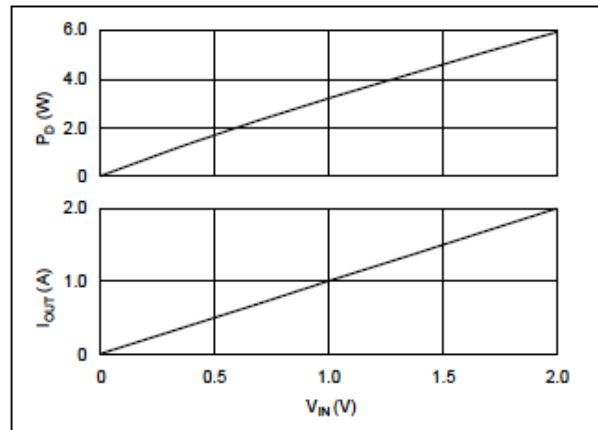


図 7. 出力電流とQ₁の電力消費vs 5V電源の入力電圧。

過渡応答シミュレーションのP-Spice Probe出力を図8に示します。入力電圧パルス振幅が10mV ~ 500mVから10mV ~ 2Vでステップされており、電流の出力波形がプロットされています。回路では、パルスの立ち上がりエッジと立ち下がりエッジ両方でクリーンな応答が示されています。図9ではまた、電源5Vでの動作でクリーンなパルス応答が得られることも示しています。

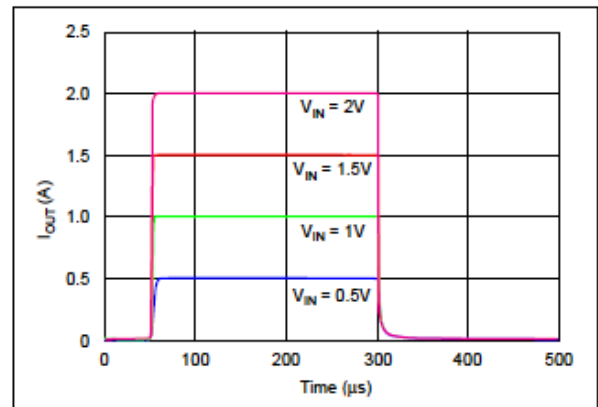


図 8. +3.3V電源を使用したレーザー・ドライバの過渡応答

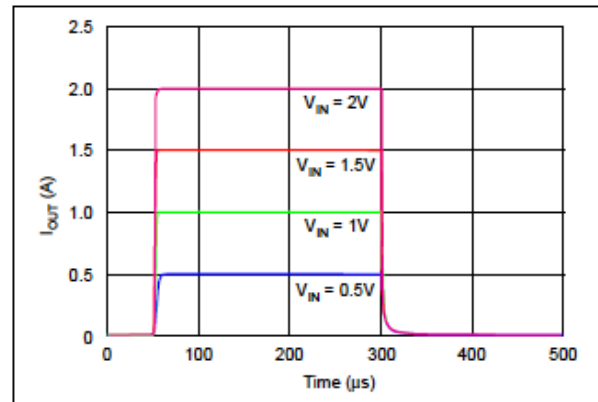


図 9. +5V電源を使用したレーザー・ドライバの過渡応答

シャント抵抗またはスケール・ファクタの値を変更すると、補償コンデンサC₁を変更する必要も生じます。高価な

レーザー・ダイオードを出力に接続する前に、読者の設計している回路が安定していることを確認してください。

負の出力制御電圧が使用可能な場合は、 R_1 に印加することが可能です。その後、 R_3 がグラウンドに接続されます。これにより、アンプが反転アンプとして構成されます。

Q_1 に使用される電源ブースターは非常に高電流増幅率な単体NPNトランジスタであり、ダーリントン素子ではなく、コレクタ電流が1Aの時に300を超える電流増幅率(H_{FE})を持つため、オペアンプ製品CMOS OPA350で駆動して高電流にすることが容易に可能です。Zetex社の評価ではこのブースターの継続的なコレクタ電流を6.5Aとしています。安全動作領域(SOA)の限界値はこの値よりも低くなっ

レーザー・ダイオード・ドライバ-2

図10の電圧制御型電流源回路は、非常に低ノイズな低電流を駆動し、信号やポンプ・レーザー・ダイオードに電流を送り込むことができます。このシンプルでリニアなドライバにより、スイッチングPWMドライバで実現できる電流よりもずっとクリーンな駆動電流がレーザー・ダイオードに供給されます。

基本的な回路は、(U_1)の出力に接続したNPNトランジスタ電流ブースター(Q_1)です。(U_1)は、非常に低ノイズのバイポーラ型オペアンプ製品OPA227です。レーザー・ダイオードの電流は、 Q_1 のエミッタにあるシャント抵抗(R_{SHUNT})の電圧降下を測定することによりセンシングされます。出力(レーザー)電流は、アナログ電圧源または電圧出力DACからの入力電圧(V_{IN})により制御されます。図に示すように、スケール・ファクタは入力-1V = 出力1Aです。

次の等式を使用して適切な抵抗値を選択することで、スケール・ファクタ(V_{IN}/I_{OUT})を他の値に設定することもできます。

$$\frac{V_{IN}}{I_{OUT}} = \frac{R_1}{R_2} \cdot R_{SHUNT}$$

P-Spiceのシミュレーション(DCスイープ)を V_{IN} で実行して、入力電圧を0Vから-2Vまでスイープさせてみましょう。図11に示す下側の曲線は、レーザー・ダイオード電流と入力電圧の関係です。 Q_1 の消費電力は、上側の曲線に示されています。

電源電圧3.3Vで動作する Q_1 では、出力電流1Aでわずか1.5Wの電力しか消費しません。これは、FTZ851トランジスタの能力範囲内に十分おさまります。SOT-223パッケージでは熱をPC基板上の銅配線に吸収できるためです。

ています。

単方向出力電流が許容可能な場合は、この回路を使用してTECを駆動し、レーザー・ダイオードまたはAPDを冷却することも可能です。機械的スイッチまたは低オン抵抗Hブリッジ回路を付加すれば、TECの極性を切り替えて過熱から冷却に変更することも可能になります。

この回路が十分な性能で動作するかどうかは、実際に読者が想定しているアプリケーションにおいて、実験用回路板を作ってテストを行い、検証する必要があります。

Q_1 が5V電源で動作する場合も、同様のDCスイープ出力電流(I_{OUT}) vs V_{IN} 曲線が得られます。高い出力コンプライアンス電圧が必要とされる場合は、電源電圧を5Vに上げた方がよいでしょう。オペアンプ U_1 では、 $\pm 5V \sim \pm 15V$ を供給します。

過渡応答シミュレーションのP-Spice Probe出力を図12に示します。入力電圧パルス振幅が-10mV~-500mVから-10mV~-2Vでステップされており、電流の出力波形がプロットされています。回路では、パルスの立ち上がりエッジと立ち下がりエッジ両方でクリーンな応答が示されています。回路シミュレーションではまた、電源5Vで動作する Q_1 でクリーンなパルス応答が得られていることも示しています。

シャント抵抗またはスケール・ファクタの値を変更すると、補償コンデンサ C_1 を変更する必要も生じます。高価なレーザー・ダイオードを出力に接続する前に、読者の設計している回路が安定していることを確認してください。

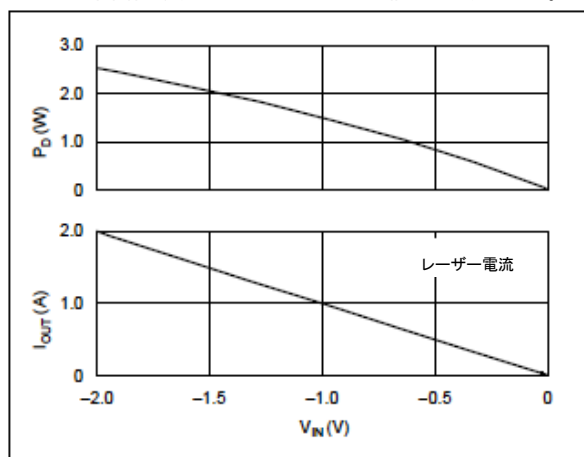


図 11. 出力電流と Q_1 の消費電量 vs 3.3V電源の入力電圧

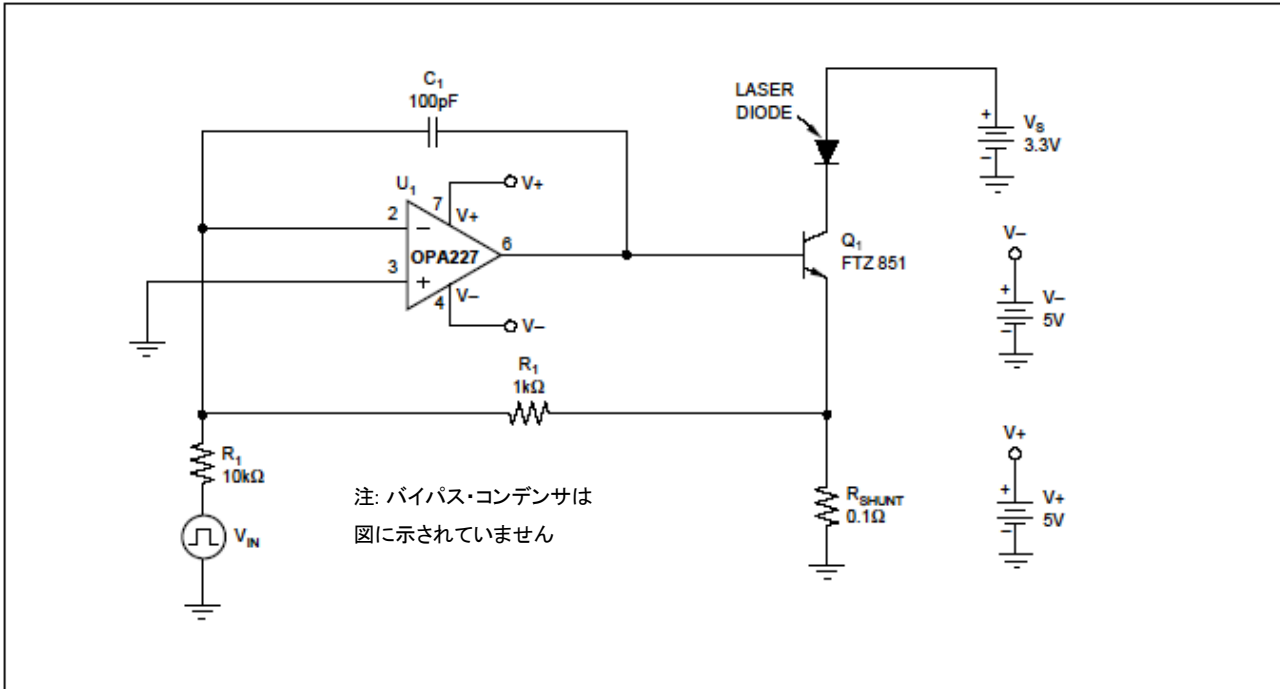


図 10. レーザー・ダイオード定電流ドライバ2の回路図

レーザー・ダイオードのマクロモデルが使用できないため、レーザー・ダイオードの接合部は、図中にある直列接続したシリコン・ダイオード3つでシミュレートされています。このドライバ回路は、レーザー・ダイオードのアノードとカソード両方がフローティング状態であることが必要です。

Q₁ に使用される電源ブースターは非常に高電流増幅率な単体NPNトランジスタであり、ダーリントン素子ではなく、コレクタ電流が2Aの時に100を超える電流増幅率(H_{FE})を持つため、オペアンプ製品OPA227で駆動して高電流にすることが容易に可能です。Zetex社の評価ではこのブースターの継続的なコレクタ電流を6Aとしています。安全動作領域(SOA)の限界値はこの値よりも低くなっています。この回路が十分な性能で動作するかどうかは、実際に読者が想定しているアプリケーションにおいて、実験用回路板を作ってテストを行い、検証する必要があります。

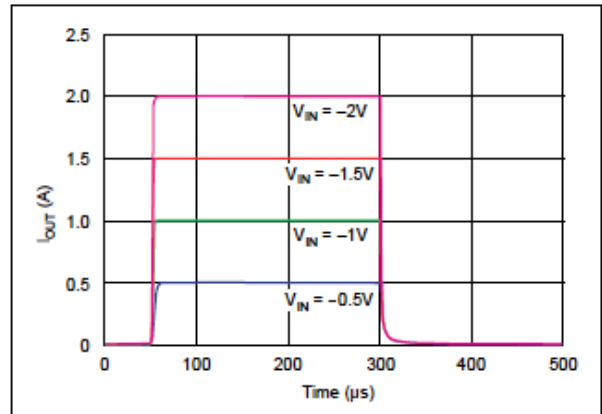


図 12. +3.3V電源を使用したレーザー・ドライバ2の過渡応答

リニア TEC ドライバ - 1

リニア熱電冷却器(TEC)のドライバ回路には、±2Aを駆動してTECに送り込む能力があります(図15参照)。回路は単電源+5Vで動作し、TECを非常に望ましい“定電流”モードで駆動します。ブリッジ接続負荷(BTL)アンプ構成では、双方向電流出力を実現します。このタイプのアンプでは負荷を差動方式で駆動するため、TECのどちらの端もグラウンド接続することはできません。1/2電源電圧のオフセット電圧(この場合は±2.5Vのオフセット電圧)を使用して、アンプが両方向にスイングし、単電源の入力電圧源と接続で

きるようにします。これは、V_{OS}として回路中に示されています。

図15では、シャント抵抗R₄を介してTEC負荷の片端を駆動するB級電力出力段(相補型パワー・トランジスタのペアQ₁とQ₃を付加して形成されます)を使用するR-R CMOS オペアンプU₁で、電圧V_{IN}を増幅しています。CMOS計測アンプ(IA)U₃では、シャント抵抗の電圧降下をセンシングして、それを50倍に増幅します。その後、U₁の入力にそれを帰還させます。この帰還アプローチにより、出力TEC電流がV_{IN}の関数となります。シャント抵抗とIAのゲインにより、回路のスケール・ファクタが決まります。

$$\frac{V_{IN}}{I_{OUT}} = A_V \cdot R_4$$

ここで、 A_V はV/VにおけるIAゲインです。

P-Spiceのシミュレーション(DCスイープ)を V_{IN} で実行して、入力電圧を-2.5Vから+2.5Vまでスイープさせてみましょう。これは、外部電圧源からの入力電圧0V~+5Vと等価になります。TECに向かうP-Spice Probe出力電流を図13に示します。大きさの異なる3つのTEC、つまり1Ω TEC、1.5Ω TEC、2Ω TECの各TEC電流が示されています。単電源+5Vで動作する場合は、このドライバは1Ω TECまたは1.5Ω TECを2Aで駆動する能力を持ちます。出力コンプライアンス電圧(output voltage compliance)により、2Ω TECの電流は約1.6Aに制限されます。図13に示すように、このTECドライバ・アンプは電圧制御型電流源です。定電流駆動により、製品ごとのTEC接合部のばらつきや、長期間のうちに発生するエージング(経年劣化)のないTEC駆動電流が確実に得られます。また定電流駆動により、動的な温度制御条件下でTECを通る電流に対する“熱的逆起電力”の影響が除去されます。

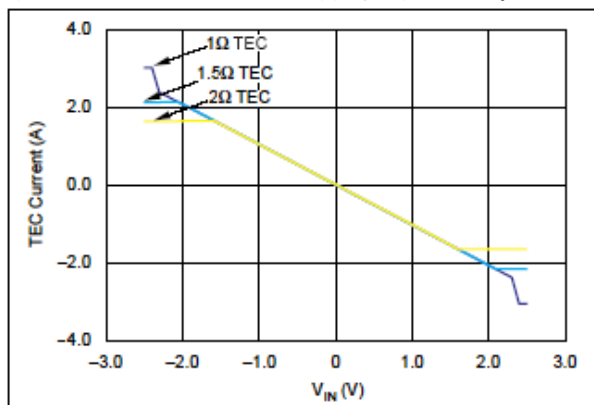


図 13. TEC 電流 vs 入力電圧 V_{IN}

回路の消費電力と、出力パワー・トランジスタSOT-223の放熱(ヒート・シンキング)の要件を判定するために、DC入力電圧を前述のようにスイープし、同じサイズのTECを使用してシミュレーションを行ってみました。その結果を図14に示します。

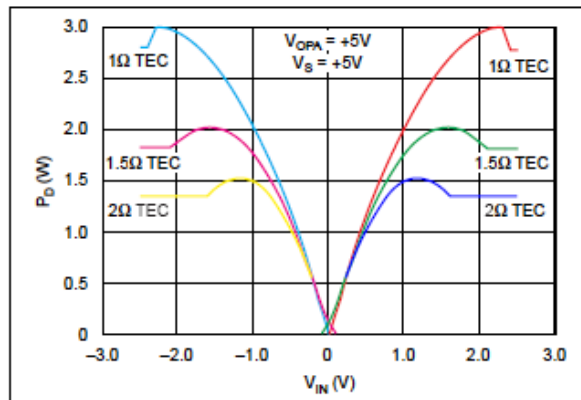


図 14. 出力トランジスタの電力消費

1つのNPN型パワー出力トランジスタ(Q_1)および1つのPNP型パワー出力トランジスタ(Q_3)の消費電力が、このスイープに示されています。図16に示すように、ブリッジのもう一方の側(NPN = Q_2 およびPNP = Q_4)でも、これらのデバイスの消費電力は同じになります。TECが冷却モードか加熱モードかによって、電力が Q_1 および Q_4 で消費されるか、それとも Q_2 および Q_3 で消費されるかが変わってきます。システムの全体的な消費電力には制限を設ける必要があるために、多数のマルチチャネル・システムではドライバの効率がしばしば検討すべき問題になります。リニア・アンプは効率の点から見ればPWMスイッチング・タイプには及びませんが、前者にはノイズが非常に低いことをはじめとする重要なメリットがあります。レーザー回路とAPD回路でのスイッチング・ノイズ干渉は、リニア・ドライバでは問題となりません。

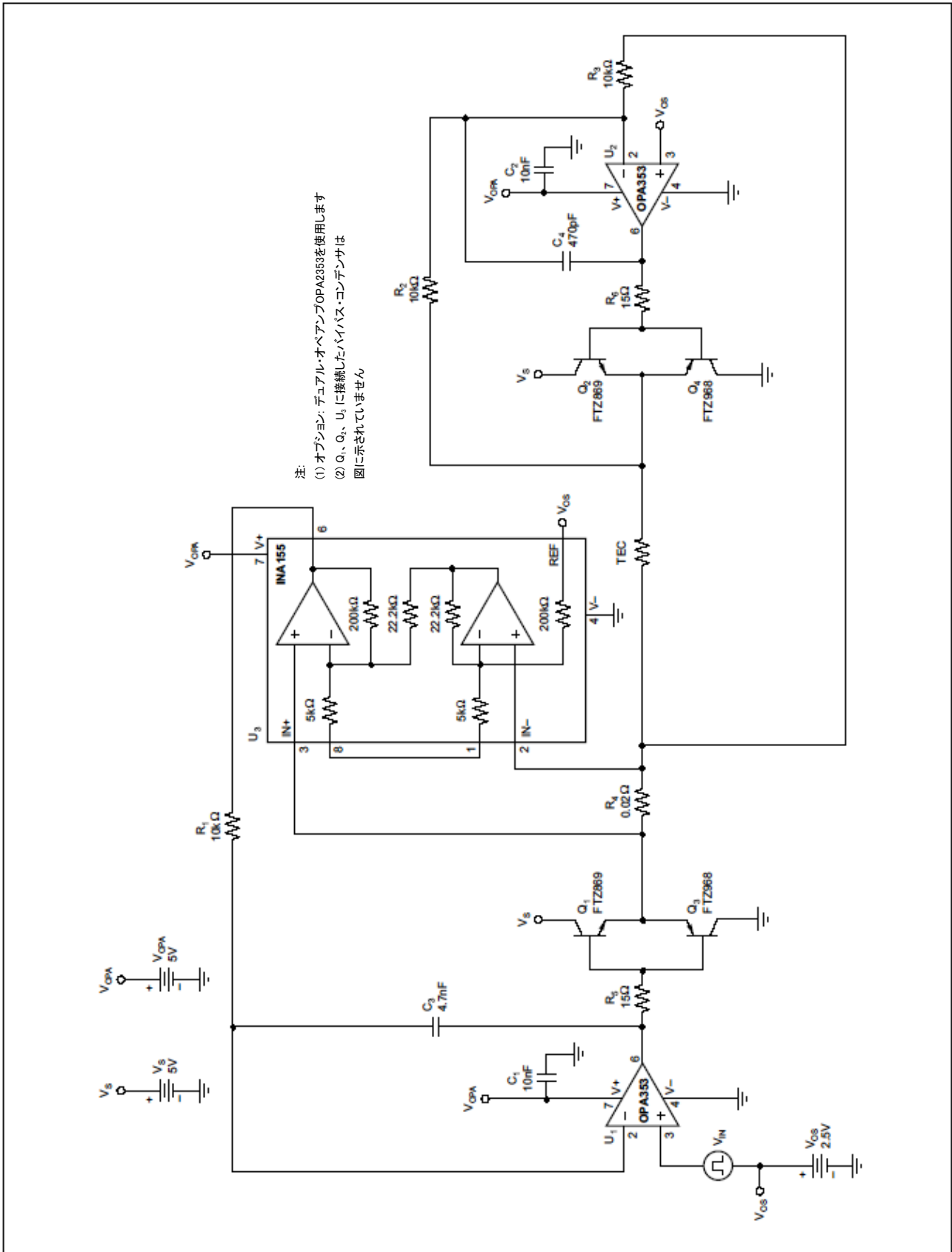


図 15. TEC ドライバ1の回路図

DCシミュレーション・データは、ドライバの効率をプロットするために使用されます。計算を簡単にするために、電力出力段のみが考慮されています。CMOS OPA353 オペアンプの消費電力は約26mWしかないため、それを削除しても全体的な効率の計算にはほとんど誤差が生じません。この計算では、効率を「負荷TECに搬送される電力とドライバに供給される電力の比率」とみなしています。例えば1Ω TECに入る電流1Aは、負荷($P_{OUT} = I^2 R$)で消費される1Wの電力 P_{OUT} を表しています。ドライバ P_{IN} に供給される電力は、すなわち5V電源からの1Aで5W ($P_{IN} = E \cdot I$)です。

$$\text{Eff}(\%) = \frac{P_{OUT}}{P_{IN}} \cdot 100, \text{ or } \text{Eff}(\%) = \frac{I^2 \cdot R}{V_S \cdot I_S} \cdot 100 = \frac{1A^2 \cdot 1\Omega}{5V \cdot 1A} \cdot 100 = 20\%$$

出力電圧を電源レール近くまでスイングさせることにより、出力トランジスタの両端電圧 (V_{CE}) が最小限になり、従って電力消費も減少します。同じ原因により、負荷の電圧は最大になります。上の式から分かるように、このためにリニア・ドライバの効率が増加します。実際に、図16に示すように、この回路を使用すると、好条件下では60%を超える効率が達成されることもあります。TECドライバ2および3の説明では、このことについてさらに詳しく考察します。

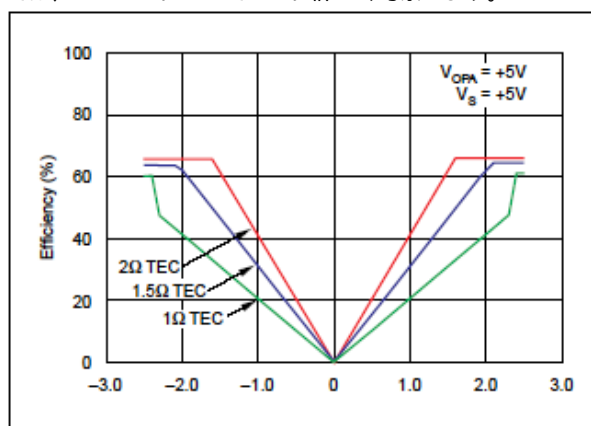


図 16. 1Ω、1.5Ω、2Ω 負荷でのドライバ効率

ドライバ・アンプのループの安定性を、ACと過渡応答シミュレーションを実行することにより調べてみます。ACシミュレーションの結果を図17に示します。

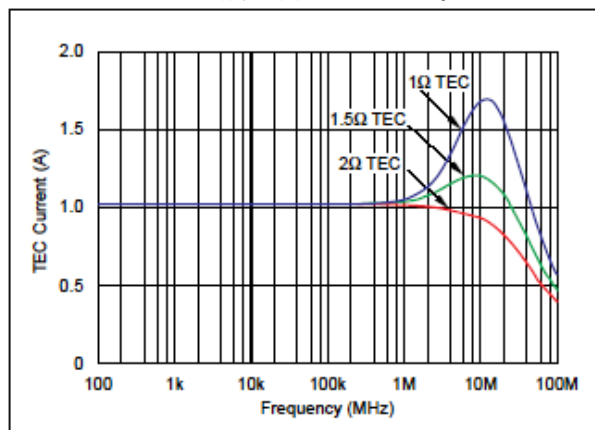


図 17. TECのドライバ・アンプの周波数レスポンス

1Ω TECおよび1.5Ω TECの周波数レスポンス曲線にいくらかピーキングが見られますが、これは補償コンデンサ C_3 と C_4 の静電容量を増やすことで取り除くことが可能です。注意する必要があるのは、 C_3 と C_4 の静電容量が同じではないことです。アンプ U_1 では、計測アンプ U_3 の提供する帰還ゲインの存在により、 U_2 よりも大きな静電容量が必要になるためです。

図18に示す、このTECドライバ・アンプのP-Spice 過渡シミュレーションでも同様の結果になっています。周波数レスポンス曲線から予測できるように、負荷が大きい場合にわずかなピーキングが認められます。

また、過渡応答波形を見ると、出力電流約0A付近に「グリッチ」と呼ばれる小さなクロスオーバー歪みが生じているのがはっきり分かります。これは、一方のトランジスタがオフになってから、相補関係にあるもう一方のトランジスタがオンになるまでの間に時間的遅延が生じることが原因で発生します。例えば、パワー・トランジスタを駆動するオペアンプは、NPNトランジスタがオフになる電圧とPNPトランジスタがオンになる電圧間で出力電圧は高速に振る必要があります。このアンプがB級出力段を使用するという事実のために、この領域は $2V_{BE}$ になります。OPA353等の高速オペアンプを使用すると、クロスオーバー歪が最小限に抑えられ、クロスオーバー領域についての安定性が向上します。オーディオ・アンプ等のアプリケーションの場合は、出力段のトランジスタをわずかにバイアスして導通させることもできます(AB1級)。これにより、クロスオーバー領域を完全に除去することができます。熱電冷却器等の負荷を駆動するためのアプリケーションでは、必ずしもAB1級出力段にする必要はありません。

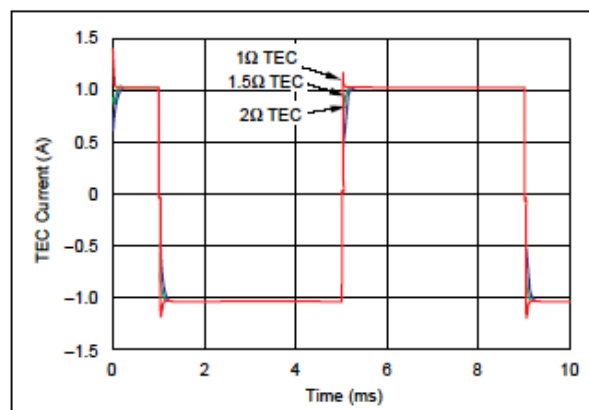


図 18. TECドライバの過渡応答

リニア TEC ドライバ.2

リニアTECのドライバ回路(図21参照)には、+1.5Aと-1Aを駆動してTECに送り込む能力があります。小信号アンプ回路は単電源+5Vで動作し、電力出力段は単電源+3.3Vで動作するため、消費電力が最小限に抑えられます。この回路ではTE冷却器を、非常に望ましい“定電流”モードで駆動します。BTLアンプ構成では、双方向電流出力を実現します。このタイプのアンプでは負荷を差動方式で駆動するため、TECのどちらの端もグラウンド接続することはできません。

オペアンプの電源電圧 V_{OPA} の1/2の入力オフセット電圧(この場合はオフセット電圧+2.5V)を使用して、アンプが両方向にスイングし、単電源入力電圧源と接続できるようにします。これは、 V_{OS} として回路に示してあります。

この回路図では、シャント抵抗 R_4 を介してTEC負荷の片端を駆動するB級電力出力段(相補型パワー・トランジスタのペア Q_1 と Q_3 を付加することにより形成されます)を使用するR-R CMOS オペアンプ U_1 により、電圧 V_{IN} が増幅されています。

CMOS型計測アンプ(IA)INA155、つまり U_3 では、シャント抵抗での電圧降下をセンシングして、それを50倍に増幅します。その後、 U_1 の入力にそれを帰還させます。この帰還アプローチにより、出力TEC電流が V_{IN} の関数になります。シャント抵抗とIAのゲインにより、回路のスケール・ファクタが決まります。

$$\frac{V_{IN}}{I_{OUT}} = A_V \cdot R_4$$

ここで、 A_V はV/VにおけるIAゲインです。

P-Spiceのシミュレーション(DCスイープ)を V_{IN} で実行して、入力電圧を-2.5Vから+2.5Vまでスイープさせてみましょう。これは、外部電圧源からの入力電圧0V~+5Vと等価になります。

TECに向かうP-Spice Probe出力電流を図19に示します。

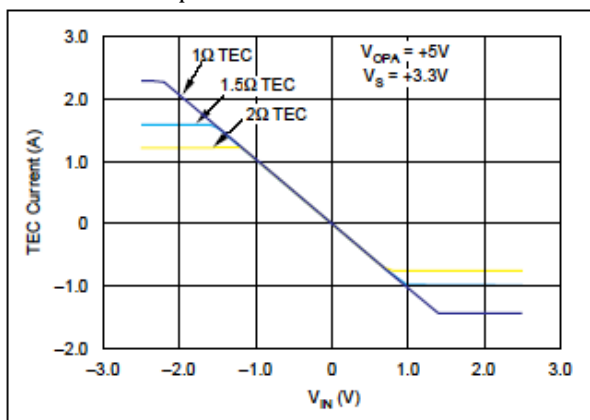


図 19. TEC電流vs 入力電圧 V_{IN}

大きさの異なる3つのTEC電流、つまり1Ω TEC、1.5Ω TEC、2Ω TECの各TEC電流が示されています。単

電源+3.3Vで動作する出力トランジスタがあるため、このドライバでは単方向に、2Aを超える値で1Ω TECを駆動する、または1Aを超える値で2Ω TECを駆動することが可能ですが、その出力電流の能力は反対方向では低くなります。

オペアンプの入力に印加されるオフセット電圧 $1/2V_{OPA}$ のために、出力コンプライアンス電圧の限界値は非対称になります。これが、オペアンプが電源レールまで対称的にスイングすることが可能になるための最適オフセット電圧ですが、このオフセット電圧により、出力トランジスタである問題が発生します。レールまで最適にスイングするために、オフセット電圧は $1/2V_S$ にバイアスされ、わずか+3.3Vの供給電圧の1/2、つまりオフセット電圧1.65Vになります。使用されるオフセット電圧2.5Vにより、出力トランジスタのブリッジに不平衡が生成され、以下で見ていくような問題が発生します。

図19に示すように、このTECドライバ・アンプは電圧制御電流源です。定電流駆動により、製品ごとのTEC接合部のばらつきや、長期間のうちに発生するエージング(経年変化)のないTEC駆動電流が確実に得られます。また、定電流駆動により、動的な温度制御条件下でTECを通る電流に対する“熱逆起電力”の影響が除去されます。

回路の消費電力と、出力パワー・トランジスタSOT-223の放熱の要件を判定するために、前と同じサイズのTECを使用し、DC入力電圧を前回同様にスイープしてシミュレーションを実行してみましょう。その結果は図20に示すとおりです。

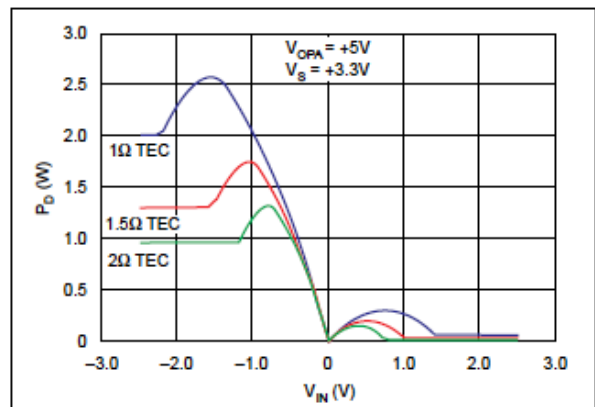


図 20. 出力トランジスタ Q_1 と Q_3 の消費電力

このスイープには、1つのNPN(Q_1) パワー出力トランジスタおよび1つのPNP(Q_3)パワー出力トランジスタの消費電力が示されています。NPNトランジスタとPNPトランジスタ間消費電力の差に注目してください。これが、前述のオフセット電圧の問題により発生した不均衡の直接的な結果です。ブリッジのもう片方の側(NPN = Q_2 とPNP = Q_4)でのデバイスの電力消費も同様になりますが、図4に示すような“反転鏡像(ミラー・イメージ)”になります。

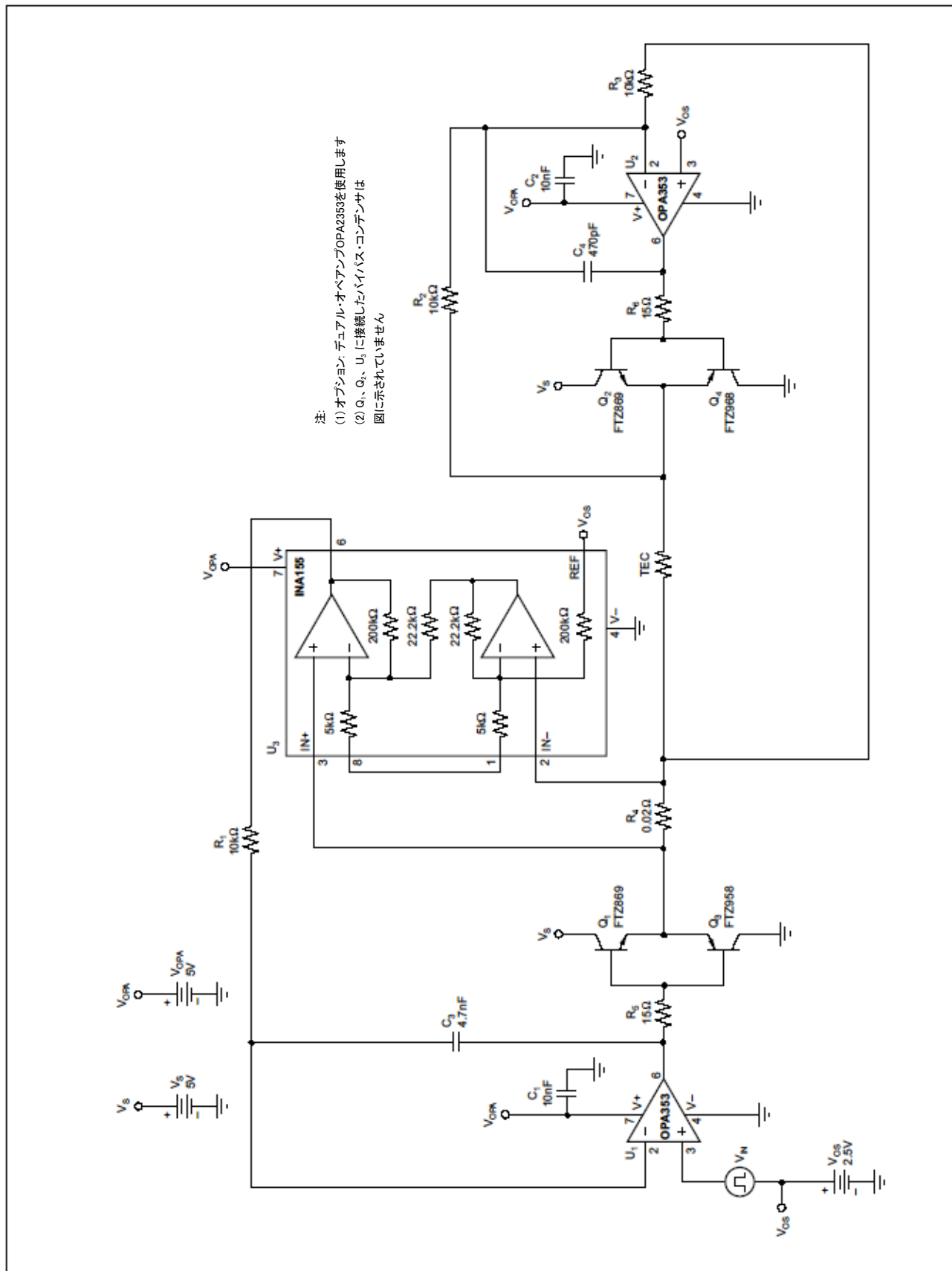


図 21. TEC ドライバ2の 回路図.

電力がPNPトランジスタ Q_3 か Q_4 のどちらで主に消費されるかは、TECが冷却モードにあるか加熱モードにあるかによって変わります。NPN Q_1 、 Q_2 で消費される電力は、比較的小さくなります。

制限付きの出力コンプライアンス電圧の影響は、図22の曲線からもはっきりわかります。

このコンプライアンス電圧の制限は、TECの負荷の各端を駆動するパワー・トランジスタの出力電圧に見られます(図23参照)。アンプの出力電圧極性のクロスオーバー・ポイントが入力バイアス点2.5Vにあることに注意してください。出力トランジスタを、その最適ポイントである1.65Vでバイアスすると、出力電圧を電源レールつまり+3.3Vからグラウンドまで対称的にスイングさせることが可能になります。

ドライバの効率は、このTECドライバ・アンプではシミュレーションされていません。

リニア・アンプは、効率の点から見ればPWMスイッチング・タイプにはおよびませんが、主にノイズが非常に低いという点で非常にすぐれています。レーザー回路とAPD回路でのスイッチング・ノイズ干渉は、リニア・ドライバでは問題となりません。

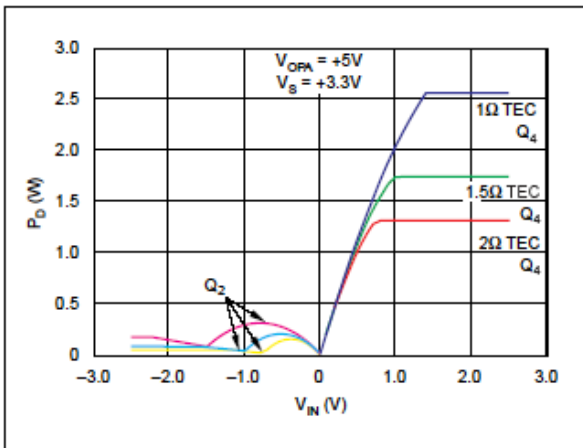


図22. 出力トランジスタ Q_2 と Q_4 の電力消費

ドライバ アンプのループ安定性を、ACと過渡応答シミュレーションを実行して調べてみましょう。ACシミュレーションの結果を図 24に示します。1 Ω TECと1.5 Ω TECの周波数レスポンスにいくらかピーキングが見られますが、これは補償コンデンサ C_3 と C_4 の静電容量を増やすことで取り除くことが可能です。注意する必要があるのは、 C_3 と C_4 の静電容量が同じではないことです。アンプ U_1 では、計測アンプ U_3 の提供する帰還ゲインの存在により、 U_2 よりも大きな静電容量が必要になるためです。

同様の結果が、図25の、このTECドライバ・アンプのP-Spice過渡シミュレーションにも示されています。周波数レスポンス曲線から予測できるように、負荷が大きい場合はわずかなピーキングが認められます。また、過渡応答波形を見ると、出力電流約0A付近に「グリッチ (glitch)」と呼ばれる小さなクロスオーバー歪み(crossover distortion)が生じているのがはっきり分かります。これは、一方のトランジスタがオフになってから、相補関係にあるもう一方のトランジスタがオンになるまでの間に時間的遅延が生じることが原因で発生します。例えば、パワー・トランジスタを駆動するオペアンプは、NPNトランジスタがオフになる電圧とPNPトランジスタがオンになる電圧間で迅速にス

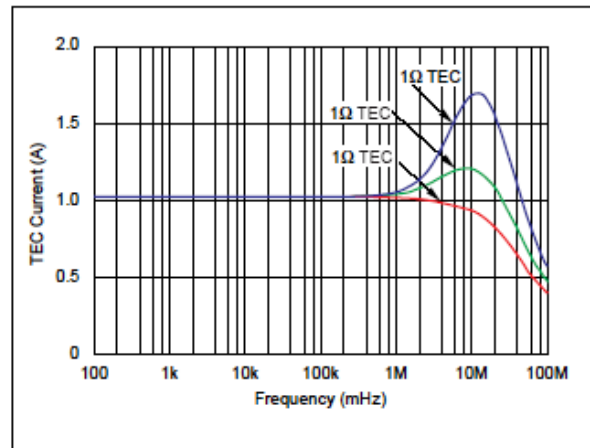


図24. TECドライバ2のアンプの周波数レスポンス.

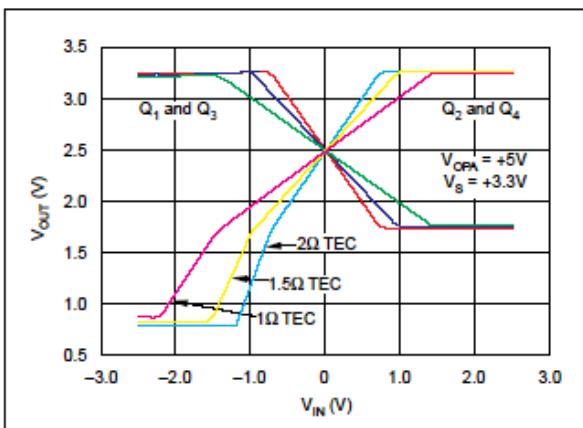


図23. TECドライバ2のアンプの出力電圧スイング

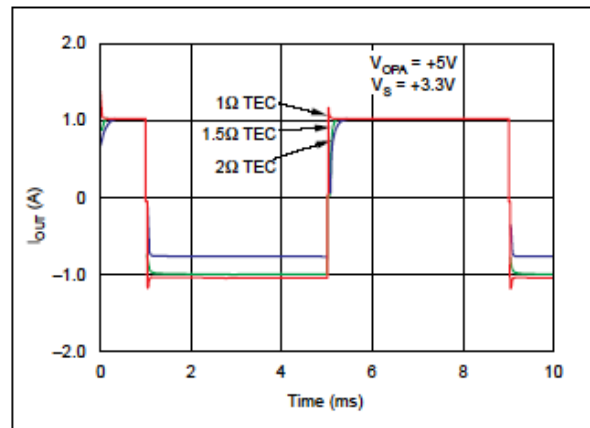


図25. TECドライバ2のアンプの過渡応答.

ルする必要があります。このアンプがB級出力段を使用するという事実のために、この領域は $2V_{BE}$ になります。OPA353等の高速オペアンプを使用すると、クロスオーバー歪が最小限に抑えられ、クロスオーバー領域についての安定性が向上します。オーディオ・アンプ等のアプリケーションの場合は、出力段のトランジスタをわずかにバイアシングして導通させることもできます(AB1級)。これにより、クロスオーバー領域を完全に除去することができます。熱電冷却器等の負荷を駆動するためのアプリケーションでは、必ずしもAB1級出力段にする必要はありません。

リニア TEC ドライバ - 3

リニアTECドライバ回路(図28参照)には、 $\pm 2A$ を超える電流を駆動して標準的なTECに送り込む能力があります。回路はバイポーラ電源 $\pm 2.5V$ で動作し、TE冷却器を非常に望ましい“定電流”モードで駆動します。BTLアンプ構成では、双方向電流出力を実現します。このタイプのアンプでは負荷を差動方式で駆動するため、TECのどちらの端もグラウンド接続することはできません。

バイポーラ電源を使用しているため、入力オフセット電圧を与えて、アンプ出力を正負両方向にスイング可能にする必要は必ずしもありません。 $1/2V_{CC}$ にバイアスされた単電源入力電圧源に接続するには、レベル・シフト回路が必要になります。

回路図では、シャント抵抗 R_4 を介してTEC負荷の片端を駆動するB級電力出力段(相補型パワー・トランジスタのペア Q_1 と Q_3 を付加して形成されます)を使用するR-R CMOSオペアンプ U_1 で、電圧 V_{IN} を増幅しています。CMOS計測アンプ(IA) U_3 では、シャント抵抗の電圧降下をセンシングして、それを50倍に増幅します。その後、 U_1 の入力にそれを帰還させます。この帰還アプローチにより、出力TEC電流が V_{IN} の関数になります。シャント抵抗とIAのゲインにより、回路のスケール・ファクタが決まります。

$$\frac{V_{IN}}{I_{OUT}} = A_V \cdot R_4$$

ここで、 A_V はV/VにおけるIAゲインです。

P-Spiceのシミュレーション(DCスイープ)を V_{IN} で実行して、入力電圧を $-2.5V$ から $+2.5V$ までスイープさせてみましょう。TECへのアンプの出力電流を図26に示します。これは、P-Spice Probeのファイル出力です。

このドライバの出力段は非対称であるため、TECドライバ・アンプ用に使用するのには最善の選択ではないかもしれませんが、効率を上げる方法については、“リニアTECドライバ - 3”の最後のセクションを参照してください。

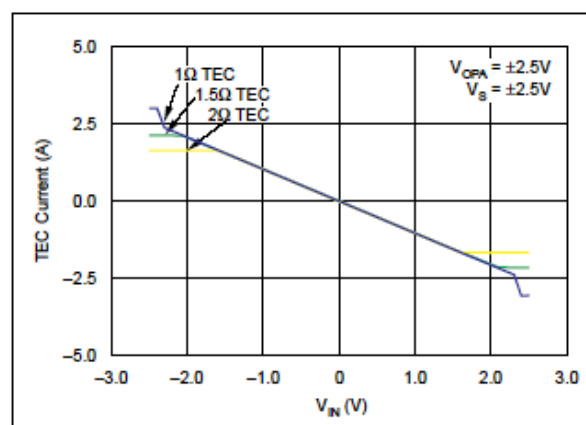


図 26. TEC 電流 vs 入力電圧 V_{IN}

大きさの異なる3つのTEC、つまり 1Ω TEC、 1.5Ω TEC、 2Ω TECの各TEC電流が示されています。バイポーラ電源 $\pm 2.5V$ で動作する場合は、このドライバは 1Ω TECまたは 1.5Ω TECを $2A$ に駆動する能力を持ちます。出力コンプライアンス電圧 (output voltage compliance) により、 2Ω TECの電流は約 $1.6A$ に制限されます。この出力能力は、単電源 $+5V$ で動作する本質的に同じ回路、TECドライバ-1と同じです。

図26に示すように、このTECドライバ・アンプは電圧制御電流源です。定電流駆動により、製品ごとのTEC接合部のばらつきや、長期間のうちに発生するエージング(経年劣化)のないTEC駆動電流が確実に得られます。また定電流駆動により、動的な温度制御条件下でTECを通る電流に対する、“逆熱EMF”の影響が除去されます。

電圧制御電流源での電流制限により、アンプへの最大入力電圧のクランピングという問題が発生します。レール・ツー・レールのオペアンプで駆動した場合は、分圧器、つまりポット(voltage divider or pot)により電流の制限値が設定されます。R-Rオペアンプでの電圧がレールに到達した時は、その電圧が分圧され、最大所要TEC電流を表す適切な電圧まで低下します。R-R オペアンプはレールを超えた値までスイングすることはできないため、TECドライバ・アンプへの入力電圧がクランプされます。

回路の消費電力と、出力パワー・トランジスタSOT-223の放熱(ヒート・シンキング)の要件を判定するために、DC入

力電圧を前述のようにスイープし、同じサイズのTECを使用してシミュレーションを行ってみました。その結果を図27に示します。

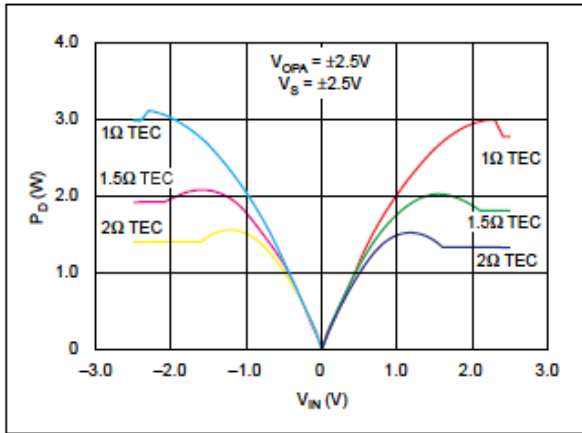


図 27. 出力トランジスタの消費電力

1つのNPN型パワー出力トランジスタ(Q₁)および1つのPNP型パワー出力トランジスタ(Q₃)の消費電力が、このスイープに示されています。図28に示すように、ブリッジのもう一方の側(NPN = Q₂ およびPNP = Q₄)でも、これらのデバイスの消費電力(dissipation)は同じになります。TECが冷却モードか加熱モードかによって、電力がQ₁ および Q₄ で消費されるか、それともQ₂ および Q₃で消費されるかが変わってきます。

システムの全体的な消費電力には制限を設ける必要がある

ために、大きなマルチチャネル・システムではドライバの効率ががしばしば検討すべき問題になります。リニア・アンプでは効率の点から見ればPWMスイッチング・タイプには及びませんが、前者にはノイズが非常に低いことをはじめとする重要なメリットがあります。レーザー回路とAPD回路でのスイッチング・ノイズ干渉は、リニア・ドライバでは問題となりません。

DCシミュレーション・データは、ドライバの効率をプロットするために使用されます。計算を簡単にするために、電力出力段のみが考慮されています。CMOS OPA353 オペアンプの消費電力は約26mWしかないため、それを削除しても全体的な効率の計算にはほとんど誤差が生じません。この計算では、効率(efficiency)を「負荷TECに搬送される電力とドライバに供給される電力の比率」とみなしています。例えば1Ω TECに入る電流1Aは、負荷(P_{OUT} = I²R)で消費される1Wの電力P_{OUT}を表しています。ドライバP_{IN} に供給される電力は、各±2.5V電源(each ±2.5V supply)からの1A、つまり5W (P_{IN} = E · I)です。

したがって、次のようになります。

$$\text{Eff}(\%) = \frac{P_{\text{OUT}}}{P_{\text{IN}}} \cdot 100, \text{ or } \text{Eff}(\%) = \frac{I^2 \cdot R}{V_S \cdot I_S} \cdot 100 = \frac{1\text{A}^2 \cdot 1\Omega}{5\text{V} \cdot 1\text{A}} \cdot 100 = 20\%$$

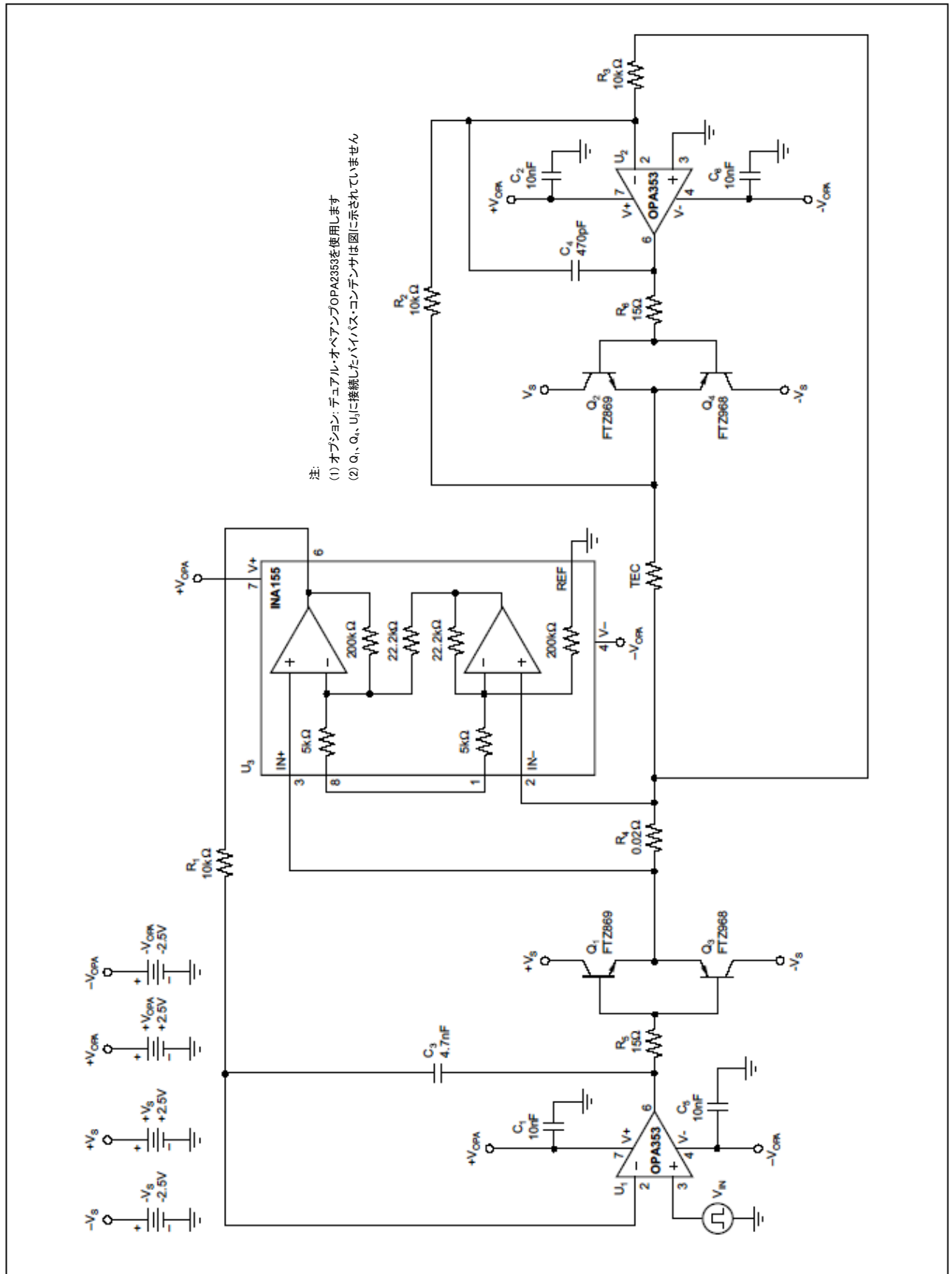


図 28. TEC ドライバ 3 の回路図

出力電圧を電源レール近くまでスイングさせることにより、出力トランジスタの電圧が最小限になり、従って電力消費も減少します。同じ原因により、負荷の電圧は最大になります。上の式から分かるように、このためにリニア・ドライバの効率が増加します。実際に、図29に示すように、この回路を使用すると、好条件下では60%を超える効率が達成されることもあります。

±2.5Vに接続したTECドライバ3の消費電力は、+5Vに接続したTECドライバ1とまったく同じです。

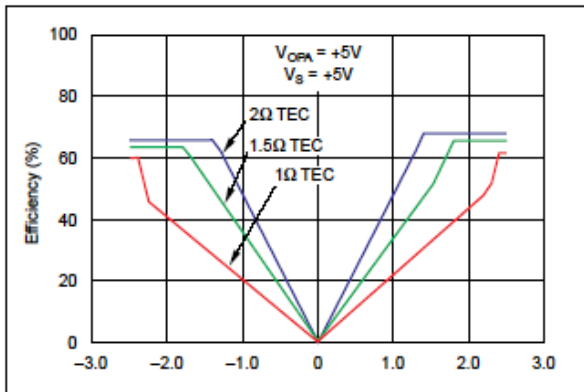


図 29. 1 Ω、1.5 Ω、2 Ω TEC 負荷でのドライバ1(電源+5V)とドライバ3 (電源±2.5V) の効率

ドライバ・アンプのループの安定性を、「ACと過渡」シミュレーションを実行することにより調査してみます。ACシミュレーションの結果を図30に示します。

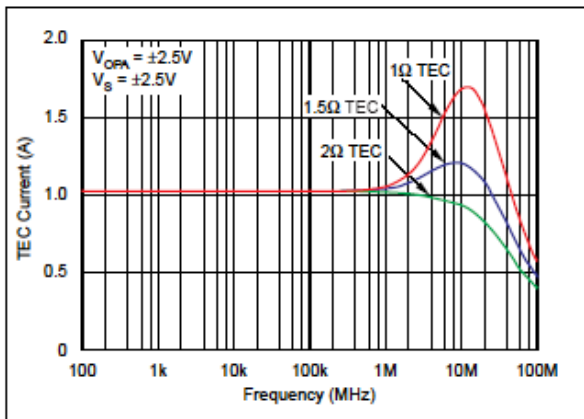


図 30. TEC ドライバのアンプの周波数レスポンス。

1 Ω TEC および 1.5 Ω TEC の周波数レスポンス曲線にいくらかピーキングが見られますが、これは補償コンデンサ C_3 と C_4 の静電容量を増やすことで取り除くことが可能です。注意する必要があるのは、 C_3 と C_4 の静電容量が同じではないことです。アンプ U_1 では、計測アンプ U_3 の提供する帰還ゲインの存在により、 U_2 よりも大きな静電容量が必要になるためです。

図31に示す、このTECドライバ・アンプのP-Spice 過渡シミュレーションでも同様の結果になっています。周波数レスポンス曲線から予測できるように、負荷が大きい場合にわずかなピーキングが認められます。

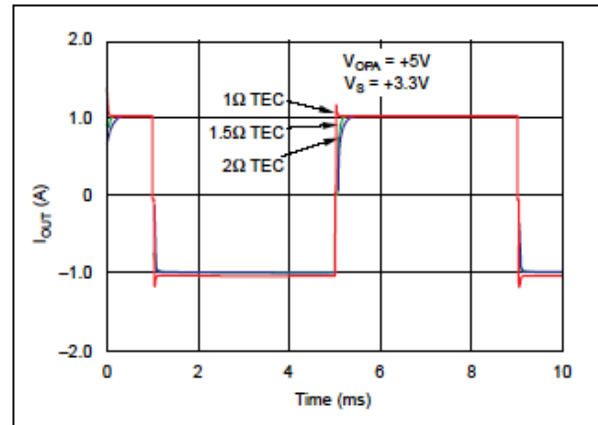


図 31. TEC ドライバのアンプの過渡応答。

また、過渡応答波形を見ると、出力電流約0A近辺に「グリッチ (glitch)」と呼ばれる小さなクロスオーバー歪み (crossover distortion) が生じているのがはっきり分かります。これは、一方のトランジスタがオフになってから、相補関係にあるもう一方のトランジスタがオンになるまでの間に時間的遅延が生じることが原因で発生します。例えば、パワー・トランジスタを駆動するオペアンプは、NPN トランジスタがオフになる電圧とPNPトランジスタがオンになる電圧間で出力電圧は高速に振る必要があります。このアンプがB級出力段を使用するという事実のために、この領域は $2V_{BE}$ になります。OPA353等の高速オペアンプを使用すると、クロスオーバー歪が最小限に抑えられ、クロスオーバー領域についての安定性が向上します。オーディオ・アンプ等のアプリケーションの場合は、出力段のトランジスタをわずかにバイアシングして導通させることもできます (AB1級)。これにより、クロスオーバー領域を完全に除去することができます。熱電冷却器等の負荷を駆動するためのアプリケーションでは、必ずしもAB1級出力段は必要ではありません。

パワー出力トランジスタの電源電圧を ±2.5V から ±1.5V に減らすと、出力トランジスタでの電力消費を減らすことにより、ドライバ・アンプの効率全体が増加します。

予想されたように、トランジスタの V_{CE} が低いと、同じコレクタ電流での消費電力も低くなります。出力段を可能な限り低い電圧で動作させることで、効率が増加します -- 特に、アンプの出力電圧がレール近くまでスイングできる場合はそうなります。

低レベル回路が、出力段 (±1.5V) とは異なる電源電圧 (±2.5V) で動作していても、「TECドライバ - 2」で説明したのと同じ非対称性の問題は発生しません。これは、入力がすべての電源同様にグラウンド基準であり、オペアンプと出力段の両方とも正負両方向に対称的にスイングできるためです。

図32は、3サイズのTECに流れ込む出力電流です。

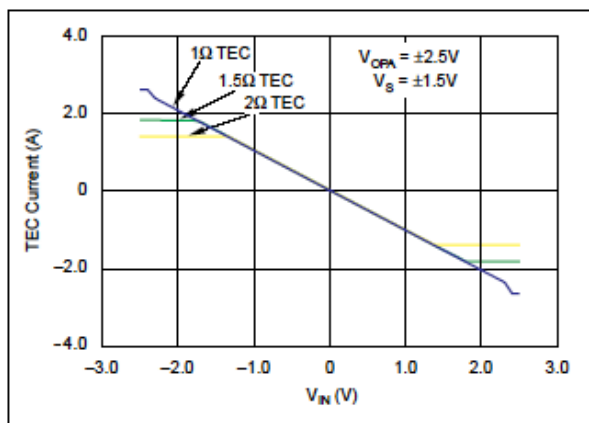
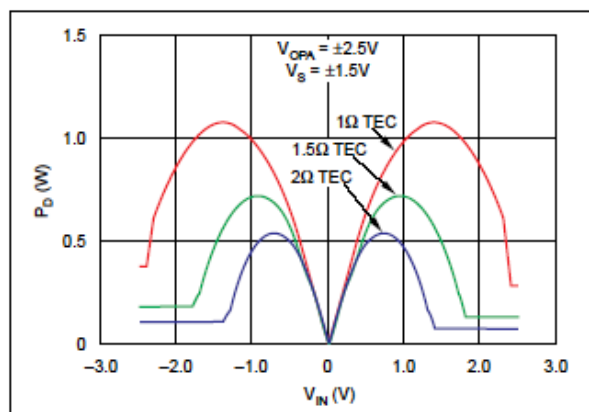


図 32. ±1.5V 出力段電源を使用したTECドライバの出力電流

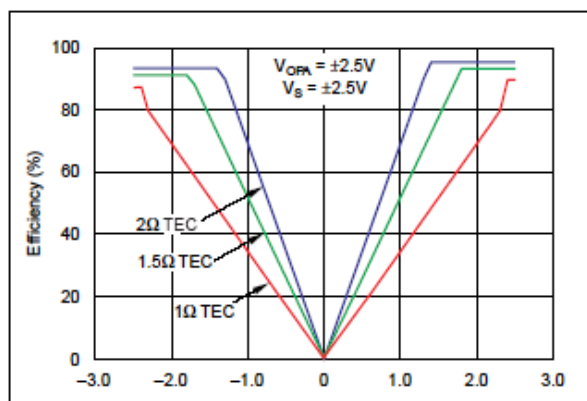
低電源電圧での動作では、出力コンプライアンス電圧がある程度犠牲になります。このため、 $2\ \Omega$ TECまたは $1.5\ \Omega$ TECに流れ込む最大駆動電流が減少しますが、より低い抵抗の $1\ \Omega$ TECでは影響を受けません。

図 33に示すように、出力段を $\pm 1.5\text{V}$ 電源で動作させれば、消費電力における価値ある効率改善が達成できます。

図33. 電源 $\pm 1.5\text{V}$ を使用した出力トランジスタの消費電力

大きなシステムになると、トランジスタのヒート・シンクをより小さくすることが必要になり、また冷却機能が低下するという問題も発生する可能性があります。

図34は、電源レールの非常に近くまでスイングした場合にリニアTECドライバで実現可能できる、非常に高い効率を示しています。 $2\ \Omega$ TECを約 1.3A という最大値電流まで駆動することで、このアンプでは約90%の効率が実現されます。また、 $1\ \Omega$ TECを約 1.3A という最大値電流まで駆動した場合は、このアンプでは約80%の効率が実現されます。それより低い出力電流では、実現される効率ももっと小さくなりますが、同時に消費電力も低くなります。

図34. 電源 $\pm 1.5\text{V}$ で動作する出力段を使用したアンプでの効率の向上

リニア・ドライバで高い効率を実現するために最も重要となるのが、TECドライバ・アンプの特性を、読者の使用するTEC用の適切な電源と適合させることです。入手可能な熱電冷却器の電圧特性と電流特性は広範にわたりますが、重要なのは、読者がすでに持っている電源で使用可能な電圧に非常に近い駆動電圧を必要とするTECを選択することです。新規に設計を行う場合は、TECを選んでから、TECとドライバ・アンプの性能を最適化する電源電圧を指定することも可能かもしれません。

これらの回路が十分に動作するかどうかは、実際に読者が想定しているアプリケーションにおいて、実験用回路板を作ってテストを行い、検証する必要があります。

ウィンドウ・コンパレータを使用した、 温度範囲の上限外および下限外の温度の センシング

図35に示すウィンドウ・コンパレータ回路は、TECの動作温度を監視し、範囲外の条件が発生した場合にそれを示すために使用されています。範囲の上限を上回る温度条件や、下限を下回る温度条件を示すため、セパレート出力が提供されています。

U_1 または U_2 の出力が論理“H”であれば、サーミスタ温度がウィンドウ・コンパレータの設定点の範囲外になっているということです。

両方の出力が論理“L”であれば、TEC温度が安全な動作範囲内にあることになります。オープン・コレクタ出力またはドレイン出力の付いたデュアル・コンパレータを「ワイヤドOR」構成に使用することもできますが、単電源型OPA340またはデュアル型OPA2340CMOSオペアンプを使用した方が高精度になります。

回路図では、電圧 V_{IN} を使用して、レーザ/TEC温度を測定するサーミスタに現れる電圧をシミュレートしています。25°Cで10kΩのサーミスタが、基準電流REF200からの100μAによって励起された場合は、25°Cにおいてサーミスタの両端電圧の読みは1.000Vになります。この定電流源を使用することで、サーミスタの出力電圧が温度の一次関数になります。サーミスタの較正表を使えば、これは°C単位に容易に変換できます。

P-Spiceシミュレーション(DCスイープ)を V_{IN} で行い、サーミスタ電圧を0Vから2Vまでスイープしてみましょう。温度の下限値を、5kΩ抵抗 R_{LOW} を使用して500mVと設定します。10kΩ抵抗 R_{DELTA} で上限閾値と下限閾値の差を設定するため、上限閾値は500mV + 1.000V = 1.500Vとなります。

P-Spice Probeの出力を図36に示します。サーミスタの電圧値が各閾値を超えると、 U_1 と U_2 はその温度状況をTTLのHIGH出力またはLOW出力で示します。

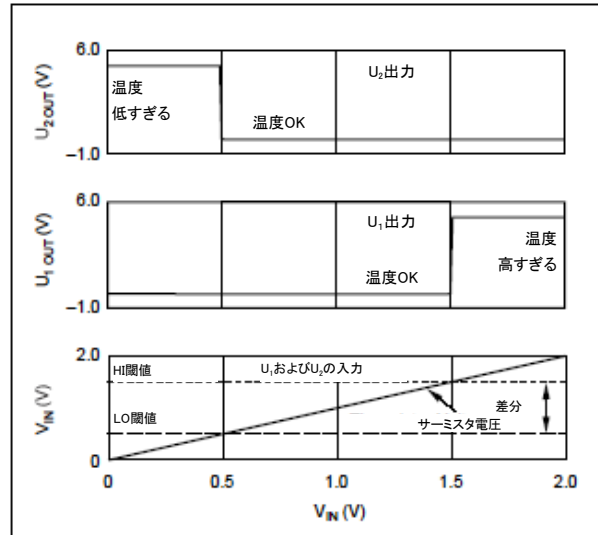


図36. 入力電圧、HIGH閾値とLOW閾値、出力電圧

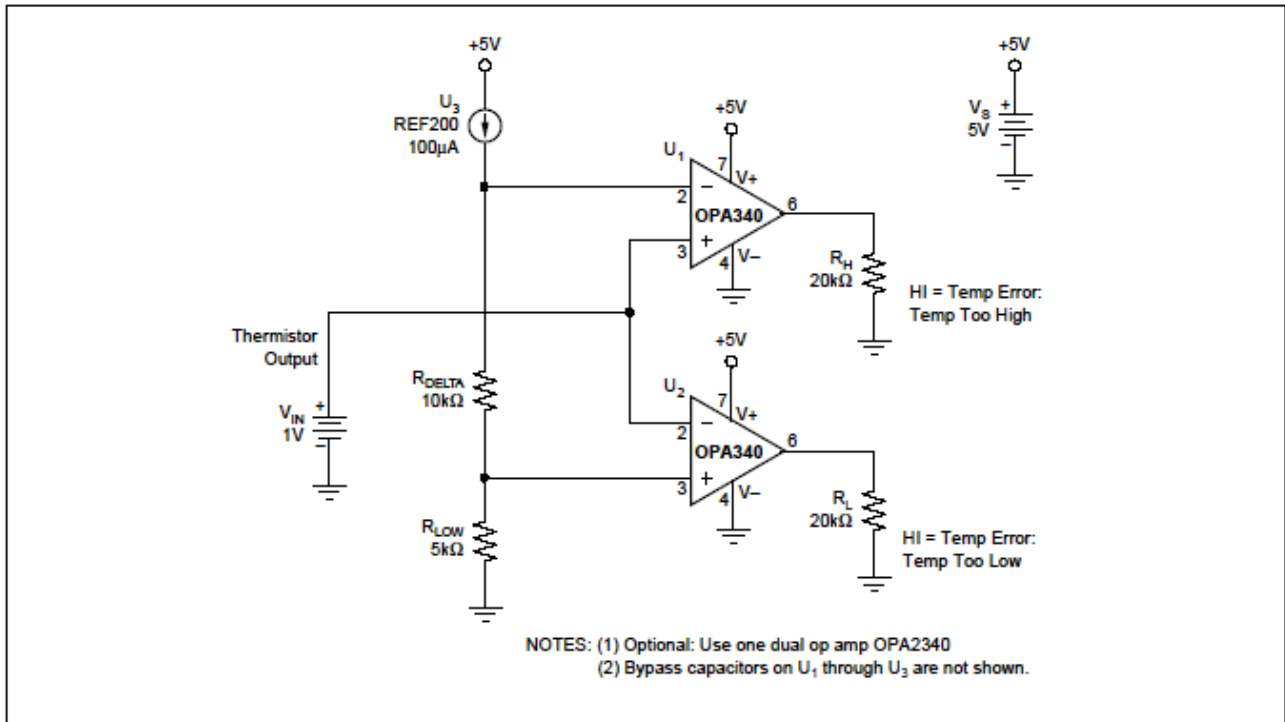


図 35. 高精度ウィンドウ・コンパレータの回路図

サーミスタの負荷にならないように、コンパレータには低バイアス電流の高精度CMOSオペアンプを使用しています。単電源+5Vで動作するため、R/Rオペアンプの出力はTTL/CMOS互換になっています。低速ウィンドウ・コンパレータを使用するアプリケーション用としては、デュアル型のOPA2340が理想的です。

注意していただきたい点がひとつあります。基準電流REF200が正しく動作するためには、約2.5Vのヘッドルーム（REF200の両端電圧）が必須となります。つまり、推奨される+5V電源でこの回路を動作させる場合は、上限閾値が2.5Vを超えないようにする必要があります。

閾値を適切に設定することにより、サーミスタを監視して、状態がオープンかショートかをチェックすることが可能になります。

この回路ではまた、温度制御システムが指定値の範囲内で動作しているかどうかを絶えずチェックすることもできます。

ウィンドウの設定に関して、低温側の温度トリップ点を R_{LOW} で必要な下限に、高温側のトリップ点を R_{DELTA} で必要な上限に設定することで、この回路はTECが所要の制御範囲内にあることを示すことができます。温度が、事前設定されたエラー境界値の上限または下限を超えた場合は、 U_1 または U_2 の出力にデジタルHIGHが現れます。

ウィンドウ・コンパレータを直接サーミスタに接続せずに、計測アンプ(IA)の出力(これは、たいていの場合、制御ループにより使用される増幅された誤差信号です)をセンシングすることにより、さらに感度を上げることも可能です。

IAにはたいていゲインがあるため、より大きな信号を使用してコンパレータを駆動することが可能です。この場合は、コンパレータでは直接サーミスタを監視するのではなく、サーミスタ電圧と温度設定電圧間の増幅された差を監視しています。これにより、温度制御ループ誤差を監視することが可能になり、2段目のウィンドウ・コンパレータはサーミスタの温度を前述したように監視することが可能になります。

通常、ウィンドウ・コンパレータの両方の閾値を正確に設定するのは面倒な仕事です。一般的に使用される、3つの抵抗からなる分圧器の電圧励起では、閾値間の相互作用が必ず起きます。閾値を補正するには、まず最初のトリマーを調整してから二番目のトリマーを調整しますが、このとき、一番目に調整した閾値点が変わってしまいます。閾値の調整は、標準的なウィンドウ・コンパレータ回路では反復プロセスとなります。

電流励起を使用するため、必要になる固定抵抗またはトリマーは2つで済みます。 R_{LOW} では下限閾値を設定し、 R_{DELTA} では「ウィンドウ」の「幅」を設定します。 R_{DELTA} を補正しても下限閾値は変更されず、下限閾値を変更しても閾値間の電圧差は変更されません。このように、調整の手順が非常に簡素化されます。

ノイズの多い環境では、コンパレータのスイッチング・ポイントでの出力に「チャタリング(chatter)」が発生するのを防ぐために、少量のヒステリシス(正帰還)が必要になる場合もあります。

この回路が十分な性能で動作するかどうかは、実際に読者が想定しているアプリケーションにおいて、実験用回路板を作ってテストを行い、検証する必要があります。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上